



# (12) 发明专利

(10) 授权公告号 CN 113077832 B

(45) 授权公告日 2025. 02. 07

(21) 申请号 202110483274.0

(56) 对比文件

(22) 申请日 2021.04.30

CN 105575328 A, 2016.05.11

(65) 同一申请的已公布的文献号

审查员 安涛

申请公布号 CN 113077832 A

(43) 申请公布日 2021.07.06

(73) 专利权人 京东方科技集团股份有限公司

地址 100015 北京市朝阳区酒仙桥路10号

专利权人 成都京东方光电科技有限公司

(72) 发明人 郭永林 肖云升

(74) 专利代理机构 北京聿宏知识产权代理有限公司

公司 11372

专利代理师 吴大建 陈敏

(51) Int. Cl.

G11C 19/28 (2006.01)

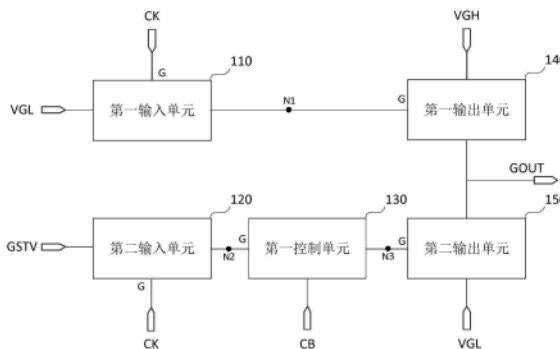
权利要求书2页 说明书11页 附图5页

## (54) 发明名称

移位寄存器单元及其驱动方法、扫描驱动电路、显示装置

## (57) 摘要

本申请提供一种移位寄存器单元及其驱动方法、扫描驱动电路、显示装置,该移位寄存器单元包括:第一输入单元,被配置为当所述第一时钟信号为有效电平时,将所述第一恒压信号写入第一节点;第二输入单元,被配置为当所述第一时钟信号为有效电平时,将所述触发信号写入第二节点;第一控制单元,被配置为当所述第二节点处为有效电平时,将所述第二时钟信号写入所述第三节点;第一输出单元,被配置为当所述第一节点处为有效电平时,输出所述第二恒压信号;其中,所述第二恒压信号与所述第一恒压信号的电平相反;第二输出单元,被配置为当所述第三节点处为有效电平时,输出所述第一恒压信号。该移位寄存器单元通过时钟信号的控制,直接输出恒压信号。



1. 一种移位寄存器单元,其特征在于,包括:

第一输入单元,其输入端连接第一恒压信号,其控制端连接第一时钟信号,其输出端连接第一节点,并被配置为当所述第一时钟信号为有效电平时,将所述第一恒压信号写入所述第一节点;

第二输入单元,其输入端连接触发信号,其控制端连接所述第一时钟信号,其输出端连接第二节点,并被配置为当所述第一时钟信号为有效电平时,将所述触发信号写入所述第二节点;

第一控制单元,其输入端连接第二时钟信号,其控制端连接所述第二节点,其输出端连接第三节点,并被配置为当第二输入单元没有向所述第二节点输入电压时维持所述第二节点处的电平信号,还被配置为当所述第二节点处为有效电平时,将所述第二时钟信号写入所述第三节点并且第三节点的电压变化会引起第二节点的电压同向变化以维持第二节点处的有效电平;

第一输出单元,其输入端连接第二恒压信号,其控制端连接所述第一节点,并被配置为当所述第一节点处为有效电平时,输出所述第二恒压信号;其中,所述第二恒压信号与所述第一恒压信号的电平相反;

第二输出单元,其输入端连接所述第一恒压信号,其控制端连接所述第三节点,并被配置为当所述第三节点处为有效电平时,输出所述第一恒压信号。

2. 根据权利要求1所述的移位寄存器单元,其特征在于,所述第一输入单元包括第一晶体管;其中,所述第一晶体管的源极为所述第一输入单元的输入端,所述第一晶体管的漏极为所述第一输入单元的输出端,所述第一晶体管的栅极为所述第一输入单元的控制端。

3. 根据权利要求1所述的移位寄存器单元,其特征在于,所述第二输入单元包括第二晶体管;其中,所述第二晶体管的源极为所述第二输入单元的输入端,所述第二晶体管的漏极为所述第二输入单元的输出端,所述第二晶体管的栅极为所述第二输入单元的控制端。

4. 根据权利要求1所述的移位寄存器单元,其特征在于,所述第一控制单元包括第三晶体管;其中,所述第三晶体管的源极为所述第一控制单元的输入端,所述第三晶体管的漏极为所述第一控制单元的输出端,所述第三晶体管的栅极为所述第一控制单元的控制端。

5. 根据权利要求4所述的移位寄存器单元,其特征在于,所述第一控制单元还包括第一电容;其中,所述第一电容的第一端连接所述第三晶体管的栅极,所述第一电容的第二端连接所述第三晶体管的漏极。

6. 根据权利要求1所述的移位寄存器单元,其特征在于,所述第一输出单元包括第四晶体管;其中,所述第四晶体管的源极为所述第一输出单元的输入端,所述第四晶体管的漏极为所述第一输出单元的输出端,所述第四晶体管的栅极为所述第一输出单元的控制端。

7. 根据权利要求6所述的移位寄存器单元,其特征在于,所述第一输出单元还包括第二电容;其中,所述第二电容的第一端连接所述第四晶体管的栅极,所述第二电容的第二端连接所述第四晶体管的源极。

8. 根据权利要求1所述的移位寄存器单元,其特征在于,所述第二输出单元包括第五晶体管;其中,所述第五晶体管的源极为所述第二输出单元的输入端,所述第五晶体管的漏极为所述第二输出单元的输出端,所述第五晶体管的栅极为所述第二输出单元的控制端。

9. 根据权利要求1所述的移位寄存器单元,其特征在于,还包括:

第二控制单元,其输入端连接所述第一时钟信号,其控制端连接所述第二节点,其输出端连接所述第一节点,并被配置为当所述第二节点处为有效电平时,将所述第一时钟信号写入所述第一节点;

第三控制单元,其输入端连接所述第二恒压信号,其第一控制端连接所述第一节点,其第二控制端连接所述第二时钟信号,其输出端连接所述第三节点,并被配置为当所述第一节点处和所述第二时钟信号同时为有效电平时,将所述第二恒压信号写入所述第三节点。

10. 根据权利要求9所述的移位寄存器单元,其特征在于,所述第二控制单元包括第六晶体管;其中,所述第六晶体管的源极为所述第二控制单元的输入端,所述第六晶体管的漏极为所述第二控制单元的输出端,所述第六晶体管的栅极为所述第二控制单元的控制端。

11. 根据权利要求9所述的移位寄存器单元,其特征在于,所述第三控制单元包括第七晶体管和第八晶体管;

其中,所述第七晶体管的源极为所述第三控制单元的输入端,所述第七晶体管的栅极为所述第三控制单元的第一控制端,所述第七晶体管的漏极连接所述第八晶体管的源极,所述第八晶体管的栅极为所述第三控制单元的第二控制端,所述第八晶体管的漏极为所述第三控制单元的输出端。

12. 一种如权利要求1至11中任一项所述的移位寄存器单元的驱动方法,其特征在于,包括:

在所述触发信号为有效电平的第一阶段内,将所述第一时钟信号设置为有效电平,并将所述第二时钟信号设置为无效电平,以使所述第一输出单元输出所述第二恒压信号;

在所述第一阶段之后所述触发信号为无效电平的第二阶段内,将所述第一时钟信号设置为无效电平,并将所述第二时钟信号设置为有效电平,以使所述第二输出单元输出所述第一恒压信号;

在所述第二阶段之后所述触发信号为无效电平的每一阶段内,将所述第一时钟信号设置为与上一阶段的所述第一时钟信号的电平相反,并将所述第二时钟信号设置为与上一阶段的所述第二时钟信号的电平相反,以使所述第一输出单元持续输出所述第二恒压信号。

13. 一种扫描驱动电路,包括级联的多个如权利要求1至11中任一项所述的移位寄存器单元。

14. 一种显示基板,其特征在于,包括如权利要求13所述的扫描驱动电路。

15. 一种显示装置,其特征在于,包括如权利要求14所述的显示基板。

## 移位寄存器单元及其驱动方法、扫描驱动电路、显示装置

### 技术领域

[0001] 本申请涉及显示技术领域,具体涉及一种移位寄存器单元及其驱动方法、扫描驱动电路、显示装置。

### 背景技术

[0002] 现有的有机发光二极管(Organic Light-Emitting Diode,OLED)显示面板中,由于像素电路具有阈值电压(Threshold voltage, $V_{th}$ )补偿功能,其像素电路需要Emission(发光)控制信号, Gate(数据写入)控制信号, Reset(复位)控制信号对像素电路进行时序控制才能正常工作。

[0003] 通常集成于显示面板上的低温多晶硅(Low Temperature Poly-Silicon,LTPS)移位寄存电路一般都能实现如下功能,如利用Emission信号移位寄存器实现高电平脉冲信号的移位输出,利用Reset信号移位寄存器实现低电平脉冲信号的移位输出。高电平移位寄存器输出的高电平脉冲信号通常用作Emission(发光)控制信号。低电平移位寄存器输出的低电平脉冲信号通常用作Gate和Reset(数据写入和复位)控制信号。

[0004] 现有的OLED显示面板一般都使用Emission信号移位寄存器和Gate/Reset移位寄存器来分别控制Emission和Gate/Reset信号的输出。并且,在现有的OLED面板工作中, Gate和Reset信号是通过时钟信号的移位输出,但是在外围电路的负载(电压降)影响下,时钟信号的高低电平的切换,是需要时间的,直接影响Gate和Reset信号的Tr(上升沿时间)和Tf(下降沿时间),最终导致显示不良。

### 发明内容

[0005] 针对上述问题,本申请提供了一种移位寄存器单元及其驱动方法、扫描驱动电路、显示装置,解决了现有技术中通过时钟信号移位输出Gate和Reset信号导致显示不良的技术问题。

[0006] 第一方面,本申请提供一种移位寄存器单元,包括:

[0007] 第一输入单元,其输入端连接第一恒压信号,其控制端连接第一时钟信号,其输出端连接第一节点,并被配置为当所述第一时钟信号为有效电平时,将所述第一恒压信号写入所述第一节点;

[0008] 第二输入单元,其输入端连接触发信号,其控制端连接所述第一时钟信号,其输出端连接第二节点,并被配置为当所述第一时钟信号为有效电平时,将所述触发信号写入所述第二节点;

[0009] 第一控制单元,其输入端连接第二时钟信号,其控制端连接所述第二节点,其输出端连接第三节点,并被配置为当所述第二节点处为有效电平时,将所述第二时钟信号写入所述第三节点;

[0010] 第一输出单元,其输入端连接第二恒压信号,其控制端连接所述第一节点,并被配置为当所述第一节点处为有效电平时,输出所述第二恒压信号;其中,所述第二恒压信号与

所述第一恒压信号的电平相反；

[0011] 第二输出单元,其输入端连接所述第一恒压信号,其控制端连接所述第三节点,并被配置为当所述第三节点处为有效电平时,输出所述第一恒压信号。

[0012] 在一些实施例中,上述移位寄存器单元中,所述第一输入单元包括第一晶体管;其中,所述第一晶体管的源极为所述第一输入单元的输入端,所述第一晶体管的漏极为所述第一输入单元的输出端,所述第一晶体管的栅极为所述第一输入单元的控制端。

[0013] 在一些实施例中,上述移位寄存器单元中,所述第二输入单元包括第二晶体管;其中,所述第二晶体管的源极为所述第二输入单元的输入端,所述第二晶体管的漏极为所述第二输入单元的输出端,所述第二晶体管的栅极为所述第二输入单元的控制端。

[0014] 在一些实施例中,上述移位寄存器单元中,所述第一控制单元包括第三晶体管;其中,所述第三晶体管的源极为所述第一控制单元的输入端,所述第三晶体管的漏极为所述第一控制单元的输出端,所述第三晶体管的栅极为所述第一控制单元的控制端。

[0015] 在一些实施例中,上述移位寄存器单元中,所述第一控制单元还包括第一电容;其中,所述第一电容的第一端连接所述第三晶体管的栅极,所述第一电容的第二端连接所述第三晶体管的漏极。

[0016] 在一些实施例中,上述移位寄存器单元中,所述第一输出单元包括第四晶体管;其中,所述第四晶体管的源极为所述第一输出单元的输入端,所述第四晶体管的漏极为所述第一输出单元的输出端,所述第四晶体管的栅极为所述第一输出单元的控制端。

[0017] 在一些实施例中,上述移位寄存器单元中,所述第一输出单元还包括第二电容;其中,所述第二电容的第一端连接所述第四晶体管的栅极,所述第二电容的第二端连接所述第四晶体管的源极。

[0018] 在一些实施例中,上述移位寄存器单元中,所述第二输出单元包括第五晶体管;其中,所述第五晶体管的源极为所述第二输出单元的输入端,所述第五晶体管的漏极为所述第二输出单元的输出端,所述第五晶体管的栅极为所述第二输出单元的控制端。

[0019] 在一些实施例中,上述移位寄存器单元中,还包括:

[0020] 第二控制单元,其输入端连接所述第一时钟信号,其控制端连接所述第二节点,其输出端连接所述第一节点,并被配置为当所述第二节点处为有效电平时,将所述第一时钟信号写入所述第一节点;

[0021] 第三控制单元,其输入端连接所述第二恒压信号,其第一控制端连接所述第一节点,其第二控制端连接所述第二时钟信号,其输出端连接所述第三节点,并被配置为当所述第一节点处和所述第二时钟信号同时为有效电平时,将所述第二恒压信号写入所述第三节点。

[0022] 在一些实施例中,上述移位寄存器单元中,所述第二控制单元包括第六晶体管;其中,所述第六晶体管的源极为所述第二控制单元的输入端,所述第六晶体管的漏极为所述第二控制单元的输出端,所述第六晶体管的栅极为所述第二控制单元的控制端。

[0023] 在一些实施例中,上述移位寄存器单元中,所述第三控制单元包括第七晶体管和第八晶体管;

[0024] 其中,所述第七晶体管的源极为所述第三控制单元的输入端,所述第七晶体管的栅极为所述第三控制单元的第一控制端,所述第七晶体管的漏极连接所述第八晶体管的源

极,所述第八晶体管的栅极为所述第三控制单元的第二控制端,所述第八晶体管的漏极为所述第三控制单元的输出端。

[0025] 第二方面,本申请提供一种如第一方面中任一项所述的移位寄存器单元的驱动方法,包括:

[0026] 在所述触发信号为有效电平的第一阶段内,将所述第一时钟信号设置为有效电平,并将所述第二时钟信号设置为无效电平,以使所述第一输出单元输出所述第二恒压信号;

[0027] 在所述第一阶段之后所述触发信号为无效电平的第二阶段内,将所述第一时钟信号设置为无效电平,并将所述第二时钟信号设置为有效电平,以使所述第二输出单元输出所述第一恒压信号;

[0028] 在所述第二阶段之后所述触发信号为无效电平的每一阶段内,将所述第一时钟信号设置为与上一阶段的所述第一时钟信号的电平相反,并将所述第二时钟信号设置为与上一阶段的所述第二时钟信号的电平相反,以使所述第一输出单元持续输出所述第二恒压信号。

[0029] 第三方面,本申请提供一种扫描驱动电路,包括级联的多个如第一方面中任一项所述的移位寄存器单元。

[0030] 第四方面,本申请提供一种显示基板,其特征在于,包括如第三方面所述的扫描驱动电路。

[0031] 第五方面,本申请提供一种显示装置,其特征在于,包括如第四方面所述的显示基板。

[0032] 采用上述技术方案,至少能够达到如下技术效果:

[0033] 本申请提供了一种移位寄存器单元及其驱动方法、扫描驱动电路、显示装置,该移位寄存器单元包括:第一输入单元,被配置为当所述第一时钟信号为有效电平时,将所述第一恒压信号写入所述第一节点;第二输入单元,被配置为当所述第一时钟信号为有效电平时,将所述触发信号写入所述第二节点;第一控制单元,被配置为当所述第二节点处为有效电平时,将所述第二时钟信号写入所述第三节点;第一输出单元,被配置为当所述第一节点处为有效电平时,输出所述第二恒压信号;其中,所述第二恒压信号与所述第一恒压信号的电平相反;第二输出单元,被配置为当所述第三节点处为有效电平时,输出所述第一恒压信号。该移位寄存器单元通过时钟信号的控制,直接输出第二恒压信号或第一恒压信号,以实现Gate和Reset信号的输出,由于恒压信号本身不存在高低电平的切换,所以外围电路的负载(电压降)对Gate和Reset信号的高低电平切换影响较小,可大大降低Gate和Reset信号的Tr(上升沿时间)和Tf(下降沿时间),有效改善显示不良。

## 附图说明

[0034] 附图是用来提供对本申请的进一步理解,并且构成说明书的一部分,与下面的具体实施方式一起用于解释本申请,但并不构成对本申请的限制。在附图中:

[0035] 图1是一种移位寄存器单元的电路示意图;

[0036] 图2是一种像素补偿电路的电路示意图;

[0037] 图3是一种移位寄存器单元中各信号的时序状态图;

- [0038] 图4是本申请一示例性实施例示出的一种移位寄存器单元的连接框架图；
- [0039] 图5是本申请一示例性实施例示出的一种移位寄存器单元的电路示意图；
- [0040] 图6是本申请一示例性实施例示出的一种移位寄存器单元中各信号的时序状态图；
- [0041] 图7是本申请一示例性实施例示出的另一种移位寄存器单元的连接框架图；
- [0042] 图8是本申请一示例性实施例示出的另一种移位寄存器单元的电路示意图；
- [0043] 图9是本申请一示例性实施例示出的另一种移位寄存器单元的仿真验证示意图；
- [0044] 在附图中,相同的部件使用相同的附图标记,附图并未按照实际的比例绘制。

### 具体实施方式

[0045] 以下将结合附图及实施例来详细说明本申请的实施方式,借此对本申请如何应用技术手段来解决技术问题,并达到相应技术效果的实现过程能充分理解并据以实施。本申请实施例以及实施例中的各个特征,在不冲突前提下可以相互结合,所形成的技术方案均在本申请的保护范围之内。在附图中,为了清楚,层和区的尺寸以及相对尺寸可能被夸大。自始至终相同附图标记表示相同的元件。

[0046] 应理解,尽管可使用术语“第一”、“第二”、“第三”等描述各种元件、部件、区、层和/或部分,这些元件、部件、区、层和/或部分不应当被这些术语限制。这些术语仅仅用来区分一个元件、部件、区、层或部分与另一个元件、部件、区、层或部分。因此,在不脱离本申请教导之下,下面讨论的第一元件、部件、区、层或部分可表示为第二元件、部件、区、层或部分。

[0047] 在此使用的术语的目的仅在于描述具体实施例并且不作为本申请的限制。在此使用时,单数形式的“一”、“一个”和“所述/该”也意图包括复数形式,除非上下文清楚指出另外的方式。还应明白术语“组成”和/或“包括”,当在该说明书中使用,确定所述特征、整数、步骤、操作、元件和/或部件的存在,但不排除一个或更多其它的特征、整数、步骤、操作、元件、部件和/或组的存在或添加。在此使用时,术语“和/或”包括相关所列项目的任何及所有组合。

[0048] 为了彻底理解本申请,将在下列的描述中提出详细结构以及步骤,以便阐释本申请提出的技术方案。本申请的较佳实施例详细描述如下,然而除了这些详细描述外,本申请还可以具有其他实施方式。

[0049] 一种移位寄存器单元的电路示意图,如图1所示,为8T2C电路结构,包括第一晶体管T1至第八晶体管T8,以及第一电容C1和第二电容C2。第一晶体管T1至第八晶体管T8均为LTPS薄膜晶体管(Thin Film Transistor, TFT)即P型TFT,阈值电压 $V_{th}$ 为负,当TFT栅极和源极之间的电压差 $V_{gs} < V_{th}$ 时, TFT导通。该移位寄存器单元用于输出驱动如图2所示像素电路所需的Gate和Reset信号。该7T1C像素电路中需要Emission(发光)控制信号, Gate(数据写入)控制信号, Reset(复位)控制信号的输入, 像素才能正常工作。EM信号(即Emission控制信号)可以通过其他移位寄存器单元输出。Data信号、VDD信号和VSS信号由IC直接输入。

[0050] 第一晶体管T1的源极连接恒定低电平信号VGL, 栅极连接第一时钟信号CK, 漏极连接节点N1; 第二晶体管T2的源极连接触发信号GSTV, 栅极连接第一时钟信号CK, 漏极连接节点N2; 第三晶体管T3的源极连接节点N2, 栅极连接恒定低电平信号VGL, 漏极连接节点N3; 第

四晶体管T4的源极连接恒定高电平信号VGH,栅极连接节点N1,漏极为该移位寄存器单元的第一输出端GOUT;第五晶体管T5的源极接触发信号GSTV,栅极连接节点N3,漏极为该移位寄存器单元的第二输出端GOUT;第六晶体管T6的源极连接第一时钟信号CK,栅极连接节点N2,漏极连接第一晶体管T1的漏极;第七晶体管T7的源极连接恒定高电平信号VGH,栅极连接节点N1,漏极连接节点N4;第八晶体管T8的源极连接节点N4,栅极连接第二时钟信号CB,漏极连接节点N2;第一电容C1的两端分别连接第四晶体管T4的栅极和源极;第二电容C2的两端分别连接第五晶体管T5的栅极和漏极。

[0051] 该移位寄存器单元中各信号的时序状态图如图3所示,其驱动原理为:

[0052] A阶段:第一时钟信号CK和触发信号GSTV均为低电平(有效电平),第二时钟信号CB为高电平(无效电平),第一晶体管T1和第二晶体管T2在第一时钟信号CK的控制下导通,触发信号GSTV通过第二晶体管T2的漏极导出,向节点N2写入低电平信号,第三晶体管T3在恒定低电平信号VGL的控制下导通,节点N2写入的低电平信号继续写入节点N3,从而使得第五晶体管T5开启,第二时钟信号CB(高电平)通过第五晶体管T5的漏极导出,此时移位寄存单元的第二输出端GOUT输出高电平信号;同时恒定低电平信号VGL通过第一晶体管T1的漏极导出,向节点N1写入低电平信号,使得第四晶体管T4开启,恒定高电平信号VGH通过第四晶体管T4的漏极导出,此时移位寄存单元的第一输出端GOUT输出高电平信号。

[0053] B阶段:第一时钟信号CK和触发信号GSTV均为高电平(无效电平),第二时钟信号CB为低电平(有效电平),因为节点N3(可以在第二电容C2的作用下)保持着A阶段的低电平,第五晶体管维持开启,在第二时钟信号CB切换之后,移位寄存单元的第二输出端GOUT此时输出低电平信号;同时,由于节点N2(可以在第一电容C1的作用下)保持着A阶段的低电平,第六晶体管T6开启,第一时钟信号CK通过第六晶体管T6的漏极导出,写入节点N1,将节点N1的电压拉高,使得第四晶体管T4和第七晶体管T7关闭。

[0054] C阶段:第一时钟信号CK为低电平(有效电平),触发信号GSTV和第二时钟信号CB均为高电平(无效电平),第一晶体管T1和第二晶体管T2在第一时钟信号CK的控制下导通,触发信号GSTV通过第二晶体管T2的漏极导出,依次向节点N2和节点N3写入高电平信号,第五晶体管T5关闭;同时恒定低电平信号VGL通过第一晶体管T1的漏极导出,向节点N1写入低电平信号,使得第四晶体管T4开启,恒定高电平信号VGH通过第四晶体管T4的漏极导出,此时移位寄存单元的第一输出端GOUT输出高电平信号。

[0055] D阶段:第一时钟信号CK和触发信号GSTV均为高电平(无效电平),第二时钟信号CB为低电平(有效电平),因为节点N2和N3都保持着C阶段的高电平(第二电容C2的作用),所以第五晶体管T5和第六晶体管T6都是关闭的,节点N1保持着C阶段的低电平(第一电容C1的作用),第四晶体管T4开启,恒定高电平信号VGH通过第四晶体管T4的漏极导出,此时移位寄存单元的第一输出端GOUT输出高电平信号。

[0056] E阶段:第一时钟信号CK为低电平(有效电平),触发信号GSTV和第二时钟信号CB均为高电平(无效电平),第一晶体管T1和第二晶体管T2在第一时钟信号CK的控制下导通,触发信号GSTV通过第二晶体管T2的漏极导出,依次向节点N2和节点N3写入高电平信号,第五晶体管T5关闭;同时恒定低电平信号VGL通过第一晶体管T1的漏极导出,向节点N1输入低电平信号,使得第四晶体管T4开启,恒定高电平信号VGH通过第四晶体管T4的漏极导出,此时移位寄存单元的第一输出端GOUT输出高电平信号。

[0057] 在不需要输出低电平的时间段,触发信号GSTV为高电平,第一时钟信号CK每半个周期将第一晶体管T1开启,低电平通过第一晶体管T1写入到电容C1中,从而使得第四晶体管T4和第七晶体管T7保持常开状态。

[0058] 上述移位寄存单元中,虽然A、C、D、E阶段主要是通过开启第四晶体管T4,使得恒定高电平信号VGH通过第四晶体管T4的漏极直接导出,C阶段,GOUT由低电平切换为高电平,C阶段只需控制第四晶体管T4开启,就可以输出高电平(恒定高电平信号VGH),即上升沿时间 $T_r$ 很小。

[0059] 但是在B阶段,移位寄存单元的第二输出端输出低电平信号,该低电平信号是从高电平切换为低电平的第二时钟信号CB。但是在外围电路的负载(电压降)影响下,第二时钟信号CB的高低电平的切换,是需要时间的,即GOUT由高电平切换为低电平的时间较长,即下降沿时间 $T_f$ 较大。导致Gate和Reset信号的 $T_r$ (上升沿时间)和 $T_f$ (下降沿时间)差异,引起显示不良。

[0060] 本申请实施例提供一种移位寄存器单元,请参阅图4,该移位寄存器单元包括第一输入单元110、第二输入单元120、第一控制单元130、第一输出单元140和第二输出单元150。

[0061] 其中,第一输入单元110,其输入端连接第一恒压信号,其控制端G连接第一时钟信号CK,其输出端连接第一节点N1,并被配置为当第一时钟信号CK为有效电平时,将第一恒压信号写入第一节点N1;

[0062] 第二输入单元120,其输入端连接触发信号GSTV,其控制端G连接第一时钟信号CK,其输出端连接第二节点N2,并被配置为当第一时钟信号CK为有效电平时,将触发信号GSTV写入第二节点N2;

[0063] 第一控制单元130,其输入端连接第二时钟信号CB,其控制端G连接第二节点N2,其输出端连接第三节点N3,并被配置为当第二节点N2处为有效电平时,将第二时钟信号CB写入第三节点N3;

[0064] 第一输出单元140,其输入端连接第二恒压信号,其控制端G连接第一节点N1,并被配置为当第一节点N1处为有效电平时,输出第二恒压信号;其中,第二恒压信号与第一恒压信号的电平相反;

[0065] 第二输出单元150,其输入端连接第一恒压信号,其控制端G连接第三节点N3,并被配置为当第三节点N3处为有效电平时,输出第一恒压信号。

[0066] 如图5所示,在一些实施例中,第一输入单元110包括第一晶体管T1;其中,第一晶体管T1的源极为第一输入单元110的输入端,第一晶体管T1的漏极为第一输入单元110的输出端,第一晶体管T1的栅极为第一输入单元110的控制端G。

[0067] 在一些实施例中,第二输入单元120包括第二晶体管T2;其中,第二晶体管T2的源极为第二输入单元120的输入端,第二晶体管T2的漏极为第二输入单元120的输出端,第二晶体管T2的栅极为第二输入单元120的控制端G。

[0068] 在一些实施例中,第一控制单元130包括第三晶体管T3;其中,第三晶体管T3的源极为第一控制单元130的输入端,第三晶体管T3的漏极为第一控制单元130的输出端,第三晶体管T3的栅极为第一控制单元130的控制端G。

[0069] 在一些实施例中,第一控制单元130还包括第一电容C1;其中,第一电容C1的第一端连接第三晶体管T3的栅极,第一电容C1的第二端连接第三晶体管T3的漏极。在第三晶体

管T3的栅极(第二节点N2)和漏极(第三节点N3)没有电压输入(处于浮空状态, floating状态)的情况下, 第一电容C1可以进一步维持第三晶体管T3的栅极和漏极的电压(即第二节点N2和第三节点N3的电压)不变; 且第一电容C1还有电压跳变的作用, 在第三晶体管T3的栅极(第二节点N2)没有电压输入的情况下, 第三节点N3的电压变化会引起节点N2的电压同向变化, 反之亦然。

[0070] 在一些实施例中, 第一输出单元140包括第四晶体管T4; 其中, 第四晶体管T4的源极为第一输出单元140的输入端, 第四晶体管T4的漏极为第一输出单元140的输出端, 第四晶体管T4的栅极为第一输出单元140的控制端G。

[0071] 在一些实施例中, 第一输出单元140还包括第二电容C2; 其中, 第二电容C2的第一端连接第四晶体管T4的栅极, 第二电容C2的第二端连接第四晶体管T4的源极。在第四晶体管T4的栅极(第一节点N1)没有电压输入的情况下, 第二电容C2可以进一步维持第四晶体管T4的栅极电压(即第一节点N1的电压)不变。

[0072] 在一些实施例中, 第二输出单元150包括第五晶体管T5; 其中, 第五晶体管T5的源极为第二输出单元150的输入端, 第五晶体管T5的漏极为第二输出单元150的输出端, 第五晶体管T5的栅极为第二输出单元150的控制端G。

[0073] 上述移位寄存器单元中各信号的时序状态图如图6所示, 其驱动原理(方法)为:

[0074] 在触发信号GSTV为有效电平的第一阶段(A阶段)内, 将第一时钟信号CK设置为有效电平, 并将第二时钟信号CB设置为无效电平, 以使第一输出单元140输出第二恒压信号;

[0075] 在第一阶段之后触发信号GSTV为无效电平的第二阶段(B阶段)内, 将第一时钟信号CK设置为无效电平, 并将第二时钟信号CB设置为有效电平, 以使第二输出单元150输出第一恒压信号;

[0076] 在第二阶段之后触发信号GSTV为无效电平的每一阶段(C、D、E阶段)内, 将第一时钟信号CK设置为与上一阶段的第一时钟信号CK的电平相反, 并将第二时钟信号CB设置为与上一阶段的第二时钟信号CB的电平相反, 以使第一输出单元140持续输出第二恒压信号。

[0077] 在一些实施例中, 第一恒压信号为恒定低电平信号VGL, 第二恒压信号为恒定高电平信号VGH, 且第一晶体管T1至第八晶体管T5均为P型TFT, 低电平为有效电平, 高电平为无效电平。

[0078] 对应的, A阶段: 第一时钟信号CK和触发信号GSTV均为低电平(有效电平), 第二时钟信号CB为高电平(无效电平), 第一晶体管T1和第二晶体管T2在第一时钟信号CK的控制下导通, 触发信号GSTV通过第二晶体管T2的漏极导出, 向第二节点N2写入低电平信号, 使得第三晶体管T3开启, 第二时钟信号CB通过第三晶体管T3的漏极导出, 向第三节点N3写入高电平信号, 第五晶体管T5关闭; 同时恒定低电平信号VGL通过第一晶体管T1的漏极导出, 向第一节点N1写入低电平信号, 使得第四晶体管T4开启, 恒定高电平信号VGH通过第四晶体管T4的漏极导出, 此时第一输出单元140输出高电平信号(GOUT为高电平)。

[0079] B阶段: 第一时钟信号CK和触发信号GSTV均为高电平(无效电平), 第二时钟信号CB为低电平(有效电平), 因为第二节点N2(可以在第一电容C1的作用下)保持着A阶段的低电平, 第三晶体管T3开启, 第二时钟信号CB通过第三晶体管T3的漏极导出, 向第三节点N3写入低电平信号, 第五晶体管T5开启, 恒定低电平信号VGL直接通过第五晶体管T5的漏极导出, 此时第二输出单元150输出低电平信号(GOUT为低电平); 同时, 第四晶体管T4源极处的恒定

高电平信号VGH,可在第二电容C2的电压跳变作用下,将第一节点N1的电压拉高,第四晶体管T4关闭。

[0080] 其中,第二时钟信号CB写入第三节点N3,使其电压拉低,可以在第一电容C1的电压跳变作用下,进一步拉低第二节点N2的电压,维持第二节点N2的低电压,使得第二输出单元150输出低电平信号(GOUT为低电平)的持续时间增长。

[0081] C阶段:第一时钟信号CK为低电平(有效电平),触发信号GSTV和第二时钟信号CB均为高电平(无效电平),第一晶体管T1和第二晶体管T2在第一时钟信号CK的控制下导通,触发信号GSTV通过第二晶体管T2的漏极导出,向第二节点N2写入高电平信号,第三晶体管T3关闭,第三节点N3为floating状态,第二节点N2电压的上拉,可在第一电容C1的电压跳变作用下,将第三节点N3电压拉高,第五晶体管T5关闭;同时恒定低电平信号VGL通过第一晶体管T1的漏极导出,向第一节点N1写入低电平信号,使得第四晶体管T4开启,恒定高电平信号VGH通过第四晶体管T4的漏极导出,此时第一输出单元140输出高电平信号(GOUT为高电平)。

[0082] D阶段:第一时钟信号CK和触发信号GSTV均为高电平(无效电平),第二时钟信号CB为低电平(有效电平),因为第二节点N2和第三节点N3(可以在第一电容C1的作用)保持着C阶段的高电平,所以第三晶体管T3和第五晶体管T5关闭;同时,第一节点N1(可以在第二电容C2的作用)保持着C阶段的低电平,第四晶体管T4开启,恒定高电平信号VGH通过第四晶体管T4的漏极导出,此时第一输出单元140输出高电平信号(GOUT为高电平)。

[0083] E阶段:第一时钟信号CK为低电平(有效电平),触发信号GSTV和第二时钟信号CB均为高电平(无效电平),第一晶体管T1和第二晶体管T2在第一时钟信号CK的控制下导通,触发信号GSTV通过第二晶体管T2的漏极导出,向第二节点N2写入高电平信号,第三晶体管T3关闭;同时恒定低电平信号VGL通过第一晶体管T1的漏极导出,向第一节点N1写入低电平信号,使得第四晶体管T4开启,恒定高电平信号VGH通过第四晶体管T4的漏极导出,此时第一输出单元140输出高电平信号(GOUT为高电平)。

[0084] 除此之外,上述E阶段各信号的电平可以与上述阶段A相同,同样可以使得第一输出单元140输出高电平信号。

[0085] 可见,该移位寄存器单元通过时钟信号的控制,直接输出第二恒压信号(A、C、D、E阶段)或第一恒压信号(B阶段),以实现Gate和Reset信号的输出,由于恒压信号本身不存在高低电平的切换,无论是B阶段(GOUT由高电平切换为低电平,下降沿)还是C阶段(GOUT由低电平切换为高电平,上升沿),都受外围电路的负载(电压降)影响较小,电平切换时间都很短,Gate和Reset信号的Tr(上升沿时间)和Tf(下降沿时间)差异较小,可大大降低,有效改善显示不良。

[0086] 请参阅图7,在一些实施例中,上述移位寄存器单元,还包括:第二控制单元160和第三控制单元170。

[0087] 第二控制单元160,其输入端连接第一时钟信号CK,其控制端G连接第二节点N2,其输出端连接第一节点N1,并被配置为当第二节点N2处为有效电平时,将第一时钟信号CK写入第一节点N1。

[0088] 第三控制单元170,其输入端连接第二恒压信号,其第一控制端G连接第一节点N1,其第二控制端G连接第二时钟信号CB,其输出端连接第三节点N3,并被配置为当第一节点N1

和第二时钟信号CB同时为有效电平时,将第二恒压信号写入第三节点N3。

[0089] 如图8所示,在一些实施例中,第二控制单元160包括第六晶体管T6;其中,第六晶体管T6的源极为第二控制单元160的输入端,第六晶体管T6的漏极为第二控制单元160的输出端,第六晶体管T6的栅极为第二控制单元160的控制端G。

[0090] 在一些实施例中,第三控制单元170包括第七晶体管T7和第八晶体管T8;其中,第七晶体管T7的源极为第三控制单元170的输入端,第七晶体管T7的栅极为第三控制单元170的第一控制端G,第七晶体管T7的漏极连接第八晶体管T8的源极,第八晶体管T8的栅极为第三控制单元170的第二控制端G,第八晶体管T8的漏极为第三控制单元170的输出端。

[0091] 在一些实施例中,第一恒压信号为恒定低电平信号VGL,第二恒压信号为恒定高电平信号VGH,且第一晶体管T1至第八晶体管T8均为P型TFT,低电平为有效电平,高电平为无效电平。

[0092] 对应的,A阶段:第一时钟信号CK和触发信号GSTV均为低电平(有效电平),第二时钟信号CB为高电平(无效电平),第一晶体管T1和第二晶体管T2在第一时钟信号CK的控制下导通,触发信号GSTV通过第二晶体管T2的漏极导出,向第二节点N2写入低电平信号,使得第三晶体管T3和第六晶体管T6开启(第七晶体管T7开启但第八晶体管T8关闭,第三控制单元170不导通),第二时钟信号CB通过第三晶体管T3的漏极导出,向第三节点N3写入高电平信号,第五晶体管T5关闭;且第六晶体管T6开启,第一时钟信号CK通过第六晶体管T6导出,向第一节点N1写入低电平信号;同时恒定低电平信号VGL通过第一晶体管T1的漏极导出,同样向第一节点N1写入低电平信号,使得第四晶体管T4开启,恒定高电平信号VGH通过第四晶体管T4的漏极导出,此时第一输出单元140输出高电平信号(GOUT为高电平)。

[0093] B阶段:第一时钟信号CK和触发信号GSTV均为高电平(无效电平),第二时钟信号CB为低电平(有效电平),因为第二节点N2(可以在第一电容C1的作用下)保持着A阶段的低电平,第三晶体管T3和第六晶体管T6开启;第三晶体管T3开启,第二时钟信号CB通过第三晶体管T3的漏极导出,向第三节点N3写入低电平信号,第五晶体管T5开启,恒定低电平信号VGL直接通过第五晶体管T5的漏极导出,此时第二输出单元150输出低电平信号(GOUT为低电平);第六晶体管T6开启,第一控制信号通过第六晶体管T6导出,向第一节点N1写入高电平信号,使得第四晶体管T4和第七晶体管T7关闭。

[0094] 其中,第二时钟信号CB写入第三节点N3,使其电压拉低,可以在第一电容C1的电压跳变作用下,进一步拉低第二节点N2的电压,维持第二节点N2的低电压,使得第二输出单元150输出低电平信号(GOUT为低电平)的持续时间增长。

[0095] C阶段:第一时钟信号CK为低电平(有效电平),触发信号GSTV和第二时钟信号CB均为高电平(无效电平),第一晶体管T1和第二晶体管T2在第一时钟信号CK的控制下导通,触发信号GSTV通过第二晶体管T2的漏极导出,向第二节点N2写入高电平信号,第三晶体管T3和第六晶体管T6关闭,第三节点N3为floating状态,第二节点N2电压的上拉,可在第一电容C1的电压跳变作用下,将第三节点N3电压拉高,第五晶体管T5关闭;同时恒定低电平信号VGL通过第一晶体管T1的漏极导出,向第一节点N1写入低电平信号,使得第四晶体管T4开启,恒定高电平信号VGH通过第四晶体管T4的漏极导出,此时第一输出单元140输出高电平信号(GOUT为高电平)。

[0096] D阶段:第一时钟信号CK和触发信号GSTV均为高电平(无效电平),第二时钟信号CB

为低电平(有效电平),因为第二节点N2(可以在第一电容C1的作用)保持着C阶段的高电平,所以第三晶体管T3和第六晶体管T6关闭,第一节点N1(可以在第二电容C2的作用)保持着C阶段的低电平,第四晶体管T4和第七晶体管T7开启,恒定高电平信号VGH通过第四晶体管T4的漏极导出,此时第一输出单元140输出高电平信号(GOUT);且第二时钟信号CB为低电平,第八晶体管T8开启,恒定高电平信号VGH通过第七晶体管T7和第八晶体管T8导出,向第三节点N3写入高电平信号,第五晶体管T5关闭。可见,第七晶体管T7和第八晶体管T8(第三控制单元170)可以使得第三节点N3更有效地维持高电平。

[0097] E阶段:第一时钟信号CK为低电平(有效电平),触发信号GSTV和第二时钟信号CB均为高电平(无效电平),第一晶体管T1和第二晶体管T2在第一时钟信号CK的控制下导通,触发信号GSTV通过第二晶体管T2的漏极导出,向第二节点N2写入高电平信号,第三晶体管T3和第六晶体管T6关闭,第三节点N3为floating状态,第二节点N2电压的上拉,可在第一电容C1的电压跳变作用下,将第三节点N3电压拉高,第五晶体管T5关闭;同时恒定低电平信号VGL通过第一晶体管T1的漏极导出,向第一节点N1写入低电平信号,使得第四晶体管T4开启,恒定高电平信号VGH通过第四晶体管T4的漏极导出,此时第一输出单元140输出高电平信号(GOUT为高电平)。

[0098] 除此之外,上述E阶段各信号的电平可以与上述阶段A相同,同样可以使得第一输出单元140输出高电平信号。

[0099] 可见,该移位寄存器单元通过时钟信号的控制,直接输出第二恒压信号(A、C、D、E阶段)或第一恒压信号(B阶段),以实现Gate和Reset信号的输出,由于恒压信号本身不存在高低电平的切换,无论是B阶段(GOUT由高电平切换为低电平,下降沿)还是C阶段(GOUT由低电平切换为高电平,上升沿),都受外围电路的负载(电压降)影响较小,电平切换时间都很短,Gate和Reset信号的Tr(上升沿时间)和Tf(下降沿时间)差异较小,可大大降低,有效改善显示不良。

[0100] 图9示出了上述移位寄存器单元的仿真验证示意图,根据图9的仿真结果可以看到,其结果与图6的时序图基本一致,且GOUT的Tr(上升沿时间)和Tf(下降沿时间)都比较小,且二者差异较小。

[0101] 本申请实施例还提供了一种扫描驱动电路,该扫描电路包括级联的多个如上述任一实施例的移位寄存器单元,该扫描驱动电路可以为栅极扫描驱动电路,即Gate on Array,GOA电路,用于输出Gate和Reset信号。

[0102] 本申请实施例还提供了一种显示基板,该显示基板包括上述的扫描驱动电路。该显示基板包括显示区以及设置于显示区外围的非显示区,上述的扫描驱动电路位于该显示基板的非显示区内。

[0103] 本申请实施例还提供了一种显示装置,显示装置包括上述的显示基板。

[0104] 在一些实施例中,显示装置为显示面板,显示面板包括上述的显示基板及玻璃盖板。

[0105] 在一些实施例中,显示装置可包括显示面板及壳体,显示面板与壳体相连接,例如,显示面板嵌入到壳体内。显示装置例如可以为手机、平板电脑、电视机、笔记本电脑、数码相框、导航仪等任何具有显示功能的设备。

[0106] 以上仅为本申请的优选实施例而已,并不用于限制本申请,对于本领域的技术人

员来说,本申请可以有各种更改和变化。凡在本申请的精神和原则之内,所作的任何修改、等同替换、改进等,均应包含在本申请的保护范围之内。虽然本申请所公开的实施方式如上,但的内容只是为了便于理解本申请而采用的实施方式,并非用以限定本申请。任何本申请所属技术领域内的技术人员,在不脱离本申请所公开的精神和范围的前提下,可以在实施的形式上及细节上作任何的修改与变化,但本申请的保护范围,仍须以所附的权利要求书所界定的范围为准。

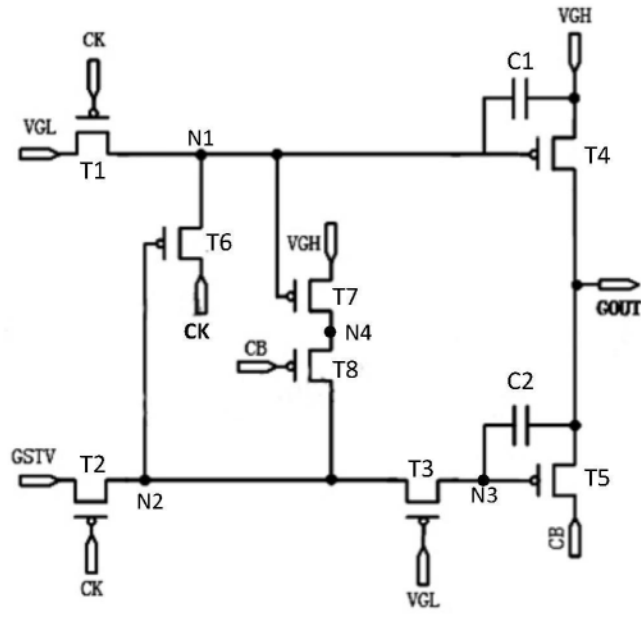


图1

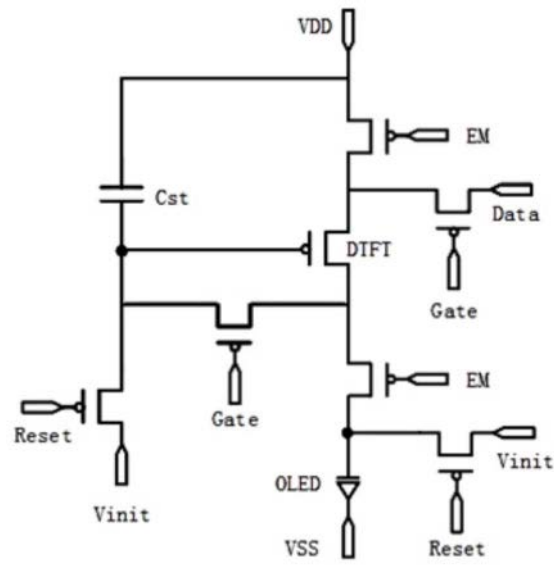


图2

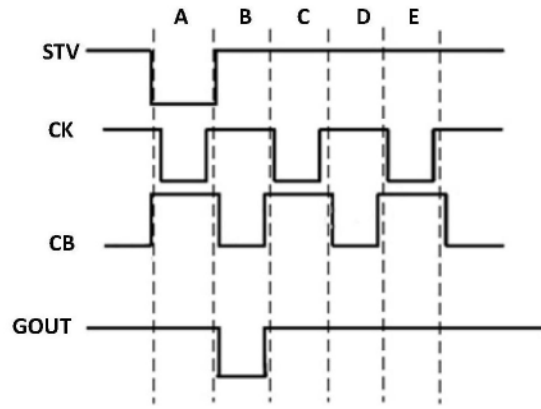


图3

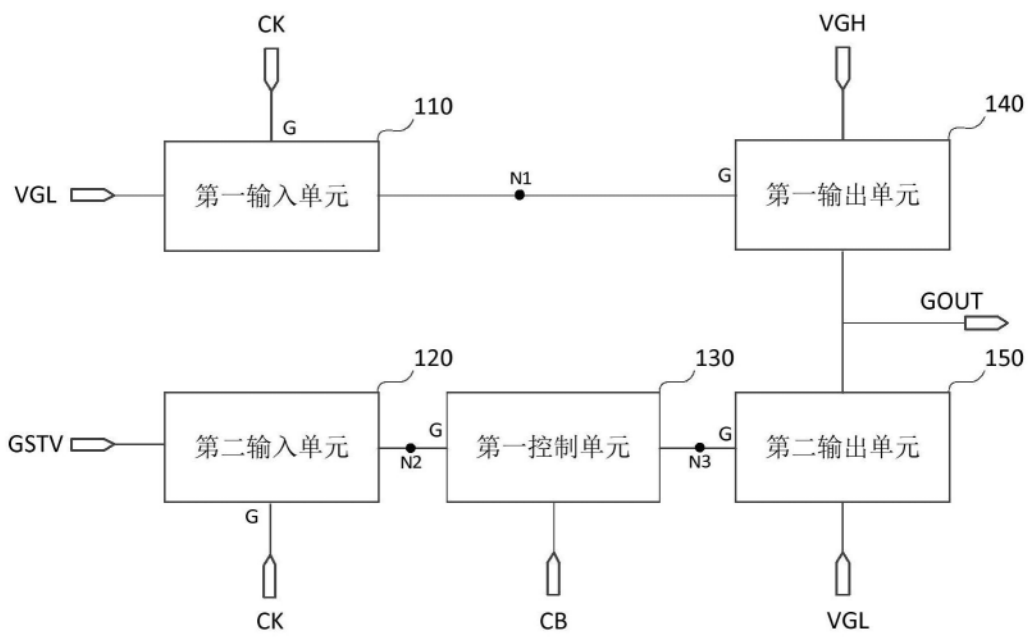


图4

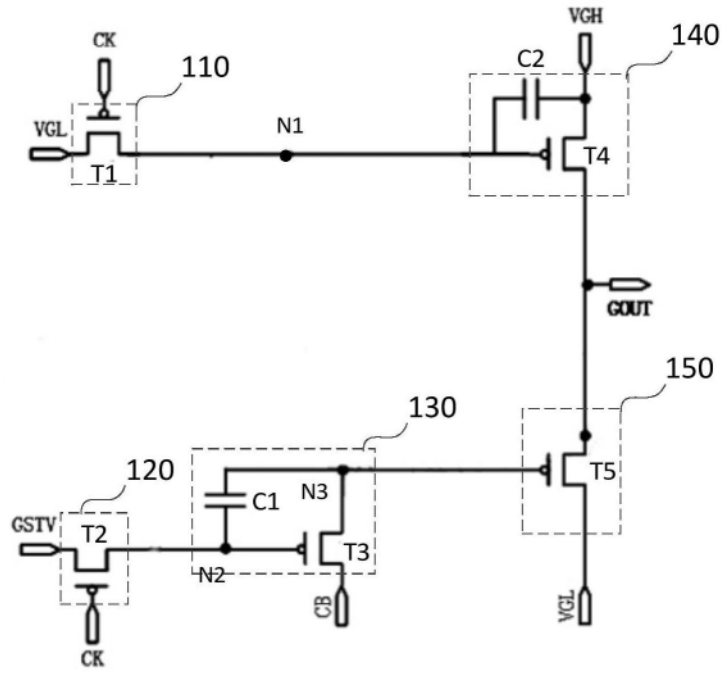


图5

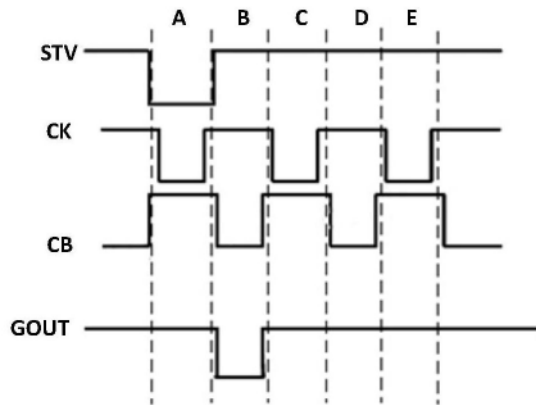


图6

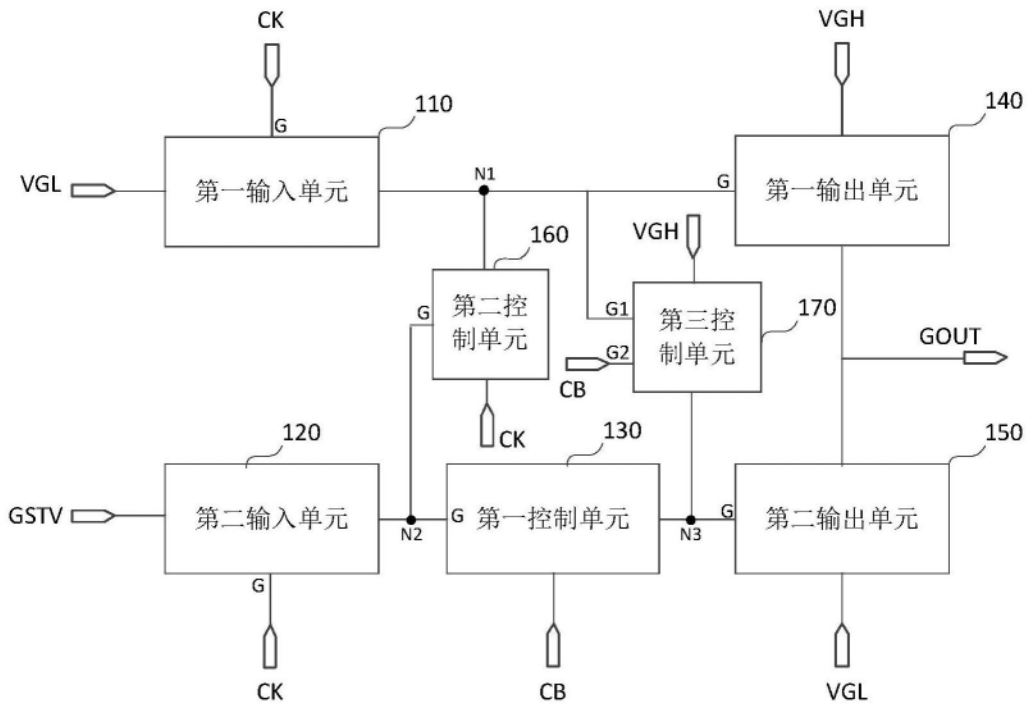


图7

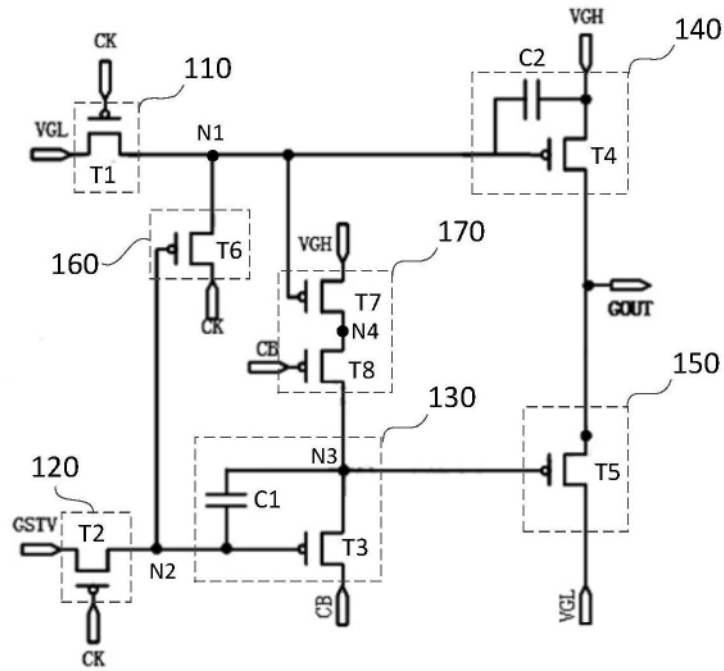


图8

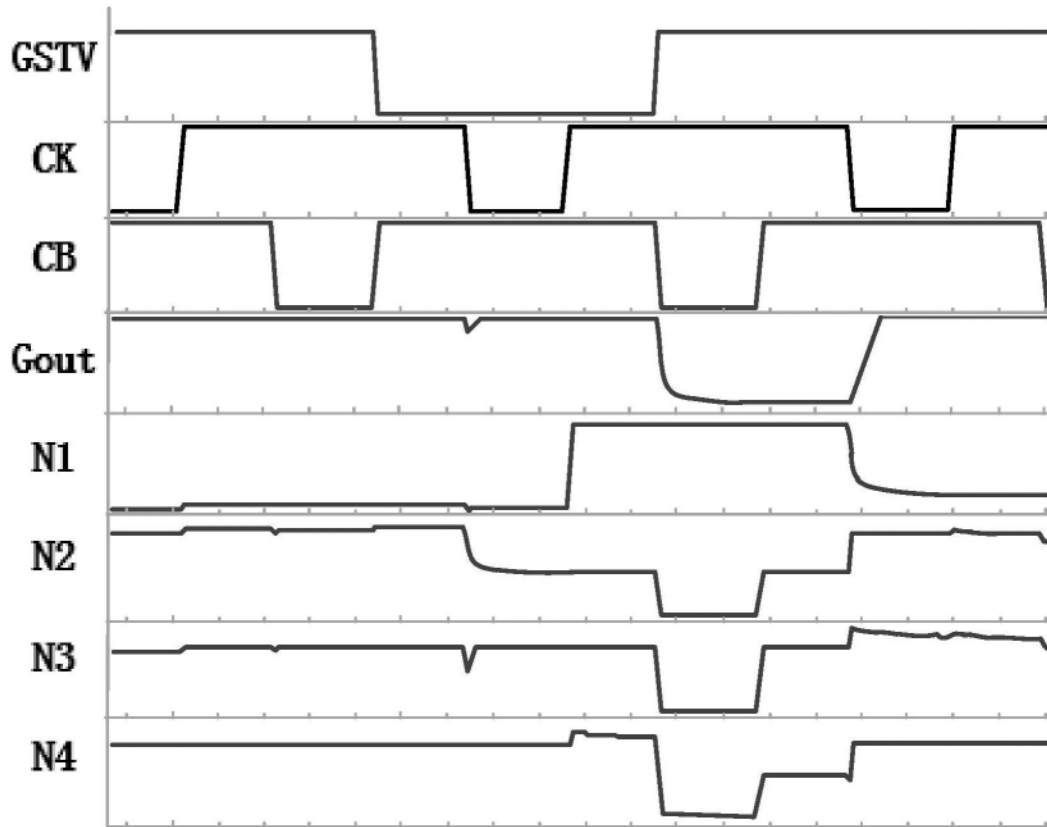


图9