



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I498943 B

(45)公告日：中華民國 104 (2015) 年 09 月 01 日

(21)申請案號：100135318

(22)申請日：中華民國 100 (2011) 年 09 月 29 日

(51)Int. Cl. : H01L21/205 (2006.01)

H01L21/31 (2006.01)

C23C16/44 (2006.01)

(30)優先權：2010/10/06 美國

12/899,401

(71)申請人：應用材料股份有限公司 (美國) APPLIED MATERIALS, INC. (US)

美國

(72)發明人：拉札高帕藍納卡拉詹 RAJAGOPALAN, NAGARAJAN (IN)；韓新海 HAN, XINHAI (CN)；朴智愛 PARK, JI AE (KR)；清原勉 KIYOHARA, TSUTOMU (JP)；朴素賢 PARK, SOHYUN (KR)；金秉憲 KIM, BOK HOEN (US)

(74)代理人：蔡坤財；李世章

(56)參考文獻：

US 6274496B1

US 6338874B1

US 20060211224A1

US 20070116888A1

審查人員：陳英豪

申請專利範圍項數：20 項 圖式數：12 共 35 頁

(54)名稱

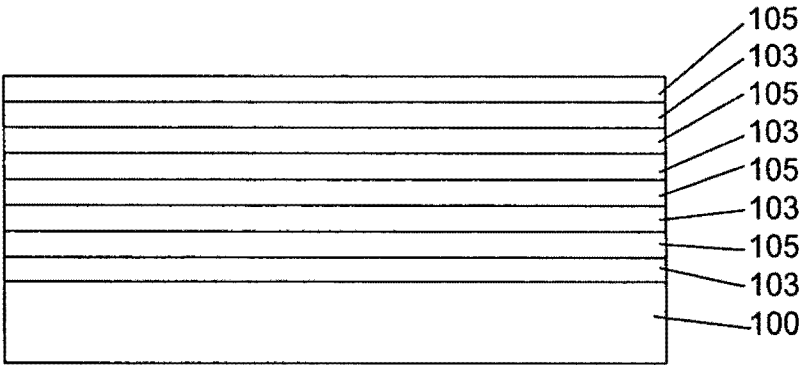
用於 3 D 記憶體應用的 P E C V D 氧化物－氮化物及氧化物－矽堆疊

PECVD OXIDE-NITRIDE AND OXIDE-SILICON STACKS FOR 3D MEMORY APPLICATION

(57)摘要

在單一電漿增強化學氣相沈積處理腔室中，沉積不同材料的層堆疊結構至基板上，同時維持真空。基板放到處理腔室中，第一處理氣體用於形成第一層第一材料至基板上。在第二處理氣體用於形成第二層第二材料至基板上前，進行電漿淨化及氣體淨化。反覆進行電漿淨化及氣體淨化，並且沉積第一與第二材料附加層至層堆疊結構上。

A layer stack of different materials is deposited on a substrate in a single plasma enhanced chemical vapor deposition processing chamber while maintaining a vacuum. A substrate is placed in the processing chamber and a first processing gas is used to form a first layer of a first material on the substrate. A plasma purge and gas purge are performed before a second processing gas is used to form a second layer of a second material on the substrate. The plasma purge and gas purge are repeated and the additional layers of first and second materials are deposited on the layer stack.



100 . . . 基板
103、105 . . . 材料
層

第1圖

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫；惟已有申請案號者請填寫)

※申請案號：100135318

※申請日期：100年9月29日

※IPC 分類：H01L 21/205 (2006.01)
H01L 21/31 (2006.01)
C23C 16/44 (2006.01)

一、發明名稱：(中文/英文)

用於3D記憶體應用的PECVD氧化物-氮化物及氧化物-矽堆疊

PECVD OXIDE-NITRIDE AND OXIDE-SILICON STACKS FOR 3D
MEMORY APPLICATION

二、中文發明摘要：

在單一電漿增強化學氣相沈積處理腔室中，沉積不同材料的層堆疊結構至基板上，同時維持真空。基板放到處理腔室中，第一處理氣體用於形成第一層第一材料至基板上。在第二處理氣體用於形成第二層第二材料至基板上前，進行電漿淨化及氣體淨化。反覆進行電漿淨化及氣體淨化，並且沉積第一與第二材料附加層至層堆疊結構上。

三、英文發明摘要：

A layer stack of different materials is deposited on a substrate in a single plasma enhanced chemical vapor deposition processing chamber while maintaining a vacuum. A substrate is placed in the processing chamber and a first processing gas is used to form a first layer of a first material on the substrate. A plasma purge and gas purge are performed before a second processing gas is used to form a second layer of a second material on the substrate. The plasma purge and gas purge are repeated and the additional layers of first and second materials are deposited on the

layer stack.

四、指定代表圖：

(一)本案指定代表圖為：第（ 1 ）圖。

(二)本代表圖之元件符號簡單說明：

100 基板

103、105 材料層

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：
無

六、發明說明：

【交互參照之相關申請案】

本申請案主張西元 2010 年 10 月 6 日提出申請、名稱為「用於 3D 記憶體應用的 PECVD 氧化物-氮化物及氧化物 - 矽堆疊 (PECVD OXIDE-NITRIDE AND OXIDE-SILICON STACKS FOR 3D MEMORY APPLICATION)」的美國專利申請案第 12/899,401 號的優先權。上述文獻內容以引用方式併入本文。

【發明所屬之技術領域】

本發明係關於半導體基板處理系統，且更特別地，本發明係關於沉積材料層堆疊結構的製程。

【先前技術】

半導體基板處理系統通常含有處理腔室，處理腔室具有基座，以將半導體基板支撐在腔室內鄰近處理區域處。腔室構成真空封閉區而在某種程度上界定處理區域。氣體分配組件或噴淋頭提供一或更多種處理氣體至處理區域。氣體接著經加熱及/或激發而形成電漿，以於基板上進行一些製程。該等製程包括電漿增強化學氣相沈積 (PECVD)，藉以沉積膜至基板上。

三維 (3D) 記憶體可由沉積於基板上的交替膜材料層堆疊結構製成。例如，3D 記憶體可包括氧化物與氮化物

104年3月31日修正替換頁

膜的交替層或氧化物與矽膜的交替層。該等堆疊結構可包括多層第一材料和第二材料。為形成該等層堆疊結構，把基板放到第一 PECVD 腔室內，及施加真空至腔室。前驅物氣體用來產生電漿，第一材料沉積在基板上。以惰氣（例如氮氣）淨化腔室，接著將基板移出第一 PECVD 腔室。接著將基板傳送到第二 PECVD 腔室。施加真空至第二 PECVD 腔室，前驅物氣體用來產生電漿，第二材料沉積在基板上的第一材料上。移開基板，反覆進行製程，直到基板上形成所需層數。

上述製程的問題在於，在不同處理腔室中沉積各材料層十分沒有效率。故需要在單一處理腔室中形成多層不同材料又不需破處理腔室真空的方法。

【發明內容】

在一實施例中，製造交替材料層堆疊結構的製程係在單一 PECVD 處理腔室中原位進行。基板放到 PECVD 處理腔室的接地基座上。關閉處理腔室的門以密封腔室，及施加真空至腔室。在一實施例中，電極按電容耦合構造裝設在基座上。交流射頻（RF）功率施加至電極，而於基板與電極間產生電場。第一組處理氣體流入處理腔室，並在 PECVD 腔室內激發成第一電漿。電漿具有相當多比例的離子化原子或分子，原子或分子釋出電子。該等高能電子會誘發第一處理氣體分子解離而產生大量自

由基。如此將沉積第一材料至基板上。

沉積第一材料層後，進行電漿淨化，以清潔 PECVD 腔室及調理第一材料層表面，使第一材料層與將沉積的下一材料層間有良好界面。接著進行氣體淨化，以清除殘餘氣體。第二組處理氣體流入處理腔室，並在 PECVD 腔室內激發成第二電漿。第二材料層從第二電漿沉積在第一材料上。電漿淨化清潔 PECVD 腔室及調理第二材料層表面。接著進行氣體淨化，以移除第二處理氣體。

反覆進行所述沉積第一與第二材料層的製程，直到基板上已沉積所需層數。由於不同材料沉積係在同一 PECVD 處理腔室中進行，且在整個沉積過程，PECVD 處理腔室維持真空，故可增進製程效率。因不需在兩個不同 PECVD 處理腔室間傳送基板來沉積不同材料層，故可節省許多時間。

沉積的材料層堆疊結構取決於 3D 記憶體製造類型。可形成層堆疊結構的材料實例包括：氧化矽/氮化矽、氧化矽/矽、矽/摻雜矽、矽/氮化矽和其他材料。沉積層堆疊結構後，將基板移出 PECVD 處理腔室，及進行額外處理，以製造 3D 記憶裝置。在一些實施例中，記憶裝置需要 8x、16x、24x 或更多層材料。

沉積材料層至基板上的潛在問題為，各層會產生施加於基板的拉伸應力或壓縮應力。基板反抗來自沉積層的應力，造成基板應變變形，導致基板上表面彎曲。基板上表面變形會造成後續微影處理產生誤差。為最小化基

板變形，可調整沉積材料層，使基板上的淨應力很小。更特定言之，可調整兩種材料的應力，使兩種材料的應力強度實質相等且方向相反。沉積彼此相鄰的層組時，相等、但相反的拉伸或壓縮應力將互相抵消，如此基板的淨應力很小，因而基板不會發生任何變形。

雖然淨應力近似零，但因應力相反，相鄰層間應力可能很大。若應力太大，則可能打斷相鄰層間鍵合，以致部分層堆疊結構分層。為避免分層，相鄰材料鍵合必須很強。在一實施例中，沉積材料後，於材料的露出表面施行電漿處理，以改善相鄰層間鍵合界面及防止分層。

【實施方式】

參照第 1 圖，在一實施例中，多層堆疊結構 101 形成在基板 100 上，基板 100 具有第一材料層 103 和第二材料層 105。後續層可重複第一材料層 103 與第二材料層 105 的交替圖案而得。在一個實施例中，第一材料為氧化物，第二材料為氮化物。在其他實施例中，第一/第二材料堆疊結構為氧化物/矽、矽/摻雜矽或矽/氮化物。所有材料組合物可用於 BiCS (Bit-Cost Scalable)、TCAT (Terabit Cell Array Transistor) 和其他 3D 記憶體結構。在其他實施例中，第一/第二材料堆疊結構為其他材料組合物。第一與第二材料層沉積至基板上的順序亦可相反。

層數取決於製造的記憶裝置。在一實施例中，堆疊數

104年3月1日修正替換頁

量可為 8x 或 16x 或 24x 或更多，其中 8、16、24 或更多層的各堆疊結構相當於一個記憶裝置。兩個不同材料層構成各堆疊結構，故 8x 堆疊數量的對應層數可為 16，16x 堆疊數量可有 32 層，24x 堆疊數量可有 48 層，更多堆疊數量可具更多層數。

參照第 2 圖，第 2 圖圖示 PECVD 處理腔室 201。處理腔室 201 包括基座 211、處理氣體歧管 213、處理氣源 215、電極 217、發射交流 RF 電源的 RF 功率源 219、加熱器 221 和淨化氣源 222。在一實施例中，電極 217 設在基座 211 正上方，基座 211 按電容耦合構造電氣接地。在一實施例中，電極 217 為噴淋頭結構，噴淋頭結構具有處理氣體流動路徑。處理和淨化氣體流過歧管 213 和電極 217 而至處理腔室 201 的基座上方。

處理時，將基板 100 放到基座 211 上，及施加真空至 PECVD 處理腔室 201。施予加熱器 221 能量，以加熱基板 100。第一組處理氣體通過歧管 213 而進入處理腔室 201。電極 217 由 RF 功率源 219 供給能量，以於電極 217 與接地基座 211 間產生電場。在一實施例中，基座 211 設在可變高度調整器上，可變高度調整器能控制基板 100 頂部與電極 217 間的間隔。RF 電場激發第一組處理氣體而產生電漿 225。電漿 225 具有相當多比例的離子化原子或分子，原子或分子釋出電子。高能電子會誘發前驅物分子解離而產生大量自由基。如此將沉積材料至基板 100 上。一旦沉積預定厚度的第一材料，即可停止沉積。

第一材料層厚度可為 100 埃 ($\text{\AA}$) 至 1000 $\text{\AA}$ 。

沉積第一材料至基板 100 上後，電漿淨化 PECVD 處理腔室 201。淨化氣體從淨化氣源 222 流入歧管 213 和處理腔室 201。供給電極 217 和基座 211 能量，以產生淨化氣體電漿。可使用各種淨化氣體，包括氨氣 (NH_3)、氮氣 (N_2)、一氧化二氮 (N_2O)、氫氣 (H_2)、氬氣 (Ar) 和其他適合的電漿淨化氣體。淨化製程期間，維持處理腔室內的熱和壓力。電漿淨化調節露出的層表面供附加沉積用。已調理表面造成平滑的層間界面與較佳的層間黏著性和較佳的微粒控制。在一些實施例中，為獲得較佳層鍵合期有較粗糙的界面，並進行不同或額外的電漿淨化製程。完成電漿淨化後，關閉供給電極 217 和基座 211 能量，淨化氣體從淨化氣源 222 流入歧管 213 和處理腔室 201，以移除所有氣體污染物。在一實施例中，淨化製程期間，停止流入前驅物氣體的一或更多個組分。例如，若處理氣體包括甲烷 (SiH_4) 與 N_2O 的混合物，則淨化氣體可只包括 N_2O ，且關閉 SiH_4 流入。在其他實施例中，可使用一或更多種不同的淨化氣體。

完成電漿與氣體淨化後，沉積第二材料至基板上。電極 217 由 RF 功率源 219 供給能量，以於電極 217 與接地基座 211 間產生電場，所述電場激發第二組處理氣體而產生電漿 225。一旦沉積預定厚度的第二材料，即可停止沉積。第二材料層厚度可為 100 $\text{\AA}$ 至 1000 $\text{\AA}$ 。沉積第二材料層後，如上所述，電漿淨化 PECVD 腔室。如上所

述，接著移除供給電極 217 能量，及氣體淨化 PECVD 腔室。一旦完成電漿及氣體淨化，反覆進行沉積第一材料與第二材料的製程，直到已沉積所需層為止。接著將基板 100 移出 PECVD 腔室 201，以進行額外處理。

所述第一材料與第二材料層沉積製程具高時間與能量效率，此係因為不同材料係在同一 PECVD 處理腔室中沉積。因不需在兩個 PECVD 處理腔室間傳送晶圓來沉積第一材料與第二材料層，故可節省許多時間。例如，所述製程節省的時間比採用兩個 PECVD 處理腔室的相同沉積製程快超過 50%。又，因只需單一 PECVD 處理腔室而不需破施加至處理腔室的真空及再施予各沉積層，因此所述層堆疊結構沉積製程將更具能量效率。

另一可能發生問題在於不同材料沉積至基板上後會引發壓縮或拉伸應力。此應力會造成基板彎曲。參照第 3 圖，材料層 291 沉積於基板 100 上。第一材料 291 接著膨脹而造成壓縮應力 295。基板 100 反抗第一材料層 291 的壓縮應力 295，導致基板 100 的邊緣往下彎曲。同樣地，參照第 4 圖，第二材料層 293 沉積於基板 100 上，第二材料 293 引發拉伸應力 297。基板 100 亦將反抗拉伸應力 297，導致基板 100 的邊緣往上彎曲。由於製造容差必須非常精確，故進行後續微影處理時，任何基板彎曲或基板凸塊都會引起對準問題。錯準會產生製造誤差和有缺陷的裝置建構。

為修正此問題，在一實施例中，可調整各沉積層施加

104年3月1日修正後換頁

至基板的應力。應力由沉積材料決定。亦可調整沉積處理條件，以將應力調整成限制範圍內，沉積處理條件包括處理溫度、前驅物氣體流率、氣體壓力和電漿密度。例如，較冷處理溫度會產生壓縮應力，較熱處理溫度會產生拉伸應力。較低電漿壓力會增強離子轟擊反應物種而產生壓縮應力，反之，較高電漿壓力會產生拉伸應力。藉由提高 RF 功率或縮小基板上方間隔，可提高電漿密度，如此將產生更多離子轟擊反應物種而產生壓縮應力；較低電漿密度會產生拉伸應力。藉由控制溫度和電漿密度，可預測沉積材料的應力。

參照第 5 圖，第 5 圖圖示多層堆疊結構 101 的截面，第 6 圖圖示多層堆疊結構 101 的上視圖。第一材料層 291 的壓縮應力 295 實質等於第二材料層 293 的拉伸應力 297，第二材料層 293 沉積在第一材料層 291 上。該等應力 295、297 呈相反方向，因而可有效互相抵消。由於拉伸與壓縮層的數量相同，故基板 100 的總淨應力近似零。

例如，第一材料層 291 可為氧化矽，第一材料層 291 產生壓縮應力。第二層 293 可為氮化矽層，第二層 293 產生拉伸應力。氮化矽第二層 293 產生的拉伸應力強度實質等於氧化矽第一層 291 的壓縮應力。各對層 291、293 沉積在彼此的頂部而形成層堆疊結構 101，層堆疊結構 101 具有平衡應力和小於 150 兆帕（MPa）的低總淨應力。如此導致基板 100 將不會因沉積層應力而應變變形。因應力達平衡，故可將變形減至最少，是以基板 100

的上表面將變得平滑又平坦。沉積層 291、293 後，進行精確微影處理需要平坦的基板表面，以形成半導體裝置，例如 BiSC 3D 記憶體。彎曲或依其他方式變形的基板 100 將造成微影誤差。

如所述，各種材料組合物可如層般沉積至基板 100 上。該等材料各自可以特定處理氣體和特定 PECVD 操作條件沉積。用於沉積層堆疊結構的製程繪示於第 7 至 10 圖，第 7 至 10 圖為沉積製程流程圖，用以沉積多層形式的不同材料組合物至基板上。

參照第 7 圖，第 7 圖圖示用以原位沉積氧化矽與氮化矽層堆疊結構至基板上的流程圖。把基板放到 PECVD 處理腔室內，及施加真空至腔室（步驟 301）。腔室的真空壓力可為約 0.5 托耳至 10 托耳。處理腔室經加熱達約 180 °C 至 650 °C。施加至電極的高頻或 RF 功率可為約 45 瓦（W）至 1000 W，基板與電極間的間隔可為約 200 密耳至 800 密耳。第一處理氣體可包括 SiH_4 與 N_2O 或其他含矽分子與含氧分子。 SiH_4 的流率可為約 20 標準立方公分每分鐘（sccm）至 1000 sccm， N_2O 的流率可為約 1000 sccm 至 20000 sccm。 SiH_4 與 N_2O 將被激發而轉化成含 Si 與 O 離子的電漿。離子反應形成氧化矽層沉積至基板上（步驟 303）。沉積所需厚度的氧化矽後，停止沉積。

在一實施例中，將 SiH_4 引入處理腔室前，可開啟電漿，以減少氧化矽表面的表面粗糙度。藉由縮短 SiH_4 物種的駐留時間，晶圓表面將更為平滑，進而改善界面與後續

沉積層間鍵合。

沉積氧化矽後，電漿淨化及氣體淨化 PECVD 處理腔室。溫度可為約 180°C 至 650°C ，真空壓力可為約 0.5 托耳至 10 托耳。基板與電極間的間隔可為約 200 密耳至 800 密耳。 N_2O 淨化氣體可按約 2000 sccm 至 30000 sccm 的流率流過歧管而進入處理腔室（步驟 305）。以 100 W 至 1000 W 的功率供給電極和基座能量，以產生淨化氣體電漿。電漿淨化和 N_2O 淨化清潔處理腔室而造成平滑的層間界面、較佳的沉積層間黏著性和較佳的微粒控制。

完成淨化後，沉積氮化矽層至氧化矽層上。腔室壓力可為約 0.5 托耳至 10 托耳。處理腔室經加熱達約 180°C 至 650°C 。施加至電極的高頻或 RF 功率可為約 50 W 至 700 W，基板與電極間的間隔可為約 200 密耳至 800 密耳。第二處理氣體可包括 SiH_4 、 NH_3 與 N_2 或其他含矽分子與含氮分子。 SiH_4 的流率可為約 20 sccm 至 1000 sccm， NH_3 的流率可為約 50 sccm 至 1000 sccm， N_2 的流率可為約 2000 sccm 至 30000 sccm。 SiH_4 、 NH_3 與 N_2 將被激發而轉化成含 Si 與 N 離子的電漿，該等離子將反應而沉積氮化矽層至基板上（步驟 307）。沉積所需厚度的氮化矽後，停止沉積。系統接著將決定是否需沉積附加層（步驟 309）。

沉積氮化矽後，於氮化矽層上進行電漿處理（步驟 311），以改善氮化矽上的鍵合界面表面，使氧化矽層得以牢牢沉積在氮化矽上。雖然基板的淨應力近似零，但

若任何相鄰層間界面鍵合很弱，則相鄰層間的個別應力可能導致分層。層堆疊結構的單一部分分層將造成裝置缺陷。故相鄰層間需有強界面鍵合，以防分層。在一實施例中，氮化矽層上進行電漿處理亦可改善表面粗糙度，因此與沉積於氮化矽層上的材料間將有強鍵合。

若相鄰層間界面鍵合很強，又層中應力強度相等且方向相反，基板上的淨應力小於 150 MPa，則基板將不會因層中應力而變形。由於基板未變形，故沉積層堆疊結構後，上表面將變得平滑又平坦。沉積氧化層與氮化層後，進行精確微影處理需要平滑的表面，以形成半導體裝置，例如 BiSC 和 TCAT 3D 記憶體。層堆疊結構 101 的上表面有凸塊或彎曲會造成微影誤差，導致製造裝置產生缺陷。

在一實施例中，電漿處理氣體可包括 NH_3 與 N_2 。處理腔室經加熱達約 180°C 至 650°C ，真空壓力可為約 0.5 托耳至 10 托耳。施加至電極的高頻或 RF 功率可為約 200 W 至 2000 W，基板與電極間的時間可為約 200 密耳至 800 密耳。 NH_3 的流率可為約 50 sccm 至 1000 sccm， N_2 的流率可為約 2000 sccm 至 30000 sccm。 NH_3 與 N_2 將被激發成電漿，該電漿處理氮化矽層表面，以提供所需表面粗糙度而改善界面。已調理表面提供與待沉積氧化矽層間的良好界面鍵合。層間鍵合強可防止分層及避免基板彎曲或變形。

進行氮化矽電漿處理後，淨化處理腔室（步驟 313）。

步驟 313 的淨化製程可和上述步驟 305 中按約 2000 sccm 至 30000 sccm 的流率使用 N_2 淨化氣體的製程一樣。接著可反覆進行製程步驟 303 至 313，直到基板上已沉積所需層數的氧化層和氮化層（步驟 309）。

在 3D 記憶裝置中，以所述方式沉積的層數和垂直堆疊的記憶體電晶體數量成比例。在一實施例中，8、16、24 或更多電晶體可垂直排列在基板上。每一電晶體可能需要一對相鄰層。故所需層數可為 16、32 或 48 或更多。基板上已沉積所需材料層後，使 PECVD 處理腔室處於周圍壓力，及將基板移出 PECVD 處理腔室（步驟 315），以進行進一步處理。

參照第 8 圖，第 8 圖圖示用以原位沉積氧化矽與矽層堆疊結構至基板上的流程圖。把基板放到 PECVD 處理腔室內，及施加真空至腔室（步驟 401）。可以和上述第 7 圖步驟 303 一樣的方式，採取相同操作條件沉積氧化矽材料。處理氣體被激發而轉化成含 Si 與 O 離子的電漿，該等離子將反應而沉積氧化矽層至基板上（步驟 403）。沉積氧化矽層後，電漿淨化及氣體淨化腔室（步驟 405）。可採行和上述第 7 圖步驟 305 一樣的淨化製程。

電漿及氣體淨化處理腔室後，沉積矽層至氧化矽層上（步驟 407）。腔室壓力可為約 0.5 托耳至 10 托耳。處理腔室經加熱達約 400°C 至 650°C 。施加至電極的高頻或 RF 功率可為約 50 W 至 700 W，基板與電極間的間隔可為約 200 密耳至 800 密耳。處理氣體可包括 SiH_4 或其他

104年3月31日修正等換頁

含矽分子與 $\text{He} \cdot \text{SiH}_4$ 的流率可為約 50 sccm 至 2000 sccm， He 的流率可為約 1000 sccm 至 20000 sccm。處理氣體被激發而形成含矽離子，矽離子與電子反應而沉積矽層。系統將決定是否需要附加層（步驟 409），及淨化 PECVD 腔室（步驟 411），以備進行額外沉積。反覆進行製程步驟 403 至 411，直到已沉積所有氧化矽與矽層。已沉積所有層後（步驟 409），使 PECVD 處理腔室處於周圍壓力，及移出基板（步驟 415）。就 3D 記憶體而言，基板上應沉積至少八層材料。可在其他處理腔室中進行額外處理。

參照第 9 圖，在一實施例中，矽與摻雜矽層堆疊結構沉積於基板上。把基板放到 PECVD 處理腔室內，及施加真空（步驟 501）。沉積矽材料至基板上（步驟 503）。上述第 8 圖步驟 403 的矽沉積製程可用來沉積矽層。沉積矽材料後，電漿淨化及淨化處理腔室（步驟 505）。上述第 7 圖步驟 305 的淨化製程可用來淨化 PECVD 腔室。

接著將矽與摻質前驅物輸送到處理腔室，以沉積摻雜矽材料至矽層上（步驟 507）。摻雜矽包括矽和提高矽導電率的雜質。導電率不僅隨雜質原子數量改變，還會因雜質原子類型而不同。摻雜矽沉積處理類似上述第 8 圖步驟 407 敘述的矽沉積。處理氣體可包括 SiH_4 與 He 和其他摻質氣體，以形成 p 型或 n 型摻雜矽層。摻質前驅物氣體與 SiH_4 和 H_2 混合而將雜質加入沉積矽晶格中。

為製造 p 型摻雜矽，需要硼（B）摻質前驅物氣體。適

合的摻質前驅物氣體包括三甲基硼 ($\text{B}(\text{CH}_3)_3$; TMB) 和二硼烷 (B_2H_6) 或其他含硼分子，摻質前驅物氣體伴隨 SiH_4 和 He 流入處理腔室。在其他實施例中，可使用其他包括硼的處理氣體。p 型摻質氣體與 SiH_4 和 He 混合而將雜質加入沉積矽晶格中。該等 B 摻質前驅物氣體的流率可為約 1 sccm 至 50 sccm。B 摻質前驅物氣體的流率和 p 型摻雜矽層中的 B 摻質濃度成比例。沉積所需厚度的 p 型矽後，停止沉積。在一實施例中，硼從 p 型摻雜矽層擴散。為最小化硼擴散，可於 p 型摻雜矽層旁沉積富含氮的材料薄層。富含氮的材料可防止硼從摻雜矽層擴散，使所需硼量留在摻雜矽中。

為製造 n 型摻雜矽，需要磷 (P) 摻質前驅物氣體。適合的 P 摻質前驅物氣體包括磷 (PH_3) 和其他含磷分子，摻質前驅物氣體伴隨 SiH_4 和 He 按約 1 sccm 至 50 sccm 的流率流入處理腔室。在其他實施例中，可使用其他含磷分子。 PH_3 的流率和 n 型摻雜矽層中的 P 摻質濃度成比例。沉積所需厚度的 n 型矽後，停止沉積處理。

沉積摻雜矽後，系統將決定是否需要附加層（步驟 509），淨化 PECVD 處理腔室（步驟 511），及反覆進行步驟 503 至 511，直到已沉積所需層數（步驟 509），所需層數可為四或更多層。所有層係在同一 PECVD 處理腔室中沉積，且在整個層沉積過程中，處理腔室維持真空。沉積矽和摻雜矽層後，自 PECVD 處理腔室移除真空，及移出基板（步驟 515）。接著可於晶圓上進行額外處理。

在另一實施例中，可利用不同製程來沉積矽與摻雜矽層堆疊結構至晶圓上。藉由開啟及關閉摻質前驅物的流率，矽電漿和摻雜矽電漿可背靠背運行。參照第 10 圖，把基板放到 PECVD 處理腔室內，及施加真空（步驟 501）。施加 RF 功率至電極。如同上述第 9 圖，矽前驅物氣體流入處理腔室而產生電漿，矽層沉積至晶圓上。沉積所需厚度的矽後，沉積摻雜矽。不進行電漿及氣體淨化，而是加入摻質前驅物至矽前驅物中（步驟 506），以沉積摻雜矽至矽層上（步驟 507）。沉積所需厚度的摻雜矽後，停止摻質前驅物（步驟 512），沉積附加矽層至晶圓上（步驟 503）。反覆進行製程步驟 503 至 512，直到沉積所有矽/摻雜矽層為止（步驟 509）。沉積矽和摻雜矽層後，自 PECVD 處理腔室移除真空，及移出基板（步驟 515），接著可於晶圓上進行額外處理。由於不需電漿及氣體淨化步驟，故以所述方式進行晶圓的矽/摻雜矽層堆疊結構沉積處理將更有效率。

在一實施例中，期減少矽和摻雜矽層的氫含量。減少氫含量可減少後續退火處理晶圓時逸出氣體。氫含量較少亦可避免層堆疊結構或硬罩結構中的界面分層，硬罩結構可含有碳系膜、金屬氮化物和介電氮化物。

參照第 11 圖，在一實施例中，矽與摻雜矽層堆疊結構沉積於基板上。把基板放到 PECVD 處理腔室內，及施加真空（步驟 801）。沉積矽材料至基板上（步驟 803）。上述第 8 圖步驟 403 的矽沉積製程可用來沉積矽層。沉積

矽材料後，淨化處理腔室（步驟 805）。上述第 7 圖步驟 305 的淨化製程可用來淨化 PECVD 腔室。

氮化矽層不直接沉積在矽層上，而是將氧化矽處理氣體引入 PECVD 處理腔室內，同時施加 RF 功率至電極，以沉積氧化矽薄層至矽層上（步驟 807）。氧化矽可當作黏著劑，用以改善矽與氮化矽層間鍵合，進而防止界面在後續退火處理期間分層。氧化矽薄膜沉積在矽層上。氧化矽沉積製程係參照第 7 圖步驟 303 描述。接著電漿及氣體淨化腔室（步驟 809），及沉積氮化矽層至氧化矽層上（步驟 811）。可於氮化矽上進行氮化矽處理來改善表面粗糙度，藉以改善界面（步驟 815），並且反覆進行電漿及氣體淨化製程（步驟 817）。在一實施例中，步驟 807、809、811、815、817 係分別參照第 7 圖步驟 303、305、307、311、313 描述。

可混合及匹配材料沉積。參照下表 1，表 1 列出用於層堆疊結構的可能的第一與第二材料。視應用需求而定，可改變第一與第二材料層的沉積順序，即相反。

表 1

第一材料	氧化矽	氧化矽	矽	矽
第二材料	氮化矽	矽	摻雜矽	氮化矽

參照第 12 圖，第 12 圖圖示用以原位沉積第一材料與第二材料層堆疊結構至基板上的流程圖。把基板放到

PECVD 腔室內（步驟 601），沉積第一材料至基板上（步驟 603）。電漿淨化及淨化 PECVD 腔室（步驟 605）。若有需要，於第一材料層上進行電漿處理（步驟 606）。沉積第二材料至第一材料上（步驟 607）。沉積附加層至基板上（步驟 609）。若有需要，於第二材料層上進行電漿處理（步驟 611）。再次淨化 PECVD 腔室（步驟 613），並且反覆進行製程步驟 603 至 613，以沉積附加層至基板上。沉積所有層後，使 PECVD 腔室處於周圍壓力，及移出基板（步驟 615）。可額外進行蝕刻及沉積處理，以於基板上製造 3D 記憶裝置。

應理解本發明系統已參照特定實施例說明，然在不脫離本發明系統範圍內，當可增添、刪除及更改該等實施例。雖然所述系統包括各種部件，但應理解該等部件和所述構造當可加以修改及按不同的其他構造重新排列。

【圖式簡單說明】

第 1 圖圖示沉積於基板上的層堆疊結構；

第 2 圖圖示 PECVD 處理腔室；

第 3 圖圖示沉積於基板上具拉伸應力的層截面；

第 4 圖圖示沉積於基板上具壓縮應力的層截面；

第 5 圖圖示層堆疊結構的截面，層堆疊結構具有交替的拉伸應力與壓縮應力層；

第 6 圖圖示層堆疊結構的上視圖，層堆疊結構具有交

替的拉伸應力與壓縮應力層；

第 7 圖圖示用以沉積氧化矽/氮化矽層堆疊結構至基板上的製程步驟流程圖；

第 8 圖圖示用以沉積氧化矽/矽層堆疊結構至基板上的製程步驟流程圖；

第 9 圖圖示用以沉積矽/摻雜矽層堆疊結構至基板上的製程步驟流程圖；

第 10 圖圖示用以沉積矽/摻雜矽層堆疊結構至基板上的製程步驟流程圖；

第 11 圖圖示用以沉積矽/氮化矽層堆疊結構至基板上的製程步驟流程圖；以及

第 12 圖圖示用以沉積第一材料/第二材料層堆疊結構至基板上的製程步驟流程圖。

【主要元件符號說明】

100	基板	101	層堆疊結構
103、105	材料層	201	處理腔室
211	基座	213	歧管
215	處理氣源	217	電極
219	功率源	221	加熱器
222	淨化氣源	225	電漿
291、293	材料層	295、297	應力
301、303、305、307、309、311、313、315、401、403、			

405、407、409、411、415、501、503、505、506、507、
509、511、512、515、601、603、605、606、607、609、
611、613、615、801、803、805、807、809、811、813、
815、817、819 步驟

七、申請專利範圍：

1. 一種用於沉積一材料層堆疊的方法，包含：

(a) 將一基板放到一電漿增強化學氣相沈積（PECVD）腔室；

(b) 激發一第一處理氣體而形成一第一電漿；

(c) 從該第一電漿沉積一層一第一材料至該基板上，該層該第一材料在一第一方向具有一第一應力；

(d) 電漿淨化該 PECVD 腔室，及利用該電漿淨化，露出待調理供沉積用的該第一材料的一表面；

(e) 氣體淨化該 PECVD 腔室，以移除所有氣體污染物；

(f) 激發一第二處理氣體而形成一第二電漿；

(g) 從該第二電漿沉積一層一第二材料至該基板上，該層該第二材料在一第二方向具有一第二應力，該第二方向相反於該第一方向；

(h) 電漿淨化該 PECVD 腔室，及利用該電漿淨化，露出待調理供沉積用的該第二材料的一表面；

(i) 氣體淨化該 PECVD 腔室，以移除氣體污染物；

(j) 在該等步驟(b)至(i)的整個過程，維持該 PECVD 腔室中的一真空；以及

(k) 反覆進行該等步驟(b)至(j)，直到該基板上已沉積一預定層數的該第一材料和該第二材料，及該基板之一上表面是平坦的。

2. 如請求項 1 之方法，其中該第一材料的該預定層數為 8 或更多，該第二材料的該預定層數為 8 或更多。
3. 如請求項 1 之方法，其中該 PECVD 腔室的該氣體淨化包括使一部分的該 PECVD 腔室接觸一淨化氣體，該淨化氣體選自由氨氣(NH_3)、氮氣(N_2)、一氧化二氮(N_2O)和上述氣體的混合物所組成群組的一氣體。
4. 如請求項 1 之方法，其中該第一材料係矽，該第一處理氣體包括一含矽分子。
5. 如請求項 1 之方法，其中該第一材料係氧化矽，該第一處理氣體包括一含矽分子和一含氧分子。
6. 如請求項 1 之方法，其中該第一材料係氮化矽，該第一處理氣體包括一含矽分子和一含氮分子。
7. 如請求項 6 之方法，進一步包含：
激發一第三處理氣體而形成一第三電漿，以於該步驟(c)與該步驟(d)之間進行該氮化矽的表面處理。
8. 如請求項 7 之方法，其中該第三處理氣體包括氨氣(NH_3)和氮氣(N_2)。

9. 一種用於沉積一材料層堆疊的方法，包含：

- (a) 在一真空下，將一基板放到一電漿增強化學氣相沈積（PECVD）腔室；
- (b) 激發一第一處理氣體而形成一第一電漿；
- (c) 從該第一電漿沉積一層一第一材料至該基板上，該第一材料在一第一方向具有一第一應力；
- (d) 電漿淨化以清潔該 PECVD 腔室，及露出該第一材料的一表面以調理供沉積用；
- (e) 氣體淨化該 PECVD 腔室，以移除氣體污染物；
- (f) 激發一第二處理氣體而形成一第二電漿；
- (g) 沉積一層一第二材料至該基板上，該第二材料在一第二方向具有一第二應力，該第二應力的強度大約等於該第一材料在該第一方向的該第一應力，且該第二應力的方向與該第一材料的該第一應力相反；
- (h) 電漿淨化該 PECVD 腔室，及露出待調理供沉積用的該第二材料的一表面；
- (i) 氣體淨化該 PECVD 腔室，以移除氣體污染物；
- (j) 在該等步驟(b)至(i)的整個過程，維持該 PECVD 腔室中的一真空；以及
- (k) 反覆進行該等步驟(b)至(j)，直到該基板上已沉積一預定層數的該第一材料和該第二材料，及該基板之一上表面是平坦的。

10. 如請求項 9 之方法，其中該第一材料的該預定層數

為 8 或更多，該第二材料的該預定層數為 8 或更多。

11. 如請求項 9 之方法，其中該 PECVD 腔室的該氣體淨化包括使一部分的該 PECVD 腔室接觸一淨化氣體，該淨化氣體選自由氨氣 (NH_3)、氮氣 (N_2)、一氧化二氮 (N_2O) 和上述氣體的混合物所組成群組的一氣體。

12. 如請求項 9 之方法，其中該第一材料係矽，該第一處理氣體包括一含矽分子。

13. 如請求項 9 之方法，其中該第一材料係氧化矽，該第一處理氣體包括一含矽分子和一含氧分子。

14. 如請求項 9 之方法，其中該第一材料係氮化矽，該第一處理氣體包括一含矽分子和一含氮分子。

15. 如請求項 14 之方法，進一步包含：

激發一第三處理氣體而形成一第三電漿，以於該步驟(c)與該步驟(d)之間進行該氮化矽的表面處理。

16. 如請求項 15 之方法，其中該第三處理氣體包括氨氣 (NH_3) 和氮氣 (N_2)。

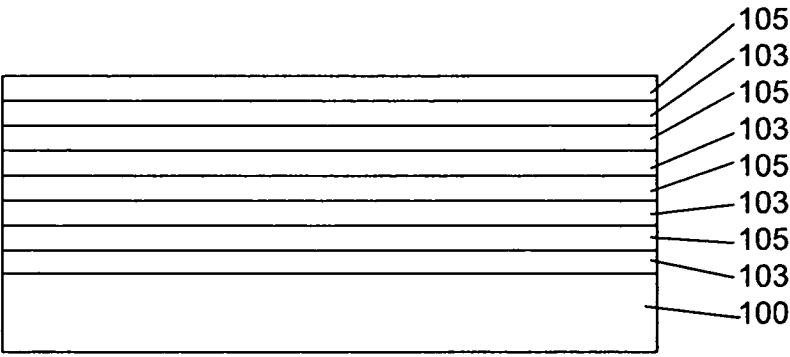
17. 一種用於沉積一材料層堆疊的方法，包含：

- (a) 在一真空下，將一基板放到一電漿增強化學氣相沈積（PECVD）腔室；
- (b) 激發一第一處理氣體而形成一第一電漿；
- (c) 從該第一電漿沉積一層一第一材料至該基板上；
- (d) 將一摻質前驅物加到該第一處理氣體中，而不以一電漿淨化或一氣體淨化來淨化該 PECVD 腔室；
- (e) 激發該第一處理氣體與該摻質前驅物而形成一第二電漿；
- (f) 從該第二電漿沉積一層一摻雜矽至該基板上；
- (g) 在該等步驟(b)至(f)的整個過程，維持該 PECVD 腔室中的一真空；以及
- (h) 反覆進行該等步驟(b)至(g)，直到該基板上已沉積一預定層數的該第一材料和該第二材料。

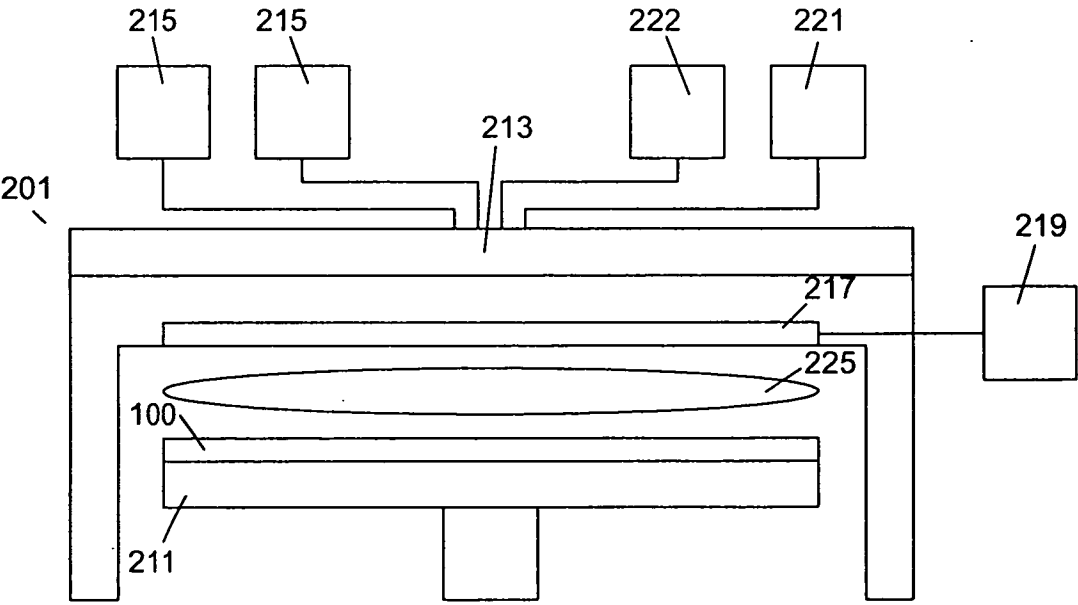
18. 如請求項 17 之方法，其中該第一材料的該預定層數為 8 或更多，該第二材料的該預定層數為 8 或更多。

19. 如請求項 17 之方法，其中該第二材料係 n 型摻雜矽，該摻質前驅物包括一含硼分子。

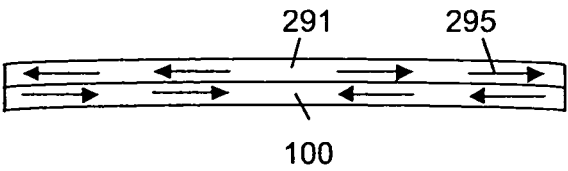
20. 如請求項 17 之方法，其中該第二材料係 p 型摻雜矽，該摻質前驅物包括一含磷分子。



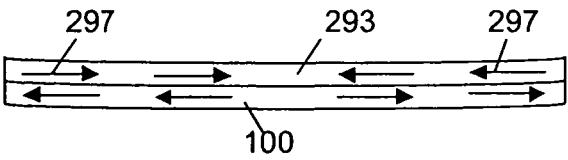
第1圖



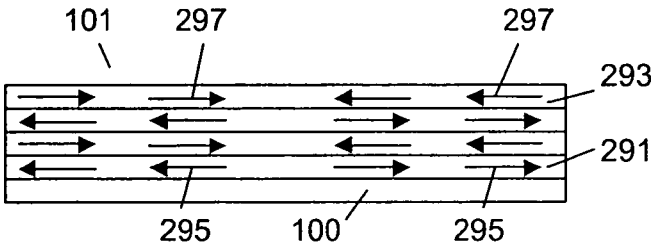
第2圖



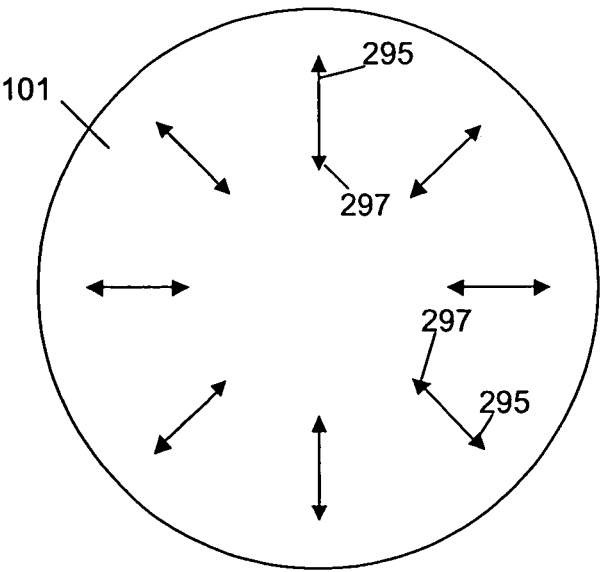
第3圖



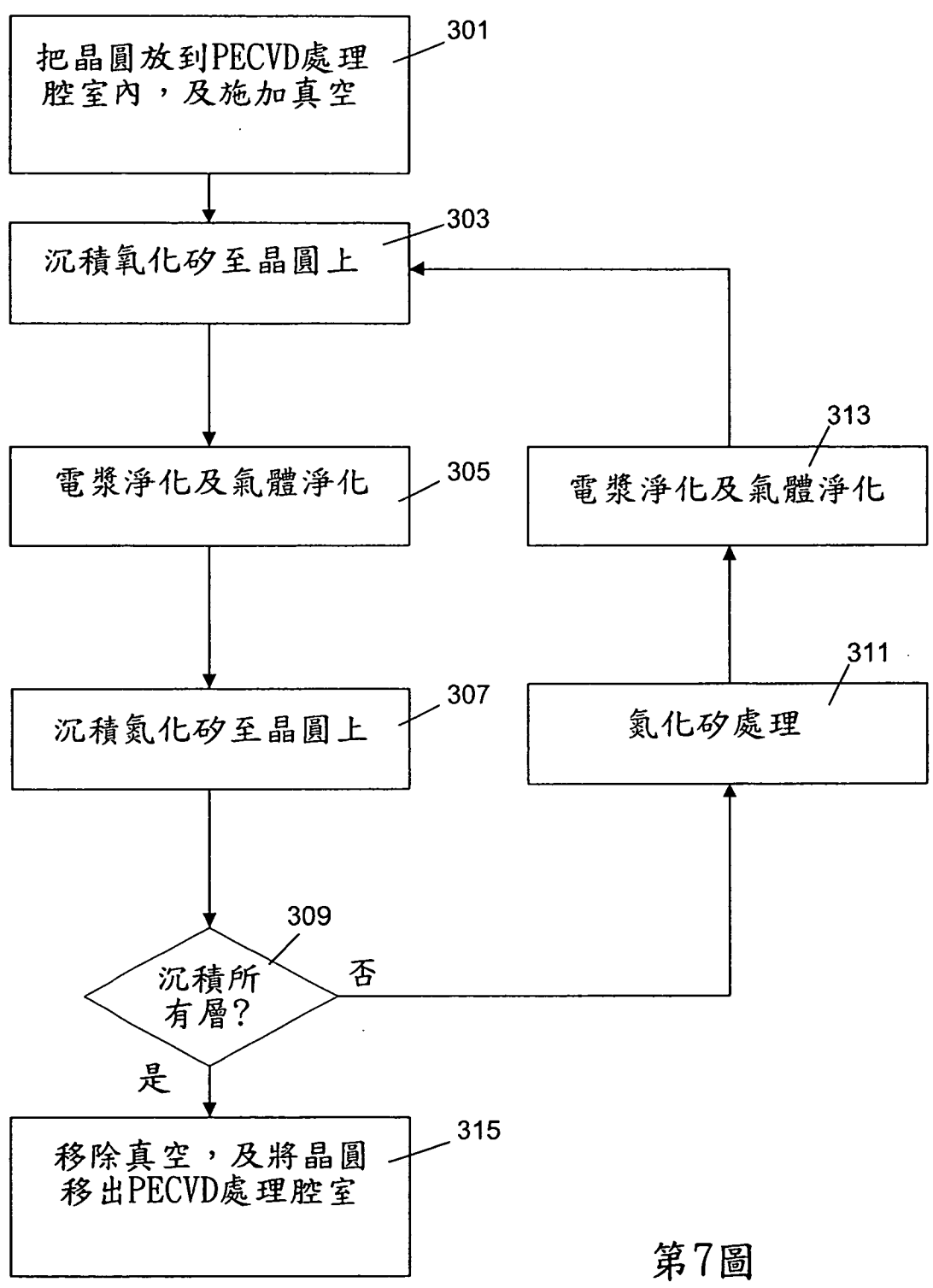
第4圖



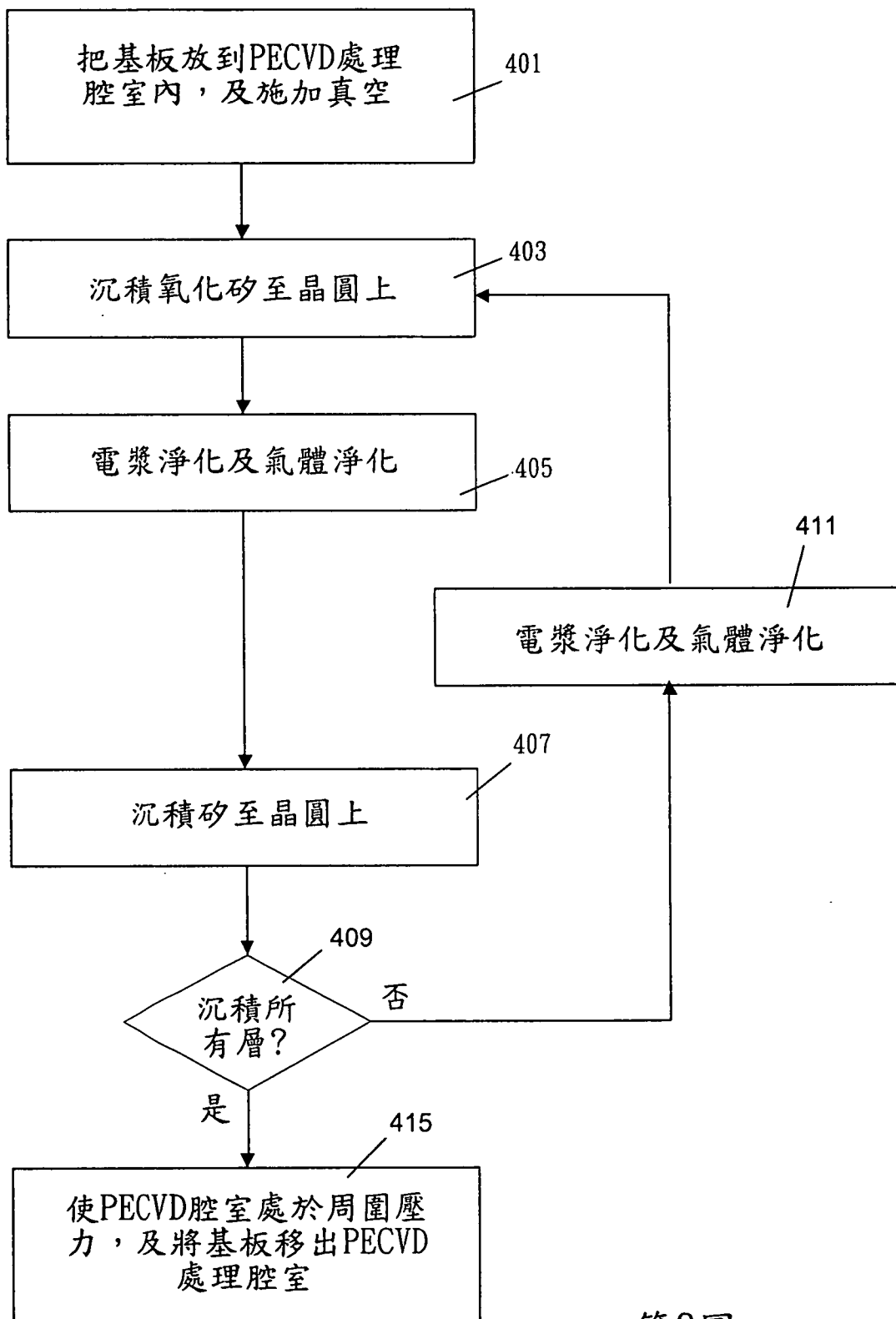
第5圖



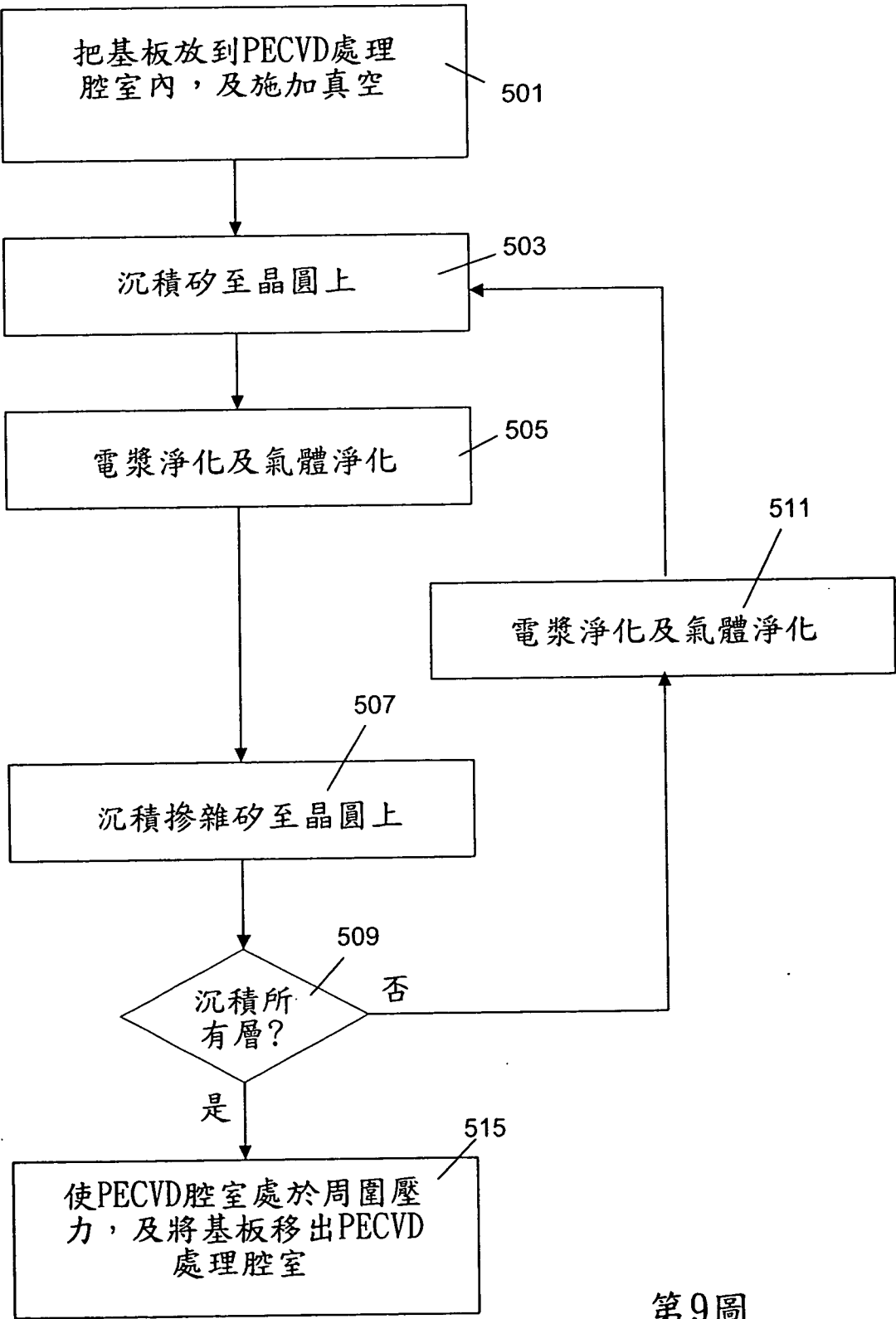
第6圖



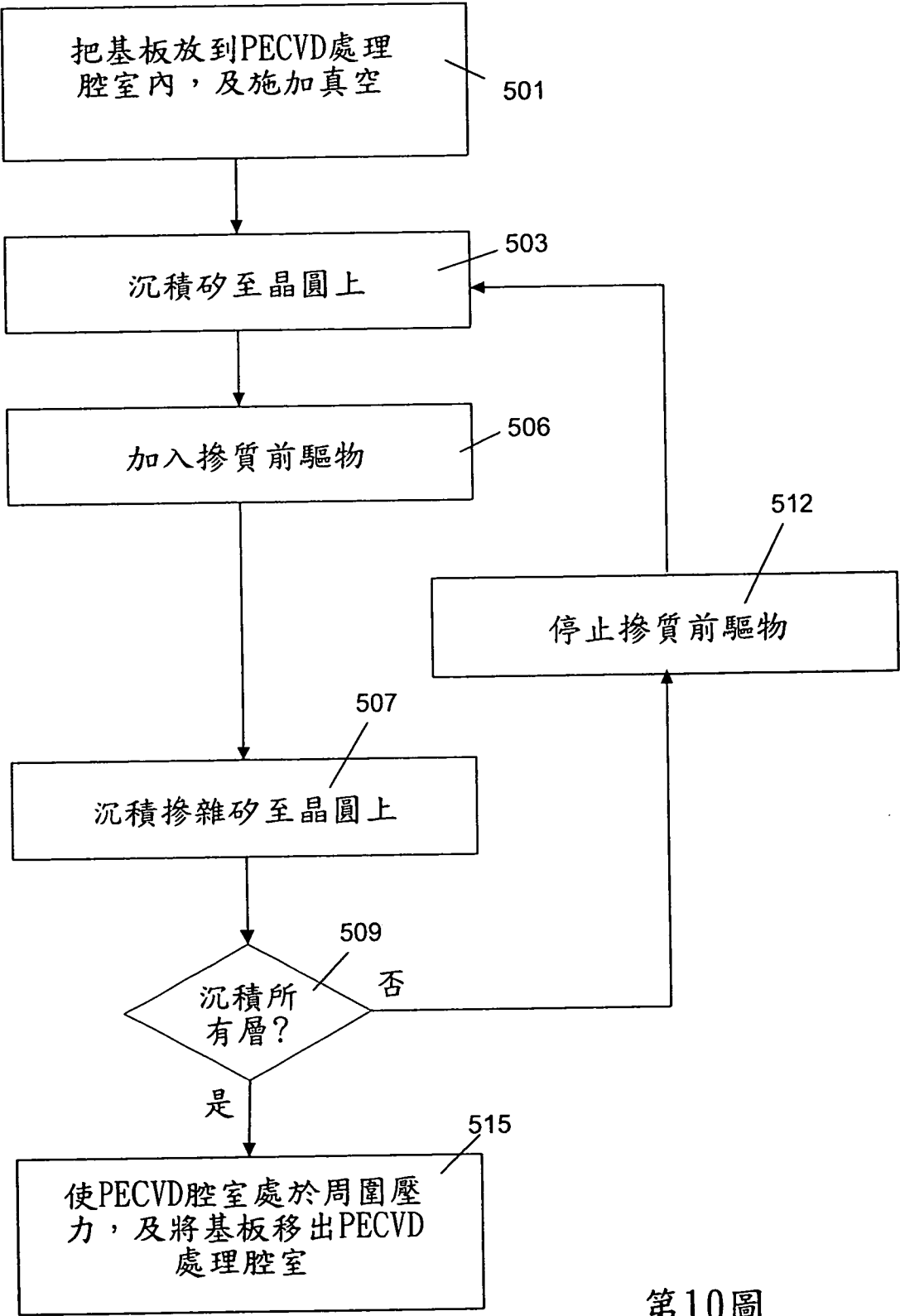
第7圖



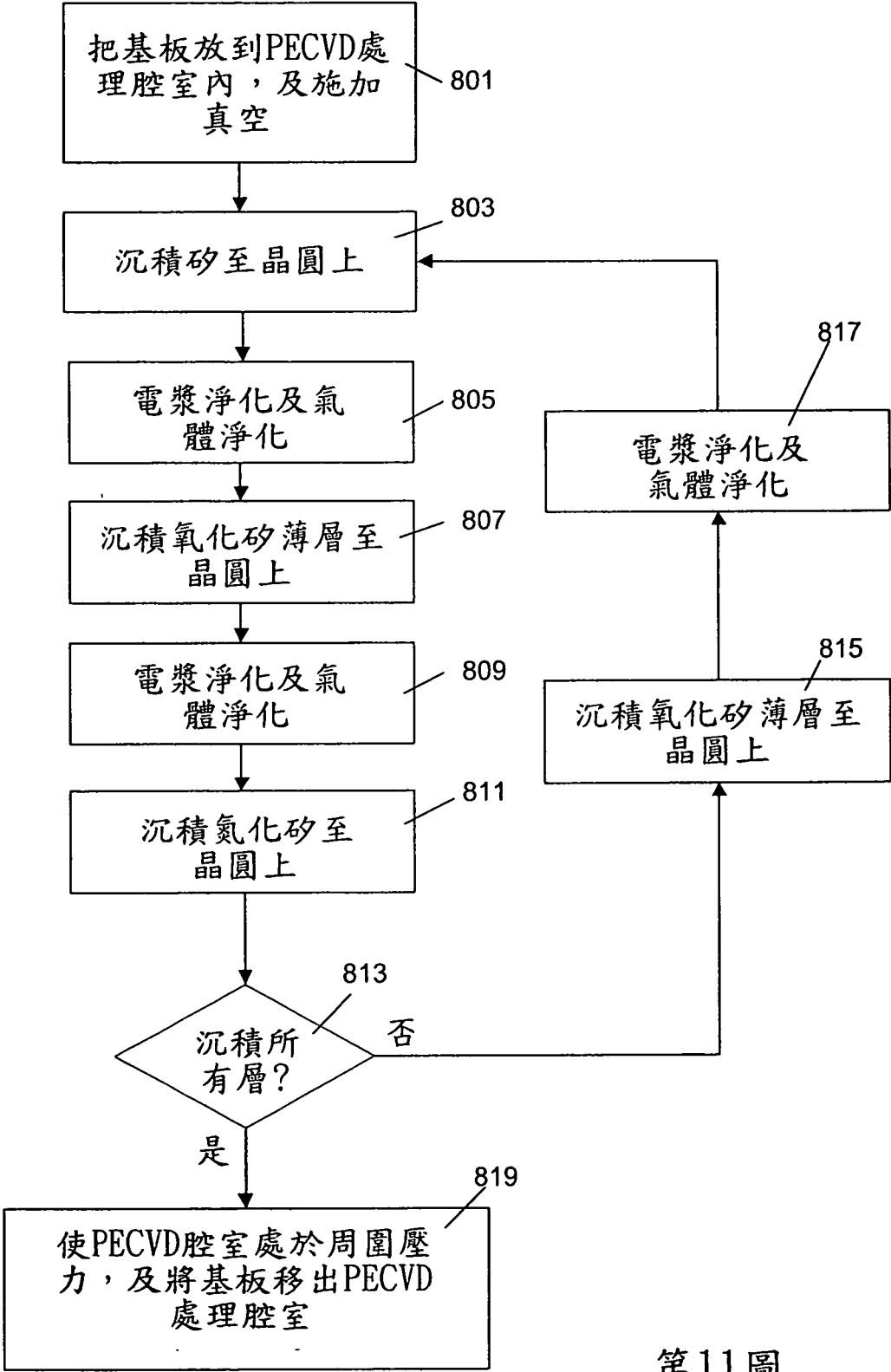
第8圖



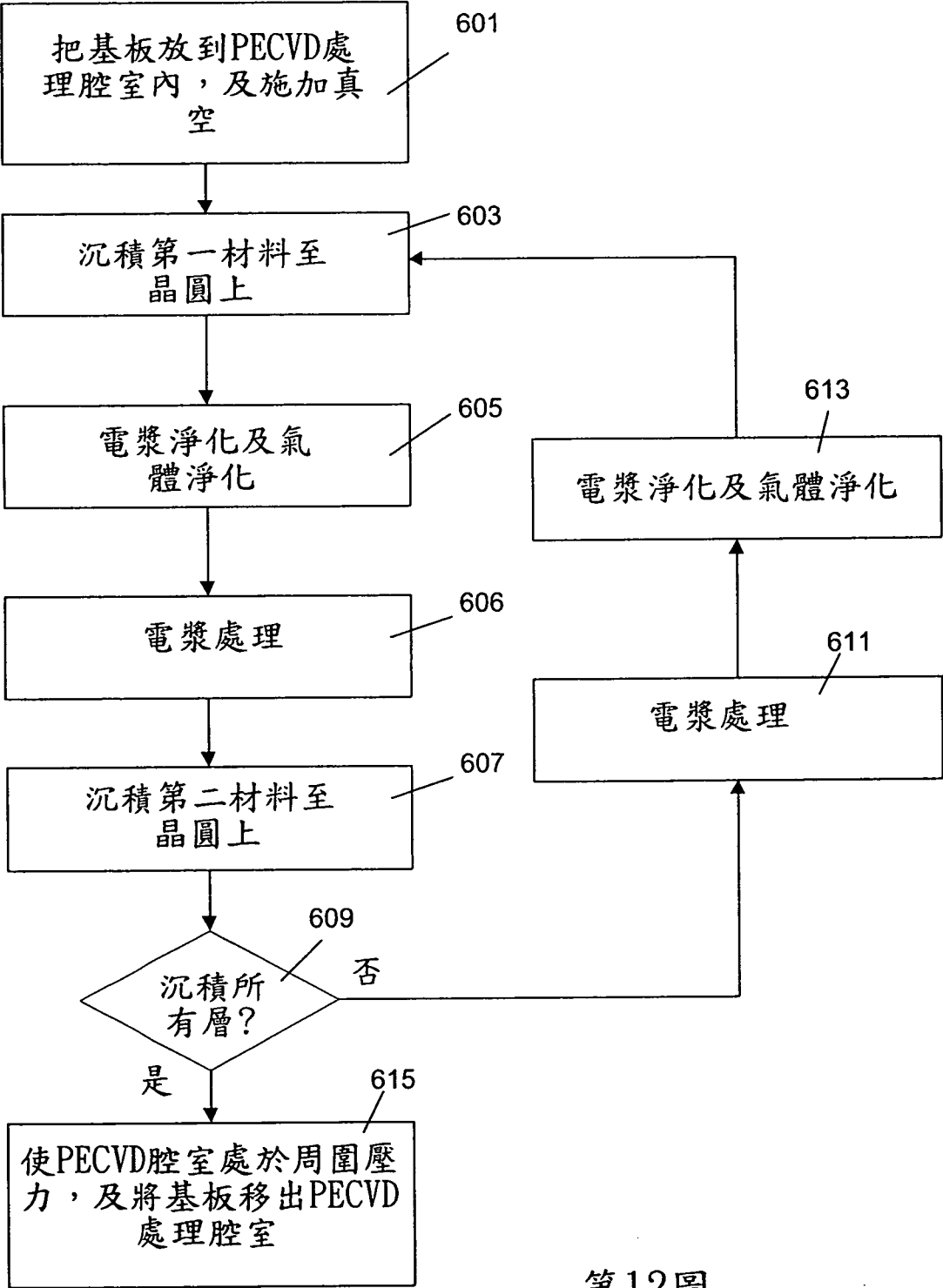
第9圖



第10圖



第11圖



第12圖