

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号
特許第5114794号
(P5114794)

(45) 発行日 平成25年1月9日 (2013.1.9)

(24) 登録日 平成24年10月26日 (2012.10.26)

(51) Int.Cl.	F I
HO 1 F 21/12 (2006.01)	HO 1 F 21/12
HO 3 B 5/08 (2006.01)	HO 3 B 5/08 A
HO 3 B 5/12 (2006.01)	HO 3 B 5/12 B

請求項の数 17 (全 27 頁)

(21) 出願番号	特願2009-49950 (P2009-49950)	(73) 特許権者	303046277
(22) 出願日	平成21年3月3日 (2009.3.3)		旭化成エレクトロニクス株式会社
(65) 公開番号	特開2010-205939 (P2010-205939A)		東京都千代田区神田神保町一丁目105番地
(43) 公開日	平成22年9月16日 (2010.9.16)	(74) 代理人	100077481
審査請求日	平成22年10月13日 (2010.10.13)		弁理士 谷 義一
		(72) 発明者	宮下 清
			神奈川県厚木市岡田3050番地 旭化成エレクトロニクス株式会社内
		審査官	右田 勝則
		最終頁に続く	

(54) 【発明の名称】 可変インダクタ及び電圧制御発振器

(57) 【特許請求の範囲】

【請求項1】

線対称軸を有する可変インダクタであって、
前記可変インダクタが備える複数の円弧が共有する中心点が少なくとも1つ存在し、
前記線対称軸上の第1の点（Z）を中心点とした第1の円周上の円弧で構成された、前記線対称軸に関して線対称な第1のインダクタ部と、
前記第1の点（Z）を中心点とした第2の円周上の円弧で構成された、前記線対称軸に関して線対称な第2のインダクタ部とを備え、
前記第1のインダクタ部は、第1の端子から、前記第1の端子と前記線対称軸に関して線対称な第2の端子まで延在し、
前記第2のインダクタ部は、第3の端子から、前記第3の端子と前記線対称軸に関して線対称な第4の端子まで延在し、
前記第1の円周の半径は、前記第2の円周の半径よりも短く、
前記第1の点（Z）を中心点とした第4の円周で構成された静電シールドをさらに備え、
前記静電シールドの半径は、前記第1の円周の半径より長く、前記第2の円周の半径より短いことを特徴とする可変インダクタ。

【請求項2】

線対称軸を有する可変インダクタであって、

前記可変インダクタが備える複数の円弧が共有する中心点が少なくとも1つ存在し、
前記線対称軸に関して線対称な第1のインダクタ部と、
前記線対称軸に関して線対称な第2のインダクタ部と
を備え、
前記第1のインダクタ部は、
前記線対称軸上の第1の点（Z L）を中心点とした第1の円周上の円弧と、
前記第1の円周と前記線対称軸に関して線対称な第2の円周上の円弧と、
前記第1の円周上の円弧と前記第2の円周上の円弧とを結合する、前記線対称軸に直交する第1の結線部と、
前記第1の円周上の円弧の第1の端子に接続された第1の線路と、
前記第1の端子と前記線対称軸に関して線対称な第2の端子に接続された第2の線路と
を備え、
前記第2のインダクタ部は、
前記線対称軸上の第1の点（Z L）を中心点とした第3の円周上の円弧と、
前記第3の円周と前記線対称軸に関して線対称な第4の円周上の円弧と、
前記第3の円周上の円弧と前記第4の円周上の円弧とを結合する、前記線対称軸に直交する第2の結線部と、
前記第3の円周上の円弧の第3の端子に接続された第3の線路と、
前記第3の端子と前記線対称軸に関して線対称な第4の端子に接続された第4の線路と
を備え、
前記第1の円周の半径は、前記第3の円周の半径よりも短く、
前記第2の結線部は、前記第1の結線部の一部であることを特徴とする可変インダクタ。

10

20

【請求項3】

インダクタと容量性素子の並列共振による電圧制御発振器において、
請求項2に記載の可変インダクタと、
前記第1の線路と前記第2の線路との間に接続され、第1の制御信号により動作状態と非動作状態との間の切り替えが制御される第1の容量性素子部および第1の負性抵抗発生部と、
前記第3の線路と前記第4の線路との間に接続され、第2の制御信号により動作状態と非動作状態との間の切り替えが制御される第2の容量性素子部および第2の負性抵抗発生部と
を備え、
前記第1の容量性素子部は前記第2の容量性素子部と同一であり、
前記第1の負性抵抗発生部は前記第2の負性抵抗発生部と同一であることを特徴とする電圧制御発振器。

30

【請求項4】

前記第1の結線部と前記線対称軸との交点（B）に正電源電圧が供給されていることを特徴とする請求項3に記載の電圧制御発振器。

【請求項5】

前記第1の結線部と前記線対称軸との交点（B）に電流が供給されていることを特徴とする請求項3に記載の電圧制御発振器。

40

【請求項6】

前記線対称軸上の第1の点（Z L）を中心点とした第5の円周上の円弧と、
前記第5の円周と前記線対称軸に関して線対称な第6の円周上の円弧と、
前記第5の円周上の円弧と前記第6の円周上の円弧とを結合する、前記線対称軸に直交する第3の結線部と、
前記第5の円周上の円弧の第5の端子に接続された第5の線路と、
前記第5の端子と前記線対称軸に関して線対称な第6の端子に接続された第6の線路と
を備える第3のインダクタ部と、

50

前記第 5 の線路と前記第 6 の線路との間に接続され、第 3 の制御信号により動作状態と非動作状態との間の切り替えが制御される第 3 の容量性素子部および第 3 の負性抵抗発生部と

をさらに備え、

前記第 3 の円周の半径は、前記第 5 の円周の半径よりも短く、

前記第 3 の結線部は、前記第 1 の結線部の一部であり、

前記第 3 の容量性素子部は前記第 1 および第 2 の容量性素子部と同一であり、

前記第 3 の負性抵抗発生部は前記第 1 および第 2 の負性抵抗発生部と同一であることを特徴とする請求項 3 に記載の電圧制御発振器。

【請求項 7】

線対称軸を有する可変インダクタであって、

前記可変インダクタが備える複数の円弧が共有する中心点が少なくとも 1 つ存在し、

前記線対称軸に関して線対称な第 1 のインダクタ部と、

前記線対称軸に関して線対称な第 2 のインダクタ部と

を備え、

前記第 1 のインダクタ部は、

前記線対称軸上の第 1 の点 (Z) を中心点とした、前記線対称軸に関して線対称な第 1 の円周上の第 1 の円弧と、

前記第 1 の点 (Z) を中心点とした、前記第 1 の円周よりも半径の大きい第 2 の円周上の第 2 の円弧であって前記線対称軸と交わらない第 2 の円弧と、

前記第 1 の円弧と前記線対称軸に関して線対称な第 3 の円弧と、

前記第 1 の円弧と前記第 3 の円弧とを結合する、前記線対称軸と交わる第 1 の結線部と

、

前記第 1 の円弧と前記第 2 の円弧とを結合する、前記線対称軸と交わる第 2 の結線部と

、

前記第 2 の円弧の第 1 の端子に接続された、第 1 の線路と、

前記第 1 の端子と前記線対称軸に関して線対称な前記第 3 の円弧の第 2 の端子に接続された、第 1 の線路と前記線対称軸に関して線対称な第 2 の線路と

を備え、

前記第 2 のインダクタ部は、

前記第 1 の点 (Z) を中心点とした、前記線対称軸に関して線対称な第 3 の円周上の第 4 の円弧と、

前記第 1 の点 (Z) を中心点とした、前記第 3 の円周よりも半径の大きい第 4 の円周上の第 5 の円弧であって前記線対称軸と交わらない第 5 の円弧と、

前記第 5 の円弧と前記線対称軸に関して線対称な第 6 の円弧と、

前記第 4 の円弧と前記第 6 の円弧とを結合する、前記線対称軸と交わる第 3 の結線部と

、

前記第 4 の円弧と前記第 6 の円弧とを結合する、前記線対称軸と交わる第 4 の結線部と

、

前記第 5 の円弧の第 3 の端子に接続された、第 3 の線路と、

前記第 3 の端子と前記線対称軸に関して線対称な前記第 6 の円弧の第 4 の端子に接続された、第 3 の線路と前記線対称軸に関して線対称な第 4 の線路と

を備え、

前記第 2 の円周の半径は、前記第 3 の円周の半径よりも短いことを特徴とする可変インダクタ。

【請求項 8】

インダクタと容量性素子の並列共振による電圧制御発振器において、

請求項 7 に記載の可変インダクタと、

前記第 1 の線路と前記第 2 の線路との間に接続され、第 1 の制御信号により動作状態と非動作状態との間の切り替えが制御される第 1 の容量性素子部および第 1 の負性抵抗発生

10

20

30

40

50

部と、

前記第 3 の線路と前記第 4 の線路との間に接続され、第 2 の制御信号により動作状態と非動作状態との間の切り替えが制御される第 2 の容量性素子部および第 2 の負性抵抗発生部と

を備え、

前記第 1 の容量性素子部は前記第 2 の容量性素子部と同一であり、

前記第 1 の負性抵抗発生部は前記第 2 の負性抵抗発生部と同一であることを特徴とする電圧制御発振器。

【請求項 9】

前記第 1 および第 2 の負性抵抗発生部はそれぞれ、前記線対称軸に関して線対称の位置にある第 1 および第 2 の負性抵抗素子を備え、

前記第 1 および第 2 の容量性素子部はそれぞれ、前記線対称軸に関して線対称の位置にある第 1 および第 2 の容量性素子を備えることを特徴とする請求項 8 に記載の電圧制御発振器。

【請求項 10】

前記第 1 および第 5 の円弧と前記線対称軸との交点にそれぞれ正電源電圧が供給されていることを特徴とする請求項 8 に記載の電圧制御発振器。

【請求項 11】

前記第 1 および第 5 の円弧と前記線対称軸との交点にそれぞれ電流が供給されていることを特徴とする請求項 8 に記載の電圧制御発振器。

【請求項 12】

前記第 1 および第 2 の負性抵抗発生部はそれぞれ、前記線対称軸に関して線対称の位置にある第 1 および第 2 の負性抵抗素子を備え、

前記第 1 および第 2 の容量性素子部はそれぞれ、前記線対称軸に関して線対称の位置にある第 1 および第 2 の容量性素子を備えることを特徴とする請求項 3 または 8 に記載の電圧制御発振器。

【請求項 13】

前記第 1 および第 2 の負性抵抗発生部はそれぞれ、

制御信号が入力される入力端子と、

第 1 の出力端子および第 2 の出力端子と、

ドレインが前記第 1 の出力端子に接続され、ソースが接地され、ゲートが前記第 2 の出力端子に接続され、入力された前記制御信号によりオンオフ制御される第 1 のトランジスタと、

ドレインが前記第 2 の出力端子に接続され、ソースが接地され、ゲートが前記第 1 の出力端子に接続され、前記入力端子からの前記制御信号によりオンオフ制御される第 2 のトランジスタと

を備え、

前記第 1 および第 2 のトランジスタは、前記線対称軸に関して線対称の位置に配置されていることを特徴とする請求項 3 または 8 に記載の電圧制御発振器。

【請求項 14】

前記第 1 および第 2 の負性抵抗発生部はそれぞれ、

制御信号が入力される入力端子と、

第 1 および第 2 の出力端子と、

ドレインが前記第 1 の出力端子に接続され、ゲートが前記第 2 の出力端子に接続される第 1 のトランジスタと、

ドレインが前記第 2 の出力端子に接続され、ソースが前記第 1 のトランジスタのソースに接続され、ゲートが前記第 1 の出力端子に接続される第 2 のトランジスタと、

前記第 1 および第 2 のトランジスタの前記ソースと接地との間に接続され、前記入力端子からの前記制御信号によりオンオフ制御されるスイッチと

を備え、

10

20

30

40

50

前記第1および第2のトランジスタは、前記線対称軸に関して線対称の位置に配置されていることを特徴とする請求項3または8に記載の電圧制御発振器。

【請求項15】

前記第1および第2の負性抵抗発生部はそれぞれ、
制御信号が入力される入力端子と、

第1および第2の出力端子と、

ドレインが前記第1の出力端子に接続され、ゲートが前記第2の出力端子に接続される第1のトランジスタと、

ドレインが前記第2の出力端子に接続され、ソースが前記第1のトランジスタのソースに接続され、ゲートが前記第1の出力端子に接続される第2のトランジスタと、

ドレインが前記第1および第2のトランジスタのソースに接続されてAC COM端子を形成し、ソースが接地され、ゲートに前記入力端子からの前記制御信号により制御される制御電圧が印加された第3のトランジスタと

を備え、

前記第1および第2のトランジスタは、前記線対称軸に関して線対称の位置に配置されていることを特徴とする請求項3または8に記載の電圧制御発振器。

【請求項16】

前記第1および第2の容量性素子部はそれぞれ、
制御信号が入力される入力端子と、

第1および第2の出力端子と、

一方の端子が前記第1の出力端子に接続され、他方の端子に前記入力端子が接続される第1のMOSバラクタと、

一方の端子が前記第2の出力端子に接続され、他方の端子に前記第1のバラクタの他方の端子及び前記入力端子が接続される第2のMOSバラクタと

を備え、

前記第1および第2のバラクタは、前記線対称軸に関して線対称の位置に配置されていることを特徴とする請求項3または8に記載の電圧制御発振器。

【請求項17】

前記第1および第2の容量性素子部はそれぞれ、
制御信号が入力される入力端子と、

第1および第2の出力端子と、

前記入力端子からの前記制御信号にオンオフ制御されるスイッチとキャパシタとからなり、一方の端子が前記第1の出力端子に接続される1つ以上の第1の容量部と、

前記入力端子からの前記制御信号にオンオフ制御されるスイッチとキャパシタとからなり、一方の端子が前記第2の出力端子に接続され、他方の端子が前記第1の容量部の他方の端子に接続される1つ以上の第2の容量部と

を備え、

前記第1および第2の容量部は、前記線対称軸に関して線対称の位置に配置されていることを特徴とする請求項3または8に記載の電圧制御発振器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、可変インダクタ及び電圧制御発振器に関する。

【背景技術】

【0002】

近年の通信トラフィックの増加に伴い通信機器の動作周波数は増加し、それに伴って通信機器で用いられる電圧制御発振器の動作周波数も高くなる一方である。

【0003】

このような状況の中、電圧制御発振器の構成要素であり、その物理的大きさ及び素子値可変の容易さから、ほとんどの電圧制御発振器において周波数可変素子として用いられてい

10

20

30

40

50

る容量性素子の等価回路を図 2 1 (a) 及び (b) に示す。この図から容量性素子の良さを表す Q 値 Q_c を求めると、

$$Q_c = 1 / (R_{SA} \times w \times C_{SA}) = R_{PA} \times w \times C_{PA} \quad (1)$$

となり、ここで、 w は周波数であり、

$$C_{SA} = C_{PA} = C_A \quad (2)$$

$$R_{PA} = 1 / (R_{SA} \times (w \times C_A)^2) \quad (3)$$

である。

【0004】

さらに、もう一つの構成要素のインダクタに関しても、その等価回路図 2 2 (a) 及び (b) を基に、インダクタの良さの指数 Q_l を求めると以下の式 (4) ~ (6) を得る。

$$Q_l = (w \times L_{SB}) / R_{SB} = R_{PB} / (w \times L_{PB}) \quad (4)$$

$$L_{SB} = L_{PB} = L_B \quad (5)$$

$$R_{PB} = (w \times L_B)^2 / R_{SB} \quad (6)$$

【0005】

これらの式 (1) ~ (6) より、 Q_c は周波数に比例して低くなり、 Q_l は周波数に比例して大きくなるのが分かった。このことを図示したのが図 2 3 である。従って LC (インダクタと容量性素子) の並列共振による電圧制御発振器を想定した場合、ある周波数より高い領域では容量性素子 (キャパシタ) の Q 値 Q_c が LC 共振器の Q 値の支配的要因となることが分かった。なお、5 ~ 10 GHz で $Q_c = Q_l$ の点が存在すると言われているが (非特許文献 1 参照)、これはインダクタンスの値・構成法、キャパシタの種類、形状等によって変化する多次元の関数であり製造条件に依存する。

【先行技術文献】

【特許文献】

【0006】

【特許文献 1】特開 2007-266700 号公報

【非特許文献】

【0007】

【非特許文献 1】J. Victory, et. al., "PSP-Based Scalable MOS Varactor Model," IEEE 2007 Custom Integrated Circuit Conference (CICC 2007)

【非特許文献 2】Cjang-Tsung Fu, et. al., "A 2.4-5.4-GHz Wide Turning-Range CMOS Reconfigurable Low-Noise Amplifier," IEEE MTT, VOL. 56, NO. 12, pp. 2754-2763, December 2008

【非特許文献 3】J. Craninckx and M. Steyaert, "Wireless CMOS Frequency Synthesizer Design," pp. 90, Kluwer Academic Publishers, 1998

【発明の概要】

【発明が解決しようとする課題】

【0008】

周波数可変素子として、容量性素子ではなくインダクタを用いることは、特に IC 分野では従来ほとんど行われてこなかった。その理由としては、容量性素子は実装面積が小さいため一定面積の制約条件の中で共振周波数範囲をインダクタよりも広く取ることができる等が挙げられるが、非特許文献 2 に可変インダクタの一例が開示されている。非特許文献 2 に記載の可変インダクタは、インダクタにタップを設けて、そのタップと直列に切り替えスイッチを挿入したものであり、共振周波数の調整を容易にするインダクタンスの単調性が保証されているものの、直列に挿入された切り替えスイッチの抵抗成分がインダクタの Q 値を劣化させるので電圧制御発振器の用途には適していない。さらに、この方式では、電圧制御発振器に応用した場合に複数周波同時発振ができず、また、フィルタに応用した場合にフィルタ次数を上げるための独立したインダクタとして使用できないという問題がある。

【0009】

特許文献 1 に記載の技術では、可変インダクタを得るために 1 つのインダクタ間の相互

インダクタンスを用いているため、回路規模およびそれに伴うコストの上昇といった問題がある。さらに、複数周波数の発振も不可能である。

【0010】

本発明は、このような問題点に鑑みてなされたものであり、第1の目的は、LC（インダクタと容量性素子）の並列共振による電圧制御発振器を構成するための可変インダクタであって、小型かつQ値の劣化を抑制した、複数周波数発振可能な可変インダクタを提供することにある。

【0011】

また、本発明の第2の目的は、小型かつQ値の劣化を抑制した、複数周波数発振可能な可変インダクタを備えるLCの並列共振による電圧制御発振器を提供することにある。

【課題を解決するための手段】

【0012】

このような目的を達成するために、本発明の第1の態様は、線対称軸を有する可変インダクタであって、前記可変インダクタが備える複数の円弧が共有する中心点が少なくとも1つ存在し、前記線対称軸上の第1の点（Z）を中心点とした第1の円周上の円弧で構成された、前記線対称軸に関して線対称な第1のインダクタ部と、前記第1の点（Z）を中心点とした第2の円周上の円弧で構成された、前記線対称軸に関して線対称な第2のインダクタ部とを備え、前記第1のインダクタ部は、第1の端子から、前記第1の端子と前記線対称軸に関して線対称な第2の端子まで延在し、前記第2のインダクタ部は、第3の端子から、前記第3の端子と前記線対称軸に関して線対称な第4の端子まで延在し、前記第1の円周の半径は、前記第2の円周の半径よりも短く、前記第1の点（Z）を中心点とした第4の円周で構成された静電シールドをさらに備え、前記静電シールドの半径は、前記第1の円周の半径より長く、前記第2の円周の半径より短いことを特徴とする。

【0019】

また、本発明の第2の態様は、線対称軸を有する可変インダクタであって、前記可変インダクタが備える複数の円弧が共有する中心点が少なくとも1つ存在し、前記線対称軸に関して線対称な第1のインダクタ部と、前記線対称軸に関して線対称な第2のインダクタ部とを備え、前記第1のインダクタ部は、前記線対称軸上の第1の点（ZL）を中心点とした第1の円周上の円弧と、前記第1の円周と前記線対称軸に関して線対称な第2の円周上の円弧と、前記第1の円周上の円弧と前記第2の円周上の円弧とを結合する、前記線対称軸に直交する第1の結線部と、前記第1の円周上の円弧の第1の端子に接続された第1の線路と、前記第1の端子と前記線対称軸に関して線対称な第2の端子に接続された第2の線路とを備え、前記第2のインダクタ部は、前記線対称軸上の第1の点（ZL）を中心点とした第3の円周上の円弧と、前記第3の円周と前記線対称軸に関して線対称な第4の円周上の円弧と、前記第3の円周上の円弧と前記第4の円周上の円弧とを結合する、前記線対称軸に直交する第2の結線部と、前記第3の円周上の円弧の第3の端子に接続された第3の線路と、前記第3の端子と前記線対称軸に関して線対称な第4の端子に接続された第4の線路とを備え、前記第1の円周の半径は、前記第3の円周の半径よりも短く、前記第2の結線部は、前記第1の結線部の一部であることを特徴とする。

【0020】

また、本発明の第3の態様は、インダクタと容量性素子の並列共振による電圧制御発振器において、第2の態様の可変インダクタと、前記第1の線路と前記第2の線路との間に接続され、第1の制御信号により動作状態と非動作状態との間の切り替えが制御される第1の容量性素子部および第1の負性抵抗発生部と、前記第3の線路と前記第4の線路との間に接続され、第2の制御信号により動作状態と非動作状態との間の切り替えが制御される第2の容量性素子部および第2の負性抵抗発生部とを備え、前記第1の容量性素子部は前記第2の容量性素子部と同一であり、前記第1の負性抵抗発生部は前記第2の負性抵抗発生部と同一であることを特徴とする。

【0021】

また、本発明の第4の態様は、第3の態様において、前記第1の結線部と前記線対称軸

との交点（Ｂ）に正電源電圧が供給されていることを特徴とする。

【００２２】

また、本発明の第５の態様は、第３の態様において、前記第１の結線部と前記線対称軸との交点（Ｂ）に電流が供給されていることを特徴とする。

【００２３】

また、本発明の第６の態様は、第３の態様において、前記線対称軸上の第１の点（ＺＬ）を中心点とした第５の円周上の円弧と、前記第５の円周と前記線対称軸に関して線対称な第６の円周上の円弧と、前記第５の円周上の円弧と前記第６の円周上の円弧とを結合する、前記線対称軸に直交する第３の結線部と、前記第５の円周上の円弧の第５の端子に接続された第５の線路と、前記第５の端子と前記線対称軸に関して線対称な第６の端子に接続された第６の線路とを備える第３のインダクタ部と、前記第５の線路と前記第６の線路との間に接続され、第３の制御信号により動作状態と非動作状態との間の切り替えが制御される第３の容量性素子部および第３の負性抵抗発生部とをさらに備え、前記第３の円周の半径は、前記第５の円周の半径よりも短く、前記第３の結線部は、前記第１の結線部の一部であり、前記第３の容量性素子部は前記第１および第２の容量性素子部と同一であり、前記第３の負性抵抗発生部は前記第１および第２の負性抵抗発生部と同一であることを特徴とする。

【００２４】

また、本発明の第７の態様は、線対称軸を有する可変インダクタであって、前記可変インダクタが備える複数の円弧が共有する中心点が少なくとも１つ存在し、前記線対称軸に関して線対称な第１のインダクタ部と、前記線対称軸に関して線対称な第２のインダクタ部とを備え、前記第１のインダクタ部は、前記線対称軸上の第１の点（Ｚ）を中心点とした、前記線対称軸に関して線対称な第１の円周上の第１の円弧と、前記第１の点（Ｚ）を中心点とした、前記第１の円周よりも半径の大きい第２の円周上の第２の円弧であって前記線対称軸と交わらない第２の円弧と、前記第１の円弧と前記線対称軸に関して線対称な第３の円弧と、前記第１の円弧と前記第３の円弧とを結合する、前記線対称軸と交わる第１の結線部と、前記第１の円弧と前記第２の円弧とを結合する、前記線対称軸と交わる第２の結線部と、前記第２の円弧の第１の端子に接続された、第１の線路と、前記第１の端子と前記線対称軸に関して線対称な前記第３の円弧の第２の端子に接続された、第１の線路と前記線対称軸に関して線対称な第２の線路とを備え、前記第２のインダクタ部は、前記第１の点（Ｚ）を中心点とした、前記線対称軸に関して線対称な第３の円周上の第４の円弧と、前記第１の点（Ｚ）を中心点とした、前記第３の円周よりも半径の大きい第４の円周上の第５の円弧であって前記線対称軸と交わらない第５の円弧と、前記第５の円弧と前記線対称軸に関して線対称な第６の円弧と、前記第４の円弧と前記第６の円弧とを結合する、前記線対称軸と交わる第３の結線部と、前記第４の円弧と前記第６の円弧とを結合する、前記線対称軸と交わる第４の結線部と、前記第５の円弧の第３の端子に接続された、第３の線路と、前記第３の端子と前記線対称軸に関して線対称な前記第６の円弧の第４の端子に接続された、第３の線路と前記線対称軸に関して線対称な第４の線路とを備え、前記第２の円周の半径は、前記第３の円周の半径よりも短いことを特徴とする。

【００２５】

また、本発明の第８の態様は、インダクタと容量性素子の並列共振による電圧制御発振器において、第７の態様の可変インダクタと、前記第１の線路と前記第２の線路との間に接続され、第１の制御信号により動作状態と非動作状態との間の切り替えが制御される第１の容量性素子部および第１の負性抵抗発生部と、前記第３の線路と前記第４の線路との間に接続され、第２の制御信号により動作状態と非動作状態との間の切り替えが制御される第２の容量性素子部および第２の負性抵抗発生部とを備え、前記第１の容量性素子部は前記第２の容量性素子部と同一であり、前記第１の負性抵抗発生部は前記第２の負性抵抗発生部と同一であることを特徴とする。

【００２６】

また、本発明の第９の態様は、第８の態様において、前記第１および第２の負性抵抗発

生部はそれぞれ、前記線対称軸に関して線対称の位置にある第1および第2の負性抵抗素子を備え、前記第1および第2の容量性素子部はそれぞれ、前記線対称軸に関して線対称の位置にある第1および第2の容量性素子を備えることを特徴とする。

【0027】

また、本発明の第10の態様は、第8の態様において、前記第1および第5の円弧と前記線対称軸との交点にそれぞれ正電源電圧が供給されていることを特徴とする。

【0028】

また、本発明の第11の態様は、第8の態様において、前記第1および第5の円弧と前記線対称軸との交点にそれぞれ電流が供給されていることを特徴とする。

【発明の効果】

10

【0029】

本発明によれば、各インダクタ部に並列に容量性素子部を接続し、どのインダクタ部に接続された容量性素子部を動作させるかを制御信号により切り替えることにより、LCの並列共振による電圧制御発振器の構成要素として使用でき、このとき、可変インダクタに直列に抵抗成分が挿入されることがないため、Q値の劣化を抑制した可変インダクタとして機能させることができる。さらに、複数のインダクタ部が入れ子構造になっているため小型の可変インダクタが得られる。加えて、複数のインダクタ部が交わらないため、1つの周波数を発生するだけでなく、複数のインダクタ部を同時に動作させて同時に複数の周波数を発生することができる。

【図面の簡単な説明】

20

【0030】

【図1】本発明の第1の実施形態の可変インダクタを示す図である。

【図2】第1の実施形態の可変インダクタを備える電圧制御発振器（VCO）を示す図である。

【図3】図2のブロックの回路例を示す図である。

【図4】図3に示した負性抵抗発生部の回路例を示す図である。

【図5】図3に示した負性抵抗発生部の回路例を示す図である。

【図6】図3に示した負性抵抗発生部の回路例を示す図である。

【図7】（a）及び（b）は、図3に示した容量性素子部の回路例を示す図である。

【図8】第3の実施形態の電圧制御発振器（VCO）を示す図である。

30

【図9】本発明の第4の実施形態の可変インダクタを示す図である。

【図10】第4の実施形態の可変インダクタを備える電圧制御発振器（VCO）を示す図である。

【図11】第6の実施形態の電圧制御発振器（VCO）を示す図である。

【図12】第7の実施形態の可変インダクタで使用するソレノイドを説明するための図である。

【図13】第7の実施形態の可変インダクタを示す図である。

【図14】第7の実施形態の可変インダクタを備える電圧制御発振器（VCO）を示す図である。

【図15】第9の実施形態の可変インダクタを示す図である。

40

【図16】第9の実施形態の可変インダクタを備える電圧制御発振器（VCO）を示す図である。

【図17】第11の実施形態の可変インダクタを示す図である。

【図18】第11の実施形態の可変インダクタを備える電圧制御発振器（VCO）を示す図である。

【図19】第13の実施形態の可変インダクタを示す図である。

【図20】第13の実施形態の可変インダクタを備える電圧制御発振器（VCO）を示す図である。

【図21】電圧制御発振器において周波数可変素子として用いられている容量性素子の等価回路を示す図である。

50

【図 2 2】電圧制御発振器において周波数可変素子として用いられているインダクタの等価回路を示す図である。

【図 2 3】容量性素子およびインダクタの Q 値と周波数の関係を示す図である。

【発明を実施するための形態】

【0031】

以下、本発明の実施の形態について図面を参照して説明する。本明細書において、同一の符号は、同一または対応する構成要素を指す。

【0032】

(第 1 の実施形態)

図 1 は、本発明の第 1 の実施形態の可変インダクタを示している。可変インダクタ 100 は、線対称軸 Y-Y' を有し、可変インダクタ 100 が備える複数の円弧が共有する中心点 Z が 1 つ存在する。可変インダクタ 100 は、線対称軸 Y-Y' 上の第 1 の点 Z を中心点とした第 1 の円周上の円弧で構成された、線対称軸 Y-Y' に関して線対称な第 1 のインダクタ部 Ind 1 と、第 1 の点 Z を中心点とした第 2 の円周上の円弧で構成された、線対称軸 Y-Y' に関して線対称な第 2 のインダクタ部 Ind 2 とを備える。第 1 のインダクタ部 Ind 1 は、第 1 の端子 D' から、第 1 の端子 D' と線対称軸 Y-Y' に関して線対称な第 2 の端子 D'' まで延在する。第 2 のインダクタ部 Ind 2 は、第 3 の端子 E' から、第 3 の端子 E' と線対称軸 Y-Y' に関して線対称な第 4 の端子 E'' まで延在する。第 1 の円周の半径 r1 は、第 2 の円周の半径 r2 よりも短い。図 1 には、第 1 の点 Z を中心点とした第 3 の円周上の円弧で構成された、線対称軸 Y-Y' に関して線対称な第 3 のインダクタ部 Ind 3 であって、第 5 の端子 F' から、第 5 の端子 F' と線対称軸 Y-Y' に関して線対称な第 6 の端子 F'' まで延在する第 3 のインダクタ部 Ind 3 も示されており、可変インダクタ 100 は 3 つのインダクタ部を有するが、インダクタ部の数は 2 以上であればよい。

【0033】

可変インダクタ 100 は、D' D'' 間等に容量性素子部を接続して、どのインダクタ部に接続された容量性素子部を動作させるかを制御信号（詳細は後述する。）により切り替えることにより、LC の並列共振による電圧制御発振器の構成要素として使用できる。このとき、非特許文献 2 に記載の可変インダクタの場合のようにインダクタに直列に抵抗成分が挿入されることがない。したがって、Q 値の劣化を抑制した可変インダクタとして機能させることができる。さらに、複数のインダクタ部が入れ子構造になっているため小型の可変インダクタが得られる。

【0034】

加えて、本実施形態の可変インダクタは、複数のインダクタ部が交わらないため、1 つの周波数を発生するだけでなく、複数のインダクタ部を同時に動作させて同時に複数の周波数を発生することもできる。

【0035】

なお、隣接するインダクタ部の線路長が単調に変化するように設計すると、制御信号により動作状態にあるインダクタ部を 1 つずつ隣接するものに切り替えたときに、インダクタンスも単調に変化する。可変インダクタが制御信号に対して単調性を有すれば、制御信号を大から小（又は小から大）へと単純にスweepして共振周波数を調整できるのに対し、単調性がない可変インダクタを使用した場合は、探索結果をすべて保存したりする手間が増える。線路長とインダクタンスの関係は非特許文献 3 で説明されており、 l = 導体の長さ [mm]、 r = 導体の半径 [mm] とした時の線路の自己インダクタンス L_{self} は、

$$L_{self} = (l/5) \times \{ \ln(2 \times l/r) - 0.75 + (r/l) \} \text{ [nH]} \quad (7)$$

で表される。すなわち、太さ一定の線路の自己インダクタンスは線路長 l のみの関数となる。

【0036】

隣接するインダクタ部の線路長が単調に変化するような設計としては、図 1 において、

それぞれの円周の半径が異なるようにすればよい。D' D''との間等に接続する容量性素子部（図2参照）はすべてのインダクタ部で同一のものを使用するので、第1のインダクタ部 Ind 1、第2のインダクタ部 Ind 2、第3のインダクタ部 Ind 3の順で線路長が長くなる。

【0037】

本実施形態の可変インダクタは、差動構成の回路への適用を想定しているため線対称軸を有するが、この線対称軸で折り返して得られる構成をシングルエンド回路に対して応用することも可能である。この点は、以下の実施形態において同様である。

【0038】

（第2の実施形態）

図2は、第1の実施形態の可変インダクタを備える電圧制御発振器（VCO）を示している。VCO200は、インダクタと容量性素子の並列共振によるものであり、第1の実施形態の可変インダクタ100と、第1の端子D'と第2の端子D''との間に接続され、第1の制御信号CONTROL_1により動作状態と非動作状態との間の切り替えが制御される第1のブロックB1と、第3の端子E'と第4の端子E''との間に接続され、第2の制御信号CONTROL_2により動作状態と非動作状態との間の切り替えが制御される第2のブロックB2とを備える。第1のブロックB1と第2のブロックB2は同一の構成とする。第3のブロックB3も示してあり、これも同一の構成とする。第1から第3の円周上の円弧と線対称軸Y-Y'との交点A、B、Cが正電源VDDに接続してある。

【0039】

各ブロックは、負性抵抗発生部および容量性素子部を有する。制御信号により動作させるブロックを切り替えることで、使用されるインダクタ部が選択されて共振周波数が変わる。第1の実施形態で上述したように、ブロックB1～B3を接続しても可変インダクタ100に直列に抵抗成分が挿入されることがない。したがって、Q値の劣化を抑制した可変インダクタとして機能させることができ、インダクタのQ値が位相ノイズ特性に直接影響を与える電圧制御発振器の応用に好適な構成である。特に、図23に示されるような容量性素子のQ値 Q_c がLC共振回路のQ値を決めるような高い周波数領域においては、LC共振回路のQ値の決定要素である容量性素子に新たなQ値の制限要素を付加することが無いことと相まって、LC共振回路のQ値を高く保つことができる。

【0040】

なお、上述したように複数のインダクタ部を同時に動作させて同時に複数の周波数を発生することもできる。また、負性抵抗発生部の利得を下げて非発振領域で使用するにより、ブロックB1～B3のいずれかを動作させた場合は1つの周波数に対するフィルタ、2つ以上を動作させた場合は2つ以上の周波数または広帯域のフィルタを構成することもできる。

【0041】

図3に、ブロックの回路例を示す。第1のブロックB1を例に考えると、容量性素子部310および負性抵抗発生部320がそれぞれ可変インダクタ100と並列に接続され、制御信号CONTROL_1が第1のブロックB1の動作状態を決定する。容量性素子部310は、容量性素子311及び312を備え、負性抵抗発生部320は、負性抵抗素子321及び322を備える。容量性素子311及び312は同一の構成であり、線対称軸Y-Y'に関して線対称の位置に配置されている。負性抵抗素子321及び322は同一の構成であり、線対称軸Y-Y'に関して線対称の位置に配置されている。LC並列共振器をVCOのタンク回路として用いる場合、VCOの発振には、図21に示す容量性素子の損失分 R_{SA} または R_{PA} と、図22に示すインダクタの損失成分 R_{SB} または R_{PB} での損失を補うことが発振持続の条件となる。負性抵抗発生部はこの損失を補い、VCOの発振を持続させる為に存在する。以下、容量性素子部310および負性抵抗発生部320の詳細を説明する。

【0042】

負性抵抗発生部 320 について

図4に、図3に示した負性抵抗発生部の回路例を示す。負性抵抗発生部に対する制御信号とスイッチの開閉状態に関する真理値表を表1に示す。この例では、CONTROL__1がHの時にSA1及びSC1がONするので、NMOSトランジスタMA及びMCのゲートは最も低い電位である基準電位に固定され、MA及びMCは遮断される。この時、SA1B及びSC1BはOFFしている。他方、CONTROL__1がLの時にSA1B及びSC1BがONで、NMOSトランジスタMAのゲートはMCのドレインと短絡し、MCのゲートはMAのドレインと短絡され、MA及びMCは負性抵抗を生成する。このときSA1及びSC1はOFFしている。

【0043】

【表1】

表1 図4の負性抵抗発生部の真理値表

CONTROL__1	SA1及びSC1	SA1B及びSC1B
L	OFF	ON
H	ON	OFF

10

【0044】

負性抵抗発生部320は、図5に示されるような構成でも構わない。図5の負性抵抗発生部の動作を表2の真理値表を用いつつ説明する。NMOSトランジスタMA及びMCのソースは短絡され、VLOW端子を形成する。このVLOW端子は、スイッチS2を介して基準電位VSSとつながっている。他方、MAのゲートはMCのドレインと、MCのゲートはMAのドレインと繋がりS2がONしている時に負性抵抗を発生する。すなわち、CONTROL__1がLの時にS2はOFFしているためMA及びMCとの基準電位への電流パスは遮断され、負性抵抗発生部は遮断状態となる。逆に、CONTROL__1がHになるとS2はONし電流パスが形成されるので、図5の回路は負性抵抗を発生する。

【0045】

【表2】

表2 図5の負性抵抗発生部の真理値表

CONTROL__1	S2
L	OFF
H	ON

20

30

【0046】

また、図6のような構成でも実現できる。図6の負性抵抗発生部の動作を表3の真理値表を用いつつ説明する。NMOSトランジスタMA及びMCのソースは短絡されてAC__COM端子を形成する。このAC__COM端子と基準電位VSSとの間に電流源動作をするMI1が挿入され、MI1とMI0はカレントミラーを形成する。正電源VDDとMI0のドレインとの間には電流源が挿入され、MI0のドレインとゲートとの間にスイッチS3Aが、またMI0のゲートと基準電位との間にスイッチS3Bが挿入されている。

【0047】

【表3】

表3 図6の負性抵抗発生部の真理値表

CONTROL__1	S3A	S3B
L	ON	OFF
H	OFF	ON

40

【0048】

50

図6において、CONTROL__1がLになるとS3AがONするのでMIOのドレインゲートが短絡されMIOのダイオード接続を形成する。従ってMIOとMI1のペア間で電流がミラーされる。このときS3BはOFFなので回路動作に影響を与えない。従ってMI1はMAとMCに電流を供給し、この回路は負性抵抗を発生する。逆にCONTROL__1がHになると、S3BがONするのでMIOとMI1のゲート電位は、基準電位に固定されるため遮断状態となる。従ってMAとMCにも電流が供給されずMA及びMCも遮断状態となる。この時、S3AはOFFなので回路動作に影響を与えない。

【0049】

容量性素子部310について

図7(a)及び(b)に、図3に示した容量性素子部の回路例を示し、その動作を説明する。図7(a)は、制御信号CONTROL__1としてアナログ信号を用いる場合の回路例で、可変容量性素子の代表としてMOSバラクタを用いて説明する。MOSバラクタVCAのゲートを端子D'、MOSバラクタVCCのゲートを端子D''とし、VCAのソースとドレインを短絡して制御信号CONTROL__1と接続し、VCCのソースとドレインを短絡して同じく制御信号CONTROL__1と接続する。端子D'及びD''を可変インダクタ100と並列に接続されることでLCの共振回路となる。このLC共振回路は、CONTROL__1の電圧を変えることでVCA及びVCCの動作状態が変化し、それに伴って端子D'及びD''から見たキャパシタンスが変化して、その共振周波数を可変することができる。しかしながら、VCA及びVCCのQ値が、並列の可変インダクタ100のQ値より低い周波数領域においては、バラクタのQ値が最大となる動作状態を取るよう制御信号CONTROL__1の電圧を固定し、インダクタを切り替える方がVCOの位相ノイズ最適化の観点からは好ましい。

【0050】

バラクタとして、MOSバラクタ以外にもダイオード、BJTおよび任意の可変容量性素子を使うことも可能である。

【0051】

なお、この回路例も差動構成の回路用途であるため、図7(a)の線対称軸Y-Y'で折り返すことで、シングルエンド用途に適用することもできる。

【0052】

次に、図7(b)を参照して、制御信号としてデジタル信号を用いる場合の回路例を説明する。デジタル制御信号2本の場合を代表例として以下で説明していくが、並列バスを増やすことでN本のデジタル制御信号にも対応することができる。まず、キャパシタC0Aの一方を端子D'とし他方をC0Cの一方と接続し、C0Cのもう一方の端子を端子D''とする。この端子D'にスイッチS1Aの片側を接続し、他方をキャパシタC1Aに接続する。C1Aのもう一方をキャパシタC1Cの片側に接続し、C1Cのもう一方の端子をスイッチS1Cの片側に接続し、S1Cの残りの端子を端子D''に接続する。スイッチS1A及びS1Cは同一の制御信号CNT__1でその開閉が制御される。同様に、端子D'にスイッチS2Aの片側接続し、他方をキャパシタC2Aに接続する。C2Aのもう一方をキャパシタC2Cの片方に接続し、C2Cのもう一方をスイッチS2Cの片側に接続し、S2Cの残りの端子を端子D''に接続する。スイッチS2A及びS2Cは同一の制御信号CNT__2でその開閉が制御される。

【0053】

換言すると、図7の容量性素子部は、制御信号が入力される入力端子と、第12の出力端子D'および第2の出力端子D''と、入力端子からの制御信号CNT__1、CNT__2によりオンオフ制御されるスイッチS1A、S2AとキャパシタC1A、C2Aとからなり、一方の端子が第1の出力端子D'に接続される2つの第1の容量部と、入力端子からの制御信号CNT__1、CNT__2によりオンオフ制御されるスイッチS1C、S2CとキャパシタC1C、C2Cとからなり、一方の端子が第2の出力端子D''に接続され、他方の端子が第1の容量部の他方の端子に接続される2つの第2の容量部とを備え、第1および第2の容量部は、線対称軸Y-Y'に関して線対称の位置に配置されている。

【0054】

スイッチ制御の真理値表は表4の通りである。この切り替えによって端子D'及びD'から見たキャパシタンス、すなわちインピーダンスが変化することが分かる。

【0055】

【表4】

表4 真理値表

CNT__1	CNT__2	S2A及びS2C	S1A及びS1C
L	L	OFF	OFF
L	H	OFF	ON
H	L	ON	OFF
H	H	ON	ON

10

【0056】

図7(b)に示すキャパシタ及びスイッチの場所は可換であり、また、アナログ制御の場合と同様に図7(b)の線対称軸Y-Y'で折り返すことでシングルエンド用途に適用することもできる。

【0057】

(第3の実施形態)

図8は、第3の実施形態の電圧制御発振器(VCO)を示している。VCO800は、可変インダクタ100及び第1～第3のブロックB1～B3に関しては第2の実施形態のVCO200と同様であるが、第1から第3の円周上の円弧と線対称軸Y-Y'との交点A、B、Cに電流が供給されている点で異なる。点A、B、Cは、VCO200では低インピーダンス点であったが、VCO800では、点A、B、Cに正電源VDDではなく電流源MP1を接続することで正電源VDDからの電圧信号除去比(Power Supply Rejection Ratio)を向上させ、高インピーダンス点となっている。

20

【0058】

電流源MP1は、正電源VDDにPMOSトランジスタMP0のソースを接続し、MP0のゲートとドレインを短絡して端子VB P1とし、MP0のドレインと基準電位VSSとの間に電流源I0を挿入し、正電源VDDにソースを接続したもう1つのPMOSトランジスタMP1のゲートに端子VB P1を接続することで得られる、MP0・MP1間のカレントミラーで構成されている。カレントミラーの出力は一般に、インピーダンスが高いことで知られており、第3の実施形態ではMP1のドレインがそれにあたる。なお、交流グラウンドとも呼ばれるAC__COM1は直流的には接地でないものの、信号成分に対しては設置点と同様の働きをする。図8におけるAC__COM1端子はLCタンクの最低次共振状態では信号振幅がゼロとなる点であることから、ここは交流的に接地と等価であると言える。

30

【0059】

(第4の実施形態)

図9は、本発明の第4の実施形態の可変インダクタを示している。可変インダクタ900は、線対称軸Y-Y'を有し、可変インダクタ900が備える複数の円弧が共有する中心点が2つ存在する(ZL及びZR)。可変インダクタ900は、線対称軸Y-Y'に関して線対称な第1のインダクタ部Ind1と、線対称軸Y-Y'に関して線対称な第2のインダクタ部Ind2とを備える。第1のインダクタ部Ind1は、線対称軸Y-Y'上の第1の点ZLを中心点とした第1の円周上の円弧と、第1の円周と線対称軸Y-Y'に関して線対称な第2の円周上の円弧と、第1の円周上の円弧と第2の円周上の円弧とを結合する、線対称軸Y-Y'に直交する第1の結線部B' B' 'と、第1の円周上の円弧の第1の端子TAPD'に接続された第1の線路TAPD' D'と、第1の端子TAPD'と線対称軸Y-Y'に関して線対称な第2の端子TAPD' 'に接続された第2の線路T

40

50

APD'、D'とを備える。第2のインダクタ部Ind2は、線対称軸Y-Y'上の第1の点ZLを中心点とした第3の円周上の円弧と、第3の円周と線対称軸Y-Y'に関して線対称な第4の円周上の円弧と、第3の円周上の円弧と第4の円周上の円弧とを結合する、線対称軸Y-Y'に直交する第2の結線部と、第3の円周上の円弧の第3の端子TAPE'に接続された第3の線路TAPE'E'と、第3の端子TAPE'と線対称軸Y-Y'に関して線対称な第4の端子TAPE''に接続された第4の線路TAPE''E'を備える。第1の円周の半径r1は、第3の円周の半径r3よりも短い。第2の結線部は、第1の結線部B'B'の一部である。図9には、第2のインダクタ部Ind2の外側にさらに第3のインダクタ部Ind3も示されており、可変インダクタ900は3つのインダクタ部を有するが、インダクタ部の数は2以上であればよい。

10

【0060】

可変インダクタ900は、第1の実施形態で説明した可変インダクタ100と同様に、第1の線路APD'D'と第2の線路APD'、D'との間等に容量性素子部を接続して、どのインダクタ部に接続された容量性素子部を動作させるかを制御信号により切り替えることにより、LCの並列共振による電圧制御発振器の構成要素として使用できる。このとき、非特許文献2に記載の可変インダクタの場合のようにインダクタに直列に抵抗成分が挿入されることがない。したがって、Q値の劣化を抑制した可変インダクタとして機能させることができる。さらに、複数のインダクタ部が入れ子構造になっているため小型の可変インダクタが得られる。

20

【0061】

加えて、本実施形態の可変インダクタは、結線部以外で複数のインダクタ部が交わらないため、1つの周波数を発生するだけでなく、複数のインダクタ部を同時に動作させて同時に複数の周波数を発生することもできる。なお、結線部はVDD端子であるためインピーダンスがゼロ（小信号的には接地）になり、結線部が共有されていても複数周波数発振において問題とならない。

【0062】

（第5の実施形態）

図10は、第4の実施形態の可変インダクタを備える電圧制御発振器(VCO)を示している。VCO1000は、インダクタと容量性素子の並列共振によるものであり、第4の実施形態の可変インダクタ900と、第1の線路APD'D'と第2の線路APD'、D'との間に接続され、第1の制御信号CONTROL_1により動作状態と非動作状態との間の切り替えが制御される第1のブロックB1と、第3の線路TAPE'E'と第4の線路TAPE''E'との間に接続され、第2の制御信号CONTROL_2により動作状態と非動作状態との間の切り替えが制御される第2のブロックB2とを備える。第1のブロックB1と第2のブロックB2は同一の構成とする。第3のブロックB3も示してあり、これも同一の構成とする。第1の結線部B'B'と線対称軸Y-Y'との交点Bが正電源VDDに接続してある。各ブロックの詳細は、第2の実施形態で説明したのと同じである。制御信号により動作させるブロックを切り替えることで、使用されるインダクタ部が選択されて共振周波数が変わる。第1の実施形態で上述したのと同様に、ブロックB1～B3を接続しても可変インダクタ900に直列に抵抗成分が挿入されることがない。したがって、Q値の劣化を抑制した可変インダクタとして機能させることができる。

30

40

【0063】

なお、上述したように複数のインダクタ部を同時に動作させて同時に複数の周波数を発生することもできる。また、負性抵抗発生部の利得を下げて非発振領域で使用するにより、ブロックB1～B3のいずれかを動作させた場合は1つの周波数に対するフィルタ、2つ以上を動作させた場合は2つ以上の周波数または広帯域のフィルタを構成することもできる。

【0064】

（第6の実施形態）

50

図11は、第6の実施形態の電圧制御発振器(VCO)を示している。VCO1100は、可変インダクタ900及び第1～第3のブロックB1～B3に関しては第5の実施形態のVCO1000と同様であるが、点Bに電流が供給されている点で異なる。点Bは、VCO1000では低インピーダンス点であったが、VCO1100では、点Bに正電源VDDではなく電流源MP1を接続することで正電源VDDからの電圧信号除去比(Power Supply Rejection Ratio)を向上させ、高インピーダンス点となっている。電流源MP1の構造は、第3の実施形態で説明したものと同一であり、ここでは説明しない。

【0065】

(第7の実施形態)

10

図12は、第7の実施形態の可変インダクタで使用するソレノイドを説明するための図である。ソレノイドとは、図12に示すような、一本の導体から構成されるインダクタで、巻き始めの点Wと巻き終りの点WWを有し、その間を中心を同じくする半径rの平面インダクタをn回巻きした縦積み構造である。半径rの平面インダクタの自己インダクタンスがLのとき、半径rの平面インダクタをn回巻いたソレノイドの自己インダクタンスが $n^2 \times L$ となるような特徴を有するインダクタの一種と定義する。ただし、基準となる1回巻き部分の形は特に円形でなくても良いが、平面図上は同一な(identical)インダクタで構成されなければならない。

【0066】

以下では簡単のため、最上層に巻き始めの点を設け、上層から下層に向けて巻き数を増やしていくソレノイドについて説明するが、ソレノイドの条件、すなわち1本の導体から構成されること、平面図では同一の形状をしていることを守りさえすれば、中間層から巻き始めても下層から上層に向けて巻いて行ってもよい。

20

【0067】

図13(a)及び(b)は、第7の実施形態の可変インダクタを示している。図13(a)は平面図、(b)は線対称軸Y-Y'の左側部分の斜視図である。可変インダクタ1300は、線対称軸Y-Y'を有する共有部を備え、この共有部は、第1の点ZLを中心点とした第1のソレノイドSOLL、および、第1の点ZLと線対称軸Y-Y'に関して線対称な第2の点ZRを中心点とした、第1のソレノイドSOLLと同一半径の第2のソレノイドSOLRを有し、第1のソレノイドSOLLと第2のソレノイドSOLRとは、それぞれの始点AL及びARが、線対称軸Y-Y'上の第3の点Bを通過して線対称軸Y-Y'と直交する結線部を介して結合する。可変インダクタ1800はさらに、第1のソレノイドSOLLの始点ALより下層に存在する第1の端子BLに接続された第1の線路BLD'と、第1のソレノイドSOLLの第1の端子BLより下層に存在する第2の端子CLに接続された第2の線路CLE'と、第2のソレノイドSOLRの始点ARより下層に存在する第3の端子BRに接続された第3の線路BRD''と、第2のソレノイドSOLRの第3の端子BRより下層に存在する第4の端子CRに接続された第4の線路CRE''とを備える。第3の端子BR、第4の端子CR、第3の線路BRD''、および第4の線路CRE''はそれぞれ、第1の端子BL、第2の端子CL、第1の線路BLD'、および第2の線路CLE'と線対称軸Y-Y'に関して線対称である。共有部のうちの第1の端子BLから第3の端子BRの間の部分、第1の線路BLD'、および第3の線路BRD''は、第1のインダクタ部Ind1を構成し、共有部のうちの第2の端子CLから第4の端子CRの間の部分、第3の線路CLE'、および第4の線路CRE''は、第2のインダクタ部Ind2を構成する。第2のインダクタ部Ind2の線路長は、第1のインダクタ部Ind1の線路長よりも長い。図13に示されたインダクタ部の数は2であるが、2より多くてもよい。

30

40

【0068】

可変インダクタ1300は、D'D''間等に容量性素子部を接続して、どのインダクタ部に接続された容量性素子部を動作させるかを制御信号により切り替えることにより、LCの並列共振による電圧制御発振器の構成要素として使用できる。このとき、非特許文

50

献2に記載の可変インダクタの場合のようにインダクタに直列に抵抗成分が挿入されることがない。したがって、Q値の劣化を抑制した可変インダクタとして機能させることができる。さらに、いずれのインダクタ部もソレノイドの一部を共有するため小型の可変インダクタが得られる。可変インダクタ1300の各ソレノイドは、平面図でみると複数の円弧が中心点ZL及びZRを共有しており、その意味で図1に示した可変インダクタ100等と対応する特徴を有する。

【0069】

ソレノイドは原理的に1本の導体から構成されているため、物理的に異なる2点のインダクタンスは等しくないことが保証されると共に、自己インダクタンス＝（平面インダクタのインダクタンス）×（巻数）²という特徴も有していて、最上層に存在する始点AL及びARを基準とした場合の自己インダクタンスが下層に下りていくほど大きくなり、単調性も保証される。

【0070】

第7の本実施形態は、インダクタンスの単調性に起因する回路制御の簡便性のみならず、面積の縮小・コスト低減の観点からも好ましい実施形態である。ソレノイドを用いると、巻いた数の二乗に比例して自己インダクタンスが増える。これによって面積の縮小、すなわちコストの削減が図れる。また、同一の自己インダクタンスを得るための銅線長を短縮できるので、Q値の増大が図れる。インダクタのQ値は配線の抵抗値で制限を受ける為、自己インダクタンスが同じで配線抵抗が減ればQ値は高くなるからである。

【0071】

なお、図13（a）及び（b）では、点BLで段差を有するソレノイドを図示したが、このような構造に限らず、導線を巻いたソレノイドと等価のものであればよい。段差なく導線を巻いたソレノイドを用いる場合は、第1の端子BLが第2の端子CLよりも始点ALに近いという関係にあればよい。

【0072】

（第8の実施形態）

図14は、第7の実施形態の可変インダクタを備える電圧制御発振器（VCO）を示している。VCO1400は、インダクタと容量性素子の並列共振によるものであり、第12の実施形態の可変インダクタ1300と、D'D'間に接続され、第1の制御信号CONTROL__1により動作状態と非動作状態との間の切り替えが制御される第1のブロックB1と、E'E'間に接続され、第2の制御信号CONTROL__2により動作状態と非動作状態との間の切り替えが制御される第2のブロックB2とを備える。第1のブロックB1と第2のブロックB2は同一の構成とする。共有部上の点Bが正電源VDDに接続してある。各ブロックの詳細は、第2の実施形態で説明したのと同様である。制御信号により動作させるブロックを切り替えることで、使用されるインダクタ部が選択されて共振周波数が変わる。第1の実施形態で上述したのと同様に、ブロックB1及びB2を接続しても可変インダクタ1800に直列に抵抗成分が挿入されることがない。したがって、Q値の劣化を抑制した可変インダクタとして機能させることができる。

【0073】

なお、第1の制御信号CONTROL__1及び第2の制御信号CONTROL__2を同時にONさせて2つのインダクタ部を同時に動作させることで、2つの発振周波数を同時に得ることもできる。結線部はVDD端子であるためインピーダンスがゼロ（小信号的には接地）になるので、結線部が共有されていても複数周波数発振において問題がない。

【0074】

（第9の実施形態）

図15は、本発明の第9の実施形態の可変インダクタを示している。第9の実施形態の可変インダクタ100と類似するが、本実施形態の可変インダクタ1500は、各インダクタ部が複数回巻きのインダクタである点で相違する。可変インダクタ1500は、線対称軸Y-Y'を有し、可変インダクタ1500が備える複数の円弧が共有する中心点Zが1つ存在する。可変インダクタ1500は、線対称軸Y-Y'に関して線対称な第1のイ

ンダクタ部 I n d 1 と、線対称軸 Y-Y' に関して線対称な第 2 のインダクタ部 I n d 2 とを備える。第 1 のインダクタ部 I n d 1 は、線対称軸 Y-Y' 上の第 1 の点 Z を中心点とした、線対称軸 Y-Y' に関して線対称な第 1 の円周上の第 1 の円弧と、第 1 の点 Z を中心点とした、第 1 の円周よりも半径の大きい第 2 の円周上の第 2 の円弧であって線対称軸 Y-Y' と交わらない第 2 の円弧と、第 1 の円弧と線対称軸 Y-Y' に関して線対称な第 3 の円弧と、第 1 の円弧と前記第 3 の円弧とを結合する、線対称軸 Y-Y' と交わる第 1 の結線部と、第 1 の円弧と前記第 2 の円弧とを結合する、線対称軸 Y-Y' と交わる第 2 の結線部と、第 2 の円弧の第 1 の端子 T A P D' に接続された、第 1 の線路 T A P D' D' と、第 1 の端子 T A P D' と線対称軸 Y-Y' に関して線対称な第 3 の円弧の第 2 の端子 T A P D' ' に接続された、第 1 の線路と線対称軸 Y-Y' に関して線対称な第 2 の線路 T A P D' ' D' ' とを備える。第 2 のインダクタ部 I n d 2 は、第 1 の点 Z を中心点とした、線対称軸 Y-Y' に関して線対称な第 3 の円周上の第 4 の円弧と、第 1 の点 Z を中心点とした、第 3 の円周よりも半径の大きい第 4 の円周上の第 5 の円弧であって線対称軸 Y-Y' と交わらない第 5 の円弧と、第 5 の円弧と線対称軸 Y-Y' に関して線対称な第 6 の円弧と、第 4 の円弧と第 6 の円弧とを結合する、線対称軸 Y-Y' と交わる第 3 の結線部と、第 4 の円弧と第 6 の円弧とを結合する、線対称軸 Y-Y' と交わる第 4 の結線部と、第 5 の円弧の第 3 の端子 T A P E' に接続された、第 3 の線路 T A P E' E' と、第 3 の端子 T A P E' と線対称軸 Y-Y' に関して線対称な第 6 の円弧の第 4 の端子 T A P E' ' に接続された、第 3 の線路 T A P E' E' と線対称軸 Y-Y' に関して線対称な第 4 の線路 T A P E' ' E' ' とを備える。第 2 の円周の半径 r 2 は、第 3 の円周の半径 r 3 よりも短い。

【0075】

可変インダクタ 1500 は、第 1 の実施形態で説明した可変インダクタ 100 と同様に、第 1 の線路 T A P D' D' と第 2 の線路 T A P D' ' D' ' との間等に容量性素子部を接続して、どのインダクタ部に接続された容量性素子部を動作させるかを制御信号により切り替えることにより、L C の並列共振による電圧制御発振器の構成要素として使用できる。このとき、非特許文献 2 に記載の可変インダクタの場合のようにインダクタに直列に抵抗成分が挿入されることがない。したがって、Q 値の劣化を抑制した可変インダクタとして機能させることができる。さらに、複数のインダクタ部が入れ子構造になっているため小型の可変インダクタが得られる。

【0076】

加えて、本実施形態の可変インダクタは、複数のインダクタ部が交わらないため、1 つの周波数を発生するだけでなく、複数のインダクタ部を同時に動作させて同時に複数の周波数を発生することもできる。

【0077】

(第 10 の実施形態)

図 16 は、第 9 の実施形態の可変インダクタを備える電圧制御発振器 (VCO) を示している。VCO 1600 は、インダクタと容量性素子の並列共振によるものであり、第 9 の実施形態の可変インダクタ 1500 と、第 1 の線路 T A P D' D' と第 2 の線路 T A P D' ' D' ' との間に接続され、第 1 の制御信号 C O N T R O L _ 1 により動作状態と非動作状態との間の切り替えが制御される第 1 のブロック B 1 と、第 3 の線路 T A P E' E' と第 4 の線路 T A P E' ' E' ' との間に接続され、第 2 の制御信号 C O N T R O L _ 2 により動作状態と非動作状態との間の切り替えが制御される第 2 のブロック B 2 とを備える。第 1 のブロック B 1 と第 2 のブロック B 2 は同一の構成とする。第 1 の円弧および第 4 の円弧と線対称軸 Y-Y' との交点が正電源 V D D に接続してある。各ブロックの詳細は、第 2 の実施形態で説明したのと同様である。制御信号により動作させるブロックを切り替えることで、使用されるインダクタ部が選択されて共振周波数が変わる。第 1 の実施形態で上述したのと同様に、ブロック B 1 及び B 2 を接続しても可変インダクタ 1500 に直列に抵抗成分が挿入されることがない。したがって、Q 値の劣化を抑制した可変インダクタとして機能させることができる。

【0078】

なお、上述したように複数のインダクタ部を同時に動作させて同時に複数の周波数を発生することもできる。また、負性抵抗発生部の利得を下げて非発振領域で使用するにより、ブロックB1及びB2のいずれかを動作させた場合は1つの周波数に対するフィルタ、2つ以上を動作させた場合は2つ以上の周波数または広帯域のフィルタを構成することもできる。

【0079】

(第11の実施形態)

図17は、本発明の第11の実施形態の可変インダクタを示している。第9の実施形態の可変インダクタ1500と類似するが、本実施形態の可変インダクタ1600は、各インダクタ部が2回巻きではなく3回巻きのインダクタである点で相違する。同様に拡張していけばN回巻きの場合にも適用可能である。ただし、必要条件として、各々のインダクタ部の中心は同一で、各々のインダクタ部は円対称に配置されていることが必須となる。

【0080】

可変インダクタ1700は、第1のインダクタ部Ind1と第2のインダクタ部Ind2とを備える。第1のインダクタ部Ind1は、中心Z、半径r91の内側インダクタと、中心Z、半径r92の中間インダクタと、中心Z、半径r93の外側インダクタとから構成された3回巻きの平面インダクタである。そのインダクタンスをL9とする。第2のインダクタ部Ind2は、中心Z、半径r101の内側インダクタと、中心Z、半径r102の中間インダクタと、中心Z、半径r103の外側インダクタから構成された3回巻きの平面インダクタである。そのインダクタンスをL10とすると、 $L10 > L9$ となるように設計する。第1のインダクタ部Ind1の内側インダクタと線対称軸Y-Y'との交点をD1、第2のインダクタ部Ind2の内側インダクタとY-Y'との交点をE1とする。

【0081】

可変インダクタ1700は、第1の実施形態で説明した可変インダクタ100と同様に、第1の線路TAPD'D'と第2の線路TAPD''D''との間等に容量性素子部を接続して、どのインダクタ部に接続された容量性素子部を動作させるかを制御信号により切り替えることにより、LCの並列共振による電圧制御発振器の構成要素として使用できる。このとき、非特許文献2に記載の可変インダクタの場合のようにインダクタに直列に抵抗成分が挿入されることがない。したがって、Q値の劣化を抑制した可変インダクタとして機能させることができる。さらに、複数のインダクタ部が入れ子構造になっているため小型の可変インダクタが得られる。

【0082】

加えて、本実施形態の可変インダクタは、複数のインダクタ部が交わらないため、1つの周波数を発生するだけでなく、複数のインダクタ部を同時に動作させて同時に複数の周波数を発生することもできる。

【0083】

(第12の実施形態)

図18は、第11の実施形態の可変インダクタを備える電圧制御発振器(VCO)を示している。VCO1800は、インダクタと容量性素子の並列共振によるものであり、第9の実施形態の可変インダクタ1700と、第1の線路TAPD'D'と第2の線路TAPD''D''との間に接続され、第1の制御信号CONTROL_1により動作状態と非動作状態との間の切り替えが制御される第1のブロックB1と、第3の線路TAPE'E'と第4の線路TAPE''E''との間に接続され、第2の制御信号CONTROL_2により動作状態と非動作状態との間の切り替えが制御される第2のブロックB2とを備える。第1のブロックB1と第2のブロックB2は同一の構成とする。点D1及びE1が正電源VDDに接続してある。各ブロックの詳細は、第2の実施形態で説明したのと同様である。制御信号により動作させるブロックを切り替えることで、使用されるインダクタ部が選択されて共振周波数が変わる。第1の実施形態で上述したのと同様に、ブロック

B 1 及び B 2 を接続しても可変インダクタ 1 7 0 0 に直列に抵抗成分が挿入されることがない。したがって、Q 値の劣化を抑制した可変インダクタとして機能させることができる。

【0084】

なお、上述したように複数のインダクタ部を同時に動作させて同時に複数の周波数を発生することもできる。また、負性抵抗発生部の利得を下げて非発振領域で使用するにより、ブロック B 1 及び B 2 のいずれかを動作させた場合は 1 つの周波数に対するフィルタ、2 つ以上を動作させた場合は 2 つ以上の周波数または広帯域のフィルタを構成することもできる。

【0085】

10

(第 1 3 の実施形態)

図 1 9 に示す可変インダクタ 1 9 0 0 は、図 1 に示した第 1 の実施形態の可変インダクタ 1 0 0 において、第 2 のインダクタ部 Ind 2 を静電シールド Sh i e l d 2 に置換したものである。第 1 のインダクタ部 Ind 1 と第 3 のインダクタ部 Ind 3 とが静電シールド Sh i e l d 2 でシールドされることで、独立して安定した動作が可能になる。

【0086】

(第 1 4 の実施形態)

図 2 0 は、第 1 4 の実施形態の可変インダクタを備える電圧制御発振器 (V C O) を示している。V C O 2 0 0 0 は、インダクタと容量性素子の並列共振によるものであり、第 1 2 の実施形態の可変インダクタ 1 9 0 0 と、第 1 の端子 D ' と第 2 の端子 D ' ' との間に接続され、第 1 の制御信号 C O N T R O L _ 1 により動作状態と非動作状態との間の切り替えが制御される第 1 のブロック B 1 と、第 5 の端子 F ' と第 6 の端子 F ' ' との間に接続され、第 3 の制御信号 C O N T R O L _ 3 により動作状態と非動作状態との間の切り替えが制御される第 3 のブロック B 3 とを備える。第 1 のブロック B 1 と第 3 のブロック B 3 は同一の構成とする。点 A、B、C が正電源 V D D に接続してある。各ブロックの詳細は、第 2 の実施形態で説明したのと同様である。第 1 の実施形態で上述したのと同様に、ブロック B 1 及び B 3 を接続しても可変インダクタ 1 9 0 0 に直列に抵抗成分が挿入されることがない。したがって、Q 値の劣化を抑制した可変インダクタとして機能させることができる。

20

【0087】

30

なお、第 1 のブロック B 1 及び第 3 のブロック B 3 の両方が動作状態となり 2 周波数同時発振をしているにも関わらず、静電シールド Sh i e l d 2 により干渉の非常に少ない安定動作が可能である。

【0088】

また、第 2 の実施形態の V C O 2 0 0 0 において、第 1 のブロック B 1 及び第 3 のブロック B 3 を動作、第 2 のブロック B 2 を非動作となるよう制御信号 C O N T R O L _ 1、C O N T R O L _ 2 及び C O N T R O L _ 3 を制御するだけで本実施形態と等価の効果をを得ることができる。

【符号の説明】

【0089】

40

1 0 0 可変インダクタ

B 1、B 2、B 3 ブロック (「容量性素子部」および「負性抵抗発生部」に対応)

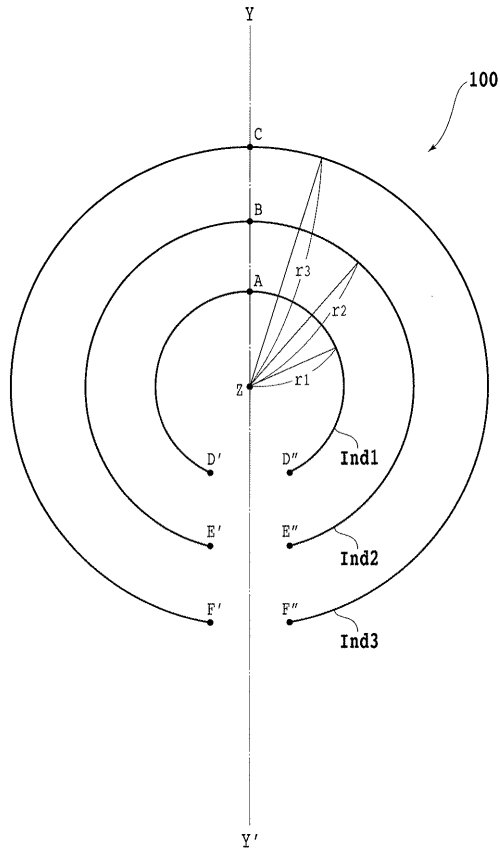
I n d 1、I n d 2、I n d 3 インダクタ部

Y - Y ' 線線対称軸

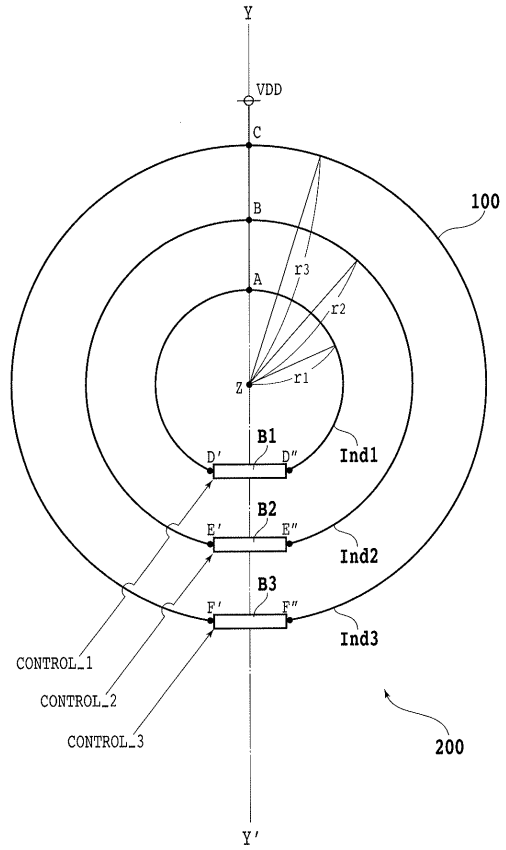
C O N T R O L _ 1、C O N T R O L _ 2、C O N T R O L _ 3 制御信号

V D D 正電源

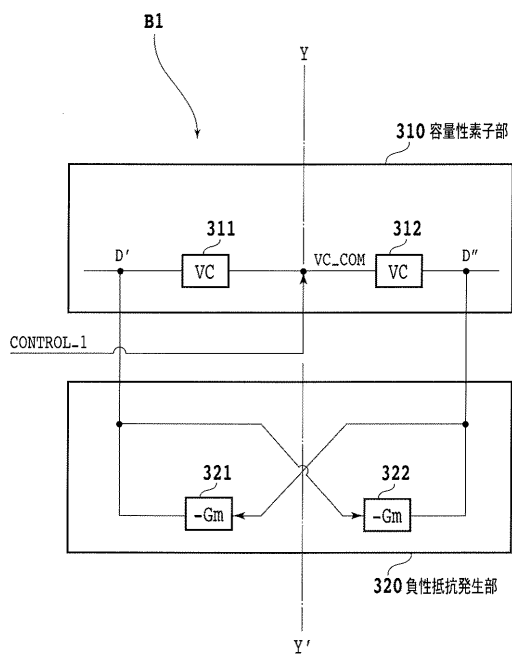
【図 1】



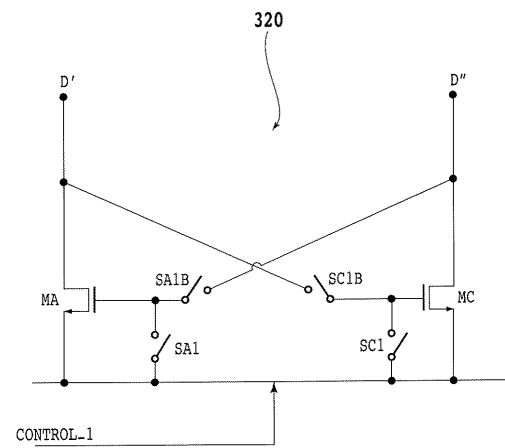
【図 2】



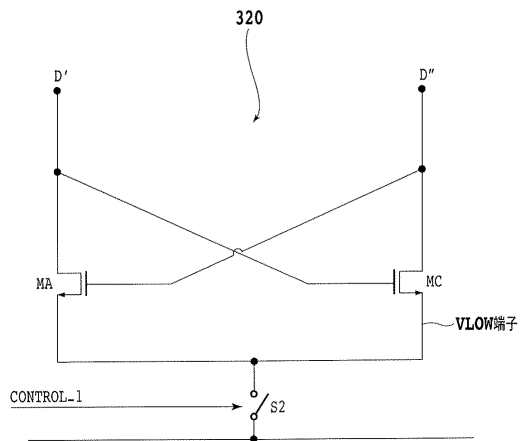
【図 3】



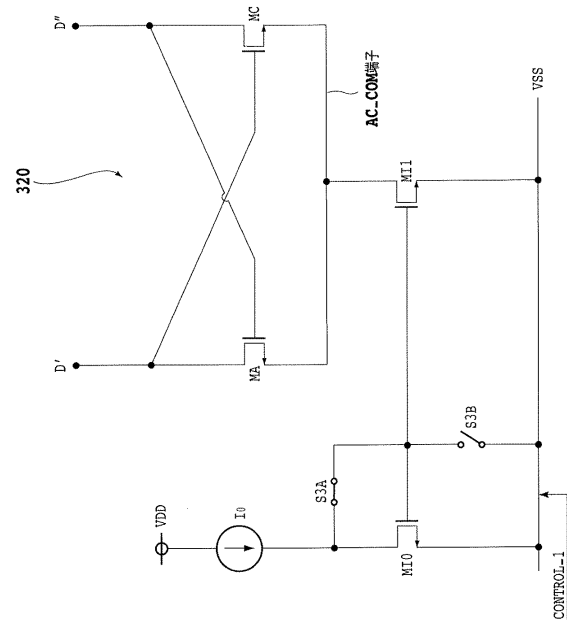
【図 4】



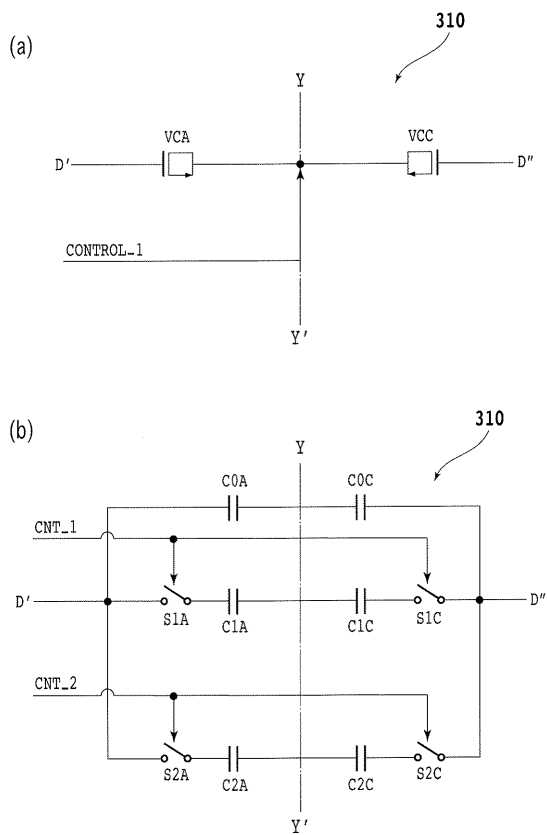
【図 5】



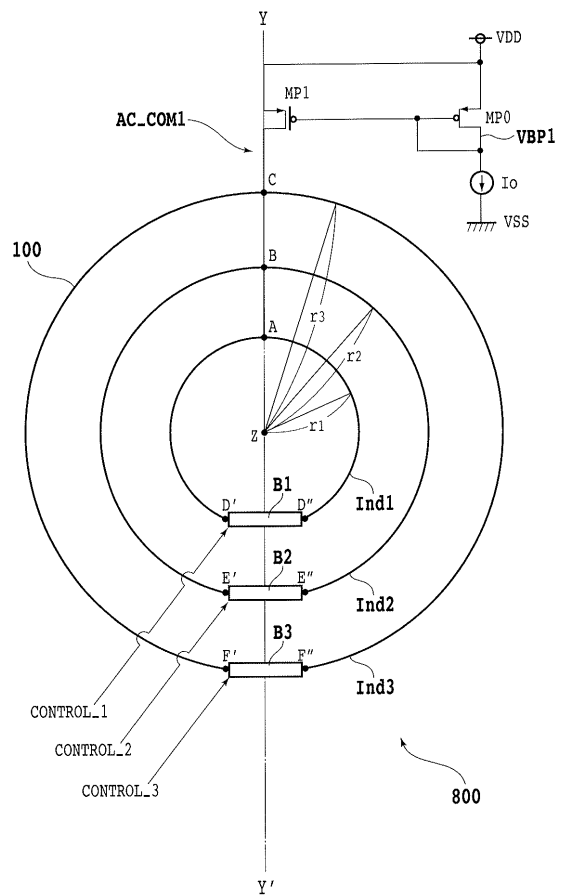
【図 6】



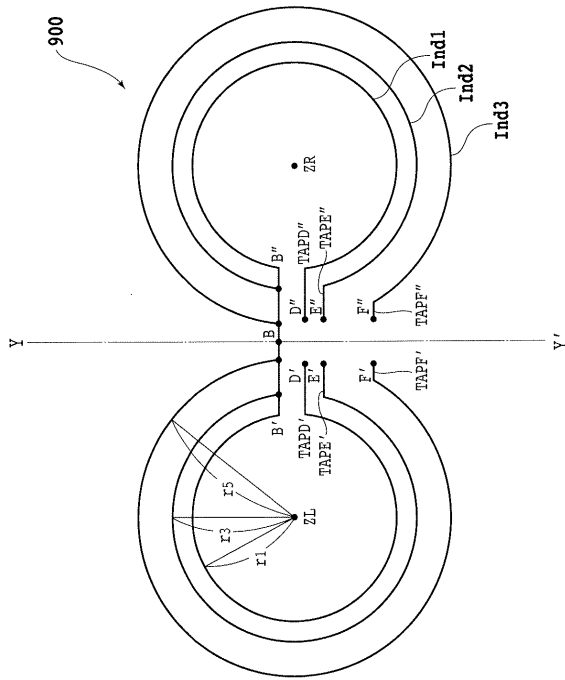
【図 7】



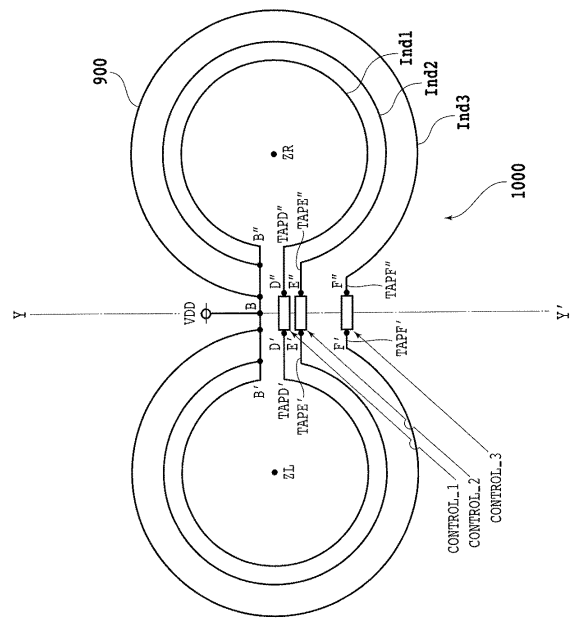
【図 8】



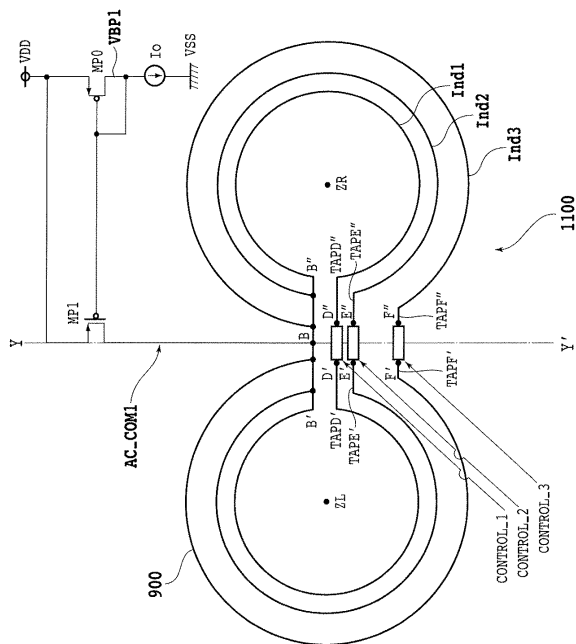
【図 9】



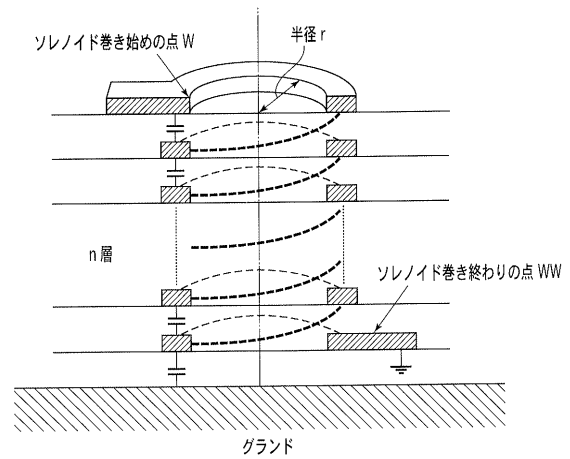
【図 10】



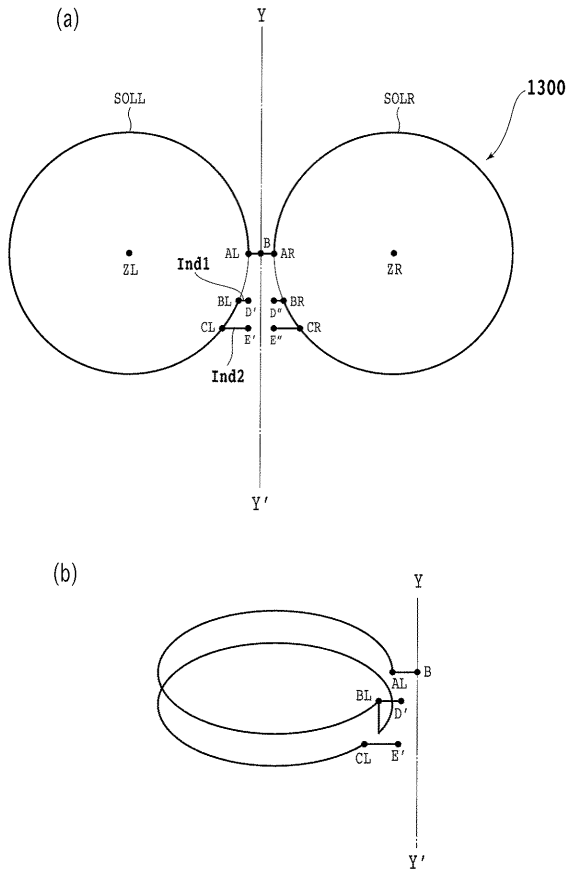
【図 1 1】



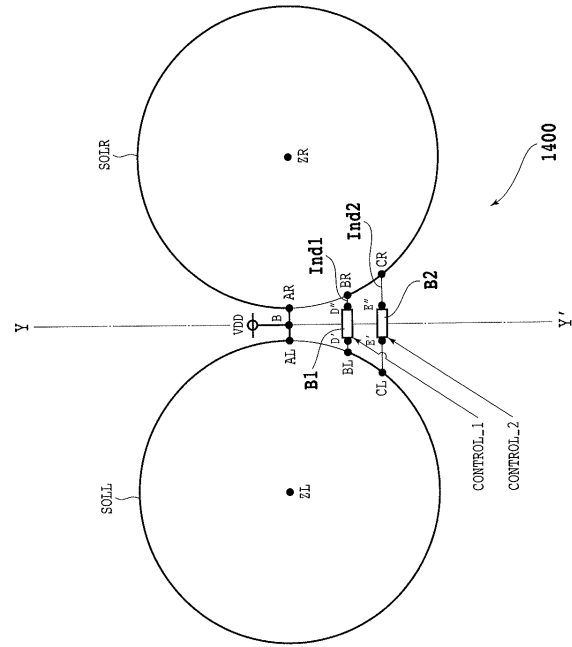
【图 1 2】



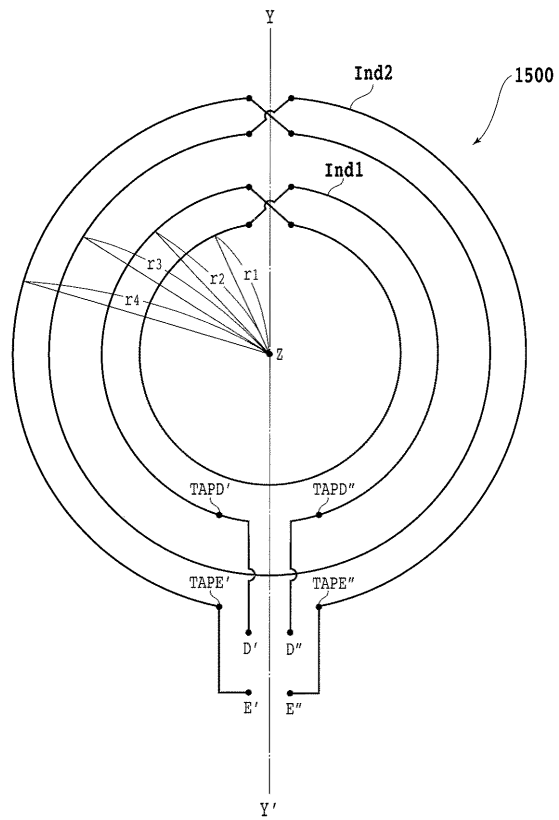
【図 13】



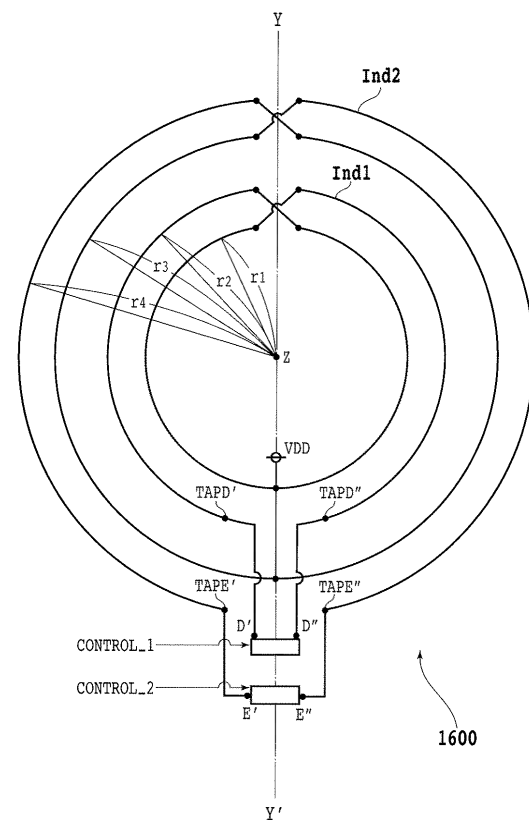
【図 14】



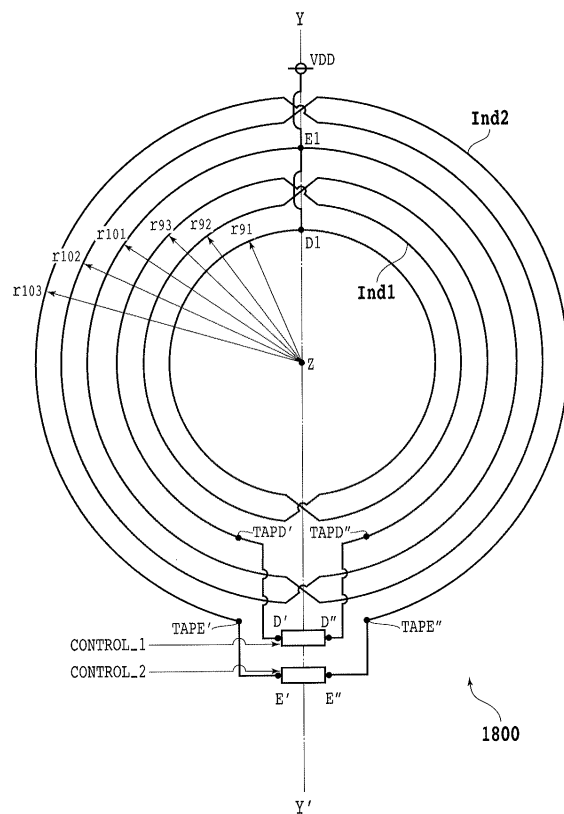
【図 15】



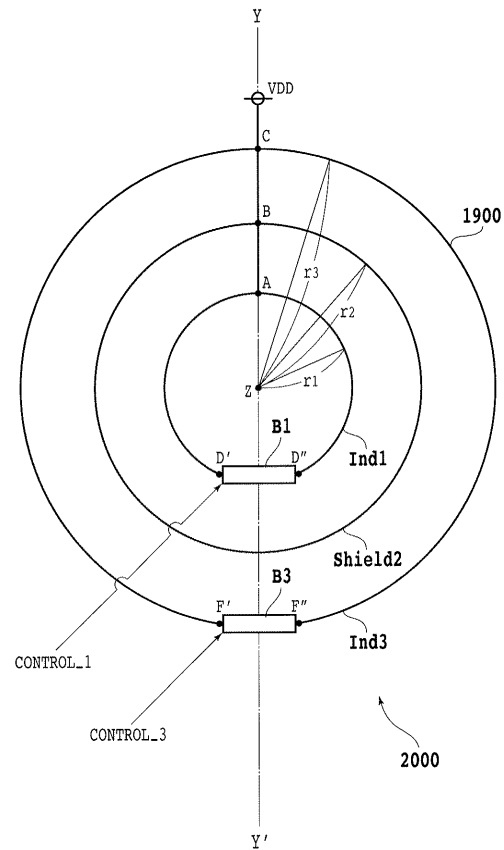
【図 16】



【図 18】



【図 20】

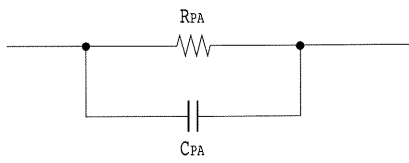


【図 2 1】

(a)

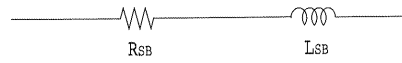


(b)

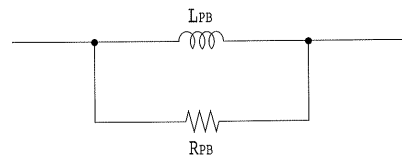


【図 2 2】

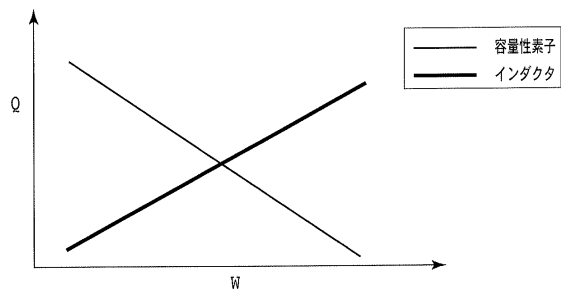
(a)



(b)



【図 2 3】



フロントページの続き

- (56)参考文献 特開2005-303839 (JP, A)
特開2007-005498 (JP, A)
特開2002-280222 (JP, A)
特開昭63-116412 (JP, A)
特開平02-299308 (JP, A)
特開2008-148210 (JP, A)
特開2003-229718 (JP, A)
特開2003-229485 (JP, A)
国際公開第2007/006867 (WO, A1)
特開2002-016493 (JP, A)
特開2003-347844 (JP, A)

- (58)調査した分野(Int.Cl., DB名)
H01F 21/12
H03B 5/08