

(19) 日本国特許庁(JP)

## (12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-62265  
(P2010-62265A)

(43) 公開日 平成22年3月18日(2010.3.18)

(51) Int.Cl.	F 1	テーマコード (参考)
HO1L 27/10 (2006.01)	HO1L 27/10	451
HO1L 45/00 (2006.01)	HO1L 45/00	Z
HO1L 49/00 (2006.01)	HO1L 49/00	Z

審査請求 未請求 請求項の数 45 O L (全 46 頁)

(21) 出願番号	特願2008-225157 (P2008-225157)	(71) 出願人	000005049 シャープ株式会社 大阪府大阪市阿倍野区長池町22番22号
(22) 出願日	平成20年9月2日 (2008.9.2)	(74) 代理人	100114476 弁理士 政木 良文
		(72) 発明者	田渕 良志明 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内
		(72) 発明者	細井 康成 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内
		F ターム (参考)	5F083 FZ10 GA05 GA11 GA27 JA36 JA38 JA39 JA40 JA56 JA60 LA01

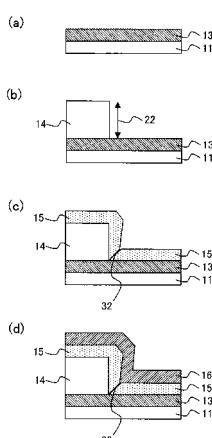
(54) 【発明の名称】可変抵抗素子及びその製造方法、並びにその駆動方法

(57) 【要約】 (修正有)

【課題】スイッチング動作の再現性を高め、構造設計の容易化を可能にする可変抵抗素子を提供する。

【解決手段】基板11上に、第1電極13、第2電極16、及び両電極の間に形成される可変抵抗体15を有し、両電極間に電圧パルスを印加することで両電極間の電気抵抗が可逆的に変化する可変抵抗素子であって、可変抵抗体15が、所定の可変抵抗体膜で構成されるとともに、可変抵抗体膜の構成膜厚が他より厚い領域内において、第1電極13から前記第2電極16に向かう方向に延伸する少なくとも一つのシーム32を有する構成である。可変抵抗体15は、段差部または開口部に成膜されることでシームを有するように形成される。

【選択図】図1



**【特許請求の範囲】****【請求項 1】**

基板上に、第1電極、第2電極、及び前記両電極の間に形成される可変抵抗体を有し、前記両電極間に電圧パルスを印加することで前記両電極間の電気抵抗が可逆的に変化する可変抵抗素子であって、

前記可変抵抗体が、前記第1電極から前記第2電極に向かう方向に延伸する少なくとも一つのシームを有することを特徴とする可変抵抗素子。

**【請求項 2】**

少なくとも一つの前記シームが、前記第1電極と前記第2電極との間に電圧が印加されることでフィラメントパスの一部を形成することを特徴とする請求項1に記載の可変抵抗素子。

10

**【請求項 3】**

前記可変抵抗体が、前記基板面に平行に構成される第1構造部と、下端が前記第1構造部の端部と結合し前記基板面に垂直な方向に構成される第2構造部とを備え、前記第1構造部と前記第2構造部とが結合するコーナ領域に前記シームを有することを特徴とする請求項1または2に記載の可変抵抗素子。

**【請求項 4】**

前記第1電極の一部上層に絶縁膜を有し、

前記可変抵抗体は、

前記第1構造部において、下面が前記第1電極の上面と接触し、上面が前記第2電極の下面と接触し、

前記第2構造部において、第1面が前記絶縁膜の側面と接触し、前記第1面と当該可変抵抗体の膜厚を隔てて対向する第2面が前記第2電極の側面と接触するように形成されていることを特徴とする請求項3に記載の可変抵抗素子。

20

**【請求項 5】**

前記第1電極と同一層において前記第1電極よりも膜厚が厚い絶縁膜を有し、

前記可変抵抗体は、

前記第1構造部において、下面が前記第1電極の上面と接触し、上面が前記第2電極の下面と接触し、

前記第2構造部において、第1面が前記絶縁膜の側面と接触し、前記第1面と当該可変抵抗体の膜厚を隔てて対向する第2面が前記第2電極の側面と接触するように形成されていることを特徴とする請求項3に記載の可変抵抗素子。

30

**【請求項 6】**

前記第1電極は、形成膜厚が異なる領域を有することで段差を有する構成であり、

前記可変抵抗体は、

前記第1構造部において、下面が前記第1電極の上面と接触し、上面が前記第2電極の下面と接触し、

前記第2構造部において、第1面が前記第1電極の側面と接触し、前記第1面と当該可変抵抗体の膜厚を隔てて対向する第2面が前記第2電極の側面と接触するように形成されていることを特徴とする請求項3に記載の可変抵抗素子。

40

**【請求項 7】**

形成膜厚が異なる領域を有することで段差を有する絶縁膜を備え、

前記第1電極が、前記絶縁膜上に形成されることで最上位面に高さ位置の差異を有した状態で形成されており、

前記可変抵抗体は、

前記第1構造部において、下面が前記第1電極の上面と接触し、上面が前記第2電極の下面と接触し、

前記第2構造部において、第1面が前記第1電極の側面と接触し、前記第1面と当該可変抵抗体の膜厚を隔てて対向する第2面が前記第2電極の側面と接触するように形成されていることを特徴とする請求項3に記載の可変抵抗素子。

50

**【請求項 8】**

絶縁膜を備え、  
前記第1電極が前記絶縁膜の一部上層に形成されており、  
前記可変抗体は、  
前記第1構造部において、下面が前記絶縁膜の上面と接触し、上面が前記第2電極の下面と接触し、  
前記第2構造部において、第1面が前記第1電極の側面と接触し、前記第1面と当該可変抗体の膜厚を隔てて対向する第2面が前記第2電極の側面と接触するように形成されていることを特徴とする請求項3に記載の可変抵抗素子。

**【請求項 9】**

前記第1電極と同一層において前記第1電極よりも膜厚が薄い絶縁膜を有し、  
前記可変抗体は、  
前記第1構造部において、下面が前記絶縁膜の上面と接触し、上面が前記第2電極の下面と接触し、  
前記第2構造部において、第1面が前記第1電極の側面と接触し、前記第1面と当該可変抗体の膜厚を隔てて対向する第2面が前記第2電極の側面と接触するように形成されていることを特徴とする請求項3に記載の可変抵抗素子。

**【請求項 10】**

前記可変抗体が、  
前記基板面に平行に構成され前記第1構造部より高さ位置が高く、端部において前記第2構造部の上端と結合する第3構造部を備え、  
前記第3構造部において、下面が前記絶縁膜の上面と接触し、上面が前記第2電極の下面と接触するように形成されていることを特徴とする請求項4または5に記載の可変抵抗素子。

**【請求項 11】**

前記可変抗体が、  
前記基板面に平行に構成され前記第1構造部より高さ位置が高く、端部において前記第2構造部の上端と結合する第3構造部を備え、  
前記第3構造部において、下面が前記第1電極の上面と接触し、上面が前記第2電極の下面と接触するように形成されていることを特徴とする請求項6～9のいずれか1項に記載の可変抵抗素子。

**【請求項 12】**

前記第2構造部が、  
前記基板面に平行な断面が環状に形成されるとともに、当該第2構造部の内側において下端と前記第1構造部の端部とが結合する構成であることを特徴とする請求項3に記載の可変抵抗素子。

**【請求項 13】**

前記第1電極の一部上層に絶縁膜を備え、  
前記可変抗体は、  
前記第1構造部において、下面が前記第1電極の上面と接触し、上面が前記第2電極の下面と接触し、  
前記第2構造部において、外側面が前記絶縁膜の側面と接触し、前記外側面と当該可変抗体の膜厚を隔てて対向する内側面が前記第2電極の側面と接触するように形成されていることを特徴とする請求項12に記載の可変抵抗素子。

**【請求項 14】**

前記第1電極と同一層において前記第1電極よりも膜厚が厚い絶縁膜を有し、  
前記可変抗体は、  
前記第1構造部において、下面が前記第1電極の上面と接触し、上面が前記第2電極の下面と接触し、  
前記第2構造部において、外側面が前記絶縁膜の側面と接触し、前記外側面と当該可変

抵抗体の膜厚を隔てて対向する内側面が前記第2電極の側面と接触するように形成されていることを特徴とする請求項12に記載の可変抵抗素子。

【請求項15】

前記第1電極は、形成膜厚が異なる領域を有することで段差を有する構成であり、前記可変抵抗体は、

前記第1構造部において、下面が前記第1電極の上面と接触し、上面が前記第2電極の下面と接触し、

前記第2構造部において、外側面が前記第1電極の側面と接触し、前記外側面と当該可変抵抗体の膜厚を隔てて対向する内側面が前記第2電極の側面と接触するように形成されていることを特徴とする請求項12に記載の可変抵抗素子。

10

【請求項16】

形成膜厚が異なる領域を有することで段差を有する絶縁膜を備え、

前記第1電極が、前記絶縁膜上に形成されることで最上位面に高さ位置の差異を有した状態で形成されており、

前記可変抵抗体は、

前記第1構造部において、下面が前記第1電極の上面と接触し、上面が前記第2電極の下面と接触し、

前記第2構造部において、外側面が前記第1電極の側面と接触し、前記外側面と当該可変抵抗体の膜厚を隔てて対向する内側面が前記第2電極の側面と接触するように形成されていることを特徴とする請求項12に記載の可変抵抗素子。

20

【請求項17】

絶縁膜を備え、

前記第1電極が前記絶縁膜の一部上層に形成されており、

前記可変抵抗体は、

前記第1構造部において、下面が前記絶縁膜の上面と接触し、上面が前記第2電極の下面と接触し、

前記第2構造部において、外側面が前記第1電極の側面と接触し、前記外側面と当該可変抵抗体の膜厚を隔てて対向する内側面が前記第2電極の側面と接触するように形成されていることを特徴とする請求項12に記載の可変抵抗素子。

30

【請求項18】

前記第1電極と同一層において前記第1電極よりも膜厚が薄い絶縁膜を有し、

前記可変抵抗体は、

前記第1構造部において、下面が前記絶縁膜の上面と接触し、上面が前記第2電極の下面と接触し、

前記第2構造部において、外側面が前記第1電極の側面と接触し、前記外側面と当該可変抵抗体の膜厚を隔てて対向する内側面が前記第2電極の側面と接触するように形成されていることを特徴とする請求項12に記載の可変抵抗素子。

【請求項19】

前記可変抵抗体が、

前記基板面に平行に構成され前記第1構造部より高さ位置が高く、前記第2構造部の外側において端部が前記第2構造部の上端と結合する第3構造部を備え、

前記第3構造部において、下面が前記絶縁膜の上面と接触し、上面が前記第2電極の下面と接触するように形成されていることを特徴とする請求項13または14に記載の可変抵抗素子。

40

【請求項20】

前記可変抵抗体が、

前記基板面に平行に構成され前記第1構造部より高さ位置が高く、前記第2構造部の外側において端部が前記第2構造部の上端と結合する第3構造部を備え、

前記第3構造部において、下面が前記第1電極の上面と接触し、上面が前記第2電極の下面と接触するように形成されていることを特徴とする請求項15～18のいずれか1項

50

に記載の可変抵抗素子。

【請求項 2 1】

前記可変抵抗体が、少なくとも外側面が同一の材料膜で囲まれた埋め込み領域内に埋め込まれて形成され、前記埋め込み領域内において高さ方向に延伸する前記シームを有する構成であって、

前記材料膜が、前記第 1 電極または絶縁膜で構成されていることを特徴とする請求項 1 または 2 に記載の可変抵抗素子。

【請求項 2 2】

前記第 1 電極の一部上層に前記絶縁膜を備え、

前記可変抵抗体は、

前記埋め込み領域内において、下面が前記絶縁膜の上面と接触し、前記外側面が前記絶縁膜の側面と接触するように形成されていることを特徴とする請求項 2 1 に記載の可変抵抗素子。

【請求項 2 3】

前記第 1 電極は、形成膜厚が異なる領域を有することで段差を有する構成であり、

前記可変抵抗体は、

前記埋め込み領域内において、下面が前記第 1 電極の上面と接触し、前記外側面が前記第 1 電極の側面と接触するように形成されていることを特徴とする請求項 2 1 に記載の可変抵抗素子。

【請求項 2 4】

形成膜厚が異なる領域を有することで段差を有する絶縁膜を備え、

前記第 1 電極が、前記絶縁膜上に形成されることで最上位面に高さ位置の差異を有した状態で形成されており、

前記可変抵抗体は、

前記埋め込み領域内において、下面が前記第 1 電極の上面と接触し、前記外側面が前記第 1 電極の側面と接触するように形成されていることを特徴とする請求項 2 1 に記載の可変抵抗素子。

【請求項 2 5】

前記可変抵抗体が、

前記埋め込み領域の外側に係る埋め込み外領域内において、前記埋め込み領域内に形成されている当該可変抵抗体と連結し、且つ前記埋め込み領域内の最下面よりも最下面の高さ位置が高くなるように形成されており、前記埋め込み外領域内において、下面が前記絶縁膜の上面と接触し、上面が前記第 2 電極の下面と接触することを特徴とする請求項 2 2 に記載の可変抵抗素子。

【請求項 2 6】

前記可変抵抗体が、

前記埋め込み領域の外側に係る埋め込み外領域内において、前記埋め込み領域内に形成されている当該可変抵抗体と連結し、且つ前記埋め込み領域内の最下面よりも最下面の高さ位置が高くなるように形成されており、前記埋め込み外領域内において、下面が前記第 1 電極の上面と接触し、上面が前記第 2 電極の下面と接触することを特徴とする請求項 2 3 または 2 4 に記載の可変抵抗素子。

【請求項 2 7】

請求項 3 ~ 1 1 のいずれか 1 項に記載の可変抵抗素子の製造方法であって、

前記基板上にシーム形成用段差を形成する段差形成工程と、

その後に、前記可変抵抗体を形成する可変抵抗体形成工程と、

その後に、前記第 2 電極を形成する第 2 電極形成工程と、を有し、

前記段差形成工程が、

前記第 1 電極を形成する工程を含み、前記第 1 電極を形成することで、前記基板面に平行な第 1 上面、前記基板面に平行に構成され前記第 1 上面より高さ位置の低い第 2 上面、並びに上端が前記第 1 上面の端部と結合し下端が前記第 2 上面の端部と結合することで前

10

20

30

40

50

記第1上面と前記第2上面とを前記基板面に垂直な方向に連絡する中間面を有するとともに少なくとも前記第2上面または前記中間面のいずれか一方の面が前記第1電極で構成された前記シーム形成用段差を形成する工程であり、

前記可変抵抗体形成工程が、

全面に可変抵抗体膜をスパッタリング法によって成膜するか、もしくは、全面に所定の材料膜をスパッタリング法によって成膜した後に酸化処理を行って可変抵抗体膜を形成することで、前記可変抵抗体膜が前記第2上面に接触する前記第1構造部、及び前記可変抵抗体膜が前記中間に接触する前記第2構造部を含む前記可変抵抗体を形成するとともに、前記第1構造部と前記第2構造部とが結合する前記コーナ領域に係る前記可変抵抗体内に前記シームを形成する工程であり、

10

前記第2電極形成工程が、

前記シームが形成された前記可変抵抗体膜の上面に前記第2電極を形成する工程であることを特徴とする可変抵抗素子の製造方法。

#### 【請求項28】

前記段差形成工程において、

前記基板上に前記第1電極を形成し、

その後に、前記第1電極の上面に絶縁膜を成膜した後、前記絶縁膜に対して前記第1電極の一部上面が露出するまでエッティングを施すことで、前記絶縁膜で構成された前記第1上面及び前記中間面、並びに前記第1電極で構成された前記第2上面を有する前記シーム形成用段差を形成することを特徴とする請求項27に記載の可変抵抗素子の製造方法。

20

#### 【請求項29】

前記段差形成工程において、

前記基板上の一部領域に前記第1電極を、前記基板上の前記第1電極の形成外領域に前記第1電極より膜厚の厚い絶縁膜を形成することで、前記絶縁膜で構成された前記第1上面及び前記中間面、並びに前記第1電極で構成された前記第2上面を有する前記シーム形成用段差を形成することを特徴とする請求項27に記載の可変抵抗素子の製造方法。

#### 【請求項30】

前記段差形成工程において、

前記基板上に前記第1電極を構成する電極膜を成膜し、

その後に、一部領域に係る前記電極膜に対してエッティングを施すことで、前記第1上面、前記中間面、及び前記第2上面が全て前記第1電極で構成された前記シーム形成用段差を形成することを特徴とする請求項27に記載の可変抵抗素子の製造方法。

30

#### 【請求項31】

前記段差形成工程において、

前記基板上に絶縁膜を成膜した後、一部領域にエッティングを施すことで前記絶縁膜に段差を形成し、

その後に、前記段差が形成された前記絶縁膜の上面全面に前記第1電極を構成する電極膜を成膜することで、前記第1上面、前記中間面、及び前記第2上面が全て前記第1電極で構成された前記シーム形成用段差を形成することを特徴とする請求項27に記載の可変抵抗素子の製造方法。

40

#### 【請求項32】

前記段差形成工程において、

前記基板上に絶縁膜を形成し、

その後に、前記絶縁膜の上面に前記第1電極を構成する電極膜を成膜した後、前記電極膜に対して前記絶縁膜の一部上面が露出するまでエッティングを施して前記第1電極を形成することで、前記第1電極で構成された前記第1上面及び前記中間面、並びに前記絶縁膜で構成された前記第2上面を有する前記シーム形成用段差を形成することを特徴とする請求項27に記載の可変抵抗素子の製造方法。

#### 【請求項33】

前記段差形成工程において、

50

前記基板上の一部領域に前記第1電極を形成するとともに、前記基板上の前記第1電極形成外領域に前記第1電極より膜厚の薄い絶縁膜を形成することで、前記第1電極で構成された前記第1上面及び前記中間面、並びに前記絶縁膜で構成された前記第2上面を有する前記シーム形成用段差を形成することを特徴とする請求項27に記載の可変抵抗素子の製造方法。

【請求項34】

請求項12～20のいずれか1項に記載の可変抵抗素子の製造方法であって、  
前記基板上にシーム形成用開口部を形成する開口部形成工程と、  
その後に、前記可変抵抗体を形成する可変抵抗体形成工程と、  
その後に、前記第2電極を形成する第2電極形成工程と、を有し、  
前記開口部形成工程が、

10

前記第1電極を形成する工程を含み、前記第1電極を形成することで、前記基板面に平行な断面が環状に形成された露出内側面、前記露出内側面の外側において前記露出内側面の上端と端部が結合する第1上面、並びに前記露出内側面の内側において前記露出内側面の下端と端部が結合する露出底面を有するとともに、少なくとも前記露出内側面または前記露出底面のいずれか一方の面が前記第1電極で構成された前記シーム形成用開口部を形成する工程であり、

前記可変抵抗体形成工程が、

20

全面に可変抵抗体膜をスパッタリング法によって成膜するか、もしくは、全面に所定の材料膜をスパッタリング法によって成膜した後に酸化処理を行って前記シーム形成用開口部内を完全には充填しない膜厚条件下で可変抵抗体膜を形成することで、前記可変抵抗体膜が前記露出底面に接触する前記第1構造部、及び前記可変抵抗体膜が前記露出内側面に接触する前記第2構造部を含む前記可変抵抗体を形成するとともに、前記第1構造部と前記第2構造部とが結合する前記コーナ領域に係る前記可変抵抗体内に前記シームを形成する工程であり、

前記第2電極形成工程が、

前記シームが形成された前記可変抵抗体膜の上面に前記第2電極を形成する工程であることを特徴とする可変抵抗素子の製造方法。

【請求項35】

30

前記開口部形成工程において、

前記基板上に前記第1電極を形成し、

その後に、前記第1電極の上面に絶縁膜を成膜した後、前記絶縁膜に対して前記第1電極の一部上面が露出するまでエッチングを施すことで、前記絶縁膜で構成された前記第1上面及び前記露出内側面、並びに前記第1電極で構成された前記露出底面を有する前記シーム形成用開口部を形成することを特徴とする請求項34に記載の可変抵抗素子の製造方法。

【請求項36】

40

前記開口部形成工程において、

前記基板上の一部領域に前記第1電極を、前記基板上の前記第1電極の形成領域の外周部に前記第1電極より膜厚の厚い絶縁膜を形成することで、前記絶縁膜で構成された前記第1上面及び前記露出内側面、並びに前記第1電極で構成された前記露出底面を有する前記シーム形成用開口部を形成することを特徴とする請求項34に記載の可変抵抗素子の製造方法。

【請求項37】

50

前記開口部形成工程において、

前記基板上に前記第1電極を構成する電極膜を成膜し、  
その後に、一部領域に係る前記電極膜に対してエッチングを施すことで、前記第1上面、前記露出内側面、及び前記露出底面が全て前記第1電極で構成された前記シーム形成用開口部を形成することを特徴とする請求項34に記載の可変抵抗素子の製造方法。

【請求項38】

前記開口部形成工程において、

前記基板上に絶縁膜を成膜した後、一部領域にエッティングを施すことで前記絶縁膜に開口部を形成し、

その後に、前記開口部が形成された前記絶縁膜の上面全面に前記開口部を充填しない範囲内の膜厚で前記第1電極を構成する電極膜を成膜することで前記第1電極を形成するとともに、前記第1上面、前記露出内側面、及び前記露出底面が全て前記第1電極で構成された前記シーム形成用開口部を形成することを特徴とする請求項34に記載の可変抵抗素子の製造方法。

【請求項39】

前記開口部形成工程において、

前記基板上に絶縁膜を形成し、

その後に、前記絶縁膜の上面に前記第1電極を構成する電極膜を成膜した後、前記電極膜に対して前記絶縁膜の一部上面が露出するまでエッティングを施して前記第1電極を形成することで、前記第1電極で構成された前記第1上面及び前記露出内側面、並びに前記絶縁膜で構成された前記露出底面を有する前記シーム形成用開口部を形成することを特徴とする請求項34に記載の可変抵抗素子の製造方法。

【請求項40】

前記開口部形成工程において、

前記基板上の一領域に絶縁膜を、前記基板上の前記絶縁膜の形成領域の外周部に前記絶縁膜より膜厚の厚い前記第1電極を形成することで、前記第1電極で構成された前記第1上面及び前記露出内側面、並びに前記絶縁膜で構成された前記露出底面を有する前記シーム形成用開口部を形成することを特徴とする請求項34に記載の可変抵抗素子の製造方法。

【請求項41】

請求項21～26のいずれか1項に記載の可変抵抗素子の製造方法であって、

前記基板上にシーム形成用開口部を形成する開口部形成工程と、

その後に、前記可変抵抗体を形成する可変抵抗体形成工程と、

その後に、前記第2電極を形成する第2電極形成工程と、を有し、

前記開口部形成工程が、

前記第1電極を形成する工程を含み、前記第1電極を形成することで、前記基板面に平行な断面が環状に形成された露出内側面、前記露出内側面の外側において前記露出内側面の上端と端部が結合する第1上面、並びに前記露出内側面の内側において前記露出内側面の下端と端部が結合する露出底面を有するとともに、少なくとも前記露出内側面か前記露出底面のいずれか一の面が前記第1電極で構成された前記シーム形成用開口部を形成する工程であり、

前記可変抵抗体形成工程が、

全面に可変抵抗体膜をCVD法によって成膜するか、もしくは、全面に所定の材料膜をCVD法によって成膜した後に酸化処理を行って、前記シーム形成用開口部内において内側に開口部が残存しない膜厚条件下で前記可変抵抗体膜を形成することで、前記露出内側面を構成する材料膜で側面を囲まれた前記埋め込み領域内に前記可変抵抗体を形成するとともに、前記埋め込み領域に係る前記可変抵抗体内に高さ方向に延伸する前記シームを形成する工程であり、

前記第2電極形成工程が、

前記シームが形成された前記可変抵抗体膜の上面に前記第2電極を形成する工程であることを特徴とする可変抵抗素子の製造方法。

【請求項42】

前記開口部形成工程において、

前記基板上に前記第1電極を形成し、

その後に、前記第1電極の上面に絶縁膜を成膜した後、前記絶縁膜に対して前記第1電極の一部上面が露出するまでエッティングを施すことで、前記絶縁膜で構成された前記第1

10

20

30

40

50

上面及び前記露出内側面、並びに前記第1電極で構成された前記露出底面を有する前記シーム形成用開口部を形成することを特徴とする請求項41に記載の可変抵抗素子の製造方法。

【請求項43】

前記開口部形成工程において、

前記基板上に前記第1電極を構成する電極膜を成膜し、

その後に、一部領域に係る前記電極膜に対してエッティングを施すことで、前記第1上面、前記露出内側面、及び前記露出底面が全て前記第1電極で構成された前記シーム形成用開口部を形成することを特徴とする請求項41に記載の可変抵抗素子の製造方法。

【請求項44】

前記開口部形成工程において、

前記基板上に絶縁膜を成膜した後、一部領域にエッティングを施すことで前記絶縁膜に開口部を形成し、

その後に、前記開口部が形成された前記絶縁膜の上面全面に、前記開口部を充填しない範囲内の膜厚で前記第1電極を構成する電極膜を成膜することで前記第1電極を形成するとともに、前記第1上面、前記露出内側面、及び前記露出底面が全て前記第1電極で構成された前記シーム形成用開口部を形成することを特徴とする請求項41に記載の可変抵抗素子の製造方法。

【請求項45】

請求項1～26のいずれか1項に記載の可変抵抗素子の駆動方法であって、

前記第1電極と前記第2電極との間に電圧を印加することで、少なくとも前記シームを介して前記可変抵抗体内にフィラメントパスを形成することを特徴とする可変抵抗素子の駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、第1電極、第2電極、及び前記両電極の間に形成される可変抵抗体を有し、前記両電極間への電圧パルスを印加することで前記両電極間の電気抵抗が可逆的に変化する可変抵抗素子及びその製造方法、並びにその駆動方法に関するものである。

【背景技術】

【0002】

近年、フラッシュメモリに代わる高速動作可能な次世代不揮発性ランダムアクセスメモリ(NVRAM: Nonvolatile Random Access Memory)として、FeRAM(Ferroelectric RAM)、MRAM(Magnetic RAM)、PRAM(Phase Change RAM)等の様々なデバイス構造が提案され、高性能化、高信頼性化、低コスト化、及び、プロセス整合性という観点から、激しい開発競争が行われている。しかしながら、現状のこれらメモリデバイスには各々一長一短があり、SRAM、DRAM、フラッシュメモリの各利点を併せ持つ「ユニバーサルメモリ」の理想実現には未だ遠い。

【0003】

これら既存技術に対して、電圧パルスを印加することによって可逆的に電気抵抗が変化する可変抵抗素子を用いた抵抗性不揮発性メモリRRAM(Resistive Random Access Memory)(登録商標)が提案されている。この構成を図50に示す。

【0004】

図50に示されるように、従来構成の可変抵抗素子は、下部電極103と可変抵抗体102と上部電極101とが順に積層された構造となっており、上部電極101及び下部電極103間に電圧パルスを印加することにより、抵抗値を可逆的に変化させることができるもの質を有する。この可逆的な抵抗変化動作(以下では「スイッチング動作」という)によって変化する抵抗値を読み出すことによって、新規な不揮発性半導体記憶装置が実現で

10

20

30

40

50

きる構成である。

【0005】

この従来構成の可変抵抗素子としては、例えば、下記特許文献1において、半導体プロセスとの親和性が高く且つ単純な組成からなる2元系酸化物からなる抵抗変化型メモリが開示されている。具体的には、特許文献1には、「データ貯蔵物質層が、異なる電圧で異なる抵抗特性を有し、所定の電圧範囲で抵抗が急激に高くなる遷移金属酸化膜としてNiO、V<sub>2</sub>O<sub>5</sub>、ZnO、Nb<sub>2</sub>O<sub>5</sub>、TiO<sub>2</sub>、WO<sub>3</sub>またはCoOであることを特徴とする不揮発性メモリ装置」が開示されている。

【0006】

また、下記非特許文献1には、上部電極および下部電極と、この2つの電極に挟まれた2元系遷移金属酸化物であるNiO、TiO<sub>2</sub>、ZrO<sub>2</sub>、またはHfO<sub>2</sub>とより構成される、不揮発性抵抗変化メモリ素子の例が報告されている。

【0007】

これら特許文献1あるいは非特許文献1に開示されている2元系遷移金属酸化物からなる抵抗変化型メモリは、上述のように、半導体プロセスとの親和性が高く、且つ単純な構造・組成からなり、高集積不揮発メモリに適用し易いという利点がある。

【0008】

【特許文献1】特開2004-363604号公報

【非特許文献1】Baek, I. G. ほか、"Highly Scalable Non-volatile Resistive Memory using Simple Binary Oxide Driven by Asymmetric Unipolar Voltage Pulses" IEDM Technical Digest, pp. 587-590, 2004年

【発明の開示】

【発明が解決しようとする課題】

【0009】

上記の各従来技術によれば、素子の構造は、基板上に下部電極、可変抵抗体、上部電極の順に形成された積層構造の可変抵抗素子である。その素子の抵抗変化は、電圧パルス印加条件により、可変抵抗素子に流れ込む電流による熱上昇によって可変抵抗体中に局所的に抵抗率が低下した領域（以下、適宜「フィラメントパス」という）が形成されたり、フィラメントパスが分解されたりすることで、低抵抗や高抵抗となる現象に基づくものであるとされている。そして、スイッチング動作に先立ち、このフィラメントパスを形成すべく、通常のスイッチング動作に用いるよりも大きな電圧を印加する「フォーミングプロセス」と呼ばれる電気的処理が必要となる。

【0010】

このフォーミングプロセスは、例えば可変抵抗体がもともとほぼ絶縁体である金属酸化物である場合、通常のスイッチング動作に用いる電圧の数倍から10倍もの大きな電圧を一定時間以上印加しなくてはならない。そして、フォーミングプロセスでは、絶縁体における絶縁破壊に似た現象により電流パスを形成するため、可変抵抗体中において最も電気的に脆弱であったであろうフィラメントパスの形成場所を限定することはできない。このことが、可変抵抗素子の構造設計を困難にしている。

【0011】

また、フォーミングプロセス後の読み出し抵抗値にはらつきがあり、フォーミングプロセス後のフィラメントパスの状態制御はなされていない。フォーミングプロセス後の読み出し抵抗値が異なると、それぞれのスイッチング動作において、低抵抗状態の抵抗値、高抵抗状態の抵抗値、セット動作の電圧条件、リセット動作の電圧条件等が異なり、素子間の電気特性が均一性を欠いてしまう。

【0012】

本発明は上記の問題点に鑑み、フォーミングプロセスによって形成されるフィラメントパスの形成領域を限定することで、スイッチング動作の再現性を高め、構造設計の容易化

10

20

30

40

50

を可能にする可変抵抗素子を提供することを目的とする。

【課題を解決するための手段】

【0013】

上記目的を達成するための本発明に係る可変抵抗素子は、基板上に、第1電極、第2電極、及び前記両電極の間に形成される可変抵抗体を有し、前記両電極間に電圧パルスを印加することで前記両電極間の電気抵抗が可逆的に変化する可変抵抗素子であって、前記可変抵抗体が、前記第1電極から前記第2電極に向かう方向に延伸する少なくとも一つのシームを有することを特徴とする。

【0014】

本発明に係る可変抵抗素子の上記特徴によれば、可変抵抗体膜内において、第1電極から第2電極に向かう方向に延伸するシームが形成されているため、両電極間に電圧を印加したとき、このシームをフィラメントパスとして利用することができる。すなわち、シームでは可変抵抗体内部（バルク部）に比べて構造欠陥が多いため、電界集中が起こりやすい。このため、フォーミングプロセスを行うべく電圧を印加したとき、電界集中が起こりやすいシーム内あるいはその近傍においてフィラメントパスが容易に形成しやすい状況となる。このため、予め製造時に特定箇所にシームを意図的に形成しておくことで、フォーミングプロセスによって形成されるフィラメントパスの形成領域を特定範囲内に収めることができ、スイッチング動作の再現性を高めることができる。

10

【0015】

また、前記のとおり、シーム内あるいはその近傍において電界集中が起こりやすい構成であるため、従来構成よりもフォーミングプロセス実行に要する電圧を低電圧化することができる。

20

【0016】

なお、上記特徴において、シームの形状は線状、環状または離散した点状であっても良い。また、必ずしも第1電極及び第2電極の一方あるいは双方に接触するようにシームが形成される必要はなく、両電極の双方に接触することなく可変抵抗体膜内にシームが形成されていても良い。この場合であっても、フォーミングプロセスを実行することで、シーム形成領域においては、シーム内あるいはその近傍にフィラメントパスが形成されるため、シームが全く形成されていない従来構成と比較してフィラメントパスの形成領域が特定でき、再現性良くスイッチング動作を行うことができる。

30

【0017】

また、上記可変抵抗体膜としては、Ti, V, Mn, Fe, Co, Ni, Zn, Zr, Nb, Hf, Ta, W等の金属の酸化物または酸窒化物を利用することができる。

【0018】

このとき、前記可変抵抗体膜が局部的に厚膜化している厚膜領域内にシームが形成される構成としても構わない。ここでいう「厚膜領域」とは、可変抵抗体膜の表裏両面（一方の面は少なくとも一部が第1電極と接触し、他方の面は少なくとも一部が第2電極と接触する）の一方の面上において、当該面上の点か他方の面上の点までの最短距離が、堆積膜厚（表裏両面が平行して延在している部分の膜厚）より長くなっている領域を指す。例えば、段差部に形成された可変抵抗体膜においては、段差のコーナ領域に相当し、開口部内を充填されるように形成された可変抵抗体膜においては、当該開口部内の軸心領域に相当する。

40

【0019】

また、本発明に係る可変抵抗素子は、上記特徴に加えて、少なくとも一つの前記シームが、前記第1電極と前記第2電極との間に電圧が印加されることでフィラメントパスの一部を形成することを別の特徴とする。

【0020】

また、本発明に係る可変抵抗素子は、上記特徴に加えて、前記可変抵抗体が、前記基板面に平行に構成される第1構造部と、下端が前記第1構造部の端部と結合し前記基板面に垂直な方向に構成される第2構造部とを備え、前記第1構造部と前記第2構造部とが結合

50

するコーナ領域に前記シームを有することを別の特徴とする。

【0021】

このとき、本発明に係る可変抵抗素子は、上記特徴に加えて、前記第1電極の一部上層に絶縁膜を有し、前記可変抵抗体は、前記第1構造部において、下面が前記第1電極の上面と接触し、上面が前記第2電極の下面と接触し、前記第2構造部において、第1面が前記絶縁膜の側面と接触し、前記第1面と当該可変抵抗体の膜厚を隔てて対向する第2面が前記第2電極の側面と接触するように形成されているものとしても構わない。

【0022】

また、本発明に係る可変抵抗素子は、上記特徴に加えて、前記第1電極と同一層において前記第1電極よりも膜厚が厚い絶縁膜を有し、前記可変抵抗体は、前記第1構造部において、下面が前記第1電極の上面と接触し、上面が前記第2電極の下面と接触し、前記第2構造部において、第1面が前記絶縁膜の側面と接触し、前記第1面と当該可変抵抗体の膜厚を隔てて対向する第2面が前記第2電極の側面と接触するように形成されているものとしても構わない。

10

【0023】

このとき、前記可変抵抗体が、前記基板面に平行に構成され前記第1構造部より高さ位置が高く、端部において前記第2構造部の上端と結合する第3構造部を備え、前記第3構造部において、下面が前記絶縁膜の上面と接触し、上面が前記第2電極の下面と接触するように形成されているものとしても構わない。

20

【0024】

また、本発明に係る可変抵抗素子は、上記特徴に加えて、前記第1電極は、形成膜厚が異なる領域を有することで段差を有する構成であり、前記可変抵抗体は、前記第1構造部において、下面が前記第1電極の上面と接触し、上面が前記第2電極の下面と接触し、前記第2構造部において、第1面が前記第1電極の側面と接触し、前記第1面と当該可変抵抗体の膜厚を隔てて対向する第2面が前記第2電極の側面と接触するように形成されているものとしても構わない。

20

【0025】

また、本発明に係る可変抵抗素子は、上記特徴に加えて、形成膜厚が異なる領域を有することで段差を有する絶縁膜を備え、前記第1電極が、前記絶縁膜上に形成されることで最上位面に高さ位置の差異を有した状態で形成されており、前記可変抵抗体は、前記第1構造部において、下面が前記第1電極の上面と接触し、上面が前記第2電極の下面と接触し、前記第2構造部において、第1面が前記第1電極の側面と接触し、前記第1面と当該可変抵抗体の膜厚を隔てて対向する第2面が前記第2電極の側面と接触するように形成されているものとしても構わない。

30

【0026】

また、本発明に係る可変抵抗素子は、上記特徴に加えて、絶縁膜を備え、前記第1電極が前記絶縁膜の一部上層に形成されており、前記可変抵抗体は、前記第1構造部において、下面が前記絶縁膜の上面と接触し、上面が前記第2電極の下面と接触し、前記第2構造部において、第1面が前記第1電極の側面と接触し、前記第1面と当該可変抵抗体の膜厚を隔てて対向する第2面が前記第2電極の側面と接触するように形成されているものとしても構わない。

40

【0027】

また、本発明に係る可変抵抗素子は、上記特徴に加えて、前記第1電極と同一層において前記第1電極よりも膜厚が薄い絶縁膜を有し、前記可変抵抗体は、前記第1構造部において、下面が前記絶縁膜の上面と接触し、上面が前記第2電極の下面と接触し、前記第2構造部において、第1面が前記第1電極の側面と接触し、前記第1面と当該可変抵抗体の膜厚を隔てて対向する第2面が前記第2電極の側面と接触するように形成されているものとしても構わない。

【0028】

このとき、前記可変抵抗体が、前記基板面に平行に構成され前記第1構造部より高さ位

50

置が高く、端部において前記第2構造部の上端と結合する第3構造部を備え、前記第3構造部において、下面が前記第1電極の上面と接触し、上面が前記第2電極の下面と接触するように形成されているものとしても構わない。

【0029】

さらに、本発明に係る可変抵抗素子は、上記特徴に加えて、前記第2構造部が、前記基板面に平行な断面が環状に形成されるとともに、当該第2構造部の内側において下端と前記第1構造部の端部とが結合する構成としても構わない。

【0030】

このとき、本発明に係る可変抵抗素子は、前記第1電極の一部上層に絶縁膜を備え、前記可変抵抗体は、前記第1構造部において、下面が前記第1電極の上面と接触し、上面が前記第2電極の下面と接触し、前記第2構造部において、外側面が前記絶縁膜の側面と接触し、前記外側面と当該可変抵抗体の膜厚を隔てて対向する内側面が前記第2電極の側面と接触するように形成されているものとしても構わない。

10

【0031】

また、本発明に係る可変抵抗素子は、上記特徴に加えて、前記第1電極と同一層において前記第1電極よりも膜厚が厚い絶縁膜を有し、前記可変抵抗体は、前記第1構造部において、下面が前記第1電極の上面と接触し、上面が前記第2電極の下面と接触し、前記第2構造部において、外側面が前記絶縁膜の側面と接触し、前記外側面と当該可変抵抗体の膜厚を隔てて対向する内側面が前記第2電極の側面と接触するように形成されているものとしても構わない。

20

【0032】

このとき、本発明に係る可変抵抗素子は、前記可変抵抗体が、前記基板面に平行に構成され前記第1構造部より高さ位置が高く、前記第2構造部の外側において端部が前記第2構造部の上端と結合する第3構造部を備え、前記第3構造部において、下面が前記絶縁膜の上面と接触し、上面が前記第2電極の下面と接触するように形成されているものとしても構わない。

20

【0033】

また、本発明に係る可変抵抗素子は、上記特徴に加えて、前記第1電極は、形成膜厚が異なる領域を有することで段差を有する構成であり、前記可変抵抗体は、前記第1構造部において、下面が前記第1電極の上面と接触し、上面が前記第2電極の下面と接触し、前記第2構造部において、外側面が前記第1電極の側面と接触し、前記外側面と当該可変抵抗体の膜厚を隔てて対向する内側面が前記第2電極の側面と接触するように形成されているものとしても構わない。

30

【0034】

また、本発明に係る可変抵抗素子は、上記特徴に加えて、形成膜厚が異なる領域を有することで段差を有する絶縁膜を備え、前記第1電極が、前記絶縁膜上に形成されることで最上位面に高さ位置の差異を有した状態で形成されており、前記可変抵抗体は、前記第1構造部において、下面が前記第1電極の上面と接触し、上面が前記第2電極の下面と接触し、前記第2構造部において、外側面が前記第1電極の側面と接触し、前記外側面と当該可変抵抗体の膜厚を隔てて対向する内側面が前記第2電極の側面と接触するように形成されているものとしても構わない。

40

【0035】

また、本発明に係る可変抵抗素子は、上記特徴に加えて、絶縁膜を備え、前記第1電極が前記絶縁膜の一部上層に形成されており、前記可変抵抗体は、前記第1構造部において、下面が前記絶縁膜の上面と接触し、上面が前記第2電極の下面と接触し、前記第2構造部において、外側面が前記第1電極の側面と接触し、前記外側面と当該可変抵抗体の膜厚を隔てて対向する内側面が前記第2電極の側面と接触するように形成されているものとしても構わない。

【0036】

また、本発明に係る可変抵抗素子は、上記特徴に加えて、前記第1電極と同一層におい

50

て前記第1電極よりも膜厚が薄い絶縁膜を有し、前記可変抗体は、前記第1構造部において、下面が前記絶縁膜の上面と接触し、上面が前記第2電極の下面と接触し、前記第2構造部において、外側面が前記第1電極の側面と接触し、前記外側面と当該可変抗体の膜厚を隔てて対向する内側面が前記第2電極の側面と接触するように形成されているものとしても構わない。

【0037】

このとき、本発明に係る可変抵抗素子は、前記可変抗体が、前記基板面に平行に構成され前記第1構造部より高さ位置が高く、前記第2構造部の外側において端部が前記第2構造部の上端と結合する第3構造部を備え、前記第3構造部において、下面が前記第1電極の上面と接触し、上面が前記第2電極の下面と接触するように形成されているものとしても構わない。

10

【0038】

また、本発明に係る可変抵抗素子は、上記特徴に加えて、前記可変抗体が、少なくとも外側面が同一の材料膜で囲まれた埋め込み領域内に埋め込まれて形成され、前記埋め込み領域内において高さ方向に延伸する前記シームを有する構成であって、前記材料膜が、前記第1電極または絶縁膜で構成されているものとしても構わない。

【0039】

このとき、さらに本発明に係る可変抵抗素子は、前記第1電極の一部上層に前記絶縁膜を備え、前記可変抗体は、前記埋め込み領域内において、下面が前記絶縁膜の上面と接触し、前記外側面が前記絶縁膜の側面と接触するように形成されているものとしても構わない。

20

【0040】

また、本発明に係る可変抵抗素子は、上記特徴に加えて、前記第1電極は、形成膜厚が異なる領域を有することで段差を有する構成であり、前記可変抗体は、前記埋め込み領域内において、下面が前記第1電極の上面と接触し、前記外側面が前記第1電極の側面と接触するように形成されているものとしても構わない。

20

【0041】

このとき、本発明に係る可変抵抗素子は、前記可変抗体が、前記埋め込み領域の外側に係る埋め込み外領域内において、前記埋め込み領域内に形成されている当該可変抗体と連結し、且つ前記埋め込み領域内の最下面よりも最下面の高さ位置が高くなるように形成されており、前記埋め込み外領域内において、下面が前記絶縁膜の上面と接触し、上面が前記第2電極の下面と接触する構成としても構わない。

30

【0042】

また、本発明に係る可変抵抗素子は、上記特徴に加えて、前記第1電極は、形成膜厚が異なる領域を有することで段差を有する絶縁膜を備え、前記第1電極が、前記絶縁膜上に形成されることで最上位面に高さ位置の差異を有した状態で形成されており、前記可変抗体は、前記埋め込み領域内において、下面が前記第1電極の上面と接触し、前記外側面が前記第1電極の側面と接触するように形成されている厚が異なる領域を有することで段差を有する構成であり、前記可変抗体は、前記埋め込み領域内において、下面が前記第1電極の上面と接触し、前記外側面が前記第1電極の側面と接触するように形成されているものとしても構わない。

40

【0043】

なお、ここで前記埋め込み領域内の可変抗体の形状は、柱状に限られるものではなく、例えば底面に行くほど基板面に平行な断面積が縮小する錐体状であっても構わないし、その他の形状であっても良い。

【0044】

また、本発明に係る可変抵抗素子は、前記可変抗体が、前記埋め込み領域の外側に係る埋め込み外領域内において、前記埋め込み領域内に形成されている当該可変抗体と連結し、且つ前記埋め込み領域内の最下面よりも最下面の高さ位置が高くなるように形成されており、前記埋め込み外領域内において、下面が前記第1電極の上面と接触し、上面が

50

前記第2電極の下面と接触するものとしても構わない。

【0045】

また、本発明に係る可変抵抗素子の製造方法は、前記基板上にシーム形成用段差を形成する段差形成工程と、その後に、前記可変抵抗体を形成する可変抵抗体形成工程と、その後に、前記第2電極を形成する第2電極形成工程と、を有し、前記段差形成工程が、前記第1電極を形成する工程を含み、前記第1電極を形成することで、前記基板面に平行な第1上面、前記基板面に平行に構成され前記第1上面より高さ位置の低い第2上面、並びに上端が前記第1上面の端部と結合し下端が前記第2上面の端部と結合することで前記第1上面と前記第2上面とを前記基板面に垂直な方向に連絡する中間面を有するとともに少なくとも前記第2上面または前記中間面のいずれか一方の面が前記第1電極で構成された前記シーム形成用段差を形成する工程であり、前記可変抵抗体形成工程が、全面に可変抵抗体膜をスパッタリング法によって成膜するか、もしくは、全面に所定の材料膜をスパッタリング法によって成膜した後に酸化処理を行って可変抵抗体膜を形成することで、前記可変抵抗体膜が前記第2上面に接触する前記第1構造部、及び前記可変抵抗体膜が前記中間面に接触する前記第2構造部を含む前記可変抵抗体を形成するとともに、前記第1構造部と前記第2構造部とが結合する前記コーナ領域に係る前記可変抵抗体内に前記シームを形成する工程であり、前記第2電極形成工程が、前記シームが形成された前記可変抵抗体膜の上面に前記第2電極を形成することを特徴とする。

10

【0046】

本発明に係る可変抵抗素子の製造方法の上記特徴によれば、段差形成工程において第2上面または中間面が第1電極で構成されるシーム形成用段差が形成された後、可変抵抗体膜を全面に成膜する。そして、このときシームが形成されないような措置を施すことなく可変抵抗体膜を成膜することが肝要である。これにより、可変抵抗体膜が第1電極に接触しながらも、第2上面から成長する可変抵抗体膜と中間面から成長する可変抵抗体膜とが結合するコーナ領域において、第2上面と中間面が結合する領域すなわち第1電極の形成側領域から第2上面の上方に向かう方向に延伸するシームを意図的に形成することができる。そして、このシームが形成された可変抵抗体膜の上面に第2電極を形成することで、第1電極と第2電極に狭持され、内部にシームを有する可変抵抗体を備える可変抵抗素子を製造することができる。

20

【0047】

なお、上記可変抵抗体膜としては、Ti, V, Mn, Fe, Co, Ni, Zn, Zr, Nb, Hf, Ta, W等の金属の酸化物または酸窒化物を利用することができる。このとき、可変抵抗体形成工程では、金属酸化物または酸窒化物で構成される前記可変抵抗体膜をそのまま成膜する構成としても構わないし、金属膜または金属窒化物膜を成膜した後に酸化処理を施して上記可変抵抗体膜を形成するものとしても構わない。

30

【0048】

また、本発明に係る可変抵抗素子の製造方法は、上記特徴に加えて、前記段差形成工程において、前記基板上に前記第1電極を形成し、その後に、前記第1電極の上面に絶縁膜を成膜した後、前記絶縁膜に対して前記第1電極の一部上面が露出するまでエッティングを施すことで、前記絶縁膜で構成された前記第1上面及び前記中間面、並びに前記第1電極で構成された前記第2上面を有する前記シーム形成用段差を形成するものとしても構わない。

40

【0049】

また、本発明に係る可変抵抗素子の製造方法は、上記特徴に加えて、前記段差形成工程において、前記基板上の一領域に前記第1電極を、前記基板上の前記第1電極の形成外領域に前記第1電極より膜厚の厚い絶縁膜を形成することで、前記絶縁膜で構成された前記第1上面及び前記中間面、並びに前記第1電極で構成された前記第2上面を有する前記シーム形成用段差を形成するものとしても構わない。

【0050】

また、本発明に係る可変抵抗素子の製造方法は、上記特徴に加えて、前記段差形成工程

50

において、前記基板上に前記第1電極を構成する電極膜を成膜し、その後に、一部領域に係る前記電極膜に対してエッティングを施すことで、前記第1上面、前記中間面、及び前記第2上面が全て前記第1電極で構成された前記シーム形成用段差を形成するものとしても構わない。

【0051】

また、本発明に係る可変抵抗素子の製造方法は、上記特徴に加えて、前記段差形成工程において、前記基板上に絶縁膜を成膜した後、一部領域にエッティングを施すことで前記絶縁膜に段差を形成し、その後に、前記段差が形成された前記絶縁膜の上面全面に前記第1電極を構成する電極膜を成膜することで、前記第1上面、前記中間面、及び前記第2上面が全て前記第1電極で構成された前記シーム形成用段差を形成するものとしても構わない。

10

【0052】

また、本発明に係る可変抵抗素子の製造方法は、上記特徴に加えて、前記段差形成工程において、前記基板上に絶縁膜を形成し、その後に、前記絶縁膜の上面に前記第1電極を構成する電極膜を成膜した後、前記電極膜に対して前記絶縁膜の一部上面が露出するまでエッティングを施して前記第1電極を形成することで、前記第1電極で構成された前記第1上面及び前記中間面、並びに前記絶縁膜で構成された前記第2上面を有する前記シーム形成用段差を形成するものとしても構わない。

【0053】

また、本発明に係る可変抵抗素子の製造方法は、上記特徴に加えて、前記段差形成工程において、前記基板上の一領域に前記第1電極を形成するとともに、前記基板上の前記第1電極形成外領域に前記第1電極より膜厚の薄い絶縁膜を形成することで、前記第1電極で構成された前記第1上面及び前記中間面、並びに前記絶縁膜で構成された前記第2上面を有する前記シーム形成用段差を形成するものとしても構わない。

20

【0054】

また、本発明に係る可変抵抗素子の製造方法は、前記基板上にシーム形成用開口部を形成する開口部形成工程と、その後に、前記可変抵抗体を形成する可変抵抗体形成工程と、その後に、前記第2電極を形成する第2電極形成工程と、を有し、前記開口部形成工程が、前記第1電極を形成する工程を含み、前記第1電極を形成することで、前記基板面に平行な断面が環状に形成された露出内側面、前記露出内側面の外側において前記露出内側面の上端と端部が結合する第1上面、並びに前記露出内側面の内側において前記露出内側面の下端と端部が結合する露出底面を有するとともに、少なくとも前記露出内側面または前記露出底面のいずれか一方の面が前記第1電極で構成された前記シーム形成用開口部を形成する工程であり、前記可変抵抗体形成工程が、全面に可変抵抗体膜をスパッタリング法によって成膜するか、もしくは、全面に所定の材料膜をスパッタリング法によって成膜した後に酸化処理を行って前記シーム形成用開口部内を完全には充填しない膜厚条件下で可変抵抗体膜を形成することで、前記可変抵抗体膜が前記露出底面に接触する前記第1構造部、及び前記可変抵抗体膜が前記露出内側面に接触する前記第2構造部を含む前記可変抵抗体を形成するとともに、前記第1構造部と前記第2構造部とが結合する前記コーナ領域に係る前記可変抵抗体内に前記シームを形成する工程であり、前記第2電極形成工程が、前記シームが形成された前記可変抵抗体膜の上面に前記第2電極を形成する工程であることを特徴とする。

30

【0055】

本発明に係る可変抵抗素子の製造方法の上記特徴によれば、開口部形成工程において露出内側面または露出底面が第1電極で構成されるシーム形成用開口部が形成された後、シーム形成用開口部内を完全には充填しない膜厚条件下で可変抵抗体膜を全面に成膜する。このときシームが形成されないような措置を施すことなく可変抵抗体膜を成膜することが肝要である。これにより、可変抵抗体膜が第1電極に接触しながらも、露出底面から成長する可変抵抗体膜と露出内側面から成長する可変抵抗体膜とが結合するコーナ領域において、露出底面と露出内側面が結合する領域すなわち第1電極の形成側領域から露出底面の

40

50

上方に向かう方向に延伸するシームを意図的に形成することができる。そして、このシームが形成された可変抵抗体膜の上面に第2電極を形成することで、第1電極と第2電極に狭持され、内部にシームを有する可変抵抗体を備える可変抵抗素子を製造することができる。

【0056】

なお、上記可変抵抗体膜としては、Ti, V, Mn, Fe, Co, Ni, Zn, Zr, Nb, Hf, Ta, W等の金属の酸化物または酸窒化物を利用することができる。このとき、可変抵抗体形成工程では、金属酸化物または酸窒化物で構成される前記可変抵抗体膜をそのまま成膜する構成としても構わないし、金属膜または金属窒化物膜を成膜した後に酸化処理を施して上記可変抵抗体膜を形成するものとしても構わない。

10

【0057】

また、本発明に係る可変抵抗素子の製造方法は、上記特徴に加えて、前記開口部形成工程において、前記基板上に前記第1電極を形成し、その後に、前記第1電極の上面に絶縁膜を成膜した後、前記絶縁膜に対して前記第1電極の一部上面が露出するまでエッティングを施すことで、前記絶縁膜で構成された前記第1上面及び前記露出内側面、並びに前記第1電極で構成された前記露出底面を有する前記シーム形成用開口部を形成するものとしても構わない。

【0058】

また、本発明に係る可変抵抗素子の製造方法は、上記特徴に加えて、前記開口部形成工程において、前記基板上の一領域に前記第1電極を、前記基板上の前記第1電極の形成領域の外周部に前記第1電極より膜厚の厚い絶縁膜を形成することで、前記絶縁膜で構成された前記第1上面及び前記露出内側面、並びに前記第1電極で構成された前記露出底面を有する前記シーム形成用開口部を形成するものとしても構わない。

20

【0059】

また、本発明に係る可変抵抗素子の製造方法は、上記特徴に加えて、前記開口部形成工程において、前記基板上に前記第1電極を構成する電極膜を成膜し、その後に、一部領域に係る前記電極膜に対してエッティングを施すことで、前記第1上面、前記露出内側面、及び前記露出底面が全て前記第1電極で構成された前記シーム形成用開口部を形成するものとしても構わない。

【0060】

また、本発明に係る可変抵抗素子の製造方法は、上記特徴に加えて、前記開口部形成工程において、前記基板上に絶縁膜を成膜した後、一部領域にエッティングを施すことで前記絶縁膜に開口部を形成し、その後に、前記開口部が形成された前記絶縁膜の上面全面に前記開口部を充填しない範囲内の膜厚で前記第1電極を構成する電極膜を成膜することで前記第1電極を形成するとともに、前記第1上面、前記露出内側面、及び前記露出底面が全て前記第1電極で構成された前記シーム形成用開口部を形成するものとしても構わない。

30

【0061】

また、本発明に係る可変抵抗素子の製造方法は、上記特徴に加えて、前記開口部形成工程において、前記基板上に絶縁膜を形成し、その後に、前記絶縁膜の上面に前記第1電極を構成する電極膜を成膜した後、前記電極膜に対して前記絶縁膜の一部上面が露出するまでエッティングを施して前記第1電極を形成することで、前記第1電極で構成された前記第1上面及び前記露出内側面、並びに前記絶縁膜で構成された前記露出底面を有する前記シーム形成用開口部を形成するものとしても構わない。

40

【0062】

また、本発明に係る可変抵抗素子の製造方法は、上記特徴に加えて、前記開口部形成工程において、前記基板上の一領域に絶縁膜を、前記基板上の前記絶縁膜の形成領域の外周部に前記絶縁膜より膜厚の厚い前記第1電極を形成することで、前記第1電極で構成された前記第1上面及び前記露出内側面、並びに前記絶縁膜で構成された前記露出底面を有する前記シーム形成用開口部を形成するものとしても構わない。

【0063】

50

また、本発明に係る可変抵抗素子の製造方法は、前記基板上にシーム形成用開口部を形成する開口部形成工程と、その後に、前記可変抵抗体を形成する可変抵抗体形成工程と、その後に、前記第2電極を形成する第2電極形成工程と、を有し、前記開口部形成工程が、前記第1電極を形成する工程を含み、前記第1電極を形成することで、前記基板面に平行な断面が環状に形成された露出内側面、前記露出内側面の外側において前記露出内側面の上端と端部が結合する第1上面、並びに前記露出内側面の内側において前記露出内側面の下端と端部が結合する露出底面を有するとともに、少なくとも前記露出内側面か前記露出底面のいずれか一の面が前記第1電極で構成された前記シーム形成用開口部を形成する工程であり、前記可変抵抗体形成工程が、全面に可変抵抗体膜をCVD法によって成膜するか、もしくは、全面に所定の材料膜をCVD法によって成膜した後に酸化処理を行って、前記シーム形成用開口部内において内側に開口部が残存しない膜厚条件下で前記可変抵抗体膜を形成することで、前記露出内側面を構成する材料膜で側面を囲まれた前記埋め込み領域内に前記可変抵抗体を形成するとともに、前記埋め込み領域に係る前記可変抵抗体膜内に高さ方向に延伸する前記シームを形成する工程であり、前記第2電極形成工程が、前記シームが形成された前記可変抵抗体膜の上面に前記第2電極を形成する工程であることを特徴とする。

#### 【0064】

本発明に係る可変抵抗素子の製造方法の上記特徴によれば、開口部形成工程において露出内側面または露出底面が第1電極で構成されるシーム形成用開口部が形成された後、前記シーム形成用開口部内において内側に開口部が残存しない膜厚条件下で可変抵抗体膜を全面に成膜する。そして、このときシームが形成されないような措置を施すことなく可変抵抗体膜を成膜することが肝要である。これにより、前記シーム形成用開口部の内側壁の最外面から内側に成長する可変抵抗体膜が結合する領域、すなわち、前記最外面に囲まれた領域のほぼ中央領域（軸心近傍）において高さ方向に延伸するシームを意図的に形成することができる。そして、このシームが形成された可変抵抗体膜の上面に第2電極を形成することで、第1電極と第2電極に狭持され、内部にシームを有する可変抵抗体を備える可変抵抗素子を製造することができる。

#### 【0065】

なお、上記可変抵抗体膜としては、Ti, V, Mn, Fe, Co, Ni, Zn, Zr, Nb, Hf, Ta, W等の金属の酸化物または酸窒化物を利用することができる。このとき、可変抵抗体形成工程では、金属酸化物または酸窒化物で構成される前記可変抵抗体膜をそのまま成膜する構成としても構わないし、金属膜または金属窒化物膜を成膜した後に酸化処理を施して上記可変抵抗体膜を形成するものとしても構わない。

#### 【0066】

また、本発明に係る可変抵抗素子の製造方法は、上記特徴に加えて、前記開口部形成工程において、前記基板上に前記第1電極を形成し、その後に、前記第1電極の上面に絶縁膜を成膜した後、前記絶縁膜に対して前記第1電極の一部上面が露出するまでエッチングを施すことで、前記絶縁膜で構成された前記第1上面及び前記露出内側面、並びに前記第1電極で構成された前記露出底面を有する前記シーム形成用開口部を形成するものとしても構わない。

#### 【0067】

また、本発明に係る可変抵抗素子の製造方法は、上記特徴に加えて、前記開口部形成工程において、前記基板上に前記第1電極を構成する電極膜を成膜し、その後に、一部領域に係る前記電極膜に対してエッチングを施すことで、前記第1上面、前記露出内側面、及び前記露出底面が全て前記第1電極で構成された前記シーム形成用開口部を形成するものとしても構わない。

#### 【0068】

また、本発明に係る可変抵抗素子の製造方法は、上記特徴に加えて、前記開口部形成工程において、前記基板上に絶縁膜を成膜した後、一部領域にエッチングを施すことで前記絶縁膜に開口部を形成し、その後に、前記開口部が形成された前記絶縁膜の上面全面に、

前記開口部を充填しない範囲内の膜厚で前記第1電極を構成する電極膜を成膜することで前記第1電極を形成するとともに、前記第1上面、前記露出内側面、及び前記露出底面が全て前記第1電極で構成された前記シーム形成用開口部を形成するものとしても構わない。

【0069】

なお、上記特徴を有する可変抵抗素子の製造方法において、前記開口部形成工程で形成される前記開口部は、必ずしも内側面が基板面に垂直な方向に形成される筒状に限られるものではなく、例えば上面に行くほど基板面に平行な断面積が拡大する錐体状であっても構わないし、その他の形状であっても良い。

【0070】

また、本発明に係る可変抵抗素子の駆動方法は、前記第1電極と前記第2電極との間に電圧を印加することで、少なくとも前記シームを介して前記可変抵抗体内にフィラメントパスを形成することを特徴とする。

【0071】

本発明に係る可変抵抗素子の駆動方法によれば、可変抵抗体内にシームが形成された可変抵抗素子に対して電圧印加を行ってフィラメントパスが形成されるため、可変抵抗体内においてシームそのものまたはシーム形成領域近傍においてフィラメントパスが形成される。これにより、フィラメントパスを特定の領域内に形成することができ、スイッチング動作の再現性を高めることができる。また、シームを介してフィラメントパスを形成するため、フィラメントパスを形成するために必要な印加電圧を低くすることができる。

【発明の効果】

【0072】

本発明の可変抵抗素子によれば、フォーミングプロセスによって形成されるフィラメントパスの形成領域が限定される。これにより、製造される各可変抵抗素子間のスイッチング動作の再現性が高まるため、構造設計を容易化することができる。また、フォーミングプロセス時に可変抵抗体内においてシームが形成されているため、従来構成と比べてフォーミングプロセス時に必要な印加電圧を低電圧化することができる。

【発明を実施するための最良の形態】

【0073】

以下において、本発明に係る可変抵抗素子及びその製造方法、並びにその駆動方法の各実施形態について図面を参照して説明する。

【0074】

[第1実施形態]

本発明に係る可変抵抗素子及びその製造方法、並びにその駆動方法の第1実施形態（以下、適宜「本実施形態」という）につき、図1～図3の各図を参照して説明する。なお、以下の各図面は、あくまで模式的に図示されたものであり、図面上の寸法比と実際の寸法比は必ずしも一致するものではない。また、各工程で堆積させる各膜の膜厚の数値はあくあまで一例であって、この値に限定されるものではない。以下の各実施形態においても同様とする。

【0075】

図1は、本実施形態における可変抵抗素子の製造方法を示す工程断面図であり、また図2は、該製造方法における工程手順を示すフローチャートであり、以下の文中の各ステップ#1～#5は図2内の各ステップを表す。

【0076】

まず、図1(a)に示すように、トランジスタ回路等（図示せず）を適宜形成した半導体基板11上に導電性材料膜13（例えばP<sub>t</sub>膜）をスパッタ法にて約100nm程度の膜厚で全面に堆積する（ステップ#1）。本ステップ#1によって第1電極13が形成される。

【0077】

次に、絶縁性材料膜（例えばSiO<sub>2</sub>膜）14をCVD法（Chemical Vap

10

20

30

40

50

or Deposition) 法にて約 300 nm 程度の膜厚で全面に堆積する(ステップ#2)。その後、公知のフォトリソグラフィ技術によって形成したレジストをマスクに、公知のエッチング技術によって、第1電極13の一部上面が露出するまで SiO<sub>2</sub>膜14をパターニングする(ステップ#3)。本ステップ#3によって、図1(b)に示すように、SiO<sub>2</sub>膜14(以下、適宜「絶縁膜14」という)の上面及び側面、並びに第1電極13の露出した上面によって段差部22が形成される。図3は、ステップ#3終了後の平面模式図であり、W-W'断面が、図1(b)に相当する。

【0078】

次に、図1(c)に示すように、段差部22が形成されている状態の下で、可変抵抗体膜15(例えばCoO膜)をスパッタ法にて約100 nm程度の膜厚で全面に堆積する(ステップ#4)。本ステップ#4によって、段差部22で、絶縁膜14の側面と、露出した第1電極13の上面のそれから成長する可変抵抗体膜としてのCoO膜15が接合する部分において、シーム32が形成される。

10

【0079】

次に、図1(d)に示すように、シーム32が形成された可変抵抗体膜15の上面全面に導電性材料膜16(例えばPt膜)をスパッタ法にて約100 nm程度の膜厚で堆積する(ステップ#5)。本ステップ#5によって第2電極16が形成される。

【0080】

本実施形態によれば、ステップ#4に係る可変抵抗体膜成膜工程の直前において、既に段差部22(シーム形成用段差に相当)が形成されている。この段差部22は、基板11の基板面に平行な第1上面、基板面に平行に構成され前記第1上面より高さ位置の低い第2上面、並びに上端が前記第1上面の端部と結合し下端が前記第2上面の端部と結合することで前記第1上面と前記第2上面とを前記基板面に垂直な方向に連絡する中間面によって構成されている。そして、このうち、絶縁膜14の上面によって前記第1上面が構成され、絶縁膜14の側面によって前記中間面が構成され、第1電極13の露出した上面によって前記第2上面が構成される。

20

【0081】

このような状態の下で、可変抵抗体膜としてのCoO膜を成膜することで、中間面(絶縁膜14の側面)から成長する膜と、第2上面(第1電極13の露出した上面)から成長する膜が接合する領域において、成長膜同士が重なり合うことでシーム32が形成される。このシーム32は、図1(c)に示すように、前記中間面と前記第2上面とが結合するコーナ領域から、露出した第1電極13の上面の上方に向かう方向に延伸する。

30

【0082】

そして、本発明の特徴として、このシーム32をそのまま残存させたまま、ステップ#5に係る第2電極形成工程を実行する。すなわち、第2電極16が形成された時点において、依然として可変抵抗体膜15内にはシーム32が形成されたままの状態となっている。また、前記のように、シーム32は、第1電極13と絶縁膜14によって挟まれたコーナ領域に形成されているところ、第1電極13から第2電極16に向かう方向に延伸するように形成されることとなる。

40

【0083】

このようにシーム32が可変抵抗体膜15内に形成されたままの状態で、第1電極13と第2電極16の間に電圧パルスを印加した場合、シーム32では、バルクの可変抵抗体膜15に比べ構造欠陥が多いため電界集中が起こり易い。このため、フォーミングプロセスを行うべく電圧を印加したとき、電界集中が起こりやすいシーム内あるいはその近傍においてフィラメントパスが容易に形成しやすい状況となる。このため、予め製造時に特定箇所にシーム32を意図的に形成しておくことで、フォーミングプロセスによって形成されるフィラメントパスの形成領域を特定範囲内に收めることができ、スイッチング動作の再現性を高めることができる。さらに、シーム32内あるいはその近傍において電界集中が起こりやすい構成であるため、従来構成よりもフォーミングプロセス実行に要する電圧を低電圧化することができる。

50

## 【0084】

また、シーム32は、必ずしも第1電極13と第2電極16の両者に接触するように形成される必要はなく、一方の電極のみに接触して形成されるものとしても構わないし、両電極に接触せず可変抵抗体13内に形成されるものとしても構わない。少なくとも可変抵抗体13内にシーム32が形成されれば、当該シーム32形成領域においてフィラメントパスが容易に形成しやすくなるため、フィラメントパスの形成領域を特定することができるという効果を奏する。

## 【0085】

なお、本実施形態において、第1電極13と第2電極16をともにPt膜としたが、電極としての機能を果たす材料であれば、Pt膜には限らず、例えば、AlやTiN等の他の導電性材料（金属を含む）であっても構わない。また、半導体基板11と第1電極13の間、および、可変抵抗体15と第2電極の間には、密着層として、例えば、Tiなどを用いてもよい。以下の各実施形態においても同様とする。

10

## 【0086】

また、絶縁膜14を本実施形態ではSiO<sub>2</sub>膜としたが、この絶縁体層はSiO<sub>2</sub>膜に限られたものではなく、SiN膜、SiON膜、SiOF膜、SiOC膜等の耐酸化性を有する任意の適切な絶縁膜を用いることが可能である。さらに、ステップ#2では、絶縁膜14をCVD法で堆積するものとしたが、パルス化レーザ堆積、rf-スパッタリング、電子ビーム蒸発、熱蒸発、スピノン堆積等の任意の適切な堆積技術を用いて堆積することも可能である。以下の各実施形態においても、特に断らない限り同様とする。

20

## 【0087】

また、本実施形態においてPt膜13を成膜する下地となる半導体基板11はトランジスタ回路等が適宜形成されているものとしたが、必ずしも当該回路が形成されている必要はない。以下の各実施形態においても同様とする。

## 【0088】

さらに、本実施形態では、可変抵抗体膜15としてCoO膜を用いているが、可変抵抗性を示す材料であればCoOに限られるものではなく、例えば、Ti、V、Mn、Fe、Co、Ni、Zn、Zr、Nb、Hf、Ta、W等の金属の酸化物または酸窒化物を利用するものとしても構わない。以下の各実施形態においても同様とする。

30

## 【0089】

なお、本実施形態では、ステップ#4に係る可変抵抗体膜成膜工程において、可変抵抗体膜としてのCoO膜を成膜するものとしたが、Co膜を全体に堆積した後、酸化処理を施すことでCoO膜を形成するものとしても構わない。このとき、堆積する材料膜は、可変抵抗体膜15として形成する材料に応じて適宜選択可能である。以下の各実施形態においても同様とする。

## 【0090】

また、特に段差部22の高さを100nm以上とし、ステップ#4に係る可変抵抗体膜成膜工程において、この段差部22がスパッタターゲットに対して背面位置となるような位置関係でスパッタを実行することで、より大きなシーム32を形成することが可能となる。以下の第2～第12実施形態においても同様とする。

40

## 【0091】

## [第2実施形態]

本発明に係る可変抵抗素子及びその製造方法、並びにその駆動方法の第2実施形態（以下、適宜「本実施形態」という）につき、図4～図5の各図を参照して説明する。

## 【0092】

図4は、本実施形態における可変抵抗素子の製造方法を示す工程断面図である。また、図5は、該製造方法における工程手順を示すフローチャートであり、以下の文中の各ステップ#11～#17は図5内の各ステップを表す。なお、第1実施形態と同一の構成要素には同一の符号を付している。

## 【0093】

50

まず、トランジスタ回路等（図示せず）を適宜形成した半導体基板11上に絶縁性材料膜（例えばSiO<sub>2</sub>膜）14を堆積する（ステップ#11）。その後、SiO<sub>2</sub>膜14をエッチングして、半導体基板11の一部上面を露出させる（ステップ#12）。その後、導電性材料膜（例えばPt膜）13を全面に堆積した後（ステップ#13）、公知の平坦化技術を用いてSiO<sub>2</sub>膜14（以下、絶縁膜14という）とPt膜13の上面を露出させる（ステップ#14、図4（a）参照）。

#### 【0094】

なお、このとき、まず全面にPt膜13を堆積した後、Pt膜13をエッチングして半導体基板11の一部上面を露出させ、その後にSiO<sub>2</sub>膜14を全面に堆積した後、公知の平坦化技術を用いてSiO<sub>2</sub>膜14とPt膜13の上面を露出させるものとしても良い。

10

#### 【0095】

次に、公知のフォトリソグラフィ技術によって形成したレジストをマスクに、公知のエッチング技術によって、Pt膜13をエッチバックして段差部22を形成する（ステップ#15）。本ステップ#15によって、第1電極13が形成されるとともに、図4（b）に示すように、SiO<sub>2</sub>膜14（以下、適宜「絶縁膜14」という）の上面及び側面、並びに第1電極13の露出した上面によって段差部22が形成される。なお、本実施形態におけるステップ#15終了後の平面模式図は、図3に示す第1実施形態のステップ#3終了後の平面模式図と同一であり、W-W'断面が、図4（b）に相当する。

#### 【0096】

その後は、図4（c）に示すように、第1実施形態のステップ#4と同様、段差部22が形成されている状態の下で、可変抵抗体膜15（例えばCoO膜）をスパッタ法にて約100nm程度の膜厚で全面に堆積する（ステップ#16）。本ステップ#16によって、段差部22で、絶縁膜14の側面と、第1電極13の上面のそれぞれから成長する可変抵抗体膜としてのCoO膜15が接合する部分において、シーム32が形成される。

20

#### 【0097】

その後、図4（d）に示すように、第1実施形態のステップ#5と同様、シーム32が形成された可変抵抗体膜15の上面全面に導電性材料膜16（例えばPt膜）をスパッタ法にて約100nm程度の膜厚で堆積する（ステップ#17）。本ステップ#16によって第2電極16が形成される。

30

#### 【0098】

本実施形態の場合も、第1実施形態と同様、ステップ#16に係る可変抵抗体膜成膜工程の直前において、既に段差部22（シーム形成用段差に相当）が形成されている。この段差部22は、基板11の基板面に平行な第1上面、基板面に平行に構成され前記第1上面より高さ位置の低い第2上面、並びに上端が前記第1上面の端部と結合し下端が前記第2上面の端部と結合することで前記第1上面と前記第2上面とを前記基板面に垂直な方向に連絡する中間面によって構成されている。そして、このうち、絶縁膜14の上面によって前記第1上面が構成され、絶縁膜14の側面によって前記中間面が構成され、第1電極13の露出した上面によって前記第2上面が構成される。

#### 【0099】

このような状態の下で、可変抵抗体膜としてのCoO膜を成膜することで、中間面（絶縁膜14の側面）から成長する膜と、第2上面（第1電極13の露出した上面）から成長する膜が接合する領域において、成長膜同士が重なり合うことでシーム32が形成される。このシーム32は、図4（c）に示すように、前記中間面と前記第2上面とが結合するコーナ領域から、露出した第1電極13の上面の上方に向かう方向に延伸する。そして、このシーム32をそのまま残存させたまま、ステップ#17に係る第2電極形成工程を実行することで、第2電極16が形成された時点において、依然として可変抵抗体膜15内にはシーム32が形成されたままの状態となっている。また、前記のように、シーム32は、第1電極13と絶縁膜14によって挟まれたコーナ領域に形成されているところ、第1電極13から第2電極16に向かう方向に延伸するように形成されることとなる。

40

50

## 【0100】

従って、本実施形態の場合も、第1実施形態と同様、シーム32が可変抵抗体膜15内に形成されたままの状態で、第1電極13と第2電極16の間に電圧パルスを印加した場合、シーム32では、バルクの可変抵抗体膜15に比べ構造欠陥が多いため電界集中が起こり易い。このため、フォーミングプロセスを行うべく電圧を印加したとき、電界集中が起こりやすいシーム内あるいはその近傍においてフィラメントパスが容易に形成しやすい状況となる。このため、予め製造時に特定箇所にシーム32を意図的に形成しておくことで、フォーミングプロセスによって形成されるフィラメントパスの形成領域を特定範囲内に收めることができ、スイッチング動作の再現性を高めることができる。さらに、シーム32内あるいはその近傍において電界集中が起こりやすい構成であるため、従来構成よりもフォーミングプロセス実行に要する電圧を低電圧化することができる。以下の第3～第6実施形態においても同様であるため、適宜説明を省略する。

10

## 【0101】

## [第3実施形態]

本発明に係る可変抵抗素子及びその製造方法、並びにその駆動方法の第3実施形態（以下、適宜「本実施形態」という）につき、図6～図8の各図を参照して説明する。

## 【0102】

図6は、本実施形態における可変抵抗素子の製造方法を示す工程断面図である。また、図7は、該製造方法における工程手順を示すフローチャートであり、以下の文中の各ステップ#21～#24は図7内の各ステップを表す。なお、第1実施形態と同一の構成要素には同一の符号を付している。

20

## 【0103】

まず、図6(a)に示すように、トランジスタ回路等（図示せず）を適宜形成した半導体基板11上に導電性材料膜13（例えばPt膜）をスパッタ法にて約400nmの厚みで全面に堆積する（ステップ#21）。なお、本ステップ#21では、第1実施形態のステップ#1よりも厚い膜厚で堆積する。

## 【0104】

次に、公知のフォトリソグラフィ技術によって形成したレジストをマスクに、公知のエッチング技術によって、Pt膜13に例えば高低差300nm程度の段差部25を形成する（ステップ#22）。本ステップ#22によって、第1電極13が形成されるとともに、図6(b)に示すように、高さ位置の高い第1電極13の上面、第1電極13の側面、並びに高さ位置の低い第1電極13の上面によって段差部25が形成される。図8は、ステップ#22終了後の平面模式図であり、W-W'断面が、図6(b)に相当する。

30

## 【0105】

その後は、図6(c)に示すように、第1実施形態のステップ#4と同様、段差部22（シーム形成用段差に相当）が形成されている状態の下で、可変抵抗体膜15（例えばCoO膜）をスパッタ法にて約100nm程度の膜厚で全面に堆積する（ステップ#23）。本ステップ#23によって、段差部25で、高さ位置の低い第1電極13の上面、及び第1電極13の側面のそれこれから成長する可変抵抗体膜としてのCoO膜15が接合する部分において、シーム32が形成される。

40

## 【0106】

その後、図6(d)に示すように、第1実施形態のステップ#5と同様、シーム32が形成された可変抵抗体膜15の上面全面に導電性材料膜16（例えばPt膜）をスパッタ法にて約100nm程度の膜厚で堆積する（ステップ#24）。本ステップ#16によって第2電極16が形成される。

## 【0107】

## [第4実施形態]

本発明に係る可変抵抗素子及びその製造方法、並びにその駆動方法の第4実施形態（以下、適宜「本実施形態」という）につき、図9～図10の各図を参照して説明する。

## 【0108】

50

図9は、本実施形態における可変抵抗素子の製造方法を示す工程断面図である。また、図10は、該製造方法における工程手順を示すフローチャートであり、以下の文中の各ステップ#31～#35は図10内の各ステップを表す。

#### 【0109】

まず、トランジスタ回路等(図示せず)を適宜形成した半導体基板11上に絶縁性材料膜14(例えばSiO<sub>2</sub>膜)をスパッタ法にて例えば約400nm程度の膜厚で全面に堆積した後(ステップ#31)、公知のフォトリソグラフィ技術によって形成したレジストをマスクに、公知のエッチング技術によって、絶縁性材料膜14に例えば高低差300nm程度の段差部26を形成する(ステップ#32、図9(a)参照)。

#### 【0110】

次に、段差部26が形成されている絶縁性材料膜14(以下、適宜「絶縁膜14」という)の上層全面に導電性材料膜13(例えばPt膜)をスパッタ法にて約100nmの厚みで全面に堆積する(ステップ#33)。本ステップ#33によって、第1電極13が形成されるとともに、図9(b)に示すように、高さ位置の高い第1電極13の上面、第1電極13の側面、並びに高さ位置の低い第1電極13の上面によって段差部25が形成される。なお、本実施形態におけるステップ#33終了後の平面模式図は、図8に示す第3実施形態のステップ#22終了後の平面模式図と同一であり、W-W'断面が、図9(b)に相当する。

#### 【0111】

その後は、図9(c)に示すように、第1実施形態のステップ#4と同様、段差部25(シーム形成用段差に相当)が形成されている状態の下で、可変抵抗体膜15(例えばCoO膜)をスパッタ法にて約100nm程度の膜厚で全面に堆積する(ステップ#34)。本ステップ#34によって、段差部25で、高さ位置の低い第1電極13の上面、及び第1電極13の側面のそれぞれから成長する可変抵抗体膜としてのCoO膜15が接合する部分において、シーム32が形成される。

#### 【0112】

その後、図9(d)に示すように、第1実施形態のステップ#5と同様、シーム32が形成された可変抵抗体膜15の上面全面に導電性材料膜16(例えばPt膜)をスパッタ法にて約100nm程度の膜厚で堆積する(ステップ#35)。本ステップ#35によって第2電極16が形成される。

#### 【0113】

##### [第5実施形態]

本発明に係る可変抵抗素子及びその製造方法、並びにその駆動方法の第5実施形態(以下、適宜「本実施形態」という)につき、図11～図12の各図を参照して説明する。

#### 【0114】

図11は、本実施形態における可変抵抗素子の製造方法を示す工程断面図である。また、図12は、該製造方法における工程手順を示すフローチャートであり、以下の文中の各ステップ#41～#45は図12内の各ステップを表す。

#### 【0115】

まず、図11(a)に示すように、トランジスタ回路等(図示せず)を適宜形成した半導体基板11上に絶縁性材料膜14(例えばSiO<sub>2</sub>膜)をスパッタ法にて例えば約100nm程度の膜厚で全面に堆積する(ステップ#41)。

#### 【0116】

次に、導電性材料膜13(例えばPt膜)をスパッタ法にて約300nm程度の膜厚で全面に堆積する(ステップ#42)。その後、公知のフォトリソグラフィ技術によって形成したレジストをマスクに、公知のエッチング技術によって、絶縁性材料膜14(以下、適宜「絶縁膜14」という)の一部上面が露出するまでPt膜13をパターニングする(ステップ#43)。本ステップ#43によって、第1電極13が形成されるとともに、図11(b)に示すように、第1電極13の上面及び側面、並びに絶縁膜14の露出した上面によって段差部22が形成される。図13は、ステップ#43終了後の平面模式図であ

10

20

30

40

50

り、W-W'断面が、図11(b)に相当する。

【0117】

その後は、図11(c)に示すように、第1実施形態のステップ#4と同様、段差部22(シーム形成用段差に相当)が形成されている状態の下で、可変抵抗膜15(例えばCoO膜)をスパッタ法にて約100nm程度の膜厚で全面に堆積する(ステップ#44)。本ステップ#34によって、段差部22で、第1電極13の側面、及び絶縁膜14の上面のそれこれから成長する可変抵抗膜としてのCoO膜15が接合する部分において、シーム32が形成される。

【0118】

その後、図11(d)に示すように、第1実施形態のステップ#5と同様、シーム32が形成された可変抵抗膜15の上面全面に導電性材料膜16(例えばPt膜)をスパッタ法にて約100nm程度の膜厚で堆積する(ステップ#45)。本ステップ#45によって第2電極16が形成される。

【0119】

[第6実施形態]

本発明に係る可変抵抗素子及びその製造方法、並びにその駆動方法の第6実施形態(以下、適宜「本実施形態」という)につき、図14~図15の各図を参照して説明する。

【0120】

図14は、本実施形態における可変抵抗素子の製造方法を示す工程断面図である。また、図15は、該製造方法における工程手順を示すフローチャートであり、以下の文中の各ステップ#51~#57は図14内の各ステップを表す。

【0121】

まず、トランジスタ回路等(図示せず)を適宜形成した半導体基板11上に導電性材料膜(例えばPt膜)13を堆積形成する(ステップ#51)。その後、Pt膜13をエッティングして、半導体基板11の一部上面を露出させるとともに第1電極13を形成する(ステップ#52)。その後、絶縁性材料膜(例えばSiO<sub>2</sub>膜)14を全面に堆積した後(ステップ#53)、公知の平坦化技術を用いてSiO<sub>2</sub>膜14(以下、絶縁膜14という)と第1電極13の上面を露出させる(ステップ#54、図14(a)参照)。

【0122】

なお、このとき、まず全面にSiO<sub>2</sub>膜14を堆積した後、SiO<sub>2</sub>膜14をエッティングして半導体基板11の一部上面を露出させ、その後にPt膜13を全面に堆積した後、公知の平坦化技術を用いてSiO<sub>2</sub>膜14とPt膜13の上面を露出させるものとしても良い。

【0123】

次に、公知のフォトリソグラフィ技術によって形成したレジストをマスクに、公知のエッティング技術によって、SiO<sub>2</sub>膜14をエッチバックして段差部22を形成する(ステップ#55)。本ステップ#55によって、図14(b)に示すように、第1電極13の上面及び側面、並びにSiO<sub>2</sub>膜14(以下、適宜「絶縁膜14」という)の露出した上面によって段差部22が形成される。なお、本実施形態におけるステップ#55終了後の平面模式図は、図13に示す第5実施形態のステップ#43終了後の平面模式図と同一であり、W-W'断面が、図14(b)に相当する。

【0124】

その後は、図14(c)に示すように、第1実施形態のステップ#4と同様、段差部22(シーム形成用段差に相当)が形成されている状態の下で、可変抵抗膜15(例えばCoO膜)をスパッタ法にて約100nm程度の膜厚で全面に堆積する(ステップ#56)。本ステップ#56によって、段差部22で、第1電極13の側面と、絶縁膜14の上面のそれから成長する可変抵抗膜としてのCoO膜15が接合する部分において、シーム32が形成される。

【0125】

その後、図14(d)に示すように、第1実施形態のステップ#5と同様、シーム32

10

20

30

40

50

が形成された可変抵抗体膜15の上面全面に導電性材料膜16（例えばP<sub>t</sub>膜）をスパッタ法にて約100nm程度の膜厚で堆積する（ステップ#57）。本ステップ#57によって第2電極16が形成される。

【0126】

【第7実施形態】

本発明に係る可変抵抗素子及びその製造方法、並びにその駆動方法の第6実施形態（以下、適宜「本実施形態」という）につき、図16～図18の各図を参照して説明する。

【0127】

図16は、本実施形態における可変抵抗素子の製造方法を示す工程断面図である。また、図17は、該製造方法における工程手順を示すフローチャートであり、以下の文中の各ステップ#61～#65は図17内の各ステップを表す。なお、第1実施形態と同一の構成要素には同一の符号を付している。

10

【0128】

まず、図16（a）に示すように、トランジスタ回路等（図示せず）を適宜形成した半導体基板11上に導電性材料膜13（例えばP<sub>t</sub>膜）をスパッタ法にて約100nm程度の膜厚で全面に堆積する（ステップ#61）。本ステップ#61によって第1電極13が形成される。

【0129】

次に、絶縁性材料膜（例えばSiO<sub>2</sub>膜）14をCVD法にて約300nm程度の膜厚で全面に堆積する（ステップ#62）。その後、公知のフォトリソグラフィ技術によって形成したレジストをマスクに、公知のエッチング技術によって、第1電極13の一部上面が露出するまでSiO<sub>2</sub>膜14をパターニングする（ステップ#63）。本ステップ#63によって、図16（b）に示すように、露出した第1電極13の上面を底面とし、SiO<sub>2</sub>膜14（以下、適宜「絶縁膜14」という）の側面を内側面とする開口部20が形成される。図18は、ステップ#63終了後の平面模式図であり、W-W'断面が、図16（b）に相当する。

20

【0130】

次に、図16（c）に示すように、開口部20が形成されている状態の下で、可変抵抗体膜15（例えばCoO膜）をスパッタ法にて、開口部20内を完全には充填しない膜厚条件下（例えば約100nm程度）の膜厚で全面に堆積する（ステップ#64）。本ステップ#64によって、開口部20の内側面を構成する絶縁膜14の側面と、開口部20の底面を構成する露出した第1電極13の上面のそれぞれから成長する可変抵抗体膜としてのCoO膜15が接合する部分において、シーム30が形成される。

30

【0131】

次に、図16（d）に示すように、シーム30が形成された可変抵抗体膜15の上面全面に導電性材料膜16（例えばP<sub>t</sub>膜）をスパッタ法にて約100nm程度の膜厚で堆積する（ステップ#65）。本ステップ#65によって第2電極16が形成される。

【0132】

本実施形態の場合、ステップ#64に係る可変抵抗体膜成膜工程の直前において、既に開口部20（シーム形成用開口部に相当）が形成されている。この開口部20は、前記基板面に平行な断面が環状に形成された露出内側面、前記露出内側面の外側において前記露出内側面の上端と端部が結合する第1上面、並びに前記露出内側面の内側において前記露出内側面の下端と端部が結合する露出底面によって構成されている。そして、このうち、絶縁膜14の上面によって前記第1上面が構成され、絶縁膜14の側面によって前記露出内側面が構成され、第1電極13の露出した上面によって前記露出底面が構成される。

40

【0133】

このような状態の下で、可変抵抗体膜としてのCoO膜を成膜することで、露出内側面（絶縁膜14の側面）から成長する膜と、露出底面（第1電極13の露出した上面）から成長する膜が接合する領域において、成長膜同士が重なり合うことでシーム30が形成される。このシーム30は、図16（c）に示すように、前記露出内側面と前記露出底面と

50

が結合するコーナ領域から、露出した第1電極13の上面の上方に向かう方向に延伸する。そして、このシーム30をそのまま残存させたまま、ステップ#65に係る第2電極形成工程を実行することで、第2電極16が形成された時点において、依然として可変抵抗体膜15内にはシーム30が形成されたままの状態となっている。また、前記のように、シーム30は、第1電極13と絶縁膜14によって挟まれたコーナ領域に形成されているところ、第1電極13から第2電極16に向かう方向に延伸するように形成されることとなる。

#### 【0134】

従って、本実施形態の場合も、第1実施形態と同様、シーム30が可変抵抗体膜15内に形成されたままの状態で、第1電極13と第2電極16の間に電圧パルスを印加した場合、シーム30では、バルクの可変抵抗体膜15に比べ構造欠陥が多いため電界集中が起こり易い。このため、フォーミングプロセスを行うべく電圧を印加したとき、電界集中が起こりやすいシーム内あるいはその近傍においてフィラメントパスが容易に形成しやすい状況となる。このため、予め製造時に特定箇所にシーム30を意図的に形成しておくことで、フォーミングプロセスによって形成されるフィラメントパスの形成領域を特定範囲内に収めることができ、スイッチング動作の再現性を高めることができる。さらに、シーム30内あるいはその近傍において電界集中が起こりやすい構成であるため、従来構成よりもフォーミングプロセス実行に要する電圧を低電圧化することができる。以下の第8～第12実施形態においても同様であるため、適宜説明を省略する。

10

#### 【0135】

##### [第8実施形態]

本発明に係る可変抵抗素子及びその製造方法、並びにその駆動方法の第8実施形態（以下、適宜「本実施形態」という）につき、図19～図20の各図を参照して説明する。

20

#### 【0136】

図19は、本実施形態における可変抵抗素子の製造方法を示す工程断面図である。また、図20は、該製造方法における工程手順を示すフローチャートであり、以下の文中の各ステップ#71～#77は図20内の各ステップを表す。なお、第1実施形態と同一の構成要素には同一の符号を付している。

#### 【0137】

まず、第2実施形態のステップ#11～ステップ#14と同様に、トランジスタ回路等（図示せず）を適宜形成した半導体基板11上に絶縁性材料膜（例えばSiO<sub>2</sub>膜）14を堆積し（ステップ#71）、SiO<sub>2</sub>膜14をエッチングして、半導体基板11の一部上面を露出させ（ステップ#72）、導電性材料膜（例えばPt膜）13を全面に堆積した後（ステップ#73）、公知の平坦化技術を用いてSiO<sub>2</sub>膜14（以下、絶縁膜14という）とPt膜13の上面を露出させる（ステップ#74、図19（a）参照）。このとき、まず全面にPt膜13を堆積した後、Pt膜13をエッチングして半導体基板11の一部上面を露出させ、その後にSiO<sub>2</sub>膜14を全面に堆積した後、公知の平坦化技術を用いてSiO<sub>2</sub>膜14とPt膜13の上面を露出させるものとしても良い。

30

#### 【0138】

次に、公知のフォトリソグラフィ技術によって形成したレジストをマスクに、公知のエッチング技術によって、Pt膜13をエッチバックして開口部20を形成する（ステップ#75）。本ステップ#75によって、第1電極13が形成されるとともに、図19（b）に示すように、SiO<sub>2</sub>膜14（以下、適宜「絶縁膜14」という）の上面及び側面、並びに第1電極13の露出した上面によって開口部20が形成される。より具体的には、露出した第1電極13を底面とし、絶縁膜14を内側面とする開口部20が形成される。なお、本実施形態におけるステップ#75終了後の平面模式図は、図18に示す第7実施形態のステップ#63終了後の平面模式図と同一であり、W-W'断面が、図19（b）に相当する。

40

#### 【0139】

その後は、図19（c）に示すように、第7実施形態のステップ#64と同様、開口部

50

20（シーム形成用開口部に相当）が形成されている状態の下で、可変抵抗膜15（例えばCoO膜）をスパッタ法にて開口部20内を完全には充填しない膜厚条件下（例えば約100nm程度）の膜厚で全面に堆積する（ステップ#76）。本ステップ#76によって、開口部20の内側面を構成する絶縁膜14の側面と、開口部20の底面を構成する第1電極13の上面のそれから成長する可変抵抗膜としてのCoO膜15が接合する部分において、シーム30が形成される。

【0140】

その後、図19（d）に示すように、第7実施形態のステップ#65と同様、シーム30が形成された可変抵抗膜15の上面全面に導電性材料膜16（例えばPt膜）をスパッタ法にて約100nm程度の膜厚で堆積する（ステップ#77）。本ステップ#77によって第2電極16が形成される。  
10

【0141】

[第9実施形態]

本発明に係る可変抵抗素子及びその製造方法、並びにその駆動方法の第9実施形態（以下、適宜「本実施形態」という）につき、図21～図23の各図を参照して説明する。

【0142】

図21は、本実施形態における可変抵抗素子の製造方法を示す工程断面図である。また、図22は、該製造方法における工程手順を示すフローチャートであり、以下の文中の各ステップ#81～#84は図22内の各ステップを表す。なお、第1実施形態と同一の構成要素には同一の符号を付している。  
20

【0143】

まず、図21（a）に示すように、第3実施形態のステップ#21と同様、トランジスタ回路等（図示せず）を適宜形成した半導体基板11上に導電性材料膜13（例えばPt膜）をスパッタ法にて約400nmの厚みで全面に堆積する（ステップ#81）。

【0144】

次に、公知のフォトリソグラフィ技術によって形成したレジストをマスクに、公知のエッチング技術によって、Pt膜13に例えば高低差300nm程度の開口部23を形成する（ステップ#82）。本ステップ#82によって、第1電極13が形成されるとともに、図21（b）に示すように、第1電極13の側面を内側面とし、高さ位置の低い第1電極13の上面を底面とする開口部23が形成される。図23は、ステップ#82終了後の平面模式図であり、W-W'断面が、図21（b）に相当する。  
30

【0145】

その後は、図21（c）に示すように、第7実施形態のステップ#64と同様、開口部23（シーム形成用開口部に相当）が形成されている状態の下で、可変抵抗膜15（例えばCoO膜）をスパッタ法にて開口部23内を完全には充填しない膜厚条件下（例えば約100nm程度）の膜厚で全面に堆積する（ステップ#83）。本ステップ#83によって、開口部23の内側面を構成する第1電極13の側面と、開口部23の底面を構成する第1電極13の高さ位置の低い側の上面のそれから成長する可変抵抗膜としてのCoO膜15が接合する部分において、シーム30が形成される。

【0146】

その後、図21（d）に示すように、第7実施形態のステップ#65と同様、シーム30が形成された可変抵抗膜15の上面全面に導電性材料膜16（例えばPt膜）をスパッタ法にて約100nm程度の膜厚で堆積する（ステップ#84）。本ステップ#84によって第2電極16が形成される。  
40

【0147】

[第10実施形態]

本発明に係る可変抵抗素子及びその製造方法、並びにその駆動方法の第9実施形態（以下、適宜「本実施形態」という）につき、図24～図25の各図を参照して説明する。

【0148】

図24は、本実施形態における可変抵抗素子の製造方法を示す工程断面図である。また

、図25は、該製造方法における工程手順を示すフローチャートであり、以下の文中の各ステップ#91～#95は図25内の各ステップを表す。なお、第1実施形態と同一の構成要素には同一の符号を付している。

#### 【0149】

まず、トランジスタ回路等（図示せず）を適宜形成した半導体基板11上に絶縁性材料膜14（例えばSiO<sub>2</sub>膜）をスパッタ法にて例えば約400nm程度の膜厚で全面に堆積した後（ステップ#91）、公知のフォトリソグラフィ技術によって形成したレジストをマスクに、公知のエッチング技術によって、絶縁性材料膜14に例えば高低差300nm程度の開口部29を形成する（ステップ#92、図24（a）参照）。

#### 【0150】

次に、開口部29が形成されている絶縁性材料膜14（以下、適宜「絶縁膜14」という）の上層全面に導電性材料膜13（例えばPt膜）をスパッタ法にて約100nmの厚みで全面に堆積する（ステップ#93）。本ステップ#93によって、図24（b）に示すように、Pt膜13（以下、第1電極13という）の側面を内側面とし、高さ位置の低い第1電極13の上面を底面とする開口部23が形成される。なお、本実施形態におけるステップ#93終了後の平面模式図は、図23に示す第9実施形態のステップ#82終了後の平面模式図と同一であり、W-W'断面が、図24（b）に相当する。

#### 【0151】

その後は、図24（c）に示すように、第7実施形態のステップ#64と同様、開口部23（シーム形成用開口部に相当）が形成されている状態の下で、可変抵抗膜15（例えばCoO膜）をスパッタ法にて開口部23内を完全には充填しない膜厚条件下（例えば約100nm程度）の膜厚で全面に堆積する（ステップ#94）。本ステップ#94によって、開口部23の内側面を構成する第1電極13の側面と、開口部23の底面を構成する第1電極13の高さ位置の低い側の上面のそれぞれから成長する可変抵抗膜としてのCoO膜15が接合する部分において、シーム30が形成される。

#### 【0152】

その後、図24（d）に示すように、第7実施形態のステップ#65と同様、シーム30が形成された可変抵抗膜15の上面全面に導電性材料膜16（例えばPt膜）をスパッタ法にて約100nm程度の膜厚で堆積する（ステップ#95）。本ステップ#95によって第2電極16が形成される。

#### 【0153】

##### [第11実施形態]

本発明に係る可変抵抗素子及びその製造方法、並びにその駆動方法の第9実施形態（以下、適宜「本実施形態」という）につき、図26～図28の各図を参照して説明する。

#### 【0154】

図26は、本実施形態における可変抵抗素子の製造方法を示す工程断面図である。また、図27は、該製造方法における工程手順を示すフローチャートであり、以下の文中の各ステップ#101～#105は図27内の各ステップを表す。なお、第1実施形態と同一の構成要素には同一の符号を付している。

#### 【0155】

まず、図26（a）に示すように、第5実施形態のステップ#41と同様、トランジスタ回路等（図示せず）を適宜形成した半導体基板11上に絶縁性材料膜14（例えばSiO<sub>2</sub>膜）をスパッタ法にて例えば約100nm程度の膜厚で全面に堆積する（ステップ#101）。

#### 【0156】

次に、導電性材料膜13（例えばPt膜）をスパッタ法にて約300nm程度の膜厚で全面に堆積した後（ステップ#102）、公知のフォトリソグラフィ技術によって形成したレジストをマスクに、公知のエッチング技術によって、絶縁性材料膜14（以下、適宜「絶縁膜14」という）の一部上面が露出するまでPt膜13をパターニングする（ステップ#103）ことで、開口部20を形成する。本ステップ#103によって、図26（

10

20

30

40

50

b) に示すように、Pt膜13(以下、適宜「第1電極13」という)の側面を内側面とし、絶縁膜14の露出した上面を底面とする開口部20が形成される。図28は、ステップ#103終了後の平面模式図であり、W-W'断面が、図26(b)に相当する。

【0157】

その後は、図26(c)に示すように、第7実施形態のステップ#64と同様、開口部20(シーム形成用開口部に相当)が形成されている状態の下で、可変抵抗膜15(例えばCoO膜)をスパッタ法にて開口部20内を完全には充填しない膜厚条件下(例えば約100nm程度)の膜厚で全面に堆積する(ステップ#104)。本ステップ#104によって、開口部20の内側面を構成する第1電極13の側面と、開口部20の底面を構成する絶縁膜14の露出した上面のそれぞれから成長する可変抵抗膜としてのCoO膜15が接合する部分において、シーム30が形成される。

10

【0158】

その後、図26(d)に示すように、第7実施形態のステップ#65と同様、シーム30が形成された可変抵抗膜15の上面全面に導電性材料膜16(例えばPt膜)をスパッタ法にて約100nm程度の膜厚で堆積する(ステップ#105)。本ステップ#105によって第2電極16が形成される。

20

【0159】

[第12実施形態]

本発明に係る可変抵抗素子及びその製造方法、並びにその駆動方法の第12実施形態(以下、適宜「本実施形態」という)につき、図29~図30の各図を参照して説明する。

20

【0160】

図29は、本実施形態における可変抵抗素子の製造方法を示す工程断面図である。また、図30は、該製造方法における工程手順を示すフローチャートであり、以下の文中の各ステップ#111~#117は図30内の各ステップを表す。

30

【0161】

まず、第6実施形態のステップ#51~#54と同様、トランジスタ回路等(図示せず)を適宜形成した半導体基板11上に導電性材料膜(例えばPt膜)13を堆積形成し(ステップ#111)、Pt膜13をエッチングして、半導体基板11の一部上面を露出させるとともに第1電極13を形成し(ステップ#112)、絶縁性材料膜(例えばSiO<sub>2</sub>膜)14を全面に堆積した後(ステップ#113)、公知の平坦化技術を用いてSiO<sub>2</sub>膜14(以下、絶縁膜14という)と第1電極13の上面を露出させる(ステップ#114、図29(a)参照)。

30

【0162】

なお、このとき、まず全面にSiO<sub>2</sub>膜14を堆積した後、SiO<sub>2</sub>膜14をエッチングして半導体基板11の一部上面を露出させ、その後にPt膜13を全面に堆積した後、公知の平坦化技術を用いてSiO<sub>2</sub>膜14とPt膜13の上面を露出させるものとしても良い。

【0163】

次に、公知のフォトリソグラフィ技術によって形成したレジストをマスクに、公知のエッチング技術によって、SiO<sub>2</sub>膜14をエッチバックして開口部20を形成する(ステップ#115)。本ステップ#115によって、図29(b)に示すように、第1電極13の側面を内側面とし、並びにSiO<sub>2</sub>膜14(以下、適宜「絶縁膜14」という)の露出した上面を底面とする開口部20が形成される。なお、本実施形態におけるステップ#115終了後の平面模式図は、図28に示す第11実施形態のステップ#103終了後の平面模式図と同一であり、W-W'断面が、図29(b)に相当する。

40

【0164】

その後は、図29(c)に示すように、第7実施形態のステップ#64と同様、開口部20(シーム形成用開口部に相当)が形成されている状態の下で、可変抵抗膜15(例えばCoO膜)をスパッタ法にて開口部20内を完全には充填しない膜厚条件下(例えば約100nm程度)の膜厚で全面に堆積する(ステップ#116)。本ステップ#116

50

によって、開口部 20 の内側面を構成する第 1 電極 13 の側面と、開口部 20 の底面を構成する絶縁膜 14 の露出した上面のそれぞれから成長する可変抵抗体膜としての Coo 膜 15 が接合する部分において、シーム 30 が形成される。

【0165】

その後、図 29 (d) に示すように、第 7 実施形態のステップ #65 と同様、シーム 30 が形成された可変抵抗体膜 15 の上面全面に導電性材料膜 16 ( 例えれば Pt 膜 ) をスパッタ法にて約 100 nm 程度の膜厚で堆積する ( ステップ #117 ) 。本ステップ #117 によって第 2 電極 16 が形成される。

【0166】

[ 第 13 実施形態 ]

本発明に係る可変抵抗素子及びその製造方法、並びにその駆動方法の第 13 実施形態 ( 以下、適宜「本実施形態」という ) につき、図 31 ~ 図 34 の各図を参照して説明する。

【0167】

図 31 は、本実施形態における可変抵抗素子の製造方法を示す工程断面図である。また、図 32 は、該製造方法における工程手順を示すフローチャートであり、以下の文中の各ステップ #121 ~ #125 は図 32 内の各ステップを表す。なお、第 1 実施形態と同一の構成要素には同一の符号を付している。

【0168】

まず、図 31 (a) に示すように、トランジスタ回路等 ( 図示せず ) を適宜形成した半導体基板 11 上に導電性材料膜 13 ( 例えれば Pt 膜 ) をスパッタ法にて約 100 nm 程度の膜厚で全面に堆積する ( ステップ #121 ) 。本ステップ #121 によって第 1 電極 13 が形成される。

【0169】

次に、絶縁性材料膜 ( 例えれば SiO<sub>2</sub> 膜 ) 14 を CVD 法にて約 300 nm 程度の膜厚で全面に堆積する ( ステップ #122 ) 。その後、公知のフォトリソグラフィ技術によって形成したレジストをマスクに、公知のエッチング技術によって、第 1 電極 13 の一部上面が露するまで SiO<sub>2</sub> 膜 14 をパターニングする ( ステップ #123 ) 。本ステップ #123 によって、図 31 (b) に示すように、露した第 1 電極 13 の上面を底面とし、SiO<sub>2</sub> 膜 14 ( 以下、適宜「絶縁膜 14 」という ) の側面を内側面とする開口部 21 が形成される。図 33 は、ステップ #123 終了後の平面模式図であり、W-W' 断面が、図 31 (b) に相当する。

【0170】

次に、図 31 (c) に示すように、開口部 21 が形成されている状態の下で、可変抵抗体膜 15 ( 例えれば Coo 膜 ) を LP ( Low Pressure ) - CVD 法にて、開口部 21 内を完全に充填するような膜厚条件下で全面に堆積する ( ステップ #124 ) 。本ステップ #124 によって、開口部 21 の内側面を構成する絶縁膜 14 の側面から開口部 21 の軸心方向に成長する可変抵抗体膜としての Coo 膜 15 が接合する部分において、高さ方向 ( 鉛直方向 ) に延伸するシーム 31 が形成される。図 33 は、ステップ #124 終了後の平面模式図であり、W-W' 断面が、図 31 (c) に相当する。

【0171】

その後、図 31 (d) に示すように、シーム 31 が形成された可変抵抗体膜 15 の上面全面に導電性材料膜 16 ( 例えれば Pt 膜 ) をスパッタ法にて約 100 nm 程度の膜厚で堆積する ( ステップ #125 ) 。本ステップ #125 によって第 2 電極 16 が形成される。

【0172】

本実施形態の場合も、第 7 実施形態と同様、ステップ #124 に係る可変抵抗体膜成膜工程の直前において、既に開口部 21 ( シーム形成用開口部に相当 ) が形成されている。この開口部 21 は、前記基板面に平行な断面が環状に形成された露内側面、前記露内側面の外側において前記露内側面の上端と端部が結合する第 1 上面、並びに前記露内側面の内側において前記露内側面の下端と端部が結合する露底面によって構成されている。そして、このうち、絶縁膜 14 の上面によって前記第 1 上面が構成され、絶縁膜 1

10

20

30

40

50

4の側面によって前記露出内側面が構成され、第1電極13の露出した上面によって前記露出底面が構成される。

【0173】

このような状態の下で、可変抵抗体膜としてのCO膜をCVD法で成膜することで、露出内側面（絶縁膜14の側面）から成長する膜と、露出底面（第1電極13の露出した上面）から成長する膜が接合する領域において、成長膜同士が重なり合うことでシーム31が形成される。CVD法によって可変抵抗体膜を成膜することで、下地面（開口部21の内側面及び底面）に沿って均一に膜成長し、この結果、図31(c)に示すように、開口部21の軸心近傍において、高さ方向（鉛直方向）に延伸するようにシーム31が形成される。そして、このシーム31をそのまま残存させたまま、ステップ#125に係る第2電極形成工程を実行することで、第2電極16が形成された時点において、依然として可変抵抗体膜15内にはシーム31が形成されたままの状態となっている。また、前記のように、シーム31は、軸心近傍において鉛直方向に延伸するように形成されているところ、第1電極13から第2電極16に向かう方向に延伸するように形成されることとなる。

10

【0174】

従って、本実施形態の場合も、第1実施形態と同様、シーム31が可変抵抗体膜15内に形成されたままの状態で、第1電極13と第2電極16の間に電圧パルスを印加した場合、シーム31では、バルクの可変抵抗体膜15に比べ構造欠陥が多いため電界集中が起こり易い。このため、フォーミングプロセスを行うべく電圧を印加したとき、電界集中が起こりやすいシーム内あるいはその近傍においてフィラメントパスが容易に形成しやすい状況となる。このため、予め製造時に特定箇所にシーム31を意図的に形成しておくことで、フォーミングプロセスによって形成されるフィラメントパスの形成領域を特定範囲内に収めることができ、スイッチング動作の再現性を高めることができる。さらに、シーム31内あるいはその近傍において電界集中が起こりやすい構成であるため、従来構成よりもフォーミングプロセス実行に要する電圧を低電圧化することができる。以下の第14～第15実施形態においても同様であるため、適宜説明を省略する。

20

【0175】

[第14実施形態]

本発明に係る可変抵抗素子及びその製造方法、並びにその駆動方法の第8実施形態（以下、適宜「本実施形態」という）につき、図35～図39の各図を参照して説明する。

30

【0176】

図35は、本実施形態における可変抵抗素子の製造方法を示す工程断面図である。また、図36は、該製造方法における工程手順を示すフローチャートであり、以下の文中の各ステップ#131～#134は図36内の各ステップを表す。なお、第1実施形態と同一の構成要素には同一の符号を付している。

40

【0177】

まず、図35(a)に示すように、第3実施形態のステップ#21と同様、トランジスタ回路等（図示せず）を適宜形成した半導体基板11上に導電性材料膜13（例えばPt膜）をスパッタ法にて約400nmの厚みで全面に堆積する（ステップ#131）。

【0178】

次に、公知のフォトリソグラフィ技術によって形成したレジストをマスクに、公知のエッチング技術によって、Pt膜13に例えば高低差300nm程度の開口部24を形成する（ステップ#132）。本ステップ#132によって、第1電極13が形成されるとともに、図35(b)に示すように、第1電極13の側面を内側面とし、高さ位置の低い第1電極13の上面を底面とする開口部24が形成される。図37は、ステップ#132終了後の平面模式図であり、W-W'断面が、図35(b)に相当する。

【0179】

次に、第13実施形態のステップ#124と同様、図35(c)に示すように、開口部24（シーム形成用開口部に相当）が形成されている状態の下で、可変抵抗体膜15（例

50

えばC<sub>o</sub>O膜)をL P (L o w P r e s s u r e) - C V D法にて、開口部24内を完全に充填するような膜厚条件下で全面に堆積する(ステップ#133)。本ステップ#133によって、開口部24の内側面を構成する第1電極13の側面から開口部24の軸心方向に成長する可変抵抗体膜としてのC<sub>o</sub>O膜15が接合する部分において、鉛直方向に延伸するシーム31が形成される。図38は、ステップ#133終了後の平面模式図であり、W-W'断面が、図35(c)に相当する。

#### 【0180】

その後、図35(d)に示すように、シーム31が形成された可変抵抗体膜15の上面全面に導電性材料膜16(例えばPt膜)をスパッタ法にて約100nm程度の膜厚で堆積する(ステップ#134)。本ステップ#134によって第2電極16が形成される。

10

#### 【0181】

なお、本実施形態では、図35(b)に示すように開口部24が筒状に形成される場合を例に挙げて説明したが、開口部24の形状はこのような形状に限られない。図39には、開口部24が錐形状に形成される場合を例示しているが、このような場合においてもステップ#131～#134の各工程を経てシーム31を可変抵抗体15内に有する可変抵抗素子を形成することができる。

#### 【0182】

##### [第15実施形態]

本発明に係る可変抵抗素子及びその製造方法、並びにその駆動方法の第8実施形態(以下、適宜「本実施形態」という)につき、図40～図42の各図を参照して説明する。

20

#### 【0183】

図40は、本実施形態における可変抵抗素子の製造方法を示す工程断面図である。また、図41は、該製造方法における工程手順を示すフローチャートであり、以下の文中の各ステップ#141～#145は図41内の各ステップを表す。なお、第1実施形態と同一の構成要素には同一の符号を付している。

#### 【0184】

まず、第10実施形態のステップ#91～#92と同様、トランジスタ回路等(図示せず)を適宜形成した半導体基板11上に絶縁性材料膜14(例えばSiO<sub>2</sub>膜)をスパッタ法にて例えば約400nm程度の膜厚で全面に堆積した後(ステップ#141)、公知のフォトリソグラフィ技術によって形成したレジストをマスクに、公知のエッチング技術によって、絶縁性材料膜14に例えば高低差300nm程度の開口部28を形成する(ステップ#142、図40(a)参照)。

30

#### 【0185】

次に、開口部28が形成されている絶縁性材料膜14(以下、適宜「絶縁膜14」という)の上層全面に導電性材料膜13(例えばPt膜)をスパッタ法にて約100nmの厚みで全面に堆積する(ステップ#143)。本ステップ#143によって、第1電極13が形成されるとともに、図40(b)に示すように、Pt膜13(以下、第1電極13といふ)の側面を内側面とし、高さ位置の低い第1電極13の上面を底面とする開口部24が形成される。なお、本実施形態におけるステップ#143終了後の平面模式図は、図37に示す第14実施形態のステップ#132終了後の平面模式図と同一であり、W-W'断面が、図40(b)に相当する。

40

#### 【0186】

次に、第13実施形態のステップ#124と同様、図40(c)に示すように、開口部24(シーム形成用開口部に相当)が形成されている状態の下で、可変抵抗体膜15(例えばC<sub>o</sub>O膜)をL P (L o w P r e s s u r e) - C V D法にて、開口部24内を完全に充填するような膜厚条件下で全面に堆積する(ステップ#144)。本ステップ#144によって、開口部24の内側面を構成する第1電極13の側面から開口部24の軸心方向に成長する可変抵抗体膜としてのC<sub>o</sub>O膜15が接合する部分において、鉛直方向に延伸するシーム31が形成される。なお、本実施形態におけるステップ#144終了後の平面模式図は、図38に示す第14実施形態のステップ#133終了後の平面模式図と同

50

ーであり、W-W'断面が、図40(c)に相当する。

【0187】

その後、図40(d)に示すように、シーム31が形成された可変抵抗体膜15の上面全面に導電性材料膜16(例えばPt膜)をスパッタ法にて約100nm程度の膜厚で堆積する(ステップ#145)。本ステップ#145によって第2電極16が形成される。

【0188】

なお、本実施形態では、図40(a),(b)に示すように開口部28,24がそれぞれ筒状に形成される場合を例に挙げて説明したが、開口部24の形状はこのような形状に限られない。図42には、開口部28,24が錐形状に形成される場合を例示しているが、このような場合においてもステップ#141~#145の各工程を経てシーム31を可変抵抗体15内に有する可変抵抗素子を形成することができる。

10

【0189】

以上、各実施形態において説明したように、本発明に係る可変抵抗素子は、可変抵抗体内に意図的にシームを形成し、更に、そのシームを除去することなく可変抵抗体上層に電極(第2電極)を形成することで、シームをフィラメントパスの一部または全部として活用することを図るものである。

【0190】

すなわち、可変抵抗体内にシームが形成されている状態の下でフォーミングプロセスを実行することで、電界集中の起こりやすいシーム形成領域並びにその近傍において容易にフィラメントパスが形成されることとなる。つまり、可変抵抗体膜内に形成されたシームをフィラメントパスの一部または全部として利用することができる。このことは、フォーミングプロセスによって生成されるフィラメントパスの生成箇所を特定することができるとともに、フォーミングプロセス時に印加すべき電圧を低電圧化することができることを意味するものである。

20

【0191】

従って、上記各実施形態によれば、製造時に可変抵抗体の特定箇所にシームを形成することで、当該シーム形成領域並びにその近傍にフィラメントパスが形成されるため、同一箇所にシームを形成する条件下で可変抵抗素子を製造することで、各可変抵抗素子間において形成されるフィラメントパスの形成領域を同一領域にすることができる、これによって再現性の高い可変抵抗素子を製造することができるとともに構造設計の容易化を実現できる。

30

【0192】

[別実施形態]

以下、別実施形態につき説明する。

【0193】

1 上述の第1~第6実施形態(図1,図4,図6,図9,図11,図14)では、可変抵抗体15が段差のコーナ部近傍において堆積膜厚よりも局部的に厚膜化しており、当該厚膜化している領域内にシーム32が形成される構造としたが、コーナ部近傍の可変抵抗体15の膜厚が堆積膜厚よりも薄く形成される場合であって、同様にコーナ部近傍にシーム32が形成される構造であっても良い。例えば、第1実施形態においてステップ#1~#5に係る各工程を実行した場合、図1(d)のような構造ではなく、図43に示すような構造となる場合も想定され、かかる場合においても上述した第1実施形態の場合と同様の効果が奏される。第2~第6実施形態においても同様である。

40

【0194】

さらに、上述の第7~第12実施形態(図16,図19,図21,図24,図26,図29)においても、開口部の内側壁と底面とが接合するコーナ部近傍において、堆積膜厚が局部的に厚膜化しており、当該厚膜化している領域内にシーム30が形成される構造としたが、コーナ部近傍の可変抵抗体15の膜厚が堆積膜厚よりも薄く形成される場合であって、同様にコーナ部近傍にシーム30が形成される構造であっても良い。例えば、第7実施形態においてステップ#61~#65に係る各工程を実行した場合に、図16(d)

50

のような構造ではなく、図44に示すような構造となる場合も想定され、かかる場合においても上述した第7実施形態の場合と同様の効果が奏される。第8～第12実施形態においても同様である。

#### 【0195】

なお、図16(d)では、可変抵抗膜15が、開口部底面上の堆積膜厚と、開口部内側壁を構成する絶縁膜14上の堆積膜厚とが同程度となるように図示されているが、図44に示したように、開口部底面上の堆積膜厚が絶縁膜14上の堆積膜厚よりも薄膜化している構造であっても良い。このとき、開口部底面上の堆積膜厚は、中央付近が最も厚く、中央付近から離れるほど、すなわちコーナ領域に近付くほど堆積膜厚が薄膜化する構造となるものとして構わない。第8～第12実施形態においても同様である。

10

#### 【0196】

2 上述の第1実施形態(図1)では、段差の側壁を構成する絶縁膜14の上面にも可変抵抗膜15が堆積する構成としたが、図45に示すように、絶縁膜14の上面には可変抵抗膜15が堆積されない構成としても良い。この場合、ステップ#4に係る可変抵抗膜15の堆積後、絶縁膜14上に堆積した可変抵抗膜15を例えばCMP法によって絶縁膜14の上面が露出するまで研磨した後、第2電極16を形成することで実現される。第2, 第7, 第8実施形態についても同様とする。なお、第7実施形態(図16)の場合に、可変抵抗膜15を堆積後に絶縁膜14の上面に堆積した可変抵抗膜15を研磨除去すると、図46に示すような構造となる。

20

#### 【0197】

また、第3実施形態(図6)のように、段差の側壁を構成するのが第1電極13の場合には、可変抵抗膜15を堆積後、高さ位置の高い第1電極13の上面に堆積した可変抵抗膜15を研磨除去し、次に第2電極16を構成する電極膜を形成後、同様に高さ位置の高い第1電極13の上面に堆積した当該電極膜を研磨除去し、その後に絶縁膜41を堆積することで、図47に示すような構造を実現しても良い。なお、図45の場合と比べ、第2電極16を構成する電極膜についても研磨除去するのは、第1電極13と第2電極16とが接触することでショート状態とならないようにするための措置である。第3～第6, 第9～第11実施形態についても同様とする。

20

#### 【0198】

3 第13実施形態において、可変抵抗膜15が、開口部側壁を構成する絶縁膜14の上面に堆積される構成としたが、図48に示すように、可変抵抗膜15が絶縁膜14の上面には堆積されない構成であっても構わない。この場合、可変抵抗膜15を堆積後、絶縁膜14の上面が露出するまで研磨除去した後、第2電極13を形成することで実現される。なお、当該研磨工程を実行することによって、図48に示すように、可変抵抗膜15の上面が絶縁膜14の上面の高さ位置より低くなっても良い。このような場合においても、可変抵抗膜15のほぼ中央部(開口部21の軸心近傍)にシーム31が形成される。第14, 第15実施形態においても同様とする。

30

#### 【0199】

なお、第14, 第15実施形態の場合には、第1電極13と第2電極16とが接触するのを防止すべく、第2電極16を構成する電極膜を堆積後、一部をエッティング除去するものとしても良い。例えば、第14実施形態の場合、可変抵抗膜15を堆積後、第1電極13の上面に堆積した可変抵抗膜15を研磨除去し、その後に第2電極16を構成する電極膜を堆積した後、第1電極13と接触している第2電極16の電極膜をエッティング除去するものとしても良い。その後に、絶縁膜41を堆積することで、図49に示すような構造が実現される。

40

#### 【図面の簡単な説明】

#### 【0200】

【図1】本発明の第1実施形態の可変抵抗素子の製造方法を示す工程断面図

【図2】本発明の第1実施形態の可変抵抗素子の製造工程を示すフローチャート

【図3】本発明の第1実施形態の可変抵抗素子が形成される領域を示した平面模式図

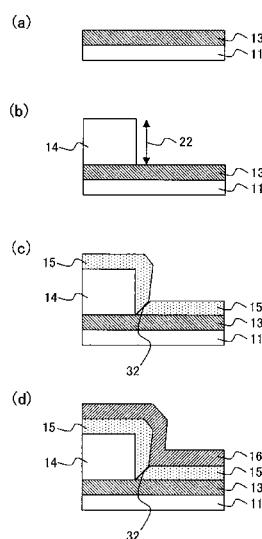
50

- 【図 4】本発明の第 2 実施形態の可変抵抗素子の製造方法を示す工程断面図
- 【図 5】本発明の第 2 実施形態の可変抵抗素子の製造工程を示すフローチャート
- 【図 6】本発明の第 3 実施形態の可変抵抗素子の製造方法を示す工程断面図
- 【図 7】本発明の第 3 実施形態の可変抵抗素子の製造工程を示すフローチャート
- 【図 8】本発明の第 3 実施形態の可変抵抗素子が形成される領域を示した平面模式図
- 【図 9】本発明の第 4 実施形態の可変抵抗素子の製造方法を示す工程断面図
- 【図 10】本発明の第 4 実施形態の可変抵抗素子の製造工程を示すフローチャート
- 【図 11】本発明の第 5 実施形態の可変抵抗素子の製造方法を示す工程断面図
- 【図 12】本発明の第 5 実施形態の可変抵抗素子の製造工程を示すフローチャート
- 【図 13】本発明の第 5 実施形態の可変抵抗素子が形成される領域を示した平面模式図 10
- 【図 14】本発明の第 6 実施形態の可変抵抗素子の製造方法を示す工程断面図
- 【図 15】本発明の第 6 実施形態の可変抵抗素子の製造工程を示すフローチャート
- 【図 16】本発明の第 7 実施形態の可変抵抗素子の製造方法を示す工程断面図
- 【図 17】本発明の第 7 実施形態の可変抵抗素子の製造工程を示すフローチャート
- 【図 18】本発明の第 7 実施形態の可変抵抗素子が形成される領域を示した平面模式図
- 【図 19】本発明の第 8 実施形態の可変抵抗素子の製造方法を示す工程断面図
- 【図 20】本発明の第 8 実施形態の可変抵抗素子の製造工程を示すフローチャート
- 【図 21】本発明の第 9 実施形態の可変抵抗素子の製造方法を示す工程断面図
- 【図 22】本発明の第 9 実施形態の可変抵抗素子の製造工程を示すフローチャート
- 【図 23】本発明の第 10 実施形態の可変抵抗素子が形成される領域を示した平面模式図 20
- 【図 24】本発明の第 10 実施形態の可変抵抗素子の製造方法を示す工程断面図
- 【図 25】本発明の第 10 実施形態の可変抵抗素子の製造工程を示すフローチャート
- 【図 26】本発明の第 11 実施形態の可変抵抗素子の製造方法を示す工程断面図
- 【図 27】本発明の第 11 実施形態の可変抵抗素子の製造工程を示すフローチャート
- 【図 28】本発明の第 11 実施形態の可変抵抗素子が形成される領域を示した平面模式図
- 【図 29】本発明の第 12 実施形態の可変抵抗素子の製造方法を示す工程断面図
- 【図 30】本発明の第 12 実施形態の可変抵抗素子の製造工程を示すフローチャート
- 【図 31】本発明の第 13 実施形態の可変抵抗素子の製造方法を示す工程断面図
- 【図 32】本発明の第 13 実施形態の可変抵抗素子の製造工程を示すフローチャート
- 【図 33】本発明の第 13 実施形態の可変抵抗素子が形成される領域を示した平面模式図 30
- 【図 34】本発明の第 13 実施形態のシームが形成される領域を示した平面模式図
- 【図 35】本発明の第 14 実施形態の可変抵抗素子の製造方法を示す工程断面図
- 【図 36】本発明の第 14 実施形態の可変抵抗素子の製造工程を示すフローチャート
- 【図 37】本発明の第 14 実施形態の可変抵抗素子が形成される領域を示した平面模式図
- 【図 38】本発明の第 14 実施形態のシームが形成される領域を示した平面模式図
- 【図 39】本発明の第 14 実施形態の可変抵抗素子の製造方法を示す別の工程断面図
- 【図 40】本発明の第 15 実施形態の可変抵抗素子の製造方法を示す工程断面図
- 【図 41】本発明の第 15 実施形態の可変抵抗素子の製造工程を示すフローチャート
- 【図 42】本発明の第 14 実施形態の可変抵抗素子の製造方法を示す別の工程断面図
- 【図 43】本発明の別実施形態の可変抵抗素子の概略構造図 40
- 【図 44】本発明の別実施形態の可変抵抗素子の別の概略構造図
- 【図 45】本発明の別実施形態の可変抵抗素子のさらに別の概略構造図
- 【図 46】本発明の別実施形態の可変抵抗素子のさらに別の概略構造図
- 【図 47】本発明の別実施形態の可変抵抗素子のさらに別の概略構造図
- 【図 48】本発明の別実施形態の可変抵抗素子のさらに別の概略構造図
- 【図 49】本発明の別実施形態の可変抵抗素子のさらに別の概略構造図
- 【図 50】従来構成の可変抵抗素子の概略構造図
- 【符号の説明】
- 【0201】

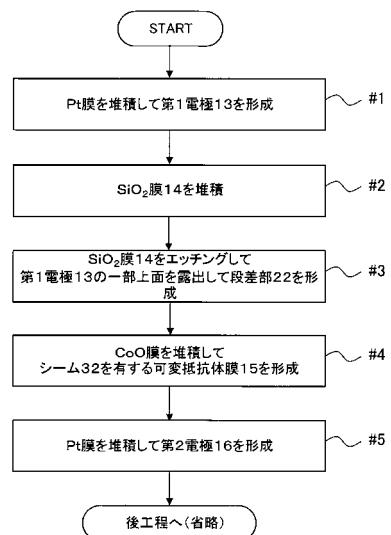
- 1 3 : 第 1 電極  
 1 4 : 絶縁膜  
 1 5 : 可変抵抗体 (膜)  
 1 6 : 第 2 電極  
 2 0 : 開口部  
 2 1 : 開口部  
 2 2 : 段差部  
 2 3 : 開口部  
 2 4 : 開口部  
 2 5 : 段差部  
 2 8 : 開口部  
 2 9 : 開口部  
 3 0 : シーム  
 3 1 : シーム  
 3 2 : シーム  
 4 1 : 絶縁膜  
 1 0 1 : 上部電極  
 1 0 2 : 可変抵抗体  
 1 0 3 : 下部電極

10

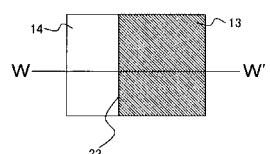
【図 1】



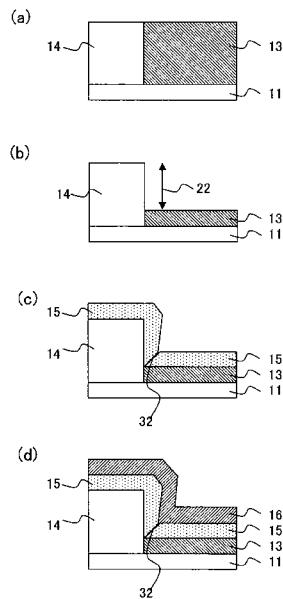
【図 2】



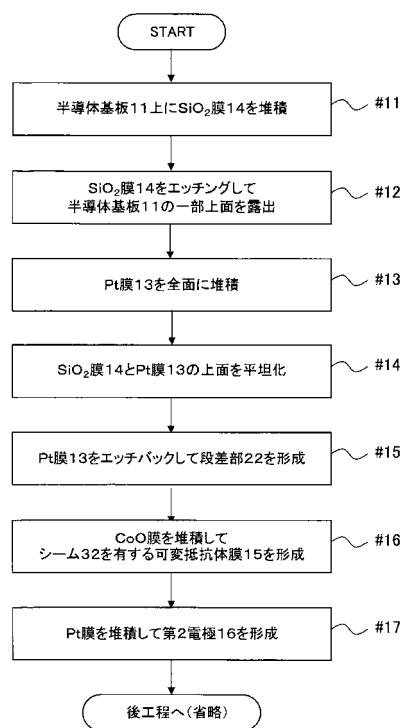
【図 3】



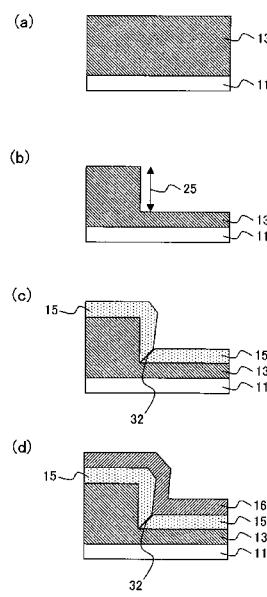
【図4】



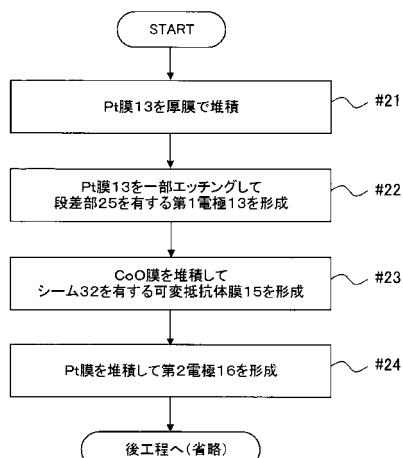
【図5】



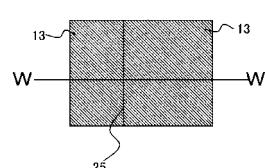
【図6】



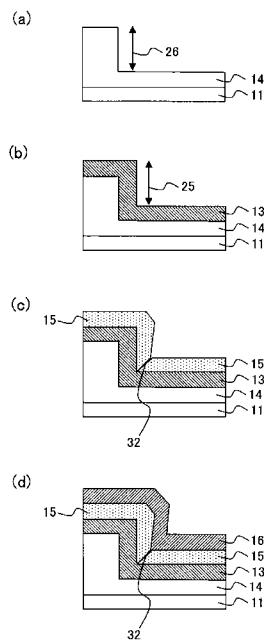
【図7】



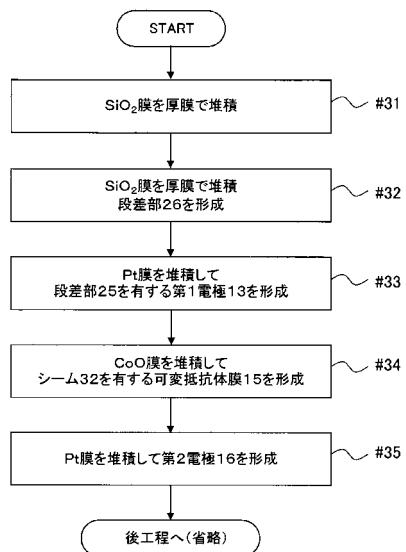
【図8】



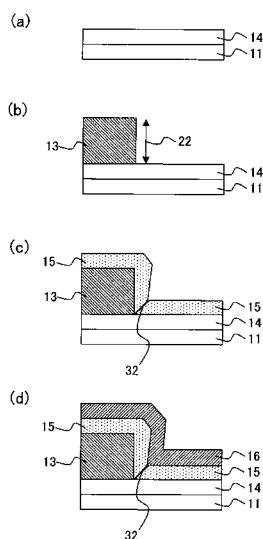
【図9】



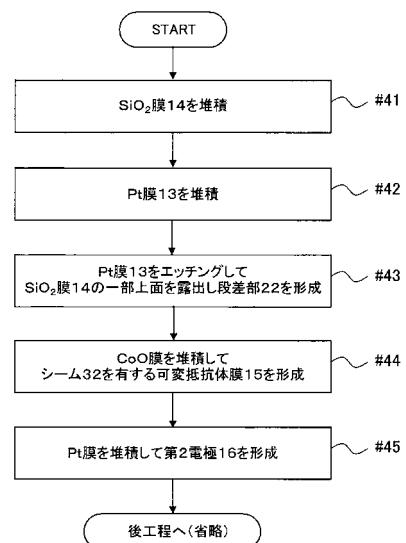
【図10】



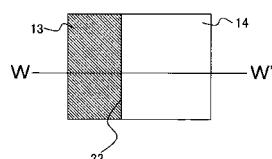
【図11】



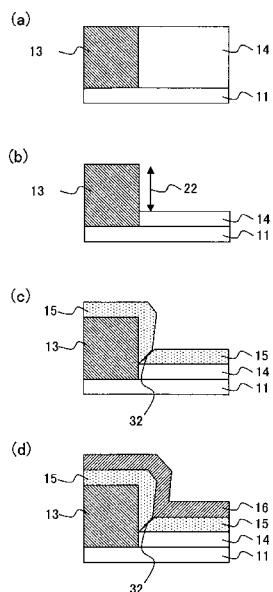
【図12】



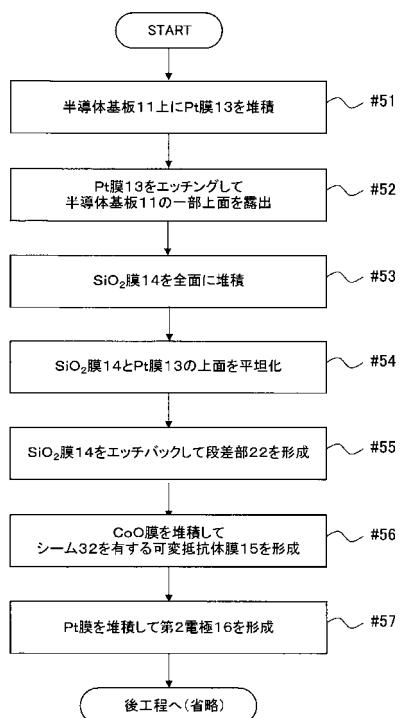
【図13】



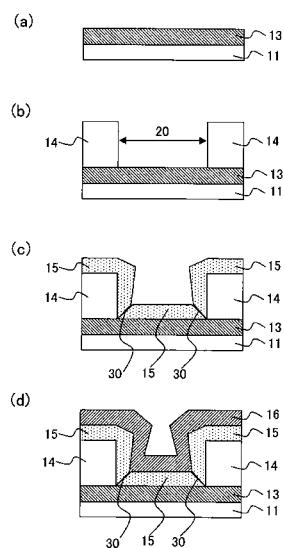
【図14】



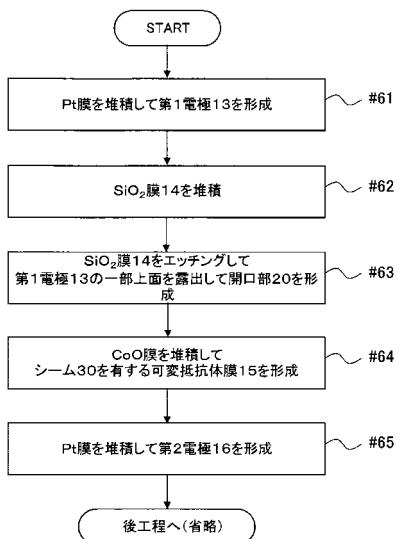
【図15】



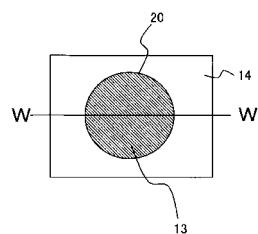
【図16】



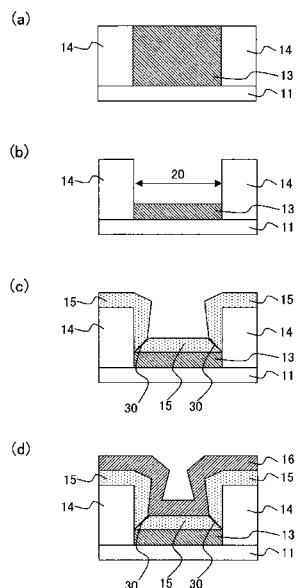
【図17】



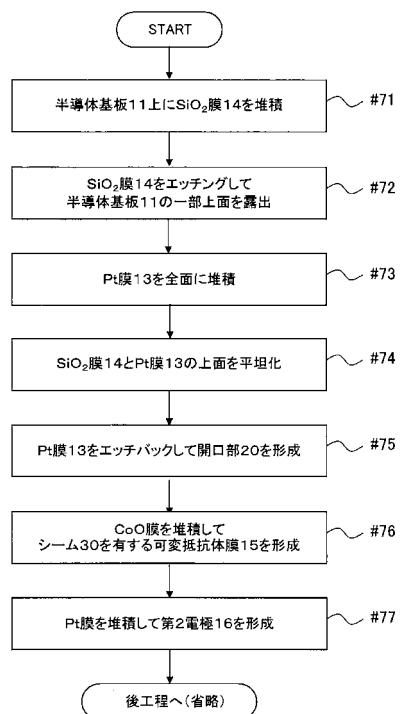
【図18】



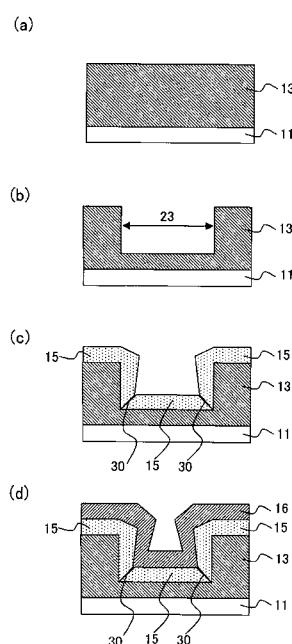
【図19】



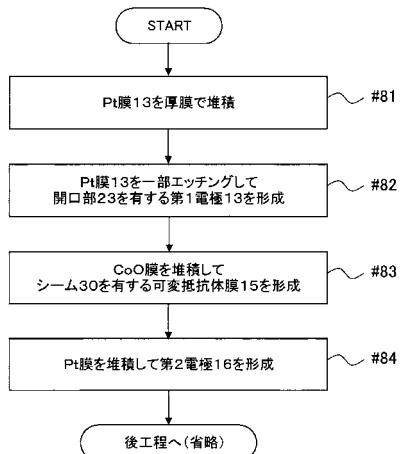
【図20】



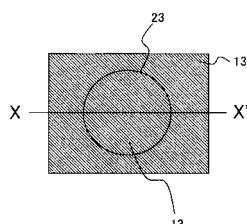
【図21】



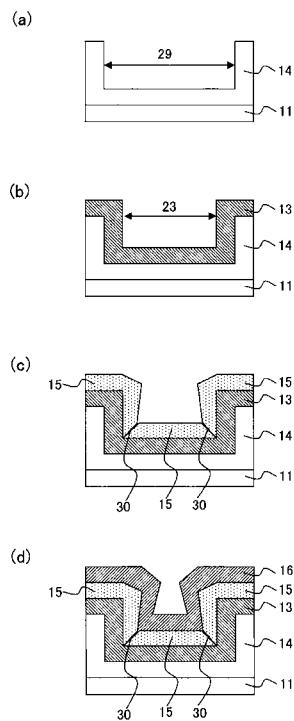
【図22】



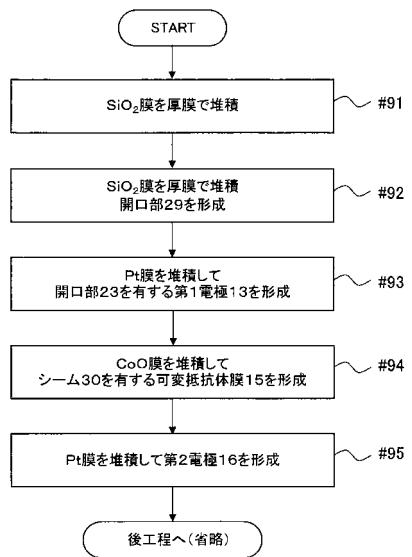
【図23】



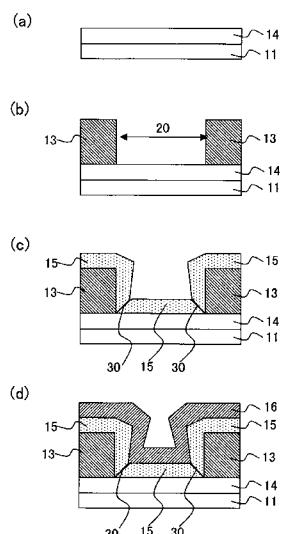
【図24】



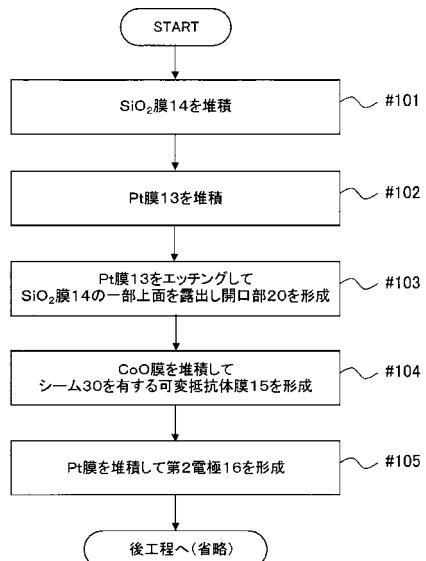
【図25】



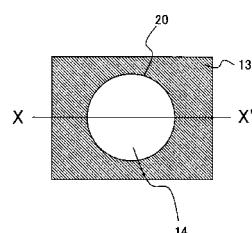
【図26】



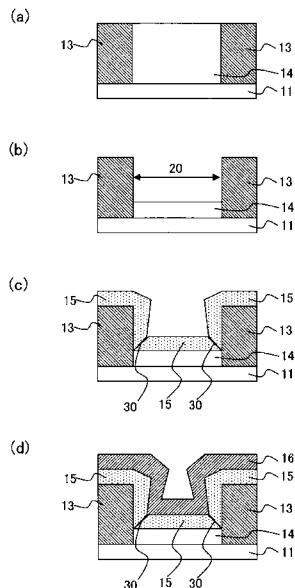
【図27】



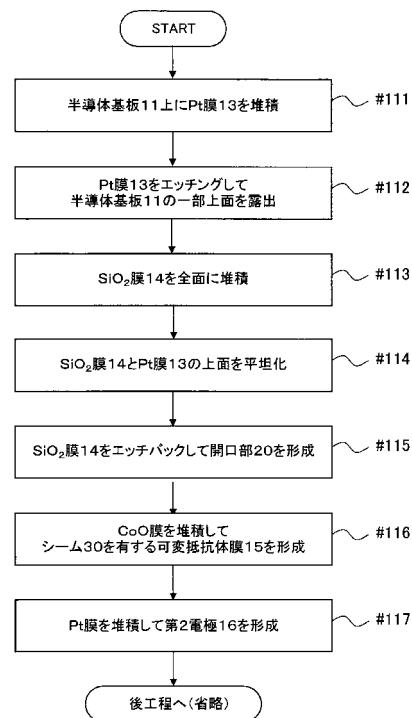
【図28】



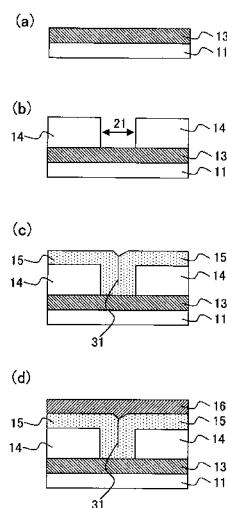
【図29】



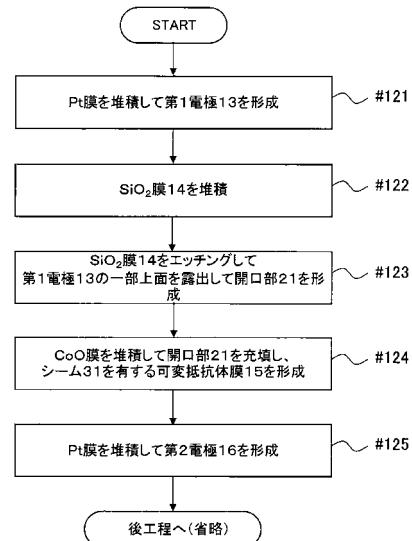
【図30】



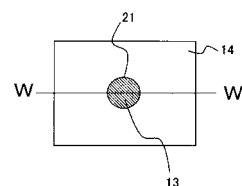
【図31】



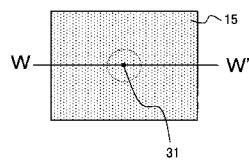
【図32】



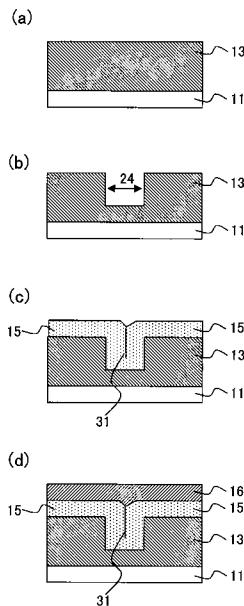
【図33】



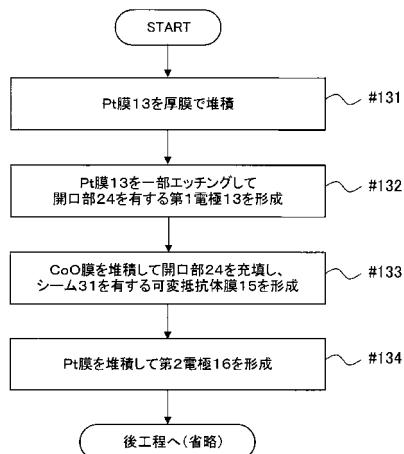
【図3-4】



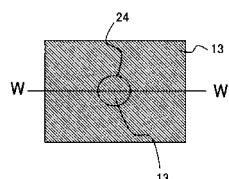
【図3-5】



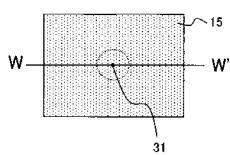
【図3-6】



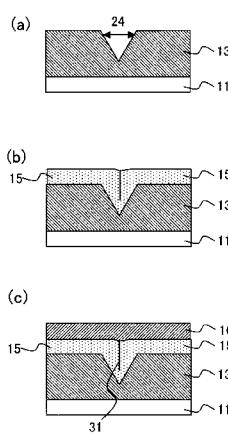
【図3-7】



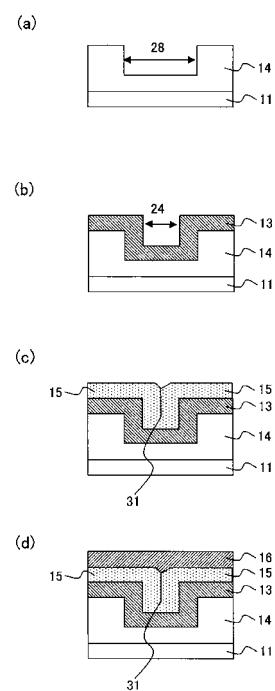
【図3-8】



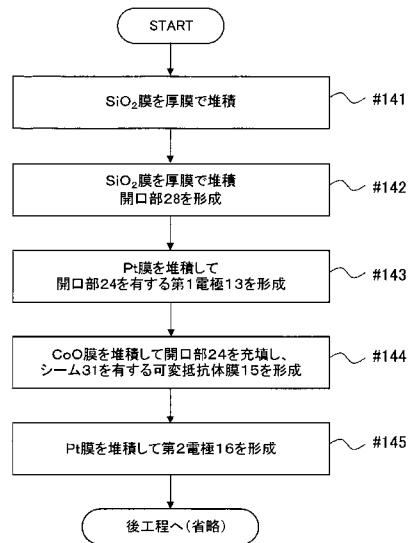
【図3-9】



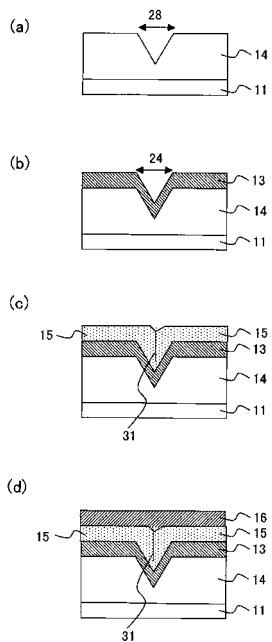
【図4-0】



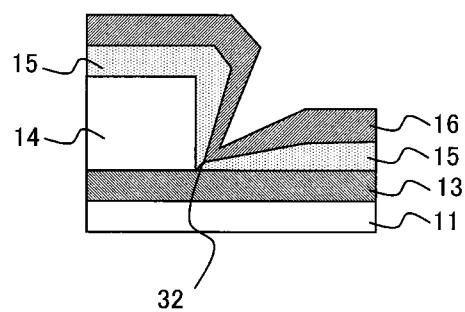
【図41】



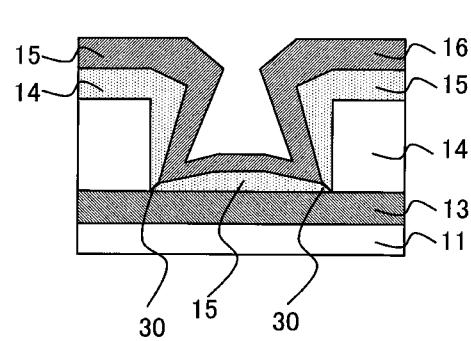
【図42】



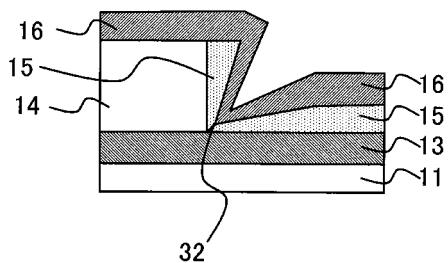
【図43】



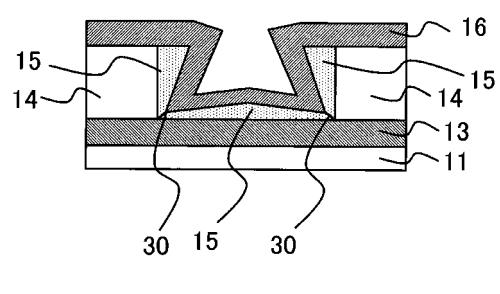
【図44】



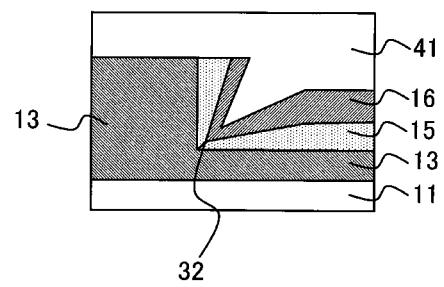
【図45】



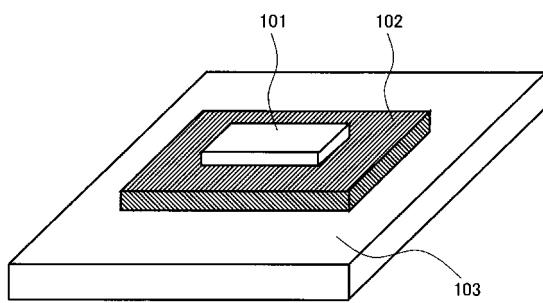
【図46】



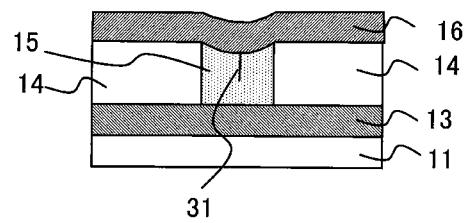
【図 4 7】



【図 5 0】



【図 4 8】



【図 4 9】

