

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-62265

(P2010-62265A)

(43) 公開日 平成22年3月18日(2010.3.18)

(51) Int.Cl.	F I	テーマコード (参考)
H O 1 L 27/10 (2006.01)	H O 1 L 27/10 4 5 1	5 F 0 8 3
H O 1 L 45/00 (2006.01)	H O 1 L 45/00 Z	
H O 1 L 49/00 (2006.01)	H O 1 L 49/00 Z	

審査請求 未請求 請求項の数 45 O L (全 46 頁)

(21) 出願番号	特願2008-225157 (P2008-225157)	(71) 出願人	000005049
(22) 出願日	平成20年9月2日(2008.9.2)		シャープ株式会社
			大阪府大阪市阿倍野区長池町22番22号
		(74) 代理人	100114476
			弁理士 政木 良文
		(72) 発明者	田淵 良志明
			大阪府大阪市阿倍野区長池町22番22号
			シャープ株式会社内
		(72) 発明者	細井 康成
			大阪府大阪市阿倍野区長池町22番22号
			シャープ株式会社内
		Fターム(参考)	5F083 FZ10 GA05 GA11 GA27 JA36
			JA38 JA39 JA40 JA56 JA60
			LA01

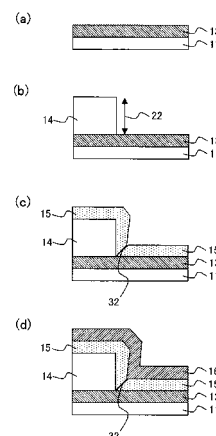
(54) 【発明の名称】 可変抵抗素子及びその製造方法、並びにその駆動方法

(57) 【要約】 (修正有)

【課題】スイッチング動作の再現性を高め、構造設計の容易化を可能にする可変抵抗素子を提供する。

【解決手段】基板11上に、第1電極13、第2電極16、及び両電極の間に形成される可変抵抗体15を有し、両電極間に電圧パルスを印加することで両電極間の電気抵抗が可逆的に変化する可変抵抗素子であって、可変抵抗体15が、所定の可変抵抗体膜で構成されるとともに、可変抵抗体膜の構成膜厚が他より厚い領域内において、第1電極13から前記第2電極16に向かう方向に延伸する少なくとも一つのシーム32を有する構成である。可変抵抗体15は、段差部または開口部に成膜されることでシームを有するように形成される。

【選択図】 図1



**【特許請求の範囲】****【請求項 1】**

基板上に、第 1 電極、第 2 電極、及び前記両電極の間に形成される可変抵抗体を有し、前記両電極間に電圧パルスを印加することで前記両電極間の電気抵抗が可逆的に変化する可変抵抗素子であって、

前記可変抵抗体が、前記第 1 電極から前記第 2 電極に向かう方向に延伸する少なくとも一つのシームを有することを特徴とする可変抵抗素子。

**【請求項 2】**

少なくとも一つの前記シームが、前記第 1 電極と前記第 2 電極との間に電圧が印加されることでフィラメントパスの一部を形成することを特徴とする請求項 1 に記載の可変抵抗素子。

10

**【請求項 3】**

前記可変抵抗体が、前記基板面に平行に構成される第 1 構造部と、下端が前記第 1 構造部の端部と結合し前記基板面に垂直な方向に構成される第 2 構造部とを備え、前記第 1 構造部と前記第 2 構造部とが結合するコーナ領域に前記シームを有することを特徴とする請求項 1 または 2 に記載の可変抵抗素子。

**【請求項 4】**

前記第 1 電極の一部上層に絶縁膜を有し、

前記可変抵抗体は、

前記第 1 構造部において、下面が前記第 1 電極の上面と接触し、上面が前記第 2 電極の下面と接触し、

20

前記第 2 構造部において、第 1 面が前記絶縁膜の側面と接触し、前記第 1 面と当該可変抵抗体の膜厚を隔てて対向する第 2 面が前記第 2 電極の側面と接触するように形成されていることを特徴とする請求項 3 に記載の可変抵抗素子。

**【請求項 5】**

前記第 1 電極と同一層において前記第 1 電極よりも膜厚が厚い絶縁膜を有し、

前記可変抵抗体は、

前記第 1 構造部において、下面が前記第 1 電極の上面と接触し、上面が前記第 2 電極の下面と接触し、

前記第 2 構造部において、第 1 面が前記絶縁膜の側面と接触し、前記第 1 面と当該可変抵抗体の膜厚を隔てて対向する第 2 面が前記第 2 電極の側面と接触するように形成されていることを特徴とする請求項 3 に記載の可変抵抗素子。

30

**【請求項 6】**

前記第 1 電極は、形成膜厚が異なる領域を有することで段差を有する構成であり、

前記可変抵抗体は、

前記第 1 構造部において、下面が前記第 1 電極の上面と接触し、上面が前記第 2 電極の下面と接触し、

前記第 2 構造部において、第 1 面が前記第 1 電極の側面と接触し、前記第 1 面と当該可変抵抗体の膜厚を隔てて対向する第 2 面が前記第 2 電極の側面と接触するように形成されていることを特徴とする請求項 3 に記載の可変抵抗素子。

40

**【請求項 7】**

形成膜厚が異なる領域を有することで段差を有する絶縁膜を備え、

前記第 1 電極が、前記絶縁膜上に形成されることで最上位面に高さ位置の差異を有した状態で形成されており、

前記可変抵抗体は、

前記第 1 構造部において、下面が前記第 1 電極の上面と接触し、上面が前記第 2 電極の下面と接触し、

前記第 2 構造部において、第 1 面が前記第 1 電極の側面と接触し、前記第 1 面と当該可変抵抗体の膜厚を隔てて対向する第 2 面が前記第 2 電極の側面と接触するように形成されていることを特徴とする請求項 3 に記載の可変抵抗素子。

50

## 【請求項 8】

絶縁膜を備え、

前記第 1 電極が前記絶縁膜の一部上層に形成されており、

前記可変抵抗体は、

前記第 1 構造部において、下面が前記絶縁膜の上面と接触し、上面が前記第 2 電極の下面と接触し、

前記第 2 構造部において、第 1 面が前記第 1 電極の側面と接触し、前記第 1 面と当該可変抵抗体の膜厚を隔てて対向する第 2 面が前記第 2 電極の側面と接触するように形成されていることを特徴とする請求項 3 に記載の可変抵抗素子。

## 【請求項 9】

前記第 1 電極と同一層において前記第 1 電極よりも膜厚が薄い絶縁膜を有し、

前記可変抵抗体は、

前記第 1 構造部において、下面が前記絶縁膜の上面と接触し、上面が前記第 2 電極の下面と接触し、

前記第 2 構造部において、第 1 面が前記第 1 電極の側面と接触し、前記第 1 面と当該可変抵抗体の膜厚を隔てて対向する第 2 面が前記第 2 電極の側面と接触するように形成されていることを特徴とする請求項 3 に記載の可変抵抗素子。

## 【請求項 10】

前記可変抵抗体が、

前記基板面に平行に構成され前記第 1 構造部より高さ位置が高く、端部において前記第 2 構造部の上端と結合する第 3 構造部を備え、

前記第 3 構造部において、下面が前記絶縁膜の上面と接触し、上面が前記第 2 電極の下面と接触するように形成されていることを特徴とする請求項 4 または 5 に記載の可変抵抗素子。

## 【請求項 11】

前記可変抵抗体が、

前記基板面に平行に構成され前記第 1 構造部より高さ位置が高く、端部において前記第 2 構造部の上端と結合する第 3 構造部を備え、

前記第 3 構造部において、下面が前記第 1 電極の上面と接触し、上面が前記第 2 電極の下面と接触するように形成されていることを特徴とする請求項 6 ~ 9 のいずれか 1 項に記載の可変抵抗素子。

## 【請求項 12】

前記第 2 構造部が、

前記基板面に平行な断面が環状に形成されるとともに、当該第 2 構造部の内側において下端と前記第 1 構造部の端部とが結合する構成であることを特徴とする請求項 3 に記載の可変抵抗素子。

## 【請求項 13】

前記第 1 電極の一部上層に絶縁膜を備え、

前記可変抵抗体は、

前記第 1 構造部において、下面が前記第 1 電極の上面と接触し、上面が前記第 2 電極の下面と接触し、

前記第 2 構造部において、外側面が前記絶縁膜の側面と接触し、前記外側面と当該可変抵抗体の膜厚を隔てて対向する内側面が前記第 2 電極の側面と接触するように形成されていることを特徴とする請求項 12 に記載の可変抵抗素子。

## 【請求項 14】

前記第 1 電極と同一層において前記第 1 電極よりも膜厚が厚い絶縁膜を有し、

前記可変抵抗体は、

前記第 1 構造部において、下面が前記第 1 電極の上面と接触し、上面が前記第 2 電極の下面と接触し、

前記第 2 構造部において、外側面が前記絶縁膜の側面と接触し、前記外側面と当該可変

10

20

30

40

50

抵抗体の膜厚を隔てて対向する内側面が前記第 2 電極の側面と接触するように形成されていることを特徴とする請求項 1 2 に記載の可変抵抗素子。

【請求項 1 5】

前記第 1 電極は、形成膜厚が異なる領域を有することで段差を有する構成であり、

前記可変抵抗体は、

前記第 1 構造部において、下面が前記第 1 電極の上面と接触し、上面が前記第 2 電極の下面と接触し、

前記第 2 構造部において、外側面が前記第 1 電極の側面と接触し、前記外側面と当該可変抵抗体の膜厚を隔てて対向する内側面が前記第 2 電極の側面と接触するように形成されていることを特徴とする請求項 1 2 に記載の可変抵抗素子。

10

【請求項 1 6】

形成膜厚が異なる領域を有することで段差を有する絶縁膜を備え、

前記第 1 電極が、前記絶縁膜上に形成されることで最上位面に高さ位置の差異を有した状態で形成されており、

前記可変抵抗体は、

前記第 1 構造部において、下面が前記第 1 電極の上面と接触し、上面が前記第 2 電極の下面と接触し、

前記第 2 構造部において、外側面が前記第 1 電極の側面と接触し、前記外側面と当該可変抵抗体の膜厚を隔てて対向する内側面が前記第 2 電極の側面と接触するように形成されていることを特徴とする請求項 1 2 に記載の可変抵抗素子。

20

【請求項 1 7】

絶縁膜を備え、

前記第 1 電極が前記絶縁膜の一部上層に形成されており、

前記可変抵抗体は、

前記第 1 構造部において、下面が前記絶縁膜の上面と接触し、上面が前記第 2 電極の下面と接触し、

前記第 2 構造部において、外側面が前記第 1 電極の側面と接触し、前記外側面と当該可変抵抗体の膜厚を隔てて対向する内側面が前記第 2 電極の側面と接触するように形成されていることを特徴とする請求項 1 2 に記載の可変抵抗素子。

【請求項 1 8】

30

前記第 1 電極と同一層において前記第 1 電極よりも膜厚が薄い絶縁膜を有し、

前記可変抵抗体は、

前記第 1 構造部において、下面が前記絶縁膜の上面と接触し、上面が前記第 2 電極の下面と接触し、

前記第 2 構造部において、外側面が前記第 1 電極の側面と接触し、前記外側面と当該可変抵抗体の膜厚を隔てて対向する内側面が前記第 2 電極の側面と接触するように形成されていることを特徴とする請求項 1 2 に記載の可変抵抗素子。

【請求項 1 9】

前記可変抵抗体が、

前記基板面に平行に構成され前記第 1 構造部より高さ位置が高く、前記第 2 構造部の外側において端部が前記第 2 構造部の上端と結合する第 3 構造部を備え、

40

前記第 3 構造部において、下面が前記絶縁膜の上面と接触し、上面が前記第 2 電極の下面と接触するように形成されていることを特徴とする請求項 1 3 または 1 4 に記載の可変抵抗素子。

【請求項 2 0】

前記可変抵抗体が、

前記基板面に平行に構成され前記第 1 構造部より高さ位置が高く、前記第 2 構造部の外側において端部が前記第 2 構造部の上端と結合する第 3 構造部を備え、

前記第 3 構造部において、下面が前記第 1 電極の上面と接触し、上面が前記第 2 電極の下面と接触するように形成されていることを特徴とする請求項 1 5 ~ 1 8 のいずれか 1 項

50

に記載の可変抵抗素子。

【請求項 2 1】

前記可変抵抗体が、少なくとも外側面が同一の材料膜で囲まれた埋め込み領域内に埋め込まれて形成され、前記埋め込み領域内において高さ方向に延伸する前記シームを有する構成であって、

前記材料膜が、前記第 1 電極または絶縁膜で構成されていることを特徴とする請求項 1 または 2 に記載の可変抵抗素子。

【請求項 2 2】

前記第 1 電極の一部上層に前記絶縁膜を備え、

前記可変抵抗体は、

前記埋め込み領域内において、下面が前記絶縁膜の上面と接触し、前記外側面が前記絶縁膜の側面と接触するように形成されていることを特徴とする請求項 2 1 に記載の可変抵抗素子。

【請求項 2 3】

前記第 1 電極は、形成膜厚が異なる領域を有することで段差を有する構成であり、

前記可変抵抗体は、

前記埋め込み領域内において、下面が前記第 1 電極の上面と接触し、前記外側面が前記第 1 電極の側面と接触するように形成されていることを特徴とする請求項 2 1 に記載の可変抵抗素子。

【請求項 2 4】

形成膜厚が異なる領域を有することで段差を有する絶縁膜を備え、

前記第 1 電極が、前記絶縁膜上に形成されることで最上位面に高さ位置の差異を有した状態で形成されており、

前記可変抵抗体は、

前記埋め込み領域内において、下面が前記第 1 電極の上面と接触し、前記外側面が前記第 1 電極の側面と接触するように形成されていることを特徴とする請求項 2 1 に記載の可変抵抗素子。

【請求項 2 5】

前記可変抵抗体が、

前記埋め込み領域の外側に係る埋め込み外領域内において、前記埋め込み領域内に形成されている当該可変抵抗体と連結し、且つ前記埋め込み領域内の最下面よりも最下面の高さ位置が高くなるように形成されており、前記埋め込み外領域内において、下面が前記絶縁膜の上面と接触し、上面が前記第 2 電極の下面と接触することを特徴とする請求項 2 2 に記載の可変抵抗素子。

【請求項 2 6】

前記可変抵抗体が、

前記埋め込み領域の外側に係る埋め込み外領域内において、前記埋め込み領域内に形成されている当該可変抵抗体と連結し、且つ前記埋め込み領域内の最下面よりも最下面の高さ位置が高くなるように形成されており、前記埋め込み外領域内において、下面が前記第 1 電極の上面と接触し、上面が前記第 2 電極の下面と接触することを特徴とする請求項 2 3 または 2 4 に記載の可変抵抗素子。

【請求項 2 7】

請求項 3 ~ 1 1 のいずれか 1 項に記載の可変抵抗素子の製造方法であって、

前記基板上にシーム形成用段差を形成する段差形成工程と、

その後、前記可変抵抗体を形成する可変抵抗体形成工程と、

その後、前記第 2 電極を形成する第 2 電極形成工程と、を有し、

前記段差形成工程が、

前記第 1 電極を形成する工程を含み、前記第 1 電極を形成することで、前記基板面に平行な第 1 上面、前記基板面に平行に構成され前記第 1 上面より高さ位置の低い第 2 上面、並びに上端が前記第 1 上面の端部と結合し下端が前記第 2 上面の端部と結合することで前

10

20

30

40

50

記第 1 上面と前記第 2 上面とを前記基板面に垂直な方向に連絡する中間面を有するとともに少なくとも前記第 2 上面または前記中間面のいずれか一方の面が前記第 1 電極で構成された前記シーム形成用段差を形成する工程であり、

前記可変抵抗体形成工程が、

全面に可変抵抗体膜をスパッタリング法によって成膜するか、もしくは、全面に所定の材料膜をスパッタリング法によって成膜した後に酸化処理を行って可変抵抗体膜を形成することで、前記可変抵抗体膜が前記第 2 上面に接触する前記第 1 構造部、及び前記可変抵抗体膜が前記中間面に接触する前記第 2 構造部を含む前記可変抵抗体を形成するとともに、前記第 1 構造部と前記第 2 構造部とが結合する前記コーナ領域に係る前記可変抵抗体内に前記シームを形成する工程であり、

10

前記第 2 電極形成工程が、

前記シームが形成された前記可変抵抗体膜の上面に前記第 2 電極を形成する工程であることを特徴とする可変抵抗素子の製造方法。

【請求項 28】

前記段差形成工程において、

前記基板上に前記第 1 電極を形成し、

その後に、前記第 1 電極の上面に絶縁膜を成膜した後、前記絶縁膜に対して前記第 1 電極の一部上面が露出するまでエッチングを施すことで、前記絶縁膜で構成された前記第 1 上面及び前記中間面、並びに前記第 1 電極で構成された前記第 2 上面を有する前記シーム形成用段差を形成することを特徴とする請求項 27 に記載の可変抵抗素子の製造方法。

20

【請求項 29】

前記段差形成工程において、

前記基板上の一部領域に前記第 1 電極を、前記基板上の前記第 1 電極の形成外領域に前記第 1 電極より膜厚の厚い絶縁膜を形成することで、前記絶縁膜で構成された前記第 1 上面及び前記中間面、並びに前記第 1 電極で構成された前記第 2 上面を有する前記シーム形成用段差を形成することを特徴とする請求項 27 に記載の可変抵抗素子の製造方法。

【請求項 30】

前記段差形成工程において、

前記基板上に前記第 1 電極を構成する電極膜を成膜し、

その後に、一部領域に係る前記電極膜に対してエッチングを施すことで、前記第 1 上面、前記中間面、及び前記第 2 上面が全て前記第 1 電極で構成された前記シーム形成用段差を形成することを特徴とする請求項 27 に記載の可変抵抗素子の製造方法。

30

【請求項 31】

前記段差形成工程において、

前記基板上に絶縁膜を成膜した後、一部領域にエッチングを施すことで前記絶縁膜に段差を形成し、

その後に、前記段差が形成された前記絶縁膜の上面全面に前記第 1 電極を構成する電極膜を成膜することで、前記第 1 上面、前記中間面、及び前記第 2 上面が全て前記第 1 電極で構成された前記シーム形成用段差を形成することを特徴とする請求項 27 に記載の可変抵抗素子の製造方法。

40

【請求項 32】

前記段差形成工程において、

前記基板上に絶縁膜を形成し、

その後に、前記絶縁膜の上面に前記第 1 電極を構成する電極膜を成膜した後、前記電極膜に対して前記絶縁膜の一部上面が露出するまでエッチングを施して前記第 1 電極を形成することで、前記第 1 電極で構成された前記第 1 上面及び前記中間面、並びに前記絶縁膜で構成された前記第 2 上面を有する前記シーム形成用段差を形成することを特徴とする請求項 27 に記載の可変抵抗素子の製造方法。

【請求項 33】

前記段差形成工程において、

50

前記基板上の一部領域に前記第 1 電極を形成するとともに、前記基板上の前記第 1 電極形成外領域に前記第 1 電極より膜厚の薄い絶縁膜を形成することで、前記第 1 電極で構成された前記第 1 上面及び前記中間面、並びに前記絶縁膜で構成された前記第 2 上面を有する前記シーム形成用段差を形成することを特徴とする請求項 27 に記載の可変抵抗素子の製造方法。

【請求項 34】

請求項 12 ~ 20 のいずれか 1 項に記載の可変抵抗素子の製造方法であって、

前記基板上にシーム形成用開口部を形成する開口部形成工程と、

その後、前記可変抵抗体を形成する可変抵抗体形成工程と、

その後、前記第 2 電極を形成する第 2 電極形成工程と、を有し、

前記開口部形成工程が、

前記第 1 電極を形成する工程を含み、前記第 1 電極を形成することで、前記基板面に平行な断面が環状に形成された露出内側面、前記露出内側面の外側において前記露出内側面の上端と端部が結合する第 1 上面、並びに前記露出内側面の内側において前記露出内側面の下端と端部が結合する露出底面を有するとともに、少なくとも前記露出内側面または前記露出底面のいずれか一方の面が前記第 1 電極で構成された前記シーム形成用開口部を形成する工程であり、

前記可変抵抗体形成工程が、

全面に可変抵抗体膜をスパッタリング法によって成膜するか、もしくは、全面に所定の材料膜をスパッタリング法によって成膜した後に酸化処理を行って前記シーム形成用開口部内を完全には充填しない膜厚条件下で可変抵抗体膜を形成することで、前記可変抵抗体膜が前記露出底面に接触する前記第 1 構造部、及び前記可変抵抗体膜が前記露出内側面に接触する前記第 2 構造部を含む前記可変抵抗体を形成するとともに、前記第 1 構造部と前記第 2 構造部とが結合する前記コーナ領域に係る前記可変抵抗体内に前記シームを形成する工程であり、

前記第 2 電極形成工程が、

前記シームが形成された前記可変抵抗体膜の上面に前記第 2 電極を形成する工程であることを特徴とする可変抵抗素子の製造方法。

【請求項 35】

前記開口部形成工程において、

前記基板上に前記第 1 電極を形成し、

その後、前記第 1 電極の上面に絶縁膜を成膜した後、前記絶縁膜に対して前記第 1 電極の一部上面が露出するまでエッチングを施すことで、前記絶縁膜で構成された前記第 1 上面及び前記露出内側面、並びに前記第 1 電極で構成された前記露出底面を有する前記シーム形成用開口部を形成することを特徴とする請求項 34 に記載の可変抵抗素子の製造方法。

【請求項 36】

前記開口部形成工程において、

前記基板上の一部領域に前記第 1 電極を、前記基板上の前記第 1 電極の形成領域の外周部に前記第 1 電極より膜厚の厚い絶縁膜を形成することで、前記絶縁膜で構成された前記第 1 上面及び前記露出内側面、並びに前記第 1 電極で構成された前記露出底面を有する前記シーム形成用開口部を形成することを特徴とする請求項 34 に記載の可変抵抗素子の製造方法。

【請求項 37】

前記開口部形成工程において、

前記基板上に前記第 1 電極を構成する電極膜を成膜し、

その後、一部領域に係る前記電極膜に対してエッチングを施すことで、前記第 1 上面、前記露出内側面、及び前記露出底面が全て前記第 1 電極で構成された前記シーム形成用開口部を形成することを特徴とする請求項 34 に記載の可変抵抗素子の製造方法。

【請求項 38】

前記開口部形成工程において、

前記基板上に絶縁膜を成膜した後、一部領域にエッチングを施すことで前記絶縁膜に開口部を形成し、

その後、前記開口部が形成された前記絶縁膜の上面全面に前記開口部を充填しない範囲内の膜厚で前記第 1 電極を構成する電極膜を成膜することで前記第 1 電極を形成するとともに、前記第 1 上面、前記露出内側面、及び前記露出底面が全て前記第 1 電極で構成された前記シーム形成用開口部を形成することを特徴とする請求項 3 4 に記載の可変抵抗素子の製造方法。

【請求項 3 9】

前記開口部形成工程において、

前記基板上に絶縁膜を形成し、

その後、前記絶縁膜の上面に前記第 1 電極を構成する電極膜を成膜した後、前記電極膜に対して前記絶縁膜の一部上面が露出するまでエッチングを施して前記第 1 電極を形成することで、前記第 1 電極で構成された前記第 1 上面及び前記露出内側面、並びに前記絶縁膜で構成された前記露出底面を有する前記シーム形成用開口部を形成することを特徴とする請求項 3 4 に記載の可変抵抗素子の製造方法。

【請求項 4 0】

前記開口部形成工程において、

前記基板上の一部領域に絶縁膜を、前記基板上の前記絶縁膜の形成領域の外周部に前記絶縁膜より膜厚の厚い前記第 1 電極を形成することで、前記第 1 電極で構成された前記第 1 上面及び前記露出内側面、並びに前記絶縁膜で構成された前記露出底面を有する前記シーム形成用開口部を形成することを特徴とする請求項 3 4 に記載の可変抵抗素子の製造方法。

【請求項 4 1】

請求項 2 1 ~ 2 6 のいずれか 1 項に記載の可変抵抗素子の製造方法であって、

前記基板上にシーム形成用開口部を形成する開口部形成工程と、

その後、前記可変抵抗体を形成する可変抵抗体形成工程と、

その後、前記第 2 電極を形成する第 2 電極形成工程と、を有し、

前記開口部形成工程が、

前記第 1 電極を形成する工程を含み、前記第 1 電極を形成することで、前記基板面に平行な断面が環状に形成された露出内側面、前記露出内側面の外側において前記露出内側面の上端と端部が結合する第 1 上面、並びに前記露出内側面の内側において前記露出内側面の下端と端部が結合する露出底面を有するとともに、少なくとも前記露出内側面か前記露出底面のいずれか一の面が前記第 1 電極で構成された前記シーム形成用開口部を形成する工程であり、

前記可変抵抗体形成工程が、

全面に可変抵抗体膜を C V D 法によって成膜するか、もしくは、全面に所定の材料膜を C V D 法によって成膜した後に酸化処理を行って、前記シーム形成用開口部内において内側に開口部が残存しない膜厚条件下で前記可変抵抗体膜を形成することで、前記露出内側面を構成する材料膜で側面を囲まれた前記埋め込み領域内に前記可変抵抗体を形成するとともに、前記埋め込み領域に係る前記可変抵抗体内に高さ方向に延伸する前記シームを形成する工程であり、

前記第 2 電極形成工程が、

前記シームが形成された前記可変抵抗体膜の上面に前記第 2 電極を形成する工程であることを特徴とする可変抵抗素子の製造方法。

【請求項 4 2】

前記開口部形成工程において、

前記基板上に前記第 1 電極を形成し、

その後、前記第 1 電極の上面に絶縁膜を成膜した後、前記絶縁膜に対して前記第 1 電極の一部上面が露出するまでエッチングを施すことで、前記絶縁膜で構成された前記第 1

10

20

30

40

50



上面及び前記露出内側面、並びに前記第 1 電極で構成された前記露出底面を有する前記シーム形成用開口部を形成することを特徴とする請求項 4 1 に記載の可変抵抗素子の製造方法。

【請求項 4 3】

前記開口部形成工程において、

前記基板上に前記第 1 電極を構成する電極膜を成膜し、

その後、一部領域に係る前記電極膜に対してエッチングを施すことで、前記第 1 上面、前記露出内側面、及び前記露出底面が全て前記第 1 電極で構成された前記シーム形成用開口部を形成することを特徴とする請求項 4 1 に記載の可変抵抗素子の製造方法。

【請求項 4 4】

前記開口部形成工程において、

前記基板上に絶縁膜を成膜した後、一部領域にエッチングを施すことで前記絶縁膜に開口部を形成し、

その後、前記開口部が形成された前記絶縁膜の上面全面に、前記開口部を充填しない範囲内の膜厚で前記第 1 電極を構成する電極膜を成膜することで前記第 1 電極を形成するとともに、前記第 1 上面、前記露出内側面、及び前記露出底面が全て前記第 1 電極で構成された前記シーム形成用開口部を形成することを特徴とする請求項 4 1 に記載の可変抵抗素子の製造方法。

【請求項 4 5】

請求項 1～26 のいずれか 1 項に記載の可変抵抗素子の駆動方法であって、

前記第 1 電極と前記第 2 電極との間に電圧を印加することで、少なくとも前記シームを介して前記可変抵抗体内にフィラメントパスを形成することを特徴とする可変抵抗素子の駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、第 1 電極、第 2 電極、及び前記両電極の間に形成される可変抵抗体を有し、前記両電極間への電圧パルスを印加することで前記両電極間の電気抵抗が可逆的に変化する可変抵抗素子及びその製造方法、並びにその駆動方法に関するものである。

【背景技術】

【0002】

近年、フラッシュメモリに代わる高速動作可能な次世代不揮発性ランダムアクセスメモリ (NVRAM: Nonvolatile Random Access Memory) として、FeRAM (Ferroelectric RAM)、MRAM (Magnetic RAM)、PRAM (Phase Change RAM) 等の様々なデバイス構造が提案され、高性能化、高信頼性化、低コスト化、及び、プロセス整合性という観点から、激しい開発競争が行われている。しかしながら、現状のこれらメモリデバイスには各々一長一短があり、SRAM、DRAM、フラッシュメモリの各利点を併せ持つ「ユニバーサルメモリ」の理想実現には未だ遠い。

【0003】

これら既存技術に対して、電圧パルスを印加することによって可逆的に電気抵抗が変化する可変抵抗素子を用いた抵抗性不揮発性メモリ RRAM (Resistive Random Access Memory) (登録商標) が提案されている。この構成を図 50 に示す。

【0004】

図 50 に示されるように、従来構成の可変抵抗素子は、下部電極 103 と可変抵抗体 102 と上部電極 101 とが順に積層された構造となっており、上部電極 101 及び下部電極 103 間に電圧パルスを印加することにより、抵抗値を可逆的に変化させることができる性質を有する。この可逆的な抵抗変化動作 (以下では「スイッチング動作」という) によって変化する抵抗値を読み出すことによって、新規な不揮発性半導体記憶装置が実現で

10

20

30

40

50

きる構成である。

【0005】

この従来構成の可変抵抗素子としては、例えば、下記特許文献1において、半導体プロセスとの親和性が高く且つ単純な組成からなる2元系酸化物からなる抵抗変化型メモリが開示されている。具体的には、特許文献1には、「データ貯蔵物質層が、異なる電圧で異なる抵抗特性を有し、所定の電圧範囲で抵抗が急激に高くなる遷移金属酸化膜としてNiO、V<sub>2</sub>O<sub>5</sub>、ZnO、Nb<sub>2</sub>O<sub>5</sub>、TiO<sub>2</sub>、WO<sub>3</sub>またはCoOであることを特徴とする不揮発性メモリ装置」が開示されている。

【0006】

また、下記非特許文献1には、上部電極および下部電極と、この2つの電極に挟まれた2元系遷移金属酸化物であるNiO、TiO<sub>2</sub>、ZrO<sub>2</sub>、またはHfO<sub>2</sub>とより構成される、不揮発性抵抗変化メモリ素子の例が報告されている。

10

【0007】

これら特許文献1あるいは非特許文献1に開示されている2元系遷移金属酸化物からなる抵抗変化型メモリは、上述のように、半導体プロセスとの親和性が高く、且つ単純な構造・組成からなり、高集積不揮発メモリに適用し易いという利点がある。

【0008】

【特許文献1】特開2004-363604号公報

【非特許文献1】Baek, I. G. ほか、"Highly Scalable Non-volatile Resistive Memory using Simple Binary Oxide Driven by Asymmetric Unipolar Voltage Pulses" IEDM Technical Digest, pp. 587-590, 2004年

20

【発明の開示】

【発明が解決しようとする課題】

【0009】

上記の各従来技術によれば、素子の構造は、基板上に下部電極、可変抵抗体、上部電極の順に形成された積層構造の可変抵抗素子である。その素子の抵抗変化は、電圧パルス印加条件により、可変抵抗素子に流れ込む電流による熱上昇によって可変抵抗体中に局所的に抵抗率が低下した領域（以下、適宜「フィラメントパス」という）が形成されたり、フィラメントパスが分解されたりすることで、低抵抗や高抵抗となる現象に基づくものであるとされている。そして、スイッチング動作に先立ち、このフィラメントパスを形成すべく、通常のスイッチング動作に用いるよりも大きな電圧を印加する「フォーミングプロセス」と呼ばれる電気的処理が必要となる。

30

【0010】

このフォーミングプロセスは、例えば可変抵抗体がもともとほぼ絶縁体である金属酸化物である場合、通常のスイッチング動作に用いる電圧の数倍から10倍もの大きな電圧を一定時間以上印加しなくてはならない。そして、フォーミングプロセスでは、絶縁体における絶縁破壊に似た現象により電流パスを形成するため、可変抵抗体中において最も電氣的に脆弱であったであろうフィラメントパスの形成場所を限定することはできない。このことが、可変抵抗素子の構造設計を困難にしている。

40

【0011】

また、フォーミングプロセス後の読み出し抵抗値にばらつきがあり、フォーミングプロセス後のフィラメントパスの状態制御はなされていない。フォーミングプロセス後の読み出し抵抗値が異なると、それぞれのスイッチング動作において、低抵抗状態の抵抗値、高抵抗状態の抵抗値、セット動作の電圧条件、リセット動作の電圧条件等が異なり、素子間の電気特性が均一性を欠いてしまう。

【0012】

本発明は上記の問題点に鑑み、フォーミングプロセスによって形成されるフィラメントパスの形成領域を限定することで、スイッチング動作の再現性を高め、構造設計の容易化

50

を可能にする可変抵抗素子を提供することを目的とする。

【課題を解決するための手段】

【0013】

上記目的を達成するための本発明に係る可変抵抗素子は、基板上に、第1電極、第2電極、及び前記両電極の間に形成される可変抵抗体を有し、前記両電極間に電圧パルスを加加することで前記両電極間の電気抵抗が可逆的に変化する可変抵抗素子であって、前記可変抵抗体が、前記第1電極から前記第2電極に向かう方向に延伸する少なくとも一つのシームを有することを特徴とする。

【0014】

本発明に係る可変抵抗素子の上記特徴によれば、可変抵抗体膜内において、第1電極から第2電極に向かう方向に延伸するシームが形成されているため、両電極間に電圧を加加したとき、このシームをフィラメントパスとして利用することができる。すなわち、シームでは可変抵抗体内部（バルク部）に比べて構造欠陥が多いため、電界集中が起こりやすい。このため、フォーミングプロセスを行うべく電圧を加加したとき、電界集中が起こりやすいシーム内あるいはその近傍においてフィラメントパスが容易に形成しやすい状況となる。このため、予め製造時に特定箇所にシームを意図的に形成しておくことで、フォーミングプロセスによって形成されるフィラメントパスの形成領域を特定範囲内に収めることができ、スイッチング動作の再現性を高めることができる。

【0015】

また、前記のとおり、シーム内あるいはその近傍において電界集中が起こりやすい構成であるため、従来構成よりもフォーミングプロセス実行に要する電圧を低電圧化することができる。

【0016】

なお、上記特徴において、シームの形状は線状、環状または離散した点状であっても良い。また、必ずしも第1電極及び第2電極の一方あるいは双方に接触するようにシームが形成される必要はなく、両電極の双方に接触することなく可変抵抗体膜内にシームが形成されていても良い。この場合であっても、フォーミングプロセスを実行することで、シーム形成領域においては、シーム内あるいはその近傍にフィラメントパスが形成されるため、シームが全く形成されていない従来構成と比較してフィラメントパスの形成領域が特定でき、再現性良くスイッチング動作を行うことができる。

【0017】

また、上記可変抵抗体膜としては、Ti, V, Mn, Fe, Co, Ni, Zn, Zr, Nb, Hf, Ta, W等の金属の酸化物または酸窒化物を利用することができる。

【0018】

このとき、前記可変抵抗体膜が局部的に厚膜化している厚膜領域内にシームが形成される構成としても構わない。ここでいう「厚膜領域」とは、可変抵抗体膜の表裏両面（一方の面は少なくとも一部が第1電極と接触し、他方の面は少なくとも一部が第2電極と接触する）の一方の面上において、当該面上の点か他方の面上の点までの最短距離が、堆積膜厚（表裏両面が平行して延在している部分の膜厚）より長くなっている領域を指す。例えば、段差部に形成された可変抵抗体膜においては、段差のコーナ領域に相当し、開口部内を充填されるように形成された可変抵抗体膜においては、当該開口部内の軸心領域に相当する。

【0019】

また、本発明に係る可変抵抗素子は、上記特徴に加えて、少なくとも一つの前記シームが、前記第1電極と前記第2電極との間に電圧が加加されることでフィラメントパスの一部を形成することを別の特徴とする。

【0020】

また、本発明に係る可変抵抗素子は、上記特徴に加えて、前記可変抵抗体が、前記基板面に平行に構成される第1構造部と、下端が前記第1構造部の端部と結合し前記基板面に垂直な方向に構成される第2構造部とを備え、前記第1構造部と前記第2構造部とが結合

10

20

30

40

50

するコーナ領域に前記シームを有することを別の特徴とする。

【0021】

このとき、本発明に係る可変抵抗素子は、上記特徴に加えて、前記第1電極の一部上層に絶縁膜を有し、前記可変抵抗体は、前記第1構造部において、下面が前記第1電極の上面と接触し、上面が前記第2電極の下面と接触し、前記第2構造部において、第1面が前記絶縁膜の側面と接触し、前記第1面と当該可変抵抗体の膜厚を隔てて対向する第2面が前記第2電極の側面と接触するように形成されているものとしても構わない。

【0022】

また、本発明に係る可変抵抗素子は、上記特徴に加えて、前記第1電極と同一層において前記第1電極よりも膜厚が厚い絶縁膜を有し、前記可変抵抗体は、前記第1構造部において、下面が前記第1電極の上面と接触し、上面が前記第2電極の下面と接触し、前記第2構造部において、第1面が前記絶縁膜の側面と接触し、前記第1面と当該可変抵抗体の膜厚を隔てて対向する第2面が前記第2電極の側面と接触するように形成されているものとしても構わない。

【0023】

このとき、前記可変抵抗体が、前記基板面に平行に構成され前記第1構造部より高さ位置が高く、端部において前記第2構造部の上端と結合する第3構造部を備え、前記第3構造部において、下面が前記絶縁膜の上面と接触し、上面が前記第2電極の下面と接触するように形成されているものとしても構わない。

【0024】

また、本発明に係る可変抵抗素子は、上記特徴に加えて、前記第1電極は、形成膜厚が異なる領域を有することで段差を有する構成であり、前記可変抵抗体は、前記第1構造部において、下面が前記第1電極の上面と接触し、上面が前記第2電極の下面と接触し、前記第2構造部において、第1面が前記第1電極の側面と接触し、前記第1面と当該可変抵抗体の膜厚を隔てて対向する第2面が前記第2電極の側面と接触するように形成されているものとしても構わない。

【0025】

また、本発明に係る可変抵抗素子は、上記特徴に加えて、形成膜厚が異なる領域を有することで段差を有する絶縁膜を備え、前記第1電極が、前記絶縁膜上に形成されることで最上位面に高さ位置の差異を有した状態で形成されており、前記可変抵抗体は、前記第1構造部において、下面が前記第1電極の上面と接触し、上面が前記第2電極の下面と接触し、前記第2構造部において、第1面が前記第1電極の側面と接触し、前記第1面と当該可変抵抗体の膜厚を隔てて対向する第2面が前記第2電極の側面と接触するように形成されているものとしても構わない。

【0026】

また、本発明に係る可変抵抗素子は、上記特徴に加えて、絶縁膜を備え、前記第1電極が前記絶縁膜の一部上層に形成されており、前記可変抵抗体は、前記第1構造部において、下面が前記絶縁膜の上面と接触し、上面が前記第2電極の下面と接触し、前記第2構造部において、第1面が前記第1電極の側面と接触し、前記第1面と当該可変抵抗体の膜厚を隔てて対向する第2面が前記第2電極の側面と接触するように形成されているものとしても構わない。

【0027】

また、本発明に係る可変抵抗素子は、上記特徴に加えて、前記第1電極と同一層において前記第1電極よりも膜厚が薄い絶縁膜を有し、前記可変抵抗体は、前記第1構造部において、下面が前記絶縁膜の上面と接触し、上面が前記第2電極の下面と接触し、前記第2構造部において、第1面が前記第1電極の側面と接触し、前記第1面と当該可変抵抗体の膜厚を隔てて対向する第2面が前記第2電極の側面と接触するように形成されているものとしても構わない。

【0028】

このとき、前記可変抵抗体が、前記基板面に平行に構成され前記第1構造部より高さ位

10

20

30

40

50

置が高く、端部において前記第 2 構造部の上端と結合する第 3 構造部を備え、前記第 3 構造部において、下面が前記第 1 電極の上面と接触し、上面が前記第 2 電極の下面と接触するように形成されているものとしても構わない。

【0029】

さらに、本発明に係る可変抵抗素子は、上記特徴に加えて、前記第 2 構造部が、前記基板面に平行な断面が環状に形成されるとともに、当該第 2 構造部の内側において下端と前記第 1 構造部の端部とが結合する構成としても構わない。

【0030】

このとき、本発明に係る可変抵抗素子は、前記第 1 電極の一部上層に絶縁膜を備え、前記可変抵抗体は、前記第 1 構造部において、下面が前記第 1 電極の上面と接触し、上面が前記第 2 電極の下面と接触し、前記第 2 構造部において、外側面が前記絶縁膜の側面と接触し、前記外側面と当該可変抵抗体の膜厚を隔てて対向する内側面が前記第 2 電極の側面と接触するように形成されているものとしても構わない。

10

【0031】

また、本発明に係る可変抵抗素子は、上記特徴に加えて、前記第 1 電極と同一層において前記第 1 電極よりも膜厚が厚い絶縁膜を有し、前記可変抵抗体は、前記第 1 構造部において、下面が前記第 1 電極の上面と接触し、上面が前記第 2 電極の下面と接触し、前記第 2 構造部において、外側面が前記絶縁膜の側面と接触し、前記外側面と当該可変抵抗体の膜厚を隔てて対向する内側面が前記第 2 電極の側面と接触するように形成されているものとしても構わない。

20

【0032】

このとき、本発明に係る可変抵抗素子は、前記可変抵抗体が、前記基板面に平行に構成され前記第 1 構造部より高さ位置が高く、前記第 2 構造部の外側において端部が前記第 2 構造部の上端と結合する第 3 構造部を備え、前記第 3 構造部において、下面が前記絶縁膜の上面と接触し、上面が前記第 2 電極の下面と接触するように形成されているものとしても構わない。

【0033】

また、本発明に係る可変抵抗素子は、上記特徴に加えて、前記第 1 電極は、形成膜厚が異なる領域を有することで段差を有する構成であり、前記可変抵抗体は、前記第 1 構造部において、下面が前記第 1 電極の上面と接触し、上面が前記第 2 電極の下面と接触し、前記第 2 構造部において、外側面が前記第 1 電極の側面と接触し、前記外側面と当該可変抵抗体の膜厚を隔てて対向する内側面が前記第 2 電極の側面と接触するように形成されているものとしても構わない。

30

【0034】

また、本発明に係る可変抵抗素子は、上記特徴に加えて、形成膜厚が異なる領域を有することで段差を有する絶縁膜を備え、前記第 1 電極が、前記絶縁膜上に形成されることで最上位面に高さ位置の差異を有した状態で形成されており、前記可変抵抗体は、前記第 1 構造部において、下面が前記第 1 電極の上面と接触し、上面が前記第 2 電極の下面と接触し、前記第 2 構造部において、外側面が前記第 1 電極の側面と接触し、前記外側面と当該可変抵抗体の膜厚を隔てて対向する内側面が前記第 2 電極の側面と接触するように形成されているものとしても構わない。

40

【0035】

また、本発明に係る可変抵抗素子は、上記特徴に加えて、絶縁膜を備え、前記第 1 電極が前記絶縁膜の一部上層に形成されており、前記可変抵抗体は、前記第 1 構造部において、下面が前記絶縁膜の上面と接触し、上面が前記第 2 電極の下面と接触し、前記第 2 構造部において、外側面が前記第 1 電極の側面と接触し、前記外側面と当該可変抵抗体の膜厚を隔てて対向する内側面が前記第 2 電極の側面と接触するように形成されているものとしても構わない。

【0036】

また、本発明に係る可変抵抗素子は、上記特徴に加えて、前記第 1 電極と同一層におい

50

て前記第 1 電極よりも膜厚が薄い絶縁膜を有し、前記可変抗体は、前記第 1 構造部において、下面が前記絶縁膜の上面と接触し、上面が前記第 2 電極の下面と接触し、前記第 2 構造部において、外側面が前記第 1 電極の側面と接触し、前記外側面と当該可変抗体の膜厚を隔てて対向する内側面が前記第 2 電極の側面と接触するように形成されているものとしても構わない。

【0037】

このとき、本発明に係る可変抵抗素子は、前記可変抗体が、前記基板面に平行に構成され前記第 1 構造部より高さ位置が高く、前記第 2 構造部の外側において端部が前記第 2 構造部の上端と結合する第 3 構造部を備え、前記第 3 構造部において、下面が前記第 1 電極の上面と接触し、上面が前記第 2 電極の下面と接触するように形成されているものとしても構わない。

10

【0038】

また、本発明に係る可変抵抗素子は、上記特徴に加えて、前記可変抗体が、少なくとも外側面が同一の材料膜で囲まれた埋め込み領域内に埋め込まれて形成され、前記埋め込み領域内において高さ方向に延伸する前記シームを有する構成であって、前記材料膜が、前記第 1 電極または絶縁膜で構成されているものとしても構わない。

【0039】

このとき、さらに本発明に係る可変抵抗素子は、前記第 1 電極の一部上層に前記絶縁膜を備え、前記可変抗体は、前記埋め込み領域内において、下面が前記絶縁膜の上面と接触し、前記外側面が前記絶縁膜の側面と接触するように形成されているものとしても構わない。

20

【0040】

また、本発明に係る可変抵抗素子は、上記特徴に加えて、前記第 1 電極は、形成膜厚が異なる領域を有することで段差を有する構成であり、前記可変抗体は、前記埋め込み領域内において、下面が前記第 1 電極の上面と接触し、前記外側面が前記第 1 電極の側面と接触するように形成されているものとしても構わない。

【0041】

このとき、本発明に係る可変抵抗素子は、前記可変抗体が、前記埋め込み領域の外側に係る埋め込み外領域内において、前記埋め込み領域内に形成されている当該可変抗体と連結し、且つ前記埋め込み領域内の最下面よりも最下面の高さ位置が高くなるように形成されており、前記埋め込み外領域内において、下面が前記絶縁膜の上面と接触し、上面が前記第 2 電極の下面と接触する構成としても構わない。

30

【0042】

また、本発明に係る可変抵抗素子は、上記特徴に加えて、前記第 1 電極は、形成膜厚が異なる領域を有することで段差を有する絶縁膜を備え、前記第 1 電極が、前記絶縁膜上に形成されることで最上位面に高さ位置の差異を有した状態で形成されており、前記可変抗体は、前記埋め込み領域内において、下面が前記第 1 電極の上面と接触し、前記外側面が前記第 1 電極の側面と接触するように形成されている厚が異なる領域を有することで段差を有する構成であり、前記可変抗体は、前記埋め込み領域内において、下面が前記第 1 電極の上面と接触し、前記外側面が前記第 1 電極の側面と接触するように形成されているものとしても構わない。

40

【0043】

なお、ここで前記埋め込み領域内の可変抗体の形状は、柱状に限られるものではなく、例えば底面に行くほど基板面に平行な断面積が縮小する錐体状であっても構わないし、その他の形状であっても良い。

【0044】

また、本発明に係る可変抵抗素子は、前記可変抗体が、前記埋め込み領域の外側に係る埋め込み外領域内において、前記埋め込み領域内に形成されている当該可変抗体と連結し、且つ前記埋め込み領域内の最下面よりも最下面の高さ位置が高くなるように形成されており、前記埋め込み外領域内において、下面が前記第 1 電極の上面と接触し、上面が

50

前記第 2 電極の下面と接触するものとしても構わない。

【0045】

また、本発明に係る可変抵抗素子の製造方法は、前記基板上にシーム形成用段差を形成する段差形成工程と、その後に、前記可変抵抗体を形成する可変抵抗体形成工程と、その後に、前記第 2 電極を形成する第 2 電極形成工程と、を有し、前記段差形成工程が、前記第 1 電極を形成する工程を含み、前記第 1 電極を形成することで、前記基板面に平行な第 1 上面、前記基板面に平行に構成され前記第 1 上面より高さ位置の低い第 2 上面、並びに上端が前記第 1 上面の端部と結合し下端が前記第 2 上面の端部と結合することで前記第 1 上面と前記第 2 上面とを前記基板面に垂直な方向に連絡する中間面を有するとともに少なくとも前記第 2 上面または前記中間面のいずれか一方の面が前記第 1 電極で構成された前記シーム形成用段差を形成する工程であり、前記可変抵抗体形成工程が、全面に可変抵抗体膜をスパッタリング法によって成膜するか、もしくは、全面に所定の材料膜をスパッタリング法によって成膜した後に酸化処理を行って可変抵抗体膜を形成することで、前記可変抵抗体膜が前記第 2 上面に接触する前記第 1 構造部、及び前記可変抵抗体膜が前記中間面に接触する前記第 2 構造部を含む前記可変抵抗体を形成するとともに、前記第 1 構造部と前記第 2 構造部とが結合する前記コーナ領域に係る前記可変抵抗体内に前記シームを形成する工程であり、前記第 2 電極形成工程が、前記シームが形成された前記可変抵抗体膜の上面に前記第 2 電極を形成する工程であることを特徴とする。

10

【0046】

本発明に係る可変抵抗素子の製造方法の上記特徴によれば、段差形成工程において第 2 上面または中間面が第 1 電極で構成されるシーム形成用段差が形成された後、可変抵抗体膜を全面に成膜する。そして、このときシームが形成されないような措置を施すことなく可変抵抗体膜を成膜することが肝要である。これにより、可変抵抗体膜が第 1 電極に接触しながらも、第 2 上面から成長する可変抵抗体膜と中間面から成長する可変抵抗体膜とが結合するコーナ領域において、第 2 上面と中間面が結合する領域すなわち第 1 電極の形成側領域から第 2 上面の上方に向かう方向に延伸するシームを意図的に形成することができる。そして、このシームが形成された可変抵抗体膜の上面に第 2 電極を形成することで、第 1 電極と第 2 電極に挟持され、内部にシームを有する可変抵抗体を備える可変抵抗素子を製造することができる。

20

【0047】

なお、上記可変抵抗体膜としては、Ti, V, Mn, Fe, Co, Ni, Zn, Zr, Nb, Hf, Ta, W等の金属の酸化物または酸窒化物を利用することができる。このとき、可変抵抗体形成工程では、金属酸化物または酸窒化物で構成される前記可変抵抗体膜をそのまま成膜する構成としても構わないし、金属膜または金属窒化物膜を成膜した後に酸化処理を施して上記可変抵抗体膜を形成するものとしても構わない。

30

【0048】

また、本発明に係る可変抵抗素子の製造方法は、上記特徴に加えて、前記段差形成工程において、前記基板上に前記第 1 電極を形成し、その後に、前記第 1 電極の上面に絶縁膜を成膜した後、前記絶縁膜に対して前記第 1 電極の一部上面が露出するまでエッチングを施すことで、前記絶縁膜で構成された前記第 1 上面及び前記中間面、並びに前記第 1 電極で構成された前記第 2 上面を有する前記シーム形成用段差を形成するものとしても構わない。

40

【0049】

また、本発明に係る可変抵抗素子の製造方法は、上記特徴に加えて、前記段差形成工程において、前記基板上の一部領域に前記第 1 電極を、前記基板上の前記第 1 電極の形成外領域に前記第 1 電極より膜厚の厚い絶縁膜を形成することで、前記絶縁膜で構成された前記第 1 上面及び前記中間面、並びに前記第 1 電極で構成された前記第 2 上面を有する前記シーム形成用段差を形成するものとしても構わない。

【0050】

また、本発明に係る可変抵抗素子の製造方法は、上記特徴に加えて、前記段差形成工程

50

において、前記基板上に前記第 1 電極を構成する電極膜を成膜し、その後に、一部領域に係る前記電極膜に対してエッチングを施すことで、前記第 1 上面、前記中間面、及び前記第 2 上面が全て前記第 1 電極で構成された前記シーム形成用段差を形成するものとしても構わない。

【 0 0 5 1 】

また、本発明に係る可変抵抗素子の製造方法は、上記特徴に加えて、前記段差形成工程において、前記基板上に絶縁膜を成膜した後、一部領域にエッチングを施すことで前記絶縁膜に段差を形成し、その後に、前記段差が形成された前記絶縁膜の上面全面に前記第 1 電極を構成する電極膜を成膜することで、前記第 1 上面、前記中間面、及び前記第 2 上面が全て前記第 1 電極で構成された前記シーム形成用段差を形成するものとしても構わない。

10

【 0 0 5 2 】

また、本発明に係る可変抵抗素子の製造方法は、上記特徴に加えて、前記段差形成工程において、前記基板上に絶縁膜を形成し、その後に、前記絶縁膜の上面に前記第 1 電極を構成する電極膜を成膜した後、前記電極膜に対して前記絶縁膜の一部上面が露出するまでエッチングを施して前記第 1 電極を形成することで、前記第 1 電極で構成された前記第 1 上面及び前記中間面、並びに前記絶縁膜で構成された前記第 2 上面を有する前記シーム形成用段差を形成するものとしても構わない。

【 0 0 5 3 】

また、本発明に係る可変抵抗素子の製造方法は、上記特徴に加えて、前記段差形成工程において、前記基板上の一部領域に前記第 1 電極を形成するとともに、前記基板上の前記第 1 電極形成外領域に前記第 1 電極より膜厚の薄い絶縁膜を形成することで、前記第 1 電極で構成された前記第 1 上面及び前記中間面、並びに前記絶縁膜で構成された前記第 2 上面を有する前記シーム形成用段差を形成するものとしても構わない。

20

【 0 0 5 4 】

また、本発明に係る可変抵抗素子の製造方法は、前記基板上にシーム形成用開口部を形成する開口部形成工程と、その後に、前記可変抵抗体を形成する可変抵抗体形成工程と、その後に、前記第 2 電極を形成する第 2 電極形成工程と、を有し、前記開口部形成工程が、前記第 1 電極を形成する工程を含み、前記第 1 電極を形成することで、前記基板面に平行な断面が環状に形成された露出内側面、前記露出内側面の外側において前記露出内側面の上端と端部が結合する第 1 上面、並びに前記露出内側面の内側において前記露出内側面の下端と端部が結合する露出底面を有するとともに、少なくとも前記露出内側面または前記露出底面のいずれか一方の面が前記第 1 電極で構成された前記シーム形成用開口部を形成する工程であり、前記可変抵抗体形成工程が、全面に可変抵抗体膜をスパッタリング法によって成膜するか、もしくは、全面に所定の材料膜をスパッタリング法によって成膜した後、酸化処理を行って前記シーム形成用開口部内を完全には充填しない膜厚条件下で可変抵抗体膜を形成することで、前記可変抵抗体膜が前記露出底面に接触する前記第 1 構造部、及び前記可変抵抗体膜が前記露出内側面に接触する前記第 2 構造部を含む前記可変抵抗体を形成するとともに、前記第 1 構造部と前記第 2 構造部とが結合する前記コーナ領域に係る前記可変抵抗体内に前記シームを形成する工程であり、前記第 2 電極形成工程が、前記シームが形成された前記可変抵抗体膜の上面に前記第 2 電極を形成する工程であることを特徴とする。

30

40

【 0 0 5 5 】

本発明に係る可変抵抗素子の製造方法の上記特徴によれば、開口部形成工程において露出内側面または露出底面が第 1 電極で構成されるシーム形成用開口部が形成された後、シーム形成用開口部内を完全には充填しない膜厚条件下で可変抵抗体膜を全面に成膜する。このときシームが形成されないような措置を施すことなく可変抵抗体膜を成膜することが肝要である。これにより、可変抵抗体膜が第 1 電極に接触しながらも、露出底面から成長する可変抵抗体膜と露出内側面から成長する可変抵抗体膜とが結合するコーナ領域において、露出底面と露出内側面が結合する領域すなわち第 1 電極の形成側領域から露出底面の

50



上方に向かう方向に延伸するシームを意図的に形成することができる。そして、このシームが形成された可変抵抗体膜の上面に第2電極を形成することで、第1電極と第2電極に挟持され、内部にシームを有する可変抵抗体を備える可変抵抗素子を製造することができる。

【0056】

なお、上記可変抵抗体膜としては、Ti, V, Mn, Fe, Co, Ni, Zn, Zr, Nb, Hf, Ta, W等の金属の酸化物または酸窒化物を利用することができる。このとき、可変抵抗体形成工程では、金属酸化物または酸窒化物で構成される前記可変抵抗体膜をそのまま成膜する構成としても構わないし、金属膜または金属窒化物膜を成膜した後に酸化処理を施して上記可変抵抗体膜を形成するものとしても構わない。

10

【0057】

また、本発明に係る可変抵抗素子の製造方法は、上記特徴に加えて、前記開口部形成工程において、前記基板上に前記第1電極を形成し、その後に、前記第1電極の上面に絶縁膜を成膜した後、前記絶縁膜に対して前記第1電極の一部上面が露出するまでエッチングを施すことで、前記絶縁膜で構成された前記第1上面及び前記露出内側面、並びに前記第1電極で構成された前記露出底面を有する前記シーム形成用開口部を形成するものとしても構わない。

【0058】

また、本発明に係る可変抵抗素子の製造方法は、上記特徴に加えて、前記開口部形成工程において、前記基板上の一部領域に前記第1電極を、前記基板上の前記第1電極の形成領域の外周部に前記第1電極より膜厚の厚い絶縁膜を形成することで、前記絶縁膜で構成された前記第1上面及び前記露出内側面、並びに前記第1電極で構成された前記露出底面を有する前記シーム形成用開口部を形成するものとしても構わない。

20

【0059】

また、本発明に係る可変抵抗素子の製造方法は、上記特徴に加えて、前記開口部形成工程において、前記基板上に前記第1電極を構成する電極膜を成膜し、その後に、一部領域に係る前記電極膜に対してエッチングを施すことで、前記第1上面、前記露出内側面、及び前記露出底面が全て前記第1電極で構成された前記シーム形成用開口部を形成するものとしても構わない。

【0060】

30

また、本発明に係る可変抵抗素子の製造方法は、上記特徴に加えて、前記開口部形成工程において、前記基板上に絶縁膜を成膜した後、一部領域にエッチングを施すことで前記絶縁膜に開口部を形成し、その後に、前記開口部が形成された前記絶縁膜の上面全面に前記開口部を充填しない範囲内の膜厚で前記第1電極を構成する電極膜を成膜することで前記第1電極を形成するとともに、前記第1上面、前記露出内側面、及び前記露出底面が全て前記第1電極で構成された前記シーム形成用開口部を形成するものとしても構わない。

【0061】

また、本発明に係る可変抵抗素子の製造方法は、上記特徴に加えて、前記開口部形成工程において、前記基板上に絶縁膜を形成し、その後に、前記絶縁膜の上面に前記第1電極を構成する電極膜を成膜した後、前記電極膜に対して前記絶縁膜の一部上面が露出するまでエッチングを施して前記第1電極を形成することで、前記第1電極で構成された前記第1上面及び前記露出内側面、並びに前記絶縁膜で構成された前記露出底面を有する前記シーム形成用開口部を形成するものとしても構わない。

40

【0062】

また、本発明に係る可変抵抗素子の製造方法は、上記特徴に加えて、前記開口部形成工程において、前記基板上の一部領域に絶縁膜を、前記基板上の前記絶縁膜の形成領域の外周部に前記絶縁膜より膜厚の厚い前記第1電極を形成することで、前記第1電極で構成された前記第1上面及び前記露出内側面、並びに前記絶縁膜で構成された前記露出底面を有する前記シーム形成用開口部を形成するものとしても構わない。

【0063】

50

また、本発明に係る可変抵抗素子の製造方法は、前記基板上にシーム形成用開口部を形成する開口部形成工程と、その後に、前記可変抵抗体を形成する可変抵抗体形成工程と、その後に、前記第２電極を形成する第２電極形成工程と、を有し、前記開口部形成工程が、前記第１電極を形成する工程を含み、前記第１電極を形成することで、前記基板面に平行な断面が環状に形成された露出内側面、前記露出内側面の外側において前記露出内側面の上端と端部が結合する第１上面、並びに前記露出内側面の内側において前記露出内側面の下端と端部が結合する露出底面を有するとともに、少なくとも前記露出内側面か前記露出底面のいずれか一の面が前記第１電極で構成された前記シーム形成用開口部を形成する工程であり、前記可変抵抗体形成工程が、全面に可変抵抗体膜をＣＶＤ法によって成膜するか、もしくは、全面に所定の材料膜をＣＶＤ法によって成膜した後に酸化処理を行って、前記シーム形成用開口部内において内側に開口部が残存しない膜厚条件下で前記可変抵抗体膜を形成することで、前記露出内側面を構成する材料膜で側面を囲まれた前記埋め込み領域内に前記可変抵抗体を形成するとともに、前記埋め込み領域に係る前記可変抵抗体内に高さ方向に延伸する前記シームを形成する工程であり、前記第２電極形成工程が、前記シームが形成された前記可変抵抗体膜の上面に前記第２電極を形成する工程であることを特徴とする。

10

**【００６４】**

本発明に係る可変抵抗素子の製造方法の上記特徴によれば、開口部形成工程において露出内側面または露出底面が第１電極で構成されるシーム形成用開口部が形成された後、前記シーム形成用開口部内において内側に開口部が残存しない膜厚条件下で可変抵抗体膜を全面に成膜する。そして、このときシームが形成されないような措置を施すことなく可変抵抗体膜を成膜することが肝要である。これにより、前記シーム形成用開口部の内側壁の最外面から内側に成長する可変抵抗体膜が結合する領域、すなわち、前記最外面に囲まれた領域のほぼ中央領域（軸心近傍）において高さ方向に延伸するシームを意図的に形成することができる。そして、このシームが形成された可変抵抗体膜の上面に第２電極を形成することで、第１電極と第２電極に挟持され、内部にシームを有する可変抵抗体を備える可変抵抗素子を製造することができる。

20

**【００６５】**

なお、上記可変抵抗体膜としては、Ti, V, Mn, Fe, Co, Ni, Zn, Zr, Nb, Hf, Ta, W等の金属の酸化物または酸窒化物を利用することができる。このとき、可変抵抗体形成工程では、金属酸化物または酸窒化物で構成される前記可変抵抗体膜をそのまま成膜する構成としても構わないし、金属膜または金属窒化物膜を成膜した後に酸化処理を施して上記可変抵抗体膜を形成するものとしても構わない。

30

**【００６６】**

また、本発明に係る可変抵抗素子の製造方法は、上記特徴に加えて、前記開口部形成工程において、前記基板上に前記第１電極を形成し、その後に、前記第１電極の上面に絶縁膜を成膜した後、前記絶縁膜に対して前記第１電極の一部上面が露出するまでエッチングを施すことで、前記絶縁膜で構成された前記第１上面及び前記露出内側面、並びに前記第１電極で構成された前記露出底面を有する前記シーム形成用開口部を形成するものとしても構わない。

40

**【００６７】**

また、本発明に係る可変抵抗素子の製造方法は、上記特徴に加えて、前記開口部形成工程において、前記基板上に前記第１電極を構成する電極膜を成膜し、その後に、一部領域に係る前記電極膜に対してエッチングを施すことで、前記第１上面、前記露出内側面、及び前記露出底面が全て前記第１電極で構成された前記シーム形成用開口部を形成するものとしても構わない。

**【００６８】**

また、本発明に係る可変抵抗素子の製造方法は、上記特徴に加えて、前記開口部形成工程において、前記基板上に絶縁膜を成膜した後、一部領域にエッチングを施すことで前記絶縁膜に開口部を形成し、その後に、前記開口部が形成された前記絶縁膜の上面全面に、

50

前記開口部を充填しない範囲内の膜厚で前記第 1 電極を構成する電極膜を成膜することで前記第 1 電極を形成するとともに、前記第 1 上面、前記露出内側面、及び前記露出底面が全て前記第 1 電極で構成された前記シーム形成用開口部を形成するものとしても構わない。

#### 【0069】

なお、上記特徴を有する可変抵抗素子の製造方法において、前記開口部形成工程で形成される前記開口部は、必ずしも内側面が基板面に垂直な方向に形成される筒状に限られるものではなく、例えば上面に行くほど基板面に平行な断面積が拡大する錐体状であっても構わないし、その他の形状であっても良い。

#### 【0070】

また、本発明に係る可変抵抗素子の駆動方法は、前記第 1 電極と前記第 2 電極との間に電圧を印加することで、少なくとも前記シームを介して前記可変抵抗体内にフィラメントパスを形成することを特徴とする。

#### 【0071】

本発明に係る可変抵抗素子の駆動方法によれば、可変抵抗体内にシームが形成された可変抵抗素子に対して電圧印加を行ってフィラメントパスが形成されるため、可変抵抗体内においてシームそのものまたはシーム形成領域近傍においてフィラメントパスが形成される。これにより、フィラメントパスを特定の領域内に形成することができ、スイッチング動作の再現性を高めることができる。また、シームを介してフィラメントパスを形成するため、フィラメントパスを形成するために必要な印加電圧を低くすることができる。

#### 【発明の効果】

#### 【0072】

本発明の可変抵抗素子によれば、フォーミングプロセスによって形成されるフィラメントパスの形成領域が限定される。これにより、製造される各可変抵抗素子間のスイッチング動作の再現性が高まるため、構造設計を容易化することができる。また、フォーミングプロセス時に可変抵抗体内においてシームが形成されているため、従来構成と比べてフォーミングプロセス時に必要な印加電圧を低電圧化することができる。

#### 【発明を実施するための最良の形態】

#### 【0073】

以下において、本発明に係る可変抵抗素子及びその製造方法、並びにその駆動方法の各実施形態について図面を参照して説明する。

#### 【0074】

##### [ 第 1 実施形態 ]

本発明に係る可変抵抗素子及びその製造方法、並びにその駆動方法の第 1 実施形態（以下、適宜「本実施形態」という）につき、図 1 ～ 図 3 の各図を参照して説明する。なお、以下の各図面は、あくまで模式的に図示されたものであり、図面上の寸法比と実際の寸法比は必ずしも一致するものではない。また、各工程で堆積させる各膜の膜厚の数値はあくあまで一例であって、この値に限定されるものではない。以下の各実施形態においても同様とする。

#### 【0075】

図 1 は、本実施形態における可変抵抗素子の製造方法を示す工程断面図であり、また図 2 は、該製造方法における工程手順を示すフローチャートであり、以下の文中の各ステップ # 1 ～ # 5 は図 2 内の各ステップを表す。

#### 【0076】

まず、図 1 ( a ) に示すように、トランジスタ回路等（図示せず）を適宜形成した半導体基板 1 1 上に導電性材料膜 1 3（例えば Pt 膜）をスパッタ法にて約 100 nm 程度の膜厚で全面に堆積する（ステップ # 1）。本ステップ # 1 によって第 1 電極 1 3 が形成される。

#### 【0077】

次に、絶縁性材料膜（例えば SiO<sub>2</sub> 膜）1 4 を CVD 法（Chemical Vap

10

20

30

40

50

or Deposition) 法にて約 300 nm 程度の膜厚で全面に堆積する (ステップ # 2)。その後、公知のフォトリソグラフィ技術によって形成したレジストをマスクに、公知のエッチング技術によって、第 1 電極 13 の一部上面が露出するまで SiO<sub>2</sub> 膜 14 をパターニングする (ステップ # 3)。本ステップ # 3 によって、図 1 (b) に示すように、SiO<sub>2</sub> 膜 14 (以下、適宜「絶縁膜 14」という) の上面及び側面、並びに第 1 電極 13 の露出した上面によって段差部 22 が形成される。図 3 は、ステップ # 3 終了後の平面模式図であり、W-W' 断面が、図 1 (b) に相当する。

【0078】

次に、図 1 (c) に示すように、段差部 22 が形成されている状態の下で、可変抵抗体膜 15 (例えば CoO 膜) をスパッタ法にて約 100 nm 程度の膜厚で全面に堆積する (ステップ # 4)。本ステップ # 4 によって、段差部 22 で、絶縁膜 14 の側面と、露出した第 1 電極 13 の上面のそれぞれから成長する可変抵抗体膜としての CoO 膜 15 が接合する部分において、シーム 32 が形成される。

【0079】

次に、図 1 (d) に示すように、シーム 32 が形成された可変抵抗体膜 15 の上面全面に導電性材料膜 16 (例えば Pt 膜) をスパッタ法にて約 100 nm 程度の膜厚で堆積する (ステップ # 5)。本ステップ # 5 によって第 2 電極 16 が形成される。

【0080】

本実施形態によれば、ステップ # 4 に係る可変抵抗体膜成膜工程の直前において、既に段差部 22 (シーム形成用段差に相当) が形成されている。この段差部 22 は、基板 11 の基板面に平行な第 1 上面、基板面に平行に構成され前記第 1 上面より高さ位置の低い第 2 上面、並びに上端が前記第 1 上面の端部と結合し下端が前記第 2 上面の端部と結合することで前記第 1 上面と前記第 2 上面とを前記基板面に垂直な方向に連絡する中間面によって構成されている。そして、このうち、絶縁膜 14 の上面によって前記第 1 上面が構成され、絶縁膜 14 の側面によって前記中間面が構成され、第 1 電極 13 の露出した上面によって前記第 2 上面が構成される。

【0081】

このような状態の下で、可変抵抗体膜としての CoO 膜を成膜することで、中間面 (絶縁膜 14 の側面) から成長する膜と、第 2 上面 (第 1 電極 13 の露出した上面) から成長する膜が接合する領域において、成長膜同士が重なり合うことでシーム 32 が形成される。このシーム 32 は、図 1 (c) に示すように、前記中間面と前記第 2 上面とが結合するコーナ領域から、露出した第 1 電極 13 の上面の上方に向かう方向に延伸する。

【0082】

そして、本発明の特徴として、このシーム 32 をそのまま残存させたまま、ステップ # 5 に係る第 2 電極形成工程を実行する。すなわち、第 2 電極 16 が形成された時点において、依然として可変抵抗体膜 15 内にはシーム 32 が形成されたままの状態となっている。また、前記のように、シーム 32 は、第 1 電極 13 と絶縁膜 14 によって挟まれたコーナ領域に形成されているところ、第 1 電極 13 から第 2 電極 16 に向かう方向に延伸するように形成されることとなる。

【0083】

このようにシーム 32 が可変抵抗体膜 15 内に形成されたままの状態、第 1 電極 13 と第 2 電極 16 の間に電圧パルスを印加した場合、シーム 32 では、バルクの可変抵抗体膜 15 に比べ構造欠陥が多いため電界集中が起こり易い。このため、フォーミングプロセスを行うべく電圧を印加したとき、電界集中が起こりやすいシーム内あるいはその近傍においてフィラメントパスが容易に形成しやすい状況となる。このため、予め製造時に特定箇所にシーム 32 を意図的に形成しておくことで、フォーミングプロセスによって形成されるフィラメントパスの形成領域を特定範囲内に収めることができ、スイッチング動作の再現性を高めることができる。さらに、シーム 32 内あるいはその近傍において電界集中が起こりやすい構成であるため、従来構成よりもフォーミングプロセス実行に要する電圧を低電圧化することができる。

10

20

30

40

50

## 【 0 0 8 4 】

また、シーム 3 2 は、必ずしも第 1 電極 1 3 と第 2 電極 1 6 の両者に接触するように形成される必要はなく、一方の電極のみに接触して形成されるものとしても構わないし、両電極に接触せず可変抵抗体 1 3 内に形成されるものとしても構わない。少なくとも可変抵抗体 1 3 内にシーム 3 2 が形成されていれば、当該シーム 3 2 形成領域においてフィラメントパスが容易に形成しやすくなるため、フィラメントパスの形成領域を特定することができるという効果を奏する。

## 【 0 0 8 5 】

なお、本実施形態において、第 1 電極 1 3 と第 2 電極 1 6 をともに P t 膜としたが、電極としての機能を果たす材料であれば、P t 膜には限られず、例えば、A l や T i N 等の他の導電性材料（金属を含む）であっても構わない。また、半導体基板 1 1 と第 1 電極 1 3 の間、および、可変抵抗体 1 5 と第 2 電極の間には、密着層として、例えば、T i などを用いてもよい。以下の各実施形態においても同様とする。

10

## 【 0 0 8 6 】

また、絶縁膜 1 4 を本実施形態では S i O<sub>2</sub> 膜としたが、この絶縁体層は S i O<sub>2</sub> 膜に限られたものではなく、S i N 膜、S i O N 膜、S i O F 膜、S i O C 膜等の耐酸化性を有する任意の適切な絶縁膜を用いることが可能である。さらに、ステップ # 2 では、絶縁膜 1 4 を C V D 法で堆積するものとしたが、パルス化レーザ堆積、r f - スパッタリング、電子ビーム蒸発、熱蒸発、スピンオン堆積等の任意の適切な堆積技術を用いて堆積することも可能である。以下の各実施形態においても、特に断らない限り同様とする。

20

## 【 0 0 8 7 】

また、本実施形態において P t 膜 1 3 を成膜する下地となる半導体基板 1 1 はトランジスタ回路等が適宜形成されているものとしたが、必ずしも当該回路が形成されている必要はない。以下の各実施形態においても同様とする。

## 【 0 0 8 8 】

さらに、本実施形態では、可変抵抗体膜 1 5 として C o O 膜を用いているが、可変抵抗性を示す材料であれば C o O に限られるものではなく、例えば、T i、V、M n、F e、C o、N i、Z n、Z r、N b、H f、T a、W 等の金属の酸化物または酸窒化物を利用するものとしても構わない。以下の各実施形態においても同様とする。

## 【 0 0 8 9 】

30

なお、本実施形態では、ステップ # 4 に係る可変抵抗体膜成膜工程において、可変抵抗体膜としての C o O 膜を成膜するものとしたが、C o 膜を全体に堆積した後、酸化処理を施すことで C o O 膜を形成するものとしても構わない。このとき、堆積する材料膜は、可変抵抗体膜 1 5 として形成する材料に応じて適宜選択可能である。以下の各実施形態においても同様とする。

## 【 0 0 9 0 】

また、特に段差部 2 2 の高さを 1 0 0 n m 以上とし、ステップ # 4 に係る可変抵抗体膜成膜工程において、この段差部 2 2 がスパッタターゲットに対して背面位置となるような位置関係でスパッタを実行することで、より大きなシーム 3 2 を形成することが可能となる。以下の第 2 ~ 第 1 2 実施形態においても同様とする。

40

## 【 0 0 9 1 】

## [ 第 2 実施形態 ]

本発明に係る可変抵抗素子及びその製造方法、並びにその駆動方法の第 2 実施形態（以下、適宜「本実施形態」という）につき、図 4 ~ 図 5 の各図を参照して説明する。

## 【 0 0 9 2 】

図 4 は、本実施形態における可変抵抗素子の製造方法を示す工程断面図である。また、図 5 は、該製造方法における工程手順を示すフローチャートであり、以下の文中の各ステップ # 1 1 ~ # 1 7 は図 5 内の各ステップを表す。なお、第 1 実施形態と同一の構成要素には同一の符号を付している。

## 【 0 0 9 3 】

50

まず、トランジスタ回路等（図示せず）を適宜形成した半導体基板 11 上に絶縁性材料膜（例えば  $\text{SiO}_2$  膜）14 を堆積する（ステップ # 11）。その後、 $\text{SiO}_2$  膜 14 をエッチングして、半導体基板 11 の一部上面を露出させる（ステップ # 12）。その後、導電性材料膜（例えば Pt 膜）13 を全面に堆積した後（ステップ # 13）、公知の平坦化技術を用いて  $\text{SiO}_2$  膜 14（以下、絶縁膜 14 という）と Pt 膜 13 の上面を露出させる（ステップ # 14、図 4（a）参照）。

【0094】

なお、このとき、まず全面に Pt 膜 13 を堆積した後、Pt 膜 13 をエッチングして半導体基板 11 の一部上面を露出させ、その後に  $\text{SiO}_2$  膜 14 を全面に堆積した後、公知の平坦化技術を用いて  $\text{SiO}_2$  膜 14 と Pt 膜 13 の上面を露出させるものとしても良い。

10

【0095】

次に、公知のフォトリソグラフィ技術によって形成したレジストをマスクに、公知のエッチング技術によって、Pt 膜 13 をエッチバックして段差部 22 を形成する（ステップ # 15）。本ステップ # 15 によって、第 1 電極 13 が形成されるとともに、図 4（b）に示すように、 $\text{SiO}_2$  膜 14（以下、適宜「絶縁膜 14」という）の上面及び側面、並びに第 1 電極 13 の露出した上面によって段差部 22 が形成される。なお、本実施形態におけるステップ # 15 終了後の平面模式図は、図 3 に示す第 1 実施形態のステップ # 3 終了後の平面模式図と同一であり、W - W' 断面が、図 4（b）に相当する。

【0096】

20

その後は、図 4（c）に示すように、第 1 実施形態のステップ # 4 と同様、段差部 22 が形成されている状態の下で、可変抵抗膜 15（例えば  $\text{CoO}$  膜）をスパッタ法にて約 100 nm 程度の膜厚で全面に堆積する（ステップ # 16）。本ステップ # 16 によって、段差部 22 で、絶縁膜 14 の側面と、第 1 電極 13 の上面のそれぞれから成長する可変抵抗膜としての  $\text{CoO}$  膜 15 が接合する部分において、シーム 32 が形成される。

【0097】

その後、図 4（d）に示すように、第 1 実施形態のステップ # 5 と同様、シーム 32 が形成された可変抵抗膜 15 の上面全面に導電性材料膜 16（例えば Pt 膜）をスパッタ法にて約 100 nm 程度の膜厚で堆積する（ステップ # 17）。本ステップ # 16 によって第 2 電極 16 が形成される。

30

【0098】

本実施形態の場合も、第 1 実施形態と同様、ステップ # 16 に係る可変抵抗膜成膜工程の直前において、既に段差部 22（シーム形成用段差に相当）が形成されている。この段差部 22 は、基板 11 の基板面に平行な第 1 上面、基板面に平行に構成され前記第 1 上面より高さ位置の低い第 2 上面、並びに上端が前記第 1 上面の端部と結合し下端が前記第 2 上面の端部と結合することで前記第 1 上面と前記第 2 上面とを前記基板面に垂直な方向に連絡する中間面によって構成されている。そして、このうち、絶縁膜 14 の上面によって前記第 1 上面が構成され、絶縁膜 14 の側面によって前記中間面が構成され、第 1 電極 13 の露出した上面によって前記第 2 上面が構成される。

【0099】

40

このような状態の下で、可変抵抗膜としての  $\text{CoO}$  膜を成膜することで、中間面（絶縁膜 14 の側面）から成長する膜と、第 2 上面（第 1 電極 13 の露出した上面）から成長する膜が接合する領域において、成長膜同士が重なり合うことでシーム 32 が形成される。このシーム 32 は、図 4（c）に示すように、前記中間面と前記第 2 上面とが結合するコーナ領域から、露出した第 1 電極 13 の上面の上方に向かう方向に延伸する。そして、このシーム 32 をそのまま残存させたまま、ステップ # 17 に係る第 2 電極形成工程を実行することで、第 2 電極 16 が形成された時点において、依然として可変抵抗膜 15 内にはシーム 32 が形成されたままの状態となっている。また、前記のように、シーム 32 は、第 1 電極 13 と絶縁膜 14 によって挟まれたコーナ領域に形成されているところ、第 1 電極 13 から第 2 電極 16 に向かう方向に延伸するように形成されることとなる。

50

## 【 0 1 0 0 】

従って、本実施形態の場合も、第 1 実施形態と同様、シーム 3 2 が可変抵抗体膜 1 5 内に形成されたままの状態、第 1 電極 1 3 と第 2 電極 1 6 の間に電圧パルス印加した場合、シーム 3 2 では、パルクの可変抵抗体膜 1 5 に比べ構造欠陥が多いため電界集中が起こり易い。このため、フォーミングプロセスを行うべく電圧を印加したとき、電界集中が起こりやすいシーム内あるいはその近傍においてフィラメントパスが容易に形成しやすい状況となる。このため、予め製造時に特定箇所にシーム 3 2 を意図的に形成しておくことで、フォーミングプロセスによって形成されるフィラメントパスの形成領域を特定範囲内に収めることができ、スイッチング動作の再現性を高めることができる。さらに、シーム 3 2 内あるいはその近傍において電界集中が起こりやすい構成であるため、従来構成よりもフォーミングプロセス実行に要する電圧を低電圧化することができる。以下の第 3 ~ 第 6 実施形態においても同様であるため、適宜説明を省略する。

10

## 【 0 1 0 1 】

## [ 第 3 実施形態 ]

本発明に係る可変抵抗素子及びその製造方法、並びにその駆動方法の第 3 実施形態（以下、適宜「本実施形態」という）につき、図 6 ~ 図 8 の各図を参照して説明する。

## 【 0 1 0 2 】

図 6 は、本実施形態における可変抵抗素子の製造方法を示す工程断面図である。また、図 7 は、該製造方法における工程手順を示すフローチャートであり、以下の文中の各ステップ # 2 1 ~ # 2 4 は図 7 内の各ステップを表す。なお、第 1 実施形態と同一の構成要素には同一の符号を付している。

20

## 【 0 1 0 3 】

まず、図 6 ( a ) に示すように、トランジスタ回路等（図示せず）を適宜形成した半導体基板 1 1 上に導電性材料膜 1 3（例えば Pt 膜）をスパッタ法にて約 4 0 0 nm の厚みで全面に堆積する（ステップ # 2 1）。なお、本ステップ # 2 1 では、第 1 実施形態のステップ # 1 よりも厚い膜厚で堆積する。

## 【 0 1 0 4 】

次に、公知のフォトリソグラフィ技術によって形成したレジストをマスクに、公知のエッチング技術によって、Pt 膜 1 3 に例えば高低差 3 0 0 nm 程度の段差部 2 5 を形成する（ステップ # 2 2）。本ステップ # 2 2 によって、第 1 電極 1 3 が形成されるとともに、図 6 ( b ) に示すように、高さ位置の高い第 1 電極 1 3 の上面、第 1 電極 1 3 の側面、並びに高さ位置の低い第 1 電極 1 3 の上面によって段差部 2 5 が形成される。図 8 は、ステップ # 2 2 終了後の平面模式図であり、W - W ' 断面が、図 6 ( b ) に相当する。

30

## 【 0 1 0 5 】

その後は、図 6 ( c ) に示すように、第 1 実施形態のステップ # 4 と同様、段差部 2 2（シーム形成用段差に相当）が形成されている状態の下で、可変抵抗体膜 1 5（例えば CoO 膜）をスパッタ法にて約 1 0 0 nm 程度の膜厚で全面に堆積する（ステップ # 2 3）。本ステップ # 2 3 によって、段差部 2 5 で、高さ位置の低い第 1 電極 1 3 の上面、及び第 1 電極 1 3 の側面のそれぞれから成長する可変抵抗体膜としての CoO 膜 1 5 が接合する部分において、シーム 3 2 が形成される。

40

## 【 0 1 0 6 】

その後、図 6 ( d ) に示すように、第 1 実施形態のステップ # 5 と同様、シーム 3 2 が形成された可変抵抗体膜 1 5 の上面全面に導電性材料膜 1 6（例えば Pt 膜）をスパッタ法にて約 1 0 0 nm 程度の膜厚で堆積する（ステップ # 2 4）。本ステップ # 1 6 によって第 2 電極 1 6 が形成される。

## 【 0 1 0 7 】

## [ 第 4 実施形態 ]

本発明に係る可変抵抗素子及びその製造方法、並びにその駆動方法の第 4 実施形態（以下、適宜「本実施形態」という）につき、図 9 ~ 図 1 0 の各図を参照して説明する。

## 【 0 1 0 8 】

50

図 9 は、本実施形態における可変抵抗素子の製造方法を示す工程断面図である。また、図 10 は、該製造方法における工程手順を示すフローチャートであり、以下の文中の各ステップ # 3 1 ~ # 3 5 は図 10 内の各ステップを表す。

【 0 1 0 9 】

まず、トランジスタ回路等（図示せず）を適宜形成した半導体基板 1 1 上に絶縁性材料膜 1 4（例えば  $\text{SiO}_2$  膜）をスパッタ法にて例えば約 400 nm 程度の膜厚で全面に堆積した後（ステップ # 3 1）、公知のフォトリソグラフィ技術によって形成したレジストをマスクに、公知のエッチング技術によって、絶縁性材料膜 1 4 に例えば高低差 300 nm 程度の段差部 2 6 を形成する（ステップ # 3 2、図 9（a）参照）。

【 0 1 1 0 】

次に、段差部 2 6 が形成されている絶縁性材料膜 1 4（以下、適宜「絶縁膜 1 4」という）の上層全面に導電性材料膜 1 3（例えば Pt 膜）をスパッタ法にて約 100 nm の厚みで全面に堆積する（ステップ # 3 3）。本ステップ # 3 3 によって、第 1 電極 1 3 が形成されるとともに、図 9（b）に示すように、高さ位置の高い第 1 電極 1 3 の上面、第 1 電極 1 3 の側面、並びに高さ位置の低い第 1 電極 1 3 の上面によって段差部 2 5 が形成される。なお、本実施形態におけるステップ # 3 3 終了後の平面模式図は、図 8 に示す第 3 実施形態のステップ # 2 2 終了後の平面模式図と同一であり、W - W' 断面が、図 9（b）に相当する。

【 0 1 1 1 】

その後は、図 9（c）に示すように、第 1 実施形態のステップ # 4 と同様、段差部 2 5（シーム形成用段差に相当）が形成されている状態の下で、可変抵抗膜 1 5（例えば CoO 膜）をスパッタ法にて約 100 nm 程度の膜厚で全面に堆積する（ステップ # 3 4）。本ステップ # 3 4 によって、段差部 2 5 で、高さ位置の低い第 1 電極 1 3 の上面、及び第 1 電極 1 3 の側面のそれぞれから成長する可変抵抗膜としての CoO 膜 1 5 が接合する部分において、シーム 3 2 が形成される。

【 0 1 1 2 】

その後、図 9（d）に示すように、第 1 実施形態のステップ # 5 と同様、シーム 3 2 が形成された可変抵抗膜 1 5 の上面全面に導電性材料膜 1 6（例えば Pt 膜）をスパッタ法にて約 100 nm 程度の膜厚で堆積する（ステップ # 3 5）。本ステップ # 3 5 によって第 2 電極 1 6 が形成される。

【 0 1 1 3 】

[ 第 5 実施形態 ]

本発明に係る可変抵抗素子及びその製造方法、並びにその駆動方法の第 5 実施形態（以下、適宜「本実施形態」という）につき、図 11 ~ 図 12 の各図を参照して説明する。

【 0 1 1 4 】

図 11 は、本実施形態における可変抵抗素子の製造方法を示す工程断面図である。また、図 12 は、該製造方法における工程手順を示すフローチャートであり、以下の文中の各ステップ # 4 1 ~ # 4 5 は図 12 内の各ステップを表す。

【 0 1 1 5 】

まず、図 11（a）に示すように、トランジスタ回路等（図示せず）を適宜形成した半導体基板 1 1 上に絶縁性材料膜 1 4（例えば  $\text{SiO}_2$  膜）をスパッタ法にて例えば約 100 nm 程度の膜厚で全面に堆積する（ステップ # 4 1）。

【 0 1 1 6 】

次に、導電性材料膜 1 3（例えば Pt 膜）をスパッタ法にて約 300 nm 程度の膜厚で全面に堆積する（ステップ # 4 2）。その後、公知のフォトリソグラフィ技術によって形成したレジストをマスクに、公知のエッチング技術によって、絶縁性材料膜 1 4（以下、適宜「絶縁膜 1 4」という）の一部上面が露出するまで Pt 膜 1 3 をパターニングする（ステップ # 4 3）。本ステップ # 4 3 によって、第 1 電極 1 3 が形成されるとともに、図 11（b）に示すように、第 1 電極 1 3 の上面及び側面、並びに絶縁膜 1 4 の露出した上面によって段差部 2 2 が形成される。図 13 は、ステップ # 4 3 終了後の平面模式図であ

10

20

30

40

50



り、W - W ' 断面が、図 1 1 ( b ) に相当する。

【 0 1 1 7 】

その後は、図 1 1 ( c ) に示すように、第 1 実施形態のステップ # 4 と同様、段差部 2 2 ( シーム形成用段差に相当 ) が形成されている状態の下で、可変抵抗体膜 1 5 ( 例えば C o O 膜 ) をスパッタ法にて約 1 0 0 n m 程度の膜厚で全面に堆積する ( ステップ # 4 4 ) 。本ステップ # 3 4 によって、段差部 2 2 で、第 1 電極 1 3 の側面、及び絶縁膜 1 4 の上面のそれぞれから成長する可変抵抗体膜としての C o O 膜 1 5 が接合する部分において、シーム 3 2 が形成される。

【 0 1 1 8 】

その後、図 1 1 ( d ) に示すように、第 1 実施形態のステップ # 5 と同様、シーム 3 2 が形成された可変抵抗体膜 1 5 の上面全面に導電性材料膜 1 6 ( 例えば P t 膜 ) をスパッタ法にて約 1 0 0 n m 程度の膜厚で堆積する ( ステップ # 4 5 ) 。本ステップ # 4 5 によって第 2 電極 1 6 が形成される。

【 0 1 1 9 】

[ 第 6 実施形態 ]

本発明に係る可変抵抗素子及びその製造方法、並びにその駆動方法の第 6 実施形態 ( 以下、適宜「本実施形態」という ) につき、図 1 4 ~ 図 1 5 の各図を参照して説明する。

【 0 1 2 0 】

図 1 4 は、本実施形態における可変抵抗素子の製造方法を示す工程断面図である。また、図 1 5 は、該製造方法における工程手順を示すフローチャートであり、以下の文中の各ステップ # 5 1 ~ # 5 7 は図 1 4 内の各ステップを表す。

【 0 1 2 1 】

まず、トランジスタ回路等 ( 図示せず ) を適宜形成した半導体基板 1 1 上に導電性材料膜 ( 例えば P t 膜 ) 1 3 を堆積形成する ( ステップ # 5 1 ) 。その後、P t 膜 1 3 をエッチングして、半導体基板 1 1 の一部上面を露出させるとともに第 1 電極 1 3 を形成する ( ステップ # 5 2 ) 。その後、絶縁性材料膜 ( 例えば S i O <sub>2</sub> 膜 ) 1 4 を全面に堆積した後 ( ステップ # 5 3 ) 、公知の平坦化技術を用いて S i O <sub>2</sub> 膜 1 4 ( 以下、絶縁膜 1 4 という ) と第 1 電極 1 3 の上面を露出させる ( ステップ # 5 4 、図 1 4 ( a ) 参照 ) 。

【 0 1 2 2 】

なお、このとき、まず全面に S i O <sub>2</sub> 膜 1 4 を堆積した後、S i O <sub>2</sub> 膜 1 4 をエッチングして半導体基板 1 1 の一部上面を露出させ、その後に P t 膜 1 3 を全面に堆積した後、公知の平坦化技術を用いて S i O <sub>2</sub> 膜 1 4 と P t 膜 1 3 の上面を露出させるものとしても良い。

【 0 1 2 3 】

次に、公知のフォトリソグラフィ技術によって形成したレジストをマスクに、公知のエッチング技術によって、S i O <sub>2</sub> 膜 1 4 をエッチバックして段差部 2 2 を形成する ( ステップ # 5 5 ) 。本ステップ # 5 5 によって、図 1 4 ( b ) に示すように、第 1 電極 1 3 の上面及び側面、並びに S i O <sub>2</sub> 膜 1 4 ( 以下、適宜「絶縁膜 1 4」という ) の露出した上面によって段差部 2 2 が形成される。なお、本実施形態におけるステップ # 5 5 終了後の平面模式図は、図 1 3 に示す第 5 実施形態のステップ # 4 3 終了後の平面模式図と同一であり、W - W ' 断面が、図 1 4 ( b ) に相当する。

【 0 1 2 4 】

その後は、図 1 4 ( c ) に示すように、第 1 実施形態のステップ # 4 と同様、段差部 2 2 ( シーム形成用段差に相当 ) が形成されている状態の下で、可変抵抗体膜 1 5 ( 例えば C o O 膜 ) をスパッタ法にて約 1 0 0 n m 程度の膜厚で全面に堆積する ( ステップ # 5 6 ) 。本ステップ # 5 6 によって、段差部 2 2 で、第 1 電極 1 3 の側面と、絶縁膜 1 4 の上面のそれぞれから成長する可変抵抗体膜としての C o O 膜 1 5 が接合する部分において、シーム 3 2 が形成される。

【 0 1 2 5 】

その後、図 1 4 ( d ) に示すように、第 1 実施形態のステップ # 5 と同様、シーム 3 2

10

20

30

40

50

が形成された可変抵抗体膜 15 の上面全面に導電性材料膜 16 (例えば Pt 膜) をスパッタ法にて約 100 nm 程度の膜厚で堆積する (ステップ # 57)。本ステップ # 57 によって第 2 電極 16 が形成される。

【0126】

[第7実施形態]

本発明に係る可変抵抗素子及びその製造方法、並びにその駆動方法の第6実施形態(以下、適宜「本実施形態」という)につき、図16~図18の各図を参照して説明する。

【0127】

図16は、本実施形態における可変抵抗素子の製造方法を示す工程断面図である。また、図17は、該製造方法における工程手順を示すフローチャートであり、以下の文中の各ステップ # 61 ~ # 65 は図17内の各ステップを表す。なお、第1実施形態と同一の構成要素には同一の符号を付している。

【0128】

まず、図16(a)に示すように、トランジスタ回路等(図示せず)を適宜形成した半導体基板 11 上に導電性材料膜 13 (例えば Pt 膜) をスパッタ法にて約 100 nm 程度の膜厚で全面に堆積する (ステップ # 61)。本ステップ # 61 によって第1電極 13 が形成される。

【0129】

次に、絶縁性材料膜(例えば SiO<sub>2</sub> 膜) 14 を CVD 法にて約 300 nm 程度の膜厚で全面に堆積する (ステップ # 62)。その後、公知のフォトリソグラフィ技術によって形成したレジストをマスクに、公知のエッチング技術によって、第1電極 13 の一部上面が露出するまで SiO<sub>2</sub> 膜 14 をパターニングする (ステップ # 63)。本ステップ # 63 によって、図16(b)に示すように、露出した第1電極 13 の上面を底面とし、SiO<sub>2</sub> 膜 14 (以下、適宜「絶縁膜 14」という)の側面を内側面とする開口部 20 が形成される。図18は、ステップ # 63 終了後の平面模式図であり、W-W' 断面が、図16(b)に相当する。

【0130】

次に、図16(c)に示すように、開口部 20 が形成されている状態の下で、可変抵抗体膜 15 (例えば CoO 膜) をスパッタ法にて、開口部 20 内を完全には充填しない膜厚条件下(例えば約 100 nm 程度)の膜厚で全面に堆積する (ステップ # 64)。本ステップ # 64 によって、開口部 20 の内側面を構成する絶縁膜 14 の側面と、開口部 20 の底面を構成する露出した第1電極 13 の上面のそれぞれから成長する可変抵抗体膜としての CoO 膜 15 が接合する部分において、シーム 30 が形成される。

【0131】

次に、図16(d)に示すように、シーム 30 が形成された可変抵抗体膜 15 の上面全面に導電性材料膜 16 (例えば Pt 膜) をスパッタ法にて約 100 nm 程度の膜厚で堆積する (ステップ # 65)。本ステップ # 65 によって第2電極 16 が形成される。

【0132】

本実施形態の場合、ステップ # 64 に係る可変抵抗体膜成膜工程の直前において、既に開口部 20 (シーム形成用開口部に相当)が形成されている。この開口部 20 は、前記基板面に平行な断面が環状に形成された露出内側面、前記露出内側面の外側において前記露出内側面の上端と端部が結合する第1上面、並びに前記露出内側面の内側において前記露出内側面の下端と端部が結合する露出底面によって構成されている。そして、このうち、絶縁膜 14 の上面によって前記第1上面が構成され、絶縁膜 14 の側面によって前記露出内側面が構成され、第1電極 13 の露出した上面によって前記露出底面が構成される。

【0133】

このような状態の下で、可変抵抗体膜としての CoO 膜を成膜することで、露出内側面(絶縁膜 14 の側面)から成長する膜と、露出底面(第1電極 13 の露出した上面)から成長する膜が接合する領域において、成長膜同士が重なり合うことでシーム 30 が形成される。このシーム 30 は、図16(c)に示すように、前記露出内側面と前記露出底面と

が結合するコーナ領域から、露出した第 1 電極 13 の上面の上方に向かう方向に延伸する。そして、このシーム 30 をそのまま残存させたまま、ステップ # 65 に係る第 2 電極形成工程を実行することで、第 2 電極 16 が形成された時点において、依然として可変抵抗体膜 15 内にはシーム 30 が形成されたままの状態となっている。また、前記のように、シーム 30 は、第 1 電極 13 と絶縁膜 14 によって挟まれたコーナ領域に形成されているところ、第 1 電極 13 から第 2 電極 16 に向かう方向に延伸するように形成されることとなる。

#### 【0134】

従って、本実施形態の場合も、第 1 実施形態と同様、シーム 30 が可変抵抗体膜 15 内に形成されたままの状態、第 1 電極 13 と第 2 電極 16 の間に電圧パルスを印加した場合、シーム 30 では、バルクの可変抵抗体膜 15 に比べ構造欠陥が多いため電界集中が起こり易い。このため、フォーミングプロセスを行うべく電圧を印加したとき、電界集中が起こりやすいシーム内あるいはその近傍においてフィラメントパスが容易に形成しやすい状況となる。このため、予め製造時に特定箇所にシーム 30 を意図的に形成しておくことで、フォーミングプロセスによって形成されるフィラメントパスの形成領域を特定範囲内に収めることができ、スイッチング動作の再現性を高めることができる。さらに、シーム 30 内あるいはその近傍において電界集中が起こりやすい構成であるため、従来構成よりもフォーミングプロセス実行に要する電圧を低電圧化することができる。以下の第 8 ~ 第 12 実施形態においても同様であるため、適宜説明を省略する。

10

#### 【0135】

20

#### [ 第 8 実施形態 ]

本発明に係る可変抵抗素子及びその製造方法、並びにその駆動方法の第 8 実施形態（以下、適宜「本実施形態」という）につき、図 19 ~ 図 20 の各図を参照して説明する。

#### 【0136】

図 19 は、本実施形態における可変抵抗素子の製造方法を示す工程断面図である。また、図 20 は、該製造方法における工程手順を示すフローチャートであり、以下の文中の各ステップ # 71 ~ # 77 は図 20 内の各ステップを表す。なお、第 1 実施形態と同一の構成要素には同一の符号を付している。

#### 【0137】

まず、第 2 実施形態のステップ # 11 ~ ステップ # 14 と同様に、トランジスタ回路等（図示せず）を適宜形成した半導体基板 11 上に絶縁性材料膜（例えば  $\text{SiO}_2$  膜）14 を堆積し（ステップ # 71）、 $\text{SiO}_2$  膜 14 をエッチングして、半導体基板 11 の一部上面を露出させ（ステップ # 72）、導電性材料膜（例えば Pt 膜）13 を全面に堆積した後（ステップ # 73）、公知の平坦化技術を用いて  $\text{SiO}_2$  膜 14（以下、絶縁膜 14 という）と Pt 膜 13 の上面を露出させる（ステップ # 74、図 19（a）参照）。このとき、まず全面に Pt 膜 13 を堆積した後、Pt 膜 13 をエッチングして半導体基板 11 の一部上面を露出させ、その後に  $\text{SiO}_2$  膜 14 を全面に堆積した後、公知の平坦化技術を用いて  $\text{SiO}_2$  膜 14 と Pt 膜 13 の上面を露出させるものとしても良い。

30

#### 【0138】

次に、公知のフォトリソグラフィ技術によって形成したレジストをマスクに、公知のエッチング技術によって、Pt 膜 13 をエッチバックして開口部 20 を形成する（ステップ # 75）。本ステップ # 75 によって、第 1 電極 13 が形成されるとともに、図 19（b）に示すように、 $\text{SiO}_2$  膜 14（以下、適宜「絶縁膜 14」という）の上面及び側面、並びに第 1 電極 13 の露出した上面によって開口部 20 が形成される。より具体的には、露出した第 1 電極 13 を底面とし、絶縁膜 14 を内側面とする開口部 20 が形成される。なお、本実施形態におけるステップ # 75 終了後の平面模式図は、図 18 に示す第 7 実施形態のステップ # 63 終了後の平面模式図と同一であり、W - W' 断面が、図 19（b）に相当する。

40

#### 【0139】

その後は、図 19（c）に示すように、第 7 実施形態のステップ # 64 と同様、開口部

50

20 (シーム形成用開口部に相当) が形成されている状態の下で、可変抵抗体膜 15 (例えば CoO 膜) をスパッタ法にて開口部 20 内を完全には充填しない膜厚条件下 (例えば約 100 nm 程度) の膜厚で全面に堆積する (ステップ # 76)。本ステップ # 76 によって、開口部 20 の内側面を構成する絶縁膜 14 の側面と、開口部 20 の底面を構成する第 1 電極 13 の上面のそれぞれから成長する可変抵抗体膜としての CoO 膜 15 が接合する部分において、シーム 30 が形成される。

#### 【0140】

その後、図 19 (d) に示すように、第 7 実施形態のステップ # 65 と同様、シーム 30 が形成された可変抵抗体膜 15 の上面全面に導電性材料膜 16 (例えば Pt 膜) をスパッタ法にて約 100 nm 程度の膜厚で堆積する (ステップ # 77)。本ステップ # 77 によって第 2 電極 16 が形成される。

10

#### 【0141】

##### [第9実施形態]

本発明に係る可変抵抗素子及びその製造方法、並びにその駆動方法の第 9 実施形態 (以下、適宜「本実施形態」という) につき、図 21 ~ 図 23 の各図を参照して説明する。

#### 【0142】

図 21 は、本実施形態における可変抵抗素子の製造方法を示す工程断面図である。また、図 22 は、該製造方法における工程手順を示すフローチャートであり、以下の文中の各ステップ # 81 ~ # 84 は図 22 内の各ステップを表す。なお、第 1 実施形態と同一の構成要素には同一の符号を付している。

20

#### 【0143】

まず、図 21 (a) に示すように、第 3 実施形態のステップ # 21 と同様、トランジスタ回路等 (図示せず) を適宜形成した半導体基板 11 上に導電性材料膜 13 (例えば Pt 膜) をスパッタ法にて約 400 nm の厚みで全面に堆積する (ステップ # 81)。

#### 【0144】

次に、公知のフォトリソグラフィ技術によって形成したレジストをマスクに、公知のエッチング技術によって、Pt 膜 13 に例えば高低差 300 nm 程度の開口部 23 を形成する (ステップ # 82)。本ステップ # 82 によって、第 1 電極 13 が形成されるとともに、図 21 (b) に示すように、第 1 電極 13 の側面を内側面とし、高さ位置の低い第 1 電極 13 の上面を底面とする開口部 23 が形成される。図 23 は、ステップ # 82 終了後の平面模式図であり、W - W' 断面が、図 21 (b) に相当する。

30

#### 【0145】

その後は、図 21 (c) に示すように、第 7 実施形態のステップ # 64 と同様、開口部 23 (シーム形成用開口部に相当) が形成されている状態の下で、可変抵抗体膜 15 (例えば CoO 膜) をスパッタ法にて開口部 23 内を完全には充填しない膜厚条件下 (例えば約 100 nm 程度) の膜厚で全面に堆積する (ステップ # 83)。本ステップ # 83 によって、開口部 23 の内側面を構成する第 1 電極 13 の側面と、開口部 23 の底面を構成する第 1 電極 13 の高さ位置の低い側の上面のそれぞれから成長する可変抵抗体膜としての CoO 膜 15 が接合する部分において、シーム 30 が形成される。

#### 【0146】

その後、図 21 (d) に示すように、第 7 実施形態のステップ # 65 と同様、シーム 30 が形成された可変抵抗体膜 15 の上面全面に導電性材料膜 16 (例えば Pt 膜) をスパッタ法にて約 100 nm 程度の膜厚で堆積する (ステップ # 84)。本ステップ # 84 によって第 2 電極 16 が形成される。

40

#### 【0147】

##### [第10実施形態]

本発明に係る可変抵抗素子及びその製造方法、並びにその駆動方法の第 9 実施形態 (以下、適宜「本実施形態」という) につき、図 24 ~ 図 25 の各図を参照して説明する。

#### 【0148】

図 24 は、本実施形態における可変抵抗素子の製造方法を示す工程断面図である。また

50

、図 2 5 は、該製造方法における工程手順を示すフローチャートであり、以下の文中の各ステップ # 9 1 ~ # 9 5 は図 2 5 内の各ステップを表す。なお、第 1 実施形態と同一の構成要素には同一の符号を付している。

【 0 1 4 9 】

まず、トランジスタ回路等（図示せず）を適宜形成した半導体基板 1 1 上に絶縁性材料膜 1 4（例えば  $\text{SiO}_2$  膜）をスパッタ法にて例えば約 4 0 0 n m 程度の膜厚で全面に堆積した後（ステップ # 9 1）、公知のフォトリソグラフィ技術によって形成したレジストをマスクに、公知のエッチング技術によって、絶縁性材料膜 1 4 に例えば高低差 3 0 0 n m 程度の開口部 2 9 を形成する（ステップ # 9 2、図 2 4（a）参照）。

【 0 1 5 0 】

次に、開口部 2 9 が形成されている絶縁性材料膜 1 4（以下、適宜「絶縁膜 1 4」という）の上層全面に導電性材料膜 1 3（例えば P t 膜）をスパッタ法にて約 1 0 0 n m の厚みで全面に堆積する（ステップ # 9 3）。本ステップ # 9 3 によって、図 2 4（b）に示すように、P t 膜 1 3（以下、第 1 電極 1 3 という）の側面を内側面とし、高さ位置の低い第 1 電極 1 3 の上面を底面とする開口部 2 3 が形成される。なお、本実施形態におけるステップ # 9 3 終了後の平面模式図は、図 2 3 に示す第 9 実施形態のステップ # 8 2 終了後の平面模式図と同一であり、W - W ' 断面が、図 2 4（b）に相当する。

【 0 1 5 1 】

その後は、図 2 4（c）に示すように、第 7 実施形態のステップ # 6 4 と同様、開口部 2 3（シーム形成用開口部に相当）が形成されている状態の下で、可変抵抗膜 1 5（例えば C o O 膜）をスパッタ法にて開口部 2 3 内を完全には充填しない膜厚条件下（例えば約 1 0 0 n m 程度）の膜厚で全面に堆積する（ステップ # 9 4）。本ステップ # 9 4 によって、開口部 2 3 の内側面を構成する第 1 電極 1 3 の側面と、開口部 2 3 の底面を構成する第 1 電極 1 3 の高さ位置の低い側の上面のそれぞれから成長する可変抵抗膜としての C o O 膜 1 5 が接合する部分において、シーム 3 0 が形成される。

【 0 1 5 2 】

その後、図 2 4（d）に示すように、第 7 実施形態のステップ # 6 5 と同様、シーム 3 0 が形成された可変抵抗膜 1 5 の上面全面に導電性材料膜 1 6（例えば P t 膜）をスパッタ法にて約 1 0 0 n m 程度の膜厚で堆積する（ステップ # 9 5）。本ステップ # 9 5 によって第 2 電極 1 6 が形成される。

【 0 1 5 3 】

[ 第 1 1 実施形態 ]

本発明に係る可変抵抗素子及びその製造方法、並びにその駆動方法の第 9 実施形態（以下、適宜「本実施形態」という）につき、図 2 6 ~ 図 2 8 の各図を参照して説明する。

【 0 1 5 4 】

図 2 6 は、本実施形態における可変抵抗素子の製造方法を示す工程断面図である。また、図 2 7 は、該製造方法における工程手順を示すフローチャートであり、以下の文中の各ステップ # 1 0 1 ~ # 1 0 5 は図 2 7 内の各ステップを表す。なお、第 1 実施形態と同一の構成要素には同一の符号を付している。

【 0 1 5 5 】

まず、図 2 6（a）に示すように、第 5 実施形態のステップ # 4 1 と同様、トランジスタ回路等（図示せず）を適宜形成した半導体基板 1 1 上に絶縁性材料膜 1 4（例えば  $\text{SiO}_2$  膜）をスパッタ法にて例えば約 1 0 0 n m 程度の膜厚で全面に堆積する（ステップ # 1 0 1）。

【 0 1 5 6 】

次に、導電性材料膜 1 3（例えば P t 膜）をスパッタ法にて約 3 0 0 n m 程度の膜厚で全面に堆積した後（ステップ # 1 0 2）、公知のフォトリソグラフィ技術によって形成したレジストをマスクに、公知のエッチング技術によって、絶縁性材料膜 1 4（以下、適宜「絶縁膜 1 4」という）の一部上面が露出するまで P t 膜 1 3 をパターニングする（ステップ # 1 0 3）ことで、開口部 2 0 を形成する。本ステップ # 1 0 3 によって、図 2 6（

10

20

30

40

50

b) に示すように、Pt 膜 13 (以下、適宜「第 1 電極 13」という) の側面を内側面とし、絶縁膜 14 の露出した上面を底面とする開口部 20 が形成される。図 28 は、ステップ # 103 終了後の平面模式図であり、W - W' 断面が、図 26 (b) に相当する。

【0157】

その後は、図 26 (c) に示すように、第 7 実施形態のステップ # 64 と同様、開口部 20 (シーム形成用開口部に相当) が形成されている状態の下で、可変抵抗体膜 15 (例えば CoO 膜) をスパッタ法にて開口部 20 内を完全には充填しない膜厚条件下 (例えば約 100 nm 程度) の膜厚で全面に堆積する (ステップ # 104)。本ステップ # 104 によって、開口部 20 の内側面を構成する第 1 電極 13 の側面と、開口部 20 の底面を構成する絶縁膜 14 の露出した上面のそれぞれから成長する可変抵抗体膜としての CoO 膜 15 が接合する部分において、シーム 30 が形成される。

10

【0158】

その後、図 26 (d) に示すように、第 7 実施形態のステップ # 65 と同様、シーム 30 が形成された可変抵抗体膜 15 の上面全面に導電性材料膜 16 (例えば Pt 膜) をスパッタ法にて約 100 nm 程度の膜厚で堆積する (ステップ # 105)。本ステップ # 105 によって第 2 電極 16 が形成される。

【0159】

[第 12 実施形態]

本発明に係る可変抵抗素子及びその製造方法、並びにその駆動方法の第 12 実施形態 (以下、適宜「本実施形態」という) につき、図 29 ~ 図 30 の各図を参照して説明する。

20

【0160】

図 29 は、本実施形態における可変抵抗素子の製造方法を示す工程断面図である。また、図 30 は、該製造方法における工程手順を示すフローチャートであり、以下の文中の各ステップ # 111 ~ # 117 は図 30 内の各ステップを表す。

【0161】

まず、第 6 実施形態のステップ # 51 ~ # 54 と同様、トランジスタ回路等 (図示せず) を適宜形成した半導体基板 11 上に導電性材料膜 (例えば Pt 膜) 13 を堆積形成し (ステップ # 111)、Pt 膜 13 をエッチングして、半導体基板 11 の一部上面を露出させるとともに第 1 電極 13 を形成し (ステップ # 112)、絶縁性材料膜 (例えば SiO<sub>2</sub> 膜) 14 を全面に堆積した後 (ステップ # 113)、公知の平坦化技術を用いて SiO<sub>2</sub> 膜 14 (以下、絶縁膜 14 という) と第 1 電極 13 の上面を露出させる (ステップ # 114、図 29 (a) 参照)。

30

【0162】

なお、このとき、まず全面に SiO<sub>2</sub> 膜 14 を堆積した後、SiO<sub>2</sub> 膜 14 をエッチングして半導体基板 11 の一部上面を露出させ、その後に Pt 膜 13 を全面に堆積した後、公知の平坦化技術を用いて SiO<sub>2</sub> 膜 14 と Pt 膜 13 の上面を露出させるものとしても良い。

【0163】

次に、公知のフォトリソグラフィ技術によって形成したレジストをマスクに、公知のエッチング技術によって、SiO<sub>2</sub> 膜 14 をエッチバックして開口部 20 を形成する (ステップ # 115)。本ステップ # 115 によって、図 29 (b) に示すように、第 1 電極 13 の側面を内側面とし、並びに SiO<sub>2</sub> 膜 14 (以下、適宜「絶縁膜 14」という) の露出した上面を底面とする開口部 20 が形成される。なお、本実施形態におけるステップ # 115 終了後の平面模式図は、図 28 に示す第 11 実施形態のステップ # 103 終了後の平面模式図と同一であり、W - W' 断面が、図 29 (b) に相当する。

40

【0164】

その後は、図 29 (c) に示すように、第 7 実施形態のステップ # 64 と同様、開口部 20 (シーム形成用開口部に相当) が形成されている状態の下で、可変抵抗体膜 15 (例えば CoO 膜) をスパッタ法にて開口部 20 内を完全には充填しない膜厚条件下 (例えば約 100 nm 程度) の膜厚で全面に堆積する (ステップ # 116)。本ステップ # 116

50

によって、開口部 20 の内側面を構成する第 1 電極 13 の側面と、開口部 20 の底面を構成する絶縁膜 14 の露出した上面のそれぞれから成長する可変抵抗膜としての CoO 膜 15 が接合する部分において、シーム 30 が形成される。

#### 【0165】

その後、図 29 (d) に示すように、第 7 実施形態のステップ # 65 と同様、シーム 30 が形成された可変抵抗膜 15 の上面全面に導電性材料膜 16 (例えば Pt 膜) をスパッタ法にて約 100 nm 程度の膜厚で堆積する (ステップ # 117)。本ステップ # 117 によって第 2 電極 16 が形成される。

#### 【0166】

##### [ 第 13 実施形態 ]

本発明に係る可変抵抗素子及びその製造方法、並びにその駆動方法の第 13 実施形態 (以下、適宜「本実施形態」という) につき、図 31 ~ 図 34 の各図を参照して説明する。

#### 【0167】

図 31 は、本実施形態における可変抵抗素子の製造方法を示す工程断面図である。また、図 32 は、該製造方法における工程手順を示すフローチャートであり、以下の文中の各ステップ # 121 ~ # 125 は図 32 内の各ステップを表す。なお、第 1 実施形態と同一の構成要素には同一の符号を付している。

#### 【0168】

まず、図 31 (a) に示すように、トランジスタ回路等 (図示せず) を適宜形成した半導体基板 11 上に導電性材料膜 13 (例えば Pt 膜) をスパッタ法にて約 100 nm 程度の膜厚で全面に堆積する (ステップ # 121)。本ステップ # 121 によって第 1 電極 13 が形成される。

#### 【0169】

次に、絶縁性材料膜 (例えば SiO<sub>2</sub> 膜) 14 を CVD 法にて約 300 nm 程度の膜厚で全面に堆積する (ステップ # 122)。その後、公知のフォトリソグラフィ技術によって形成したレジストをマスクに、公知のエッチング技術によって、第 1 電極 13 の一部上面が露出するまで SiO<sub>2</sub> 膜 14 をパターニングする (ステップ # 123)。本ステップ # 123 によって、図 31 (b) に示すように、露出した第 1 電極 13 の上面を底面とし、SiO<sub>2</sub> 膜 14 (以下、適宜「絶縁膜 14」という) の側面を内側面とする開口部 21 が形成される。図 33 は、ステップ # 123 終了後の平面模式図であり、W - W' 断面が、図 31 (b) に相当する。

#### 【0170】

次に、図 31 (c) に示すように、開口部 21 が形成されている状態の下で、可変抵抗膜 15 (例えば CoO 膜) を LP (Low Pressure) - CVD 法にて、開口部 21 内を完全に充填するような膜厚条件下で全面に堆積する (ステップ # 124)。本ステップ # 124 によって、開口部 21 の内側面を構成する絶縁膜 14 の側面から開口部 21 の軸心方向に成長する可変抵抗膜としての CoO 膜 15 が接合する部分において、高さ方向 (鉛直方向) に延伸するシーム 31 が形成される。図 33 は、ステップ # 124 終了後の平面模式図であり、W - W' 断面が、図 31 (c) に相当する。

#### 【0171】

その後、図 31 (d) に示すように、シーム 31 が形成された可変抵抗膜 15 の上面全面に導電性材料膜 16 (例えば Pt 膜) をスパッタ法にて約 100 nm 程度の膜厚で堆積する (ステップ # 125)。本ステップ # 125 によって第 2 電極 16 が形成される。

#### 【0172】

本実施形態の場合も、第 7 実施形態と同様、ステップ # 124 に係る可変抵抗膜成膜工程の直前において、既に開口部 21 (シーム形成用開口部に相当) が形成されている。この開口部 21 は、前記基板面に平行な断面が環状に形成された露出内側面、前記露出内側面の外側において前記露出内側面の上端と端部が結合する第 1 上面、並びに前記露出内側面の内側において前記露出内側面の下端と端部が結合する露出底面によって構成されている。そして、このうち、絶縁膜 14 の上面によって前記第 1 上面が構成され、絶縁膜 1

10

20

30

40

50

4 の側面によって前記露出内側面が構成され、第 1 電極 1 3 の露出した上面によって前記露出底面が構成される。

【 0 1 7 3 】

このような状態の下で、可変抵抗体膜としての C o O 膜を C V D 法で成膜することで、露出内側面（絶縁膜 1 4 の側面）から成長する膜と、露出底面（第 1 電極 1 3 の露出した上面）から成長する膜が接合する領域において、成長膜同士が重なり合うことでシーム 3 1 が形成される。C V D 法によって可変抵抗体膜を成膜することで、下地面（開口部 2 1 の内側面及び底面）に沿って均一に膜成長し、この結果、図 3 1（c）に示すように、開口部 2 1 の軸心近傍において、高さ方向（鉛直方向）に延伸するようにシーム 3 1 が形成される。そして、このシーム 3 1 をそのまま残存させたまま、ステップ # 1 2 5 に係る第 2 電極形成工程を実行することで、第 2 電極 1 6 が形成された時点において、依然として可変抵抗体膜 1 5 内にはシーム 3 1 が形成されたままの状態となっている。また、前記のように、シーム 3 1 は、軸心近傍において鉛直方向に延伸するように形成されているところ、第 1 電極 1 3 から第 2 電極 1 6 に向かう方向に延伸するように形成されることとなる。

10

【 0 1 7 4 】

従って、本実施形態の場合も、第 1 実施形態と同様、シーム 3 1 が可変抵抗体膜 1 5 内に形成されたままの状態、第 1 電極 1 3 と第 2 電極 1 6 の間に電圧パルス印加した場合、シーム 3 1 では、バルクの可変抵抗体膜 1 5 に比べ構造欠陥が多いため電界集中が起こり易い。このため、フォーミングプロセスを行うべく電圧を印加したとき、電界集中が起こりやすいシーム内あるいはその近傍においてフィラメントパスが容易に形成しやすい状況となる。このため、予め製造時に特定箇所にシーム 3 1 を意図的に形成しておくことで、フォーミングプロセスによって形成されるフィラメントパスの形成領域を特定範囲内に収めることができ、スイッチング動作の再現性を高めることができる。さらに、シーム 3 1 内あるいはその近傍において電界集中が起こりやすい構成であるため、従来構成よりもフォーミングプロセス実行に要する電圧を低電圧化することができる。以下の第 1 4 ~ 第 1 5 実施形態においても同様であるため、適宜説明を省略する。

20

【 0 1 7 5 】

[ 第 1 4 実施形態 ]

本発明に係る可変抵抗素子及びその製造方法、並びにその駆動方法の第 8 実施形態（以下、適宜「本実施形態」という）につき、図 3 5 ~ 図 3 9 の各図を参照して説明する。

30

【 0 1 7 6 】

図 3 5 は、本実施形態における可変抵抗素子の製造方法を示す工程断面図である。また、図 3 6 は、該製造方法における工程手順を示すフローチャートであり、以下の文中の各ステップ # 1 3 1 ~ # 1 3 4 は図 3 6 内の各ステップを表す。なお、第 1 実施形態と同一の構成要素には同一の符号を付している。

【 0 1 7 7 】

まず、図 3 5（a）に示すように、第 3 実施形態のステップ # 2 1 と同様、トランジスタ回路等（図示せず）を適宜形成した半導体基板 1 1 上に導電性材料膜 1 3（例えば P t 膜）をスパッタ法にて約 4 0 0 n m の厚みで全面に堆積する（ステップ # 1 3 1）。

40

【 0 1 7 8 】

次に、公知のフォトリソグラフィ技術によって形成したレジストをマスクに、公知のエッチング技術によって、P t 膜 1 3 に例えば高低差 3 0 0 n m 程度の開口部 2 4 を形成する（ステップ # 1 3 2）。本ステップ # 1 3 2 によって、第 1 電極 1 3 が形成されるとともに、図 3 5（b）に示すように、第 1 電極 1 3 の側面を内側面とし、高さ位置の低い第 1 電極 1 3 の上面を底面とする開口部 2 4 が形成される。図 3 7 は、ステップ # 1 3 2 終了後の平面模式図であり、W - W ' 断面が、図 3 5（b）に相当する。

【 0 1 7 9 】

次に、第 1 3 実施形態のステップ # 1 2 4 と同様、図 3 5（c）に示すように、開口部 2 4（シーム形成用開口部に相当）が形成されている状態の下で、可変抵抗体膜 1 5（例

50



例えばC o O膜)をLP (Low Pressure) - CVD法にて、開口部24内を完全に充填するような膜厚条件下で全面に堆積する(ステップ#133)。本ステップ#133によって、開口部24の内側面を構成する第1電極13の側面から開口部24の軸心方向に成長する可変抵抗体膜としてのC o O膜15が接合する部分において、鉛直方向に延伸するシーム31が形成される。図38は、ステップ#133終了後の平面模式図であり、W - W'断面が、図35(c)に相当する。

#### 【0180】

その後、図35(d)に示すように、シーム31が形成された可変抵抗体膜15の上面全面に導電性材料膜16(例えばPt膜)をスパッタ法にて約100nm程度の膜厚で堆積する(ステップ#134)。本ステップ#134によって第2電極16が形成される。

10

#### 【0181】

なお、本実施形態では、図35(b)に示すように開口部24が筒状に形成される場合を例に挙げて説明したが、開口部24の形状はこのような形状に限られない。図39には、開口部24が錐形状に形成される場合を例示しているが、このような場合においてもステップ#131~#134の各工程を経てシーム31を可変抵抗体15内に有する可変抵抗素子を形成することができる。

#### 【0182】

##### [第15実施形態]

本発明に係る可変抵抗素子及びその製造方法、並びにその駆動方法の第8実施形態(以下、適宜「本実施形態」という)につき、図40~図42の各図を参照して説明する。

20

#### 【0183】

図40は、本実施形態における可変抵抗素子の製造方法を示す工程断面図である。また、図41は、該製造方法における工程手順を示すフローチャートであり、以下の文中の各ステップ#141~#145は図41内の各ステップを表す。なお、第1実施形態と同一の構成要素には同一の符号を付している。

#### 【0184】

まず、第10実施形態のステップ#91~#92と同様、トランジスタ回路等(図示せず)を適宜形成した半導体基板11上に絶縁性材料膜14(例えばSiO<sub>2</sub>膜)をスパッタ法にて例えば約400nm程度の膜厚で全面に堆積した後(ステップ#141)、公知のフォトリソグラフィ技術によって形成したレジストをマスクに、公知のエッチング技術によって、絶縁性材料膜14に例えば高低差300nm程度の開口部28を形成する(ステップ#142、図40(a)参照)。

30

#### 【0185】

次に、開口部28が形成されている絶縁性材料膜14(以下、適宜「絶縁膜14」という)の上層全面に導電性材料膜13(例えばPt膜)をスパッタ法にて約100nmの厚みで全面に堆積する(ステップ#143)。本ステップ#143によって、第1電極13が形成されるとともに、図40(b)に示すように、Pt膜13(以下、第1電極13という)の側面を内側面とし、高さ位置の低い第1電極13の上面を底面とする開口部24が形成される。なお、本実施形態におけるステップ#143終了後の平面模式図は、図37に示す第14実施形態のステップ#132終了後の平面模式図と同一であり、W - W'断面が、図40(b)に相当する。

40

#### 【0186】

次に、第13実施形態のステップ#124と同様、図40(c)に示すように、開口部24(シーム形成用開口部に相当)が形成されている状態の下で、可変抵抗体膜15(例えばC o O膜)をLP (Low Pressure) - CVD法にて、開口部24内を完全に充填するような膜厚条件下で全面に堆積する(ステップ#144)。本ステップ#144によって、開口部24の内側面を構成する第1電極13の側面から開口部24の軸心方向に成長する可変抵抗体膜としてのC o O膜15が接合する部分において、鉛直方向に延伸するシーム31が形成される。なお、本実施形態におけるステップ#144終了後の平面模式図は、図38に示す第14実施形態のステップ#133終了後の平面模式図と同

50

一であり、W - W ' 断面が、図 4 0 ( c ) に相当する。

【 0 1 8 7 】

その後、図 4 0 ( d ) に示すように、シーム 3 1 が形成された可変抵抗体膜 1 5 の上面全面に導電性材料膜 1 6 ( 例えば P t 膜 ) をスパッタ法にて約 1 0 0 n m 程度の膜厚で堆積する ( ステップ # 1 4 5 ) 。本ステップ # 1 4 5 によって第 2 電極 1 6 が形成される。

【 0 1 8 8 】

なお、本実施形態では、図 4 0 ( a ) , ( b ) に示すように開口部 2 8 , 2 4 がそれぞれ筒状に形成される場合を例に挙げて説明したが、開口部 2 4 の形状はこのような形状に限られない。図 4 2 には、開口部 2 8 , 2 4 が錐形状に形成される場合を例示しているが、このような場合においてもステップ # 1 4 1 ~ # 1 4 5 の各工程を経てシーム 3 1 を可変抵抗体 1 5 内に有する可変抵抗素子を形成することができる。

10

【 0 1 8 9 】

以上、各実施形態において説明したように、本発明に係る可変抵抗素子は、可変抵抗体内に意図的にシームを形成し、更に、そのシームを除去することなく可変抵抗体上層に電極 ( 第 2 電極 ) を形成することで、シームをフィラメントパスの一部または全部として活用することを図るものである。

【 0 1 9 0 】

すなわち、可変抵抗体内にシームが形成されている状態の下でフォーミングプロセスを実行することで、電界集中の起こりやすいシーム形成領域並びにその近傍において容易にフィラメントパスが形成されることとなる。つまり、可変抵抗体膜内に形成されたシームをフィラメントパスの一部または全部として利用することができる。このことは、フォーミングプロセスによって生成されるフィラメントパスの生成箇所を特定することができるとともに、フォーミングプロセス時に印加すべき電圧を低電圧化することができることを意味するものである。

20

【 0 1 9 1 】

従って、上記各実施形態によれば、製造時に可変抵抗体内の特定箇所にシームを形成することで、当該シーム形成領域並びにその近傍にフィラメントパスが形成されるため、同一箇所にシームを形成する条件下で可変抵抗素子を製造することで、各可変抵抗素子間において形成されるフィラメントパスの形成領域を同一領域にすることができ、これによって再現性の高い可変抵抗素子を製造することができるとともに構造設計の容易化を実現できる。

30

【 0 1 9 2 】

[ 別実施形態 ]

以下、別実施形態につき説明する。

【 0 1 9 3 】

1 上述の第 1 ~ 第 6 実施形態 ( 図 1 , 図 4 , 図 6 , 図 9 , 図 1 1 , 図 1 4 ) では、可変抵抗体 1 5 が段差のコナ部近傍において堆積膜厚よりも局部的に厚膜化しており、当該厚膜化している領域内にシーム 3 2 が形成される構造としたが、コナ部近傍の可変抵抗体 1 5 の膜厚が堆積膜厚よりも薄く形成される場合であって、同様にコナ部近傍にシーム 3 2 が形成される構造であっても良い。例えば、第 1 実施形態においてステップ # 1 ~ # 5 に係る各工程を実行した場合、図 1 ( d ) のような構造ではなく、図 4 3 に示すような構造となる場合も想定され、かかる場合においても上述した第 1 実施形態の場合と同様の効果が奏される。第 2 ~ 第 6 実施形態においても同様である。

40

【 0 1 9 4 】

さらに、上述の第 7 ~ 第 1 2 実施形態 ( 図 1 6 , 図 1 9 , 図 2 1 , 図 2 4 , 図 2 6 , 図 2 9 ) においても、開口部の内側壁と底面とが接合するコナ部近傍において、堆積膜厚が局部的に厚膜化しており、当該厚膜化している領域内にシーム 3 0 が形成される構造としたが、コナ部近傍の可変抵抗体 1 5 の膜厚が堆積膜厚よりも薄く形成される場合であって、同様にコナ部近傍にシーム 3 0 が形成される構造であっても良い。例えば、第 7 実施形態においてステップ # 6 1 ~ # 6 5 に係る各工程を実行した場合に、図 1 6 ( d )

50

のような構造ではなく、図 4 4 に示すような構造となる場合も想定され、かかる場合においても上述した第 7 実施形態の場合と同様の効果が奏される。第 8 ～ 第 1 2 実施形態においても同様である。

【 0 1 9 5 】

なお、図 1 6 ( d ) では、可変抵抗体膜 1 5 が、開口部底面上の堆積膜厚と、開口部内側壁を構成する絶縁膜 1 4 上の堆積膜厚とが同程度となるように図示されているが、図 4 4 に示したように、開口部底面上の堆積膜厚が絶縁膜 1 4 上の堆積膜厚よりも薄膜化している構造であっても良い。このとき、開口部底面上の堆積膜厚は、中央付近が最も厚く、中央付近から離れるほど、すなわちコーナ領域に近づくほど堆積膜厚が薄膜化する構造となるものとして構わない。第 8 ～ 第 1 2 実施形態においても同様である。

10

【 0 1 9 6 】

2 上述の第 1 実施形態 ( 図 1 ) では、段差の側壁を構成する絶縁膜 1 4 の上面にも可変抵抗体膜 1 5 が堆積する構成としたが、図 4 5 に示すように、絶縁膜 1 4 の上面には可変抵抗体膜 1 5 が堆積されない構成としても良い。この場合、ステップ # 4 に係る可変抵抗体膜 1 5 の堆積後、絶縁膜 1 4 上に堆積した可変抵抗体膜 1 5 を例えば CMP 法によって絶縁膜 1 4 の上面が露出するまで研磨した後、第 2 電極 1 6 を形成することで実現される。第 2 , 第 7 , 第 8 実施形態についても同様とする。なお、第 7 実施形態 ( 図 1 6 ) の場合に、可変抵抗体膜 1 5 を堆積後に絶縁膜 1 4 の上面に堆積した可変抵抗体膜 1 5 を研磨除去すると、図 4 6 に示すような構造となる。

【 0 1 9 7 】

20

また、第 3 実施形態 ( 図 6 ) のように、段差の側壁を構成するのが第 1 電極 1 3 の場合には、可変抵抗体膜 1 5 を堆積後、高さ位置の高い第 1 電極 1 3 の上面に堆積した可変抵抗体膜 1 5 を研磨除去し、次に第 2 電極 1 6 を構成する電極膜を形成後、同様に高さ位置の高い第 1 電極 1 3 の上面に堆積した当該電極膜を研磨除去し、その後に絶縁膜 4 1 を堆積することで、図 4 7 に示すような構造を実現しても良い。なお、図 4 5 の場合と比べ、第 2 電極 1 6 を構成する電極膜についても研磨除去するのは、第 1 電極 1 3 と第 2 電極 1 6 とが接触することでショート状態とならないようにするための措置である。第 3 ～ 第 6 , 第 9 ～ 第 1 1 実施形態についても同様とする。

【 0 1 9 8 】

3 第 1 3 実施形態において、可変抵抗体膜 1 5 が、開口部側壁を構成する絶縁膜 1 4 の上面に堆積される構成としたが、図 4 8 に示すように、可変抵抗体膜 1 5 が絶縁膜 1 4 の上面には堆積されない構成であっても構わない。この場合、可変抵抗体膜 1 5 を堆積後、絶縁膜 1 4 の上面が露出するまで研磨除去した後、第 2 電極 1 3 を形成することで実現される。なお、当該研磨工程を実行することによって、図 4 8 に示すように、可変抵抗体膜 1 5 の上面が絶縁膜 1 4 の上面の高さ位置より低くなっても良い。このような場合においても、可変抵抗体膜 1 5 のほぼ中央部 ( 開口部 2 1 の軸心近傍 ) にシーム 3 1 が形成される。第 1 4 , 第 1 5 実施形態においても同様とする。

30

【 0 1 9 9 】

なお、第 1 4 , 第 1 5 実施形態の場合には、第 1 電極 1 3 と第 2 電極 1 6 とが接触するのを防止すべく、第 2 電極 1 6 を構成する電極膜を堆積後、一部をエッチング除去するものとしても良い。例えば、第 1 4 実施形態の場合、可変抵抗体膜 1 5 を堆積後、第 1 電極 1 3 の上面に堆積した可変抵抗体膜 1 5 を研磨除去し、その後に第 2 電極 1 6 を構成する電極膜を堆積した後、第 1 電極 1 3 と接触している第 2 電極 1 6 の電極膜をエッチング除去するものとしても良い。その後に、絶縁膜 4 1 を堆積することで、図 4 9 に示すような構造が実現される。

40

【 図面の簡単な説明 】

【 0 2 0 0 】

【 図 1 】 本発明の第 1 実施形態の可変抵抗素子の製造方法を示す工程断面図

【 図 2 】 本発明の第 1 実施形態の可変抵抗素子の製造工程を示すフローチャート

【 図 3 】 本発明の第 1 実施形態の可変抵抗素子が形成される領域を示した平面模式図

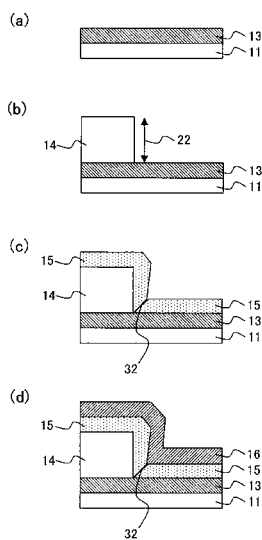
50

【図 4】本発明の第 2 実施形態の可変抵抗素子の製造方法を示す工程断面図	
【図 5】本発明の第 2 実施形態の可変抵抗素子の製造工程を示すフローチャート	
【図 6】本発明の第 3 実施形態の可変抵抗素子の製造方法を示す工程断面図	
【図 7】本発明の第 3 実施形態の可変抵抗素子の製造工程を示すフローチャート	
【図 8】本発明の第 3 実施形態の可変抵抗素子が形成される領域を示した平面模式図	
【図 9】本発明の第 4 実施形態の可変抵抗素子の製造方法を示す工程断面図	
【図 10】本発明の第 4 実施形態の可変抵抗素子の製造工程を示すフローチャート	
【図 11】本発明の第 5 実施形態の可変抵抗素子の製造方法を示す工程断面図	
【図 12】本発明の第 5 実施形態の可変抵抗素子の製造工程を示すフローチャート	
【図 13】本発明の第 5 実施形態の可変抵抗素子が形成される領域を示した平面模式図	10
【図 14】本発明の第 6 実施形態の可変抵抗素子の製造方法を示す工程断面図	
【図 15】本発明の第 6 実施形態の可変抵抗素子の製造工程を示すフローチャート	
【図 16】本発明の第 7 実施形態の可変抵抗素子の製造方法を示す工程断面図	
【図 17】本発明の第 7 実施形態の可変抵抗素子の製造工程を示すフローチャート	
【図 18】本発明の第 7 実施形態の可変抵抗素子が形成される領域を示した平面模式図	
【図 19】本発明の第 8 実施形態の可変抵抗素子の製造方法を示す工程断面図	
【図 20】本発明の第 8 実施形態の可変抵抗素子の製造工程を示すフローチャート	
【図 21】本発明の第 9 実施形態の可変抵抗素子の製造方法を示す工程断面図	
【図 22】本発明の第 9 実施形態の可変抵抗素子の製造工程を示すフローチャート	
【図 23】本発明の第 9 実施形態の可変抵抗素子が形成される領域を示した平面模式図	20
【図 24】本発明の第 10 実施形態の可変抵抗素子の製造方法を示す工程断面図	
【図 25】本発明の第 10 実施形態の可変抵抗素子の製造工程を示すフローチャート	
【図 26】本発明の第 11 実施形態の可変抵抗素子の製造方法を示す工程断面図	
【図 27】本発明の第 11 実施形態の可変抵抗素子の製造工程を示すフローチャート	
【図 28】本発明の第 11 実施形態の可変抵抗素子が形成される領域を示した平面模式図	
【図 29】本発明の第 12 実施形態の可変抵抗素子の製造方法を示す工程断面図	
【図 30】本発明の第 12 実施形態の可変抵抗素子の製造工程を示すフローチャート	
【図 31】本発明の第 13 実施形態の可変抵抗素子の製造方法を示す工程断面図	
【図 32】本発明の第 13 実施形態の可変抵抗素子の製造工程を示すフローチャート	
【図 33】本発明の第 13 実施形態の可変抵抗素子が形成される領域を示した平面模式図	30
【図 34】本発明の第 13 実施形態のシームが形成される領域を示した平面模式図	
【図 35】本発明の第 14 実施形態の可変抵抗素子の製造方法を示す工程断面図	
【図 36】本発明の第 14 実施形態の可変抵抗素子の製造工程を示すフローチャート	
【図 37】本発明の第 14 実施形態の可変抵抗素子が形成される領域を示した平面模式図	
【図 38】本発明の第 14 実施形態のシームが形成される領域を示した平面模式図	
【図 39】本発明の第 14 実施形態の可変抵抗素子の製造方法を示す別の工程断面図	
【図 40】本発明の第 15 実施形態の可変抵抗素子の製造方法を示す工程断面図	
【図 41】本発明の第 15 実施形態の可変抵抗素子の製造工程を示すフローチャート	
【図 42】本発明の第 14 実施形態の可変抵抗素子の製造方法を示す別の工程断面図	
【図 43】本発明の別実施形態の可変抵抗素子の概略構造図	40
【図 44】本発明の別実施形態の可変抵抗素子の別の概略構造図	
【図 45】本発明の別実施形態の可変抵抗素子のさらに別の概略構造図	
【図 46】本発明の別実施形態の可変抵抗素子のさらに別の概略構造図	
【図 47】本発明の別実施形態の可変抵抗素子のさらに別の概略構造図	
【図 48】本発明の別実施形態の可変抵抗素子のさらに別の概略構造図	
【図 49】本発明の別実施形態の可変抵抗素子のさらに別の概略構造図	
【図 50】従来構成の可変抵抗素子の概略構造図	
【符号の説明】	
【 0 2 0 1 】	
1 1 : 半導体基板	50

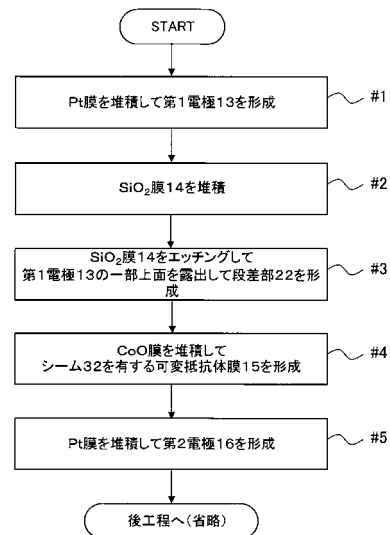
- 13 : 第1電極  
 14 : 絶縁膜  
 15 : 可変抵抗体(膜)  
 16 : 第2電極  
 20 : 開口部  
 21 : 開口部  
 22 : 段差部  
 23 : 開口部  
 24 : 開口部  
 25 : 段差部  
 28 : 開口部  
 29 : 開口部  
 30 : シーム  
 31 : シーム  
 32 : シーム  
 41 : 絶縁膜  
 101 : 上部電極  
 102 : 可変抵抗体  
 103 : 下部電極

10

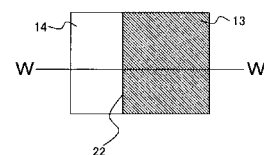
【図1】



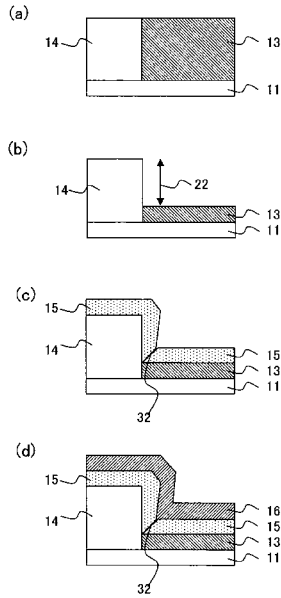
【図2】



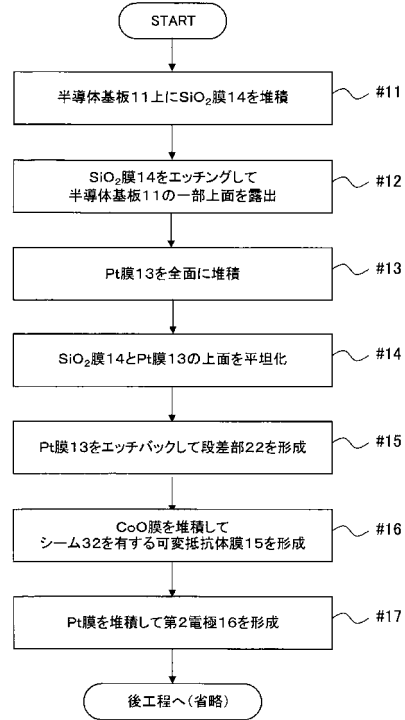
【図3】



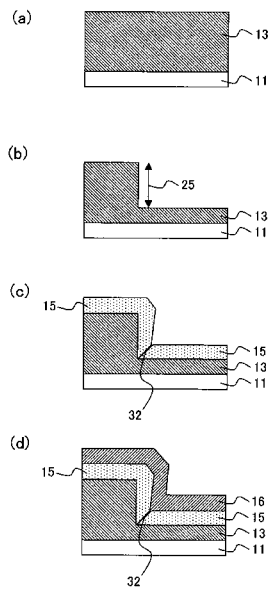
【図 4】



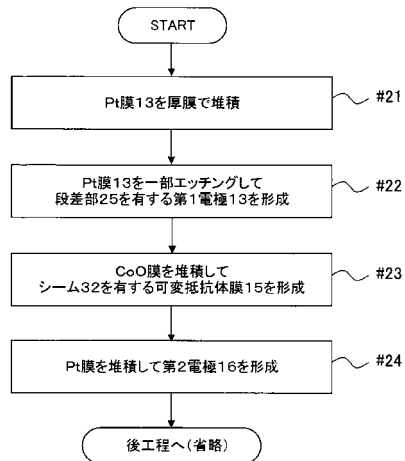
【図 5】



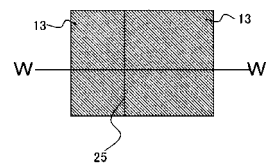
【図 6】



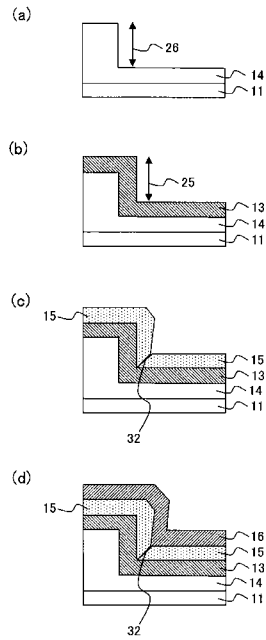
【図 7】



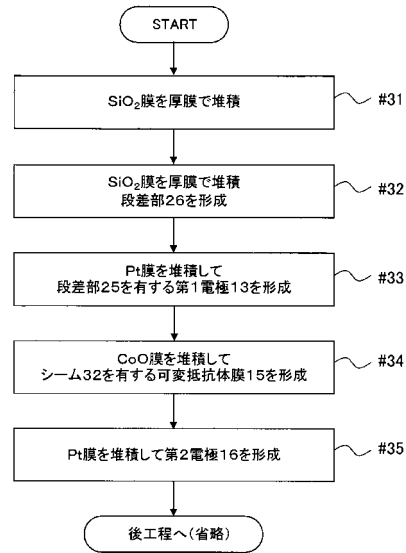
【図 8】



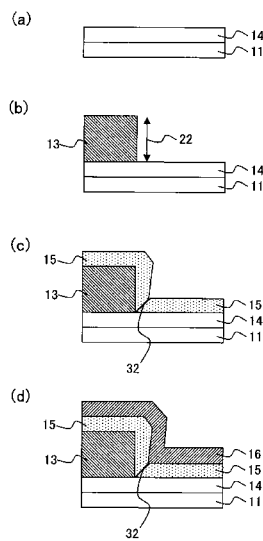
【図 9】



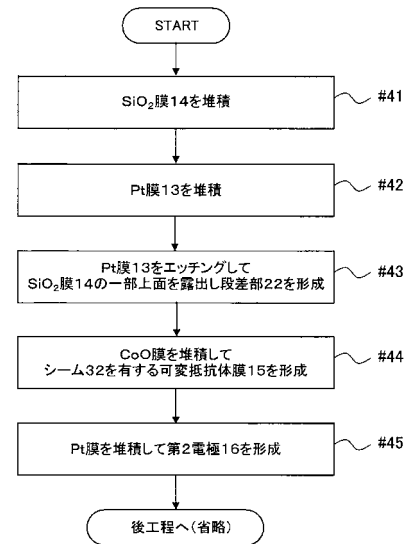
【図 10】



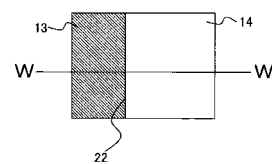
【図 11】



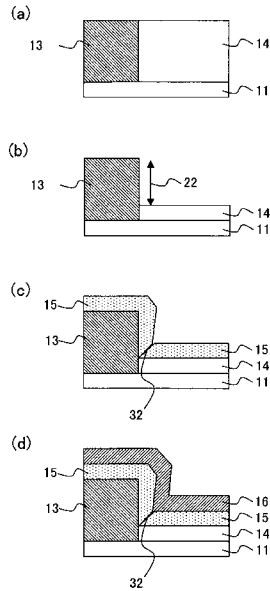
【図 12】



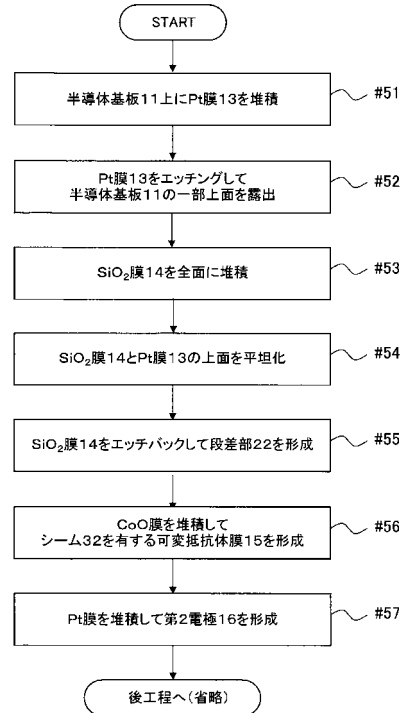
【図 13】



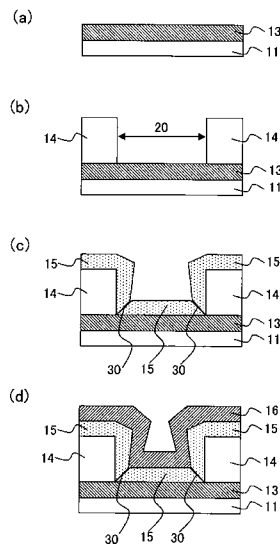
【図 14】



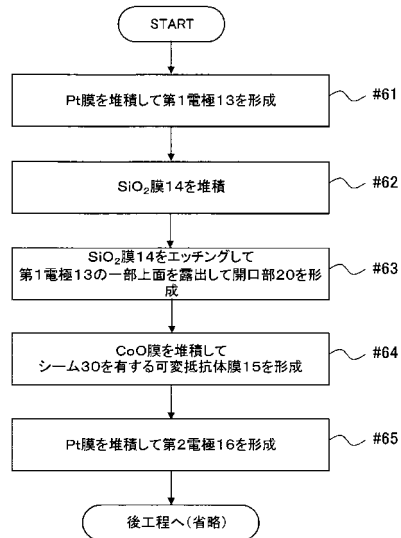
【図 15】



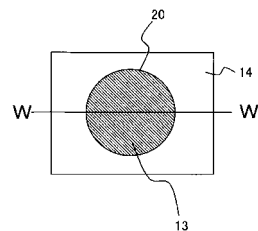
【図 16】



【図 17】

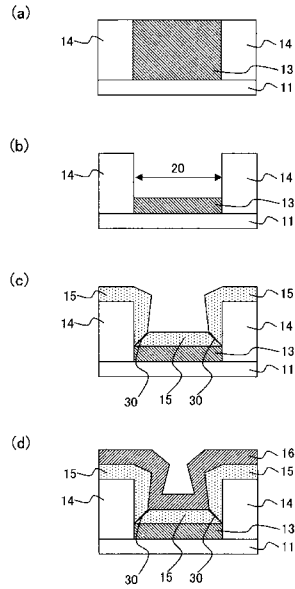


【図 18】

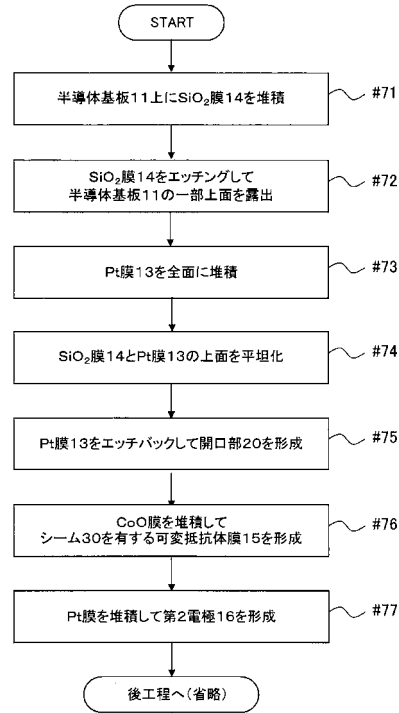




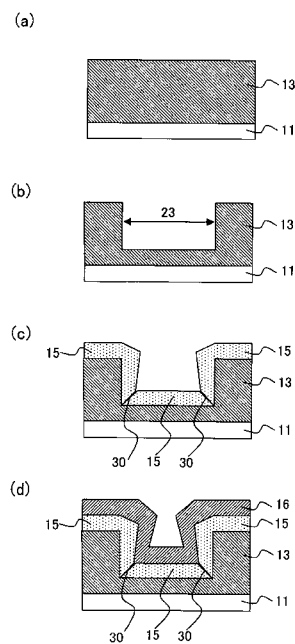
【図 19】



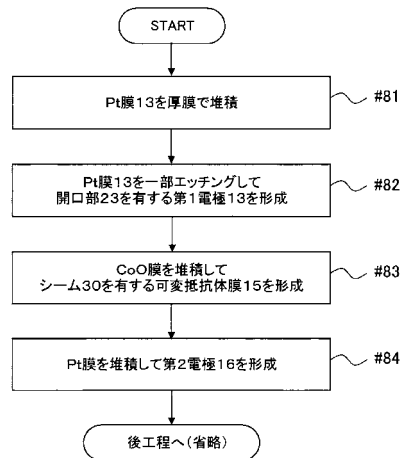
【図 20】



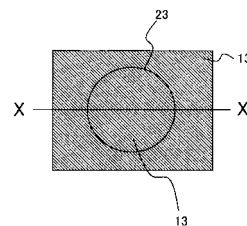
【図 21】



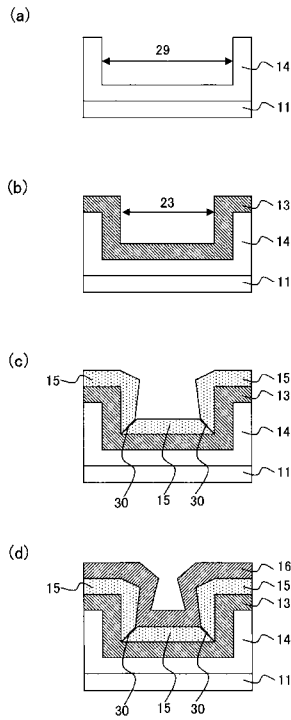
【図 22】



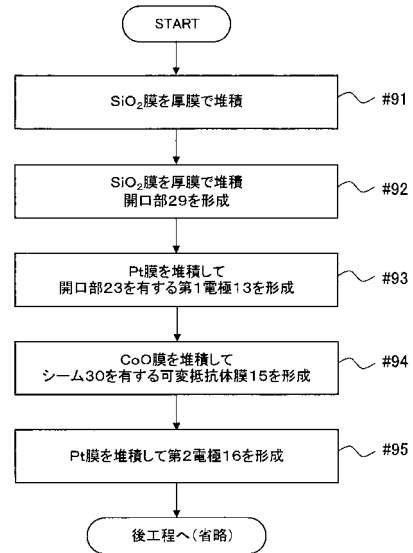
【図 23】



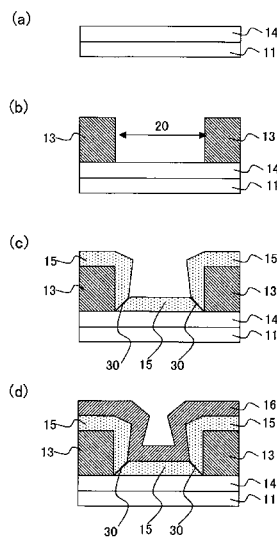
【図 2 4】



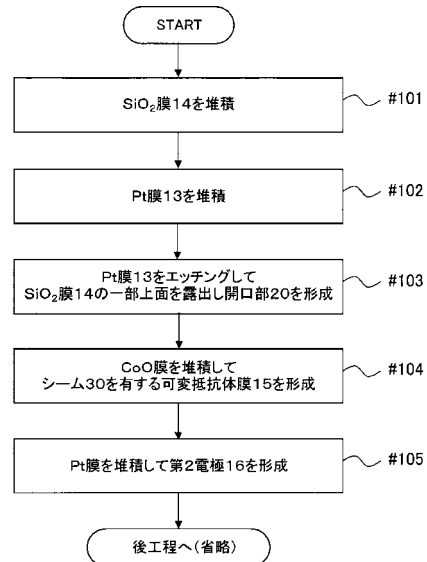
【図 2 5】



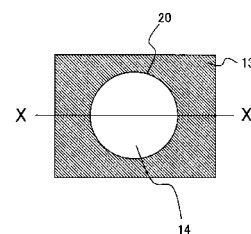
【図 2 6】



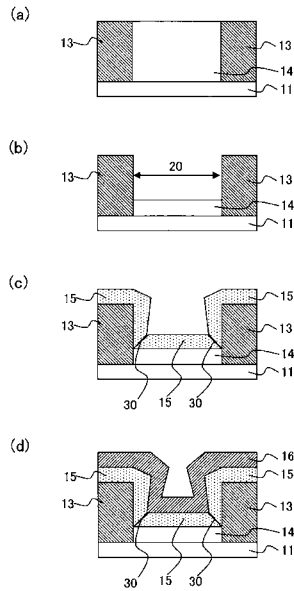
【図 2 7】



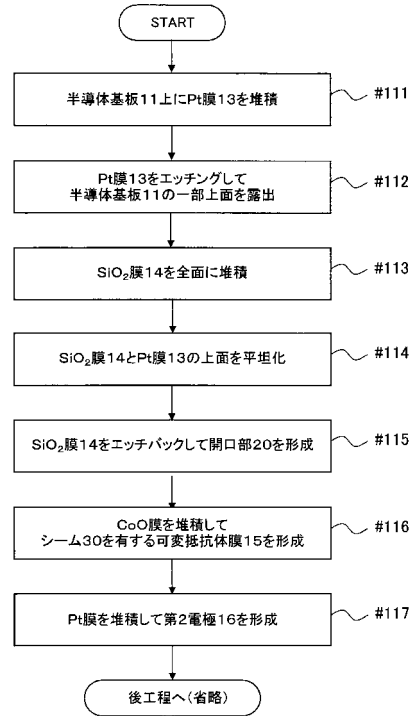
【図 2 8】



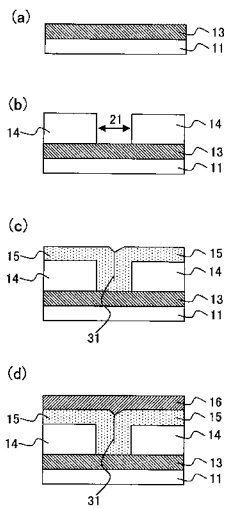
【図 29】



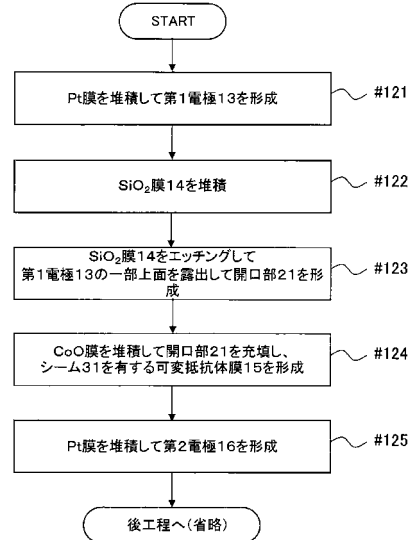
【図 30】



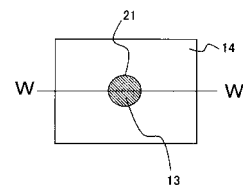
【図 31】



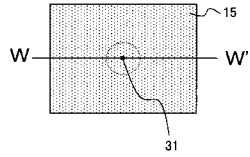
【図 32】



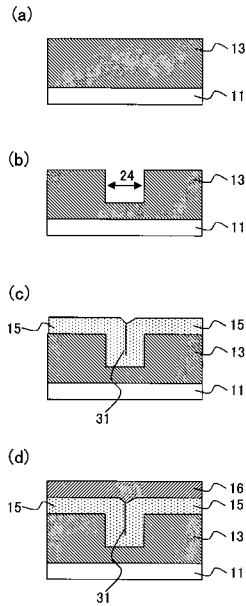
【図 33】



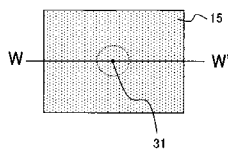
【図 3 4】



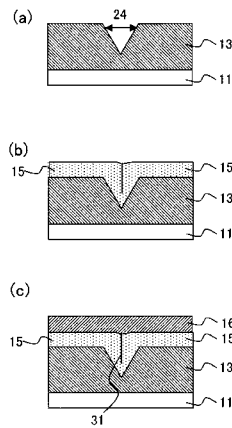
【図 3 5】



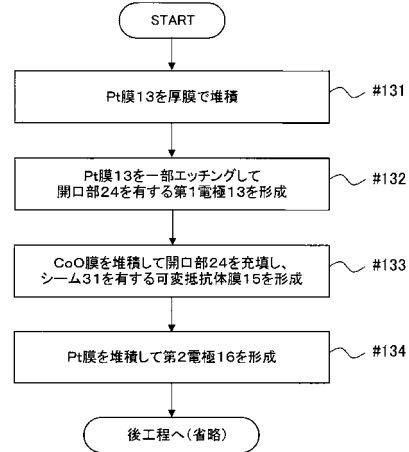
【図 3 8】



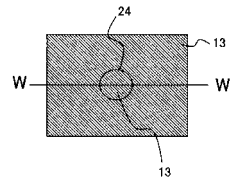
【図 3 9】



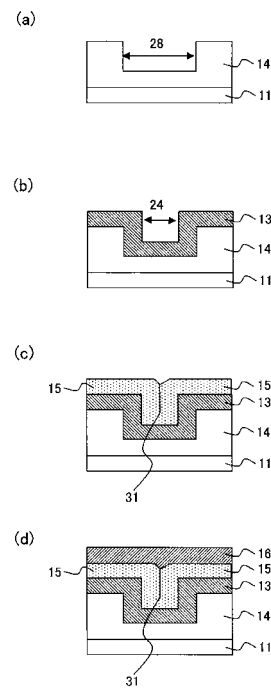
【図 3 6】



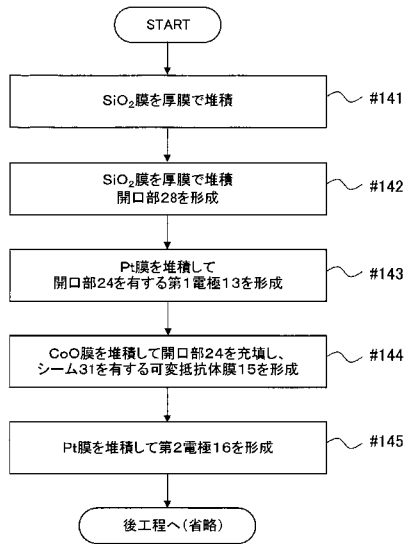
【図 3 7】



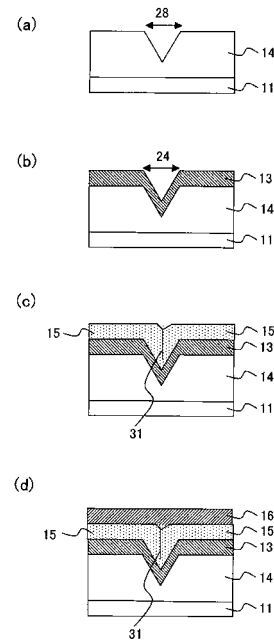
【図 4 0】



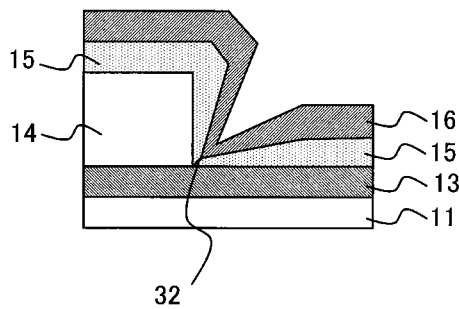
【図 4 1】



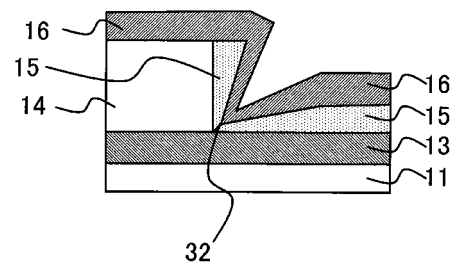
【図 4 2】



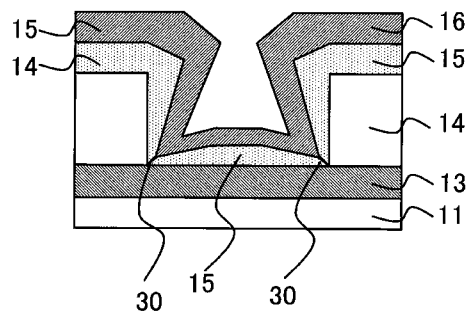
【図 4 3】



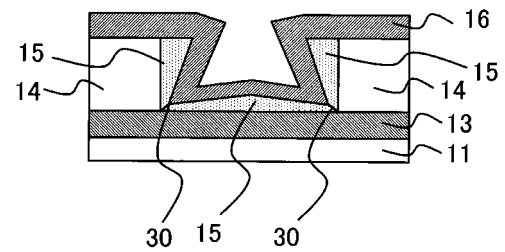
【図 4 5】



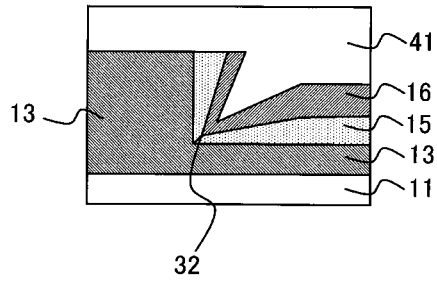
【図 4 4】



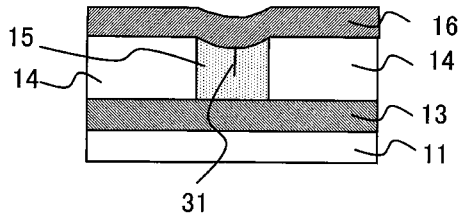
【図 4 6】



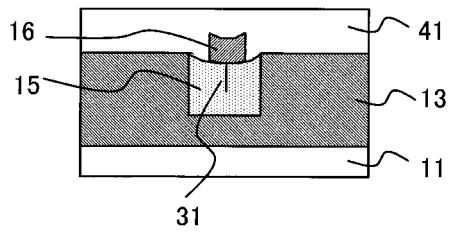
【図 4 7】



【図 4 8】



【図 4 9】



【図 5 0】

