

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4729060号
(P4729060)

(45) 発行日 平成23年7月20日 (2011.7.20)

(24) 登録日 平成23年4月22日 (2011.4.22)

(51) Int. Cl. F I
 HO 1 L 21/8247 (2006.01) HO 1 L 27/10 4 3 4
 HO 1 L 27/115 (2006.01) HO 1 L 29/78 3 7 1
 HO 1 L 29/788 (2006.01)
 HO 1 L 29/792 (2006.01)

請求項の数 2 (全 12 頁)

(21) 出願番号	特願2008-44481 (P2008-44481)	(73) 特許権者	000003078
(22) 出願日	平成20年2月26日 (2008.2.26)		株式会社東芝
(65) 公開番号	特開2009-206152 (P2009-206152A)		東京都港区芝浦一丁目1番1号
(43) 公開日	平成21年9月10日 (2009.9.10)	(74) 代理人	100117787
審査請求日	平成22年2月18日 (2010.2.18)		弁理士 勝沼 宏仁
前置審査		(74) 代理人	100082991
			弁理士 佐藤 泰和
		(74) 代理人	100103263
			弁理士 川崎 康
		(74) 代理人	100107582
			弁理士 関根 毅
		(74) 代理人	100118843
			弁理士 赤岡 明
		(74) 代理人	100144967
			弁理士 重野 隆之

最終頁に続く

(54) 【発明の名称】 半導体記憶装置の製造方法

(57) 【特許請求の範囲】

【請求項1】

半導体基板上に所定間隔を空けて、下から順に積層された第1の絶縁膜、電荷蓄積層、金属酸化物を含む第2の絶縁膜、及び制御ゲート電極をそれぞれ含む複数のワードラインを形成する工程と、

前記ワードライン及び前記ワードライン間の前記半導体基板表面を覆うように膜厚15nm以下のシリコン酸窒化膜を形成する工程と、

前記ワードライン間に、TEOS、O₃、及びH₂Oガス雰囲気中で温度380～480、圧力500Torr～650Torrの条件下でCVD膜を形成する工程と、

を備え、

前記CVD膜を形成する工程では、前記金属酸化物の箇所において前記CVD膜を他箇所より早く成長させて、前記金属酸化物より低い領域を空洞にすることを特徴とする半導体記憶装置の製造方法。

【請求項2】

半導体基板上に所定間隔を空けて、下から順に積層された第1の絶縁膜、電荷蓄積層、第2の絶縁膜、制御ゲート電極、及び金属酸化物膜をそれぞれ含む複数のワードラインを形成する工程と、

前記ワードライン及び前記ワードライン間の前記半導体基板表面を覆うように膜厚15nm以下のシリコン酸窒化膜を形成する工程と、

前記ワードライン間に、TEOS、O₃、及びH₂Oガス雰囲気中で温度380～48

0、圧力500 Torr ~ 650 Torrの条件下でCVD膜を形成する工程と、
を備え、

前記CVD膜を形成する工程では、前記金属酸化物膜の箇所において前記CVD膜を他箇所より早く成長させて、前記金属酸化物膜より低い領域を空洞にすることを特徴とする半導体記憶装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体記憶装置及びその製造方法に関するものである。

【背景技術】

10

【0002】

従来の不揮発性半導体記憶装置では、順に積層されたトンネル酸化膜、浮遊ゲート電極、インターポリ絶縁膜、及び制御ゲート電極を有するワードラインのワードライン間は酸化膜又は窒化膜により埋め込まれていた。しかし、素子の微細化に伴いワードライン間隔が短くなり、隣接するワードラインの浮遊ゲート電極間に発生する寄生容量による浮遊ゲートの閾値電圧のばらつきが増大や、隣接するワードライン間及び浮遊ゲート - 拡散層間に発生する寄生容量による書き込み速度の低下が問題になっている。また、電極間に印加される高電界により、電極間埋め込み材が破壊されるという問題があった。

【0003】

このような問題を解決するため、ワードライン間にエアギャップ（空洞）を設けることが提案されている。例えば、犠牲膜として有機系材料を用い、犠牲膜を灰化により除去することでエアギャップを形成する方法が知られている（例えば特許文献1参照）。しかし、このような方法をワードライン間におけるエアギャップ形成に適用した場合、有機系材料に含まれる炭素などがトンネル酸化膜を劣化させるという問題がある。

20

【0004】

また、ワードライン及びワードライン間に埋め込み性の悪い酸化膜を堆積し、隣接する浮遊ゲート電極間に空隙を設ける方法が知られている（例えば特許文献2参照）。しかし、このような方法では空隙の位置や形状にばらつきが生じ、セル毎の閾値電圧にばらつきが発生して信頼性を低下させるという問題がある。

【0005】

30

このように従来のエアギャップの形成方法では半導体記憶装置の信頼性を低下させるという問題を有していた。

【特許文献1】特開平1 - 137651号公報

【特許文献2】米国特許出願公開第2006 / 0001073号明細書

【発明の開示】

【発明が解決しようとする課題】

【0006】

本発明は閾値電圧のばらつきを低減し、動作速度を向上させる信頼性の高い半導体記憶装置及びその製造方法を提供することを目的とする。

【課題を解決するための手段】

40

【0007】

本発明の一態様による半導体記憶装置は、半導体基板と、前記半導体基板上に所定間隔を空けて形成され、下から順に積層された第1の絶縁膜、電荷蓄積層、金属酸化物を含む第2の絶縁膜、及び制御ゲート電極をそれぞれ有する複数のワードラインと、前記ワードラインの側面及び前記ワードライン間の前記半導体基板表面を覆う膜厚が15nm以下の第3の絶縁膜と、互いに隣接する前記ワードライン間に、前記金属酸化物による触媒効果を用いて前記金属酸化物より低い領域が空洞となるように埋め込まれた第4の絶縁膜と、を備えるものである。

【0008】

また、本発明の一態様による半導体記憶装置は、半導体基板と、前記半導体基板上に所

50

定間隔を空けて形成され、下から順に積層された第1の絶縁膜、電荷蓄積層、第2の絶縁膜、制御ゲート電極、及び金属酸化物膜をそれぞれ有する複数のワードラインと、前記ワードラインの側面及び前記ワードライン間の前記半導体基板表面を覆う膜厚が15nm以下の第3の絶縁膜と、互いに隣接する前記ワードライン間に、前記金属酸化物膜による触媒効果を用いて前記金属酸化物膜より低い領域が空洞となるように埋め込まれた第4の絶縁膜と、を備えるものである。

【0009】

また、本発明の一態様による半導体記憶装置は、半導体基板と、前記半導体基板上に所定方向に沿って所定間隔を空けて形成された複数の第1の絶縁膜と、それぞれ前記複数の第1の絶縁膜上に形成され、下から順に積層された第1の電荷蓄積膜、金属酸化物膜、及び第2の電荷蓄積膜を含む複数の電荷蓄積層と、前記複数の第1の絶縁膜の間の前記半導体基板表面部に形成された溝を含む空洞であり、上面が前記電荷蓄積層の上面より低く形成された素子分離領域と、前記電荷蓄積層及び前記素子分離領域を覆うように前記所定方向に沿って帯状に形成された第2の絶縁膜と、前記第2の絶縁膜上に形成された制御ゲート電極と、をそれぞれ有し、所定間隔を空けて形成された複数のワードラインと、互いに隣接する前記ワードライン間に、前記金属酸化物膜による触媒効果を用いて前記金属酸化物膜より低い領域が空洞となるように埋め込まれた第3の絶縁膜と、を備えるものである。

【0010】

本発明の一態様による半導体記憶装置の製造方法は、半導体基板上に所定間隔を空けて、下から順に積層された第1の絶縁膜、電荷蓄積層、金属酸化物を含む第2の絶縁膜、及び制御ゲート電極をそれぞれ含む複数のワードラインを形成する工程と、前記ワードライン及び前記ワードライン間の前記半導体基板表面を覆うように膜厚15nm以下の第3の絶縁膜を形成する工程と、CVD法により、前記ワードライン間に、前記金属酸化物による触媒効果を用いて前記金属酸化物より低い領域が空洞となるように第4の絶縁膜を埋め込む工程と、を備えるものである。

【0011】

また、本発明の一態様による半導体記憶装置の製造方法は、半導体基板上に所定間隔を空けて、下から順に積層された第1の絶縁膜、電荷蓄積層、第2の絶縁膜、制御ゲート電極、及び金属酸化物膜をそれぞれ含む複数のワードラインを形成する工程と、前記ワードライン及び前記ワードライン間の前記半導体基板表面を覆うように膜厚15nm以下の第3の絶縁膜を形成する工程と、CVD法により、前記ワードライン間に、前記金属酸化物膜による触媒効果を用いて前記金属酸化物膜より低い領域が空洞となるように第4の絶縁膜を埋め込む工程と、を備えるものである。

【発明の効果】

【0012】

本発明によれば、閾値電圧のばらつきを低減し、動作速度を向上させ、信頼性を高くすることができる。

【発明を実施するための最良の形態】

【0013】

以下、本発明の実施の形態を図面に基づいて説明する。

【0014】

(第1の実施形態) 図1乃至図3に本発明の第1の実施形態に係る半導体記憶装置の製造方法を説明する工程断面図を示す。各図はメモリセルアレイ部のビットライン方向に沿った縦断面を示す。

【0015】

図1に示すように、半導体基板101上にシリコン酸化膜からなるトンネル酸化膜102、ポリシリコン膜からなる浮遊ゲート電極103を形成する。

【0016】

そして、所定方向(ビットライン方向)に沿って所定間隔を空けて浮遊ゲート電極10

10

20

30

40

50

3、トンネル酸化膜102、及び半導体基板101を除去して溝(図示せず)を形成する。この溝にシリコン酸化膜を所定の高さまで埋め込んで素子分離領域(図示せず)を形成する。

【0017】

そして、浮遊ゲート電極103及び素子分離領域を覆うようにインターポリ絶縁膜104を形成する。インターポリ絶縁膜104は金属酸化物を含む。金属酸化物は例えばZrO₂やPbZrO₂、BaZrO₃などのZr系酸化物、HfO₂やHfON、HfAlOなどのHf系酸化物、LaO₃などのLa系酸化物、Al₂O₃やAlZrO₅などのAl系酸化物、Ta₂O₅などのTa系酸化物、TiO₂などのTi系酸化物、Y₂O₃などのY系酸化物を用いることができる。

10

【0018】

インターポリ絶縁膜104は例えば窒化膜/酸化膜/金属酸化物/酸化膜/窒化膜を積層した構造とすることができる。

【0019】

インターポリ絶縁膜104上に第1のポリシリコン膜を形成する。選択トランジスタ及び周辺トランジスタ(共に図示せず)が形成される領域の第1のポリシリコン膜及びインターポリ絶縁膜104の一部を除去して溝を形成する。この溝を埋め込むように第1のポリシリコン膜上に第2のポリシリコン膜を形成する。

【0020】

メモリセルアレイ部では制御ゲート電極105は第1のポリシリコン膜及び第2のポリシリコン膜からなる。また、選択ゲートトランジスタ及び周辺トランジスタではインターポリ絶縁膜104の上下のポリシリコン膜(電極層)が接続されたエッチングインターポリ構造になっている。

20

【0021】

そして、制御ゲート電極105上にシリコン窒化膜106を形成する。続いて、シリコン窒化膜106上にレジスト107を形成し、所定間隔を空けて前記所定方向に直交する方向(ワードライン方向)に沿った帯状となるようにパターンニングする。

【0022】

図2に示すように、レジスト107をマスクとして、シリコン窒化膜106をRIE(反応性イオンエッチング)加工する。そして、レジスト107の除去を行い、シリコン窒化膜106をマスクとして、制御ゲート電極105、インターポリ絶縁膜104、浮遊ゲート電極103、及びトンネル酸化膜102をRIEで除去し、ワードラインWL及び選択トランジスタ(図示せず)を加工する。

30

【0023】

続いて、ワードラインWL及び半導体基板101を覆うようにシリコン酸窒化膜110をALD(Atomic Layer Deposition)法により形成する。ここで、シリコン酸窒化膜110の膜厚は15nm以下となるようにする。表面リークを防止するため、ワードラインを覆うように必ず酸化膜等を形成する必要がある、シリコン酸窒化膜110を形成するのはこのためである。

【0024】

図3に示すように、準常圧熱CVD(Chemical Vapor Deposition:化学気相成長)膜111を成膜する。準常圧熱CVD膜111は例えばTEOS(テトラエトキシシラン:Si(OC₂H₅)₄)、O₃、及びH₂Oガス雰囲気中で温度380~480、圧力500~650Torrで成膜される。

40

【0025】

インターポリ絶縁膜104には金属酸化物が含まれている。この金属酸化物付近では酸素分子が解離吸着を起こし、活性化された酸素によって反応が促進される。この現象は触媒効果とも言われる。

【0026】

この触媒効果により準常圧熱CVD膜111の化学反応(TEOSの酸化)が促進され

50

る。つまり金属酸化物が含まれているインターポリ絶縁膜104の箇所においてCVD膜111が早く成長する。

【0027】

従って、インターポリ絶縁膜104より下のワードラインWL間、すなわち浮遊ゲート電極103間が埋め込まれずに空洞112が形成される。

【0028】

インターポリ絶縁膜104の側面にはシリコン酸窒化膜110が存在するが、シリコン酸窒化膜110は膜厚が15nm以下であるため、インターポリ絶縁膜104に含まれる金属酸化物の触媒効果がCVD膜111の成長に影響を与えることができる。

【0029】

浮遊ゲート電極103間に空洞部を有するため、浮遊ゲート電極103間の寄生容量を低減し、動作速度を向上させることができる。

【0030】

また、インターポリ絶縁膜104に含まれる金属酸化物の触媒効果でCVD膜111の成長を早くして空洞112を形成するため、各ワードラインWL間の空洞112の位置や形状に生じるばらつきを小さくできる。従って、セル毎の閾値電圧のばらつきの発生が抑制され、信頼性の高い半導体記憶装置が得られる。

【0031】

(第2の実施形態)図4乃至図6に本発明の第2の実施形態に係る半導体記憶装置の製造方法を説明する工程断面図を示す。各図はメモリセルアレイ部のビットライン方向に沿った縦断面を示す。

【0032】

図4に示すように、半導体基板201上にシリコン酸化膜からなるトンネル酸化膜202、ポリシリコン膜からなる浮遊ゲート電極203を形成する。

【0033】

そして、所定方向(ビットライン方向)に沿って所定間隔を空けて浮遊ゲート電極203、トンネル酸化膜202、及び半導体基板201を除去して溝(図示せず)を形成する。この溝にシリコン酸化膜を所定の高さまで埋め込んで素子分離領域(図示せず)を形成する。

【0034】

そして、浮遊ゲート電極203及び素子分離領域を覆うようにインターポリ絶縁膜204を形成する。

【0035】

インターポリ絶縁膜204上に第1のポリシリコン膜を形成する。選択トランジスタ及び周辺トランジスタ(共に図示せず)が形成される領域の第1のポリシリコン膜及びインターポリ絶縁膜204の一部を除去して溝を形成する。この溝を埋め込むように第1のポリシリコン膜上に第2のポリシリコン膜を形成する。

【0036】

メモリセルアレイ部では制御ゲート電極205は第1のポリシリコン膜及び第2のポリシリコン膜からなる。また、選択ゲートトランジスタ及び周辺トランジスタではインターポリ絶縁膜204の上下のポリシリコン膜(電極層)が接続されたエッチングインターポリ構造になっている。

【0037】

そして、制御ゲート電極205上にALD法で金属酸化物膜206を形成する。金属酸化物は例えば ZrO_2 や $PbZrO_2$ 、 $BaZrO_3$ などのZr系酸化物、 HfO_2 や $HfON$ 、 $HfAlO$ などのHf系酸化物、 LaO_3 などのLa系酸化物、 Al_2O_3 や $AlZrO_5$ などのAl系酸化物、 Ta_2O_5 などのTa系酸化物、 TiO_2 などのTi系酸化物、 Y_2O_3 などのY系酸化物を用いることができる。

【0038】

続いて、金属酸化物膜206上にレジスト207を形成し、所定間隔を空けて前記所定

10

20

30

40

50

方向に直交する方向（ワードライン方向）に沿った帯状となるようにパターンニングする。

【0039】

図5に示すように、レジスト207をマスクとして、金属酸化物膜206、制御ゲート電極205、インターポリ絶縁膜204、浮遊ゲート電極203、及びトンネル酸化膜202をRIEで除去し、ワードラインWL及び選択トランジスタ（図示せず）を加工する。そしてレジスト207を剥離する。

【0040】

続いて、ワードラインWL及び半導体基板201を覆うようにシリコン酸窒化膜208をALD（Atomic Layer Deposition）法により形成する。ここで、シリコン酸窒化膜208の膜厚は15nm以下となるようにする。シリコン酸窒化膜208は表面リーク防止用に必ず形成されるものである。

10

【0041】

図6に示すように、準常圧熱CVD膜209を成膜する。準常圧熱CVD膜209は例えばTEOS、 O_3 、及び H_2O ガス雰囲気中で温度380～480、圧力500～650 Torrで成膜される。

【0042】

金属酸化物膜206に含まれる金属酸化物の触媒効果により準常圧熱CVD膜209の化学反応（TEOSの酸化）が促進される。つまり金属酸化物膜206の箇所においてCVD膜209が早く成長する。

【0043】

20

従って、金属酸化物膜206より下のワードラインWL間、すなわち制御ゲート電極25間、浮遊ゲート電極203間が埋め込まれずに空洞200が形成される。

【0044】

金属酸化物膜206はシリコン酸窒化膜208に覆われているが、シリコン酸窒化膜208は膜厚が15nm以下であるため、金属酸化物の触媒効果がCVD膜209の成長に影響を与えることができる。

【0045】

浮遊ゲート電極203間に空洞部を有するため、浮遊ゲート電極203間の寄生容量を低減し、動作速度を向上させることができる。

【0046】

30

また、制御ゲート電極205間にも空洞部が存在するため、電極間に印加される高電界に対する耐圧が向上し、信頼性の高い半導体記憶装置となる。

【0047】

また、金属酸化物膜206の触媒効果でCVD膜209の成長を促進して空洞200を形成するため、各ワードラインWL間の空洞200の位置や形状に生じるばらつきを小さくできる。従って、セル毎の閾値電圧のばらつきの発生が抑制され、信頼性の高い半導体記憶装置となる。

【0048】

（第3の実施形態）図7乃至図9に本発明の第3の実施形態に係る半導体記憶装置の製造方法を説明する工程断面図を示す。各図において（a）はメモリセルアレイ部のビットライン方向に沿った縦断面、（b）はワードライン方向に沿った縦断面を示す。

40

【0049】

図7に示すように、半導体基板301上にシリコン酸化膜からなるトンネル酸化膜302を形成し、トンネル酸化膜302上にポリシリコン膜303a、金属酸化物層303b、及びポリシリコン膜303cの積層構造を有する浮遊ゲート電極303を形成する。

【0050】

金属酸化物層303bは例えば ZrO_2 や $PbZrO_2$ 、 $BaZrO_3$ などのZr系酸化物、 HfO_2 や $HfON$ 、 $HfAlO$ などのHf系酸化物、 LaO_3 などのLa系酸化物、 Al_2O_3 や $AlZrO_5$ などのAl系酸化物、 Ta_2O_5 などのTa系酸化物、 TiO_2 などのTi系酸化物、 Y_2O_3 などのY系酸化物を用いることができる。

50

【 0 0 5 1 】

そして、ビット線方向に沿って所定間隔を空けて浮遊ゲート電極 3 0 3、トンネル酸化膜 3 0 2、及び半導体基板 3 0 1 を除去して溝を形成する。この溝にシリコン酸化膜を所定の高さまで埋め込んで、上面が浮遊ゲート電極 3 0 3 上面より低い素子分離領域 3 0 4 を形成する。

【 0 0 5 2 】

そして、浮遊ゲート電極 3 0 3 及び素子分離領域 3 0 4 を覆うようにインターポリ絶縁膜 3 0 5 を形成する。

【 0 0 5 3 】

インターポリ絶縁膜 3 0 5 上に第 1 のポリシリコン膜を形成する。選択トランジスタ及び周辺トランジスタ（共に図示せず）が形成される領域の第 1 のポリシリコン膜及びインターポリ絶縁膜 3 0 5 の一部を除去して溝を形成する。この溝を埋め込むように第 1 のポリシリコン膜上に第 2 のポリシリコン膜を形成する。

10

【 0 0 5 4 】

メモリセルアレイ部では制御ゲート電極 3 0 6 は第 1 のポリシリコン膜及び第 2 のポリシリコン膜からなる。また、選択ゲートトランジスタ及び周辺トランジスタではインターポリ絶縁膜 3 0 5 の上下のポリシリコン膜（電極層）が接続されたエッチングインターポリ構造になっている。

【 0 0 5 5 】

そして、制御ゲート電極 3 0 6 上にシリコン窒化膜 3 0 7 を形成する。続いて、シリコン窒化膜 3 0 7 上にレジスト 3 0 8 を形成し、所定間隔を空けてワードライン方向に沿った帯状となるようにパターンニングする。

20

【 0 0 5 6 】

図 8 に示すように、レジスト 3 0 8 をマスクとして、シリコン窒化膜 3 0 7 を R I E（反応性イオンエッチング）加工する。そして、レジスト 3 0 8 の除去を行い、シリコン窒化膜 3 0 7 をマスクとして、制御ゲート電極 3 0 6、インターポリ絶縁膜 3 0 5、浮遊ゲート電極 3 0 3、及びトンネル酸化膜 3 0 2 を R I E で除去し、ワードライン W L 及び選択トランジスタ（図示せず）を加工する。さらに、ワードライン W L を覆うように表面リーク防止用の酸化膜（図示せず）を形成する。

【 0 0 5 7 】

図 9 に示すように、ウェットエッチングにより素子分離領域 3 0 4 のシリコン酸化膜の一部を除去する。

30

【 0 0 5 8 】

続いて、準常圧熱 C V D 膜 3 1 1 を成膜する。準常圧熱 C V D 膜 3 1 1 は例えば T E O S、O₃、及び H₂O ガス雰囲気中で温度 3 8 0 ~ 4 8 0、圧力 5 0 0 ~ 6 5 0 T o r r で成膜される。

【 0 0 5 9 】

浮遊ゲート電極 3 0 3 には金属酸化物層 3 0 3 b が含まれている。この金属酸化物の触媒効果により準常圧熱 C V D 膜 3 1 1 の化学反応（T E O S の酸化）が促進される。つまり金属酸化物層 3 0 3 b の箇所において C V D 膜 3 1 1 が早く成長する。

40

【 0 0 6 0 】

従って、金属酸化物層 3 0 3 b より下のワードライン W L 間、すなわち浮遊ゲート電極 3 0 3 間の方部分部分が埋め込まれずに空洞 3 1 2 が形成される。

【 0 0 6 1 】

浮遊ゲート電極 3 0 3 間に空洞部を有するため、浮遊ゲート電極 3 0 3 間の寄生容量を低減し、動作速度を向上させることができる。また、素子分離領域にも空洞が形成されるため、浮遊ゲート電極と基板との間に生じる寄生容量も低減することができる。

【 0 0 6 2 】

また、金属酸化物層 3 0 3 b の触媒効果で C V D 膜 3 1 1 の成長を早くして空洞 3 1 2 を形成するため、各ワードライン W L 間の空洞 3 1 2 の位置や形状に生じるばらつきを小

50

さくできる。従って、セル毎の閾値電圧のばらつきが発生が抑制され、信頼性の高い半導体記憶装置となる。

【 0 0 6 3 】

上述した実施の形態はいずれも一例であって限定的なものではないと考えられるべきである。例えば上記実施形態による半導体記憶装置は制御ゲート電極/インターポリ絶縁膜/浮遊ゲート電極/トンネル酸化膜のスタック・ゲート型メモリセル構造であったが、MONOS構造にも適用することができる。

【 0 0 6 4 】

上記第2の実施形態におけるエアギャップ(空洞)の形成方法をMONOS構造に適用した場合、図10に示すような半導体記憶装置が得られる。

10

【 0 0 6 5 】

ここでワードラインWLは半導体基板400上に順に積層されたトンネル酸化膜401、トラップ窒化膜402、インターポリ絶縁膜(高誘電体膜)403、制御ゲート電極404、及び金属酸化物膜405を有する。制御ゲート電極404はメタル膜404a及びポリシリコン膜404bを含む。

【 0 0 6 6 】

ワードラインWL及びワードラインWL間の半導体基板を覆うように表面リーク防止用のシリコン窒化膜406が膜厚15nm以下で形成されている

上記実施形態で説明したように、金属酸化物膜405に含まれる金属酸化物の触媒効果により準常圧熱CVD膜407の化学反応(TEOSの酸化)が促進される。つまり金属酸化物膜405の箇所においてCVD膜407が早く成長し、金属酸化物膜405より下方のワードラインWL間が埋め込まれず空洞408となる。

20

【 0 0 6 7 】

このようなMONOS構造の半導体記憶装置も、上記第2の実施形態と同様に動作速度及び高電界に対する耐圧が向上し、信頼性の高いものとなる。

【 0 0 6 8 】

また、MONOS構造の半導体記憶装置の素子分離領域を空洞にする一例を図11~図13を用いて説明する。図11に示すように、半導体基板501上にトンネル酸化膜502、トラップ窒化膜503、金属酸化物(例えばアルミナ)を含むブロック膜504、メタル(例えばTiN)膜505a及びポリシリコン膜505bからなる制御ゲート電極505、シリコン窒化膜506を順に形成する。そしてシリコン窒化膜506上にレジスト507を形成し、所定間隔を空けてビットライン方向に沿って帯状となるようにリソグラフィ処理する。

30

【 0 0 6 9 】

図12に示すように、レジスト507をマスクとしてシリコン窒化膜506をRIE加工し、レジスト507を剥離する。そして、シリコン窒化膜506をマスクとして、制御ゲート電極505、ブロック膜504、トラップ窒化膜503、トンネル酸化膜502、半導体基板501をRIE加工し、溝を形成する。

【 0 0 7 0 】

図13に示すように、準常圧熱CVD膜508を成膜する。ブロック膜504には金属酸化物が含まれている。この金属酸化物の触媒効果により準常圧熱CVD膜508の化学反応(TEOSの酸化)が促進される。つまりブロック膜504の箇所においてCVD膜508が早く成長する。従って、ブロック膜504より下に位置する溝が埋め込まれず空洞509が形成される。このようにして素子分離領域を空洞にしてもよい。

40

【 0 0 7 1 】

また、上記第3の実施形態では金属酸化物層を浮遊ゲート電極内に形成していたが、図14に示すように、制御ゲート電極CG内に形成するようにしてもよい。これにより、隣接するワードラインWL間において、浮遊ゲート電極FG間及び制御ゲート電極CG下部間に空洞600が形成される。

【 0 0 7 2 】

50

本発明の技術的範囲は特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【図面の簡単な説明】

【0073】

【図1】本発明の第1の実施形態による半導体記憶装置の製造方法を説明する工程断面図である。

【図2】同第1の実施形態による半導体記憶装置の製造方法を説明する工程断面図である。

【図3】同第1の実施形態による半導体記憶装置の製造方法を説明する工程断面図である。

【図4】本発明の第2の実施形態による半導体記憶装置の製造方法を説明する工程断面図である。

【図5】同第2の実施形態による半導体記憶装置の製造方法を説明する工程断面図である。

【図6】同第2の実施形態による半導体記憶装置の製造方法を説明する工程断面図である。

【図7】本発明の第3の実施形態による半導体記憶装置の製造方法を説明する工程断面図である。

【図8】同第3の実施形態による半導体記憶装置の製造方法を説明する工程断面図である。

【図9】同第3の実施形態による半導体記憶装置の製造方法を説明する工程断面図である。

【図10】変形例による半導体記憶装置の概略構成図である。

【図11】変形例による半導体記憶装置の製造方法を説明する工程断面図である。

【図12】変形例による半導体記憶装置の製造方法を説明する工程断面図である。

【図13】変形例による半導体記憶装置の製造方法を説明する工程断面図である。

【図14】変形例による半導体記憶装置の概略構成図である。

【符号の説明】

【0074】

101 半導体基板

102 トンネル酸化膜

103 浮遊ゲート電極

104 インターポリ絶縁膜

105 制御ゲート電極

106 シリコン窒化膜

110 シリコン酸窒化膜

111 準常圧熱CVD膜

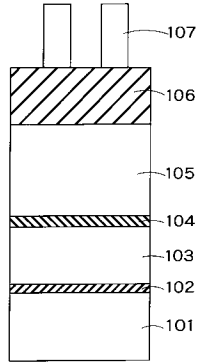
112 空洞

10

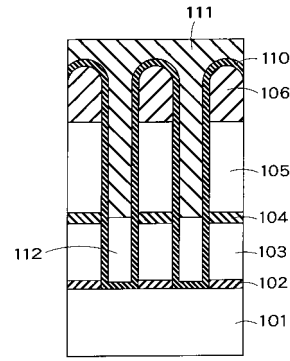
20

30

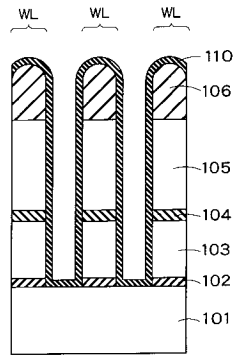
【図1】



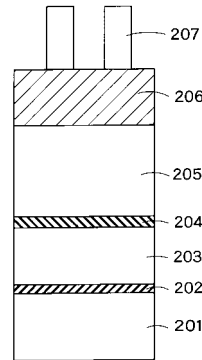
【図3】



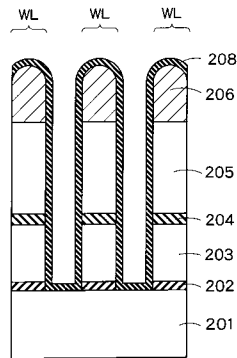
【図2】



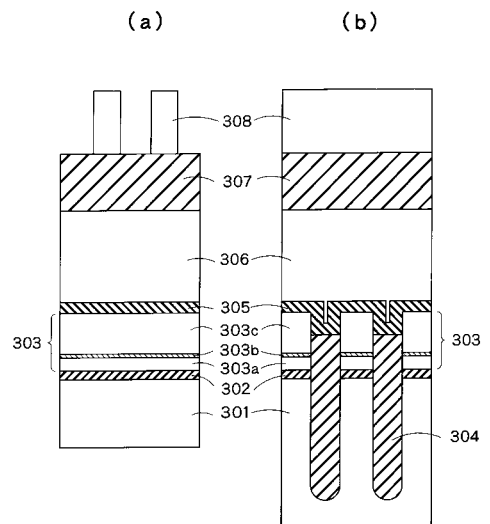
【図4】



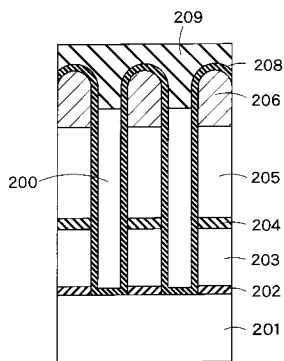
【図5】



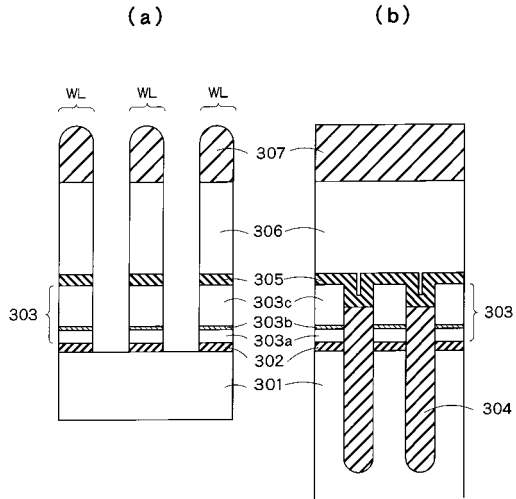
【図7】



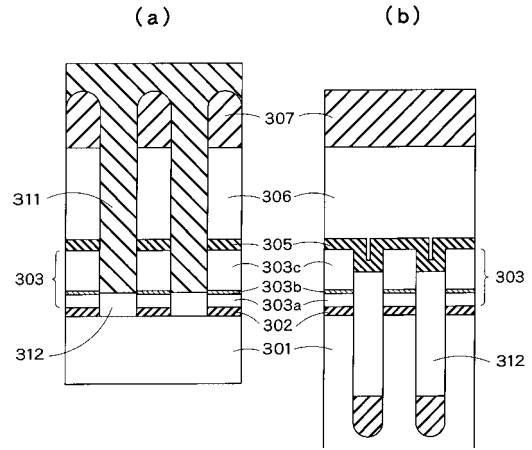
【図6】



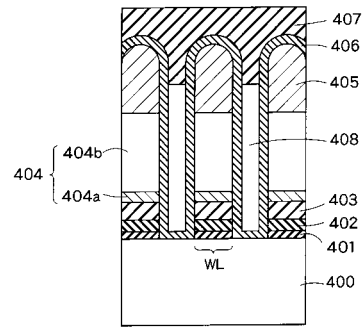
【 図 8 】



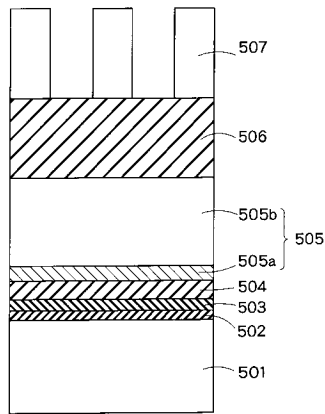
【 図 9 】



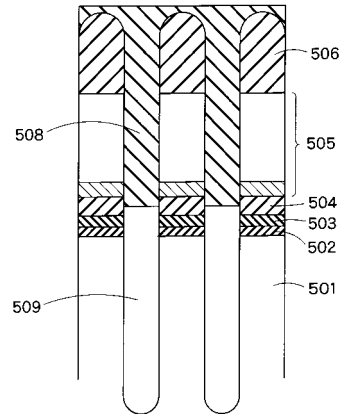
【 図 10 】



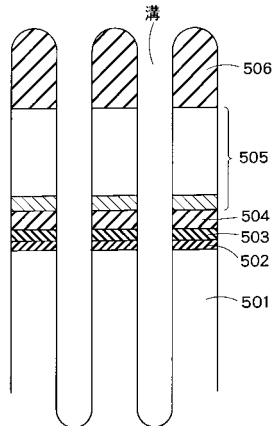
【 図 11 】



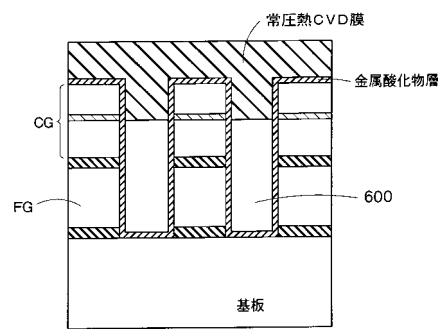
【 図 13 】



【 図 12 】



【 図 14 】



フロントページの続き

- (72)発明者 青 山 賢 士
東京都港区芝浦一丁目1番1号 株式会社東芝内
- (72)発明者 伊 藤 永 二
東京都港区芝浦一丁目1番1号 株式会社東芝内
- (72)発明者 清 利 正 弘
東京都港区芝浦一丁目1番1号 株式会社東芝内
- (72)発明者 井 口 直
東京都港区芝浦一丁目1番1号 株式会社東芝内
- (72)発明者 矢 吹 宗
東京都港区芝浦一丁目1番1号 株式会社東芝内

審査官 池 淵 立

- (56)参考文献 特開2006-302950(JP,A)
特開2007-299975(JP,A)
特開2005-044844(JP,A)
特開2007-088283(JP,A)
特開平08-139211(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/8247
H01L 27/115
H01L 29/788
H01L 29/792