

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5733627号
(P5733627)

(45) 発行日 平成27年6月10日 (2015. 6. 10)

(24) 登録日 平成27年4月24日 (2015. 4. 24)

(51) Int. Cl.			F I		
HO3K	17/16	(2006.01)	HO3K	17/16	H
HO3K	17/687	(2006.01)	HO3K	17/687	A
HO2M	1/08	(2006.01)	HO2M	1/08	A

請求項の数 5 (全 8 頁)

(21) 出願番号	特願2011-161330 (P2011-161330)	(73) 特許権者	000106276
(22) 出願日	平成23年7月22日 (2011. 7. 22)		サンケン電気株式会社
(65) 公開番号	特開2013-26924 (P2013-26924A)		埼玉県新座市北野3丁目6番3号
(43) 公開日	平成25年2月4日 (2013. 2. 4)	(72) 発明者	町田 修
審査請求日	平成26年6月20日 (2014. 6. 20)		埼玉県新座市北野3丁目6番3号 サンケン電気株式会社内
		審査官	栗栖 正和

最終頁に続く

(54) 【発明の名称】 ゲートドライブ回路

(57) 【特許請求の範囲】

【請求項1】

ドレインとソースとゲートとを有し且つワイドバンドギャップ半導体からなる第1のスイッチング素子の、前記ゲートに制御回路からの制御信号を印加することにより前記第1のスイッチング素子をオンオフ駆動させるゲートドライブ回路であって、

前記制御回路と前記第1のスイッチング素子の前記ゲートとの間に接続され、第1のコンデンサと第1の抵抗とからなる並列回路と、

前記並列回路と並列に、第2のコンデンサとワイドバンドギャップ半導体からなる第2のスイッチング素子の主電極間を介して第2の抵抗とが直列に接続された直列回路が接続され、

前記第2のスイッチング素子のゲートは、前記第1のスイッチング素子のソース端子に接続され、

前記第2のコンデンサと前記第2のスイッチング素子の主電極との接続点から第1のダイオードのアノードを介して前記第1のスイッチング素子のソース端子に接続され、

前記制御信号のオフ信号に対して、前記第1のスイッチング素子のゲートを負電位にバイアスする手段と、を備えることを特徴とするゲートドライブ回路。

【請求項2】

前記第1のコンデンサの容量は、前記第2のコンデンサの容量よりも小さく、前記第1のスイッチング素子のゲート・ソース間容量よりも大きいことを特徴とする請求項1記載のゲートドライブ回路。

【請求項 3】

前記第 2 のコンデンサと前記第 2 のスイッチング素子の主電極との接続点から第 1 のダイオードのアノードとの接続の間に、第 1 のツェナーダイオード介して接続されていることを特徴とする請求項 1 乃至 2 記載のゲートドライブ回路。

【請求項 4】

前記第 2 のスイッチング素子は、ドレインとソースとゲートとを有し且つワイドバンドギャップ半導体からなることを特徴とする請求項 1 乃至 3 記載のゲートドライブ回路。

【請求項 5】

前記第 1 のスイッチング素子と前記第 2 のスイッチング素子とは、同一の基板上に構成されたワイドバンドギャップ半導体からなることを特徴とする請求項 4 記載のゲートドライブ回路。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、スイッチング素子のゲートをドライブするゲートドライブ回路に関する。

【背景技術】

【0002】

GaN デバイスは、既存の Si デバイスをはるかに凌駕するポテンシャルを持つため、その実用化が待ち望まれている。しかし、通常の GaN FET は、ノーマリオン型であるため、マイナス電源が必要である。

20

【0003】

一方、ノーマリオフ型の GaN FET は、非常に作製が困難である。また、ノーマリオフ型 GaN FET は、しきい値電圧が +1 ~ 3 V 程度であり、既存の Si MOSFET に比べてしきい値電圧が非常に低い(問題点 1)。

【0004】

また、ノーマリオフ型 GaN FET では、ゲート・ソース間が Si MOSFET のような絶縁構造ではなく、大きな電圧を印加すると、大電流が流れてしまうダイオード特性を示す。このため、ゲートへ大電圧を印加時すると、ノーマリオフ型 GaN FET が破壊し易くなる(問題点 2)。

【0005】

即ち、ノーマリオフ型 GaN FET には、既存の Si MOSFET (IGBT (絶縁ゲートバイポーラトランジスタ)) 用のゲートドライブ回路をそのまま使用することができず、ノーマリオフ型の GaN FET 専用のドライブ回路が必要である。

30

【0006】

また、問題点 1 について、ターンオフ時間を短縮するためには、しきい値電圧より充分低い電圧を印加する必要がある。しきい値電圧(+1 V)より充分低い電圧、即ち 0 V 以下のマイナス電圧を印加する必要がある。このため、デバイスがノーマリオフ化できても、マイナス電源が必要になるのは好ましくない。

【0007】

また、問題点 2 についてターンオン時間を短縮するには、しきい値電圧より充分高い電圧を印加する必要がある(本質的には電圧値ではなく瞬間的な大電流が必要である。電流値を稼ぐために電圧が高いほうが好都合である)。しかし、Si MOSFET のような 10 V 以上の高電圧をノーマリオフ型 GaN FET のゲートに印加することはできない。

40

【0008】

そこで、問題点 1 と問題点 2 とを同時に解決する案として、図 3 (a) ~ 図 3 (c) に示すように、通常の MOSFET のドライブ回路でのゲート抵抗を挿入する個所に、コンデンサ C1 と抵抗 R1 との CR 並列回路を適用する方式がある。

【先行技術文献】

【特許文献】

【0009】

50

【特許文献1】2010-51165号公報

【発明の概要】

【発明が解決しようとする課題】

【0010】

しかしながら、この方式では、図4に示すように、スイッチングの周波数やデューティ比が変化すると、スイッチング素子のターンオンする直前の負電圧値 P_1 、 P_2 、 P_3 も同時に変化するので、ターンオン時のスイッチング特性(スイッチング時間)が変動してしまう。

【0011】

また、周波数やデューティがある範囲で限定できれば、上記2つの問題点は抵抗とコンデンサとの値をうまく選び、ゲート電圧をゼロボルトに戻してから回生動作やターンオンをさせることで回避可能である。しかしながら、条件が限定される上に、しきい値電圧の低さに起因するノイズによる誤動作に弱くなる。

【0012】

本発明は、ターンオン時のスイッチング特性が変動せず、スイッチング素子を安定してオフさせておくことができるゲートドライブ回路を提供することにある。

【課題を解決するための手段】

【0013】

ドレインとソースとゲートとを有し且つワイドバンドギャップ半導体からなる第1のスイッチング素子の、前記ゲートに制御回路からの制御信号を印加することにより前記第1のスイッチング素子をオンオフ駆動させるゲートドライブ回路であって、制御回路と前記第1のスイッチング素子の前記ゲートとの間に接続され、第1のコンデンサと第1の抵抗とからなる並列回路と、前記並列回路と並列に、第2のコンデンサと第2のスイッチング素子の主電極間を介して第2の抵抗とが直列に接続された直列回路が接続され、第2のスイッチング素子のスイッチング素子のゲートは、第1のスイッチング素子のソース端子に接続され、第2のコンデンサと第2のスイッチング素子の主電極との接続点から第1のダイオードのアノードを介して第1のスイッチング素子のソース端子に接続され、制御信号のオフ信号に対して第1のスイッチング素子のゲートを負電位にバイアスする手段と、を備えることを特徴とする。

【発明の効果】

【0014】

本発明によれば、制御信号のオフ信号に対して、第1のコンデンサに蓄えられていた電荷を抵抗 R_1 を介して放電したのち、充電容量が大きい第2のコンデンサの電圧を第2のスイッチング素子を介して第1のスイッチング素子のゲートを負電位にバイアスするため、オフ期間に関わらず安定したバイアス電圧を印加でき、ターンオン時のスイッチング特性が変動せず、電力損失を発生せずにスイッチング素子を安定してターンオンさせることができる。

また、第2のスイッチング素子のゲート信号は、制御信号のオン/オフ信号と第2のコンデンサの電圧により与えられるため、複雑なドライブ回路は不要である。

【図面の簡単な説明】

【0015】

【図1】実施例1のゲートドライブ回路の回路構成図及びシーケンス図である。

【図2】実施例2のゲートドライブ回路の回路構成図及びシーケンス図である。

【図3】従来のゲートドライブ回路の回路構成図である。

【図4】従来のゲートドライブ回路の周波数やデューティの変化によりターンオン特性が変動する様子を示す図である。

【発明を実施するための形態】

【0016】

以下、本発明の実施の形態に係るゲートドライブ回路を説明する。

【実施例1】

10

20

30

40

50

【 0 0 1 7 】

図 1 は、本発明の実施例 1 のゲートドライブ回路の回路構成図及びシーケンス図である。図 1 (a) に示すゲートドライブ回路において、パルス発生器 P u 1 から、パルス信号 S i g が生成されるようになっている。パルス発生器 P u 1 は制御回路に相当し、パルス信号 S i g は制御信号に相当する。

【 0 0 1 8 】

スイッチング素子 Q 1 は、G a N F E T からなり、ゲートとドレインとソースとを有している。スイッチング素子 Q 1 のゲートとパルス発生器 P u 1 との接続点との間には、コンデンサ C 1 と抵抗 R 1 との C R 並列回路が接続される。

前記パルス信号 S i g は、コンデンサ C 1 と抵抗 R 1 との C R 並列回路を介してスイッチング素子 Q 1 のゲートに印加されるようになっている。

10

【 0 0 1 9 】

前記 C R 並列回路には、並列に第 2 のコンデンサと M O S F E T 等からなる第 2 のスイッチング素子のソース ドレイン間を介して第 2 の抵抗とが直列に接続された直列回路が接続され、第 2 のスイッチング素子のスイッチング素子のゲートは、第 1 のスイッチング素子のソース端子に接続され、第 2 のコンデンサと第 2 のスイッチング素子のソースとの接続点から第 1 のダイオードのアノードを介して第 1 のスイッチング素子のソース端子に接続されている。

なお、第 1 のスイッチング素子及び第 2 のスイッチング素子のゲート・ソース間容量を各々 C g 1、C g 2 としたとき、第 1 のコンデンサと第 2 のコンデンサとの容量は、C 2 > > C 1 > C g 1 > > C g 2 の関係が好ましい。

20

【 0 0 2 0 】

以上の構成によれば、スイッチング素子 Q 1 のターンオン時には、C R 並列回路の効果により高速なスイッチングが実現される。スイッチング素子 Q 1 のオン定常状態時には、コンデンサ C 1 には、パルス発生器 P u 1 から、H レベルのパルス信号 S i g とスイッチング素子 Q 1 のゲート・ソース間電圧 V g 1 (= ゲート・ソース間等価ダイオードの順方向電圧降下) との差の電圧が充電される。

【 0 0 2 1 】

なお、実施例 1 のゲートドライブ回路は、パルス発生器 P u 1 から、H レベルのパルス信号 S i g が入力されると、コンデンサ C 1 と抵抗 R 1 との C R 並列回路を充電する経路と同時に、ダイオード D 1 を介してコンデンサ C 2 が充電される経路がある。

30

ここで、C R 並列回路には、第 2 のコンデンサ C 2 と第 2 のスイッチング素子 Q 2 の主電極間を介して第 2 の抵抗 R 2 とが直列に接続された直列回路が並列接続されているが、第 2 のスイッチング素子のソース ゲート間電圧には、ダイオード D 1 の順方向電圧による逆バイアス電圧が印加されて Q 2 が O F F となる。直列回路から第 1 のスイッチング素子 Q 1 のゲートへ電流が流れる経路は発生しない。

また、ダイオード D 1 の順方向電圧 V F は、Q 2 のボディダイオードの順方向電圧よりも小さい値となるものを選定することが好ましい。

【 0 0 2 2 】

スイッチング素子 Q 1 のターンオフ時には、スイッチング素子 Q 1 のゲートに、コンデンサ C 1 に蓄えられた電荷 (電圧) による負電圧が印加され、スイッチング素子 Q 1 の高速なターンオフが実現される。

40

【 0 0 2 3 】

スイッチング素子 Q 1 のオフ期間中にはコンデンサ C 1 は、C R 並列回路の第 1 のコンデンサ C 1 と第 1 の抵抗 R 1 とで決まる時定数で放電される。

【 0 0 2 4 】

また、C R 並列回路の放電開始とともに、直列回路の第 2 のコンデンサ C 2 とダイオード D 1 と第 2 のスイッチング素子 Q 2 ソースの接続点電圧は、第 1 のスイッチング素子 Q 1 のソース電位に対して負電位となる。

第 2 のスイッチング素子 Q 2 ゲートは第 1 のスイッチング素子 Q 1 のソースと接続され

50

ているので、第2のコンデンサC2の充電電圧がゲート・ソース間に印加されてオン状態になる。従って、コンデンサC2の充電電圧は、コンデンサC2・CR並列回路・抵抗R2・第2のスイッチング素子Q2・コンデンサC2の放電回路を形成する。CR並列回路の放電後は、直列回路のコンデンサC2の放電による負電位が、抵抗R1と抵抗R2との分圧比で決まる電圧がスイッチング素子Q1のゲートに印加される。

【0025】

コンデンサC1がコンデンサC2に比較して十分に小さい容量であれば、ターンオフ期間中の極めて短い時間の間にコンデンサC1の電荷は、コンデンサC2の充電電圧に対して抵抗R1と抵抗R2の抵抗比だけ放電される。また、コンデンサC1と比較してコンデンサC2の電荷容量を十分に大きく設定し、かつコンデンサC2と抵抗R1と抵抗R2との放電時定数を大きくすることで、周波数、デューティ比に関わらず、スイッチング素子Q1を安定して負電位にバイアスさせることができる。

10

【0026】

従って、図1(b)に示すように、スイッチングオフ状態のスイッチング素子Q1のゲート・ソース間電圧を安定した負電位とすることで、ノイズにも強く、安定したスイッチングオン/オフ動作が実現できる。

【実施例2】

【0027】

図2は、実施例2のゲートドライブ回路の回路構成図及びシーケンス図である。図2(a)に示す実施例2においては、実施例1の第2のコンデンサC2とダイオードD1との接続間に、ツェナーダイオードZD1を追加して構成されている。詳しくは、ダイオードD1の順方向電圧を増加させる方向にツェナーダイオードZD1を直列に接続され、第2のコンデンサC2とツェナーダイオードZD1のカソードとの接続点に第2のスイッチング素子Q2のソースが接続される。

20

また、実施例2においては、第2のスイッチング素子Q2は、ワイドバンドギャップ半導体からなるノーマリオフ型GaN FETを使用することが好ましい。さらに、第1のスイッチング素子Q1と第2のスイッチング素子Q2とを同一基板上で構成することにより、部品点数並びに部品実装を削減することも可能になる。

【0028】

実施例2の構成においても、実施例1同様にパルス発生器Pu1から、Hレベルのパルス信号Sigが入力されると、コンデンサC1と抵抗R1とのCR並列回路を充電する経路と同時に、ツェナーダイオードZD1とダイオードD1を介してコンデンサC2が充電される経路が存在する。

30

【0029】

ここで、コンデンサC2の充電電圧は、図2(b)に示すように、ツェナーダイオードZD1のツェナー電圧Vz分減少し、スイッチングオフ状態のスイッチング素子Q1のゲート・ソース間電圧の負電圧も減少する。

【0030】

このような構成によれば、ツェナーダイオードZD1のツェナー電圧Vzを調整することにより、スイッチングオフ状態のスイッチング素子Q1のゲート・ソース間電圧の負電圧バイアスを調整することが可能になる。

40

【0031】

また、本発明に適用されるスイッチング素子は、GaN FETだけでなく、Si又はSiCでも良い。また、本発明は、しきい値電圧が低く、絶縁ゲートではないJFET(ジャンクションFET)的な挙動を示すデバイスにも適用可能である。

【符号の説明】

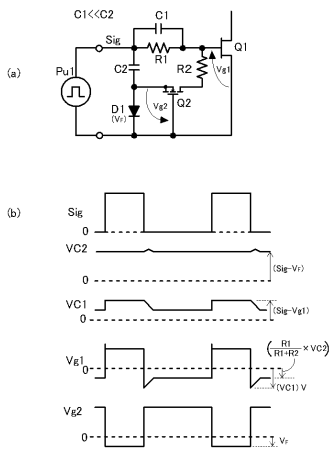
【0032】

Q1, Q2 スwitchング素子
C1, C2 コンデンサ
D1 ダイオード

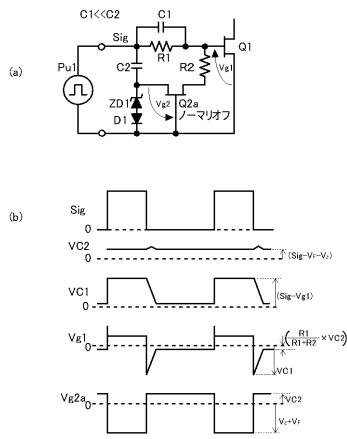
50

Z D 1 ツェナーダイオード
R 1 , R 2 抵抗

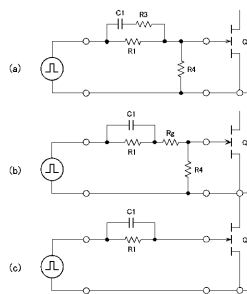
【 図 1 】



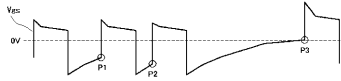
【 図 2 】



【 図 3 】



【 4 】



フロントページの続き

- (56)参考文献 特開2010-051165(JP,A)
特開2008-235952(JP,A)
特開2007-228650(JP,A)
特開2008-306803(JP,A)

(58)調査した分野(Int.Cl., DB名)

H03K 17/00 - 17/70
H02M 1/08