(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3662325号
(P3662325)
(45)発行日　平成17年6月22日(2005.6.22)　(24)登録日　平成17年4月1日(2005.4.1)

(51)Int.Cl.[7]　F I
G02F　1/1368　G02F　1/1368

請求項の数 8　(全 16 頁)

(21)出願番号　特願平7-345629
(22)出願日　平成7年12月9日(1995.12.9)
(65)公開番号　特開平9-160068
(43)公開日　平成9年6月20日(1997.6.20)
審査請求日　平成14年12月9日(2002.12.9)

(73)特許権者　000153878
株式会社半導体エネルギー研究所
神奈川県厚木市長谷３９８番地
(72)発明者　山崎　舜平
神奈川県厚木市長谷３９８番地
株式会社半導体エネルギー
研究所内
(72)発明者　小山　潤
神奈川県厚木市長谷３９８番地
株式会社半導体エネルギー
研究所内
(72)発明者　竹村　保彦
神奈川県厚木市長谷３９８番地
株式会社半導体エネルギー
研究所内

最終頁に続く

(54)【発明の名称】アクティブマトリクス表示装置の作製方法

(57)【特許請求の範囲】

【請求項１】

透明な基板上に第１の金属配線層と、第２の金属配線層と、薄膜半導体層とを有する素子層を形成し、

前記素子層上に透明導電性被膜を形成し、

前記透明導電性被膜上にネガ型もしくはポジ型の第１のレジスト層を塗布し、

マスクを用いて、前記基板上方より光を照射することにより、前記第１のレジスト層を選択的に露光して第１のレジストパターンを形成し、

前記透明導電性被膜及び前記第１のレジストパターン上にネガ型の第２のレジスト層を塗布し、

前記基板の裏面より光を照射することにより、前記第２のレジスト層を前記第１の金属配線層及び前記第２の金属配線層をマスクとして、選択的に露光して第２のレジストパターンを形成し、

前記第１のレジストパターン及び前記第２のレジストパターンをマスクとして、前記透明導電性被膜の選択的なエッチングを行い、前記薄膜半導体層のうちの１つの半導体薄膜に接する前記透明導電性被膜でなる第１の電極及び前記第１の金属配線層のうちの１つの配線に接する前記透明導電性被膜でなる第２の電極を形成することを特徴とするアクティブマトリクス表示装置の作製方法。

【請求項２】

透明な基板上に第１の金属配線と、第２の金属配線と、半導体薄膜とを有するアクティ

ブ素子、及び前記第１の金属配線と同一の層に形成された第３の金属配線を形成し、
前記半導体薄膜及び前記第３の金属配線上で接する透明導電性被膜を形成し、
前記透明導電性被膜上にネガ型もしくはポジ型の第１のレジスト層を塗布し、
マスクを用いて、前記基板上方より光を照射することにより、前記第１のレジスト層を選択的に露光して第１のレジストパターンを形成し、
前記透明導電性被膜及び前記第１のレジストパターン上にネガ型の第２のレジスト層を塗布し、
前記基板の裏面より光を照射することにより、前記第２のレジスト層を前記第１の金属配線、前記第２の金属配線、及び前記第３の金属配線をマスクとして、選択的に露光して第２のレジストパターンを形成し、
前記第１のレジストパターン及び前記第２のレジストパターンをマスクとして、前記透明導電性被膜の選択的なエッチングを行い、前記半導体薄膜上で接する前記透明導電性被膜でなる画素電極及び前記第３の金属配線上で接する前記透明導電性被膜でなる端子電極を形成することを特徴とするアクティブマトリクス表示装置の作製方法。

【請求項３】
透明な基板上に第１の金属配線層と、第２の金属配線層と、薄膜半導体層とを有する素子層を形成し、
前記素子層上に透明導電性被膜を形成し、
前記透明導電性被膜上にネガ型の第１のレジスト層を塗布し、
前記基板の裏面より光を照射することにより、前記第１のレジスト層を前記第１の金属配線層及び前記第２の金属配線層をマスクとして、選択的に露光して第１のレジストパターンを形成し、
前記透明導電性被膜及び前記第１のレジストパターン上にネガ型もしくはポジ型の第２のレジスト層を塗布し、
マスクを用いて、前記基板上方より光を照射することにより、前記第２のレジスト層を選択的に露光して第２のレジストパターンを形成し、
前記第１のレジストパターン及び前記第２のレジストパターンをマスクとして、前記透明導電性被膜の選択的なエッチングを行い、前記薄膜半導体層のうちの１つの半導体薄膜に接する前記透明導電性被膜でなる第１の電極及び前記第１の金属配線層のうちの１つの配線に接する前記透明導電性被膜でなる第２の電極を形成することを特徴とするアクティブマトリクス表示装置の作製方法。

【請求項４】
透明な基板上に第１の金属配線と、第２の金属配線と、半導体薄膜とを有するアクティブ素子、及び前記第１の金属配線と同一の層に形成された第３の金属配線を形成し、
前記半導体薄膜及び前記第３の金属配線上に接する透明導電性被膜を形成し、
前記透明導電性被膜上にネガ型の第１のレジスト層を塗布し、
前記基板の裏面より光を照射することにより、前記第１のレジスト層を前記第１の金属配線、前記第２の金属配線、及び前記第３の金属配線をマスクとして、選択的に露光して第１のレジストパターンを形成し、
前記透明導電性被膜及び前記第１のレジストパターン上にネガ型もしくはポジ型の第２のレジスト層を塗布し、
マスクを用いて、前記基板上方より光を照射することにより、前記第２のレジスト層を選択的に露光して第２のレジストパターンを形成し、
前記第１のレジストパターン及び前記第２のレジストパターンをマスクとして、前記透明導電性被膜の選択的なエッチングを行い、前記半導体薄膜上で接する前記透明導電性被膜でなる画素電極及び前記第３の金属配線上で接する前記透明導電性被膜でなる端子電極を形成することを特徴とするアクティブマトリクス表示装置の作製方法。

【請求項５】
請求項１又は請求項３において、前記透明導電性被膜の選択的なエッチングを行なった後、前記素子層及び前記透明導電性被膜上に、別のレジスト層によってパターンを形成し

、前記別のレジスト層をマスクとして、前記第２の電極の選択的なエッチングを行うことを特徴とするアクティブマトリクス表示装置の作製方法。

【請求項６】

請求項１、請求項３、請求項５のいずれか一において、前記素子層には、薄膜トランジスタが設けられ、当該薄膜トランジスタは、プレーナー型、順スタガ型、又は逆スタガ型のいずれか一であることを特徴とするアクティブマトリクス表示装置の作製方法。

【請求項７】

請求項２又は請求項４において、前記透明導電性被膜の選択的なエッチングを行なった後、前記アクティブ素子及び前記透明導電性被膜上に、別のレジスト層によってパターンを形成し、前記別のレジスト層をマスクとして、前記端子電極の選択的なエッチングを行うことを特徴とするアクティブマトリクス表示装置の作製方法。

【請求項８】

請求項２、請求項４、請求項７のいずれか一において、前記アクティブ素子は、プレーナー型、順スタガ型、又は逆スタガ型の薄膜トランジスタのいずれか一であることを特徴とするアクティブマトリクス表示装置の作製方法。

【発明の詳細な説明】

【０００１】

【産業上の利用分野】

本発明は、アクティブマトリクス回路を有する表示装置（アクティブマトリクス表示装置）に関する。

【０００２】

【従来の技術】

近年、液晶ディスプレー駆動のためのアクティブマトリクスがさかんに研究され、また、実用化されている。アクティブ素子としては、画素に１つの導電型の薄膜トランジスタ（ＴＦＴ）を使用したものが提案されている。このようなアクティブマトリクス回路は、画素電極と対向電極の間に液晶をはさんだコンデンサーを形成し、ＴＦＴによって、このコンデンサーに出入りする電荷を制御するものである。

【０００３】

ＴＦＴを歩留り良く製造するには、作製工程数を減らすことが必要であった。中でも、配線のデザインルールがより微細になるにつれ、フォトリソグラフィーの工程、特にマスク合わせの回数を減らすことが要求された。このような傾向の中で、特開平５－３０７１９４公報に開示されるように、基板裏面より光を照射することにより、データ線とゲイト線をマスクとして、自己整合的に透明導電性被膜をパターニング・エッチングする方法が提案されている。この方法により、画素電極が、データ線とゲイト線で囲まれた部分に形成される。

【０００４】

それまでの透明導電性被膜を通常のフォトリソグラフィーでパターニング・エッチングして、画素電極を作製する方法に代えて、この方法を採用すると、マスク合わせが不要となった。また、同公報に開示されているように、画素電極とデータ線・ゲイト線を重ねて使用できるので、データ線やゲイト線を、いわゆるブラックマトリクスとして使用できるという利点も有する。このように、ゲイト線、データ線にそって、自己整合的にパターニングできるので、これまでのようにマスク合わせのためのマージンを取る必要がなく、したがって、画素電極の比率（開口率）が著しく向上した。

【０００５】

しかしながら、同公報に記載されたアクティブマトリクス回路は、マトリクス部分のみの記載しかなく、端子部分等についての記述は不十分である。実際の回路においては、特に、マトリクス回路以外に、それを駆動するドライバー回路をも同一基板上に有するモノリシック型の装置においては、透明導電性被膜よりなる端子電極を設け、ゲイト線・データ線、あるいは、それらと同一の層の配線等の金属配線と該端子電極を接続させる必要もあった。しかしながら、同公報記載の方法によると、金属配線と透明導電性被膜とのコンタ

クトを形成することは不可能であった。
【０００６】
【発明が解決しようとする課題】
図１および図２において、このような問題点を説明する。図１（Ａ）は、一般的なモノリシック型アクティブマトリクス回路の上に透明導電性被膜１０９を成膜（形成）した様子の断面図である。モノリシック型アクティブマトリクス回路は、主として、アクティブマトリクス回路領域とドライバー回路領域とからなり、アクティブマトリクス回路領域には、画素トランジスタ１０３が含まれる。
【０００７】
また、ドライバー回路領域には、ドライバートランジスタ１０２や入力用あるいは出力用金属配線１０５が含まれる。その他にもアクティブマトリクス回路領域やドライバー回路領域には金属配線１０６のような配線が設けられることがある。配線１０６は、単に遮光の目的だけに形成されることもある。
一般的に金属配線は２層形成される。第１はゲイト線と同一の層であり、第２はデータ線と同一の層である。もちろん、必要によっては、さらに多層の金属配線層を有する場合もある。（図１（Ａ））
【０００８】
このようなトランジスタや金属配線層は透明な基板１０１上に形成される。図ではトランジスタはプレーナー型であるが、順スタガー型や逆スタガー型であっても構わない。そして、各金属配線層間や配線上には層間絶縁物１０４が形成される。層間絶縁物としては、酸化珪素や窒化珪素以外にも、より誘電率の低い有機樹脂等が用いられる。透明導電性被膜１０９は、画素電極や端子電極（外部の配線とボンディングするための電極）として用いられることが多い。そのため、必要な箇所の層間絶縁膜にコンタクトホールを形成し、その後、透明導電性被膜が形成される。例えば、入／出力用配線１０５とのコンタクトホール１０７や画素トランジスタ１０３とのコンタクトホール１０８である。前者は端子電極を形成するため、後者は画素電極を形成するためである。
【０００９】
ドライバートランジスタ１０２の拡大断面図を図１（Ｂ）に示す。図のようなプレーナ型の場合にはＮ型領域１１２、１１３とＰ型領域１１０、１１１を有する薄膜半導体層上にゲイト絶縁膜を挟んでゲイト電極１１４、１１５が設けられる。ゲイト電極は、ゲイト線と同一の配線層により形成される。さらに、Ｎ型領域、Ｐ型領域には配線・電極１１６～１１８が設けられる。この配線・電極はデータ線と同一の配線層により形成される。（図１（Ｂ））
【００１０】
画素トランジスタ１０３の拡大断面図を図１（Ｃ）に示す。図のようなプレーナ型の場合にはＮ型領域１１９、１２０を有する薄膜半導体層上にゲイト絶縁膜を挟んでゲイト電極１２１が設けられる。ゲイト電極は、ゲイト線と同一の配線層により形成される。さらに、Ｎ型領域の一方には配線・電極１２２が設けられる。この配線・電極はデータ線と同一の配線層により形成される。さらに、Ｎ型領域の他方には、コンタクトホール１０８が設けられ、透明導電性被膜１０９が成膜される。これは、後にエッチングされ、画素電極となる。（図１（Ｂ））
【００１１】
図２には、特開平５－３０７１９４公報に開示される技術を用いて、図１（Ａ）に示されるようなモノリシック型アクティブマトリクス回路の透明導電性被膜のエッチングをおこなった場合を示す。まず、透明導電性被膜上に直接、あるいは、他の被膜を形成した上にネガ型のフォトレジスト層２０１を公知の方法により塗布する。（図２（Ａ））
【００１２】
その後、裏面より光を照射する。このときの光の強度・波長は薄膜半導体層が透過し、かつ、金属配線層は透過しないように選択する。こうすると、金属配線上のレジスト層には光が当たらず、したがって、その部分は感光しない。厳密には同公報も述べているように

、光の回り込みがあるため、配線よりやや内側まで感光する。（図２（Ｂ））
【００１３】
次に、露光したレジスト層を現像し、レジストパターン２０２を得る。（図２（Ｃ））
そして、このパターンをもとに透明導電性被膜のエッチングをおこなう。図ではエッチングがパターン２０２にしたがって、垂直におこなわれるように描写されているが、等方的なエッチングでは、レジストパターンの内側までエッチングされる。（図２（Ｄ））
その後、レジストパターンを剥離すると、画素トランジスタの薄膜半導体層とコンタクトする画素電極２０３以外にも、金属配線層のパターンに応じて、透明導電性被膜の電極２０４、２０５が得られる。（図２（Ｅ））
【００１４】
図から分かるように、画素電極は、薄膜半導体層とコンタクトし、その機能を果たすが、例えば、図中の端子電極２０４と入／出力用配線とのコンタクト部２０８では、端子電極が断線してしまう。これは、裏面より露光する結果、金属配線上の透明導電性被膜は全てエッチングされるためである。その他にも、例えば、配線と透明導電性被膜の電極２０６との重なりを十分大きくしたい部分２０６でも、重なりが得られることがない。このように、本来、残るべき部分の透明導電性被膜までエッチングされてしまう問題以外に、不要な部分に透明導電性被膜が残存する場合もある。例えば、ドライバー回路上の透明導電膜２０７は、動作の妨げともなりえるので、できれば、除去してしまいたいものである。（図２（Ｆ））
【００１５】
【問題を解決するための手段】
本発明は図１（Ａ）に示されるような構造を有する回路において、透明導電性被膜のエッチングに関するものである。本発明の第１は以下の（１）～（５）あるいは（１’）～（５’）あるいは（１”）～（５”）のいずれかの工程を有するアクティブマトリクス表示装置の作製方法である。
【００１６】
すなわち、
（１）透明導電性被膜上へのネガ型もしくはポジ型のレジスト層（第１のレジスト層）の塗布
（２）マスクを用い、かつ、基板上方より光を照射することによる、第１のレジスト層の選択的な露光とパターンの形成
（３）透明導電性被膜上もしくは第１のレジスト層上へのネガ型の第２のレジスト層の塗布
（４）基板の裏面より光を照射することによる、第２のレジスト層の金属配線をマスクとした選択的な露光とパターンの形成
（５）第１および／もしくは第２のレジスト層をマスクとした透明導電性被膜の選択的なエッチング
【００１７】
あるいは、
（１’）透明導電性被膜上へのネガ型のレジスト層（第１のレジスト層）の塗布
（２’）基板の裏面より光を照射することによる、第１のレジスト層の金属配線をマスクとした選択的な露光とパターンの形成
（３’）透明導電性被膜上もしくは第１のレジスト層上へのネガ型もしくはポジ型の第２のレジスト層の塗布
（４’）マスクを用い、かつ、基板上方より光を照射することによる、第２のレジスト層の選択的な露光とパターンの形成
（５’）第１および／もしくは第２のレジスト層をマスクとした透明導電性被膜の選択的なエッチング
【００１８】
あるいは、

（１”）透明導電性被膜上へのネガ型のレジスト層の塗布
（２”）マスクを用い、かつ、基板上方より光を照射することによるレジスト層の選択的な露光
（３”）基板の裏面より光を照射することによる、レジスト層の金属配線をマスクとする選択的な露光
（４”）レジスト層の現像とパターンの形成
（５”）レジスト層のパターンをマスクとした透明導電性被膜の選択的なエッチング
【００１９】
ここで、金属配線の層は、アクティブマトリクス回路のゲイト線と同一の層とデータ線と同一の層の２種類もしくはそれ以上あり、アクティブマトリクス回路の外部との端子電極は、これらの金属配線層もしくは薄膜半導体層とコンタクトする透明導電性被膜よりなる。また、工程（２）と（４）の間には、透明導電性被膜をエッチングする工程がないことを特徴とする。さらに、上記工程のうち、（２”）と（３”）の順序は逆にしてもよいし、また、同時におこなってもよい。
【００２０】
本発明の第２は以下の（１）～（４）の工程を有するアクティブマトリクス表示装置の作製方法である。すなわち、
（１）透明導電性被膜上へのネガ型のレジスト層の塗布
（２）基板の裏面より光を照射することによるレジスト層の金属配線をマスクとした選択的な露光
（３）レジスト層の現像とパターンの形成
（４）レジスト層のパターンをマスクとした透明導電性被膜の選択的なエッチング
【００２１】
ここで、金属配線の層は、アクティブマトリクス回路のゲイト線と同一の層とデータ線と同一の層の２種類もしくはそれ以上ある。アクティブマトリクス回路の外部との端子電極は、これらの金属配線層とはコンタクトせず、薄膜半導体層のみとコンタクトする透明導電性被膜よりなる。また、工程（２）と（３）の間には、透明導電性被膜をエッチングする工程がないことを特徴とする。
【００２２】
本発明の第１においては、工程（５）もしくは（５’）もしくは（５”）の後に、あるいは、本発明の第２においては、工程（４）の後に以下の工程を追加してもよい。すなわち、
（Ａ）素子層もしくは透明導電性被膜上への別なレジストの層によるパターンの形成
（Ｂ）前記工程によって得られたパターンによる透明導電性被膜のエッチング
【００２３】
【作用】
本発明の第１において、マスクを用いたレジストのパターンを端子電極部（図２では２０８で示される部分）や金属配線と透明導電性被膜の重なりを大きくしたい部分（図２では２０６で示される部分）に形成すれば、裏面露光の技術によっても該部分のエッチングがなされることがない。
また、本発明の第２においては、端子電極と金属配線が直接コンタクトしないので、裏面露光によって断線が生じることはない。
【００２４】
また、本発明の第１および第２に追加される上記工程ＡおよびＢによって、残存した透明導電性被膜のうち不要なものをエッチングすることができる。例えば、ドライバー回路領域上には導電性被膜が形成されてために、動作速度が低化することが問題となれば、工程ＡおよびＢによって、ドライバー回路領域上の透明導電性被膜をエッチングすることができる。その結果、透明導電性被膜は端子電極およびアクティブマトリクス回路領域のみに残存することになる。
【００２５】

逆に外部のノイズからドライバー回路を保護する必要がある場合には、透明導電性被膜を残存せしめてもよいが、その際には、このような目的のための透明導電性被膜と端子電極とを電気的に分離し、ノイズからの保護のための透明導電性被膜には、別に、接地電位に接続されるような構造とするとよい。
なお、工程ＡおよびＢによる透明導電性被膜のエッチングはアクティブマトリクス回路領域上の透明導電性被膜はエッチングされないようにしてもよい。なぜなら、アクティブマトリクス回路領域においては、特開平５－３０７１９４公報に開示された技術を採用することに問題がないからである。

【００２６】

また、アクティブマトリクス回路領域は主として裏面露光技術によってパターンを形成するという技術を実施する場合には、工程（１”）～（５”）に関しては、レジストがネガ型であるという限定から、マスクにより光の遮られる領域（すなわち、露光されない領域）はアクティブマトリクス回路領域となることが要求される。すなわち、工程（２”）においては、アクティブマトリクス回路領域には光が照射されない。

【００２７】

【実施例】

〔実施例１〕　図３および図４に本発明の一実施例によるアクティブマトリクス表示装置の、特に、透明導電性被膜のエッチング方法を示す。図３および図４は、工程の断面の模式図である。
まず、公知の技術によって透明導電性被膜（図１（Ａ）の１０９に相当）を形成した後、ポジ型のレジスト層３０１を公知のスピンコーティング法によって塗布し、これをベーキングする。

【００２８】

さらに、公知のフォトリソグラフィー法により、マスク３０２を用いて基板上方より光を照射し、露光をおこなう。本実施例ではマスク３０２はメタルマスクを使用するが、通常のフォトマスク（石英等の透明な基板上に金属被膜で描画されたもの）を用いてもよい。しかし、本実施例に限らず、本発明において必要とされるマスク合わせの精度は、フォトマスクを用いるほど高いものではない。本実施例でも、単にアクティブマトリクス回路領域以外の部分のみをマスクで覆うものであるので、その合わせ精度は１００～５００μｍである。そのため、メタルマスクでも何ら支障がない。（図３（Ａ））

【００２９】

その後、現像、定着の工程によって、露光したパターンを得る。ポジ型のレジストを用いるので、光の当たった部分のレジストのみが溶解し、図に示すように、アクティブマトリクス回路領域以外の部分のみにレジストのパターン３０３が残される。（図３（Ｂ））
さらに、公知のスピンコーティング法によって、ネガ型のレジスト層３０４を形成し、これをベーキングする。（図３（Ｃ））

【００３０】

そして、裏面より光を照射し、ゲイト線と同一の金属配線層およびデータ線と同一の金属配線層をマスクとして、自己整合的な露光をおこなう。（図３（Ｄ））
その後、現像、定着の工程によって、露光したパターンを得る。ネガ型のレジストを用いるので、光の当たった部分（すなわち、金属配線以外の部分）のレジストのみが残り、レジストのパターン３０５が形成される。（図３（Ｅ））
その後、上記のレジストのパターン３０３および３０５を用いて、公知の方法により、透明導電性被膜をエッチングする。図から明らかなように、アクティブマトリクス回路領域の金属配線上の部分のみがエッチングされる。（図３（Ｆ））

【００３１】

レジストパターン３０３、３０５を公知の方法によって剥離すると図４（Ａ）のようになる。この段階では、端子電極４０１がドライバー回路領域を覆い、一方、アクティブマトリクス回路領域には、画素電極４０２が各画素トランジスタごとに形成される。そして、端子電極４０１と画素電極４０２の間は、金属配線層上の分断溝４０３によって、分離さ

れる。（図４（Ａ））
【００３２】
この状態でも回路としては機能するが、好ましくは以下の工程を追加し、さらに透明導電性被膜４０１をエッチングするとよい。まず、公知のフォトリソグラフィー法により、レジストのパターン４０４を形成する。このパターンは、アクティブマトリクス回路領域および端子電極部および、図１（Ａ）の配線１０６に相当する配線の一部を覆うものである。図ではポジ型のレジストを示すが、ネガ型でもよい。（図４（Ｂ））
【００３３】
そして、このパターン４０４によって、透明導電性被膜４０１を公知の方法によりエッチングする。（図４（Ｃ））
レジストのパターン４０４を公知の方法により剥離すると、端子電極４０５、および配線と重なる透明導電性被膜の電極もしくは配線４０６が新たに形成される。また、ドライバートランジスタ上の透明導電性被膜は全てエッチングされる。（図４（Ｄ））
【００３４】
〔実施例２〕　図５に本発明の一実施例によるアクティブマトリクス表示装置の、特に、透明導電性被膜のエッチング方法を示す。図５は、工程の断面の模式図である。
まず、公知の技術によって透明導電性被膜（図１（Ａ）の１０９に相当）を形成した後、公知のスピンコーティング法によって、ネガ型のレジスト層５０１を形成し、これをベーキングする。
【００３５】
そして、裏面より光を照射し、ゲイト線と同一の金属配線層およびデータ線と同一の金属配線層をマスクとして、自己整合的な露光をおこなう。（図５（Ａ））
その後、現像、定着の工程によって、露光したパターンを得る。ネガ型のレジストを用いるので、光の当たった部分（すなわち、金属配線以外の部分）のレジストのみが残り、レジストのパターン５０２が形成される。（図５（Ｂ））
さらに、ポジ型のレジスト層５０３を公知のスピンコーティング法によって塗布し、これをベーキングする。（図５（Ｃ））
【００３６】
さらに、公知のフォトリソグラフィー法により、マスク５０４を用いて基板上方より光を照射し、露光をおこなう。本実施例でも実施例１と同様にメタルマスクを使用するが、通常のフォトマスク（石英等の透明な基板上に金属被膜で描画されたもの）を用いてもよい。（図５（Ｄ））
その後、現像、定着の工程によって、露光したパターンを得る。ポジ型のレジストを用いるので、光の当たった部分のレジストのみが溶解し、図に示すように、アクティブマトリクス回路領域以外の部分のみにレジストのパターン５０５が残される。（図５（Ｅ））
【００３７】
その後、上記のレジストのパターン５０２および５０５を用いて、公知の方法により、透明導電性被膜をエッチングする。図から明らかなように、アクティブマトリクス回路領域の金属配線上の部分のみがエッチングされる。（図５（Ｆ））
レジストパターン５０２、５０５を公知の方法によって剥離すると図４（Ａ）のようになる。その後、実施例１と同様に図４（Ｂ）～（Ｄ）で示される方法でさらに、透明導電性被膜をエッチングしてもよい。
【００３８】
〔実施例３〕　図６に本発明の一実施例によるアクティブマトリクス表示装置の、特に、透明導電性被膜のエッチング方法を示す。図６は、工程の断面の模式図である。
まず、公知の技術によって透明導電性被膜（図１（Ａ）の１０９に相当）を形成した後、公知のスピンコーティング法によって、ネガ型のレジスト層６０１を形成し、これをベーキングする。
【００３９】
そして、公知のフォトリソグラフィー法により、マスク６０２を用いて基板上方より光を

照射し、露光をおこなう。本実施例でも実施例１と同様にメタルマスクを使用し、かつ、マスクはアクティブマトリクス回路領域を覆うようなものを用いる。したがって、合わせ精度はさほど要求されない。もちろん、通常のフォトマスク（石英等の透明な基板上に金属被膜で描画されたもの）を用いてもよい。（図６（Ａ））

【００４０】

さらに、裏面より光を照射し、ゲイト線と同一の金属配線層およびデータ線と同一の金属配線層をマスクとして、自己整合的な露光をおこなう。（図６（Ｂ））

その後、現像、定着の工程によって、露光したパターンを得る。ネガ型のレジストを用いるので、上記の上方もしくは裏面からの露光のいずれかで光の当たった部分のレジストのみが残り、レジストのパターン６０３が形成される。（図６（Ｃ））

その後、上記のレジストのパターン６０３を用いて、公知の方法により、透明導電性被膜をエッチングする。図から明らかなように、アクティブマトリクス回路領域の金属配線上の部分のみがエッチングされる。（図６（Ｄ））

【００４１】

レジストパターン６０３を公知の方法によって剥離すると図４（Ａ）のようになる。その後、実施例１と同様に図４（Ｂ）～（Ｄ）で示される方法でさらに、透明導電性被膜をエッチングしてもよい。

本実施例においては、図６（Ａ）の上方より光を照射する露光工程と、図６（Ｂ）の裏面より光を照射する露光工程の順序を入れ替えても、あるいは、露光装置が許せば、両工程を同時におこなっても、得られるレジストのパターン６０３は同じである。

【００４２】

〔実施例４〕　図７に本発明の一実施例によるアクティブマトリクス表示装置の、特に、透明導電性被膜のエッチング方法を示す。図７は、工程の断面の模式図である。

まず、公知の技術によって、端子電極接続用の薄膜半導体層７０４、ドライバートランジスタ７０２、画素トランジスタ７０３、入／出力用配線７０７および配線層間の絶縁のための層間絶縁物７０５よりなる素子層を透明な絶縁基板７０１上に形成する。薄膜半導体層７０４は公知の技術によってＮ型もしくはＰ型の導電型不純物をドーピングされたものを用いるとよい。

【００４３】

そして、端子電極接続用の薄膜半導体層７０４と画素トランジスタ７０２の薄膜半導体層にコンタクトホールを形成する。さらに、公知の技術により透明導電性被膜７０６を形成する。（図７（Ａ））

その後、公知のスピンコーティング法によって、ネガ型のレジスト層７０８を形成し、これをベーキングする。そして、裏面より光を照射し、ゲイト線と同一の金属配線層およびデータ線と同一の金属配線層をマスクとして、自己整合的な露光をおこなう。（図７（Ｂ））

【００４４】

その後、現像、定着の工程によって、露光したパターンを得る。ネガ型のレジストを用いるので、光の当たった部分（すなわち、金属配線以外の部分）のレジストのみが残り、レジストのパターン７０８が形成される。（図７（Ｃ））

そして、上記のレジストのパターン７０８を用いて、公知の方法により、透明導電性被膜７０６をエッチングする。図から明らかなように、金属配線上の部分のみがエッチングされる。（図７（Ｄ））

【００４５】

次に、レジストパターン７０８を公知の方法によって剥離する。この段階でも画素電極７１０以外に、端子電極７０９が形成される。端子電極７０９は、薄膜半導体層７０４を経由して、入／出力用配線７０７と電気的な接続がなされている。（図７（Ｅ））

この状態でも回路としては機能するが、好ましくは以下の工程を追加するとよい。まず、公知のフォトリソグラフィー法により、レジストのパターン７１１を形成する。このパターンは、アクティブマトリクス回路領域および端子電極部を覆うものである。図ではポジ

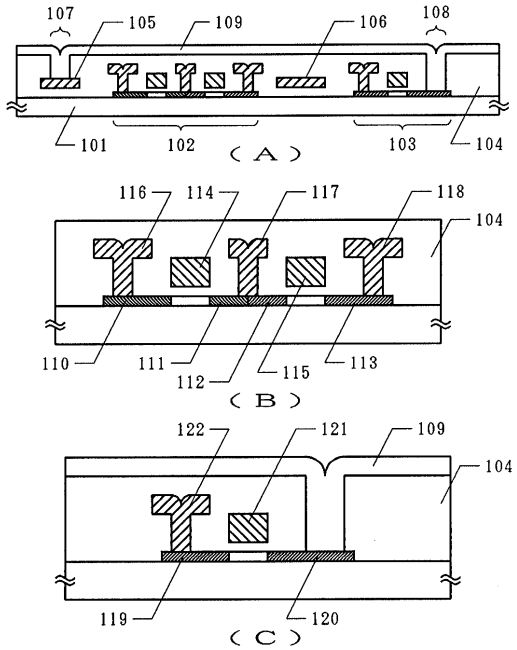
型のレジストを示すが、ネガ型でもよい。（図７（Ｆ））
【００４６】
そして、このパターン７１１によって、透明導電性被膜を公知の方法によりエッチングし、レジストのパターン７１１を公知の方法により剥離すると、端子電極７１２が新たに形成される。また、ドライバートランジスタ上の透明導電性被膜は全てエッチングされる。（図７（Ｇ））
【００４７】
【発明の効果】
以上のように、本発明によって、特開平５－３０７１９４公報に開示される技術をより一般的な回路に応用することが可能となる。以下に、本発明の効果を検討する。従来の通常の方法により、透明導電性被膜のエッチングして、図３（Ｆ）と同等な構造を得るには、以下の５段階を経る必要がある。
【００４８】
すなわち、
（１）レジスト層塗布
（２）マスク合わせ（合わせ精度は配線デザインルールに準ずる）
（３）露光（上方より）
（４）現像（定着を含む）
（５）エッチング
【００４９】
一方、本発明の第１は以下の方式Ａ～Ｅの５つの方式があり、図３（Ｆ）と同等な構造を得るには、方式Ａは以下の８段階を経る必要がある。すなわち、
（１）第１のレジスト層の塗布
（２）マスク合わせ（合わせ精度は低くても可）
（３）露光（上方より）
（４）現像（定着を含む）
（５）第２のレジスト層（ネガ型）の塗布
（６）露光（裏面より）
（７）現像（定着を含む）
（８）エッチング
【００５０】
方式Ｂは以下の８段階を経る必要がある。すなわち、
（１）第１のレジスト層（ネガ型）の塗布
（２）露光（裏面より）
（３）現像（定着を含む）
（４）第２のレジスト層の塗布
（５）マスク合わせ（合わせ精度は低くても可）
（６）露光（上方より）
（７）現像（定着を含む）
（８）エッチング
【００５１】
方式Ｃは以下の６段階を経る必要がある。すなわち、
（１）ネガ型のレジスト層の塗布
（２）露光（裏面より）
（３）マスク合わせ（合わせ精度は低くても可）
（４）露光（上方より）
（５）現像（定着を含む）
（６）エッチング
【００５２】
方式Ｄは以下の６段階を経る必要がある。すなわち、

（１）ネガ型のレジスト層の塗布
（２）マスク合わせ（合わせ精度は低くても可）
（３）露光（上方より）
（４）露光（裏面より）
（５）現像（定着を含む）
（６）エッチング
【００５３】
方式Ｅは以下の５段階を経る必要がある。すなわち、
（１）ネガ型のレジスト層の塗布
（２）マスク合わせ（合わせ精度は低くても可）
（３）露光（上方と裏面より）
（４）現像（定着を含む）
（５）エッチング
【００５４】
方式Ａの例は実施例１に、方式Ｂの例は実施例２に、方式Ｃの例は実施例３に示される。また、本発明の第２では、図３（Ｆ）と同等な構造を得るには、以下の４段階を経る必要がある。すなわち、
（１）ネガ型のレジスト層の塗布
（２）露光（裏面より）
（３）現像（定着を含む）
（４）エッチング
【００５５】
これに対し、特開平５－３０７１９４公報に開示された技術では、図４（Ａ）と同様な構造が得られないことは先に述べた通りである。本発明において、工程数の上で従来の方式（裏面露光技術を用いない方式、５工程）より有利なものは、本発明の第２のみのように思われるが、本発明の第１においても、従来の方法より実質的には有利である。
従来の方法においては、工程（２）のマスク合わせでは、かなりの精度が要求され、しかも、マスク合わせのマージンが必要なため画素電極の面積を大きくできない（すなわち、開口率を挙げられない）という問題がある。
【００５６】
本発明の第１では最小で５工程、最大では８工程も必要であるが、そのような高精度のマスク合わせは必ずしも必要でない。したがって、見掛けの工程数は多いが、そのことによる歩留りの低下はほとんど考えられない。というのは、これらの工程の中で歩留りの低下の最大の要因はマスク合わせだからである。実施例のようにメタルマスクを用いるのであれば、基板とマスクとの間隔を大きくし、基板とマスクの接触による回路の破壊を防止することが可能である。もちろん、従来の方法では望めない開口率の向上も、本発明では特開平５－３０７１９４と同様に得られる。
【００５７】
次に、透明導電性被膜のエッチングして、図４（Ｃ）と同等な構造を得る場合を考える。従来の方法によれば、以下の５段階を経る必要がある。すなわち、
（１）レジスト層塗布
（２）マスク合わせ（合わせ精度は配線デザインルールに準ずる）
（３）露光（上方より）
（４）現像（定着を含む）
（５）エッチング
【００５８】
一方、本発明の第１は上記の方式Ａ～Ｅの５つの方式があるが、方式Ａ、Ｂは上記の８段階、方式Ｃ、Ｄは上記の６段階、方式Ｅは上記の５段階に加えて、下記の５段階が必要となる。すなわち、
（１’）全てのレジスト層の剥離

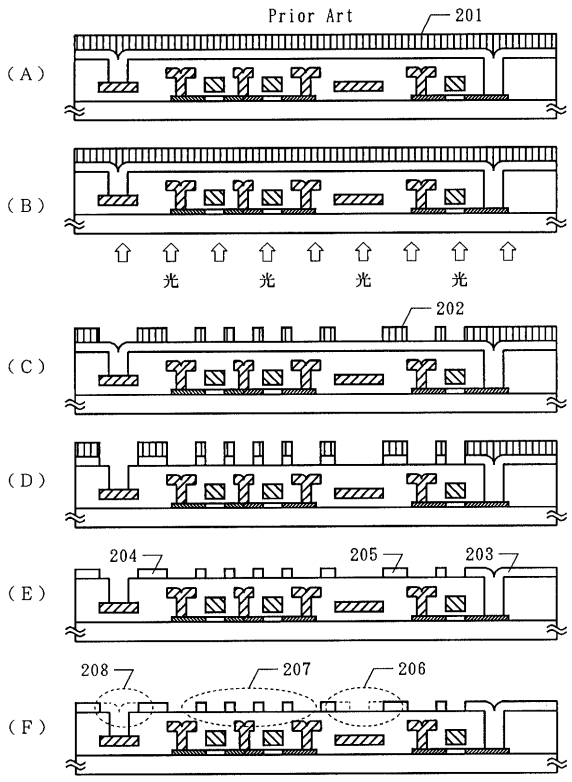
（２’）新たなレジスト層の塗布
（３’）マスク合わせ（合わせ精度は低くても可）
（４’）露光（上方より）
（５’）現像（定着を含む）
（６’）エッチング
【００５９】
また、本発明の第２においても、上記の４工程に加えて、上記の（１’）～（６’）の工程が必要となる。すなわち、本発明では最小でも１０工程、最大で１４工程が必要とされる。しかしながら、工程数が増えても、開口率向上による本発明の優位は、上記の説明と同じである。さらに、工程（３’）において要求される、マスク合わせの精度もデザインルールに比較すると十分に低いものであるので、このことにより従来の方式より歩留りが低下することはない。例えば、工程（３’）で作製されるパターンは端子電極のパターン等であるが、端子電極はそもそも外部とのワイヤボンディング等の方法によるコンタクトを想定しているので、その合わせ精度はデザインルールの１０倍程度でも十分である。
【００６０】
本発明の第２は同第１に比較して、工程数が少ない上で有利であるように見えるが、例えば、図１の配線１０６と透明導電性被膜との重なりを必要とする場合（図４の４０６）には、適用できない。また、本発明の第１において、方式Ｅは方式Ｃ、Ｄよりも工程数が少なく、かつ、同じ結果が得られるので有利であるが、そのためには、基板の上面と裏面から光が同時に照射できる露光機が必要である。
なお、本発明の第１の方式Ｃ、Ｄは、同第１の方式Ａ、Ｂに比較すると、工程が少ないので有利である。
【００６１】
実施例ではドライバー回路を同一の基板上に形成したモノリシック型アクティブマトリクス回路を例として説明したが、ドライバー回路を有しないアクティブマトリクス回路においても、端子電極等が画素電極と同じ透明導電性被膜で形成されるものであれば、本発明が効果を有することは明らかであろう。以上のように、本発明は多大な工業的価値を有している。
【図面の簡単な説明】
【図１】　従来のモノリシック型アクティブマトリクス回路に透明導電性被膜を形成した断面、および、ドライバートランジスタ、画素トランジスタの断面を示す図。
【図２】　特開平５－３０７１９４公報に開示された技術を用いて、モノリシック型アクティブマトリクス回路を作製する工程および問題点を示す断面図。
【図３】　実施例１によるモノリシック型アクティブマトリクス回路の作製工程を示す断面図。
【図４】　実施例１によるモノリシック型アクティブマトリクス回路の作製工程を示す断面図。
【図５】　実施例２によるモノリシック型アクティブマトリクス回路の作製工程を示す断面図。
【図６】　実施例３によるモノリシック型アクティブマトリクス回路の作製工程を示す断面図。
【図７】　実施例４によるモノリシック型アクティブマトリクス回路の作製工程を示す断面図。
【符号の説明】
１０１　　基板
１０２　　ドライバートランジスタ
１０３　　画素トランジスタ
１０４　　層間絶縁物
１０５　　入／出力用配線
１０６　　配線

１０７、１０８　コンタクトホール
１０９　透明導電性被膜
３０１　ポジ型レジスト層
３０２　マスク
３０３、３０５　レジストのパターン
３０４　ネガ型レジスト層

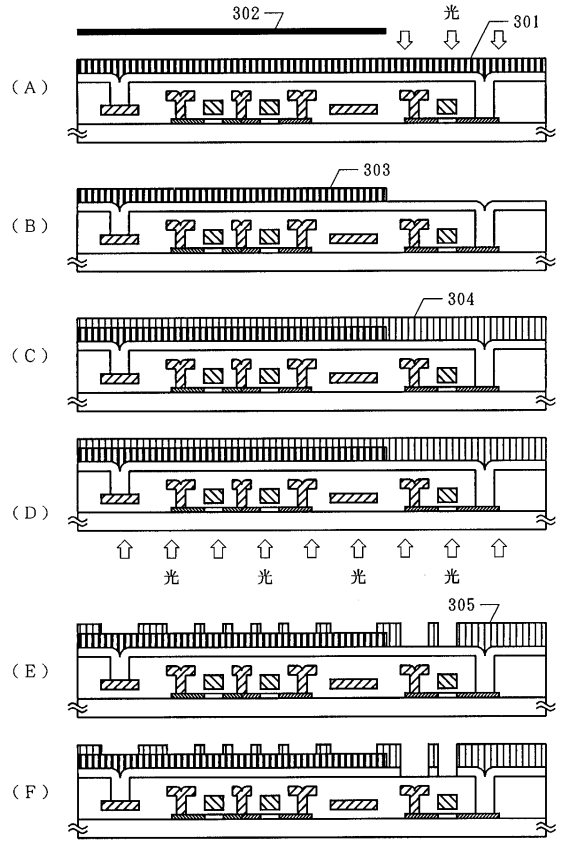
【図１】



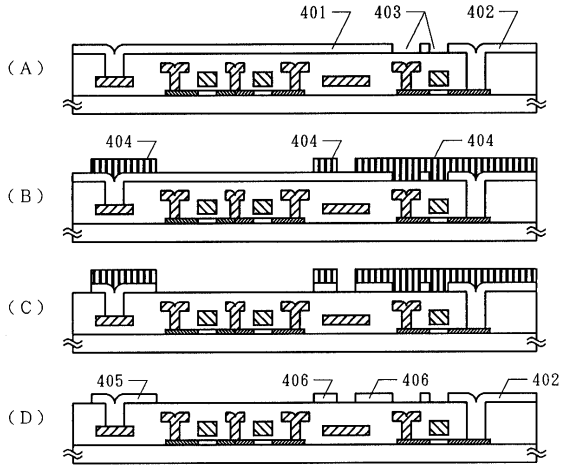
【図２】



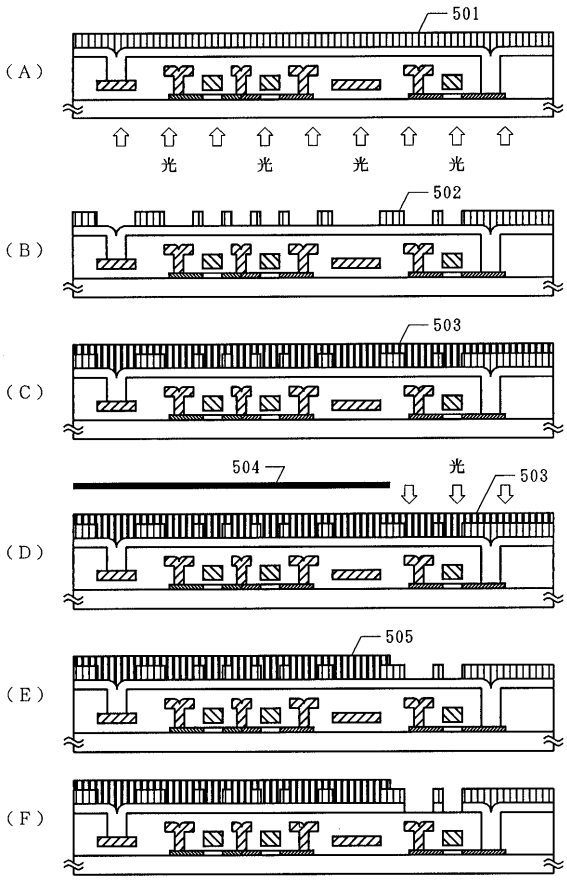
【図３】


302
光
301
（A）
303
（B）
304
（C）
（D）
光
光
光
光
305
（E）
（F）

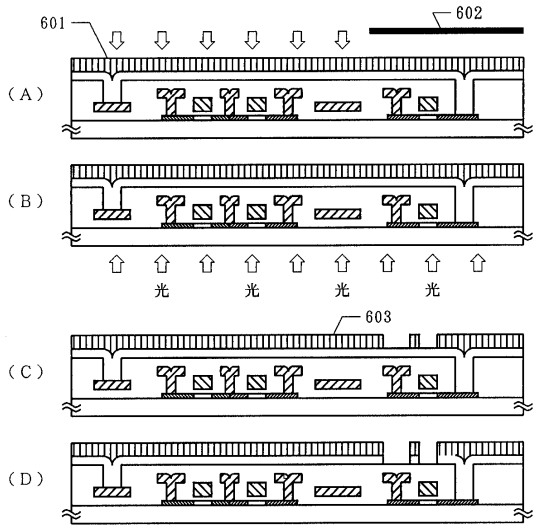
【図４】


401
403
402
（A）
404
404
404
（B）
（C）
405
406
406
402
（D）

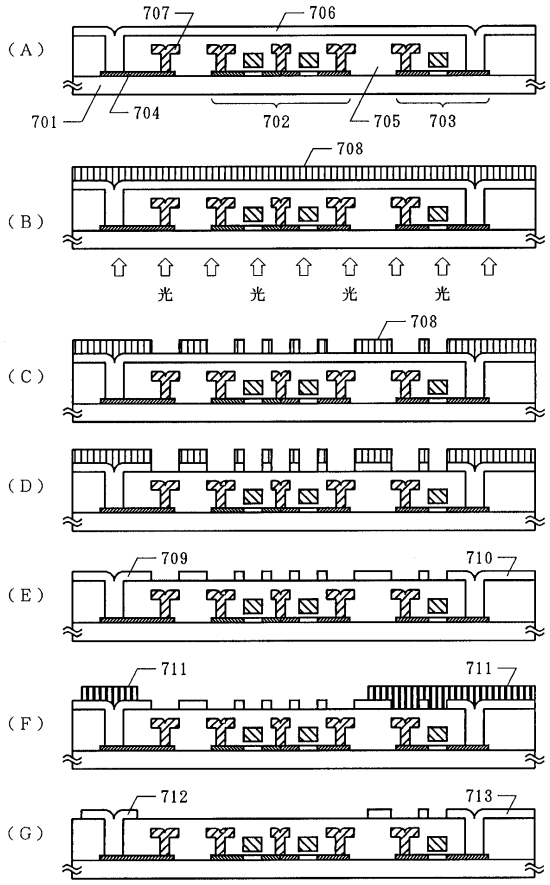
【図５】


501
（A）
光
光
光
光
502
（B）
503
（C）
504
光
503
（D）
505
（E）
（F）

【図６】


601
602
（A）
（B）
光
光
光
光
603
（C）
（D）

【図７】


(A)
707
706
701
704
702
705
703
(B)
708
光
光
光
光
(C)
708
(D)
(E)
709
710
(F)
711
711
(G)
712
713

フロントページの続き

審査官　藤岡　善行

(56)参考文献　特開昭６０－１１２０８９（ＪＰ，Ａ）
特開平０１－２１４８２３（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.[7]，ＤＢ名)
G02F 1/136