

(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl.⁷
H01L 29/737

(45) 공고일자 2005년06월23일
(11) 등록번호 10-0497103
(24) 등록일자 2005년06월15일

(21) 출원번호 10-2003-7009481
(22) 출원일자 2003년07월16일
 번역문 제출일자 2003년07월16일
(86) 국제출원번호 PCT/GB2001/005149
 국제출원일자 2001년11월23일

(65) 공개번호 10-2003-0069215
(43) 공개일자 2003년08월25일
(87) 국제공개번호 WO 2002/61820
 국제공개일자 2002년08월08일

(30) 우선권주장 09/774,126 2001년01월30일 미국(US)

(73) 특허권자 인터내셔널 비지네스 머신즈 코포레이션
미국 10504 뉴욕주 아몬크 뉴오차드 로드

(72) 발명자 추,잭,온
미국11040뉴욕주맨하세트힐즈쉴버운레인44

쿨바우그,더글라스,던
미국05452버몬트주에섹스전크션세이지씨클21

던,제임스,스터우트
미국05465버몬트주제리코오로드75

그린버그,데이비드
미국10601뉴욕주화이트플레인스사우쓰브로드웨이넘버40595

하라매,데이비드
미국05452버몬트주에섹스전크션디스틀리레인9

자간나탄,바산쓰
미국12582뉴욕주스톰빌저드쓰드라이브81

존슨,로브,알렌
미국05403사우쓰벌링턴트윈옥스테라스113

란제로티,루이스
미국05401버몬트주벌링턴피.오.박스64883

스코넨버그,카른,터너
미국06812뉴페어필드스테이트로우트37159

워쓰리치,란,웨인
미국05401버몬트주벌링턴오스틴드라이브넘버67161

(74) 대리인 주성민
장수길

심사관 : 고광석

(54) 실리콘 게르마늄 바이폴라 트랜지스터

요약

에미터와 컬렉터 영역 간에 존재하는 전위 결함을 실질적으로 포함하지 않는 SiGe 바이폴라 트랜지스터 및 그러한 트랜지스터를 형성하기 위한 방법이 제공된다. SiGe 바이폴라 트랜지스터는 제1 전도성 타입의 컬렉터 영역(52), 상기 컬렉터 영역의 일부에 형성되는 SiGe 베이스 영역(54) 및 상기 베이스 영역의 일부 상에 형성되는 상기 제1 전도성 타입의 에미터 영역을 포함하고, 상기 컬렉터 영역(52) 및 상기 베이스 영역(54)은 그 안에 연속적으로 탄소를 포함한다. SiGe 베이스 영역(54)은 붕소로 더 도핑된다.

대표도

도 4

색인어

SiGe 바이폴라 트랜지스터, 전위 결함, 바이폴라 파이프

명세서

기술분야

본 발명은 바이폴라 트랜지스터에 관한 것으로, 특히 컬렉터 및 SiGe 베이스 영역 전부로 연속적으로 투입되는 탄소 C를 포함하는 낮게 도핑된 Si 컬렉터 영역 및 SiGe 베이스 영역을 구비하는 실리콘 게르마늄(SiGe) 바이폴라 트랜지스터에 관한 것이다. 또한 SiGe 바이폴라 트랜지스터의 낮게 도핑된 Si 컬렉터 영역 및 SiGe 베이스 영역으로 C를 연속적으로 투입하는 방법이 개시된다. SiGe라는 용어는 실리콘-게르마늄 합금, 즉 $\text{Si}_{1-x}\text{Ge}_x$ 를 의미하기 위해 이용된다.

배경기술

고주파수 유선 및 무선 시장의 폭발적 성장으로 인하여 SiGe와 같은 합성 반도체가 벌크 상보성 금속 산화막 반도체(CMOS) 기술보다 특유한 이점을 갖게 되었다. 에피택셜-층 부정규형 SiGe 증착 프로세스(epitaxial-layer pseudomorphic SiGe deposition processes)의 급속한 발전과 함께, 에피택셜-베이스 SiGe 이질접합 바이폴라 트랜지스터(epitaxial-base SiGe heterojunction bipolar transistors)는 디지털 논리 회로에 대해서 발전된 CMOS 기술의 원리를 이용하고 아날로그 및 RF 회로를 위한 SiGe 기술의 이점을 제공하면서, 넓은 시장을 수용하기 위해 주류의 진보된 CMOS 개발과 통합되고 있다.

SiGe 이질접합 바이폴라 트랜지스터 장치는 모든 아날로그 애플리케이션에서 주요한 소자로서 실리콘 바이폴라 접합 장치를 대체하고 있다. 전형적인 종래 기술 SiGe 이질접합 바이폴라 트랜지스터는 도 1에 도시되어 있다. 특히, 종래 기술 이질접합 바이폴라 트랜지스터는 n^+ 서브컬렉터 층(10)을 포함하는데 그 n^+ 서브컬렉터 층(10) 위에 n^- Si 컬렉터(즉, 낮게 도핑된) 영역(12)을 갖는다. 트랜지스터는 낮게 도핑된 Si 컬렉터 영역 상에 형성된 p^+ SiGe 베이스 영역(14)을 더 포함한다. 베이스 영역(14)의 일부분은 n^+ Si 에미터 영역(16)을 포함하고 다른 부분은 공간(20)에 의해 에미터 영역으로부터 분리되는 베이스 전극(18)을 포함한다. 에미터 영역(16)의 상부에 에미터 전극(22)이 있다.

도 1에서 설명된 종류의 바이폴라 SiGe 트랜지스터가 갖는 주요한 문제는 컬렉터와 에미터 영역 사이의 전위(dislocation)의 존재이다. 이 전위가 컬렉터 영역과 에미터 영역 간에서 확장되면, 바이폴라 파이프(bipolar pipe), 예를 들어, CE 단락(shorts)이 발생한다. 파이프 단락은 SiGe 바이폴라 기술에서 수율을 감소시키는 주요한 요소가 된다.

종래 기술에서, 바이폴라 구조에 탄소를 투입하여 단지 SiGe 영역의 베이스 위에만 탄소 층을 형성하는 것이 알려져 있다. 도 2에 그러한 구조가 도시되어 있는데 참조 부호 24는 성장된 탄소 층을 나타낸다. SiGe 영역의 베이스 위에 C 층을 형성하는 이러한 종래 기술은 고유 베이스 영역(intrinsic base region)의 확산을 억제함으로써 좁은 베이스 폭을 유발한다. 이 결과는 예를 들어 도 3에 도시되어 있다.

일반적으로 탄소 투입은 베이스 영역으로의 붕소의 외부 확산(out-diffusion)을 억제하기 위하여 종래 기술에서 이용된다. 예를 들어, 붕소가 일시적으로 증가하는 확산은 탄소가 풍부한 실리콘 층에서는 강하게 억제된다. H.J. Osten 등의 "고주파수 애플리케이션을 위한 탄소 도핑된 SiGe 이질접합 바이폴라 트랜지스터(Carbon Doped SiGe Heterojunction Bipolar Transistors for High Frequency Applications)", IEEE BCTM 7.1, 109를 참조. 실리콘에서의 붕소 확산은 간극 메커니즘(interstitial mechanism)을 통해서 발생하고 실리콘 자기 간극(self-interstitials)의 농도에 비례한다. 탄소가 풍부한 영역에서 외부로의 탄소의 확산은 실리콘 자기 간극의 불포화(undersaturation)를 유발한다. 결과적으로, 이 영역에서 붕소의 확산은 억제된다. 붕소의 확산을 억제할 수 있음에도 불구하고, 단지 SiGe 영역의 베이스 위에 C를 형성하는 이러한 종래 기술은 파이프 단락을 감소시키는데 있어 효과적이지 않다.

상기한 바이폴라 파이프 단락 문제의 관점에서 볼 때, 종래 기술의 방법과 같이 베이스 폭을 감소시키지 않으면서, 에미터와 컬렉터 영역 사이의 전위를 실질적으로 제거하는 SiGe 바이폴라 트랜지스터를 형성하기 위한 새롭고 향상된 방법의 개발에 대한 지속적인 필요성이 있다.

발명의 상세한 설명

본 발명의 하나의 특징은 에미터와 컬렉터 영역 간의 전위의 형성을 실질적으로 억제함으로써 바이폴라 파이프의 문제점, 예를 들어 CE 단락을 회피하는 SiGe 바이폴라 트랜지스터를 제조하는 방법을 제공하는 것이다.

본 발명의 다른 특징은 에피택셜하게 성장된 실리콘/SiGe 영역의 트랜지스터 수율이 증가되는 SiGe 바이폴라 구조의 방법을 제공하는 것이다.

본 발명의 또 다른 특징은 베이스 폭을 감소시키지 않으면서 탄소를 그 구조에 투입할 수 있는 바이폴라 SiGe 트랜지스터를 제조하는 방법을 제공하는 것이다.

본 발명의 또 다른 특징은 비용면에서 효과적이고 기존의 SiGe 바이폴라 기술로 용이하게 구현될 수 있는 바이폴라 SiGe 트랜지스터를 제조하는 방법을 제공하는 것이다.

본 발명에 따르면 상술한 바와 같은 특징 및 이점은 SiGe 베이스 영역뿐만 아니라 낮게 도핑된 Si 층에 탄소를 투입함으로써 달성된다. 본 발명에 따르면, 탄소 소스 가스가 이용되는 초고진공 화학 기상 증착(ultra-high vacuum chemical vapor deposition; UHVCVD), 급속 열 화학 기상 증착(rapid thermal chemical vapor deposition; RTCVD), 분자 빔 에피택시(molecular beam epitaxy; MBE) 또는 플라즈마 강화 화학 기상 증착(plasma-enhanced chemical vapor deposition; PECVD)과 같은 증착 프로세스를 이용함으로써 SiGe 층의 에피택셜 성장 동안 탄소 투입이 행하여 진다. 본 발명의 방법을 이용함으로써, 탄소는 Si 컬렉터 영역 및 SiGe 베이스 영역 전체에 연속적으로 형성된다. 또한, 출원인은 본 발명의 방법이 바이폴라 파이프 단락을 유발하는 전위를 억제할 뿐만 아니라 SiGe의 수율을 증가시킨다는 것을 발견했다.

본 발명의 제1 실시예에서, 실질적으로 아무런 파이프 단락을 나타내지 않는 SiGe 바이폴라 트랜지스터를 제조하는 방법이 제공된다. 특히, SiGe 바이폴라 트랜지스터를 제조하는 본 발명의 방법은

(a) 적어도 바이폴라 장치 영역을 포함하는 구조를 구비하는 단계 - 상기 바이폴라 장치 영역은 반도체 기판에 형성된 제1 전도성 타입의 컬렉터 영역을 적어도 포함함 -;

(b) 상기 컬렉터 영역 상에 SiGe 베이스 영역을 증착하는 단계 - 상기 증착하는 단계 동안 탄소는 컬렉터 영역 및 SiGe 베이스 영역을 통해서 연속적으로 성장됨 -; 및

(c) 상기 SiGe 베이스 영역 위에 패턴화된 에미터 영역을 형성하는 단계

를 포함한다.

더 바람직하게는 컬렉터가 반도체 기판의 표면에 Si 층을 에피택셜하게 성장시키는 단계, 에피택셜하게 성장된 Si 층 상에 산화물 층을 형성시키는 단계, Si 층에 제1 전도성 타입의 불순물을 주입하는 단계 및 그 산화물 층을 제거하는 단계에 의해 형성되고, 가장 바람직하게는 산화물 층이 HF 에칭 프로세스에 의해 제거된다. 단계 (b)의 증착 프로세스는 초고진공 화학 기상 증착(UHVCVD), 분자 빔 에피택시(MBE), 급속 열 화학 기상 증착(RTCVD) 및 플라즈마 강화 화학 기상 증착(PECVD)으로부터 선택될 수 있고, 바람직하게는 UHVCVD 프로세스이고, 그것은 더 바람직하게는 약 650°C 이하의 온도 및 약 250 밀리토르(milliTorr) 이하의 작동 압력에서 수행된다. UHVCVD 프로세스는 바람직하게는 약 500°C 내지 약 650°C의 온도 및 약 0.1 내지 약 20 밀리토르의 작동 압력에서 수행되고, 또한 바람직하게는 Si 소스 가스, Ge 소스 가스, B 소스 가스 및 C 소스 가스를 포함하는 가스 혼합물을 포함한다. Si 소스 가스는 바람직하게는 실란(silane), Ge 소스 가스는 게르만(germane), 붕소 소스 가스는 B₂H₆이고 C 소스 가스는 에틸렌(ethylene), 메틸실란(methylsilane) 또는 메탄이다. 소스 가스는 희석하지 않거나 불활성 가스와 함께 이용될 수 있고, 불활성 가스는 He, Ar, N₂ 또는 H₂일 수 있다. 소스 가스는 미리 혼합되거나 별개의 스트림으로서 에피 반응기(epi reactor)에 투입될 수 있다.

상기 단계 (c)는 SiGe 베이스 영역 위에 절연체를 형성하는 단계, 절연체 내에 에미터 윈도우를 개방하는 단계, 에미터 윈도우 내에 폴리실리콘을 형성하는 단계 및 폴리실리콘을 에칭하는 단계를 포함하는 것이 바람직하다.

본 발명의 또 다른 실시예는 바이폴라 트랜지스터의 컬렉터 영역 및 SiGe 베이스 영역에 C를 투입하는 방법에 관한 것이다. 본 발명의 이 실시예에 따르면, 본 방법은 낮게 도핑된 Si 컬렉터 영역 위에 SiGe 베이스 영역을 증착하는 단계를 포함하고, 증착 단계 동안, 탄소는 컬렉터 영역 및 SiGe 베이스 영역을 통해서 연속적으로 성장된다. 더 바람직하게는 증착 단계가 초고진공 화학 기상 증착(UHVCVD), 분자 빔 에피택시(MBE), 급속 열 화학 기상 증착(RTCVD) 및 플라즈마 강화 화학 기상 증착(PECVD)을 포함하는 그룹으로부터 선택된 증착 프로세스를 포함하고, 가장 적당한 증착 프로세스는 UHVCVD 프로세스이다. 바람직하게는 UHVCVD 프로세스는 약 650°C 이하의 온도 및 약 250 밀리토르 이하의 작동 압력에서 수행되고, 더 바람직하게는 약 500°C 내지 약 650°C의 온도 및 약 0.1 내지 약 20 밀리토르의 작동 압력에서 수행된다. UHVCVD 프로세스는 Si 소스 가스, Ge 소스 가스, B 소스 가스 및 C 소스 가스를 포함하는 가스 혼합물을 포함할 수 있고, 바람직하게는 Si 소스는 실란, Ge 소스 가스는 게르만, 붕소 소스 가스는 B₂H₆ 그리고 C 소스 가스는 에틸렌, 메틸실란 또는 메탄이다. 소스 가스는 희석되지 않거나 불활성 가스와 함께 이용될 수 있고, 바람직하게는 He, Ar, N₂ 또는 H₂이다. 소스 가스는 미리 혼합되거나 별개의 스트림으로 에피 반응기에 투입될 수 있다.

본 발명의 또 하나의 실시예는 에미터와 컬렉터 영역 간에 존재하는 전위 결함을 본질적으로 포함하지 않는 SiGe 바이폴라 트랜지스터에 관한 것이고, 상기 구조는

제1 전도성 타입의 컬렉터 영역;

SiGe 베이스 영역; 및

상기 베이스 영역의 일부분 상에 형성된 상기 제1 전도성 타입의 에미터 영역 - 상기 컬렉터 및 상기 베이스 영역은 상기 컬렉터 및 SiGe 베이스 영역에 연속적으로 존재하는 탄소를 포함하고 상기 SiGe 베이스는 B로 더 도핑되며, 바람직하게는 C는 약 5×10^{17} 내지 약 $1 \times 10^{21} \text{cm}^{-3}$ 의 농도로 SiGe 베이스 영역에 존재하고, 더 적당하게는 C는 약 1×10^{19} 내지 약 $1 \times 10^{20} \text{cm}^{-3}$ 의 농도로 SiGe 베이스 영역에 존재함 -

을 포함한다.

상기 SiGe 바이폴라 트랜지스터는 에미터가 도핑된 폴리실리콘으로 이루어지는 가장 적당한 SiGe 바이폴라 트랜지스터이다.

도면의 간단한 설명

도 1은 종래 기술의 SiGe 바이폴라 트랜지스터의 단면도.

도 2는 단지 SiGe 영역의 베이스 상에만 성장된 C 층을 포함하는 종래 기술의 SiGe 바이폴라 트랜지스터의 단면도.

도 3은 C가 SiGe 베이스 영역 상으로 투입되는 종래 기술 방법에 있어서 깊이(Å) 대 붕소(B), 게르마늄(Ge) 및 탄소(C) 농도의 관계를 도시한 도면.

도 4는 컬렉터 및 SiGe 베이스 영역에서 연속적으로 성장된 C 층을 포함하는 본 발명의 SiGe 바이폴라 트랜지스터의 단면도.

도 5 내지 도 10은 본 발명의 기본 프로세싱 단계에 따른 본 발명의 SiGe 바이폴라 트랜지스터를 도시하는 도면.

도 11 내지 도 13은 C가 컬렉터 영역 및 SiGe 베이스 영역에 연속적으로 투입되는 본 발명의 방법에 있어서 깊이(Å) 대 붕소(B), 게르마늄(Ge) 및 탄소(C) 농도의 관계를 도시한 도면.

실시예

SiGe 베이스 층뿐만 아니라 낮게 도핑된 Si 컬렉터 영역에 연속적으로 C를 투입하는 방법에 관한 본 발명 및 그러한 방법으로 제조되는 SiGe 바이폴라 구조는 첨부되는 도면을 참조해서 아래에서 더 상세히 설명될 것이다.

본 발명의 SiGe 바이폴라 트랜지스터의 일부의 단면을 도시하는 도 4를 우선 참조하자. 특히, 도 4에 도시된 SiGe 바이폴라 트랜지스터는 기판(50) 상에 형성된 제1 전도성 타입(n 또는 p-형 도핑)의 컬렉터 영역(52)을 포함한다. 컬렉터 영역(52)의 상부에 에미터 영역(56) 및 에미터 확산(56d) 영역을 포함하는 SiGe 베이스 영역(54)이 있다. 영역(60)은 절연체를 나타낸다. SiGe 베이스 영역은 B로 도핑된 것을 특징으로 한다. 도 4에 도시된 바이폴라 트랜지스터는 바이폴라 트랜지스터의 단지 일부만을 도시하고 있다는 것을 명심해야 한다. 간략히 하기 위해, 바이폴라 트랜지스터 구조에서 일반적으로 형성되는 다른 영역은 도면에서 생략하였다.

본 발명에 따르면, SiGe 베이스 영역 및 컬렉터 영역, 즉 낮게 도핑된 Si는 연속적으로 분포한, 즉 바이폴라 트랜지스터의 이러한 층 전체에 성장된 C를 포함한다. 도 4에 도시된 구조는 C가 단지 SiGe 베이스 영역 위에 성장된 종래 기술 SiGe 바이폴라 트랜지스터와 다르다는 것을 유의해야 한다.

본 발명의 특징에 따르면, SiGe 베이스 영역 및 컬렉터 영역 내에 존재하는 C의 농도는 약 5×10^{17} 내지 약 $1 \times 10^{19} \text{atoms/cm}^{-3}$ 이고, 더 바람직하게는 약 1×10^{19} 내지 $10^{20} \text{atoms/cm}^{-3}$ 이다.

도 4에 도시된 본 발명의 구조를 형성하는 데에 이용되는 방법은 도 5 내지 도 10 및 아래에서 나타나는 논의를 참조해서 더 상세하게 설명될 것이다. 특히, 도 5는 SiGe 바이폴라 트랜지스터를 형성하는데 있어 본 발명에서 이용되는 초기 구조를 도시한다. 도 5의 구조는 기판(50)의 표면에 형성되는 제1 전도성 타입의 컬렉터 영역(52)을 포함하는 Si 기판(50)을 포함한다. 도 5에 도시된 구조는 당업자에게 잘 알려진 종래의 프로세스를 이용하여 형성된다. 예를 들어, 컬렉터 영역은 기판 상에 Si 층(도시되지 않음)을 에피택셜하게 성장시킴으로써 기판(10)의 표면에 형성된다. 그 후 도면에 도시되지 않은 산화물 층은 epi-Si 층의 기판 상에 형성되고 그 후 n- 또는 p-형 불순물이 epi-Si 층으로 주입되며 그 영역은 종래의 활성화 어닐링 프로세스를 이용하여 활성화된다. 이온 주입 및 어닐링에 후속해서, 산화물 층이 그 구조의 기판에 SiGe 층을 형성하기 전에 그 구조의 기판으로부터 제거된다. 상기 프로세스는 그 기판에 컬렉터 영역의 형성을 유발한다. 산화물 층을 제거하기 위한 바람직한 수단은 HF 에칭 프로세스를 이용하는 것이다. 서브컬렉터 영역을 형성하는데 있어 본 발명에서 이용될 수 있는 다른 방법은 종래의 고 에너지 P-주입 프로세스이다.

다음, 도 6에 도시된 바와 같이, SiGe 층(54)은 연속적으로 C를 베이스 및 컬렉터 영역으로 성장시키면서 에피택셜하게 SiGe 베이스 영역을 성장시킬 수 있는 적당한 증착 프로세스를 이용하여 컬렉터 영역 상에 형성된다. 본 발명에서 형성되는 SiGe 베이스 영역은 일반적으로 약 10 내지 약 200nm의 두께를 갖는다. 더 바람직하게는, SiGe 베이스 영역은 약 50 내지 약 70nm의 두께를 갖는다. 본 발명에서 SiGe 베이스 영역은 결정 격자 내에 C 및 B를 포함한다는 것을 명심해야 한다. 즉, SiGe 베이스 영역은 그 내에 SiGe, B 및 C를 포함하는 합성된 SiGe 영역이다.

본 발명에 따르면, SiGe 베이스 층은 UHVCVD, MBE, RTCVD, PECVD 또는 그러한 SiGe 층을 에피택셜하게 형성할 수 있는 다른 유사 증착 프로세스를 이용하여 형성될 수 있다. 이러한 증착 프로세스 중에서, UHVCVD 프로세스를 이용하는 것이 가장 바람직하다.

SiGe 베이스 영역을 형성하기 위해 본 발명에서 이용되는 UHVCVD 프로세스는 약 650°C 이하 및 약 250 밀리토르 이하의 작동 압력에서 동작하는 저온 에피(LTE) 반응기에서 수행된다. 더 바람직하게는, UHVCVD 프로세스는 약 500°C 내지 약 650°C에서 및 약 0.1 내지 약 20 밀리토르의 작동 압력에서 동작하는 에피 반응기에서 수행된다. 본 발명에서, UHVCVD 프로세스는 Si 소스, Ge 소스, B 소스 및 C 소스를 포함하는 가스 혼합물을 이용하여 수행된다. 다양한 Si, Ge, B 및 C 소스가 본 발명에서 이용될 수 있지만, 실란 또는 Si 소스와 같은 다른 유사 Si-포함 소스 가스, Ge 소스 같은 게르만인 GeH_4 , B 소스 같은 디보란인 B_2H_6 및 C 소스 같은 에틸렌, 메틸실란 또는 메탄을 포함하는 가스 혼합물을 이용하는 것이 바람직하다. 상기 C 소스 중에서, C 소스 가스로 에틸렌을 이용하는 것이 가장 바람직하다.

소스 가스는 희석되지 않은 채 이용되거나 또는 헬륨, 질소, 아르곤 또는 수소와 같은 불활성 가스와 함께 이용될 수 있다. 예를 들어, Ge 소스 가스는 5% 불활성 가스에 게르만을 포함할 수 있고 C 소스 가스는 불활성 가스에 상기 C 소스 가스 중의 하나를 (약 0.5 내지 약 2%) 포함할 수 있다. 또한, 소스 가스는 에피 반응기에 투입되기 전에 미리 혼합되거나 또는 별개의 스트림으로 투입될 수 있다.

Si 및 Ge 농도가 SiGe 베이스 층을 형성하기에 충분하다면 본 발명에서 이용되는 Si 및 Ge의 농도는 중요하지 않다.

상기 UHVCVD 프로세스 (또는 관련 증착 프로세스)는 바이폴라 트랜지스터의 SiGe 베이스 영역뿐만 아니라 베이스 영역 전체에 연속적으로 C를 성장시킬 수 있다는 것을 유의해야 한다. 또한, 출원인은 상기 UHVCVD 프로세스는 바이폴라 파이프 단락을 유발하는 전위(dislocations)를 억제할 뿐만 아니라 SiGe 베이스의 수율을 향상시킨다는 것을 발견했다. 이러한 발견은 C가 단지 SiGe 베이스 영역에서만 성장되는 종래 기술의 프로세스에서는 보고되지 않는다. 그러므로 본 프로세스는 C가 본질적으로 고유 싱크(intrinsic sink)를 형성하는 SiGe 바이폴라 트랜지스터를 형성하는 향상된 수단을 나타낸다.

도 11 내지 도 13은 C가 UHVCVD 증착 에피택셜 성장 SiGe 베이스 및 Si 컬렉터 영역에 투입되는 프로세스에 대한 SiGe 프로파일을 도시한다. 탄소는 도 11의 낮게 도핑된 Si 층(즉, 컬렉터)과 SiGe 베이스 영역을 분리하는 불연속 공간에서 성장되고 도 12의 이러한 영역 전체에 연속적으로 형성된다. 낮게 도핑된 Si에서의 C의 저 농도는 전위 형성을 감소시키면서 고유 싱크로서 동작한다. C의 투입은 Ge 프로파일을 제한한다. 그러므로 도 12 내지 도 13에 도시된 바와 같이, Ge 프로파일은 기울기가 완만하게 될 수 있고 고정되지 않는다.

다시 본 발명의 프로세스를 참조하면, 그 후 절연체(60)는 당해 기술 분야에서 잘 알려진 종래의 증착 프로세스를 이용하여 SiGe 막의 표면에 형성될 수 있다. 도 7을 참조, 적당한 증착 프로세스는 CVD, 플라즈마-강화 CVD, 스퍼터링, 화학 용액 증착(chemical solution deposition) 및 다른 유사 증착 프로세스를 포함하지만 그들에 한정되지는 않는다. 절연체(60)는 단일 절연체 물질을 포함하거나 또는 하나 이상의 절연체 물질, 즉 유전체의 조합을 이용할 수 있다. 본 발명의 이 단계에서 이용되는 절연체는 산화물, 질화물 또는 그들의 조합을 포함할 수 있다.

도 8은 SiGe 막의 표면을 노출시켜 절연체(60)를 통해 에미터 윈도우 오프닝(62)을 형성한 후의 구조를 도시한다. 에미터 윈도우 오프닝은 종래의 리소그래피 및 반응성-이온 에칭(RIE)과 같은 에칭을 이용하여 형성된다.

도 9는 고유 폴리실리콘(64)의 층이 절연체 층 위뿐만 아니라 에미터 윈도우 오프닝 내에 형성된 후의 구조를 도시한다. 바이폴라 SiGe 트랜지스터의 에미터 영역을 형성하는 고유 폴리실리콘은 당업자에게 잘 알려진 임의의 종래 인-시투 도핑 증착 프로세스(in-situ doping deposition process)에 의해 형성된다.

구조 내에 폴리실리콘 층을 형성한 후에, 폴리실리콘 층은 도 10에 도시된 구조를 형성하는 종래의 리소그래피 및 에칭을 이용하여 패터닝된다. 그 후 절연체 및 SiGe 층의 일부분을 제거할 수 있는 선택적 에칭 프로세스가 도 4에 도시된 구조를 제공하기 위해서 수행된다. 또한 본 발명의 방법은 자기 정렬 바이폴라 트랜지스터와 같이 당해 기술 분야에서 일반적으로 알려진 프로세스에 적용될 수 있다.

본 발명을 바람직한 실시예에 대해서 도시하고 설명하였지만, 당업자는 본 발명의 취지 및 범위를 벗어나지 않고서도 전술한 형태 및 상세 사항에 다른 변형이 가해질 수 있다는 것을 이해할 것이다. 그러므로 본 발명의 보호 범위는 위에서 설명된 정확한 형태 및 상세 정보에 한정되지 않고, 첨부되는 청구항의 범위에 의하여 정하여진다.

(57) 청구의 범위

청구항 1.

SiGe 베이스 영역 및 컬렉터 영역에 C를 포함하는 SiGe 바이폴라 트랜지스터를 제조하는 방법에 있어서,

(a) 반도체 기판에 형성된 제1 전도성 타입의 컬렉터 영역을 적어도 포함하는 바이폴라 장치 영역을 적어도 구비하는 구조를 제공하는 단계;

(b) 상기 컬렉터 영역 상에 SiGe를 증착시키는 단계 - 상기 증착시키는 단계 동안 탄소는 연속적으로 상기 컬렉터 영역 및 상기 SiGe 베이스 영역을 통해서 성장됨 - ; 및

(c) 상기 SiGe 베이스 영역 상에 패턴화된 에미터 영역을 형성하는 단계
를 포함하고, 상기 컬렉터는
상기 반도체 기판의 표면에 에피택셜하게 Si 층을 성장시키는 단계;
상기 에피택셜하게 성장된 Si 층에 산화물 층을 형성하는 단계;
상기 Si 층에 상기 제1 전도성 타입의 불순물을 주입하는 단계; 및
상기 산화물 층을 제거하는 단계
에 의하여 형성되는 방법.

청구항 2. 삭제

청구항 3.

제1항에 있어서, 상기 산화물 층은 HF 에칭 프로세스에 의해 제거되는 방법.

청구항 4.

제1항에 있어서, 단계 (b)의 상기 증착 프로세스는 초고진공 화학 기상 증착(UHVCVD), 분자 빔 에피택시(MBE), 급속 열 화학 기상 증착(RTCVD) 및 플라즈마 강화 화학 기상 증착(PECVD)을 포함하는 그룹으로부터 선택되는 방법.

청구항 5. 삭제

청구항 6.

제4항에 있어서, 상기 UHVCVD 프로세스는 약 650℃ 이하의 온도 및 약 250 밀리토르의 작동 압력에서 수행되는 방법.

청구항 7.

제6항에 있어서, 상기 UHVCVD 프로세스는 약 500℃ 내지 약 650℃의 온도 및 약 0.1 내지 약 20 밀리토르의 작동 압력에서 수행되는 방법.

청구항 8.

제4항에 있어서, 상기 UHVCVD 프로세스는 Si 소스 가스, Ge 소스 가스, B 소스 가스 및 C 소스 가스를 포함하는 가스 혼합물을 포함하는 방법.

청구항 9.

제8항에 있어서, 상기 Si 소스 가스는 실란이고, 상기 Ge 소스 가스는 게르만이며, 상기 B 소스 가스는 B₂H₆이고, 상기 C 소스 가스는 에틸렌, 메틸실란 또는 메탄인 방법.

청구항 10.

제8항에 있어서, 상기 소스 가스는 희석되지 않거나 불활성 가스와 함께 이용되는 방법.

청구항 11.

제10항에 있어서, 상기 불활성 가스는 He, Ar, N₂ 또는 H₂인 방법.

청구항 12.

제8항에 있어서, 상기 소스 가스는 미리 혼합되거나 별개의 스트림으로 에피 반응기에 투입되는 방법.

청구항 13.

제1항에 있어서, 단계 (c)는

상기 SiGe 베이스 영역 상에 절연체를 형성하는 단계;

상기 절연체 내에 에미터 윈도우를 형성하는 단계;

상기 에미터 윈도우 내에 폴리실리콘을 형성하는 단계; 및

상기 폴리실리콘을 에칭하는 단계

를 포함하는 방법.

청구항 14.

바이폴라 트랜지스터의 컬렉터 영역 및 SiGe 베이스 영역에 C를 투입하는 방법에 있어서,

상기 방법은 Si 컬렉터 영역 상에 SiGe 베이스 영역을 증착하는 단계를 포함하고,

상기 컬렉터는

상기 반도체 기판의 표면에 에피택셜하게 Si 층을 성장시키는 단계;

상기 에피택셜하게 성장된 Si 층에 산화물 층을 형성하는 단계;

상기 Si 층에 상기 제1 전도성 타입의 불순물을 주입하는 단계; 및

상기 산화물 층을 제거하는 단계

에 의하여 형성되며, 상기 증착 단계 동안 탄소가 상기 컬렉터 영역 및 상기 SiGe 베이스 영역을 통해서 연속적으로 성장되는 방법.

청구항 15.

제14항에 있어서, 상기 증착 단계는 초고진공 화학 기상 증착(UHVCVD), 분자 빔 에피택시(MBE), 급속 열 화학 기상 증착(RTCVD) 및 플라즈마 강화 화학 기상 증착(PECVD)으로부터 선택되는 증착 프로세스를 포함하는 방법.

청구항 16.

삭제

청구항 17.

제15항에 있어서, 상기 UHVCVD 프로세스는 약 650℃ 이하의 온도 및 약 250 밀리토르 이하의 작동 압력에서 수행되는 방법.

청구항 18.

제17항에 있어서, 상기 UHVCVD 프로세스는 약 500℃ 내지 약 650℃의 온도 및 약 0.1 내지 약 20 밀리토르의 작동 압력에서 수행되는 방법.

청구항 19.

제15항에 있어서, 상기 UHVCVD 프로세스는 Si 소스 가스, Ge 소스 가스, B 소스 가스 및 C 소스 가스를 포함하는 가스 혼합물을 포함하는 방법.

청구항 20.

제19항에 있어서, 상기 Si 소스 가스는 실란이고, 상기 Ge 소스 가스는 게르만이며, 상기 B 소스 가스는 B_2H_6 이고, 상기 C 소스 가스는 에틸렌, 메틸실란 또는 메탄인 방법.

청구항 21.

제19항에 있어서, 상기 소스 가스는 희석되지 않거나 불활성 gas와 함께 이용되는 방법.

청구항 22.

제21항에 있어서, 상기 불활성 gas는 He, Ar, N_2 또는 H_2 인 방법.

청구항 23.

제19항에 있어서, 상기 소스 가스는 미리 혼합되거나 별개의 스트림으로 에피 반응기에 투입되는 방법.

청구항 24.

삭제

청구항 25.

삭제

청구항 26.

삭제

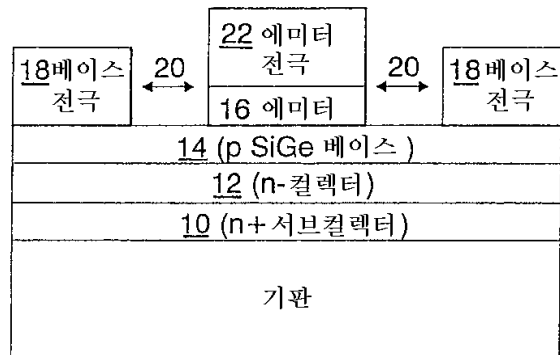
청구항 27.

삭제

도면

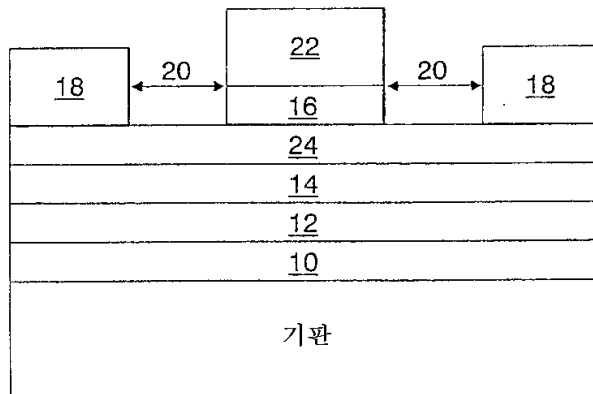
도면1

(종래 기술)



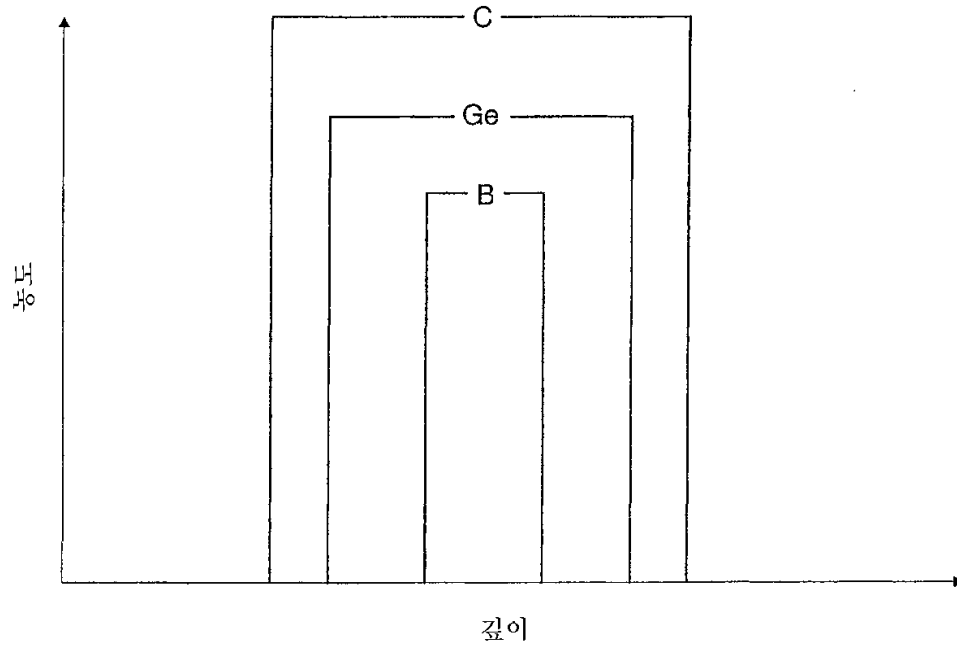
도면2

(종래 기술)

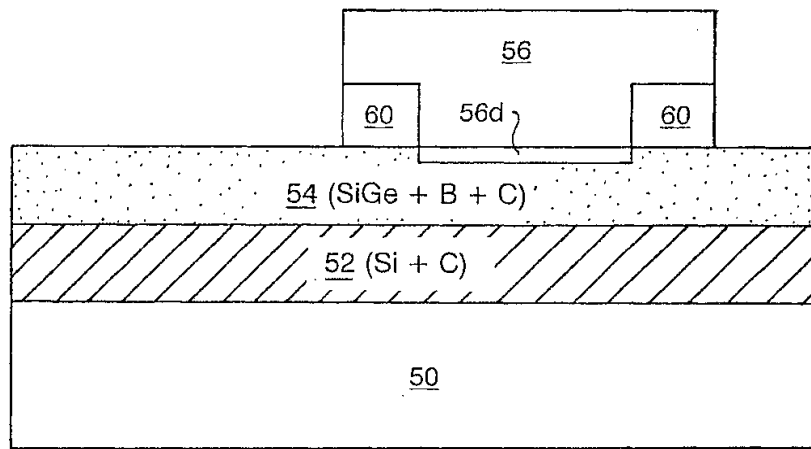


도면3

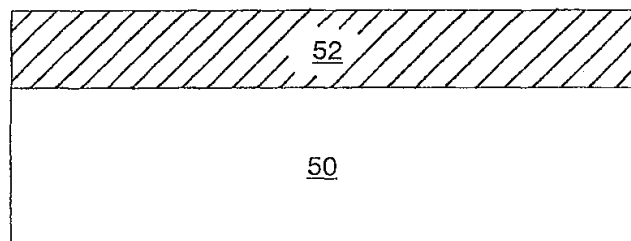
(종래 기술)



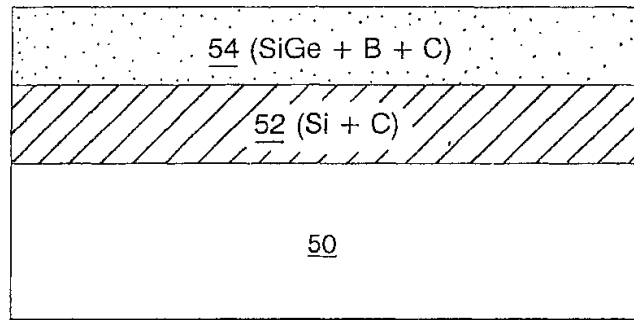
도면4



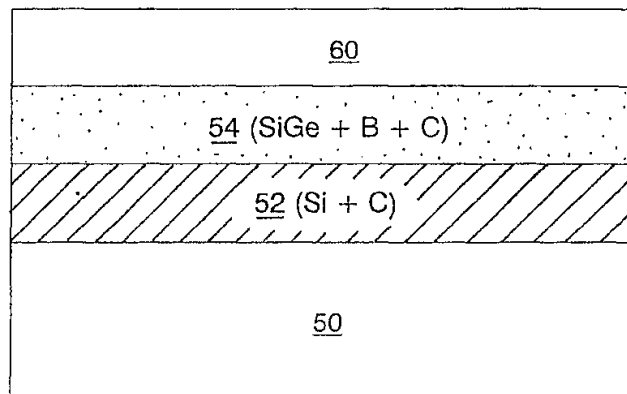
도면5



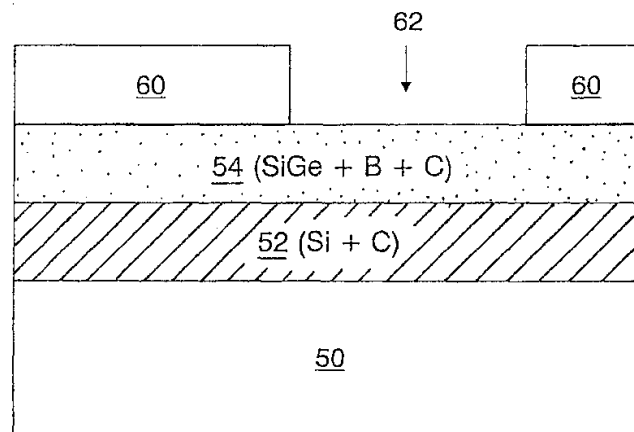
도면6



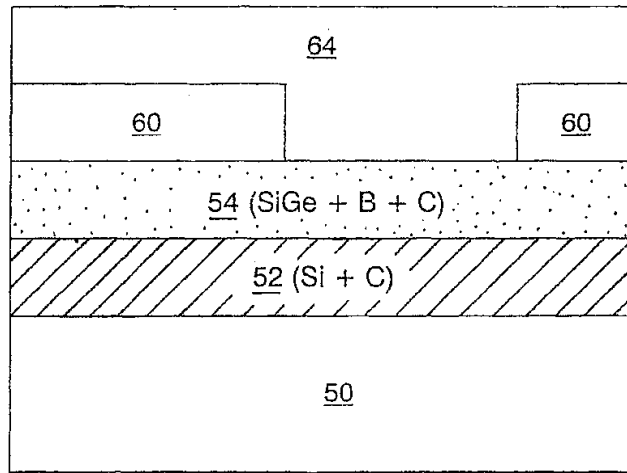
도면7



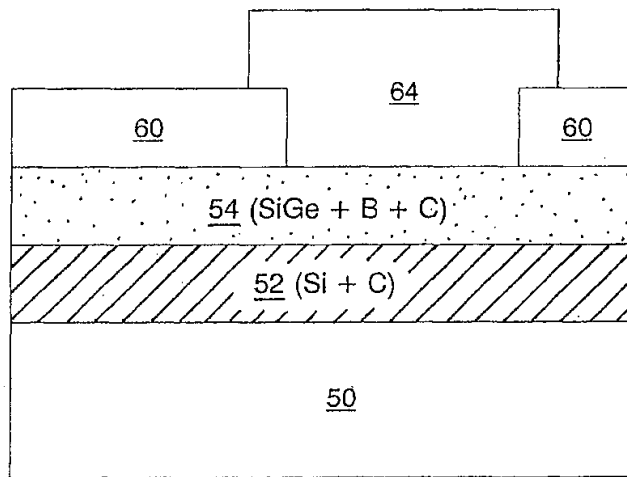
도면8



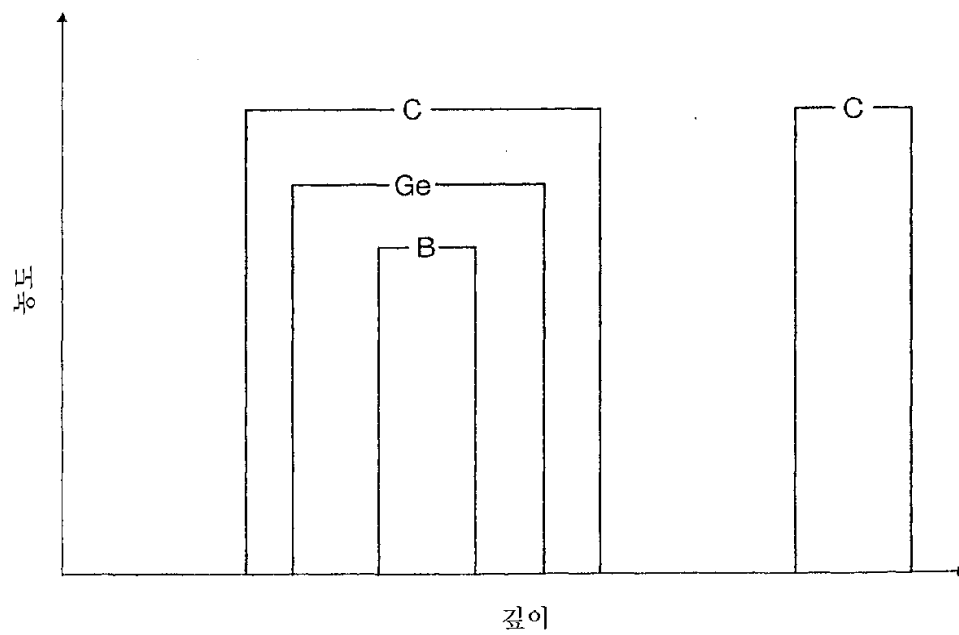
도면9



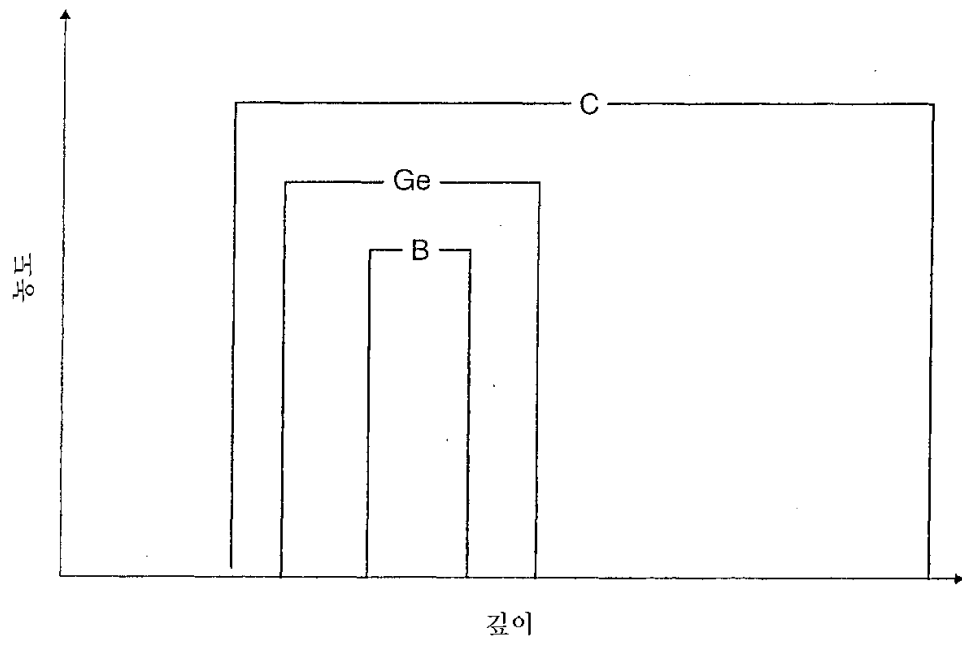
도면10



도면11



도면12



도면13

