

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2025年4月17日(17.04.2025)



(10) 国際公開番号

WO 2025/079715 A1

(51) 国際特許分類:

H10D 12/00 (2025.01) H10D 30/66 (2025.01)
H10D 8/50 (2025.01) H10D 84/80 (2025.01)
H10D 30/01 (2025.01)

(21) 国際出願番号: PCT/JP2024/036553

(22) 国際出願日: 2024年10月11日(11.10.2024)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2023-177452 2023年10月13日(13.10.2023) JP

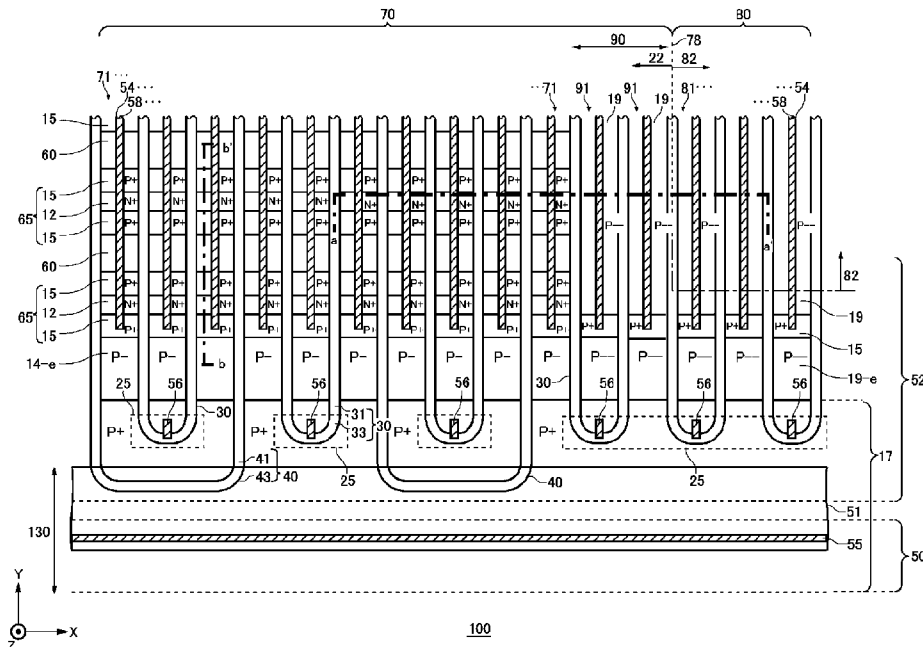
(71) 出願人: 富士電機株式会社 (FUJI ELECTRIC CO., LTD.) [JP/JP]; 〒2109530 神奈川県川崎市川崎区田辺新田1番1号 (JP).

(72) 発明者: 立道 秀平 (TATEMICHU Shuhei); 〒2109530 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内 (JP). 内藤 達也 (NAITO Tatsuya); 〒2109530 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内 (JP). 大西 泰彦 (ONISHI Yasuhiko); 〒2109530 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内 (JP).

(74) 代理人: 弁理士法人 R Y U K A 国際特許事務所 (RYUKA & PARTNERS); 〒1631522 東

(54) Title: SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置および半導体装置の製造方法



(57) Abstract: Provided is a semiconductor device comprising a transistor part and a diode part, wherein the semiconductor device comprises a drift region of a first conductivity type provided on the semiconductor substrate, and a plurality of trench parts extending in a predetermined trench extension direction, the transistor part having a base region of a second conductivity type, a plurality of emitter regions of a first conductivity type discretely provided in the trench extension direction and having a doping concentration higher than that of the drift region, a contact region of a second conductivity

京都新宿区西新宿 1 - 6 - 1 新宿エ
ルタワー 2 2 階 (JP).

(81) 指定国(表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,
BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN,
CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC,
EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR,
HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG,
KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU,
LY, MA, MD, MG, MK, MN, MU, MW, MX, MY,
MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL,
PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK,
SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保
護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS,
MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG,
ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU,
TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ,
DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS,
IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT,
RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF,
CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE,
SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

一 補正された請求の範囲 (条約第19条(1))

type having a doping concentration higher than that of the base region, a trench contact part provided extending from the front surface of the semiconductor substrate in the depth direction of the semiconductor substrate in a mesa part between two adjacent trench parts among the plurality of trench parts, and a thinning region provided between two emitter regions adjacent to each other in the trench extension direction among the plurality of emitter regions and having a lower doping concentration of the second conductivity type than the contact region.

(57) 要約: トランジスタ部およびダイオード部を備える半導体装置であって、半導体基板に設けられた第1導電型のドリフト領域と、予め定められたトレンチ延伸方向に延伸した複数のトレンチ部と、を備え、前記トランジスタ部は、第2導電型のベース領域と、トレンチ延伸方向に離散的に設けられ、前記ドリフト領域よりもドーピング濃度が高い第1導電型の複数のエミッタ領域と、前記ベース領域よりもドーピング濃度が高い第2導電型のコンタクト領域と、前記複数のトレンチ部のうち隣接する2つのトレンチ部の間のメサ部において、前記半導体基板のおもて面から前記半導体基板の深さ方向に延伸して設けられたトレンチコンタクト部と、前記複数のエミッタ領域のうち前記トレンチ延伸方向において隣接する2つのエミッタ領域の間に設けられ、前記コンタクト領域よりも第2導電型のドーピング濃度が低い間引き領域と、を有する半導体装置を提供する。

明 細 書

発明の名称：半導体装置および半導体装置の製造方法

技術分野

[0001] 本発明は、半導体装置および半導体装置の製造方法に関する。

背景技術

[0002] 従来、ＩＧＢＴ領域およびＦＷＤ領域を備える半導体装置が知られている（例えば、特許文献１、２参照）。

特許文献１ 特開２０２１－１４４９９８号公報

特許文献２ 特開２０２２－１８１４５７号公報

一般的開示

[0003] 本発明の第１の態様においては、トランジスタ部およびダイオード部を備える半導体装置であって、半導体基板に設けられた第１導電型のドリフト領域と、前記半導体基板のおもて面側において、予め定められたトレンチ延伸方向に延伸した複数のトレンチ部と、を備える半導体装置を提供する。前記トランジスタ部は、前記ドリフト領域の上方に設けられた第２導電型のベース領域と、トレンチ延伸方向に離散的に設けられ、前記ドリフト領域よりもドーピング濃度が高い第１導電型の複数のエミッタ領域と、前記ベース領域よりもドーピング濃度が高い第２導電型のコンタクト領域と、前記複数のトレンチ部のうち隣接する２つのトレンチ部の間のメサ部において、前記半導体基板のおもて面から前記半導体基板の深さ方向に延伸して設けられたトレンチコンタクト部と、前記複数のエミッタ領域のうち前記トレンチ延伸方向において隣接する２つのエミッタ領域の間に設けられ、前記コンタクト領域よりも第２導電型のドーピング濃度が低い間引き領域と、を有してよい。

[0004] 上記半導体装置において、前記間引き領域は、前記ベース領域であってよい。

[0005] 上記いずれかの半導体装置において、前記間引き領域は、前記隣接する２つのエミッタ領域の間に設けられ、前記半導体基板のおもて面において前記

コンタクト領域と接して設けられた第1間引き部を有してよい。前記間引き領域は、前記隣接する2つのエミッタ領域の間に設けられ、前記半導体基板のおもて面において前記第1間引き部と接して設けられ、前記第1間引き部とドーピング濃度が異なる第2間引き部を有してよい。

[0006] 上記いずれかの半導体装置において、前記第1間引き部は、複数の第1間引き部を含んでよい。前記第2間引き部は、前記おもて面において、前記複数の第1間引き部のうち前記トレンチ延伸方向において隣接する2つの第1間引き部の間に設けられてよい。

[0007] 上記いずれかの半導体装置において、前記第1間引き部は前記ベース領域であってよい。前記第2間引き部は、前記エミッタ領域よりドーピング濃度が低い第1導電型を有してよい。

[0008] 上記いずれかの半導体装置において、前記第2間引き部は、前記ドリフト領域であってよい。

[0009] 上記いずれかの半導体装置において、前記第1間引き部は、前記ベース領域であってよい。前記第2間引き部は、前記ベース領域よりドーピング濃度が低い第2導電型を有してよい。

[0010] 上記いずれかの半導体装置において、前記ダイオード部は、前記ドリフト領域の上方に設けられた第2導電型のアノード領域を有してよい。前記第2間引き部は、前記アノード領域であってよい。

[0011] 上記いずれかの半導体装置において、前記コンタクト領域は、複数のコンタクト領域を有してよい。前記複数のコンタクト領域は、前記トレンチ延伸方向において前記エミッタ領域の両端に設けられ、前記おもて面において前記エミッタ領域と接してよい。

[0012] 上記いずれかの半導体装置において、前記コンタクト領域は、前記トレンチ延伸方向において隣接する前記エミッタ領域と前記第1間引き部との間に設けられ、前記おもて面において、前記コンタクト領域の一端が前記エミッタ領域と接し、前記コンタクト領域の他端が前記第1間引き部と接してよい。

- [0013] 上記いずれかの半導体装置において、前記第1間引き部は、前記コンタクト領域の下方に設けられてよい。前記おもて面に設けられた前記第1間引き部の前記トレンチ延伸方向における長さは、前記コンタクト領域の下方に設けられた前記第1間引き部の前記半導体基板の深さ方向における厚み以上であってよい。
- [0014] 上記いずれかの半導体装置において、前記おもて面に設けられた前記第1間引き部の前記トレンチ延伸方向における前記長さは、 $0.1\ \mu\text{m}$ 以上、 $2.0\ \mu\text{m}$ 以下であってよい。
- [0015] 上記いずれかの半導体装置においては、前記おもて面において、前記第2間引き部の前記トレンチ延伸方向における長さは、前記第1間引き部の前記トレンチ延伸方向における長さよりも大きくてよい。
- [0016] 上記いずれかの半導体装置においては、前記おもて面において、前記第2間引き部の前記トレンチ延伸方向における長さは、前記エミッタ領域の前記トレンチ延伸方向における長さよりも大きくてよい。
- [0017] 上記いずれかの半導体装置は、前記第1間引き部および前記第2間引き部の上方に設けられ、前記おもて面に設けられた前記第1間引き部および前記第2間引き部の両方を覆う層間絶縁膜を備えてよい。
- [0018] 上記いずれかの半導体装置において、前記層間絶縁膜は、コンタクトホールを有してよい。上面視で、前記コンタクトホールが設けられた領域に前記トレンチコンタクト部が設けられ、上面視で、前記コンタクトホールが設けられていない領域は前記トレンチコンタクト部が設けられていないトレンチコンタクト非形成領域であってよい。
- [0019] 上記いずれかの半導体装置において、1または複数のエミッタ領域と1または複数のコンタクト領域が連続して形成された非間引き領域の前記トレンチ延伸方向における長さに対する、前記トレンチ延伸方向において隣接する2つの前記エミッタ領域の間隔の比 α は、 1.5 以上、 20 以下であってよい。

- [0020] 上記いずれかの半導体装置は、前記ドリフト領域の上方において、前記ドリフト領域よりもドーピング濃度の高い第1導電型の蓄積領域を備えてよい。
- [0021] 上記いずれかの半導体装置は、前記トレンチコンタクト部の下端に設けられ、前記ベース領域よりもドーピング濃度の高い第2導電型のプラグ領域を備えてよい。
- [0022] 上記いずれかの半導体装置において、前記ダイオード部は、前記ベース領域よりもドーピング濃度が低い第2導電型のアノード領域を有してよい。
- [0023] 上記いずれかの半導体装置において、前記トランジスタ部は、前記トランジスタ部の前記ダイオード部側に設けられた境界領域を有してよい。
- [0024] 上記いずれかの半導体装置において、前記半導体基板の深さ方向における中心よりもおもて面側にライフタイムキラー領域を有さなくてよい。
- [0025] 本発明の第2の態様においては、トランジスタ部およびダイオード部を備える半導体装置の製造方法であって、半導体基板に設けられた第1導電型のドリフト領域の上方に第2導電型のベース領域を形成する段階と、半導体基板のおもて面側において、予め定められたトレンチ延伸方向に延伸した複数のトレンチ部を形成する段階と、前記ドリフト領域よりもドーピング濃度が高い第1導電型の複数のエミッタ領域をトレンチ延伸方向に離散的に形成する段階と、前記ベース領域よりもドーピング濃度が高い第2導電型のコンタクト領域を形成する段階と、前記複数のトレンチ部のうち隣接する2つのトレンチ部の間のメサ部において、前記半導体基板のおもて面から前記半導体基板の深さ方向に延伸してトレンチコンタクト部を前記トランジスタ部に形成する段階と、前記コンタクト領域よりも第2導電型のドーピング濃度が低い間引き領域を、前記複数のエミッタ領域のうち前記トレンチ延伸方向において隣接する2つのエミッタ領域の間に形成する段階と、を備える半導体装置の製造方法を提供する。
- [0026] 上記半導体装置の製造方法において、前記間引き領域は、前記ベース領域を含み、前記間引き領域を形成する段階は、前記トランジスタ部および前記

ダイオード部にアノード領域を形成した後に、前記トランジスタ部の前記アノード領域に第2導電型のドーパントをイオン注入することで前記ベース領域を形成する段階を有してよい。

[0027] なお、上記の発明の概要は、本発明の特徴の全てを列挙したものではない。また、これらの特徴群のサブコンビネーションもまた、発明となりうる。

図面の簡単な説明

[0028] [図1]半導体装置100の上面図の一例を示す。

[図2A]図1における領域Aの拡大図である。

[図2B]図2Aにおけるa-a'断面を含むXZ断面の一例を示す図である。

[図3A]図2Aにおけるb-b'断面を含むYZ断面の一例を示す。

[図3B]図2Aにおけるb-b'断面を含むYZ断面の変形例を示す。

[図3C]図2Aにおけるb-b'断面を含むYZ断面の変形例を示す。

[図4A]図1における領域Aの拡大図の変形例である。

[図4B]図4Aにおけるd-d'断面を含むYZ断面の一例を示す。

[図4C]図4Aにおけるd-d'断面を含むYZ断面の変形例を示す。

[図4D]図4Aにおけるd-d'断面を含むYZ断面の変形例を示す。

[図4E]図4Aにおけるd-d'断面を含むYZ断面の変形例を示す。

[図4F]図4Aにおけるd-d'断面を含むYZ断面の変形例を示す。

[図4G]図4Aにおけるd-d'断面を含むYZ断面の変形例を示す。

[図5A]メサ部71の上面図の変形例を示す。

[図5B]メサ部71の上面図の変形例を示す。

[図6A]逆回復時のスイッチング損失 E_{rr} の比 α 依存性を示す。

[図6B]コレクタ電流の飽和電流 I_{sat} の比 α 依存性を示す。

[図7]半導体装置100の製造方法の一例を示す。

発明を実施するための形態

[0029] 以下、発明の実施の形態を通じて本発明を説明するが、以下の実施形態は請求の範囲にかかる発明を限定するものではない。また、実施形態の中で説

明されている特徴の組み合わせの全てが発明の解決手段に必須であるとは限らない。

[0030] 本明細書においては半導体基板の深さ方向と平行な方向における一方の側を「上」、他方の側を「下」と称する。基板、層またはその他の部材の2つの主面のうち、一方の面を上面、他方の面を下面と称する。「上」、「下」の方向は、重力方向または半導体装置の実装時における方向に限定されない。

[0031] 本明細書では、X軸、Y軸およびZ軸の直交座標軸を用いて技術的事項を説明する場合がある。直交座標軸は、構成要素の相対位置を特定するに過ぎず、特定の方向を限定するものではない。例えば、Z軸は地面に対する高さ方向を限定して示すものではない。なお、+Z軸方向と-Z軸方向とは互いに逆向きの方向である。正負を記載せず、Z軸方向と記載した場合、+Z軸および-Z軸に平行な方向を意味する。

[0032] 本明細書では、半導体基板の上面および下面に平行な直交軸をX軸およびY軸とする。また、半導体基板の上面および下面と垂直な軸をZ軸とする。本明細書では、Z軸の方向を深さ方向と称する場合がある。また、本明細書では、X軸およびY軸を含めて、半導体基板の上面および下面に平行な方向を、水平方向と称する場合がある。

[0033] 本明細書において「同一」または「等しい」のように称した場合、製造ばらつき等に起因する誤差を有する場合も含んでよい。当該誤差は、例えば10%以内である。

[0034] 本明細書においては、不純物がドーピングされたドーピング領域の導電型をP型またはN型として説明している。本明細書においては、不純物とは、特にN型のドナーまたはP型のアクセプタのいずれかを意味する場合があり、ドーパントと記載する場合がある。本明細書においては、ドーピングとは、半導体基板にドナーまたはアクセプタを導入し、N型の導電型を示す半導体またはP型の導電型を示す半導体とすることを意味する。

- [0035] 本明細書においては、ドーピング濃度とは、熱平衡状態におけるドナーの濃度またはアクセプタの濃度を意味する。本明細書においては、ネット・ドーピング濃度とは、ドナー濃度を正イオンの濃度とし、アクセプタ濃度を負イオンの濃度として、電荷の極性を含めて足し合わせた正味の濃度を意味する。一例として、ドナー濃度を N_D 、アクセプタ濃度を N_A とすると、任意の位置における正味のネット・ドーピング濃度は $N_D - N_A$ となる。本明細書では、ネット・ドーピング濃度を単にドーピング濃度と記載する場合がある。
- [0036] 本明細書においてP＋型またはN＋型と記載した場合、P型またはN型よりもドーピング濃度が高いことを意味し、P－型またはN－型と記載した場合、P型またはN型よりもドーピング濃度が低いことを意味する。また、本明細書においてP＋＋型またはN＋＋型と記載した場合には、P＋型またはN＋型よりもドーピング濃度が高いことを意味する。
- [0037] 本明細書において化学濃度とは、電気的な活性化の状態によらずに測定される不純物の原子密度を指す。化学濃度は、例えば二次イオン質量分析法（SIMS）により計測できる。上述したネット・ドーピング濃度は、電圧－容量測定法（CV法）により測定できる。また、拡がり抵抗測定法（SR法）により計測されるキャリア濃度を、ネット・ドーピング濃度としてよい。キャリアとは、電子または正孔の電荷キャリアを意味する。CV法またはSR法により計測されるキャリア濃度は、熱平衡状態における値としてよい。また、N型の領域においては、ドナー濃度がアクセプタ濃度よりも十分大きいので、当該領域におけるキャリア濃度を、ドナー濃度としてもよい。同様に、P型の領域においては、当該領域におけるキャリア濃度を、アクセプタ濃度としてもよい。本明細書では、N型領域のドーピング濃度をドナー濃度と称する場合があり、P型領域のドーピング濃度をアクセプタ濃度と称する場合がある。
- [0038] また、ドナー、アクセプタまたはネット・ドーピングの濃度分布がピークを有する場合、当該ピーク値を当該領域におけるドナー、アクセプタまたはネット・ドーピングの濃度としてよい。ドナー、アクセプタまたはネット

・ドーピングの濃度がほぼ均一な場合等においては、当該領域におけるドナー、アクセプタまたはネット・ドーピングの濃度の平均値をドナー、アクセプタまたはネット・ドーピングの濃度としてよい。

[0039] S R法により計測されるキャリア濃度が、ドナーまたはアクセプタの濃度より低くてもよい。拡がり抵抗を測定する際に電流が流れる範囲において、半導体基板のキャリア移動度が結晶状態の値よりも低い場合がある。キャリア移動度の低下は、格子欠陥等による結晶構造の乱れ（ディスオーダー）により、キャリアが散乱されることで生じる。キャリア濃度が低下する理由は、下記の通りである。S R法では、拡がり抵抗を測定し、拡がり抵抗の測定値からキャリア濃度を換算する。このとき、キャリアの移動度は結晶状態の移動度が用いられる。一方、格子欠陥が導入されている位置では、キャリア移動度は低下しているにもかかわらず、結晶状態のキャリア移動度によりキャリア濃度が算出される。そのため、実際のキャリア濃度、すなわちドナーまたはアクセプタの濃度よりも低い値となる。

[0040] C V法またはS R法により計測されるキャリア濃度から算出したドナーまたはアクセプタの濃度は、ドナーまたはアクセプタを示す元素の化学濃度よりも低くてもよい。一例として、シリコンの半導体においてドナーとなるリンまたはヒ素のドナー濃度、あるいはアクセプタとなるボロン（ホウ素）のアクセプタ濃度は、これらの化学濃度の99%程度である。一方、シリコンの半導体においてドナーとなる水素のドナー濃度は、水素の化学濃度の0.1%から10%程度である。本明細書では、SI単位系を採用する。本明細書において、距離や長さの単位がcm（センチメートル）で表されることがある。この場合、諸計算はm（メートル）に換算して計算してよい。10のべき乗の数値表示について、例えば $1 \text{ E} + 16$ の表示は、 1×10^{16} を示し、 $1 \text{ E} - 16$ の表示は、 1×10^{-16} を示す。

[0041] 図1は、半導体装置100の上面図の一例を示す。図1においては、各部材を半導体基板10の上面に投影した位置を示している。図1においては、半導体装置100の一部の部材だけを示しており、一部の部材は省略してい

る。半導体装置１００は、トランジスタ部７０およびダイオード部８０を備える半導体チップである。

[0042] トランジスタ部７０は、ＩＧＢＴ（Insulated Gate Bipolar Transistor）等のトランジスタを含む。ダイオード部８０は、還流ダイオード（ＦＷＤ：Free Wheel Diode）等のダイオードを含む。本例の半導体装置１００は、トランジスタ部７０およびダイオード部８０を同一のチップに有する逆導通ＩＧＢＴ（ＲＣ－ＩＧＢＴ：Reverse Conducting IGBT）である。

[0043] 半導体基板１０は、半導体材料で形成された基板である。半導体基板１０は、シリコン基板であってよく、炭化シリコン基板であってよく、ダイヤモンド基板であってよく、窒化ガリウム等の窒化物半導体基板であってよく、酸化ガリウム等の無機化合物半導体基板であってよく、有機化合物半導体基板であってよい。本例の半導体基板１０は、シリコン基板である。半導体基板１０は、半導体のインゴットから切り出したウエハであってよく、ウエハを個片化したチップであってよい。半導体のインゴットは、チョクラルスキー法（ＣＺ法）、磁場印加型チョクラルスキー法（ＭＣＺ法）、フローゾーン法（ＦＺ法）のいずれかで製造されよい。

[0044] 半導体基板１０は、上面視において端面１０２を有する。本明細書で単に上面視と称した場合、半導体基板１０の上面側から見ることを意味している。本例の半導体基板１０は、上面視において互いに向かい合う２組の端面１０２を有する。図１においては、Ｘ軸およびＹ軸は、いずれかの端面１０２と平行である。またＺ軸は、半導体基板１０の上面と垂直である。半導体基板１０は、活性部１６０およびエッジ終端構造部１７０を有する。

[0045] 活性部１６０は、半導体装置１００の動作時に半導体基板１０の上面と下面との間で、深さ方向に主電流が流れる領域である。活性部１６０の上方には、エミッタ電極が設けられているが図１では省略している。

[0046] 活性部１６０には、ＩＧＢＴ等のトランジスタ素子を含むトランジスタ部７０と、還流ダイオード（ＦＷＤ）等のダイオード素子を含むダイオード部

８０の少なくとも一方が設けられている。図１の例では、トランジスタ部７０およびダイオード部８０は、半導体基板１０の上面における所定の配列方向（本例ではＸ軸方向）に沿って、交互に配置されている。

[0047] 図１においては、トランジスタ部７０が配置される領域には記号「I」を付し、ダイオード部８０が配置される領域には記号「F」を付している。本明細書では、上面視において配列方向と垂直な方向を延伸方向（図１ではＹ軸方向）と称する場合がある。トランジスタ部７０およびダイオード部８０は、それぞれ延伸方向に長手を有してよい。つまり、トランジスタ部７０のＹ軸方向における長さは、Ｘ軸方向における幅よりも大きい。同様に、ダイオード部８０のＹ軸方向における長さは、Ｘ軸方向における幅よりも大きい。トランジスタ部７０およびダイオード部８０の延伸方向と、後述する各トレンチ部の長手方向とは同一であってよい。

[0048] ダイオード部８０は、半導体基板１０の下面と接する領域に、Ｎ＋型のカソード領域を有する。本明細書では、カソード領域が設けられた領域を、ダイオード部８０と称する。つまりダイオード部８０は、上面視においてカソード領域と重なる領域である。半導体基板１０の下面においてカソード領域以外の領域には、Ｐ＋型のコレクタ領域が設けられてよい。

[0049] トランジスタ部７０は、半導体基板１０の下面と接する領域に、Ｐ＋型のコレクタ領域を有する。また、トランジスタ部７０は、半導体基板１０の上面側に、Ｎ型のエミッタ領域、Ｐ型のベース領域、ゲート導電部およびゲート絶縁膜を有するゲート構造が周期的に配置されている。

[0050] 半導体装置１００は、半導体基板１０の上方に１つ以上のパッドを有してよい。本例の半導体装置１００は、ゲートパッド１１２を有している。半導体装置１００は、アノードパッド、カソードパッドおよび電流検出パッド等のパッドを有してもよい。各パッドは、端辺１０２の近傍に配置されている。端辺１０２の近傍とは、上面視における端辺１０２と、エミッタ電極との間の領域を指す。半導体装置１００の実装時において、各パッドは、ワイヤ等の配線を介して外部の回路に接続されてよい。

- [0051] ゲートパッド 112 には、ゲート電位が印加される。ゲートパッド 112 は、活性部 160 のゲートトレンチ部の導電部に電氣的に接続される。半導体装置 100 は、ゲートパッド 112 とゲートトレンチ部とを接続するゲート配線 130 を備える。
- [0052] ゲート配線 130 は、トランジスタ部 70 のゲート導電部と電氣的に接続され、トランジスタ部 70 にゲート電圧を印加する。ゲート配線 130 は、上面視で、活性部 160 の外周を囲うように設けられる。ゲート配線 130 は、エッジ終端構造部 170 に設けられるゲートパッド 112 と電氣的に接続される。
- [0053] また、半導体装置 100 は、ポリシリコン等で形成された P N 接合ダイオードである不図示の温度センス部や、活性部 160 に設けられたトランジスタ部の動作を模擬する不図示の電流検出部を備えてもよい。
- [0054] 本例の半導体装置 100 は、上面視において、活性部 160 と端辺 102 との間に、エッジ終端構造部 170 を備える。本例のエッジ終端構造部 170 は、ゲート配線 130 と端辺 102 との間に配置されている。エッジ終端構造部 170 は、半導体基板 10 の上面側の電界集中を緩和する。エッジ終端構造部 170 は、活性部 160 を囲んで環状に設けられたガードリング、フィールドプレートおよびリサフのうちの少なくとも一つを備えていてよい。
- [0055] 図 2 A は、図 1 における領域 A の拡大図である。領域 A は、トランジスタ部 70、ダイオード部 80 およびゲート配線 130 を含む領域である。本例のゲート配線 130 は、ゲート金属層 50 およびゲートランナー部 51 を含む。
- [0056] 半導体基板 10 のおもて面 21 において、トランジスタ部 70 およびダイオード部 80 の間には、境界領域 90 が設けられる。半導体基板 10 のおもて面 21 とは、半導体基板 10 において対向する 2 つの主面の一方を指す。おもて面 21 については後述する。

[0057] 本例の半導体装置 100 は、半導体基板 10 のおもて面 21 側の内部に形成されたゲートトレンチ部 40、ダミートレンチ部 30、ウェル領域 17、エミッタ領域 12、ベース領域 14、コンタクト領域 15 およびアノード領域 19 を備える。また、本例の半導体装置 100 は、半導体基板 10 のおもて面 21 の上方に設けられたエミッタ電極 52 およびゲート金属層 50 を備える。エミッタ電極 52 およびゲート金属層 50 は互いに分離して設けられる。

[0058] エミッタ電極 52 およびゲート金属層 50 と、半導体基板 10 のおもて面 21 との間には層間絶縁膜が形成されるが、図 2A では層間絶縁膜を省略している。本例の層間絶縁膜には、コンタクトホール 54、コンタクトホール 55 およびコンタクトホール 56 が、当該層間絶縁膜を貫通して形成される。

[0059] エミッタ電極 52 は、層間絶縁膜に開口されたコンタクトホール 54 を通って、半導体基板 10 のおもて面 21 におけるエミッタ領域 12、コンタクト領域 15、ベース領域 14 およびアノード領域 19 と電氣的に接続する。また、エミッタ電極 52 は、コンタクトホール 56 を通って、ダミートレンチ部 30 内のダミー導電部と接続される。エミッタ電極 52 とダミー導電部との間には、不純物がドーピングされたポリシリコン等の、導電性を有する材料で形成された接続部 25 が設けられてよい。

[0060] ゲート金属層 50 は、コンタクトホール 55 を通って、ゲートランナー部 51 と接触する。ゲートランナー部 51 は、不純物がドーピングされたポリシリコン等の半導体で形成される。ゲートランナー部 51 は、半導体基板 10 のおもて面 21 において、ゲートトレンチ部 40 内のゲート導電部と接続される。

[0061] エミッタ電極 52 およびゲート金属層 50 は、金属を含む材料で形成される。エミッタ電極 52 の少なくとも一部の領域は、アルミニウム (Al) 等の金属、または、アルミニウム - シリコン合金 (AlSi)、アルミニウム - シリコン - 銅合金 (AlSiCu) 等の金属合金で形成されてよい。ゲー

ト金属層50の少なくとも一部の領域は、アルミニウム（Al）等の金属、または、アルミニウム-シリコン合金（AlSi）、アルミニウム-シリコン-銅合金（AlSiCu）等の金属合金で形成されてよい。エミッタ電極52およびゲート金属層50は、アルミニウム等で形成された領域の下層にチタンまたはチタン化合物等で形成されたバリアメタルを有してよい。各電極は、さらにコンタクトホール内において、バリアメタルとアルミニウム等に接するようにタングステン等を埋め込んで形成されたプラグを有してもよい。

[0062] ウェル領域17は、ゲート金属層50およびゲートランナー部51と重なって設けられている。ウェル領域17は、ゲート金属層50およびゲートランナー部51と重ならない範囲にも、所定の幅で延伸して設けられている。本例のウェル領域17は、コンタクトホール54のY軸方向の端から、ゲート金属層50側に離れて設けられている。ウェル領域17は、ベース領域14よりもドーピング濃度の高い第2導電型の領域である。本例のベース領域14はP-型であり、ウェル領域17はP+型である。

[0063] トランジスタ部70およびダイオード部80のそれぞれは、半導体基板10のおもて面21において、配列方向に複数配列されたトレンチ部を有する。本例のトランジスタ部70には、配列方向に沿って1以上のゲートトレンチ部40と、1以上のダミートレンチ部30とが交互に設けられている。本例のダイオード部80には、複数のダミートレンチ部30が、配列方向に沿って設けられている。本例のダイオード部80には、ゲートトレンチ部40が設けられていない。

[0064] トランジスタ部70には、1つ以上のゲートトレンチ部40が、各トレンチの配列方向に沿って所定の間隔で配列される。ゲートトレンチ部40の内部のゲート導電部は、ゲート金属層50と電氣的に接続され、ゲート電位が印加される。トランジスタ部70には、1つ以上のダミートレンチ部30が配列方向に沿って所定の間隔で配列されてよい。ダミートレンチ部30の内部のダミー導電部には、ゲート電位とは異なる電位が印加される。本例のダ

ミ一導電部は、エミッタ電極52と電氣的に接続され、エミッタ電位が印加される。

[0065] トランジスタ部70においては、配列方向に沿って1つ以上のゲートトレンチ部40と、1つ以上のダミートレンチ部30とが交互に形成されてよい。また、ダミートレンチ部30は、ダイオード部80および境界領域90において配列方向に沿って所定の間隔で配列される。なお、トランジスタ部70は、ダミートレンチ部30が設けられず、ゲートトレンチ部40のみで構成されてもよい。

[0066] 本例のゲートトレンチ部40は、配列方向と垂直な延伸方向に沿って延伸する2つの延伸部分41（延伸方向に沿って直線状であるトレンチの部分）と、2つの延伸部分41を接続する接続部分43を有してよい。図2Aにおける延伸方向はY軸方向である。

[0067] 接続部分43の少なくとも一部は、上面視において曲線状に設けられることが好ましい。2つの延伸部分41のY軸方向における端部同士を接続部分43が接続することで、延伸部分41の端部における電界集中を緩和できる。

[0068] トランジスタ部70において、ダミートレンチ部30はゲートトレンチ部40のそれぞれの延伸部分41の間に設けられる。それぞれの延伸部分41の間には、1本のダミートレンチ部30が設けられてよく、複数本のダミートレンチ部30が設けられていてもよい。ダミートレンチ部30は、延伸方向に延伸する直線形状を有してよく、ゲートトレンチ部40と同様に、延伸部分31と接続部分33とを有していてもよい。半導体装置100は、接続部分33を有さない直線形状のダミートレンチ部30と、接続部分33を有するダミートレンチ部30の両方を含んでよい。ゲートトレンチ部40の延伸部分41またはダミートレンチ部30の延伸部分31が、延伸方向に長く延伸する方向を、トレンチ部の長手方向とする。ゲートトレンチ部40またはダミートレンチ部30の長手方向は、延伸方向と一致してよい。本例では、延伸方向および長手方向は、Y軸方向である。ゲートトレンチ部40ま

たはダミートレンチ部30が複数配列された配列方向を、トレンチ部の短手方向とする。短手方向は配列方向と一致してよい。また短手方向は、長手方向に対して垂直であってよい。本例では、長手方向と短手方向は垂直である。本例では、配列方向および短手方向は、X軸方向である。

[0069] ゲートトレンチ部40の先端における接続部分43において、ゲートトレンチ部40内のゲート導電部と、ゲートランナー部51とが接続する。ゲートトレンチ部40は、延伸方向（Y軸方向）において、ダミートレンチ部30よりもゲートランナー部51側に突出して設けられてよい。ゲートトレンチ部40の当該突出部分が、ゲートランナー部51と接続する。

[0070] ウェル領域17の拡散深さは、ゲートトレンチ部40およびダミートレンチ部30の深さよりも深くてよい。ゲートトレンチ部40およびダミートレンチ部30のY軸方向の端部は、上面視においてウェル領域17に設けられる。つまり、各トレンチ部のY軸方向の端部において、各トレンチ部の深さ方向の底部は、ウェル領域17に覆われている。これにより、各トレンチ部の当該底部における電界集中を緩和できる。

[0071] 配列方向において各トレンチ部の間には、メサ部が設けられている。メサ部は、半導体基板10の内部において、隣り合う2つのトレンチ部に挟まれた領域を指す。一例としてメサ部の上端は半導体基板10の上面である。メサ部の下端の深さ位置は、トレンチ部の下端の深さ位置と同一である。本例のメサ部は、半導体基板10の上面において、トレンチ部に沿って延伸方向（Y軸方向）に延伸して設けられている。

[0072] 境界領域90は、トランジスタ部70において、ダイオード部80側に設けられる。即ち、境界領域90は、トランジスタ部70において、ダイオード部80に隣接して設けられる。境界領域90は、ダミートレンチ部30を有し、半導体基板10の裏面側にコレクタ領域22が設けられた領域であってよい。境界領域90が有するメサ部のトレンチ配列方向における両端は、ダミートレンチ部30とそれぞれ接してよい。境界領域90のトレンチ部は、全てダミートレンチ部30であってよい。境界領域90は、ゲートト

レンチ部40を含んでいてもよい。本例の境界領域90は、半導体基板10のおもて面21側のメサ部において、第1導電型のエミッタ領域12が設けられていない。境界領域90は、おもて面21にベース領域14を有してよく、アノード領域19を有してよい。境界領域90は、おもて面21にエミッタ領域12またはコンタクト領域15を有してもよい。本例の境界領域90は、おもて面21にアノード領域19およびコンタクト領域15を有する。なお、図2Aにおいては、半導体基板10の裏面側に設けられたコレクタ領域22およびカソード領域82について、おもて面21側に投影した場合の位置を示している。

[0073] メサ部71は、トランジスタ部70に設けられたメサ部である。メサ部81は、ダイオード部80に設けられたメサ部である。メサ部91は、境界領域90に設けられたメサ部である。本明細書において単にメサ部と称した場合、メサ部71、メサ部81またはメサ部91のそれぞれを指してよい。各トレンチ部の延伸部分を1つのトレンチ部としてよい。即ち、2つの延伸部分に挟まれる領域をメサ部としてよい。

[0074] それぞれのメサ部には、ベース領域14またはアノード領域19が設けられる。メサ部において半導体基板10の上面に露出したベース領域14またはアノード領域19のうち、ゲート金属層50に最も近く配置された領域をベース領域14-eまたはアノード領域19-eとする。図2Aにおいては、それぞれのメサ部の延伸方向における一方の端部に配置されたベース領域14-eまたはアノード領域19-eを示しているが、それぞれのメサ部の他方の端部にもベース領域14-eまたはアノード領域19-eが配置されている。それぞれのメサ部には、上面視においてベース領域14-eまたはアノード領域19-eに挟まれた領域に、第1導電型のエミッタ領域12および第2導電型のコンタクト領域15の少なくとも一方が設けられてよい。本例のエミッタ領域12はN+型であり、コンタクト領域15はP+型である。エミッタ領域12およびコンタクト領域15は、深さ方向において、ベース領域14と半導体基板10の上面との間に設けられてよい。

- [0075] トランジスタ部70のメサ部71は、半導体基板10の上面に露出したエミッタ領域12を有する。エミッタ領域12は、ゲートトレンチ部40に接して設けられている。ゲートトレンチ部40に接するメサ部71は、半導体基板10の上面に露出したコンタクト領域15が設けられていてよい。
- [0076] メサ部71におけるコンタクト領域15およびエミッタ領域12のそれぞれは、X軸方向における一方のトレンチ部から、他方のトレンチ部まで設けられる。一例として、メサ部71のコンタクト領域15およびエミッタ領域12は、トレンチ延伸方向（Y軸方向）に沿って交互に配置されている。
- [0077] 本例のメサ部71は、間引き領域60および非間引き領域65を有する。間引き領域60および非間引き領域65は、トレンチ延伸方向において交互に配置される。間引き領域60については後述する。
- [0078] 非間引き領域65は、エミッタ領域12およびコンタクト領域15を有する。トレンチ延伸方向において、1または複数のエミッタ領域と1または複数のコンタクト領域が連続して交互に配置される。トレンチ延伸方向における非間引き領域65の両端には、コンタクト領域15が設けられてよい。即ち、非間引き領域65のエミッタ領域12は、トレンチ延伸方向において隣接する2つのコンタクト領域15の間に挟まれてよい。非間引き領域65におけるエミッタ領域12とコンタクト領域15との繰り返し回数は本例に限られない。本例の非間引き領域65では、1つのエミッタ領域12と2つのコンタクト領域15を連続して配置しているが、2つのエミッタ領域12と3つのコンタクト領域15を連続して配置してもよく、3つのエミッタ領域12と4つのコンタクト領域15を連続して配置してもよい。
- [0079] ダイオード部80のメサ部81には、エミッタ領域12が設けられていないが、エミッタ領域12が設けられてもよい。メサ部81の上面には、アノード領域19が設けられている。メサ部81の上面には、コンタクト領域15が設けられてよい。メサ部81の上面においてアノード領域19-eに挟まれた領域には、それぞれのアノード領域19-eに接してコンタクト領域15が設けられてよい。メサ部81の上面においてコンタクト領域15に

挟まれた領域には、アノード領域 19 が設けられてよい。アノード領域 19 は、トレンチ延伸方向において、コンタクト領域 15 に挟まれた領域全体に配置されてよい。

[0080] それぞれのメサ部の上方には、コンタクトホール 54 が設けられている。コンタクトホール 54 は、トレンチ延伸方向に沿ってベース領域 14-e またはアノード領域 19-e に挟まれた領域に配置されている。本例のコンタクトホール 54 は、コンタクト領域 15、ベース領域 14、アノード領域 19 およびエミッタ領域 12 の各領域の上方に設けられる。コンタクトホール 54 は、ベース領域 14-e、アノード領域 19-e およびウェル領域 17 に対応する領域には設けられない。コンタクトホール 54 は、メサ部 71 のトレンチ配列方向（X 軸方向）における中央に配置されてよい。コンタクトホール 54 には、トレンチコンタクト部 58 が設けられている。トレンチコンタクト部 58 については後述する。

[0081] ダイオード部 80 において、半導体基板 10 の下面と隣接する領域には、N+型のカソード領域 82 が設けられる。カソード領域 82 のドーピング濃度は、ドリフト領域 18 のドーピング濃度よりも高い。半導体基板 10 の下面において、カソード領域 82 が設けられていない領域には、P+型のコレクタ領域 22 が設けられてよい。カソード領域 82 およびコレクタ領域 22 は、半導体基板 10 の裏面 23 と、後述するバッファ領域 20 との間に設けられている。図 2A においては、カソード領域 82 およびコレクタ領域 22 の境界 78 を破線で示している。

[0082] カソード領域 82 は、Y 軸方向においてウェル領域 17 から離れて配置されている。これにより、比較的ドーピング濃度が高く、且つ、深い位置まで形成されている P 型の領域（ウェル領域 17）と、カソード領域 82 との距離を確保して、耐圧を向上し、ウェル領域 17 からの正孔の注入を抑制できる。本例のカソード領域 82 の Y 軸方向における端部は、コンタクトホール 54 の Y 軸方向における端部よりも、ウェル領域 17 から離れて配置されて

いる。他の例では、カソード領域 82 の Y 軸方向における端部は、ウェル領域 17 とコンタクトホール 54 との間に配置されていてもよい。

[0083] 境界領域 90 のメサ部 91 には、アノード領域 19 が設けられている。境界領域 90 は、複数のメサ部 91 を有してよい。メサ部 91 は、アノード領域 19 の代わりにベース領域 14 を有してもよい。アノード領域 19 については後述する。

[0084] 図 2 B は、図 2 A における a-a' 断面を含む XZ 断面の一例を示す図である。a-a' 断面を含む XZ 断面は、トランジスタ部 70 において、エミッタ領域 12 を通過する XZ 面である。本例の半導体装置 100 は、a-a' 断面を含む XZ 断面において、半導体基板 10、層間絶縁膜 38、エミッタ電極 52 およびコレクタ電極 24 を有する。エミッタ電極 52 は、半導体基板 10 および層間絶縁膜 38 の上方に形成される。

[0085] ドリフト領域 18 は、半導体基板 10 に設けられた第 1 導電型の領域である。本例のドリフト領域 18 は、一例として N 型である。ドリフト領域 18 は、半導体基板 10 において他のドーピング領域が形成されずに残存した領域であってよい。即ち、ドリフト領域 18 のドーピング濃度は半導体基板 10 のドーピング濃度であってよい。

[0086] バッファ領域 20 は、ドリフト領域 18 よりも半導体基板 10 の裏面 23 側に設けられた第 1 導電型の領域である。本例のバッファ領域 20 は、半導体基板 10 の深さ方向における中心よりも半導体基板 10 の裏面 23 に近接して設けられる。本例のバッファ領域 20 は、一例として N 型である。バッファ領域 20 のドーピング濃度は、ドリフト領域 18 のドーピング濃度よりも高い。バッファ領域 20 は、ベース領域 14 の下面側から広がる空乏層が、第 2 導電型のコレクタ領域 22 および第 1 導電型のカソード領域 82 に到達することを防ぐフィールドストップ層として機能してよい。

[0087] コレクタ領域 22 およびカソード領域 82 は、半導体基板 10 の裏面 23 に設けられる。コレクタ領域 22 は、トランジスタ部 70 において、バッファ領域 20 の下方に設けられる。カソード領域 82 は、ダイオード部 80 に

において、バッファ領域 20 の下方に設けられる。コレクタ領域 22 とカソード領域 82 との境界 78 は、トランジスタ部 70 とダイオード部 80 との境界であってよい。

[0088] コレクタ電極 24 は、半導体基板 10 の裏面 23 に形成される。コレクタ電極 24 は、金属等の導電材料で形成される。コレクタ電極 24 の少なくとも一部の領域は、アルミニウム (Al) 等の金属、または、アルミニウム - シリコン合金 (AlSi)、アルミニウム - シリコン - 銅合金 (AlSiCu) 等の金属合金で形成されてよい。

[0089] ベース領域 14 は、メサ部 71 およびメサ部 91 において、ドリフト領域 18 の上方に設けられる第 2 導電型の領域である。ベース領域 14 は、ゲートトレンチ部 40 に接して設けられる。ベース領域 14 は、ダミートレンチ部 30 に接して設けられてよい。

[0090] アノード領域 19 は、メサ部 91 およびメサ部 81 において、ドリフト領域 18 の上方に設けられる第 2 導電型の領域である。アノード領域 19 は、ダミートレンチ部 30 に接して設けられる。アノード領域 19 は、ゲートトレンチ部 40 に接して設けられてよい。アノード領域 19 のドーピング濃度は、ベース領域 14 と同一であってもよいし、ベース領域 14 よりも低くてもよい。アノード領域 19 のドーピング濃度の最大値は、ベース領域 14 のドーピング濃度の最大値より小さくてよく、等しくてもよい。本例のアノード領域 19 のドーピング濃度の最大値は、ベース領域 14 のドーピング濃度の最大値より小さい。半導体基板 10 の深さ方向において、アノード領域 19 の深さは、ベース領域 14 の深さより深くてもよく、浅くてもよく、等しくてもよい。本例のアノード領域 19 の深さは、ベース領域 14 の深さと実質的に等しい。半導体基板 10 の深さ方向に沿ってアノード領域 19 のドーピング濃度を積分した積分値は、ベース領域 14 のドーピング濃度を積分した積分値より小さくてよく、等しくてもよい。本例のアノード領域 19 のドーピング濃度の積分値は、ベース領域 14 のドーピング濃度の積分値より小さい。

- [0091] エミッタ領域12は、ドリフト領域18よりもおもて面21側に設けられ、ドリフト領域18よりもドーピング濃度が高い。本例のエミッタ領域12は、メサ部71において、ベース領域14の上方に設けられる。エミッタ領域12は、ゲートトレンチ部40と接して設けられてよい。エミッタ領域12は、ダミートレンチ部30と接してもよいし、接しなくてもよい。なお、エミッタ領域12は、メサ部91に設けられなくてよい。
- [0092] コンタクト領域15は、メサ部91において、ベース領域14の上方に設けられる。コンタクト領域15は、メサ部91において、ゲートトレンチ部40に接して設けられる。他の断面において、コンタクト領域15は、メサ部71のおもて面21に設けられてよい。
- [0093] 蓄積領域16は、ドリフト領域18よりも半導体基板10のおもて面21側に設けられる第1導電型の領域である。本例の蓄積領域16は、一例としてN+型である。蓄積領域16は、メサ部71に設けられる。蓄積領域16は、メサ部81およびメサ部91に設けられてもよい。
- [0094] また、蓄積領域16は、ゲートトレンチ部40に接して設けられる。蓄積領域16は、ダミートレンチ部30に接してもよいし、接しなくてもよい。蓄積領域16のドーピング濃度は、ドリフト領域18のドーピング濃度よりも高い。蓄積領域16を設けることで、キャリア注入促進効果（IE効果）を高めて、トランジスタ部70のオン電圧を低減できる。
- [0095] 1つ以上のゲートトレンチ部40および1つ以上のダミートレンチ部30は、おもて面21に設けられる。各トレンチ部は、おもて面21からドリフト領域18まで設けられる。エミッタ領域12、ベース領域14、コンタクト領域15および蓄積領域16の少なくともいずれかが設けられる領域においては、各トレンチ部はこれらの領域も貫通して、ドリフト領域18に到達する。トレンチ部がドーピング領域を貫通するとは、ドーピング領域を形成してからトレンチ部を形成する順序で製造したものに限定されない。トレンチ部を形成した後に、トレンチ部の間にドーピング領域を形成したものも、トレンチ部がドーピング領域を貫通しているものに含まれる。

- [0096] ゲートトレンチ部40は、おもて面21に形成されたゲートトレンチ、ゲート絶縁膜42およびゲート導電部44を有する。ゲート絶縁膜42は、ゲートトレンチの内壁を覆って形成される。ゲート絶縁膜42は、ゲートトレンチの内壁の半導体を酸化または窒化して形成してよい。ゲート導電部44は、ゲートトレンチの内部においてゲート絶縁膜42よりも内側に形成される。ゲート絶縁膜42は、ゲート導電部44と半導体基板10とを絶縁する。ゲート導電部44は、ポリシリコン等の導電材料で形成される。ゲートトレンチ部40は、おもて面21において層間絶縁膜38により覆われる。
- [0097] ゲート導電部44は、半導体基板10の深さ方向において、ゲート絶縁膜42を挟んでメサ部71側で隣接するベース領域14と対向する領域を含む。ゲート導電部44に予め定められた電圧が印加されると、ベース領域14のうちゲートトレンチに接する界面の表層に、電子の反転層によるチャンネルが形成される。
- [0098] ダミートレンチ部30は、ゲートトレンチ部40と同一の構造を有してよい。ダミートレンチ部30は、おもて面21側に形成されたダミートレンチ、ダミー絶縁膜32およびダミー導電部34を有する。ダミー絶縁膜32は、ダミートレンチの内壁を覆って形成される。ダミー導電部34は、ダミートレンチの内部に形成され、且つ、ダミー絶縁膜32よりも内側に形成される。ダミー絶縁膜32は、ダミー導電部34と半導体基板10とを絶縁する。ダミートレンチ部30は、おもて面21において層間絶縁膜38により覆われる。
- [0099] 層間絶縁膜38は、おもて面21に設けられている。層間絶縁膜38の上方には、エミッタ電極52が設けられている。層間絶縁膜38には、エミッタ電極52と半導体基板10とを電氣的に接続するための1又は複数のコンタクトホール54が設けられている。コンタクトホール55およびコンタクトホール56も同様に、層間絶縁膜38を貫通して設けられてよい。
- [0100] トレンチコンタクト部58は、複数のトレンチ部のうち隣接する2つのトレンチ部の間のメサ部において、半導体基板10のおもて面21から半導体

基板 10 の深さ方向に延伸して設けられる。トレンチコンタクト部 58 は、層間絶縁膜 38 の上端から半導体基板 10 の内側まで延伸して設けられてよい。本例のトレンチコンタクト部 58 は、コンタクトホール 54 に設けられている。トレンチコンタクト部 58 は、プラグ部 59 を有してよい。プラグ部 59 は、タングステンであってよい。トレンチコンタクト部 58 は、チタンまたはチタン化合物等で形成されたバリアメタル 53 を有してよい。

[0101] プラグ領域 13 は、トレンチコンタクト部 58 の下端に設けられ、ベース領域 14 よりもドーピング濃度の高い第 2 導電型の領域である。プラグ領域 13 は、トレンチコンタクト部 58 の下端において、トレンチ延伸方向に延伸して設けられてよい。プラグ領域 13 は、トレンチコンタクト部 58 の下端の全面に設けられてよい。プラグ領域 13 は、エミッタ領域 12 を形成するための第 1 導電型のドーパントがイオン注入された領域と重複した領域に形成されてよく、コンタクト領域 15 を形成するための第 2 導電型のドーパントがイオン注入された領域と重複した領域に形成されてよい。プラグ領域 13 は、境界領域 90 およびダイオード部 80 にも設けられてよい。

[0102] 本例の半導体装置 100 は、ライフタイムキラーを有するライフタイム制御部を有さないが、ライフタイム制御部を有してもよい。半導体装置 100 は、半導体基板 10 の深さ方向における中心よりもおもて面 21 側にライフタイムキラー領域を有さなくてよい。本例の半導体装置 100 は、間引き領域 60 を備えることにより、ライフタイム制御部を形成することなく正孔の注入を抑制して、逆回復時のスイッチング損失 E_{rr} を低減することができる。

[0103] また、本例の半導体装置 100 は、トレンチコンタクト部 58 を備えることによりラッチアップ耐量を向上することができる。このように、半導体装置 100 は、間引き領域 60 およびトレンチコンタクト部 58 を備えることで、間引き領域 60 を設けることによるラッチアップ耐量の低下を抑制しつつ、逆回復時のスイッチング損失 E_{rr} を低減することができる。

- [0104] 図3Aは、図2Aにおけるb-b'断面を含むYZ断面の一例を示す。b-b'断面を含むYZ断面は、トランジスタ部70のメサ部71を通過するYZ面である。b-b'断面は、コンタクトホール54を通過しない断面である。トレンチコンタクト部58の下端を破線で示している。
- [0105] 間引き領域60は、トレンチ延伸方向において、隣接する2つの非間引き領域65の間に設けられる。間引き領域60は、複数のエミッタ領域12のうちトレンチ延伸方向において隣接する2つのエミッタ領域12の間に設けられてよい。また、間引き領域60は、複数のコンタクト領域15のうちトレンチ延伸方向において隣接する2つのコンタクト領域15の間に設けられてよい。
- [0106] 間引き領域60は、第1導電型であってもよく、第2導電型であってもよく、第1導電型の領域と第2導電型の領域の両方を含んでもよい。間引き領域60は、コンタクト領域15よりも第2導電型のドーピング濃度が低くてよい。第2導電型のドーピング濃度が低いとは、間引き領域60が第2導電型の場合に、コンタクト領域15よりも第2導電型のドーピング濃度が低いことを指してよい。また、間引き領域60が第1導電型の場合においても、コンタクト領域15よりも第2導電型のドーピング濃度が低いことを指してよい。間引き領域60は、ベース領域14、ドリフト領域18またはアノード領域19の少なくとも1つを含んでよい。本例の間引き領域60は、ベース領域14である。
- [0107] 間隔P12は、トレンチ延伸方向において隣接する2つのエミッタ領域12の間隔である。間隔P12は、隣接する2つの非間引き領域65のうち、一方の非間引き領域65のエミッタ領域12と、他方の非間引き領域65のエミッタ領域12との間隔であってよい。間隔P12は、トランジスタ部70の飽和電圧や、短絡時にトランジスタ部70に流れる主電流の大きさ等に影響するので、要求されるトランジスタ部70の電気特性に応じて決定してよい。

- [0108] 比 α は、非間引き領域65のトレンチ延伸方向における長さ L_{65} に対する、間隔 P_{12} の比である。比 α は、1.5以上、2.0以下であってよい。比 α は、2以上であってよく、2.5以上であってよい。比 α は、5以下であってよく、3以下であってよい。間隔 P_{12} は、 $3\mu m$ 以上であってよく、 $10\mu m$ 以下であってよい。間隔 P_{12} が大きくなりコンタクト領域15の領域が増えると正孔が注入されやすくなってしまふものの、間引き領域60を設けることによってより効果的に正孔の注入を抑制することができる。
- [0109] 長さ L_{15} は、おもて面21におけるコンタクト領域15のトレンチ延伸方向の長さである。長さ L_{12} は、おもて面21におけるエミッタ領域12のトレンチ延伸方向の長さである。長さ L_{15} は、長さ L_{12} よりも大きくてよい。
- [0110] 長さ L_{60} は、おもて面21における間引き領域60のトレンチ延伸方向の長さである。長さ L_{65} は、おもて面21における非間引き領域65のトレンチ延伸方向の長さである。長さ L_{60} は、長さ L_{65} よりも短くてもよいし、長くてもよい。
- [0111] 厚み Z_{14} は、コンタクト領域15の下方におけるベース領域14の厚みである。本例の厚み Z_{14} は、半導体基板10の深さ方向におけるコンタクト領域15の下端から蓄積領域16の上端までの距離である。本例のベース領域14は、非間引き領域65の下方お側面の両方を覆っている。
- [0112] なお、複数のコンタクト領域15は、トレンチ延伸方向においてエミッタ領域12の両端に設けられてよい。コンタクト領域15は、おもて面21においてエミッタ領域12と接してよい。エミッタ領域12とコンタクト領域15とがおもて面21において接しない場合、注入したイオンの拡散の影響によって、エミッタ領域12の寸法にばらつきが生じやすくなる。一方、エミッタ領域12とコンタクト領域15とがおもて面21において接することにより、エミッタ領域12の寸法をコンタクト領域15の位置で決定することができ、飽和電流のばらつきを低減しやすくなる。

- [0113] 本例の蓄積領域 16 は、ドリフト領域 18 の上方に設けられる。本例の蓄積領域 16 は、ベース領域 14 とドリフト領域 18 との間に設けられるが、省略されてもよい。コンタクト領域 15 は、エミッタ領域 12 の延伸方向における端部を下面側から覆ってよい。これにより、正孔が通過する際の電圧降下を低減し、ラッチアップを抑制する。
- [0114] 図 3 B は、図 2 A における b-b' 断面を含む YZ 断面の変形例を示す。本例の半導体装置 100 は、間引き領域 60 の構造が図 3 A の半導体装置 100 と相違する。本例では、図 3 A の半導体装置 100 と相違する点について特に説明し、その他の点は図 3 A の半導体装置 100 と同一であってもよい。本例の間引き領域 60 は、第 1 間引き部 61 および第 2 間引き部 62 を有する。
- [0115] 第 1 間引き部 61 は、隣接する 2 つのエミッタ領域 12 の間に設けられる。第 1 間引き部 61 は、半導体基板 10 のおもて面 21 においてコンタクト領域 15 と接して設けられてよい。間引き領域 60 は、トレンチ延伸方向において第 2 間引き部 62 を挟んだ複数の第 1 間引き部 61 を有してよい。第 1 間引き部 61 は、ベース領域 14 であってもよく、アノード領域 19 であってもよい。本例の第 1 間引き部 61 は、ベース領域 14 である。
- [0116] 第 2 間引き部 62 は、隣接する 2 つのエミッタ領域 12 の間に設けられ、おもて面 21 において第 1 間引き部 61 と接して設けられる。第 2 間引き部 62 のドーピング濃度は、第 1 間引き部 61 のドーピング濃度と異なる。第 2 間引き部 62 は、おもて面 21 において、複数の第 1 間引き部 61 のうちトレンチ延伸方向において隣接する 2 つの第 1 間引き部 61 の間に設けられてよい。本例の第 2 間引き部 62 は、エミッタ領域 12 よりドーピング濃度が低い第 1 導電型を有する。本例の第 2 間引き部 62 は、ドリフト領域 18 である。本例においては、トレンチ延伸方向において、第 2 間引き部 62 であるドリフト領域 18 が、第 1 間引き部 61 である複数のベース領域 14 の間に設けられる。長さ L14 は、トレンチ延伸方向におけるベース領域 14 の長さである。長さ L14 は、長さ L65 よりも大きくてよい。第 2 間引き

部 6 2 は、ゲートトレンチ部 4 0 の延伸方向に沿って、第 1 間引き部 6 1 に挟まれてよい。

[0117] コンタクト領域 1 5 は、トレンチ延伸方向において隣接するエミッタ領域 1 2 と第 1 間引き部 6 1 との間に設けられる。おもて面 2 1 において、コンタクト領域 1 5 の一端がエミッタ領域 1 2 と接し、コンタクト領域 1 5 の他端が第 1 間引き部 6 1 と接してよい。第 1 間引き部 6 1 は、コンタクト領域 1 5 の下方に設けられてよい。本例の第 1 間引き部 6 1 は、コンタクト領域 1 5 の側面および底面を覆っている。

[0118] 第 2 間引き部 6 2 のドリフト領域 1 8 とコンタクト領域 1 5 とが直接接すると電界強度が大きくなるところ、第 2 間引き部 6 2 とコンタクト領域 1 5 との間に第 1 間引き部 6 1 を挟むことで、電界強度を緩和できる。

[0119] 長さ L_{60} は、おもて面 2 1 に設けられた間引き領域 6 0 のトレンチ延伸方向における長さである。長さ L_{61} は、おもて面 2 1 に設けられた第 1 間引き部 6 1 のトレンチ延伸方向における長さである。厚み Z_{61} は、コンタクト領域 1 5 の下方に設けられた第 1 間引き部 6 1 の半導体基板 1 0 の深さ方向における厚みである。長さ L_{61} は、厚み Z_{61} 以上であってよい。長さ L_{61} は、 $0.1\ \mu\text{m}$ 以上、 $2.0\ \mu\text{m}$ 以下であってよい。このように、長さ L_{61} を調整することで、コンタクト領域 1 5 の側面における電界集中を緩和して、電界強度を向上することができる。

[0120] 長さ L_{61} は、おもて面 2 1 における第 1 間引き部 6 1 のトレンチ延伸方向の長さである。長さ L_{62} は、おもて面 2 1 における第 2 間引き部 6 2 のトレンチ延伸方向の長さである。おもて面 2 1 において、第 2 間引き部 6 2 のトレンチ延伸方向における長さ L_{62} は、第 1 間引き部 6 1 のトレンチ延伸方向における長さ L_{61} よりも大きくてよい。おもて面 2 1 において、第 2 間引き部 6 2 のトレンチ延伸方向における長さ L_{62} は、エミッタ領域 1 2 のトレンチ延伸方向における長さ L_{12} よりも大きくてよい。

[0121] 図 3 C は、図 2 A における $b-b'$ 断面を含む YZ 断面の変形例を示す。本例の半導体装置 1 0 0 は、第 2 間引き部 6 2 の構造が図 3 B の半導体装置 1

00と相違する。本例では、図3Bの半導体装置100と相違する点について特に説明し、その他の点は図3Bの半導体装置100と同一であってもよい。

[0122] 第2間引き部62は、ベース領域14よりドーピング濃度が低い第2導電型を有してよい。本例の第2間引き部62は、アノード領域19である。アノード領域19は、一例においてP-型である。第2間引き部62をベース領域14よりもドーピング濃度が低いアノード領域19とすることで、第2間引き部62がベース領域14である場合よりも正孔の注入を抑制することができる。

[0123] 第1間引き部61および第2間引き部62の下端は、同一の深さ位置であってよい。本例では、第2間引き部62であるアノード領域19の下端は、ベース領域14の下端と一致する。第2間引き部62であるアノード領域19の下端は、蓄積領域16の上端であってよい。

[0124] 図4Aは、図1における領域Aの拡大図の変形例である。本例の半導体装置100は、コンタクトホール54を設ける位置が図2Aの半導体装置100と相違する。本例では、図2Aの半導体装置100と相違する点について特に説明し、その他の点は図2Aの半導体装置100と同一であってもよい。c-c'断面の構造は、図2Aのa-a'断面の構造と同一であってもよく、異なってもよい。

[0125] 本例のコンタクトホール54は、非間引き領域65の上方に設けられるが、間引き領域60の上方には設けられていない。同様に、本例のトレンチコンタクト部58は、非間引き領域65の上方に設けられるが、間引き領域60の上方には設けられていない。コンタクトホール54およびトレンチコンタクト部58を形成する領域は同一であってよい。

[0126] トレンチコンタクト部58は、層間絶縁膜38をマスクとして形成してよい。層間絶縁膜38をマスクとしてトレンチコンタクト部58を形成する場合、上面視で、コンタクトホール54が設けられた領域はトレンチコンタクト形成領域となってよく、上面視で、コンタクトホール54が設けられてい

ない領域はトレンチコンタクト非形成領域となつてよい。なお、本明細書において、トレンチコンタクト部58が設けられた領域をトレンチコンタクト形成領域と称し、上面視で、トレンチコンタクト部58が設けられていない領域をトレンチコンタクト非形成領域と称する。

[0127] 同様に、プラグ領域13は、層間絶縁膜38をマスクとして形成してよい。層間絶縁膜38をマスクとしてプラグ領域13を形成する場合、上面視で、コンタクトホール54が設けられた領域にプラグ領域13が形成されるが、コンタクトホール54が設けられていない領域にはプラグ領域13が形成されない。本例では、間引き領域60にはコンタクトホール54が設けられていないので、間引き領域60にはプラグ領域13が設けられなくてよい。間引き領域60にプラグ領域13を設けないことで正孔の注入をさらに抑制しやすくなる。

[0128] ここで、間引き領域60にコンタクトホール54を設けると、ショットキー接合が形成されて漏れ電流が増加する場合がある。本例の半導体装置100は、メサ部71において、間引き領域60にコンタクトホール54を設けていないので、間引き領域60からの漏れ電流を抑制しやすくなる。

[0129] 図4Bは、図4Aにおけるd-d'断面を含むYZ断面の一例を示す。d-d'断面を含むYZ断面は、トランジスタ部70のメサ部71を通過するYZ断面である。d-d'断面は、コンタクトホール54を通過する断面である。本例の間引き領域60は、図3Bと同様に第1間引き部61としてベース領域14を有し、第2間引き部62としてドリフト領域18を有する。本例の半導体装置100は、蓄積領域16を備えていないが、蓄積領域16を備えてもよい。

[0130] 本例の半導体装置100は、トレンチコンタクト部58の下方にプラグ領域13を備える。プラグ領域13は、トレンチコンタクト部58の下方において、トレンチコンタクト部58の一端から他端までトレンチ延伸方向に延伸してよい。プラグ領域13は、トレンチ延伸方向におけるトレンチコンタクト部58の端部において、トレンチコンタクト部58の側壁に接して設け

てもよい。本例のプラグ領域 13 は、非間引き領域 65 に設けるが、一部を間引き領域 60 に設けてもよい。

[0131] 層間絶縁膜 38 は、おもて面 21 の間引き領域 60 の上方に設けられる。本例の層間絶縁膜 38 は、第 1 間引き部 61 および第 2 間引き部 62 の上方に設けられる。本例の層間絶縁膜 38 は、おもて面 21 に設けられた第 1 間引き部 61 および第 2 間引き部 62 の両方を覆う。一方、層間絶縁膜 38 は、非間引き領域 65 の上方においてコンタクトホール 54 が形成されており、 $d-d'$ 断面においては非間引き領域 65 を覆っていない。

[0132] 本例の半導体装置 100 は、第 2 間引き部 62 であるドリフト領域 18 とエミッタ電極 52 とが接するショットキー接合を有さないので、漏れ電流を抑制しやすくなる。なお、本例においては、コンタクトホール 54 およびトレンチコンタクト部 58 を非間引き領域 65 の上方のみに設けたが、第 1 間引き部 61 の上方にも設けてよく、第 2 間引き部 62 の上方にも設けてよい。

[0133] 図 4C は、図 4A における $d-d'$ 断面を含む YZ 断面の変形例を示す。本例の半導体装置 100 は、蓄積領域 16 を備える点で図 4B の半導体装置 100 と相違する。本例では、図 4B の半導体装置 100 と相違する点について特に説明し、その他の点は図 4B の半導体装置 100 と同一であってもよい。

[0134] 蓄積領域 16 は、トレンチ延伸方向に繰り返し配列された間引き領域 60 および非間引き領域 65 の下方において、トレンチ延伸方向に延伸して設けられる。ベース領域 14 の下端は、蓄積領域 16 の上端と接して設けられる。ドリフト領域 18 である第 2 間引き部 62 の下端は、蓄積領域 16 の上端と接して設けられる。ベース領域 14 の下端は、ドリフト領域 18 である第 2 間引き部 62 の下端と同一であってもよい。なお、本例の蓄積領域 16 は、間引き領域 60 および非間引き領域 65 の両方の下方に設けられるが、いずれか一方の下方のみに設けられてもよい。

[0135] 図4Dは、図4Aにおけるd-d'断面を含むYZ断面の変形例を示す。本例の半導体装置100は、第2間引き部62として第1導電型領域162を備える点で図4Cの半導体装置100と相違する。本例では、図4Cの半導体装置100と相違する点について特に説明し、その他の点は図4Cの半導体装置100と同一であってもよい。

[0136] 第1導電型領域162は、ドリフト領域18よりもドーピング濃度の高い第1導電型の領域である。第1導電型領域162は、蓄積領域16とは別に第1導電型のドーパントをイオン注入することで形成してよい。第1導電型領域162を形成するための第1導電型のドーパントは、マスクを用いて選択的にイオン注入してよい。第1導電型領域162を形成するための第1導電型のドーパントは、第2間引き部62を形成する領域のみに選択的にイオン注入してよい。第1導電型領域162を形成するための第1導電型のドーパントは、第1間引き部61または非間引き領域65などの第2間引き部62以外の領域にもイオン注入してよい。

[0137] 図4Eは、図4Aにおけるd-d'断面を含むYZ断面の変形例を示す。本例の半導体装置100は、第2間引き部62としてアノード領域19を備える点で図4Bの半導体装置100と相違する。本例では、図4Bの半導体装置100と相違する点について特に説明し、その他の点は図4Bの半導体装置100と同一であってもよい。

[0138] アノード領域19は、トレンチ延伸方向において、隣接する2つのベース領域14に挟んで設けてよい。ベース領域14およびアノード領域19は、アノード領域19を形成するためのドーパントをメサ部71の全面にイオン注入した後に、ベース領域14を形成するためのドーパントを選択的にイオン注入することで形成してよい。なお、ベース領域14およびアノード領域19は、アノード領域19を形成するためのドーパントをアノード領域19を形成する領域に選択的にイオン注入した後に、ベース領域14を形成するためのドーパントをベース領域14を形成する領域に選択的にイオン注入することで形成してよい。

[0139] 深さD19は、半導体基板10の深さ方向におけるおもて面21からアノード領域19の下端までの距離である。深さD14は、半導体基板10の深さ方向におけるおもて面21からベース領域14の下端までの距離である。深さD19は、深さD14よりも大きくてよい。即ち、アノード領域19の下端は、半導体基板10の深さ方向において、ベース領域14の下端よりも深くてよい。アノード領域19の下端は、半導体基板10の深さ方向において、エミッタ領域12およびコンタクト領域15の下端よりも深くてよい。アノード領域19の下端は、半導体基板10の深さ方向において、トレンチコンタクト部58の下端よりも深くてよい。

[0140] 図4Fは、図4Aにおけるd-d'断面を含むYZ断面の変形例を示す。本例の半導体装置100においては、アノード領域19の深さが図4Eの半導体装置100と相違する。本例では、図4Eの半導体装置100と相違する点について特に説明し、その他の点は図4Eの半導体装置100と同一であってもよい。

[0141] 深さD19は、深さD14よりも小さい。即ち、アノード領域19の下端は、半導体基板10の深さ方向において、ベース領域14の下端よりも浅くてよい。アノード領域19の下端は、半導体基板10の深さ方向において、エミッタ領域12およびコンタクト領域15の下端よりも深くてよい。アノード領域19の下端は、半導体基板10の深さ方向において、トレンチコンタクト部58の下端よりも深くてよい。

[0142] 図4Gは、図4Aにおけるd-d'断面を含むYZ断面の変形例を示す。本例の半導体装置100は、蓄積領域16を備える点で図4Fの半導体装置100と相違する。本例では、図4Fの半導体装置100と相違する点について特に説明し、その他の点は図4Fの半導体装置100と同一であってもよい。

[0143] 蓄積領域16は、トレンチ延伸方向に繰り返し配列された間引き領域60および非間引き領域65の下方において、トレンチ延伸方向に延伸して設けられる。ベース領域14の下端は、蓄積領域16の上端と接して設けられ

る。アノード領域 19 の下端は、蓄積領域 16 の上端と接して設けられる。これにより、ベース領域 14 の下端は、アノード領域 19 の下端と同一であってよい。なお、本例の蓄積領域 16 は、間引き領域 60 および非間引き領域 65 の両方の下方に設けられるが、いずれか一方の下方のみに設けられてもよい。

[0144] 図 5 A は、メサ部 71 の上面図の変形例を示す。本例では、メサ部 71 の構造の一例を示しており、他の半導体装置 100 のメサ部 71 に適用してよい。本例の半導体装置 100 は、非間引き領域 67 を備える。

[0145] 非間引き領域 67 は、トレンチ延伸方向において規則的に配列された複数の間引き領域 60 のうち一部の間引き領域 60 を非間引き領域 65 に変更した領域である。非間引き領域 67 は、エミッタ領域 12 およびコンタクト領域 15 を備える。本例において、非間引き領域 67 のエミッタ領域 12 は、トレンチ延伸方向において隣接する 2 つのコンタクト領域 15 の間に挟まれている。本例の非間引き領域 67 は、非間引き領域 65 と同一の構造を有するが異なってもよい。非間引き領域 67 の各領域のドーピング濃度および各領域のトレンチ延伸方向における幅は、非間引き領域 65 と同一であってよい。

[0146] 長さ L_{67} は、おもて面 21 における非間引き領域 67 のトレンチ延伸方向の長さである。長さ L_{67} は、長さ L_{65} と同一であっても異なってもよい。本例の長さ L_{67} は、長さ L_{65} と同一である。

[0147] 非間引き領域 67 におけるエミッタ領域 12 の長さ $L_{12'}$ は、非間引き領域 65 におけるエミッタ領域 12 の長さ L_{12} と同一であっても異なってもよい。本例の非間引き領域 67 におけるエミッタ領域 12 の長さ $L_{12'}$ は、非間引き領域 65 におけるエミッタ領域 12 の長さ L_{12} と同一である。非間引き領域 67 におけるコンタクト領域 15 の長さ $L_{15'}$ は、非間引き領域 65 におけるコンタクト領域 15 の長さ L_{15} と同一であっても異なってもよい。本例の非間引き領域 67 におけるコンタクト領域 15 の長

さ L_{15}' は、非間引き領域65におけるコンタクト領域15の長さ L_{15} と同一である。

[0148] 図5Bは、メサ部71の上面図の変形例を示す。本例では、メサ部71の構造の一例を示しており、他の半導体装置100のメサ部71に適用してよい。本例のメサ部71は、非間引き領域67の構造が図5Aのメサ部71と相違する。本例では、図5Aのメサ部71と相違する点について特に説明し、その他の点は図5Aのメサ部71と同一であってもよい。

[0149] 非間引き領域67は、非間引き領域65と異なる構造を有する。非間引き領域67の各領域のドーピング濃度または各領域のトレンチ延伸方向における幅の少なくとも1つが非間引き領域65と異なっていてよい。本例の非間引き領域67の各領域は、非間引き領域65の各領域と同一のドーピング濃度を有しているが異なっていてよい。

[0150] 非間引き領域67におけるコンタクト領域15の長さ L_{15}' は、非間引き領域65におけるコンタクト領域15の長さ L_{15} と異なる。本例の非間引き領域67におけるコンタクト領域15の長さ L_{15}' は、非間引き領域65におけるコンタクト領域15の長さ L_{15} よりも小さいが、大きくてもよい。一方、本例の非間引き領域67におけるエミッタ領域12の長さ L_{12}' は、非間引き領域65におけるエミッタ領域12の長さ L_{12} と同一であるが、異なっていてよい。非間引き領域67におけるエミッタ領域12の長さ L_{12}' は、非間引き領域65におけるエミッタ領域12の長さ L_{12} よりも大きくてもよいし、小さくてもよい。間引き領域60を設けることでコンタクト領域15の面積を調整することに加えて、非間引き領域67のコンタクト領域15の面積を調整することで、正孔注入の大きさを調整しやすくなる。

[0151] 図6Aは、逆回復時のスイッチング損失 E_{rr} の比 α 依存性を示す。縦軸は逆回復時のスイッチング損失 E_{rr} (a. u.)を示し、横軸は比 α を示す。グラフGcは比較例の半導体装置の特性を示し、グラフG100は半導体装置100の特性を示す。比較例の半導体装置は、間引き領域60を備え

ない半導体装置である。非間引き領域65のトレンチ延伸方向における長さL65に対する、間隔P12の比 α が大きくなると、トランジスタ部70におけるP型の領域が増加して正孔の注入が増大することで逆回復時のスイッチング損失 E_{rr} が増加する傾向にある。半導体装置100は、間引き領域60を備えることで、比 α が大きくなった場合においても逆回復時のスイッチング損失 E_{rr} を低減しやすくなる。特に、比 α が1.5を超えると、比較例の半導体装置のグラフGcと比較して、半導体装置100のグラフG100における逆回復時のスイッチング損失 E_{rr} の低減効果が顕著になる。比 α は1.5以上であってよく、2.0以上であってよく、2.5以上であってよく、3.0以上であってよい。比 α は2.0以下であってよく、1.0以下であってよく、7.0以下であってよく、5.0以下であってよく、3.0以下であってよい。

[0152] 図6Bは、コレクタ電流の飽和電流 I_{sat} の比 α 依存性を示す。縦軸はコレクタ電流の飽和電流 I_{sat} (a. u.)を示し、横軸は比 α を示す。非間引き領域65のトレンチ延伸方向における長さL65に対する、間隔P12の比 α が大きくなると、飽和電流 I_{sat} が低下する。飽和電流 I_{sat} が低下することにより短絡耐量が向上する。

[0153] 半導体装置100は、間引き領域60を備えることで、比 α を大きくして短絡耐量を向上させつつ、逆回復時のスイッチング損失 E_{rr} を抑制することができる。また、半導体装置100は、トレンチコンタクト部58を備えることで、さらにラッチアップ耐量を向上させることができる。

[0154] 図7は、半導体装置100の製造方法の一例を示す。本例では、半導体装置100の製造方法の一例を示し、各ステップの順番等は適宜変更されてよい。

[0155] ステップS100およびステップS102は、間引き領域60を形成する段階の一例である。ステップS100において、ドリフト領域18の上方にアノード領域19を形成する。ステップS102において、ドリフト領域18の上方にベース領域14を形成する。ベース領域14およびアノード領域

１９が同一のドーピング濃度である場合は、ベース領域１４およびアノード領域１９を共通の工程で同時に形成してよい。

[0156] ベース領域１４およびアノード領域１９は、間引き領域６０の構造に応じて選択的に第２導電型のドーパントをイオン注入することで形成してよい。本例では、アノード領域１９を形成した後にベース領域１４を形成しているが、ベース領域１４を形成した後にアノード領域１９を形成してもよい。ベース領域１４とアノード領域１９のうちドーピング濃度の低い領域を先に形成してよい。間引き領域６０は、トランジスタ部７０およびダイオード部８０にアノード領域１９を形成した後に、トランジスタ部７０のアノード領域１９に第２導電型のドーパントをイオン注入することでベース領域１４を形成してよい。ベース領域１４のドーピング濃度は、アノード領域１９のドーピング濃度より高くてもよい。

[0157] ステップＳ１０４において、半導体基板１０のおもて面２１に複数のトレンチ部を形成する。ダミートレンチ部３０およびゲートトレンチ部４０を共通の工程で同時に形成してもよいし、ダミートレンチ部３０とゲートトレンチ部４０を別々に形成してもよい。複数のトレンチ部を形成した後に、間引き領域６０を形成してもよい。

[0158] ステップＳ１０６において、半導体基板１０のおもて面２１に非間引き領域６５を形成する。非間引き領域６５は、複数のトレンチ部の間のメサ部７１に形成する。エミッタ領域１２を形成した後にコンタクト領域１５を形成してもよいし、コンタクト領域１５を形成した後にエミッタ領域１２を形成してもよい。非間引き領域６７を形成する場合、非間引き領域６７を非間引き領域６５と同時に形成してもよい。

[0159] ステップＳ１０８において、トレンチコンタクト部５８を形成する。プラグ領域１３は、トレンチコンタクト部５８のコンタクトホール５４を形成した後に、コンタクトホール５４の下端に第２導電型のドーパントをイオン注入することで形成してよい。プラグ領域１３を形成した後、コンタクトホー

ル54にバリアメタル53とプラグ部59を充填してトレンチコンタクト部58を形成してよい。

[0160] 以上、本発明を実施の形態を用いて説明したが、本発明の技術的範囲は上記実施の形態に記載の範囲には限定されない。上記実施の形態に、多様な変更または改良を加えることが可能であることが当業者に明らかである。その様な変更または改良を加えた形態も本発明の技術的範囲に含まれ得ることが、請求の範囲の記載から明らかである。

[0161] 請求の範囲、明細書、および図面中において示した装置、システム、プログラム、および方法における動作、手順、ステップ、および段階等の各処理の実行順序は、特段「より前に」、「先立って」等と明示しておらず、また、前の処理の出力を後の処理で用いるのでない限り、任意の順序で実現しうることに留意すべきである。請求の範囲、明細書、および図面中の動作フローに関して、便宜上「まず、」、「次に、」等を用いて説明したとしても、この順で実施することが必須であることを意味するものではない。

符号の説明

[0162] 10・・・半導体基板、12・・・エミッタ領域、13・・・プラグ領域、14・・・ベース領域、15・・・コンタクト領域、16・・・蓄積領域、17・・・ウェル領域、18・・・ドリフト領域、19・・・アノード領域、20・・・バッファ領域、21・・・おもて面、22・・・コレクタ領域、23・・・裏面、24・・・コレクタ電極、25・・・接続部、30・・・ダミートレンチ部、31・・・延伸部分、32・・・ダミー絶縁膜、33・・・接続部分、34・・・ダミー導電部、38・・・層間絶縁膜、40・・・ゲートトレンチ部、41・・・延伸部分、42・・・ゲート絶縁膜、43・・・接続部分、44・・・ゲート導電部、50・・・ゲート金属層、51・・・ゲートランナー部、52・・・エミッタ電極、53・・・バリアメタル、54・・・コンタクトホール、55・・・コンタクトホール、56・・・コンタクトホール、58・・・トレンチコンタクト部、59・・・プラグ部、60・・・間引き領域、61・・・第1間引き部、62・・・第2

間引き部、65・・・非間引き領域、67・・・非間引き領域、70・・・
トランジスタ部、71・・・メサ部、78・・・境界、80・・・ダイオー
ド部、81・・・メサ部、82・・・カソード領域、90・・・境界領域、
91・・・メサ部、100・・・半導体装置、102・・・端辺、112・
・・・ゲートパッド、130・・・ゲート配線、160・・・活性部、162
・・・第1導電型領域、170・・・エッジ終端構造部

請求の範囲

- [請求項1] トランジスタ部およびダイオード部を備える半導体装置であって、
- 半導体基板に設けられた第1導電型のドリフト領域と、
- 前記半導体基板のおもて面側において、予め定められたトレンチ延伸方向に延伸した複数のトレンチ部と、
- を備え、
- 前記トランジスタ部は、
- 前記ドリフト領域の上方に設けられた第2導電型のベース領域と、
- トレンチ延伸方向に離散的に設けられ、前記ドリフト領域よりもドーピング濃度が高い第1導電型の複数のエミッタ領域と、
- 前記ベース領域よりもドーピング濃度が高い第2導電型のコンタクト領域と、
- 前記複数のトレンチ部のうち隣接する2つのトレンチ部の間のメサ部において、前記半導体基板のおもて面から前記半導体基板の深さ方向に延伸して設けられたトレンチコンタクト部と、
- 前記複数のエミッタ領域のうち前記トレンチ延伸方向において隣接する2つのエミッタ領域の間に設けられ、前記コンタクト領域よりも第2導電型のドーピング濃度が低い間引き領域と、
- を有する半導体装置。
- [請求項2] 前記間引き領域は、前記ベース領域である
- 請求項1に記載の半導体装置。
- [請求項3] 前記間引き領域は、
- 前記隣接する2つのエミッタ領域の間に設けられ、前記半導体基板のおもて面において前記コンタクト領域と接して設けられた第1間引き部と、

前記隣接する２つのエミッタ領域の間に設けられ、前記半導体基板のおもて面において前記第１間引き部と接して設けられ、前記第１間引き部とドーピング濃度が異なる第２間引き部と、

を有する

請求項１に記載の半導体装置。

[請求項４]

前記第１間引き部は、複数の第１間引き部を含み、

前記第２間引き部は、前記おもて面において、前記複数の第１間引き部のうち前記トレンチ延伸方向において隣接する２つの第１間引き部の間に設けられる

請求項３に記載の半導体装置。

[請求項５]

前記第１間引き部は前記ベース領域であり、

前記第２間引き部は、前記エミッタ領域よりドーピング濃度が低い第１導電型を有する

請求項３に記載の半導体装置。

[請求項６]

前記第２間引き部は、前記ドリフト領域である

請求項５に記載の半導体装置。

[請求項７]

前記第１間引き部は、前記ベース領域であり、

前記第２間引き部は、前記ベース領域よりドーピング濃度が低い第２導電型を有する

請求項３に記載の半導体装置。

[請求項８]

前記ダイオード部は、前記ドリフト領域の上方に設けられた第２導電型のアノード領域を有し、

前記第２間引き部は、前記アノード領域である

請求項７に記載の半導体装置。

[請求項９]

前記コンタクト領域は、複数のコンタクト領域を有し、

前記複数のコンタクト領域は、前記トレンチ延伸方向において前記エミッタ領域の両端に設けられ、前記おもて面において前記エミッタ領域と接する

請求項 1 に記載の半導体装置。

[請求項10] 前記コンタクト領域は、前記トレンチ延伸方向において隣接する前記エミッタ領域と前記第 1 間引き部との間に設けられ、前記おもて面において、前記コンタクト領域の一端が前記エミッタ領域と接し、前記コンタクト領域の他端が前記第 1 間引き部と接する

請求項 3 に記載の半導体装置。

[請求項11] 前記第 1 間引き部は、前記コンタクト領域の下方に設けられ、前記おもて面に設けられた前記第 1 間引き部の前記トレンチ延伸方向における長さは、前記コンタクト領域の下方に設けられた前記第 1 間引き部の前記半導体基板の深さ方向における厚み以上である

請求項 1 0 に記載の半導体装置。

[請求項12] 前記おもて面に設けられた前記第 1 間引き部の前記トレンチ延伸方向における前記長さは、 $0.1\ \mu\text{m}$ 以上、 $2.0\ \mu\text{m}$ 以下である

請求項 1 1 に記載の半導体装置。

[請求項13] 前記おもて面において、前記第 2 間引き部の前記トレンチ延伸方向における長さは、前記第 1 間引き部の前記トレンチ延伸方向における長さよりも大きい

請求項 3 に記載の半導体装置。

[請求項14] 前記おもて面において、前記第 2 間引き部の前記トレンチ延伸方向における長さは、前記エミッタ領域の前記トレンチ延伸方向における長さよりも大きい

請求項 3 に記載の半導体装置。

[請求項15] 前記第 1 間引き部および前記第 2 間引き部の上方に設けられ、前記おもて面に設けられた前記第 1 間引き部および前記第 2 間引き部の両方を覆う層間絶縁膜を備える

請求項 3 に記載の半導体装置。

[請求項16] 前記層間絶縁膜は、コンタクトホールを有し、

上面視で、前記コンタクトホールが設けられた領域に前記トレンチコンタクト部が設けられ、上面視で、前記コンタクトホールが設けられていない領域は前記トレンチコンタクト部が設けられていないトレンチコンタクト非形成領域である

請求項 15 に記載の半導体装置。

[請求項17] 1 または複数のエミッタ領域と 1 または複数のコンタクト領域が連続して形成された非間引き領域の前記トレンチ延伸方向における長さに対する、前記トレンチ延伸方向において隣接する 2 つの前記エミッタ領域の間隔の比 α は、1.5 以上、20 以下である

請求項 1 から 16 のいずれか一項に記載の半導体装置。

[請求項18] 前記ドリフト領域の上方において、前記ドリフト領域よりもドーピング濃度の高い第 1 導電型の蓄積領域を備える

請求項 1 から 16 のいずれか一項に記載の半導体装置。

[請求項19] 前記トレンチコンタクト部の下端に設けられ、前記ベース領域よりもドーピング濃度の高い第 2 導電型のプラグ領域を備える

請求項 1 から 16 のいずれか一項に記載の半導体装置。

[請求項20] 前記ダイオード部は、前記ベース領域よりもドーピング濃度が低い第 2 導電型のアノード領域を有する

請求項 1 から 16 のいずれか一項に記載の半導体装置。

[請求項21] 前記トランジスタ部は、前記トランジスタ部の前記ダイオード部側に設けられた境界領域を有する

請求項 1 から 16 のいずれか一項に記載の半導体装置。

[請求項22] 前記半導体基板の深さ方向における中心よりもおもて面側にライフタイムキラ領域を有さない

請求項 1 から 16 のいずれか一項に記載の半導体装置。

[請求項23] トランジスタ部およびダイオード部を備える半導体装置の製造方法であって、

半導体基板に設けられた第1導電型のドリフト領域の上方に第2導電型のベース領域を形成する段階と、

半導体基板のおもて面側において、予め定められたトレンチ延伸方向に延伸した複数のトレンチ部を形成する段階と、

前記ドリフト領域よりもドーピング濃度が高い第1導電型の複数のエミッタ領域をトレンチ延伸方向に離散的に形成する段階と、

前記ベース領域よりもドーピング濃度が高い第2導電型のコンタクト領域を形成する段階と、

前記複数のトレンチ部のうち隣接する2つのトレンチ部の間のメサ部において、前記半導体基板のおもて面から前記半導体基板の深さ方向に延伸してトレンチコンタクト部を前記トランジスタ部に形成する段階と、

前記コンタクト領域よりも第2導電型のドーピング濃度が低い間引き領域を、前記複数のエミッタ領域のうち前記トレンチ延伸方向において隣接する2つのエミッタ領域の間に形成する段階と、

を備える半導体装置の製造方法。

[請求項24]

前記間引き領域は、前記ベース領域を含み、

前記間引き領域を形成する段階は、前記トランジスタ部および前記ダイオード部にアノード領域を形成した後に、前記トランジスタ部の前記アノード領域に第2導電型のドーパントをイオン注入することで前記ベース領域を形成する段階を有する

請求項23に記載の半導体装置の製造方法。

補正された請求の範囲（条約第19条）**2025年2月17日（ 17.02.2025 ） 国際事務局受理**

- [請求項1] トランジスタ部およびダイオード部を備える半導体装置であって、
- 半導体基板に設けられた第1導電型のドリフト領域と、
- 前記半導体基板のおもて面側において、予め定められたトレンチ延伸方向に延伸した複数のトレンチ部と、
- を備え、
- 前記トランジスタ部は、
- 前記ドリフト領域の上方に設けられた第2導電型のベース領域と、
- トレンチ延伸方向に離散的に設けられ、前記ドリフト領域よりもドーピング濃度が高い第1導電型の複数のエミッタ領域と、
- 前記ベース領域よりもドーピング濃度が高い第2導電型のコンタクト領域と、
- 前記複数のトレンチ部のうち隣接する2つのトレンチ部の間のメサ部において、前記半導体基板のおもて面から前記半導体基板の深さ方向に延伸して設けられたトレンチコンタクト部と、
- 前記複数のエミッタ領域のうち前記トレンチ延伸方向において隣接する2つのエミッタ領域の間に設けられ、前記コンタクト領域よりも第2導電型のドーピング濃度が低い間引き領域と、
- を有する半導体装置。
- [請求項2] 前記間引き領域は、前記ベース領域である
- 請求項1に記載の半導体装置。
- [請求項3] 前記間引き領域は、
- 前記隣接する2つのエミッタ領域の間に設けられ、前記半導体基板のおもて面において前記コンタクト領域と接して設けられた第1間引き部と、

前記隣接する２つのエミッタ領域の間に設けられ、前記半導体基板のおもて面において前記第１間引き部と接して設けられ、前記第１間引き部とドーピング濃度が異なる第２間引き部と、

を有する

請求項１に記載の半導体装置。

[請求項４]

前記第１間引き部は、複数の第１間引き部を含み、

前記第２間引き部は、前記おもて面において、前記複数の第１間引き部のうち前記トレンチ延伸方向において隣接する２つの第１間引き部の間に設けられる

請求項３に記載の半導体装置。

[請求項５]

前記第１間引き部は前記ベース領域であり、

前記第２間引き部は、前記エミッタ領域よりドーピング濃度が低い第１導電型を有する

請求項３に記載の半導体装置。

[請求項６]

前記第２間引き部は、前記ドリフト領域である

請求項５に記載の半導体装置。

[請求項７]

前記第１間引き部は、前記ベース領域であり、

前記第２間引き部は、前記ベース領域よりドーピング濃度が低い第２導電型を有する

請求項３に記載の半導体装置。

[請求項８]

前記ダイオード部は、前記ドリフト領域の上方に設けられた第２導電型のアノード領域を有し、

前記第２間引き部は、前記アノード領域である

請求項７に記載の半導体装置。

[請求項９]

前記コンタクト領域は、複数のコンタクト領域を有し、

前記複数のコンタクト領域は、前記トレンチ延伸方向において前記エミッタ領域の両端に設けられ、前記おもて面において前記エミッタ領域と接する

請求項 1 に記載の半導体装置。

[請求項10] 前記コンタクト領域は、前記トレンチ延伸方向において隣接する前記エミッタ領域と前記第 1 間引き部との間に設けられ、前記おもて面において、前記コンタクト領域の一端が前記エミッタ領域と接し、前記コンタクト領域の他端が前記第 1 間引き部と接する

請求項 3 に記載の半導体装置。

[請求項11] 前記第 1 間引き部は、前記コンタクト領域の下方に設けられ、前記おもて面に設けられた前記第 1 間引き部の前記トレンチ延伸方向における長さは、前記コンタクト領域の下方に設けられた前記第 1 間引き部の前記半導体基板の深さ方向における厚み以上である

請求項 10 に記載の半導体装置。

[請求項12] 前記おもて面に設けられた前記第 1 間引き部の前記トレンチ延伸方向における前記長さは、 $0.1\ \mu\text{m}$ 以上、 $2.0\ \mu\text{m}$ 以下である

請求項 11 に記載の半導体装置。

[請求項13] 前記おもて面において、前記第 2 間引き部の前記トレンチ延伸方向における長さは、前記第 1 間引き部の前記トレンチ延伸方向における長さよりも大きい

請求項 3 に記載の半導体装置。

[請求項14] 前記おもて面において、前記第 2 間引き部の前記トレンチ延伸方向における長さは、前記エミッタ領域の前記トレンチ延伸方向における長さよりも大きい

請求項 3 に記載の半導体装置。

[請求項15] 前記第 1 間引き部および前記第 2 間引き部の上方に設けられ、前記おもて面に設けられた前記第 1 間引き部および前記第 2 間引き部の両方を覆う層間絶縁膜を備える

請求項 3 に記載の半導体装置。

[請求項16] 前記層間絶縁膜は、コンタクトホールを有し、

上面視で、前記コンタクトホールが設けられた領域に前記トレンチコンタクト部が設けられ、上面視で、前記コンタクトホールが設けられていない領域は前記トレンチコンタクト部が設けられていないトレンチコンタクト非形成領域である

請求項 15 に記載の半導体装置。

[請求項17] 1 または複数のエミッタ領域と 1 または複数のコンタクト領域が連続して形成された非間引き領域の前記トレンチ延伸方向における長さに対する、前記トレンチ延伸方向において隣接する 2 つの前記エミッタ領域の間隔の比 α は、1.5 以上、20 以下である

請求項 1 から 16 のいずれか一項に記載の半導体装置。

[請求項18] 前記ドリフト領域の上方において、前記ドリフト領域よりもドーピング濃度の高い第 1 導電型の蓄積領域を備える

請求項 1 から 16 のいずれか一項に記載の半導体装置。

[請求項19] 前記トレンチコンタクト部の下端に設けられ、前記ベース領域よりもドーピング濃度の高い第 2 導電型のプラグ領域を備える

請求項 1 から 16 のいずれか一項に記載の半導体装置。

[請求項20] 前記ダイオード部は、前記ベース領域よりもドーピング濃度が低い第 2 導電型のアノード領域を有する

請求項 1 から 16 のいずれか一項に記載の半導体装置。

[請求項21] 前記トランジスタ部は、前記トランジスタ部の前記ダイオード部側に設けられた境界領域を有する

請求項 1 から 16 のいずれか一項に記載の半導体装置。

[請求項22] 前記半導体基板の深さ方向における中心よりもおもて面側にライフタイムキラ領域を有さない

請求項 1 から 16 のいずれか一項に記載の半導体装置。

[請求項23] [補正後]

前記トレンチコンタクト部の側壁は、前記間引き領域の前記ベース領域と接する

請求項 2 に記載の半導体装置。

[請求項24]

[補正後]

1 または複数のエミッタ領域と 1 または複数のコンタクト領域が連続して形成された非間引き領域を備え、

前記おもて面における前記間引き領域のトレンチ延伸方向の長さは、前記おもて面における前記非間引き領域のトレンチ延伸方向の長さよりも小さい

1 から 16 のいずれか一項に記載の半導体装置。

[請求項25]

[追加]

前記トレンチコンタクト部と前記トレンチコンタクト非形成領域とが、前記トレンチ延伸方向において交互に設けられる

請求項 16 に記載の半導体装置。

[請求項26]

[追加]

前記トレンチコンタクト部の下端に設けられ、前記ベース領域よりもドーピング濃度の高い第 2 導電型のプラグ領域を備え、

前記間引き領域は、前記ベース領域であり、

前記プラグ領域は、前記間引き領域の前記ベース領域と接する

請求項 1 に記載の半導体装置。

[請求項27]

[追加]

前記トレンチコンタクト部の下端に設けられ、前記ベース領域よりもドーピング濃度の高い第 2 導電型のプラグ領域を備え、

前記間引き領域は、前記ベース領域および前記ドリフト領域を含み、

前記プラグ領域は、前記間引き領域の前記ドリフト領域と接する

請求項 1 に記載の半導体装置。

[請求項28]

[追加]

前記トレンチコンタクト部の下端に設けられ、前記ベース領域よりもドーピング濃度の高い第 2 導電型のプラグ領域を備え、

前記ダイオード部は、前記ベース領域よりもドーピング濃度が低い第2導電型のアノード領域を有し、

前記間引き領域は、前記ベース領域および前記アノード領域を含み、

前記プラグ領域は、前記間引き領域の前記アノード領域と接する請求項1に記載の半導体装置。

[請求項29]

[追加]

1または複数のエミッタ領域と1または複数のコンタクト領域が連続して形成された非間引き領域と、

前記間引き領域の上方に設けられた層間絶縁膜と、
を備え、

前記トレンチコンタクト部は、前記非間引き領域に設けられ、
前記トレンチコンタクト部は、前記トレンチ延伸方向において、隣接する2つの前記層間絶縁膜で挟まれる

請求項1に記載の半導体装置。

[請求項30]

[追加]

前記トレンチコンタクト部の下端に設けられ、前記ベース領域よりもドーピング濃度の高い第2導電型のプラグ領域を備え、

前記プラグ領域の下端は、前記コンタクト領域の下端よりも浅い請求項1から16のいずれか一項に記載の半導体装置。

[請求項31]

[追加]

1または複数のエミッタ領域と1または複数のコンタクト領域が連続して形成された非間引き領域を備え、

前記半導体基板の深さ方向において、前記間引き領域の上端の深さ位置は、前記非間引き領域の上端の深さ位置よりも浅い

請求項1に記載の半導体装置。

[請求項32]

[追加]

トランジスタ部およびダイオード部を備える半導体装置の製造方法であって、

半導体基板に設けられた第1導電型のドリフト領域の上方に第2導電型のベース領域を形成する段階と、

半導体基板のおもて面側において、予め定められたトレンチ延伸方向に延伸した複数のトレンチ部を形成する段階と、

前記ドリフト領域よりもドーピング濃度が高い第1導電型の複数のエミッタ領域をトレンチ延伸方向に離散的に形成する段階と、

前記ベース領域よりもドーピング濃度が高い第2導電型のコンタクト領域を形成する段階と、

前記複数のトレンチ部のうち隣接する2つのトレンチ部の間のメサ部において、前記半導体基板のおもて面から前記半導体基板の深さ方向に延伸してトレンチコンタクト部を前記トランジスタ部に形成する段階と、

前記コンタクト領域よりも第2導電型のドーピング濃度が低い間引き領域を、前記複数のエミッタ領域のうち前記トレンチ延伸方向において隣接する2つのエミッタ領域の間に形成する段階と、

を備える半導体装置の製造方法。

[請求項33]

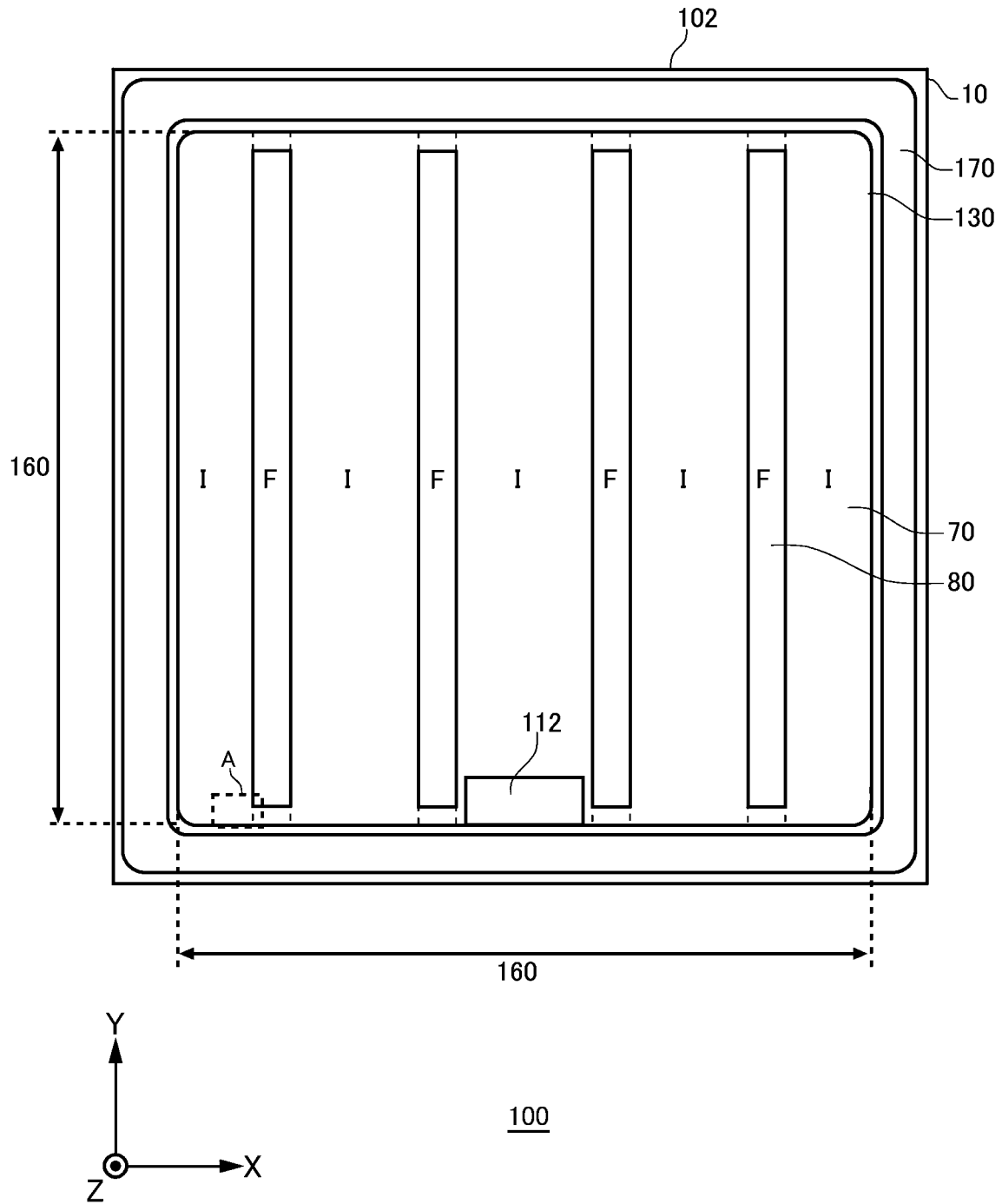
[追加]

前記間引き領域は、前記ベース領域を含み、

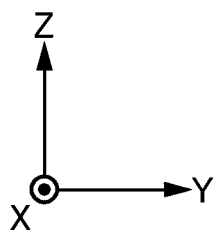
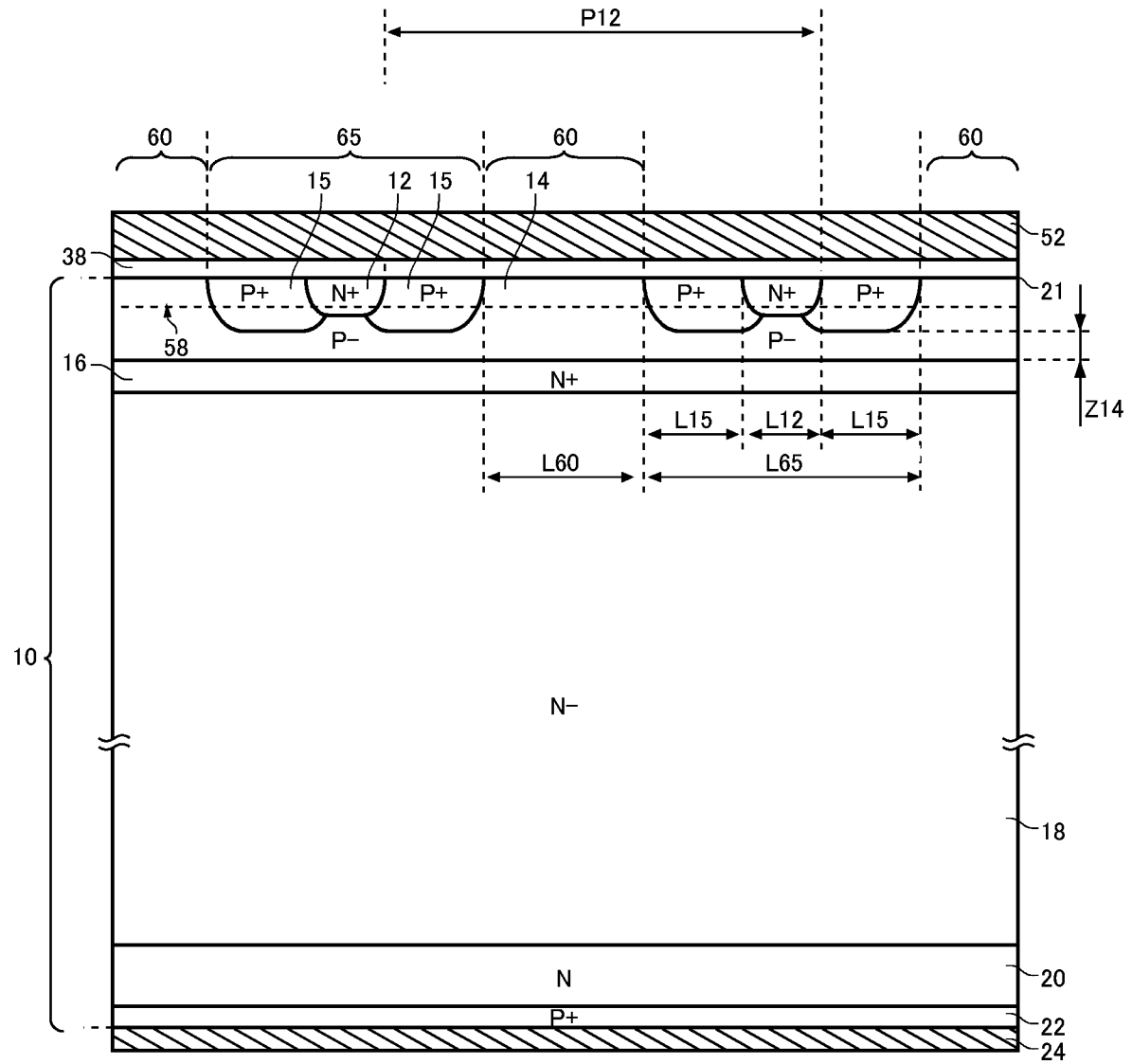
前記間引き領域を形成する段階は、前記トランジスタ部および前記ダイオード部にアノード領域を形成した後に、前記トランジスタ部の前記アノード領域に第2導電型のドーパントをイオン注入することで前記ベース領域を形成する段階を有する

請求項32に記載の半導体装置の製造方法。

[1]



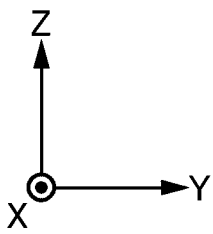
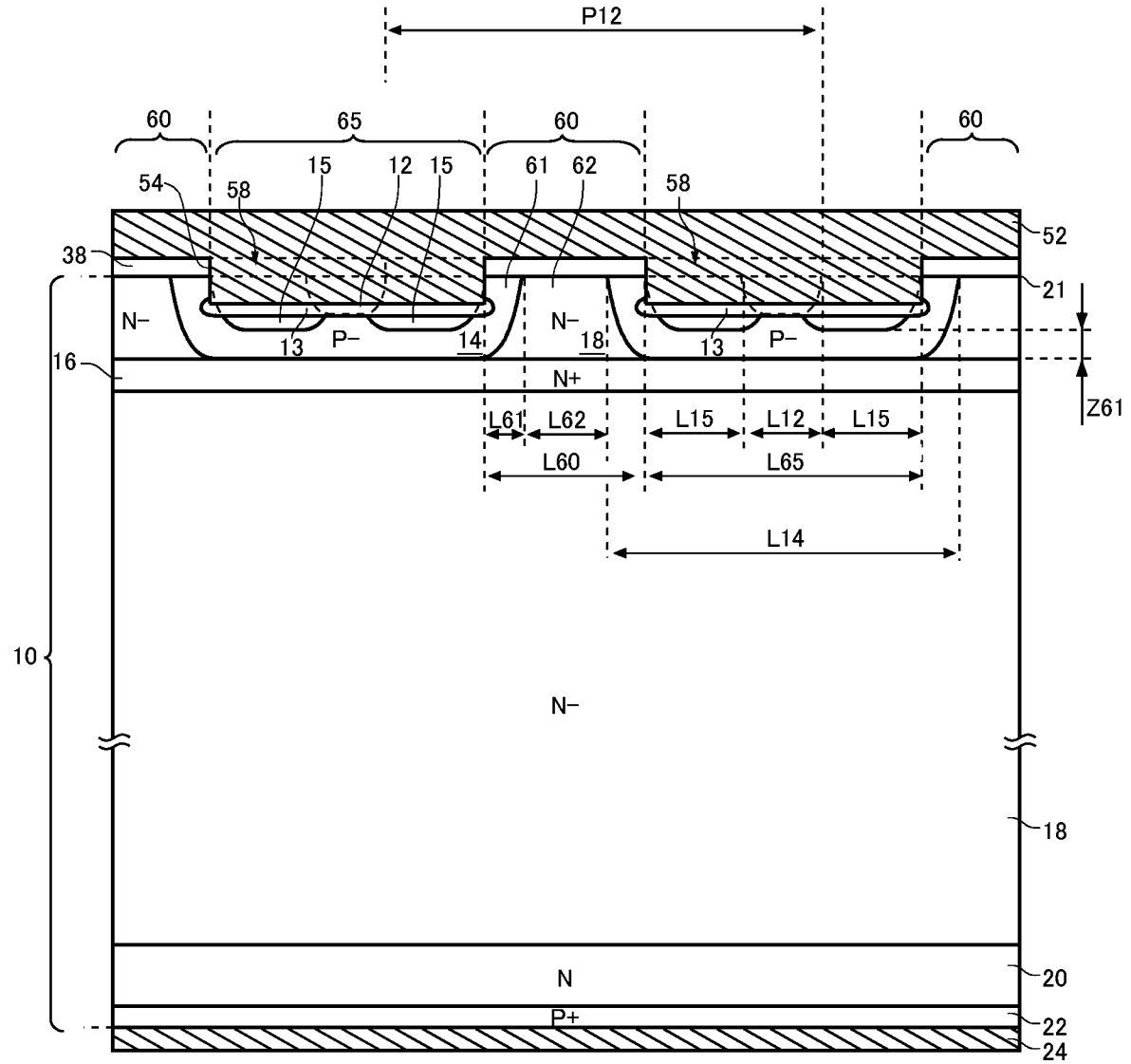
[3A]



b-b'

100

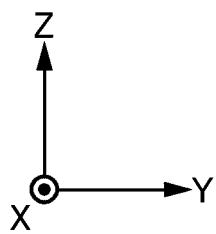
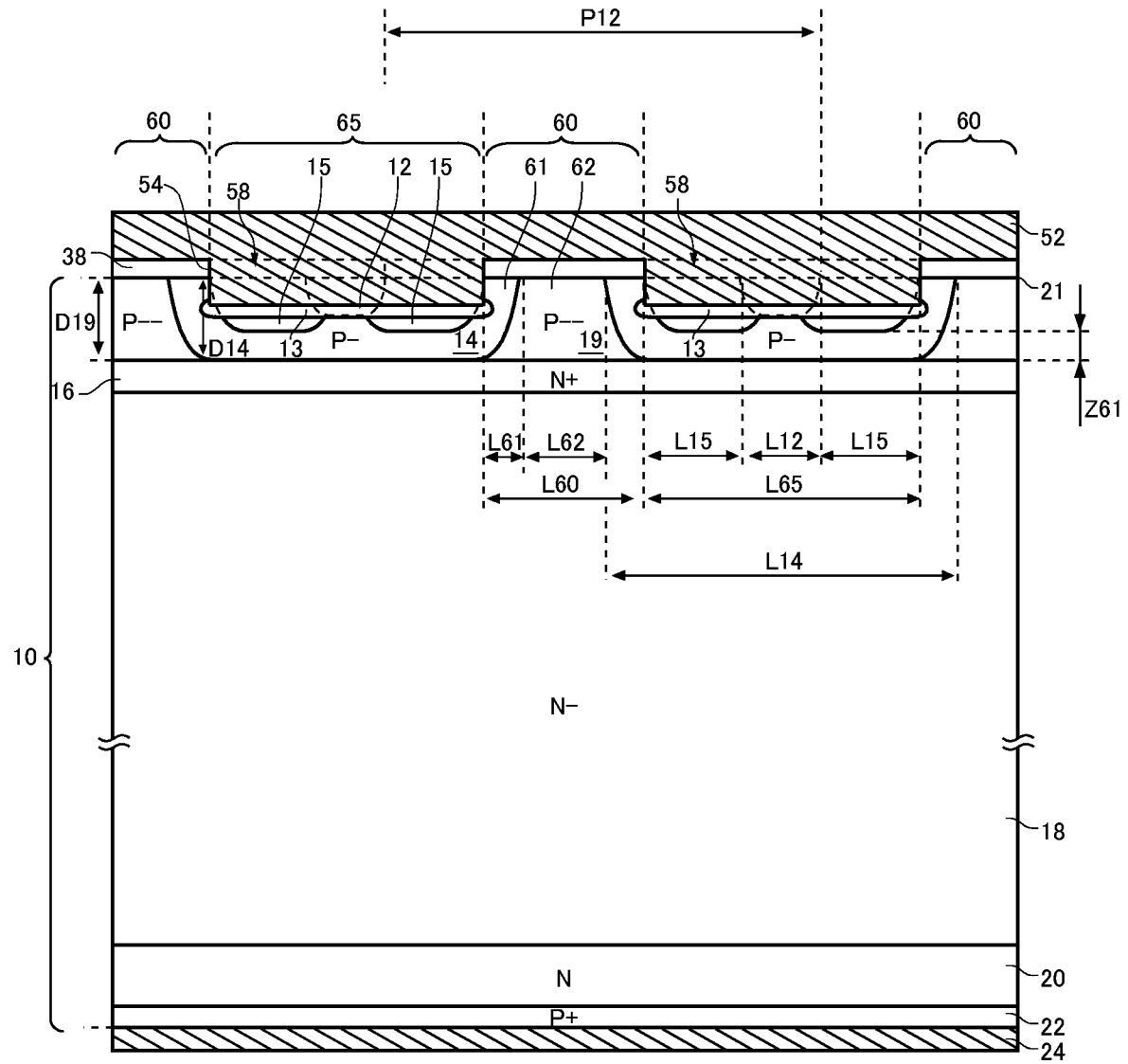
[4C]



d-d'

100

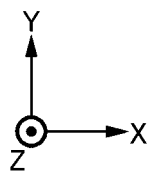
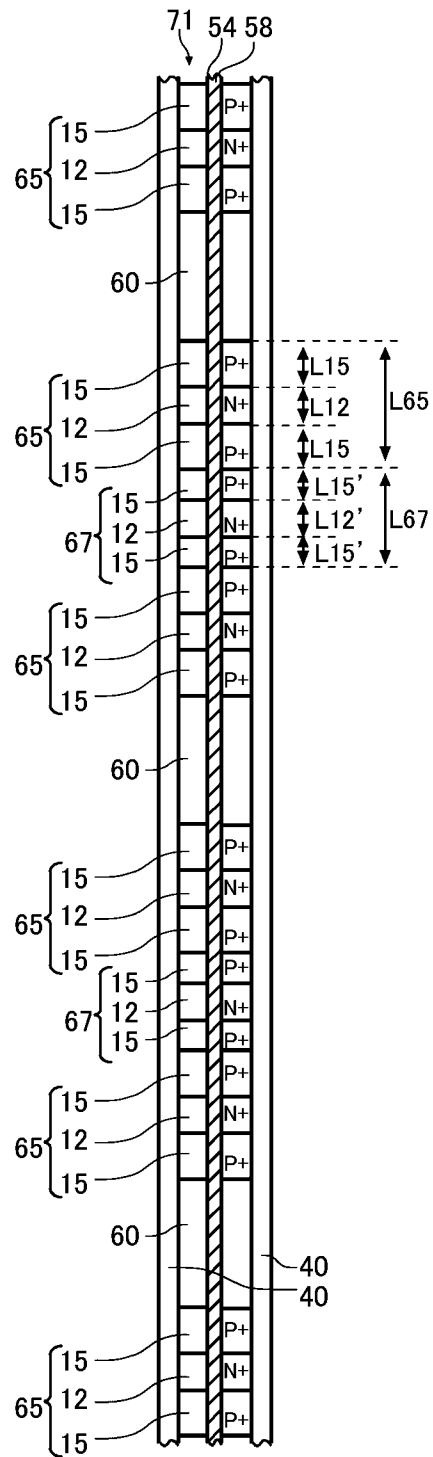
[4G]



d-d'

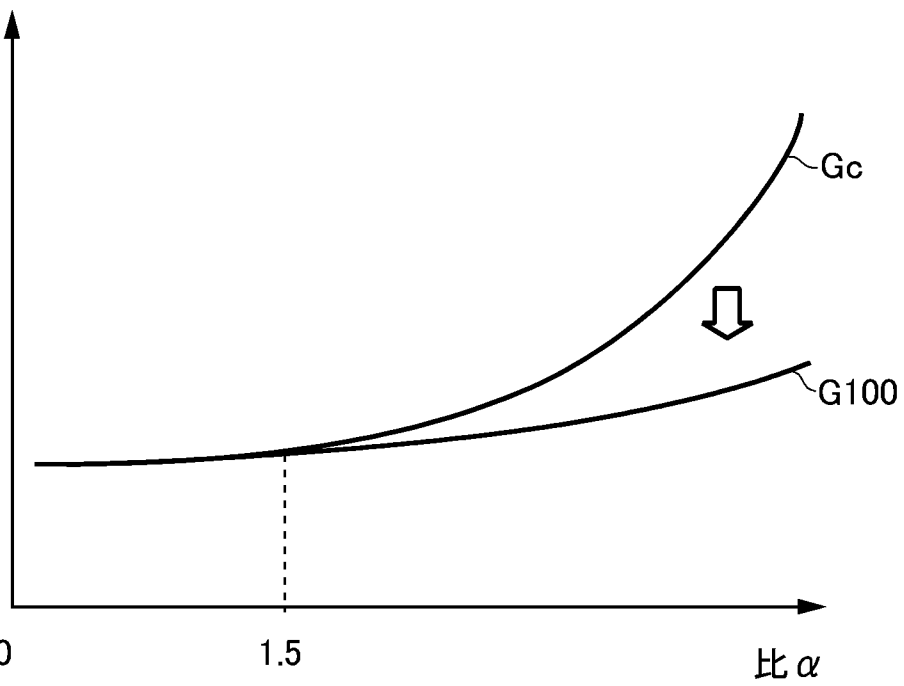
100

[5B]



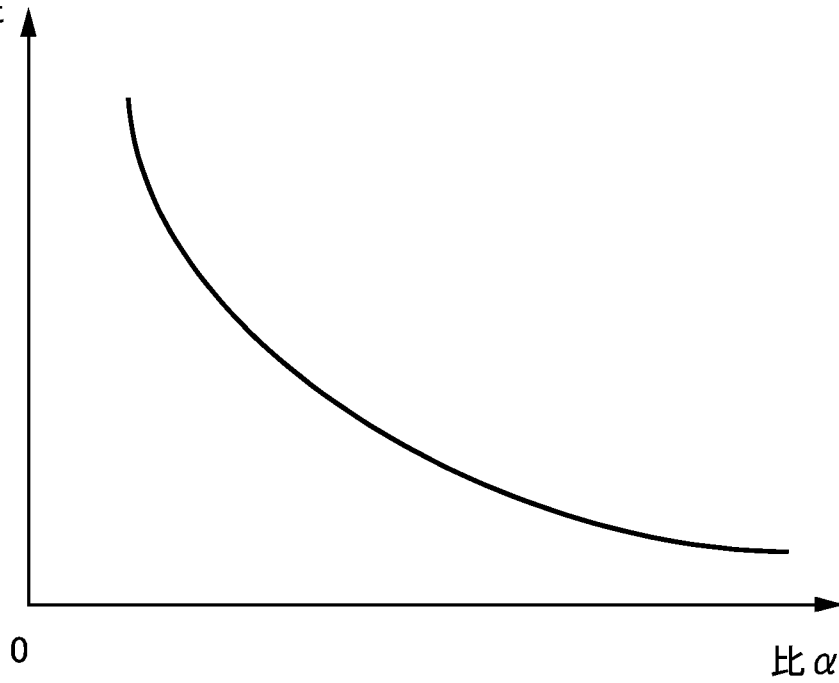
[6A]

Err

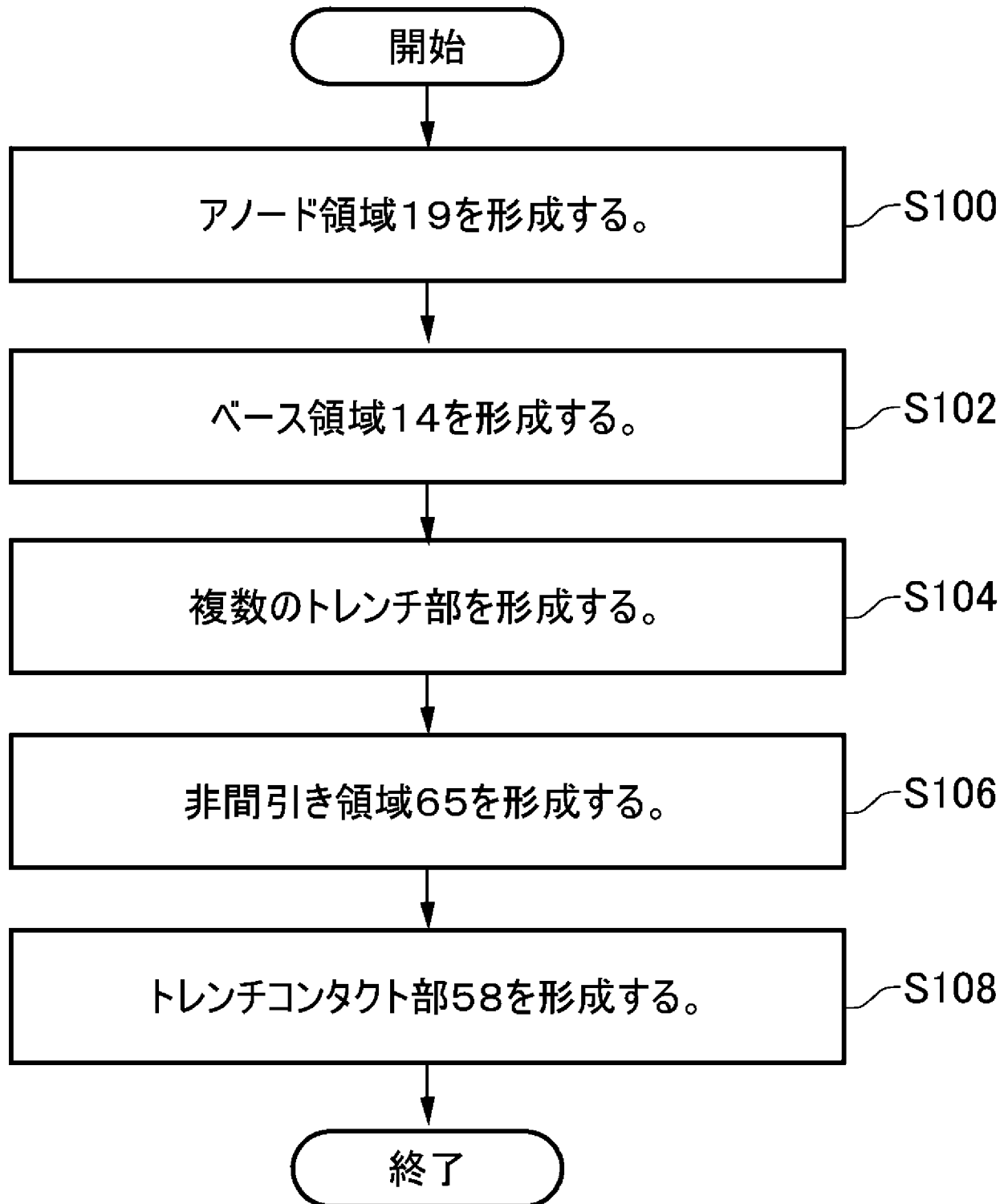


[6B]

Isat



[図 7]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2024/036553

A. CLASSIFICATION OF SUBJECT MATTER

H10D 12/00(2025.01)i; **H10D 8/50**(2025.01)i; **H10D 30/01**(2025.01)i; **H10D 30/66**(2025.01)i; **H10D 84/80**(2025.01)i
FI: H01L29/78 655E; H01L27/06 102A; H01L29/78 652J; H01L29/78 652M; H01L29/78 652Q; H01L29/78 652T;
H01L29/78 653A; H01L29/78 655G; H01L29/78 657A; H01L29/78 657D; H01L29/78 657F; H01L29/78 658A;
H01L29/91 C; H01L29/91 F

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L29/78; H01L21/336; H01L21/8234; H01L27/06; H01L29/12; H01L29/739; H01L29/861; H01L29/868

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2024
Registered utility model specifications of Japan 1996-2024
Published registered utility model applications of Japan 1994-2024

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	WO 2011/136272 A1 (NISSAN MOTOR CO., LTD.) 03 November 2011 (2011-11-03) paragraphs [0014], [0024], [0044], [0072]-[0077], fig. 22A, 23	1-6, 9-14, 17, 21-23
Y	paragraphs [0014], [0024], [0044], [0072]-[0077], fig. 22A, 23	15-16, 18-19
A	paragraphs [0014], [0024], [0044], [0072]-[0077], fig. 22A, 23	7-8, 20, 24
Y	JP 2023-135082 A (FUJI ELECTRIC CO., LTD.) 28 September 2023 (2023-09-28) paragraphs [0076]-[0077], [0082]-[0083], [0088], fig. 1	1-6, 9-12, 15-24
Y	JP 2021-144998 A (DENSO CORPORATION) 24 September 2021 (2021-09-24) paragraphs [0018]-[0019], [0026]-[0028], [0031], [0053], [0063]-[0065], fig. 2, 11	1-6, 9-12, 15-24
A	paragraphs [0018]-[0019], [0026]-[0028], [0031], [0053], [0063]-[0065], fig. 2, 11	7-8, 13-14
Y	JP 2019-021931 A (FUJI ELECTRIC CO., LTD.) 07 February 2019 (2019-02-07) paragraphs [0031], [0035], fig. 1-2	3-6, 10-12, 15-16



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance
“D” document cited by the applicant in the international application
“E” earlier application or patent but published on or after the international filing date
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
“O” document referring to an oral disclosure, use, exhibition or other means
“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

04 December 2024

Date of mailing of the international search report

17 December 2024

Name and mailing address of the ISA/JP

Japan Patent Office (ISA/JP)
3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915
Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2024/036553

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2021-073714 A (FUJI ELECTRIC CO., LTD.) 13 May 2021 (2021-05-13) paragraphs [0058], [0090], [0115], fig. 1	20, 24
A	JP 2020-072137 A (MITSUBISHI ELECTRIC CORPORATION) 07 May 2020 (2020-05-07) fig. 2	1-24

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2024/036553

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
WO	2011/136272	A1	03 November 2011	US 2013/0043524 A1 paragraphs [0068], [0078], [0096], [0115]-[0119], fig. 22A, 23 EP 2565922 A1 CN 102859689 A KR 10-2013-0008066 A	
JP	2023-135082	A	28 September 2023	US 2023/0299077 A1 paragraphs [0081]-[0082], [0087]-[0088], [0093], fig. 1 CN 116779609 A	
JP	2021-144998	A	24 September 2021	US 2022/0415884 A1 paragraphs [0033]-[0034], [0041]-[0043], [0046], [0068], [0078]-[0080], fig. 2, 11 CN 115280513 A WO 2021/182352 A1	
JP	2019-021931	A	07 February 2019	US 2014/0070270 A1 paragraphs [0065], [0069], fig. 1-2	
JP	2021-073714	A	13 May 2021	US 2020/0091329 A1 paragraphs [0079], [0111], [0136], fig. 1 CN 110770914 A WO 2019/116748 A1	
JP	2020-072137	A	07 May 2020	US 2020/0135717 A1 fig. 2 DE 102019216131 A1 CN 111129135 A	

A. 発明の属する分野の分類（国際特許分類（IPC））

H10D 12/00(2025.01)i; H10D 8/50(2025.01)i; H10D 30/01(2025.01)i; H10D 30/66(2025.01)i;
H10D 84/80(2025.01)i
FI: H01L29/78 655E; H01L27/06 102A; H01L29/78 652J; H01L29/78 652M; H01L29/78 652Q; H01L29/78 652T;
H01L29/78 653A; H01L29/78 655G; H01L29/78 657A; H01L29/78 657D; H01L29/78 657F; H01L29/78 658A;
H01L29/91 C; H01L29/91 F

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

H01L29/78; H01L21/336; H01L21/8234; H01L27/06; H01L29/12; H01L29/739; H01L29/861; H01L29/868

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報1922-1996年
日本国公開実用新案公報1971-2024年
日本国実用新案登録公報1996-2024年
日本国登録実用新案公報1994-2024年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	WO 2011/136272 A1（日産自動車株式会社）03.11.2011（2011-11-03） 段落0014, 0024, 0044, 0072-0077, 図22A, 23	1-6, 9-14, 17, 21-23
Y	段落0014, 0024, 0044, 0072-0077, 図22A, 23	15-16, 18-19
A	段落0014, 0024, 0044, 0072-0077, 図22A, 23	7-8, 20, 24
Y	JP 2023-135082 A（富士電機株式会社）28.09.2023（2023-09-28） 段落0076-0077, 0082-0083, 0088, 図1	1-6, 9-12, 15-24
Y	JP 2021-144998 A（株式会社デンソー）24.09.2021（2021-09-24） 段落0018-0019, 0026-0028, 0031, 0053, 0063-0065, 図2, 11	1-6, 9-12, 15-24
A	段落0018-0019, 0026-0028, 0031, 0053, 0063-0065, 図2, 11	7-8, 13-14
Y	JP 2019-021931 A（富士電機株式会社）07.02.2019（2019-02-07） 段落0031, 0035, 図1-2	3-6, 10-12, 15-16

☒ C欄の続きにも文献が列挙されている。☒ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー
“A” 特に関連のある文献ではなく、一般的技術水準を示すもの
“D” 国際出願で出願人が先行技術文献として記載した文献
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
“I” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
“O” 口頭による開示、使用、展示等に言及する文献
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献

“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの
“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
“&” 同一パテントファミリー文献

国際調査を完了した日
04.12.2024

国際調査報告の発送日
17.12.2024

名称及びあて先
日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目4番3号

権限のある職員（特許庁審査官）

西村 治郎 5F 1164

電話番号 03-3581-1101 内線 3514

C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2021-073714 A (富士電機株式会社) 13.05.2021 (2021 - 05 - 13) 段落0058, 0090, 0115, 図1	20, 24
A	JP 2020-072137 A (三菱電機株式会社) 07.05.2020 (2020 - 05 - 07) 図2	1-24

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2024/036553

引用文献			公表日	パテントファミリー文献			公表日
WO	2011/136272	A1	03.11.2011	US	2013/0043524	A1	
				Paragraphs0068,0078,0096, 0115-0119, Figs.22A,23			
				EP	2565922	A1	
				CN	102859689	A	
				KR	10-2013-0008066	A	

JP	2023-135082	A	28.09.2023	US	2023/0299077	A1	
				Paragraphs0081-0082, 0087-0088,0093, Fig.1			
				CN	116779609	A	

JP	2021-144998	A	24.09.2021	US	2022/0415884	A1	
				Paragraphs0033-0034, 0041-0043,0046,0068, 0078-0080, Figs.2,11			
				CN	115280513	A	
				WO	2021/182352	A1	

JP	2019-021931	A	07.02.2019	US	2014/0070270	A1	
				Paragraphs0065,0069, Figs.1-2			

JP	2021-073714	A	13.05.2021	US	2020/0091329	A1	
				Paragraphs0079,0111,0136, Fig.1			
				CN	110770914	A	
				WO	2019/116748	A1	

JP	2020-072137	A	07.05.2020	US	2020/0135717	A1	
				Fig.2			
				DE	102019216131	A1	
				CN	111129135	A	
