

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5038188号
(P5038188)

(45) 発行日 平成24年10月3日(2012.10.3)

(24) 登録日 平成24年7月13日(2012.7.13)

(51) Int.Cl.			F I		
HO4N	9/07	(2006.01)	HO4N	9/07	A
HO4N	5/347	(2011.01)	HO4N	5/335	470
HO4N	5/374	(2011.01)	HO4N	5/335	740
HO1L	27/146	(2006.01)	HO1L	27/14	A

請求項の数 8 (全 14 頁)

(21) 出願番号 特願2008-47664 (P2008-47664)
 (22) 出願日 平成20年2月28日(2008.2.28)
 (65) 公開番号 特開2009-206883 (P2009-206883A)
 (43) 公開日 平成21年9月10日(2009.9.10)
 審査請求日 平成23年1月20日(2011.1.20)

(73) 特許権者 000001007
 キヤノン株式会社
 東京都大田区下丸子3丁目30番2号
 (74) 代理人 100126240
 弁理士 阿部 琢磨
 (74) 代理人 100124442
 弁理士 黒岩 創吾
 (72) 発明者 黒田 享裕
 東京都大田区下丸子3丁目30番2号 キ
 ヤノン株式会社内
 審査官 吉川 康男

最終頁に続く

(54) 【発明の名称】 撮像装置及びそれを用いた撮像システム

(57) 【特許請求の範囲】

【請求項1】

光電変換部と、前記光電変換部からの信号電荷を転送する転送トランジスタを含む複数の画素と、

列に沿った方向に配列した前記画素に共通に設けられた前記信号電荷を蓄積する不純物拡散領域、前記不純物拡散領域に蓄積された信号電荷に基づく信号を出力する増幅トランジスタ及び前記不純物拡散領域の電位をリセットするリセットトランジスタと、を有する単位画素群が行列状に配列された画素群を備える光電変換装置であって、

行に沿った方向に隣接する複数の前記単位画素群について、隣接する2行の前記光電変換部に対応する転送トランジスタを制御するための制御線は、行に沿った方向に奇数行と偶数行に交互に接続されていることを特徴とする撮像装置。

【請求項2】

前記複数の画素に対してR、G、Bフィルタからなるベイヤー配列のカラーフィルタが設けられ、行に沿った方向に隣接し、1本の共通の前記制御線に接続された前記単位画素群の斜め方向に隣接する前記Gフィルタを配した画素からは、各々の前記単位画素群の増幅トランジスタより同時に前記信号が出力され、さらに、別の1本の共通の前記制御線に接続された、行に沿った方向に隣接する前記単位画素群の、前記Rフィルタを配した画素及びBフィルタを配した画素からは、各々の増幅トランジスタより同時に前記信号が出力されることを特徴とする請求項1に記載の撮像装置。

【請求項3】

10

20

前記撮像装置は、少なくとも2つの前記単位画素群の増幅トランジスタから出力された信号を加算する加算手段を備えることを特徴とする請求項1または2に記載の撮像装置。

【請求項4】

前記複数の画素に対してR、G、Bフィルタからなるベイヤー配列のカラーフィルタが設けられ、1つの前記単位画素群に含まれる前記Rフィルタが配された2つの画素、または前記Bフィルタが配された2つの画素に対する2本の前記制御線が同時に制御され、前記Rフィルタが配された2つの画素または前記Bフィルタが配された2つの画素の信号電荷が前記不純物拡散領域に同時に転送されることを特徴とする請求項1乃至3のいずれか1項に記載の撮像装置。

【請求項5】

行に沿った方向に隣接する前記単位画素群の、斜め方向に隣接する前記Gフィルタを配された画素からの信号は、前記加算手段で加算されることを特徴とする請求項3に記載の撮像装置。

【請求項6】

1行の前記画素に対応して、前記増幅トランジスタから出力された信号を保持する保持容量を備えるラインメモリ部を複数有し、一つの前記ラインメモリ部には前記Gフィルタが配された画素からの信号のみが保持され、別の一つの前記ラインメモリ部には前記Rフィルタが配された画素及び前記Bフィルタが配された画素からの信号のみが保持され、さらに、前記一つのラインメモリ部に保持された信号と、前記別の一つのラインメモリ部に保持された信号とは、互いに異なる出力部に入力されることを特徴とする請求項2乃至5のいずれか1項に記載の撮像装置。

【請求項7】

前記一つのラインメモリ部に保持された信号と、前記別の一つのラインメモリ部に保持された信号とは、少なくとも一部が並行して出力されることを特徴とする請求項6に記載の撮像装置。

【請求項8】

請求項1乃至7のいずれか1項に記載の撮像装置と、

該撮像装置に入射光を結像する光学系と、

前記撮像装置からの信号を処理する信号処理回路とを有することを特徴とする撮像システム。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、デジタルスチルカメラやビデオカメラ等に用いられる撮像装置及びそれを用いた撮像システムに関するものである。

【背景技術】

【0002】

デジタルスチルカメラは1000万画素の撮像素子が使用されるようになった。これは銀塩写真画質を追求した結果であって主に静止画専用に使われている。一方、フルハイビジョン相当の動画像を得るために必要な画素数は200万画素程度である。

【0003】

例えば、1000万画素の撮像素子を動画で使用すると、200万画素の場合の5倍の読み出し速度が必要となる。この場合、消費電力が非常に増大し、かかる消費電力増大によるノイズの悪化が生じ、更に画像処理用のメモリ増大によるコストアップを招く問題がある。

【0004】

このような問題を解決するものとして、例えば、特開2000-341699号公報に開示された撮像装置がある(特許文献1)。同公報のものでは、複数画素の信号を共通アンプ構成による画素を用いることにより、共通アンプの入力ノードで電荷加算読み出しを行っている。

10

20

30

40

50

【 0 0 0 5 】

しかし、特許文献 1 のものでは、画素の駆動が複雑になること、それに伴い画素の駆動に必要な配線が増加し、開口率が減少する。従って、画素の駆動回路増大によるコストアップを招き、更に、感度低下により良好な画質を得ることができなくなる。

【 0 0 0 6 】

そこで、かかる課題を解決するものとして、例えば、特開 2 0 0 6 - 0 7 3 7 3 3 号公報に開示された撮像装置がある（特許文献 2）。同公報のものでは、4 行 1 列の共通アンプ構成による画素を用いることで、画素駆動に必要な配線の増加がなく、画素上での加算が可能である。

【 0 0 0 7 】

また、特許文献 3 には、一本のゲート線を、あるラインの画素の一部と接続するとともに、あるラインと隣接するラインの画素の一部とも接続することで、ラインに相関性のあるノイズを分散させる技術が開示されている。

【特許文献 1】特開 2 0 0 0 - 3 4 1 6 9 9 号公報

【特許文献 2】特開 2 0 0 6 - 0 7 3 7 3 3 号公報

【特許文献 3】米国特許 6 7 3 4 4 1 4 号公報

【発明の開示】

【発明が解決しようとする課題】

【 0 0 0 8 】

特許文献 2 のものは、画素上での加算は垂直方向のみであるが、カラーフィルタの配列によっては加算後の各色の画像情報は、空間的に等間隔でなくなり、解像感が劣化するという課題がある。そのため、斜め方向の画素信号を加算することが要求されている。特許文献 2 の技術では斜め方向の隣接画素の加算を行うためにラインメモリのような信号を保持する回路を追加する必要がある。そして、一般に画素は行または列単位で走査されるので、斜め方向の加算を行うためには回路構成と駆動方法がともに複雑になるという問題が生じる。

【 0 0 0 9 】

また、特許文献 3 には、斜め方向に隣接する画素からの信号を加算することについての開示はない。

【 0 0 1 0 】

本発明の目的は、斜め方向の加算を容易に行える撮像装置及びそれを用いた撮像システムを提供することにある。

【課題を解決するための手段】

【 0 0 1 1 】

本発明は、光電変換部と、前記光電変換部からの信号電荷を転送する転送トランジスタを含む複数の画素と、列に沿った方向に配列した前記画素に共通に設けられた前記信号電荷を蓄積する不純物拡散領域、前記不純物拡散領域に蓄積された信号電荷に基づく信号を出力する増幅トランジスタ及び前記不純物拡散領域の電位をリセットするリセットトランジスタと、を有する単位画素群が行列状に配列された画素群を備える光電変換装置であって、行に沿った方向に隣接する複数の前記単位画素群について、隣接する 2 行の前記光電変換部に対応する転送トランジスタを制御するための制御線は、行に沿った方向に奇数行と偶数行に交互に接続されていることを特徴とする。

【発明の効果】

【 0 0 1 2 】

本発明によれば、各列における複数行の画素に対して共通アンプ構成とし、転送制御線を行に沿った方向に対して奇数行画素と偶数行画素とに交互に接続している。そのため、画素駆動に必要な配線を増やすことなく、斜め方向に隣接した画素の信号電荷を同時に読み出すことが可能となり、斜め方向に隣接した画素の信号電荷の加算を容易に行うことが可能となる。

【発明を実施するための最良の形態】

10

20

30

40

50

【 0 0 1 3 】

次に、添付図面を参照しながら発明を実施するための最良の形態について詳細に説明する。図1は本発明に係る撮像装置の一実施形態を示すブロック図である。この撮像装置は固体撮像装置又はC M O Sイメージセンサとも呼ばれる。図1において、撮像装置100は、画素アレイ部11、垂直走査回路12、ラインメモリ部であるラインメモリ回路13a、13b、水平走査回路14a、14b、出力アンプ15a、15bを備えている。ラインメモリ部などは複数有している。

【 0 0 1 4 】

図1から明らかなように、ここで示す撮像装置100は、ラインメモリ回路13a及び出力アンプ15aを介して信号を出力する系統と、ラインメモリ回路13b及び出力アンプ15bを介して信号を出力する系統の2つの出力系統を有する。

10

【 0 0 1 5 】

画素アレイ部11には、複数の単位画素群が行及び列に沿った方向に2次元状、すなわち行列状に配列されている。各単位画素群は、複数の画素を含んで構成され、典型的には1つの画素が1つの行に対応する。更に、画素アレイ部11は2次元状に配列されたカラーフィルタ(不図示)を備えている。カラーフィルタは各画素に配置されている。

【 0 0 1 6 】

ここでは、2行2列のマトリックスを1単位としてGフィルタは1単位の半分、即ち、対角線上の2画素に配され、Rフィルタ、Bフィルタは1単位の残り半分にそれぞれ1画素ずつ配するベイヤー配列となっている。以下、Gフィルタ、Rフィルタ、Bフィルタを配した画素をそれぞれG画素、R画素、B画素という。

20

【 0 0 1 7 】

ラインメモリ回路13aの構成の一例を図2に示す。画素アレイ部11からの信号が伝達される垂直信号線30は、典型的には画素アレイ部の画素列に対応して設けられるもので、スイッチ1301及び1302のそれぞれを介して保持容量1303及び1304と接続される。保持容量1303及び1304には、それぞれ画素アレイ部から読み出された信号が保持される。

【 0 0 1 8 】

スイッチ1310を信号ADDにより導通させると、スイッチ1310で接続された2列分の保持容量1303同士が電氣的に接続され、2つの容量に保持された信号が加算(平均化)される。また、スイッチ1311を信号ADDにより導通させると、スイッチ1311で接続された2列分の保持容量1304同士が電氣的に接続され、2つの容量に保持された信号が加算(平均化)される。

30

【 0 0 1 9 】

このようにして、隣り合う列の信号を加算する機能をラインメモリ回路13aで実現できる。制御線1307を介して水平走査回路14aから入力される信号によりスイッチ1305及び1306がオンになると、保持容量1303及び1304に保持された信号がそれぞれ水平信号線1308及び1309に出力される。水平信号線1308及び1309に出力された信号は、不図示の出力部である出力アンプ15aに入力される。ラインメモリ回路13bもラインメモリ回路13aと同じ構成である。

40

【 0 0 2 0 】

水平走査回路14aはラインメモリ回路13aにおいて保存されている信号を順番に選択する。水平走査回路14aによって選択された列の信号は、水平出力線1308及び1309に出力され、出力アンプ15aからその差信号を出力する。

【 0 0 2 1 】

以上の構成は、撮像装置の一つの構成例に過ぎず、本発明はこれに限定されるものではない。例えば、ラインメモリ回路13a、出力アンプ15a等を含んで構成される出力系統は、1つ又は3つ以上でもよい。

【 0 0 2 2 】

また、それぞれのラインメモリ回路13a、13bに保持された信号をそれぞれの出力

50

系統から信号を出力する際に、少なくとも一部を並行して出力することで出力に要する時間を短縮することができる。全ての信号を同一の期間で並行して出力させると特に効果的である。

【0023】

図3は1つの単位画素群が行に沿った方向に3つ配置された構成例を示す回路図である。各単位画素群20は回路要素として、例えば、複数の光電変換部21a~21d、複数の転送トランジスタ22a~22dを含んでいる。また、1つの不純物拡散領域(Floating Diffusion;以下、FDと称す)23、1つの増幅トランジスタ24及び1つのリセットトランジスタ25を含んでいる。図3では各単位画素群20が4個の光電変換部21a~21d、及び4個の転送トランジスタ22a~22d、即ち、4画素を含む構成を例示する。

10

【0024】

各単位画素群20は、更に前述の信号出力線30と、転送制御線31a~31dと、リセット信号線32とを含んでいる。信号出力線30は、典型的には同一列内の複数の単位画素群20によって共用される。リセット信号線32は、典型的には行に沿った方向に配列された複数の単位画素群20によって共用される。

【0025】

本実施形態では、複数の転送トランジスタ22a~22dのそれぞれのドレインが相互に接続され、1つのFD23が形成されている。これにより、1画素あたりの光電変換部の面積を大きくし、開口率を高くすることができる。

20

【0026】

光電変換部21a~21dはアノードがグラウンドに接続され、入射光をその光量に応じた電荷に光電変換して蓄積する。転送トランジスタ22a~22dは対応する光電変換部で発生した信号電荷をFD23に転送する。より具体的には、転送トランジスタ22a~22dはソースが対応する光電変換部21a~21dのカソードに接続されている。またゲートが対応する転送制御線31a~31dに接続され、ドレインがFD23及び増幅トランジスタ24のゲートに接続されている。

【0027】

転送トランジスタ22a~22dは複数の光電変換部21a~21dと増幅トランジスタ24のゲート電極との間に配置されている。転送制御線31a~31dの電位がハイレベルになると、光電変換部21a~21d内に蓄積された電荷をFD23に転送する。FD23は、光電変換部21a~21dからそれぞれに対応する転送トランジスタを介して転送される信号電荷を蓄積する。ここで、複数の光電変換部に蓄積された電荷を同時にFD23に転送することで、信号電荷の加算を行うことが可能である。

30

【0028】

増幅トランジスタ24はゲートがFD23に接続され、ドレインが電源線33に接続され、ソースが信号出力線30に接続され、FD23に蓄積された信号電荷に基づき信号出力線30に出力する。

【0029】

リセットトランジスタ25は、ソースがFD23及び増幅トランジスタ24のゲートに接続され、ドレインが電源線33に接続され、ゲートがリセット信号線32に接続されている。リセットトランジスタ25はリセット信号線32がハイレベルになると、FD23の電位、つまり、増幅トランジスタ24のゲート電位を電源線33の電位にリセットする。同時に、転送トランジスタを導通させることにより光電変換部もリセットすることが可能である。

40

【0030】

転送制御線31aはN列目の単位画素群では転送トランジスタ22aに接続され、N+1列目の単位画素群では転送トランジスタ22bに接続されている。更にN+2列目の単位画素群では転送トランジスタ22aに接続され、行に沿った方向に対して奇数行と偶数行とに交互に接続されている。

50

【 0 0 3 1 】

同様に転送制御線 3 1 b ~ 3 1 d も行に沿った方向に対して奇数行と偶数行に交互に各転送トランジスタと接続されている。つまり、単位画素群における隣接する画素の転送トランジスタを駆動する 2 つの転送制御線が、画素の行に沿った方向に対して奇数行と偶数行とで交互に接続されている。

【 0 0 3 2 】

次に、本実施形態による撮像装置の画素の読出し方法を、加算しないで読み出す場合（以下、非加算モード時）と、加算して読み出す場合（以下、加算モード時）の動作について図 4 乃至 8 を用いて説明する。

【 0 0 3 3 】

図 4 及び図 6 ~ 図 7 は画素の読出し方法を説明する図である。4 0 は画素アレイ部である。ここでは、8 x 4 画素の構成例を示す。画素アレイ部 4 0 の G、R、B はそれぞれ G 画素、R 画素及び B 画素を示す。4 1 及び 4 2 はラインメモリ回路である。3 1 a ~ 3 1 d は転送制御線を示し、図 3 の 3 1 a ~ 3 1 d に対応する。

【 0 0 3 4 】

なお、画素アレイ部 4 0 は図 1 の画素アレイ部 1 1、ラインメモリ回路 4 1、4 2 は図 1 のラインメモリ回路 1 3 a、1 3 b に対応する。また、図 4、図 6、図 7 における N 列目の R 1 1、G 2 1、R 3 1、G 4 1 の画素は、図 3 の光電変換部 2 1 a、2 1 b、2 1 c、2 1 d にそれぞれ対応する。他の列も同様である。更に、図 4、図 6、図 7 に示す（R 1 1、G 1 2、G 2 1、B 2 2）、（R 3 1、G 3 2、G 4 1、B 4 2）等は本実施形態の 2 行 2 列のペイヤー配列による画素の配列を示す。

【 0 0 3 5 】

図 5 及び図 8 は画素の信号電荷転送と画素からの出力信号のタイミングを示す図である。図 5 は非加算モード時、図 8 は加算モード時の動作を示す。H D は後述するタイミング発生部 1 0 0 8 から出力される水平同期信号、T X 1 ~ T X 4 は垂直走査回路 1 2 から図 4、図 6、図 7 の転送制御線 3 1 a ~ 3 1 d に印加される転送パルスを示す。ここでは、出力系統を 2 つ備えた場合を示す。O U T 1 ~ O U T 2 は図 1 の O U T 1 ~ O U T 2 の信号に対応し、画素からの出力信号である。1 H は 1 水平走査期間を示す。

【 0 0 3 6 】

次に、本実施形態の非加算モード時の画素の読出し方法を図 4 及び図 5 を用いて説明する。図 5 に示すように時刻 t 1 に転送パルス T X 1 がハイレベルとなると、転送制御線 3 1 a に接続されている 1 行分の画素の信号が信号出力線 3 0 に出力される。この時の信号出力はスイッチ（不図示）にてラインメモリ回路 4 1 に読み出される。すなわち、1 本の共通の制御線に接続された、行に沿った方向に隣接する単位画素群の、R フィルタを配した画素及び B フィルタを配した画素からは、各々の増幅トランジスタより同時に信号が出力される。

【 0 0 3 7 】

時刻 t 2 に T X 2 がハイレベルとなると、転送制御線 3 1 b に接続されている 1 行分の画素の信号が信号出力線 3 0 に出力される。すなわち、1 本の共通の前記制御線に接続された単位画素群の斜め方向に隣接する G フィルタを配した画素からは、各々の単位画素群の増幅トランジスタより同時に信号が出力される。この時の信号出力はスイッチ（不図示）にて別の出力系統に接続されているラインメモリ回路 4 2 に読み出される。

【 0 0 3 8 】

本実施形態では、上述したように画素の転送制御線が行に沿った方向に対して奇数行と偶数行とに交互に各転送トランジスタに接続されている。そのため、時刻 t 3 にラインメモリ回路 4 1 及び 4 2 に読み出されている画素信号は、図 4 に示すように R 1 1、B 2 2、R 1 3、... 及び G 2 1、G 1 2、G 2 3、... となる。時刻 t 3 以降、図 1 に示す水平走査回路 1 4 により画素信号が出力され、O U T 1 には R 1 1、B 2 2、R 1 3、... が、O U T 2 には G 2 1、G 1 2、G 2 3、... が順次出力される。

【 0 0 3 9 】

10

20

30

40

50

同様に、時刻 t_4 に画素信号がラインメモリ回路 4 1 に、時刻 t_5 に画素信号がラインメモリ回路 4 2 に読み出され、時刻 t_6 以降、OUT 1 には R 3 1、B 4 2、R 3 3、... が、OUT 2 には G 4 1、G 3 2、G 4 3、... が順次出力される。

【0040】

このように非加算モード時には、複数の画素の斜め方向に隣接する G フィルタを配した画素と、もう一方の斜め方向に隣接する R フィルタを配した画素と B フィルタを配した画素とが独立して読み出される。

【0041】

本実施形態では、斜め方向に隣接する G 画素 (G 2 1、G 1 2、G 2 3、...) を同じ出力系統、即ち、ラインメモリ回路 4 2 及びそれに接続された出力系統に読み出すことが可能である。従って、出力系統の違いに起因する G 画素信号間の出力の大きさの違いが発生しない。G 画素信号で出力が大きく異なると後段の信号処理で偽色と呼ばれるパターンが発生してしまうが、本実施形態ではこの偽色の発生を抑制することが可能である。

10

【0042】

以上により、例えば、静止画を撮影する場合には非加算モードにすることにより、高精細な画像を得ることができる。

【0043】

次に、本実施形態による加算モード時の画素の読出し方法を、図 6 乃至図 8 を用いて説明する。図 8 に示す HD、TX 1 ~ TX 4、OUT 1、OUT 2 は図 5 の説明と同様である。図 8 に示すように時刻 t_1 で転送パルス TX 1 及び TX 3 がハイレベルとなると、転送制御線 3 1 a 及び 3 1 c に接続されている画素の信号が画素の FD 上で加算され、ラインメモリ回路に読み出される。

20

【0044】

図 6 は時刻 t_2 にラインメモリ回路 4 1 及び 4 2 に読み出されている画素信号を示す。ここでは、奇数列の R 画素信号をラインメモリ回路 4 1 に、偶数列の B 画素信号をラインメモリ回路 4 2 に振り分けて読み出す場合を示す。つまり、1 つの単位画素群に含まれる R フィルタが配された 2 つの画素、または B フィルタが配された 2 つの画素に対する 2 本の制御線が同時に制御され、同色のフィルタが配された 2 つの画素の信号電荷が FD 部に同時に転送され、加算される。時刻 t_2 以降、水平走査回路 1 4 により画素信号が出力され、OUT 1 には R 1 1 + R 3 1、R 1 3 + R 3 3、... が、OUT 2 には B 2 2 + B 4 2、B 2 4 + B 4 4、... が順次出力される。

30

【0045】

次に、図 8 に示すように時刻 t_3 で転送パルス TX 2 がハイレベルとなると、転送制御線 3 1 b に接続されている G 画素の信号がラインメモリ回路 4 1 に読み出される。また、時刻 t_4 で転送パルス TX 4 がハイレベルとなると、転送制御線 3 1 d に接続されている G 画素の信号がラインメモリ回路 4 2 に読み出される。

【0046】

図 7 は時刻 t_5 にラインメモリ回路 4 1 及び 4 2 に読み出されている画素信号を示す。本実施形態では、ラインメモリ回路 4 1 及び 4 2 は隣接する 2 つの画素からの信号を加算する機能を備えている。そのため、時刻 t_5 以降、OUT 1 には斜め方向に隣接する画素同士の加算信号である G 2 1 + G 1 2、G 2 3 + G 1 4、... が、OUT 2 にはもう一方の斜め方向に隣接する画素同士の加算信号である G 4 1 + G 3 2、G 4 3 + G 3 4、... が順次出力される。

40

【0047】

なお、従来の技術においては、ラインメモリ回路にて隣接する 2 つの画素からの信号の加算を行うと、異なる色の情報を加算することになり、色情報を維持できない。同一の色の加算を行うためには、隣接同色画素 1 つ飛ばしの加算が必要となり、回路面積の増加や、配線が交差すること等によるクロストーク等の弊害が発生する。本実施形態によれば、隣接した 2 つの画素からの信号の加算を行うため、回路レイアウトは単純なものとなり、クロストークの影響を十分に小さくすることができる。

50

【 0 0 4 8 】

また、本実施形態では、同色のカラーフィルタを配した画素の信号電荷を同時に転送することで、垂直方向の同色 2 画素加算が可能である。更に、転送制御線を行に沿った方向に対して奇数行と偶数行とに交互に各転送トランジスタと接続することにより、斜め方向に隣接した G 画素の転送を同時に行うことが可能となる。従って、ラインメモリが増加することなく、ラインメモリ回路内で斜め方向に隣接する G 画素の信号を加算できる。

【 0 0 4 9 】

以上により、R 画素及び B 画素においては垂直方向すなわち列に沿った方向の 2 画素加算、G 画素においては斜め方向の隣接 2 画素加算ができる。加算モード時に加算した G 画素の重心は、図 9 に示すように黒丸印で示す位置に来るので、空間的に等間隔にすることが可能となる。従来の技術において、垂直方向のみの加算では加算後の信号重心が空間的に非等間隔になる（図 10 の黒丸印）という課題を解決することができる。

10

【 0 0 5 0 】

以上により、例えば、動画を撮影する場合には加算モードにすることにより、高画質な動画像を得ることが可能となる。

【 0 0 5 1 】

なお、転送トランジスタ 2 2 a ~ 2 2 d、増幅トランジスタ 2 4 及びリセットトランジスタ 2 5 は、N 型 MOS トランジスタで構成することが好ましいが、P 型 MOS トランジスタで構成してもよい。

【 0 0 5 2 】

図 1 1 は図 3 に示す単位画素群の構造の一例を示す平面パターン図（レイアウト図）である。図 1 1 では図 3 等と同一部分には同一符号を付している。図 1 1 において、ゲート電極 5 1 a ~ 5 1 d は、それぞれ、光電変換部 2 1 a ~ 2 1 d の光電変換領域（活性領域）5 2 a ~ 5 2 d と F D 5 3 a ~ 5 3 d との間に配置され、転送トランジスタ 2 2 a ~ 2 2 d のゲート電極を形成している。

20

【 0 0 5 3 】

F D 5 3 a ~ 5 3 d は、それぞれ、転送トランジスタ 2 2 a ~ 2 2 d のドレイン領域である。ゲート電極 5 6、ソース領域 5 7 及びドレイン領域 5 5 b は、増幅トランジスタ 2 4 を構成している。ゲート電極 5 4、ソース領域 5 3 e 及びドレイン領域 5 5 a は、リセットトランジスタ 2 5 を構成している。

30

【 0 0 5 4 】

ゲート電極 5 1 a ~ 5 1 d、5 4 及び 5 6 は、例えば、ポリシリコンで構成されている。N 列目の転送トランジスタ 2 2 a ~ 2 2 d のゲート電極 5 1 a ~ 5 1 d は、それぞれ、コンタクト部 6 2 a ~ 6 2 d を通して導電線である転送制御線 3 1 a ~ 3 1 d に接続されている。リセットトランジスタ 2 5 のゲート電極 5 4 は、コンタクト部 6 3 を介して導電線であるリセット信号線 3 2 に接続されている。

【 0 0 5 5 】

N 列目の F D 5 3 a ~ 5 3 d、増幅トランジスタ 2 4 のゲート電極 5 6 及びリセットトランジスタ 2 5 のソース領域 5 3 e はコンタクト部 6 0 a ~ 6 0 d、6 1 a、6 1 b 及び 6 0 e 及び導電線（不図示）を介して電氣的に接続され、F D 2 3 として利用される。リセットトランジスタ 2 5 のドレイン領域 5 5 a と増幅トランジスタ 2 4 のドレイン領域 5 5 b は、コンタクト部 6 4 a、6 4 b を介して導電線（不図示）である電源線 3 3 に接続されている。増幅トランジスタ 2 4 のソース領域 5 7 は、コンタクト部 6 5 を介して導電線（不図示）である信号出力線 3 0 に接続されている。

40

【 0 0 5 6 】

N + 1 列目の単位画素群において転送トランジスタのゲート電極 5 1 a、5 1 b、5 1 c、5 1 d は、それぞれ、コンタクト部 7 2 b、7 2 a、7 2 d、7 2 c を通して導電線である転送制御線 3 1 a、3 1 b、3 1 c、3 1 d に接続されている。即ち、図 1 1 から分かるように N 列目の単位画素群に対して転送制御線と転送トランジスタとの接続が逆となっており、上述のように画素の転送制御線が行に沿った方向に対して奇数行と偶数行と

50

に交互に各転送トランジスタに接続されている。

【0057】

本実施形態では、1つの光電変換領域52a及びそれに接続されたFD部53aの形状は、他の1つの光電変換領域52b及びそれに接続されたFD部53bの形状とミラー対称である。同様に、光電変換領域52c及びFD部53cと、光電変換領域52d及びFD部53dの形状もミラー対称である。

【0058】

このようなミラー対称の配置にすれば、単位セル内の複数のFDを共通に増幅トランジスタのゲートに接続するための導電線の長さを並進対称の配置に比べて短くすることができる。このことによって、各単位セルにおける増幅トランジスタやリセットトランジスタ等の配置の自由度が向上する。

10

【0059】

尚、図11においては、全ての転送制御線を同層の導電線で構成し、コンタクトの位置を変えることにより、奇数行及び偶数行の転送トランジスタのゲート電極との交差接続を実現しているが、これに限るものではない。例えば、2つの転送制御線が異なる層の導電線で構成しても良い。

【0060】

図12は本発明の撮像装置を用いた撮像システムの一実施形態を示す図である。撮像システム400は、上述のような本発明に係る撮像装置1004を備えている。被写体の光学像は、光学系のレンズ1002によって撮像装置1004の撮像面に結像する。レンズ1002の外側には、レンズ1002のプロテクト機能とメインスイッチを兼ねるバリア1001が設けられている。

20

【0061】

レンズ1002には、それから出射される光の光量を調節するための絞り1003が設けられている。撮像装置1004から複数チャンネルで出力される撮像信号は、撮像信号処理回路1005によって各種の補正、クランプ等の処理が施される。撮像信号処理回路1005から複数チャンネルで出力される撮像信号はA/D変換器1006でアナログ-デジタル変換される。

【0062】

A/D変換器1006から出力された画像データは、信号処理部1007によって各種の補正、データ圧縮等がなされる。撮像装置1004、撮像信号処理回路1005、A/D変換器1006及び信号処理部1007は、タイミング発生部1008が発生するタイミング信号に従って動作する。

30

【0063】

ブロック1005～1008は撮像装置1004と同一チップ上に形成してもよい。撮像システム400の各ブロックは、全体制御・演算部1009によって制御される。撮像システム400は、その他、画像データを一時的に記憶するためのメモリ部1010、記録媒体1012への画像の記録又は読み出しのための記録媒体制御インターフェース(I/F)部1011を備えている。記録媒体1012は半導体メモリ等を含んで構成され、着脱が可能である。撮像システム400は外部コンピュータ等と通信するための外部インターフェース(I/F)部1013を備えてもよい。

40

【0064】

次に、図12示す撮像システム400の動作について説明する。まず、バリア1001のオープンに応じてメイン電源、コントロール系の電源、A/D変換器1006等の撮像系回路の電源が順にオンする。その後、露光量を制御するために、全体制御・演算部1009が絞り1003を開放にする。撮像装置1004から出力された信号は撮像信号処理回路1005をスルーしてA/D変換器1006へ供給される。

【0065】

A/D変換器1006は、その信号をA/D変換して信号処理部1007に出力する。信号処理部1007は、そのデータを処理して全体制御・演算部1009に供給し、全体

50

制御・演算部 1009 において露出量を決定する演算を行う。全体制御・演算部 1009 は、決定した露出量に基づいて絞り 1003 を制御する。

【0066】

次に、全体制御・演算部 1009 は、撮像装置 1004 から出力され信号処理部 1007 で処理された信号から高周波成分を取り出し、高周波成分に基づいて被写体までの距離を演算する。その後、レンズ 1002 を駆動し、合焦か否かを判断する。合焦していないと判断したときは、再びレンズ 1002 を駆動し、距離を演算する。

【0067】

そして、合焦が確認された後に本露光が始まる。露光が終了すると、撮像装置 1004 から出力された撮像信号は、撮像信号処理回路 1005 において補正等が行われ、A/D 変換器 1006 で A/D 変換され、信号処理部 1007 で処理される。信号処理部 1007 で処理された画像データは、全体制御・演算部 1009 によりメモリ部 1010 に蓄積される。

【0068】

その後、メモリ部 1010 に蓄積された画像データは、全体制御・演算部 1009 の制御により記録媒体制御 I/F 部 1011 を介して記録媒体 1012 に記録される。また、その画像データは、外部 I/F 部 1013 を通して外部のコンピュータ等に提供されて処理される。

【0069】

また、先述した駆動モードの切り替えは、例えば不図示の操作部を操作することに応じて、タイミング発生部 1008 から各部に供給する信号が切り替わることによって実現することができる。

【産業上の利用可能性】

【0070】

本発明の撮像システムは、例えば、デジタルスチルカメラ、ビデオカメラ、或いは携帯電話機等の端末装置に搭載されるカメラモジュールとして好適に使用することができる。

【図面の簡単な説明】

【0071】

【図 1】本発明に係る撮像装置の一実施形態を示すブロック図である。

【図 2】ラインメモリ回路の構成例を示す回路図である。

【図 3】単位画素群の構成例を示す回路図である。

【図 4】非加算モード時の画素信号読み出し方法を説明する図である。

【図 5】非加算モード時の画素信号読み出し方法を説明するタイミング図である。

【図 6】加算モード時の画素の読み出し方法を説明する図である。

【図 7】加算モード時の画素の読み出し方法を説明する図である。

【図 8】加算モード時の画素の読み出し方法を説明するタイミング図である。

【図 9】加算モード時の G 画素による画像情報の空間的配置を示す図である。

【図 10】従来技術による画像情報の空間的配置を示す図である。

【図 11】単位画素群の構造の一例を示す平面パターン図である。

【図 12】本発明の撮像装置を用いた撮像システムの一実施形態を示す図である。

【符号の説明】

【0072】

100 撮像装置

11、40 画素アレイ部

12 垂直走査回路

13 a、13 b、41、42 ラインメモリ回路

14 水平走査回路

15 出力アンプ

20 単位画素群

21 a ~ 22 d 光電変換部

10

20

30

40

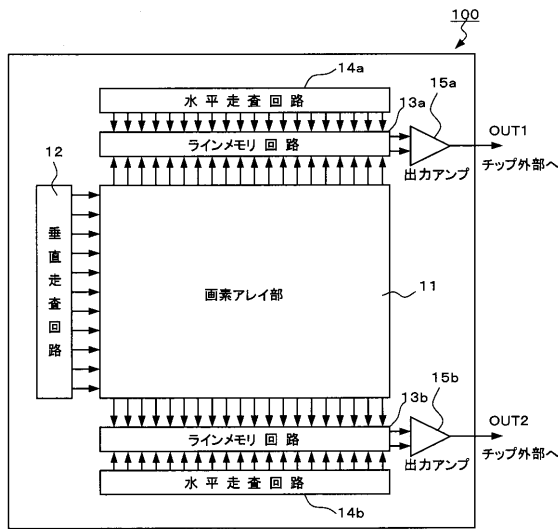
50

- 2 2 a ~ 2 2 d 転送トランジスタ
- 2 3 F D (フローティングディフュージョン部)
- 2 4 増幅トランジスタ
- 2 5 リセットトランジスタ
- 3 0 信号出力線
- 3 1 a ~ 3 1 d 転送制御信号線
- 3 2 リセット信号線
- 3 3 電源線
- 5 1 a ~ 5 1 d、5 4、5 6 ゲート電極
- 5 2 a ~ 5 2 d、5 3 a ~ 5 3 d、5 3 e、5 5 a、5 5 b 活性領域
- 6 0 a ~ 6 0 d、6 0 e、6 1 a、6 1 b、6 2 a ~ 6 2 d、6 3、6 4、6 4 a、6 4 b、6 5、7 2 a ~ 7 2 d コンタクト部
- 1 0 0 1 バリア
- 1 0 0 2 レンズ
- 1 0 0 3 しぼり
- 1 0 0 4 固体撮像装置
- 1 0 0 5 撮像信号処理回路
- 1 0 0 6 A / D 変換器
- 1 0 0 7 信号処理部
- 1 0 0 8 タイミング発生部
- 1 0 0 9 全体制御・演算部
- 1 0 1 0 メモリ部
- 1 0 1 1 記録媒体制御 I / F 部
- 1 0 1 2 記録媒体
- 1 0 1 3 外部 I / F 部

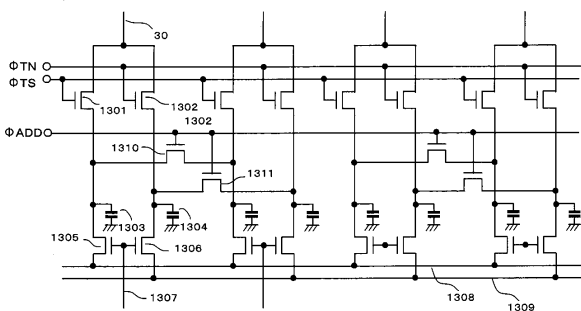
10

20

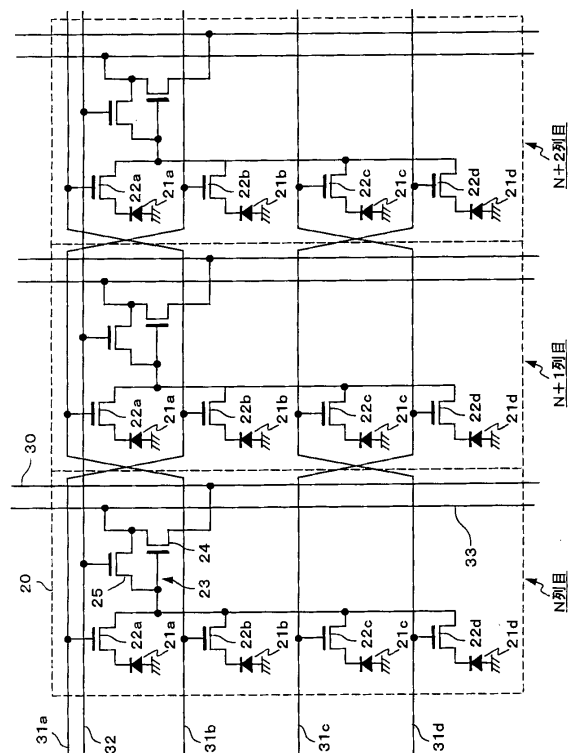
【 図 1 】



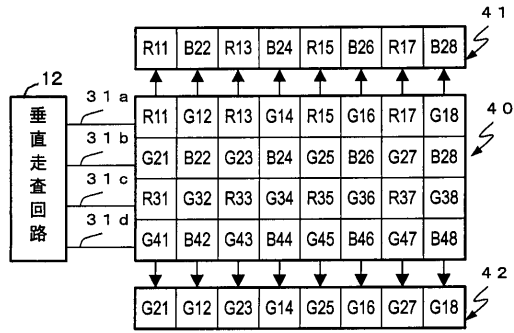
【 図 2 】



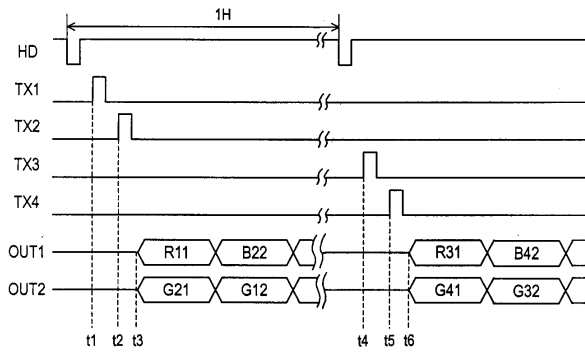
【 図 3 】



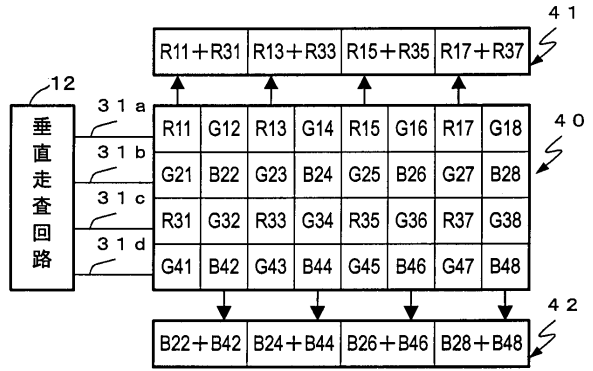
【図4】



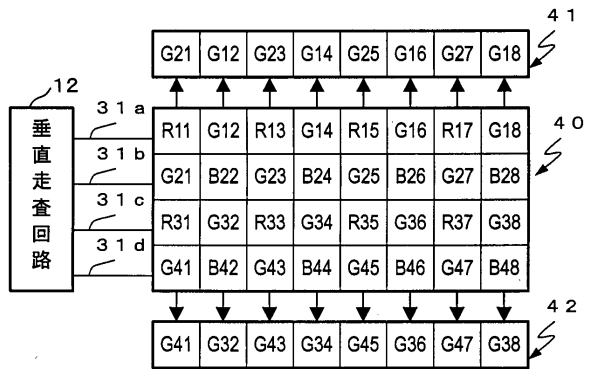
【図5】



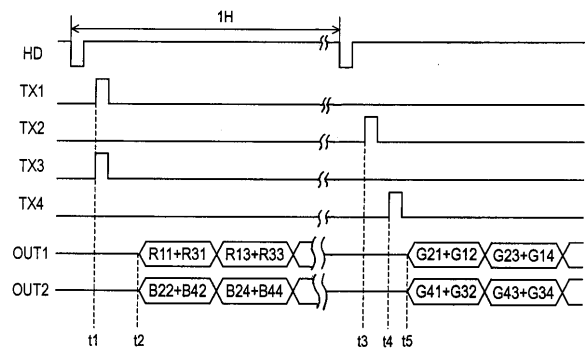
【図6】



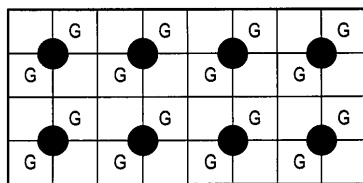
【図7】



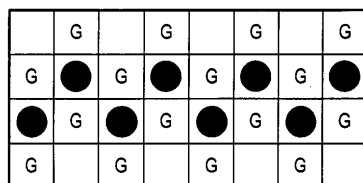
【図8】



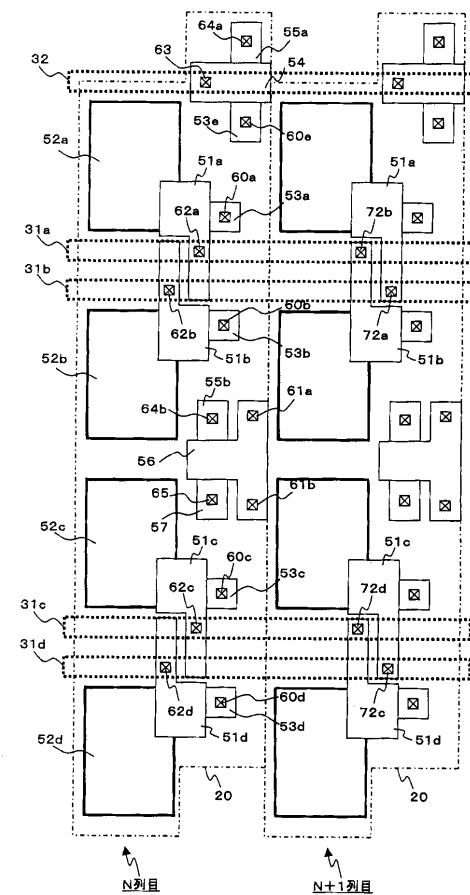
【図9】



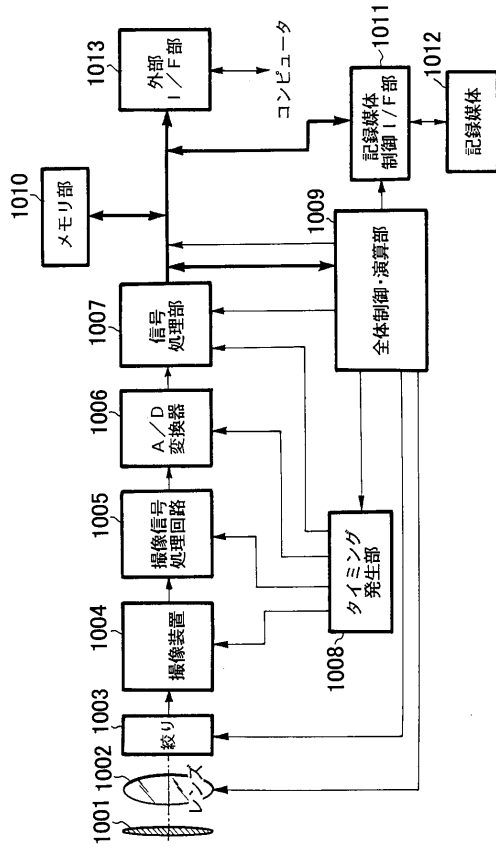
【図10】



【図11】



【 図 1 2 】



フロントページの続き

- (56)参考文献 特開2005-229503(JP,A)
国際公開第03/034714(WO,A1)
特開2004-172950(JP,A)
特開2007-104450(JP,A)
特開平10-262260(JP,A)
特開2007-174478(JP,A)

(58)調査した分野(Int.Cl., DB名)

H04N 9/07
H01L 27/146
H04N 5/347
H04N 5/374