

| | |
|------|-------------------|
| 申請日期 | 90年3月14日 |
| 案號 | 90105989 |
| 類別 | G02F1/33(2006.01) |

A4
C4

(以上各欄由本局填註)

發 明 型 專 利 說 明 書

| | | |
|-------------|---------------|--|
| 一、發明 名稱 | 中 文 | 光電裝置、該製造方法及電子機器 |
| | 英 文 | |
| 二、發明 創作人 | 姓 名 | (1) 村出正夫 |
| | 國 籍 | (1) 日本 (1) 日本國長野縣諏訪市大和三丁目三番五號 精工愛普生股份有限公司內 |
| 三、申請人 | 住、居所 | |
| | 姓 名 (名稱) | (1) 精工愛普生股份有限公司 セイコーエプソン株式会社 |
| | 國 籍 | (1) 日本 (1) 日本國東京都新宿區西新宿二丁目四番一號 |
| | 住、居所 (事務所) | |
| | 代 表 人 姓 名 | (1) 安川英昭 |

裝

訂

線

(由本局填寫)

| |
|--------|
| 承辦人代碼： |
| 大類： |
| IPC分類： |

A6

B6

本案已向：

國(地區) 申請專利，申請日期： 案號： ，有 無主張優先權

| | | | |
|----|--------------|------------|--|
| 日本 | 2000年 3月 27日 | 2000-87151 | <input checked="" type="checkbox"/> 有主張優先權 |
| 日本 | 2001年 1月 23日 | 2001-14350 | <input checked="" type="checkbox"/> 有主張優先權 |

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部智慧財產局員工消費合作社印製

五、發明說明(1)

【發明之背景】

本發明係有關減低輸入來自外部電路之信號的安裝端子之形成範圍之階差的光電裝置、該製造方法以及將該光電裝置使用於顯示部的電子機器者。

【相關技術之描述】

一般而言，光電裝置，例如就光電物質而言，使用液晶，進行所定之顯示的液晶裝置係於一對之基板間，挾持液晶地加以構成。其中，例如令畫素電極經由三端子型之開關元件驅動的主動型之液晶裝置係呈以下之構成。即，構成此種之液晶裝置的一對基板中，於一方之基板設置相互交叉的複數之掃描線和複數之資料線的同時，對應此等之各交叉部分，設置如TFT（薄膜電晶體）之三端子型開關元件及畫素電極之對，更且，於設置此等之畫素電極的範圍（顯示範圍）之周邊，設置為驅動各掃描線及資料線之周邊電路。更且，於兩基板之對向面，液晶分子之長軸方向於兩基板間連續扭轉約90度地，各設置研磨處理之配向膜，另一方面於該各背面側，各設置對應於配向方向之偏光子。

在此，畫像信號係通常藉由畫像信號線加以供給的同時，於各資料線，經由取樣開關於適切之時間加以取樣構成。又，設於掃描線和資料線之交叉部分的開關元件係施加於對應之掃描線的掃描信號成為動作準位時呈開啓，將取樣於對應之資料線的畫像信號，供予畫素電極者。更且

（請先閱讀背面之注意事項再填寫本頁）

訂

五、發明說明(2)

，設於對向基板之對向電極係維持於一定之電位。

於如此之構成中，供予各掃描線之掃描信號，和控制取樣開關之取樣信號，經由周邊電路，於適切之時間加以供給時，挾持於畫素電極和對向電極之兩電極間的液晶所成液晶容量中，對應畫像信號，電壓實效壓則施加於每畫素。

此時。通過畫素電極和對向電極間之光係，當施加於兩電極間之電壓差為0時，沿液晶分子之扭轉約90度旋光，另一方面伴隨電極差變大，液晶分子向電場方向傾斜的結果，該旋光性會消失。為此，例如於透過型之光電裝置中，於入射側和背面側，配合研磨方向，偏光軸將相互正交之偏光子各別加以配置時，施加於兩電極之電壓差為0時，透過光之時，另一方面伴隨施加於兩電極之電壓差變大，光會被遮斷。為此，將施加於畫素電極之電壓，經由控制於每畫素，可成所定之顯示。

在此，上述研磨處理一般而言，經由旋轉移動捲回於輓的拋光布，將聚醯亞胺等之有機膜表面，向一定方向（研磨方向）擦拭之處理。然後，經由此研磨處理，有機膜之聚合物主鍵向研磨方向延伸，稱沿該延伸方向排列液晶分子。

【發明重點】

但是，於形成配向膜之基台面，尤其設置畫素電極，或開關元件、掃描線、資料線、周邊電路一方之基板之基

（請先閱讀背面之注意事項再填寫本頁）

訂

五、發明說明(3)

台面，經由各種配線或各種元件等之有無，或連接孔之有無等，產生 $500\text{ nm} \sim 1000\text{ nm}$ 程度之階差。即使於產生如此階差之基台面形成配向膜，仍然於配向膜之表面產生階差。更且，於如此配向膜進行研磨處理時，拋光布之毛前端經由階差加以撓亂的結果，擦拭的程度於基板面整體會呈不均勻。然後，如此地於施以不均勻研磨處理的基板，注入、封閉液晶時，會產生液晶分子未向一定方向排列造成之顯示斑紋。具體而言，沿研磨方向產生條紋狀之顯不斑紋，會有下降顯示品質的問題。

本發明係有鑑於上述之情事，而該目的係提供減低基板表面之階差，抑制起因於不均勻之研磨處理的顯示上的不適當之產生的光電裝置、該製造方法及電子機器。

首先，上述階差中，令顯示品質最為下降的階差，本發明人認為係自外部電路輸入各種信號的安裝端子，和自此等之安裝端子引出的配線所產生的階差。

對於此點詳細時，畫素電極及連接此之開關元件係對應於掃瞄線及資料線之各交叉部分加以設置之故，此等排列間隔係相關於掃瞄線及資料線之排列間隔。又，包含取樣開關之周邊電路係對應於掃瞄線或資料線加以設置之故，對於構成周邊電路之元件之排列間隔，亦相關於掃瞄線及資料線之排列間隔。因此，起因於此等之元件或配線等之階差的顯示斑紋，係於與畫素排列間隔同一倍率或該整數倍加以產生之故，於顯示之上，較為不明顯。

對此，安裝端子係由將由此拉出之配線長變短之觀點

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(4)

，或確保裝置整體之對稱性的觀點等，接近於為驅動上述取樣開關或資料線的資料線驅動電路，且沿掃瞄線之延伸存在方向（即，與資料線之延伸存在方向交叉之方向）加以排列，更且，令與外部容易連接的觀點視之，較掃瞄線或資料線之排列間隔更為寬廣，即與掃瞄線或資料線之排列間隔無關係地加以形成。因此，對於起因於安裝端子及到達此等之配線的階差的顯示斑紋，會變得非常明顯。

(1) 在此，有關本件之第1之發明的光電裝置，係具備

複數之層所成之基板，和形成於前述基板之外表面的絕緣膜，和形成於與前述絕緣膜略同一平面，輸入畫像信號的安裝端子，和與前述安裝端子導通的配線為特徵者。

根據此構成時，於安裝端子之表面及於該周邊之表面可減少產生階差之故，可抑制研磨處理之拋光布之毛前端的擾亂。

(2) 於第1之發明中，於構成前述基板之層的至少一層上，設置形成前述安裝端子之範圍的溝為特徵者。

根據此構成時，可減低安裝端子之表面和形成於溝的絕緣膜之表面的階差。

(3) 又，於第1之發明中，於形成前述安裝端子之範圍的溝，設置成為前述安裝端子之導電膜為特徵者。

根據此構成時，為形成導電膜之圖案有偏移時，可將溝做為邊緣加以利用之故，於安裝端子之範圍形確實形成導電膜。

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(5)

(4) 又，於第 1 之發明中，於構成前述基板之層的至少一層之前述配線之至少前述安裝端子側的範圍下，設置連接於形成前述安裝端子之範圍溝的配線用溝為特徵者。

根據此構成時，可減低到達安裝端子之配線的階差。

(5) 又，於第 1 之發明中，形成於前述基板之外表面之絕緣膜係形成於形成前述安裝端子之範圍的溝範圍，和形成前述配線之溝的範圍為特徵者。

根據此構成時，伴隨安裝端子之表面和絕緣膜之表面的階差，可減低到達安裝端子之配線的階差。

(6) 又，於第 1 之發明中，前述安裝端子係以多層導電膜所形成為特徵者。

根據此構成時，將下層側之導電膜與畫素範圍或周邊電路之導電層共通的同時，可將上層側之導電膜以配合連接於安裝端子之連接體的材料加以形成。

(7) 又，於第 1 之發明中，前述安裝端子係於形成前述安裝端子之範圍之溝的範圍下，形成至少一層高度之調整用之膜為特徵者。

根據此構成時，調整溝之深度和安裝端子之厚度，將形成於溝之範圍上的絕緣膜之表面均勻化。

(8) 又，於第 1 之發明中，前述溝之深度係與前述安裝端子之厚度和前述高度調整用之膜厚度之合計略呈相同為特徵者。

根據此構成，形成於溝之安裝端乃之導電膜之表面係

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(6)

與基準面呈略同一之故，安裝端子之周圍之階差可幾乎完全除去。

(9) 又，於第1之發明中，前述高度調整用之膜係形成於前述顯示範圍之配線和成爲前述周邊電路配線中的至少一個配線爲特徵者。

根據此構成時，共通形成於顯示範圍之配線或成爲周邊電路之配線加以使用之故，對於步驟更爲有利。

(10) 前述溝之深度係與前述配線之高度略爲相同爲特徵者。

根據此構成時，無需使用高度調整用之膜亦可。

(11) 在此，本件之第2之發明的光電裝置，係具備複數之層所成之基板，和設於前述基板上，輸入畫像信號之安裝端子，和於構成前述基板之層之至少一層，設置於形成到達前述安裝端子的配線的至少一部分的溝爲特徵者。

根據此構成時，形成於溝之配線表面係與安裝端子(墊片)比較，僅對溝之深度之部分變低。爲此，減低形成於配線上之絕緣膜和安裝端子之表面的階差之故，可抑制研磨處理之拋光布之毛前端的雜亂。

然而，對於溝而言，直接形成於基板亦可，形成該基板上之堆積物亦可。又，做爲配線，以鋁等之低阻抗金屬膜爲佳。此時，將配線本身做爲墊片加以使用亦可，經由安裝時之情況等，於配線之上將更爲堆積之ITO(銦錫氧化物)等之不同種之導電膜做爲墊片加以使用亦可。

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(7)

(12) 於第2發明中，前述安裝端子係以前述配線所成之導電膜所形成，形成於前述配線上之前述絕緣膜係露出前述安裝端子者為佳。

(13) 又，於第2發明中，前述安裝端子之表面和前述絕緣膜之表面為略同一之高度者為佳。

根據此構成之時，可將到達安裝端子之配線階差幾近完全加以除去。

(14) 又，於第2發明中，前述溝係形成於包圍前述安裝端子之範圍，於包圍前述安裝端子之範圍上，形成前述配線為特徵者。

根據此構成之時，根據溝可形成安裝端子之範圍。又，鄰接之安裝端子亦無短路的情形。

(15) 又，於第2發明中，形成於前述配線上之前述絕緣膜之表面，和鄰接形成前述配線之範圍之前述絕緣膜之表面為呈略相同之高度者為佳。

根據此構成之時，配線之階差可幾近完全地加以除去。

(16) 又，於第2發明中，前述配線係以形成於顯示範圍之配線所形成為特徵者。

根據此構成之時，配線係以形成於顯示範圍之配線加以形成之故，無需增加工程數。

(17) 又，於第2發明中，前述配線係以成為形成於顯示範圍之周圍的周邊電路的配線加以形成為特徵者。

根據此構成之時，配線係以成為周邊電路之配線加以

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(8)

形成之故，無需增加工程數。

(18) 又，於第2發明中，前述配線係以形成於顯示範圍之配線及形成於前述顯示範圍之周圍的周邊電路所成之配線所形成為特徵者。

根據此構成時，共通到達安裝端子之配線，形成於顯示範圍之配線及成為周邊電路之配線加以使用之故，對於步驟更為有利。

(19) 又，於第2發明中，前述配線的範圍下，形成至少一層高度之調整用之膜為特徵者。

根據此構成時，調整溝之深度和安裝端子之厚度，將形成於溝之範圍上的絕緣膜之表面均勻化。

(20) 又，於第2發明中，前述溝之深度係與前述配線之厚度和前述高度調整用之膜厚度之合計略呈相同為特徵者。

根據此構成時，對應於溝所形成之配線上的表面，係與基準面呈略同一之故，可將到達安裝端子配線之階差，幾乎完全加以除去。

(21) 又，於第2發明中，前述高度調整用之膜係形成於前述顯示範圍之配線和成為前述周邊電路配線中的至少一個配線為特徵者。

根據此構成時，共通形成於顯示範圍之配線或成為周邊電路之配線加以使用之故，對於步驟更為有利。

(22) 又，於第2發明中，前述溝之深度係與前述配線之高度略為相同為特徵者。

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(9)

於第 1 之發明，不使用高度調整用之膜亦可。

(23)，有關於本件之第 3 之發明的光電裝置，具備複數之層所成之基板，和形成於前述基板上的顯示範圍，和配設於前述顯示範圍之配線，和形成於前述基板上之前述顯示範圍之周邊，於前述配線電氣性連接之周邊電路，和形成於前述基板上之安裝端子，和前述周邊電路和前述安裝端子電氣連接的配線，和設置於構成前述基板之層之至少一層，前述周邊電路所形成之部分的溝，和形成於前述周邊電路上的絕緣膜為特徵者。

根據此構成，可將周邊電路加以均化之故，可減低起因於周邊電路上之階差的顯示斑紋。

(24)有關於本件之第 4 之發明的光電裝置具備複數之層所成之基板，和形成於前述基板上的顯示範圍，和配設於前述顯示範圍之配線，和形成於前述基板上之前述顯示範圍之周邊，於前述配線電氣性連接之周邊電路，和形成於前述基板上之安裝端子，和前述周邊電路和前述安裝端子電氣連接的配線，和設置於構成前述基板之層之至少一層，前述周邊電路所形成之部分的溝，和形成前述安裝端子之範圍的溝，和形成於形成前述周邊電路之溝及前述安裝端子之範圍之溝之範圍的外表面所成之絕緣膜為特徵者。

根據此構成時，可均勻周邊電路上及安裝端子之周圍之故，可減低起因於周邊電路上或安裝端子之周圍之階差的顯示斑紋。

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(10)

(25) 有關於本件之第5之發明的光電裝置係具備複數之層所成之基板，和形成於前述基板上的顯示範圍，和配設於前述顯示範圍之配線，和形成於前述基板上之前述顯示範圍之周邊，於前述配線電氣性連接之周邊電路，和形成於前述基板上之安裝端子，和前述周邊電路和前述安裝端子電氣連接的配線，和設置於構成前述基板之層之至少一層，配設於前述顯示範圍的配線所形成之部分的溝和設置於構成前述基板之層之至少一層，前述周邊電路所形成之部分的溝，和形成前述安裝端子之範圍的溝，和形成於形成前述周邊電路之溝及前述安裝端子之範圍之溝之範圍的外表面所成之絕緣膜為特徵者。

根據此構成時，可均勻顯示範圍上、周邊電路上及安裝端子之周圍之故，可減低起因於顯示範圍上、周邊電路上或安裝端子之周圍之階差的顯示斑紋。

(26) 有關於本件之第6之發明的光電裝置係具備複數之層所成之基板，和形成於前述基板上的顯示範圍，和配設於前述顯示範圍之資料線，和沿前述顯示範圍之一邊所形成之資料線驅動電路，和挾持前述資料線驅動電路，與前述顯示範圍之一邊對向地加以形成之安裝端子，和向與前述安裝端子電氣性連接的前述資料線，供給畫像信號的信號線，和於構成前述基板之層之至少一層，形成安裝端子之範圍的溝，和形成前述基板之外表面，露出前述安裝端子之絕緣膜為特徵者。

根據此成時，尤其可均一資料線驅動電路和安裝端子

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(11)

之周圍之故，可減低起因於該範圍之階差的顯示斑紋。

(27) 又，於第6之發明中，於構成前述基板之層的至少一層，於至少前述資料線驅動電路和前述安裝端子之間的範圍內，於形成前述信號線之部分，形成溝為特徵者。

根據此構成時，可減低形成信號線部分之階差。

(28) 又，於第6之發明中，於構成前述基板之層的至少一層，於形成前述資料線驅動電路的部分，形成溝者。

根據此構成時，可減低起因於資料線驅動電路之階差的顯示斑紋。

(29) 又，於第6之發明中，於前述顯示範圍之一邊和前述資料線驅動電路之間，具備以前述資料線驅動電路，控制畫像信號之供給的取樣電路為特徵者。

(30) 又，於第6之發明中，於構成前述基板之層的至少一層，形成設於前述取樣電路所形成之部分的溝為特徵者。

根據此構成時，可減低起因於取樣電路之階差的顯示斑紋。

(31) 又，於第6之發明中，於前述顯示範圍形成配向膜，前述配向膜之研磨方向自前述安裝端子向前述顯示範圍為特徵者。

根據此構成時，均化不相關於畫素之排列間隔所產生之資料線驅動電路和安裝端子間之範圍，可減低較易辨識

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(12)

的顯示斑紋。

(32) 有關本發明之第7發明之電子機器，具備射出光之光源，和將前述光源所產生之射出光，施以對應於畫像資訊之調變的如申請專利範圍第1項至第6項之任一記載的光電裝置，和投射經由前述光電裝置調變之光的投射手段為特徵者。

將如此光電裝置做為投射型加以使用之時，即使該顯示斑紋很少，但在投射像，會擴大到可以辨識的程度，但有關本件之第6之發明之電子機器，係具有安裝端子，或到達此配線之形成範圍被平坦化之光電裝置之故，可達抑制起因於階差之顯示斑紋的高品質顯示。

(33) 有關本發明之第8發明之光電裝置之製造方法，屬於根據藉由設於複數之層所成基板上之安裝端子加以輸入之信號，顯示所定之畫像的光電裝置之製造方法中，具備

於構成前述基板之層之至少一層，於到達前述安裝端子之配線所形成之部分，設置溝的工程，和於對應於前述溝之範圍，形成前述配線之工程，和於前述配線上，堆積絕緣膜之工程為特徵者。

根據此方法，與上述第1之發明同樣，伴隨安裝端子之表面和絕緣膜之表面的階差的同時，可減低到達安裝端子之配線階差。

(34) 又，於第8之發明中，包含前述安裝端子係與形成前述配線之工程同時形成，於堆積前述絕緣膜之工

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(13)

程後，露出以前述絕緣膜被覆之安裝端子之工程為特徵者。

根據此方法，經由蝕刻等之較簡易的工程，可呈安裝端子附近之階差的減低。

(35)又，於第8之發明中，露出前述安裝端子之工程係研磨前述絕緣膜之工程為特徵者。

根據此方法，將安裝端子所成導電膜之表面做為阻擋加以工作，可非常容易地完全平坦化。

【圖面之簡單說明】

圖1(a)係顯示有關本發明之實施形態之光電裝置之液晶裝置的構成斜視圖，圖1(b)係圖1(a)之A-A'線之截面圖。

圖2係顯示有關本發明之實施形態之液晶裝置之電氣性構成的方塊圖。

圖3係顯示有關本發明之實施形態之液晶裝置之顯示範圍的等價電路圖。

圖4係為說明有關本發明之實施形態之液晶裝置動作的时间圖。

圖5係顯示有關本發明之實施形態之液晶裝置之顯示範圍的畫素之詳細構成平面圖。

圖6係圖4之B-B'線之截面圖。

圖7係顯示有關本發明之實施形態之液晶裝置之周邊範圍的反相電路詳細構成平面圖。

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(14)

圖 8 係圖 6 之 C - C' 線之截面圖。

圖 9 係顯示形成於有關本發明之實施形態之液晶裝置之安裝端子附近的溝構成斜視圖。

圖 10 係圖 9 之 D - D' 線之截面圖，顯示液晶裝置之安裝端子和到達此安裝端子之配線構成的截面圖。

圖 11 (a) ~ 圖 11 (d) 係顯示有關各本發明之實施形態之液晶裝置的元件基板之製造步驟截面圖。

圖 12 (e) ~ 圖 12 (h) 係顯示有關各本發明之實施形態之液晶裝置的元件基板之製造步驟截面圖。

圖 13 (i) ~ 圖 13 (l) 係顯示有關各本發明之實施形態之液晶裝置的元件基板之製造步驟截面圖。

圖 14 係顯示有關本發明之實施形態之液晶裝置的元件基板研磨方向的平面圖。

圖 15 係顯示有關本發明之變形例的安裝端子，和到達此安裝端子之配線的構成截面圖。

圖 16 係顯示有關本發明之應用例的安裝端子，和到達此安裝端子之配線的構成截面圖。

圖 17 係顯示適於有關本發明之實施形態之光電裝置的電子機器之一例的投影機構成的平面圖。

【符號說明】

| | |
|-----|----|
| 10 | 基板 |
| 12 | 溝 |
| 12a | 範圍 |

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(15)

- | | |
|---------|------------|
| 2 2 | 遮光膜 |
| 2 2 b | 導電層 |
| 3 0 | 半導體層 |
| 3 0 a | 通道範圍 |
| 3 0 b | 低濃度源極範圍 |
| 3 0 c | 低濃度汲極範圍 |
| 3 0 f | 高濃度汲極範圍 |
| 3 2 | 絕緣膜 |
| 4 0 | 基材絕緣膜 |
| 4 1 | 第 1 之層間絕緣膜 |
| 4 2 | 第 2 之層間絕緣膜 |
| 4 7 | 凸部的部分 |
| 5 1 | 連接孔 |
| 5 3 | 連接孔 |
| 1 0 0 | 液晶裝置 |
| 1 0 0 a | 顯示範圍 |
| 1 0 0 R | 光閥 |
| 1 0 0 G | 光閥 |
| 1 0 0 B | 光閥 |
| 1 0 1 | 元件基板 |
| 1 0 2 | 對向基板 |
| 1 0 4 | 密封材 |
| 1 0 6 | 封閉材 |
| 1 0 7 | 安裝端子 |

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(16)

- | | |
|---------|---------|
| 1 0 8 | 對向電極 |
| 1 0 9 | 電極 |
| 1 1 2 | 掃瞄線 |
| 1 1 2 b | 導電層 |
| 1 1 4 | 資料線 |
| 1 1 4 b | 導電層 |
| 1 1 6 | T F T |
| 1 1 6 D | 高濃度汲極範圍 |
| 1 1 6 G | 閘極電極 |
| 1 1 6 S | 高濃度源極範圍 |
| 1 1 8 | 畫素電極 |
| 1 1 8 b | 導電層 |
| 1 1 9 | 蓄積容量 |
| 1 2 2 | 畫像信號線 |
| 1 3 0 | 掃瞄線驅動電路 |
| 1 3 0 a | 範圍 |
| 1 4 0 | 資料線驅動電路 |
| 1 4 0 a | 範圍 |
| 1 5 0 | 取樣電路 |
| 1 5 0 a | 範圍 |
| 1 5 1 | 取樣開關 |
| 1 6 0 a | 範圍 |
| 1 7 1 | 配線 |
| 1 7 5 | 容量線 |

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(17)

| | |
|---------|--------|
| 1 9 0 a | 範圍 |
| 1 9 2 a | 範圍 |
| 1 4 0 4 | 配線 |
| 1 4 1 2 | 配線 |
| 1 4 1 4 | 配線 |
| 1 4 2 4 | 配線 |
| 1 4 5 1 | 連接孔 |
| 1 4 5 2 | 連接孔 |
| 1 4 5 3 | 連接孔 |
| 1 4 5 4 | 連接孔 |
| 2 1 0 0 | 投影機 |
| 2 1 0 2 | 燈單元 |
| 2 1 0 6 | 鏡面 |
| 2 1 0 8 | 分色鏡 |
| 2 1 1 2 | 分色稜鏡 |
| 2 1 1 4 | 投射透鏡 |
| 2 1 2 0 | 螢幕 |
| 2 1 2 1 | 中繼透鏡系統 |
| 2 1 2 2 | 入射透鏡 |
| 2 1 2 3 | 中繼透鏡 |
| 2 1 2 4 | 輸出透鏡 |

【較佳實施例之描述】

首先，對於有關本發明之實施形態之光電裝置加以說

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(19)

別後述之掃瞄線驅動電路，成爲將掃瞄線自兩側驅動的構成。然而，供予掃瞄線之掃瞄信號之延遲不成爲問題的話，令掃瞄線驅動電路成爲僅於單側形成一個之構成亦可。

然後，於剩下一邊之範圍 1 6 0 a 中，形成預充電電路或，使用 2 個掃瞄線驅動電路的共用配線。在此，預充電電路係於資料線爲減低取樣畫像信號時之負荷，將各資料線，超前於取樣之時間中，預電至所定之電位之電路，但是本件中因爲沒有直接的關係之故，之後則省略該說明。

另一方面，對向基板 1 0 2 之對向電極 1 0 8 係如後述，與元件基板 1 0 1 貼合部分之 4 角落中，經由設於至少一處的導通材，可達與形成於元件基板 1 0 1 之安裝端子 1 0 7 的電氣性導通。

另外，於對向基板 1 0 2 中，於與畫素電極 1 1 8 對向之範圍，設置著色層（彩色濾色片），另一方面於著色層以外之範圍，設置防止光之洩漏所造成之對比之下降或爲包圍非顯示範圍之遮光膜。只是，如後述之投影機適於色光調變之用途時，於對向基板 1 0 2 無需形成著色層。

然而，無關乎在於對向基板 1 0 2 設置著色層與否，於元件基板 1 0 1，爲防止經由光之照射的元件特性之下降，設置後述之遮光膜。又，於元件基板 1 0 1 及對向基板 1 0 2 之對向面，如後所述，液晶 1 0 5 之分子長軸方向於兩基板間，約 9 0 度連續性扭轉地，設置研磨處理之配向膜（圖 1 中省略），另一方面，於該各背面側，各設

（請先閱讀背面之注意事項再填寫本頁）

訂

五、發明說明(20)

置對應排列方向之偏光子(省略圖示)。

又,於圖1(b)中,對於對向電極108或畫素電極118、安裝端子107使之具有厚度,但此係為顯示形成位置之措施,實際上,對於基板而言,為可充分忽視之厚薄。更且,對於安裝端子107或畫素電極118,如後所述,形成於施以平坦化處理的絕緣膜上之故,於元件基板101之對向面,階差幾近被平坦化。

<電氣性之構成>

接著,上述之液晶裝置100中,對於元件基板101之電氣性構成加以說明。圖2係顯示此構成之概略圖。

如示於此圖,於元件基板101,為輸入自外部電路之各種信號,設置複數之安裝端子107。藉由此等之安裝端子107加以輸入之信號係呈藉由配線171供予各部之構成。對於此等之信號,簡單地加以說明時,第1,VID1~VID6係如圖4所示,將同步於點時脈DCLK加以供給的1系統之畫像信號VID,分配至6系統的同時,於時間軸展開至6倍,藉由6條之畫像信號線122,供予取樣電路150。然而,畫像信號線122係配線171中之特別者。即,配線171係將自安裝端子107拉出之配線一般化者。此中,將供給畫像信號VID1~VID6之配線,特別稱之為畫像信號線122。

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(21)

第 2， V_{ssY} 及 V_{ssX} 係各別掃描線驅動電路 130 及資料線驅動電路 140 之電源之低位側電壓（接地電位）。又， V_{ddY} 及 V_{ddX} 係各別掃描線驅動電路 130 及資料線驅動電路 140 之電源之高位側電壓。此等中，電源之低位側電壓 V_{ssY} 係成爲後述之蓄勢容量之接地電位之故，藉由容量線 175，於各畫素亦有供給。

第 3， LC_{com} 係施加於對向電極 108 之電壓信號。爲此，供給電壓信號 LC_{com} 的 2 個電極 109 係各設置於相當於與對向基板 102 貼合所使用之密封材 104（參照圖 1）之角落的地點。因此，元件基板 101 實際貼合於對向基板 102 時，電極 109 和對向電極 108 藉由導通材加以連接，於對向電極 108 呈施加電壓信號 LC_{com} 之構成。然而，電壓信號 LC_{com} 係對於時間軸呈一定，將此電壓信號 LC_{com} 爲基準，外部電路將畫像信號 $VID1 \sim VID6$ ，例如於每 1 水平掃描期間，分爲高位側及低位側，呈進行交流驅動之構成。又，設置電極 109 之地點係於本實施形態爲 2 處，設置此電極 109 之理由係藉由導通材，於對向電極 108 爲施加電壓信號 LC_{com} 之故，設置電極 109 之地點係有至少 1 處即足夠。爲此，設置電極 109 之地點係可爲 1 處，3 處以上亦可。

於第 4， DY 係如圖 4 所示，爲供予垂直掃描期間之最初傳送開始脈衝， CLY 係於掃描線驅動電路 130 所

（請先閱讀背面之注意事項再填寫本頁）

訂

五、發明說明(22)

使用之時脈信號然而， CLY_{inv} 係將時脈信號 CLY 準位反轉之反轉時脈信號。

於第5， DX 係如圖4所示，為供予水平掃瞄期間之最初傳送開始脈衝， CLX 係於資料線驅動電路140所使用之時脈信號然而， CLX_{inv} 係將時脈信號 CLX 準位反轉之反轉時脈信號。 $ENB1$ 、 $ENB2$ 係如後述，為限制資料線驅動電路140之移位暫存器之各輸出信號之脈衝寬度而使用之許可信號。

然而，於元件基板101之顯示範圍100a中，複數條之掃瞄線112沿行(X)方向平行地加以排列，又，複數條之資料線114沿列(Y)方向平行地加以排列，對應此等之各交叉部分，設置畫素。

詳細而言，如圖3所示，交叉掃瞄線112和資料線114部中，為控制畫素之開關元件的TFT116之閘極，連接掃瞄線112，一方面TFT116之源極連接資料線114的同時，TFT116之汲極連接矩形狀之透明畫素電極118。

如上所述，液晶裝置100於元件基板101和對向基板102之電極形成面間，挾持液晶105之故，各畫素之液晶容量係經由畫素電極118，和對向電極108，挾持此等兩電極間之液晶105所構成者。在此，在說明之方便上，將掃瞄線112之總條數呈「m」，將資料線114之總條數呈「6n」時(m、n係各為整數)，畫素係對應掃瞄線112和資料線114之各交叉部分，

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(23)

排列於 m 行 \times $6n$ 列之矩陣狀。

又，矩陣狀之畫素所成顯示範圍 100a 中，除此之外，為防止液晶容量之泄放的蓄積容量 119，形成於每畫素。此蓄積容量 119 之一端係連接畫素電極 118 (TFT 116 之汲極) 之一方面，該他端係經由容量線 175 共通連接。為此，蓄積容量 119 與液晶容量電氣性並列之故，改善液晶容量之保持特性，為實現高對比。然而，容量線 175 中，本實施形態中，施加電源之低位側電位 V_{ss} 的構成，在此，施加電壓 L_{com} 等之構成亦可。又，對於包含蓄積容量 119 畫素之詳細構成，則述於後者。

在此，再將說明回到圖 2，掃描線驅動電路 130 係於水平掃描期間 1H，將順序主動準位所成掃描信號 G_1 、 G_2 、 \dots 、 G_m ，於一垂直有效顯示期間內，輸出至各掃描線 112 者。對於詳細之構成，與本發明沒有直接關係之故，省略圖示，移位暫存器和複數之邏輯積電路所構成。其中，移位暫存器係如圖 4 所示，將供予垂直掃描期間之最初的傳送開始脈衝 DY ，於每當時脈信號 CLY (及反轉時脈信號 CLY_{inv}) 之準位遷移時 (於提升及下降之二者)，順序地移位，做為信號 G_1' 、 G_2' 、 G_3' 、 \dots 、 G_m' 加以輸出，各邏輯積電路係求得信號 G_1' 、 G_2' 、 G_3' 、 \dots 、 G_m' 中相鄰信號間之邏輯積信號，做為掃描信號 G_1' 、 G_2' 、 G_3' 、 \dots 、 G_m' 加以輸出者。

又，資料線驅動電路 140 係順序呈動作準位的取樣

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(24)

信號 S_1 、 S_2 、 \dots 、 S_n ，輸出至水平掃瞄期間 $1H$ 內。對於此詳細之構成，亦與本發明無直接關連之故，省略其圖示，是為包含反相電路之移位暫存器和複數之邏輯積電路所構成。其中，移位暫存器係如圖 4 所示，將供予水平掃瞄期間之最初的傳送開始脈衝 DX ，於每當時脈信號 CLX （及反轉時脈信號 CLX_{inv} ）之準位遷移時，順序地移位，做為信號 S_1' 、 S_2' 、 S_3' 、 \dots 、 S_n' 加以輸出，各邏輯積電路係將信號 S_1' 、 S_2' 、 S_3' 、 \dots 、 S_n' 之脈衝寬度，使用許可信號 ENB_1 或 ENB_2 ，相鄰者之間呈相互不重複地，狹隘於期間 SMP_a ，做為信號 S_1' 、 S_2' 、 S_3' 、 \dots 、 S_n' 加以輸出者。

接著，各取樣電路 150 係由設於每資料線 114 之取樣開關 151。另一方面，資料線 114 係每 6 條被區塊化，於圖 2 中，屬於由左數來第 i （ i 係 1、2、 \dots 、 n ）之區塊的資料線 114 之 6 條中，連接於位於最左之資料線 114 之一端的取樣開關 151 係將藉由畫像信號線 122 供予之畫像信號 VID_1 ，於取樣信號 S_i 成為動作之期間，加以取樣，成為供予該資料線 114 之構成。又，屬於同樣第 i 號之區塊之資料線 114 之 6 條中，連接於位於第 2 之資料線 114 之一端的取樣開關 151，係將藉由畫像信號線 122 供給之畫像信號 VID_2 ，於取樣信號 S_i 成為動作之期間，加以取樣，成為供予該資料線 114 之構成。

以下同樣地，屬於第 i 之區塊的資料線 114 之 6 條

（請先閱讀背面之注意事項再填寫本頁）

訂

五、發明說明(25)

中，各連接於位於第 3、4、5、6 號之資料線 1 1 4 之一端的取樣開關 1 5 1，係將各藉由畫像信號線 1 2 2 供給之畫像信號 V I D 3、V I D 4、V I D 5、V I D 6，於取樣信號 S i 成爲動作之期間，加以取樣，成爲供予該資料線 1 1 4 之構成。即，取樣信號 S i 成爲動作準位時，於各屬於第 i 之區塊之 6 條資料線 1 1 4，各畫像信號 V I D 1 ~ V I D 6 係同時成爲取樣之構成。

此等之掃描線驅動電路 1 3 0 或資料線驅動電路 1 4 0、取樣電路 1 5 0 等係伴隨爲判別製造後有無缺陷之檢查電路，形成於顯示範圍 1 0 0 a 之周邊之故，做爲周邊電路加以稱呼者。

唯，對於檢查電路，與本發明無直接關係之故，省略該說明。

< 光電裝置之動作 >

接著，對於有關上述構成之光電裝置之動作，簡單加以說明。

首先，於掃描線驅動電路 1 3 0 中，於垂直掃描期間之最初，供給傳送開始脈衝 D Y。此傳送開始脈衝 D Y 係經由時脈信號 C L Y（及反轉時脈信號 C L Y i n v）順序移位將結果，如圖 4 所示，於每 1 水平掃描期間，做爲呈動作準位之掃描信號 G 1、G 2、…、G m，輸出至對應之掃描線 1 1 2。

另一方面，1 系統之畫像信號 V I D 係經由外部電路

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (26)

，如圖 4 所示，伴隨分配至 6 系統之畫像信號 V I D 1 ~ V I D 6 的同時，對於時間軸，展開為 6 倍。又，於資料線驅動電路 1 4 0，如同圖所示，於水平掃瞄期間之最初，供給傳送開始脈衝 D X。此傳送開始脈衝 D X 係於每資料線驅動電路 1 4 0，時脈信號 C L X（及反轉時脈信號 C L X i n v）之準位之遷移，順序移位，呈信號 S 1'、S 2'、S 3'、...、S n'。然後，此信號 S 1'、S 2'、S 3'、...、S n' 係限制於許可信號 E N B 1、E N B 2 之動作準位的期間 S M P a，使此示於圖 4 地，做為信號 S 1'、S 2'、S 3'、...、S n' 順序加以輸出。

在此，掃瞄信號 G 1 呈動作期間，即於第 1 之水平掃瞄期間，取樣信號 S 1 成為動作準位時，在屬於自左第 1 之區塊的 6 條之資料線 1 1 4，取樣各畫像信號 V I D 1 ~ V I D 6。然後，此等畫像信號 V I D 1 ~ V I D 6 於圖 2 或圖 3 中，經由交叉自上數來第 1 條之掃瞄線 1 1 2 和該 6 條之資料線 1 1 4 的畫素的 T F T 1 1 6，各別加以寫入。此後，取樣信號 S 2 呈動作準位時，此次係在屬於第 2 之區塊的 6 條之資料線 1 1 4，取樣各畫像信號 V I D 1 ~ V I D 6，此等畫像信號 V I D 1 ~ V I D 6，經由交叉自上數來第 1 條之掃瞄線 1 1 2 和該 6 條之資料線 1 1 4 的畫素的 T F T 1 1 6，各別加以寫入。

以下，同樣地，取樣信號 S 3、S 4、...、S n 順序呈動作準位時，在屬於第 3、第 4、...、第 n 之區塊的 6 條之資料線 1 1 4，取樣各畫像信號 V I D 1 ~ V I D 6

（請先閱讀背面之注意事項再填寫本頁）

訂

五、發明說明(27)

，此等畫像信號 V I D 1 ~ V I D 6 ，經由交叉第 1 條之掃描線 1 1 2 和該 6 條之資料線 1 1 4 的畫素的 T F T 1 1 6 ，各別加以寫入。由此，對於第 1 行之畫素所有的寫入則終了。

接著，掃描信號 G 2 呈動作期間，即於第 2 之水平掃描期間，同樣地對於所有之第 2 行之畫素進行寫入，以下同樣地，掃描信號 G 3 、 G 4 、 … 、 G m 成爲動作，對於第 3 行、第 4 行、第 m 行之畫素進行寫入。由此 1 ，對於所有第 1 行 ~ 第 m 行之畫素，完成寫入。

於如此之驅動中，與令資料線 1 1 4 於每一條加以驅動之方式比較，經由各取樣開關 1 5 1 ，令畫像信號取樣的時間會成爲 6 倍之故，可充分確保各畫素之充放電時間。爲此，可實現高對比。

< 畫素之詳細構成 >

接著，對於上述畫素之詳細而言，參照圖 5 及圖 6 加以說明。圖 5 係顯示該詳細構成之平面圖，圖 6 係圖 5 之 B - B ' 線之截面圖。然而，圖 5 中，對於成爲最上導電層之畫素電極 1 1 8 ，爲說明理解，僅將該輪廓經由虛線加以顯示。

首先，如此等之圖所示，資料線 1 1 4 ，或掃描線 1 1 2 、容量線 1 7 5 、 T F T 1 1 6 等之主要之要素係形成於設在元件基板 1 0 1 之基材的基板 1 0 的溝 1 2 內。換言之，此溝 1 2 係形成在需形成資料線 1 1 4 或、掃

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(29)

在此，高濃度源極範圍 1 1 6 S 係經由開孔絕緣膜 3 2 及第 1 之層間絕緣膜 4 1 之連接孔 5 1，連接於資料線 1 1 4，另一方面，高濃度汲極範圍 1 1 6 D 係經由開孔絕緣膜 3 2、第 1 之層間絕緣膜 4 1 及第 2 之層間絕緣膜 4 2 之連接孔 5 3，連接於畫素電極 1 1 8。

又，半導體層 3 0 之高濃度汲極範圍 1 1 6 D 之一部分，係做為蓄積容量 1 1 9 之一方之電極加以工作。即，蓄積容量 1 1 9 係半導體層 3 0 中，將位於容量線 1 7 5 之下層之高濃度汲極範圍 3 0 f，成為一方之電極，更且容量線 1 7 5 本身做為另一方之電極，成為挾持形成於半導體層 3 0 之表面的絕緣膜 3 2 的構成。然而，對於蓄積容量 1 1 9，除了經由高濃度汲極範圍 3 0 f 及容量線 1 7 5，挾持絕緣膜 3 2 所成容量之外，經由高濃度汲極範圍 3 0 f 及遮光膜 2 2，有對於挾持基材絕緣膜 4 0 所成容量加以配合考量之情形。

然後，於最上層（即，與液晶 1 0 5 接觸之面）之整面，形成聚醯亞胺等之有機膜所成配向膜 6 1。然而此配向膜 6 1 係與對向基板 1 0 2 貼合之前，施以如上述之研磨處理者。

如此地，半導體層 3 0 係隱藏於形成掃瞄線 1 1 2 或資料線 1 1 4、容量線 1 7 5 範圍之下側地加以形成。另一方面，於半導體層 3 0 之下層中，可防止自基板 1 0 之下側侵入光線。為此 T F T 1 1 6 中，成為光難以由基板 1 0 之上側及下側之雙方侵入之構成之故，可達成光照射

（請先閱讀背面之注意事項再填寫本頁）

訂

五、發明說明(30)

之 T F T 1 1 6 之特性變化的防止。

更且，於顯示範圍 1 0 0 a 中，除了畫素電極 1 1 8，所有之配線（導電膜）或半導體層等之要素，形成於溝 1 2 之故，防止此等之更為隆起。因此，於顯示範圍 1 0 0 a 中，可減低於畫素電極 1 1 8 形成為供予畫像信號之掃描線 1 1 2 或資料線 1 1 4 等之範圍，和未形成此等之開口範圍的階差。

< 周邊電路之詳細構成 >

接著，對於周邊電路之詳細，將包含於資料線驅動電路 1 4 0 之移位暫存器的反相器做為一例加以說明。圖 7 係顯示此反相器之構成的平面圖，圖 8 係圖 7 之 C - C' 線之截面圖。

首先，形成周邊電路之周邊電路範圍中，不存在畫素電極 1 1 8 之故，與圖 5 或圖 6 所示之畫素部不同，不設置開孔第 2 之層間絕緣膜 4 2 之連接孔 5 3。又，將遮光膜 2 2 形成於周邊電路範圍之一部分亦可。對於其他，配線之用途有所不同而已，基本上成為與畫素部同樣之構成。

即，圖 7 及圖 8 所示之反相器係於設於基板 1 0 之溝 1 2 內，形成配線或半導體層等之主要之要素。然後，此反相器係，與開關畫素電極 1 1 8 之 T F T 1 1 6 同樣的 L D D 構造之 P 通道型 T F T 和 N 通道型 T F T，於施加電源之高位側電壓 V_{dd} 的配線 1 4 0 4，和於施加電

（請先閱讀背面之注意事項再填寫本頁）

訂

五、發明說明(31)

源之低位側電壓 V_{SS} 的配線 1414 間，成爲直接連接之互補型構成。詳細而言，配線 1404 係藉由連接孔 1451，連接於 P 通道型 T F T 之高濃度汲極範圍，另一方面，配線 1414 係藉由連接孔 1454，連接於 N 通道型 T F T 之高濃度源極範圍。更且，供給反相器之輸入信號的配線 1412 係分支爲二部分，成爲 P 通道型 T F T 和 N 通道 T F T 共用的閘極電極。然後，P 通道型 T F T 之高濃度源極範圍係藉由連接孔 1452，又，N 通道型 T F T 之高濃度汲極範圍係藉由連接孔 1453，各連接於各反相器之輸出信號的配線 1424。

此等之配線中，成爲閘極電極之配線 1412 係圖案化與顯示範圍之掃描線 112 同一之導電層者，又，配線 1404、1414 及 1424 係圖案化與畫素部之資料線 114 同一之導電層者。即，於周邊電路範圍中，使用與顯示範圍之掃描線 112 同一之導電層，形成第 1 層之配線 1412，使用與資料線 114 同一之導電層，形成第 2 層之配線 1404、1414 及 1424。

然而，在此，將資料線驅動電路 140 之反相器做爲一例做了說明，對於資料線驅動電路 140 之其他元件，例如時脈反相器，或構成邏輯積電路之 N A N D 閘等，更且對於掃描線驅動電路 130 之各種元件，與在此所說明之反相器同樣地，形成於溝 12。爲此，於形成周邊電路之範圍中，與顯示範圍同樣，可減低配線或元件等之有無的不同的階差。

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(32)

< 安裝端子之詳細構成 >

接著，對於安裝端子 1 0 7 之詳細構成，參照圖 1 0 加以說明。圖 1 0 係圖 9 之 D - D' 線之截面圖，顯示安裝端子 1 0 7 及配線 1 7 1 之構成。

如圖 1 0 所示，安裝端子 1 0 7 及配線 1 7 1 係對應於設於基板 1 0 之溝 1 2 加以形成。在此，對於溝 1 2，如圖 9 所示，對應欲形成安裝端子 1 0 7 之周緣（輪廓）部分，和欲形成到達此安裝端子之配線 1 7 1 的部分，形成於基板 1 0 之表面者。

然而，如圖 1 0 所示，於溝 1 2 和以輪廓部分包圍之範圍中，形成與顯示範圍或周邊電路之形成範圍的遮光膜 2 2 同一層所成導電層 2 2 b。於此導電層 2 2 b 之上層，形成基材絕緣膜 4 0，雖被覆基板整面，但還剩有對應於形成於基板 1 0 化溝 1 2 的凹凸部。

接著，於基材絕緣膜 4 0 中，對應溝 1 2 之凹部，和對應以該輪廓部分包圍範圍的凸部係形成與顯示範圍之掃描線 1 1 2 或周邊電路範圍之第 1 層之配線 1 4 1 2 同一層所成導電層 1 1 2 b。於此導電層 1 1 2 b 之上層，形成第 1 之層間絕緣膜 4 1，雖被覆基板整面，但還剩有對應於形成於基板 1 0 化溝 1 2 的凹凸部。

更且，於對應於溝 1 2 之凹部，和對應以該輪廓部分包圍範圍的凸部係形成與顯示範圍之資料線 1 1 4 或周邊電路範圍之第 2 層之配線 1 4 0 4、1 4 1 4、1 4 2 4 等同一層所成導電層 1 1 4 b。然後，於此導電層

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(33)

1 1 4 b 之上層，於基板整面，雖形成第 2 之層間絕緣膜 4 2，於對應以溝 1 2 之輪廓部分包圍之範圍的凸部設置開口部 4 2 a。即，導電層 1 1 4 b 係在於對應以溝 1 2 之輪廓部分所包圍之範圍的凸部露出，此做為安裝端子

1 0 7 之墊片加以使用時，另一方面到達此凸部之導電層 1 1 4 b，成為做為配線 1 7 1 加以使用之構成。於如此構成中，於開口部 4 2 a 露出之導電層 1 1 4 b 表面，較其他之部分隆起之故，可減低與第 2 之層間絕緣膜 4 2 之表面的階差。

又，自基板 1 0 之基準面 R 之溝 1 2 的深度 d 係形成為幾近等於導電層 2 2 b 之厚度 t_1 、導電層 1 1 2 b 之厚度 t_2 及導電層 1 1 4 b 之厚度 t_3 之合計。因此，形成於溝 1 2 之導電層 1 1 4 b 之表面 P，和未形成導電膜 2 2 b、1 1 2 b、1 1 4 b 之部分的第 1 之層間絕緣膜 4 1 之表面 Q 幾近呈相等之故，於此等之上層形成第 2 之層間絕緣膜 4 2 時，與形成配線 1 7 1 之部分，與未形成之部分幾近呈平坦化。

然而，形成對應於以溝 1 2 之輪廓部分包圍的範圍的凸部之導電膜 2 2 b、1 1 2 b，係在電氣上雖可稱不需要，設置導電膜 2 2 b、1 1 2 b 之理由係如以下所述。即，本實施形態中，溝 1 2 係除端子範圍之外，於顯示範圍或周邊電路範圍中亦有形成，由工程之簡化觀點視之，此等之溝 1 2 係於同一之工程，一體加以形成者為佳。在此，於顯示範圍或周邊電路中，考量遮光膜、第 1 層及第

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (39)

極電極的第2層之配線1404、1414、1424加以形成，又，於端子範圍中，做為導電層114b加以形成。

接著，如圖13(k)所示，將第2之層間絕緣膜42，被覆第2層之配線或第1之層間絕緣膜41等地，例如經由CVD法等，堆積約500~1500nm之厚度。然而，做為第2之層間絕緣膜42之材質，與基材絕緣膜40或第1之層間絕緣膜41同樣地，可列舉NSG，或PSG、BSG、BPSG等之矽玻璃膜，或氮化矽膜、氧化矽膜等。

接著，如圖13(l)所示，於顯示範圍中，於對應TFT116之汲極範圍的位置，將開孔第2之層間絕緣膜42、第1之層間絕緣膜41及絕緣膜32的連接孔53，經由乾蝕刻等加以形成。另一方面，經由端子範圍，除去第2之層間絕緣膜42中，位於以溝12之輪廓對應部分所包圍之凸部的部分47，設置開孔部42a。

然而，做為設置開孔部42a之手法，大分為第2之層間絕緣膜42中，將相當於開孔部42a之部分，經由蝕刻等，選擇性地加以除去之第1之手法，和至對應於以溝12之輪廓部分包圍的範圍的凸部之導電層114b露出，將第2之層間絕緣膜42，施以CMP(化學機械性研磨)處理之第2之手法的二個。其中，有關於後者之第2之手法者，在成為安裝端子107之部分和其他之部分幾近完全平坦化的觀點視之為有利者。惟，有關於前者之第

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(40)

1 之手法，第 2 之層間絕緣膜 4 2 中，將相當於開孔部 4 2 之部分，經由與形成連接孔 5 3 同樣的手法，可選擇性加以除去之故，自工程之簡化之觀點視之，有利於第 1 之手法。

再則，對於以後之工程，雖省略圖示，於第 2 之層間絕緣膜 4 2 之表面，將 I T O 等之透明導電性薄膜，經由濺射等，堆積約 5 0 ~ 2 0 0 n m 之厚度後，經由光蝕刻或蝕刻等，圖案化呈所定之形狀（參照圖 5），形成畫素電極 1 1 8。此後，將聚醯亞胺等之有機溶液，塗佈。燒成於基板 1 0 之對向面之整面。由此，形成配向膜 6 1。然而，對於此配向膜 6 1 係於示於圖 1 4 之方向，施以研磨處理。

然後，如此形成之元件基板 1 0 1 係向與其約 9 0 度旋轉之方向研磨處理的對向基板 1 0 2 時，經由密封材 1 0 4 貼合之後，液晶 1 0 5 被封入，封閉，加以切出，成為如示於圖 1 (a) 的光電裝置。

然而，元件基板 1 0 1 中，配向膜 6 1 形成於整面，但於液晶封閉之後，經由電漿處理等，除去形成於由對向基板 1 0 2 展開之部分的配向膜。為此，端子範圍及周邊電路範圍之最上層係非配向膜 6 1，成為導電層 1 1 4 b 或第 2 之層間絕緣膜 4 2（參照圖 8 或圖 1 0）。

根據如此之製造方法，溝 1 2 除端子範圍外，設於顯示範圍或周邊電路範圍，於此形成配線或元件之故，不單是端子範圍，於顯示範圍或周邊電路範圍中，會減低基板

（請先閱讀背面之注意事項再填寫本頁）

訂

五、發明說明 (41)

之表面的階差。此時，設於成為安裝端子 1 0 7 之墊片的導電層 1 1 4 b 之下層的高度調整用之導電膜 2 2 b 係與顯示範圍及周邊電路範圍之遮光膜 2 2 使用同一層加以形成，又同樣高度調整用之導電膜 1 1 2 b 係使用與顯示範圍之掃描線 1 1 2 和周邊電路範圍之配線 1 4 1 2 同一層的導電膜加以形成，更且，導電層 1 1 4 b 亦使用與顯示範圍之資料線 1 1 4 和周邊電路範圍之配線 1 4 0 4 、 1 4 1 2 、 1 4 2 4 同一層的導電膜加以形成。更且，對於溝 1 2，端子範圍外之顯示範圍或周邊電路範圍中，一體地加以設置。因此，追加之步驟幾近沒有之故，可防止製造步驟的複雜化。

< 變形例 >

然而，於上述實施形態中，成為安裝端子 1 0 7 端子的墊片係雖由資料線 1 1 4 或第 2 層之配線 1 4 0 4 同一層的導電層 1 1 4 b 加以形成，於此之上，更堆積其他之導電膜亦可。例如，如圖 1 5 所示，圖案化畫素電極

1 1 8 之時，於以溝 1 2 之輪廓部分包圍之凸部之導電層 1 1 4 b，殘留 I T O 等之導電層 1 1 8 b 亦可。如上所述，導電層 1 1 4 b 係由鋁等所成，但鋁不但易於被侵蝕，又，有對於使用於與 F P C（可撓性印刷電路板）基板之接合的導電性微膠囊的密著性不佳的問題。但是，如此之問題係將露出之導電層 1 1 4 b 之表面，再經由導電膜 1 1 8 b 被覆而可加以解決。

（請先閱讀背面之注意事項再填寫本頁）

訂

五、發明說明(42)

< 應用例 >

又，於實施形態中，除端子範圍外，對於顯示範圍或周邊電路範圍，形成有溝12，如上所述，顯示範圍或周邊電路範圍之階差係與畫素之排列間隔同倍率，或於該整數倍產生之故，起因於該階差的顯示斑紋則明顯地較不為明顯。在此，對於顯示範圍或周邊電路範圍不設置溝12，可形成僅對於端子範圍之溝。

更甚之，如圖14所示，一致於資料線114之1延伸存在方向進行研磨處理時，研磨顯示範圍100a之拋光布，無關於畫素排列間隔而混亂的範圍係屬於安裝端子107和配線171形成之範圍，和有關於顯示範圍100a之拋光布所掃描之範圍109a的雙方。即，以圖2所述時為範圍B。因此，僅抑制無關於畫素之排列間隔所產生之較易辨識之顯示斑紋的目的下，僅於此範圍B形成溝12即可。

然而，於圖14所示之方向進行研磨處理時，對於範圍192a，即使由於階差之因素而使拋光布混亂，其毛前端不會成為顯示範圍100a之故，對於此範圍192（例如掃描線驅動電路130中），不特別加以形成溝12亦可。

然後，僅於端子範圍形成溝12之時，無需考量與遮光膜22同一膜所成之導電層22b，及與掃描線112同一膜所成導電層112b之厚度亦可，如圖16所示，於導電層114b之下層，不設置導電膜，將溝12之深

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

五、發明說明(43)

度，與導電層 1 1 4 b 之厚度 t_3 幾近相同地加以設定即可。

< 其他 >

然而，上述之實施形態中，6 條之資料線 1 1 4 集合於 1 區塊，對於屬於 1 區塊之 6 條之資料線 1 1 4，將變換呈 6 系統之畫像信號 V I D 1 ~ V I D 6，呈同時取樣加以供給的構成，變換數及同時施加之資料線數（即，構成 1 區塊之資料線數）係非限制於「6」。例如，取樣電路 1 5 0 之取樣開關 1 5 1 之回應速度充分為高之時，無需將畫像信號變換呈平行，於一條之畫像信號線，串列傳送，於每資料線 1 1 4，呈點順序地取樣地加以構成亦可。又，將變換及同時施加之資料線數做為「3」或「1 2」、「2 4」等，對於 3 條或、1 2 條、2 4 條等之資料線，將 3 系統變換或、1 2 系統變換、2 4 系統變換等之畫像信號同時供給地加以構成亦可。然而，做為變換數及同時施加之資料線數，由彩色之畫像信號為有關 3 原色之信號所成之關係，因為為 3 之倍數之故在簡化控制或電路等為佳。但是，如後述之投影機，於單純之光調變之用途時，不需要 3 之倍數。更且，無需同時控制取樣開關，將平行變換之畫像信號 V I D 1 ~ V I D 6 順序移位加以供給，順序控制取樣開關 1 5 1 地加以構成亦可。

又，於上述之實施形態中，雖然自上向下方向將掃瞄線 1 1 2 加以掃瞄，另一方面，自左向右方向選擇區塊地

（請先閱讀背面之注意事項再填寫本頁）

訂

五、發明說明(44)

加以構成，但亦可以反方向選擇構成亦可，對應用途可選擇任一之方向的構成亦可。

更且，於上述實施形態中，於元件基板 101 形成平板型之 TFT 116 等，但本發明不限於此。例如，將 TFT 116 以底閘極型加以構成亦可。又，將元件基板 101 以半導體基板構成的同時，在此，代替 TFT 116，形成互補型電晶體亦可。更且，適用 SOI (Silicon On Insulator) 之技術，於藍寶石、石英、玻璃等之絕緣性基板，形成矽單結晶膜，在此製作各種元件做為元件基板 101 亦可。惟，元件基板 101 不具透明性時，需令畫素電極 118 以鋁形成，另外形成反射層等，將液晶裝置 100 做為反射型加以使用。

< 投影機 >

接著，對於適於上述之光電裝置之電子機器加以說明。對於有關實施形態之光電裝置，可適用種種之電子機器、例如個人電腦，或液晶電視、觀景型、監視直視型之攝錄放影機，汽車導航裝置、呼叫器、電子筆記本、計算機、文字處理機、工作站、電視電話、POS 終端、數位相機、手機、具有觸碰面板的機器等。

在此，經由本發明所解決之顯示斑紋，即沿研磨方向之條狀之顯示斑紋，雖然在於直視型的部分比較不會有問題，但是對於將顯示像投射之投影機，則會擴大到無法忽視的程度。

(請先閱讀背面之注意事項再填寫本頁)

訂

四、中文發明摘要(發明之名稱： 光電裝置、該製造方法及電子機器)

本發明係有關光電裝置、該製造方法及電子機器，於基板 1 0，於欲形成到達安裝端子 1 0 7 之配線 1 7 1 的部分設置溝 1 2。然後，將安裝端子 1 0 7 和配線 1 7 1 被覆第 2 之層間絕緣膜 4 2 的同時，於對應於安裝端子 1 0 7 之部分，設置開孔部 4 2 a，

由此，減低安裝端子 1 0 7 和到達此之配線 1 7 1 之階差。

英文發明摘要(發明之名稱：)

五、發明說明 (18)

97年3月14日修(更)正替換頁

明。此光電裝置係做為光電物質使用液晶，經由該光學性的變化，進行所定顯示者。圖 1 (a) 係此光電裝置中，顯示除去外部電路之液晶裝置 1 0 0 構成之斜視圖，圖 1 (b) 係圖 1 (a) 之 A - A ' 線的截面圖。

如此等之圖所示，液晶裝置 1 0 0 係各種元件或畫素電極 1 1 8 等所形成之元件基板 1 0 1 ，和設置對向電極 1 0 8 等之對向基板 1 0 2 ，藉由包含間隔物（圖示省略）之密封材 1 0 4 ，保持一之之間隙，相互電極形成面呈對向地加以貼合的同時，於此間隔，成為做為光電物質例如封入 T N （扭轉向列）型之液晶 1 0 5 的構成。

在此，於元件基板 1 0 1 中，使用玻璃或石英、矽等，於對向基板 1 0 2 中，使用玻璃或石英等。然而，於元件基板 1 0 1 使用不透明之基板時，雖沿對向基板 1 0 2 之周邊加以形成，但為封入液晶 1 0 5 ，一部分被開口。為此，於封入液晶 1 0 5 之後，該開口部分經由封閉材 1 0 6 加以封閉。

接著，元件基板 1 0 1 之對向面中，於密封材 1 0 4 之外側一邊的範圍 1 4 0 a 中，形成後述之資料線驅動電路，成為輸出取樣信號之構成。更且，於此一邊，形成密封材 1 0 4 附近之範圍 1 5 0 a 中，形成後述之畫像信號線或取樣電路等。另一方面，於此一邊之外圍部分，形成複數之安裝端子 1 0 7 ，成為輸入自外部電路（省略圖示）之各種信號的構成。

又，鄰接於此一邊的 2 邊之範圍 1 3 0 a 中，形成各

（請先閱讀背面之注意事項再填寫本頁）

訂

線

五、發明說明 (28)

瞄線 1 1 2、容量線 1 7 5、T F T 1 1 6 等之範圍
1 2 a 者。

再則，於此溝 1 2 中，設置遮光膜 2 2，可防止自基板 1 0 之下側光侵入 T F T 1 1 6。更且，於此遮光膜 2 2 之上層，則藉由基材絕緣膜 4 0，設置多晶矽所成之半導體層 3 0，該表面係以熱氧化之絕緣膜 3 2 所被覆。

然而，資料線 1 1 4 係延伸存在於 Y 方向，掃描線 1 1 2 係延伸存在於 X 方向。又，容量線 1 7 5 係與掃描線 1 1 2 接近，平行地延伸存在於 X 方向加以設置，但與資料線 1 1 4 交叉之部分中，與資料線 1 1 4 重疊地，突出於前段側（圖 5 中為上側）加以形成，於如此配線下，半導體層 3 0 係自資料線 1 1 4 及容量線 1 7 5 交叉之地點，延伸存在於容量線 1 7 5 之延伸存在方向（於圖 5 中右方向）、資料線 1 1 4 之下層的容量線 1 7 5 之突出方向（上方向）、及該相反方向（下方向）之共計 3 方向，形成呈略 T 字狀。

然後，半導體層 3 0 中，與掃描線 1 1 2 重疊之部分成為通道範圍 3 0 a。換言之，掃描線 1 1 2 中，與半導體層 3 0 交叉之部分做為閘極電極 1 1 6 G 加以使用。更且，於半導體層 3 0，於通道範圍 3 0 a 之源極側，設置低濃度源極範圍 3 0 b，高濃度源極範圍 1 1 6 S，另一方面於通道範圍 3 0 a 之汲極側，則設置低濃度汲極範圍 3 0 c，高濃度汲極範圍 1 1 6 D，呈所謂 L D D（Lightly Doped Drain）之構造。

（請先閱讀背面之注意事項再填寫本頁）

訂

線

五、發明說明(34)

2層之配線的膜厚，第2之層間絕緣膜42之表面儘可能呈平坦地，決定溝12之深度。另一方面，於安裝端子107及配線171中，僅有最上層之導電層114b即可，考量遮光膜，或第1層及第2層之配線之膜厚，於設定深度d之溝12，僅設定導電層114b時，溝12之深度會成爲過度，會有產生階差之情形。在此，於端子範圍中，爲防止如此之階差，設於顯示範圍或周邊電路範圍遮光膜，或將第1層之配線做爲高度調整用之虛擬膜加以使用。然而，如此之虛擬膜係做爲高度調整用之故，不限於導電膜，將絕緣體另外加以形成亦可。

又，與遮光膜22同一膜所成導電層22b係有較爲薄之情形。如此之時，可無視遮光膜22或導電層22b之有無之不同的階差，於端子範圍不設置導電層22b亦可。此時，溝12之深度d係與導電層112b之厚度 t_2 及導電層114b之厚度 t_3 之和幾近相等時即可。更且，考量半導體層30之膜厚，形成溝12亦可。於此時，做爲高度調整用之虛擬膜，使用構成半導體層30之多晶矽層亦可。

< 製造步驟 >

接著，對於有關實施形態之光電裝置之製造步驟，以元件基板101爲中心加以說明。

首先，如圖11(a)所示，例如於石英基板，或玻璃基板、矽基板等之基板10，經由光蝕刻或蝕刻等，形

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(35)

成溝 1 2。然而，此溝 1 2 之深度 d 係如前述，呈幾近等於遮光膜、第 1 層及第 2 層之配線之膜厚之合計地加以形成。

接著，如圖 1 1 (b) 所示，於形成溝 1 2 之基板 1 0，形成遮光膜 2 2、導電層 2 2 b。具體而言，將 Ti (鈦)、或 Cr (鉻)、或 W (鎢)、Ta (鉭)、Mo (鉬)、Pb (鉛) 等之金屬單體，或包含此等至少一個的合金或金屬矽化物等，經由濺射等，以 1 0 0 ~ 3 0 0 n m 程度之厚度加以形成之後，將此高融點金屬，經由光蝕刻及蝕刻，圖案化呈上述形狀，形成遮光膜 2 2、導電層 2 2 b。

接著，如圖 1 1 (c) 所示，於遮光膜 2 2、導電層 2 2 b、基板 1 0 之表面，形成基材絕緣膜 4 0。詳細而言，基材絕緣膜 4 0 係例如經由常壓或減壓 C V D (化學氣相沈積法) 等，由 N S G (未摻雜矽玻璃)，或 P S G (磷矽玻璃)，B S G (硼矽玻璃)、B P S G (硼磷矽玻璃) 等之高絕緣性玻璃、或氧化矽膜、氮化矽膜等，以約 5 0 ~ 1 5 0 0 n m 之厚度，較佳為以約 6 0 0 ~ 8 0 0 n m 程度之厚度加以形成。

接著，於基材絕緣膜 4 0 之上面整體，例如經由減壓 C V D 法等，將非晶質矽層，以約 1 0 0 n m 之厚度加以形成，經由熱處理固相成長，形成多晶矽層。此時，形成 N 通道型之 T F T 時，將 Sb (銻)，或 As (砷)、P (磷) 等之 V 族元素之不純物，些微地經由離子植入等加以摻雜

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(36)

一方面，形成 P 通道型 T F T 時，將 A l (鋁) ， 或 B (硼) 、 G a (鎵) 等之 III 族元素之不純物，同樣地些微地經由離子植入等加以摻雜。然後，如圖 1 1 (d) 所示，將多晶矽層，經由光蝕刻或蝕刻等加以圖案化，做為顯示範圍之 T F T 1 1 6 或周邊電路範圍之半導體層 3 0 ， 形成島狀。然而，半導體層 3 0 中，對於形成容量線 1 7 5 之範圍 3 0 f ， 以 P (磷) 等之不純物以高濃度加以摻雜，預先達成低阻抗化亦可。

更且，如圖 1 2 (e) 所示，將半導體層 3 0 之表面熱氧化處理，將絕緣膜 3 2 形成於該半導體層 3 0 之表面，經由此工程，半導體層 3 0 係最終約 3 0 ~ 1 5 0 n m 之厚度，較佳為約 3 5 ~ 4 5 n m 之厚度，另一方面絕緣膜 3 2 係約 6 0 ~ 1 5 0 n m 之厚度，較佳為約 3 0 n m 之厚度。

接著，於絕緣膜 3 2 及基材絕緣膜 4 0 之上面，將多晶矽層經由減壓 C V D 等加以堆積。然後，如圖 1 2 (f) 所示，將此多晶矽層，經由光蝕刻或蝕刻等加以圖案化，於顯示範圍中，做為兼用 T F T 1 1 6 之閘極電極之掃瞄線 1 1 2 ， 成為蓄積容量 1 1 9 另一方之電極的容量線 1 7 5 ， 各別加以形成，又，於周邊電路範圍，做為包含閘極電極之第 1 之配線 1 4 1 2 加以形成，更且於端子範圍中，做為導電層 1 1 2 b 加以形成。然而，對於此導電膜，非為多晶矽，由 A l 等之金屬膜或金屬矽化物膜形成即可，將此等之金屬膜或金屬膜矽和多晶矽，以多層加以

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(37)

形成即可。

更且，如圖 1 2 (g) 所示，於半導體層 3 0 摻雜適切之不純物。詳細而言，將顯示範圍之 T F T 1 1 6 呈 N 通道型之時，源極、汲極範圍中，對於鄰接於通道範圍

3 0 a 之範圍，將掃描線 1 1 2 之一部的閘極電極做為擴散光罩，將 P 等之 V 族元素之不純物，以低濃度加以摻雜。同時，於周邊電路範圍之 N 通道型 T F T 中，同樣地將配線 1 4 1 2 之一部分的閘極電極做為擴散光罩，將不純物，以低濃度加以摻雜。接著，形成較閘極電極寬廣之光阻劑，以此為光罩，同樣地將 P 等之 V 族元素之不純物，以高濃度加以摻雜。由此，N 通道型 T F T 係於通道範圍 3 0 a 之源極側，設置低濃度源極範圍 3 0 b、高濃度源極範圍 1 1 6 S，一方面於通道範圍 3 0 a 之汲極側，呈設置低濃度汲極範圍 3 0 c、高濃度汲極範圍 1 1 6 D 的 L D D 構造。接著，將此等之 N 通道型 T F T 之半導體層 3 0，以光阻劑幕罩之後，對於周邊電路範圍之 P 通道型 T F T 亦同樣，對於鄰接於通道範圍的範圍，將配線

1 4 1 2 為光罩，例如將 B (硼) 等之 III 族元素之不純物加以摻雜，形成低濃度範圍，接著，將較配線 1 4 1 2 寬廣之光阻劑做為光罩，同樣將 B (硼) 等之 III 族元素之不純物加以摻雜，形成高濃度範圍。

然而，將如此各通道型 T F T 不成為 L D D 構造，成為偏移構造之 T F T 亦可，又，做為單純之自我整合型之 T F T 亦可。又，周邊電路之互補型 T F T 中，僅將 N 通

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(38)

道型呈 L D D 構造亦可，更且，將畫素部之 T F T 1 1 6 做為互補型亦可。

接著，如圖 1 2 (h) 所示，將第 1 之層間絕緣膜 4 1，被覆閘極電極或基材絕緣膜 4 0 等地，例如經由 C V D 法等，堆積約 5 0 0 ~ 1 5 0 0 n m 之厚度。然而，做為第 1 之層間絕緣膜 4 1 之材質，與基材絕緣膜 4 0 同樣地，可列舉 N S G，或 P S G、B S G、B P S G 等之矽玻璃膜，或氮化矽膜、氧化矽膜等。

更且，如圖 1 3 (i) 所示，於顯示範圍，將連接孔 5 1，在於周邊電路範圍，各形成連接孔 1 4 5 1、1 4 5 2、1 4 5 3 及 1 4 5 4。詳細而言，連接孔 5 1 對於第 1 之層間絕緣膜 4 1 及絕緣膜 3 2，於對應於 T F T 1 1 6 之源極範圍之位置，經由乾蝕刻等加以形成的同時，連接孔 1 4 5 1、1 4 5 2、1 4 5 3 及 1 4 5 4 形成於對應 P 通道型及 N 通道型 T F T 之高濃度汲極範圍和高濃度源極範圍的位置。然而，此時，於周邊電路範圍，達成第 1 層之配線和第 2 層之配線的導通時，對應於此導通部分，同樣地形成連接孔（省略圖示）。

接著，於第 1 之層間絕緣膜 4 1 上，將鋁等之低阻抗金屬或金屬矽化物等所成導電膜，經由濺射等，堆積約 1 0 0 ~ 5 0 0 n m 之厚度。然後，將此導電膜，示於圖 1 3 (j) 地，經由光蝕刻或蝕刻待加以圖案化，於顯示範圍中，做為兼用 T F T 1 1 6 之源極電極的資料線 1 1 4 加以形成，於周邊電路範圍中，做為包含源極。汲

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(45)

在此，做為電子機器之一例，列舉此等之投影機來說明。在此，投影機係將上述液晶裝置100做為光閥加以使用者，圖17係顯示此構成之平面圖。如示於此圖，於投影機2100內部，設置有鹵素燈等之白色光源所成燈單元2102。自此燈單元2102射出之投射光係經由配置於內部的3枚鏡面2106及2枚之分色鏡2108，分離RGB之3原色，各導引至對應於各原色之光閥100R、100G及100B。在此，光閥100R、100G及100B之構成係與有關上述之實施形態的液晶裝置100同樣，以自輸入畫像信號之處理電路（在此省略圖示）供給的R、G、B之原色信號，各別加以驅動者。又，B色之光係與其他之R色和G色時，光路為長之故，為了防止該損失，藉由入射透鏡2122、中繼透鏡2123及輸出透鏡2124所成中繼透鏡系統2121加以引導。

更且經由光閥100R、100G及100B各別調變之光係向分色稜鏡2112自3方向入射。然後，於此分色稜鏡2112，R色及B色之光呈90度折射，另一方面G色光則直線前進。因此，各色之畫像合成之後，於螢幕2120上，則投射有經由投射透鏡2114之彩色影像。

然而，於光閥100R、100G及100B中，經由分色鏡2108，對應R、G、B之各原色之光被入射之故，如上所述無需設置彩色濾色片。又，對於光閥

（請先閱讀背面之注意事項再填寫本頁）

訂

線

五、發明說明(46)

1 0 0 R、1 0 0 B 之透過像係經由分色鏡 2 1 1 2 反射之後加以投射，光閥 1 0 0 G 之透過像則直接投射之故，將光閥 1 0 0 R、1 0 0 B 所成之顯示像，對於光閥 1 0 0 G 所成顯示像而言呈現左右反轉之構成。

本發明係不限於上述實施形態，只要在不違反本發明之要點或本發明之思想的範圍下，可進行適切設計上之變更，而其伴隨之變更亦包含於本發明之技術範圍。

(請先閱讀背面之注意事項再填寫本頁)

訂

線

六、申請專利範圍

第 90105989 號專利申請案

中文申請專利範圍修正本

民國 97 年 3 月 14 日修正

1 . 一種光電裝置，其特徵係具備
複數之層所成具有顯示範圍和前述顯示範圍周邊之周
邊電路所形成之範圍之基板，

和形成於前述基板之外表面的絕緣膜，

和形成於與前述絕緣膜略同一平面的安裝端子，

和將前述周邊電路與前述安裝端子導通的配線，

構成前述安裝端子之周緣下之前述基板的層之至少一
層上形成有溝，

形成在前述基板之外表面上的絕緣膜，係覆蓋前述安
裝端子周緣，於構成前述基板之層的至少一層之前述配線
之至少前述安裝端子側的範圍下，設置連接於形成在前述
安裝端子之周緣下的溝的配線用溝者。

2 . 如申請專利範圍第 1 項之光電裝置，其中，形成
於前述基板之外表面之絕緣膜係形成前述配線之溝的範圍
者。

3 . 如申請專利範圍第 1 項之光電裝置，其中，前述
安裝端子形成有導電膜。

4 . 如申請專利範圍第 1 項之光電裝置，其中，在被
形成於前述安裝端子之周緣下的溝的範圍下，形成至少一
層高度之調整用之膜者。

六、申請專利範圍

5 . 如申請專利範圍第 4 項之光電裝置，其中，前述溝 1 之深度係與前述安裝端子之厚度和前述高度調整用之膜厚度之合計略呈同相同者。

6 . 如申請專利範圍第 4 項之光電裝置，其中，前述高度調整用之膜係形成於前述顯示範圍之配線和成為前述周邊電路配線中的至少一個配線者。

7 . 如申請專利範圍第 1 項之光電裝置，其中，前述溝之深度係與前述配線之高度略為相同者。

8 . 一種光電裝置，其特徵係具備

複數之層所成之基板，

和設於前述基板上，輸入畫像信號之安裝端子，

和於構成前述基板之層之至少一層，設置於形成到達前述安裝端子的配線的至少一部分的溝，

和形成於對應於前述溝之範圍之前述配線和形成於前述配線上之絕緣膜。

9 . 如申請專利範圍第 8 項之光電裝置，其中，前述安裝端子係以前述配線所成之導電膜所形成，形成於前述配線上之前述絕緣膜係露出前述安裝端子者。

10 . 如申請專利範圍第 8 項之光電裝置，其中，前述安裝端子之表面和前述絕緣膜之表面為略同一之高度者。

11 . 如申請專利範圍第 8 項之光電裝置，其中，前述溝係形成於包圍前述安裝端子之範圍，於包圍前述安裝端子之範圍上，形成前述配線者。

六、申請專利範圍

1 2 . 如申請專利範圍第 1 1 項之光電裝置，其中，形成於前述配線上之前述絕緣膜之表面，和鄰接形成前述配線之範圍之前述絕緣膜之表面為呈略相同之高度者。

1 3 . 如申請專利範圍第 8 項之光電裝置，其中，前述配線係以形成於顯示範圍之配線所形成者。

1 4 . 如申請專利範圍第 8 項之光電裝置，其中，前述配線係以成為形成於顯示範圍之周圍的周邊電路的配線加以形成者。

1 5 . 如申請專利範圍第 8 項之光電裝置，其中，前述配線係以形成於顯示範圍之配線及形成於前述顯示範圍之周圍的周邊電路所成之配線所形成者。

1 6 . 如申請專利範圍第 8 項之光電裝置，其中，前述配線的範圍下，形成至少一層高度之調整用之膜者。

1 7 . 如申請專利範圍第 1 6 項之光電裝置，其中，前述溝之深度係與前述配線之厚度和前述高度調整用之膜厚度之合計略呈同相同者。

1 8 . 如申請專利範圍第 1 6 項之光電裝置，其中，前述高度調整用之膜係形成於前述顯示範圍之配線和成為前述周邊電路配線中的至少一個配線者。

1 9 . 如申請專利範圍第 8 項之光電裝置，其中，前述溝之深度係與前述配線之高度略為相同者。

2 0 . 一種光電裝置，其特徵係具備

複數之層所成之基板，

和形成於前述基板上的顯示範圍，

六、申請專利範圍

和配設於前述顯示範圍之配線，

和形成於前述基板上之前述顯示範圍之周邊，於前述配線電氣性連接之周邊電路，

和形成於前述基板上之安裝端子，

和將前述周邊電路和前述安裝端子予以電氣連接的配線，

和設置於構成前述基板之層之至少一層，前述周邊電路所形成之部分的溝，

和形成於前述周邊電路上的絕緣膜者。

21. 一種光電裝置，其特徵係具備

複數之層所成之基板，

和形成於前述基板上的顯示範圍，

和配設於前述顯示範圍之配線，

和形成於前述基板上之前述顯示範圍之周邊，於前述配線電氣性連接之周邊電路，

和形成於前述基板上之安裝端子，

和前述周邊電路和前述安裝端子電氣連接的配線，

和設置於構成前述基板之層之至少一層，前述周邊電路所形成之部分的溝，

和形成前述安裝端子之範圍的溝，

和形成於形成前述周邊電路之溝及前述安裝端子之範圍之溝之範圍的外表面所成之絕緣膜者。

22. 一種光電裝置，其特徵係具備

複數之層所成之基板，

六、申請專利範圍

和形成於前述基板上的顯示範圍，

和配設於前述顯示範圍之配線，

和形成於前述基板上之前述顯示範圍之周邊，於前述配線電氣性連接之周邊電路，

和形成於前述基板上之安裝端子，

和前述周邊電路和前述安裝端子電氣連接的配線，

和設置於構成前述基板之層之至少一層，配設於前述顯示範圍的配線所形成之部分的溝，

和設置於構成前述基板之層之至少一層，前述周邊電路所形成之部分的溝，

和形成前述安裝端子之範圍的溝，

和形成於形成前述周邊電路之溝及前述安裝端子之範圍之溝之範圍的外表面所成之絕緣膜者。

23. 一種光電裝置，其特徵係具備

複數之層所成之基板，

和形成於前述基板上的顯示範圍，

和配設於前述顯示範圍之資料線，

和沿前述顯示範圍之一邊所形成之資料線驅動電路，

和挾持前述資料線驅動電路，與前述顯示範圍之一邊對向地加以形成之安裝端子，

和向與前述安裝端子電氣性連接的前述資料線，供給畫像信號的信號線，

和於構成前述安裝端子之周緣下之前述基板之層之至少一層，形成安裝端子之範圍的溝，

六、申請專利範圍

被形成在前述基板外表面上的絕緣膜，係覆蓋前記實裝端子之周緣，於構成前述基板之層的至少一層，於形成前述資料線驅動電路的部分，形成溝者。

2 4 . 如申請專利範圍第 2 3 項之光電裝置，其中，於構成前述基板之層的至少一層，於至少前述資料線驅動電路和前述安裝端子之間的範圍內，於形成前述信號線之部分，形成溝者。

2 5 . 如申請專利範圍第 2 3 項之光電裝置，其中，於前述顯示範圍之一邊和前述資料線驅動電路之間，具備以前述資料線驅動電路，控制畫像信號之供給的取樣電路者。

2 6 . 如申請專利範圍第 2 5 項之光電裝置，其中，於構成前述基板之層的至少一層，形成設於前述取樣電路所形成之部分的溝者。

2 7 . 如申請專利範圍第 2 5 項之光電裝置，其中，於前述顯示範圍形成配向膜，前述配向膜之研磨方向自前述安裝端子向前述顯示範圍者。

2 8 . 一種電子機器，其特徵係具備
射出光之光源，

和將前述光源所產生之射出光，施以對應於畫像資訊之調變的如申請專利範圍第 1 項至第 3 項之任一記載的光電裝置，

和投射經由前述光電裝置調變之光的投射手段者。

2 9 . 一種光電裝置之製造方法，屬於根據藉由設於

六、申請專利範圍

複數之層所成基板上之安裝端子加以輸入之信號，顯示所定之畫像的光電裝置之製造方法，其特徵係具備

於預計形成前述安裝端子部份之周緣處，設置溝之工程，

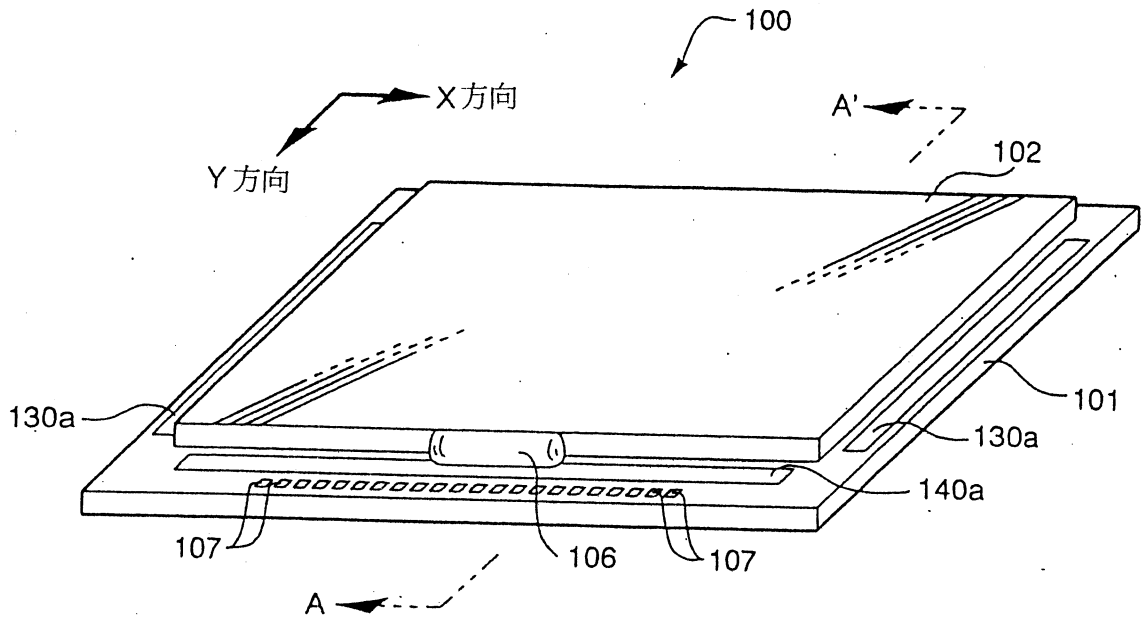
和於構成前述基板之層之至少一層，於到達前述安裝端子之配線所形成之部分，設置溝的工程，

和於對應於前述溝之範圍，形成前述配線之工程，

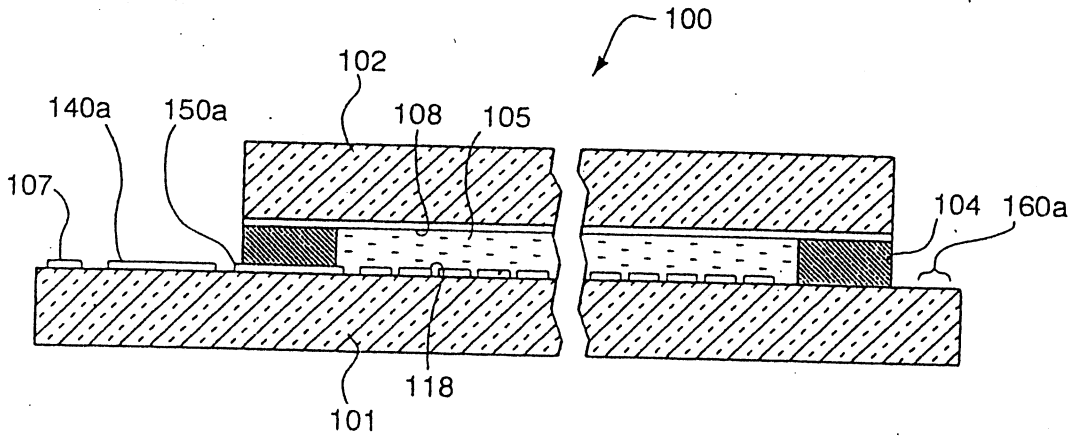
和於前述配線上，堆積絕緣膜之工程者。

30. 如申請專利範圍第29項之光電裝置之製造方法，其中，包含前述安裝端子係與形成前述配線之工程同時形成，於堆積前述絕緣膜之工程後，露出以前述絕緣膜被覆之安裝端子之工程者。

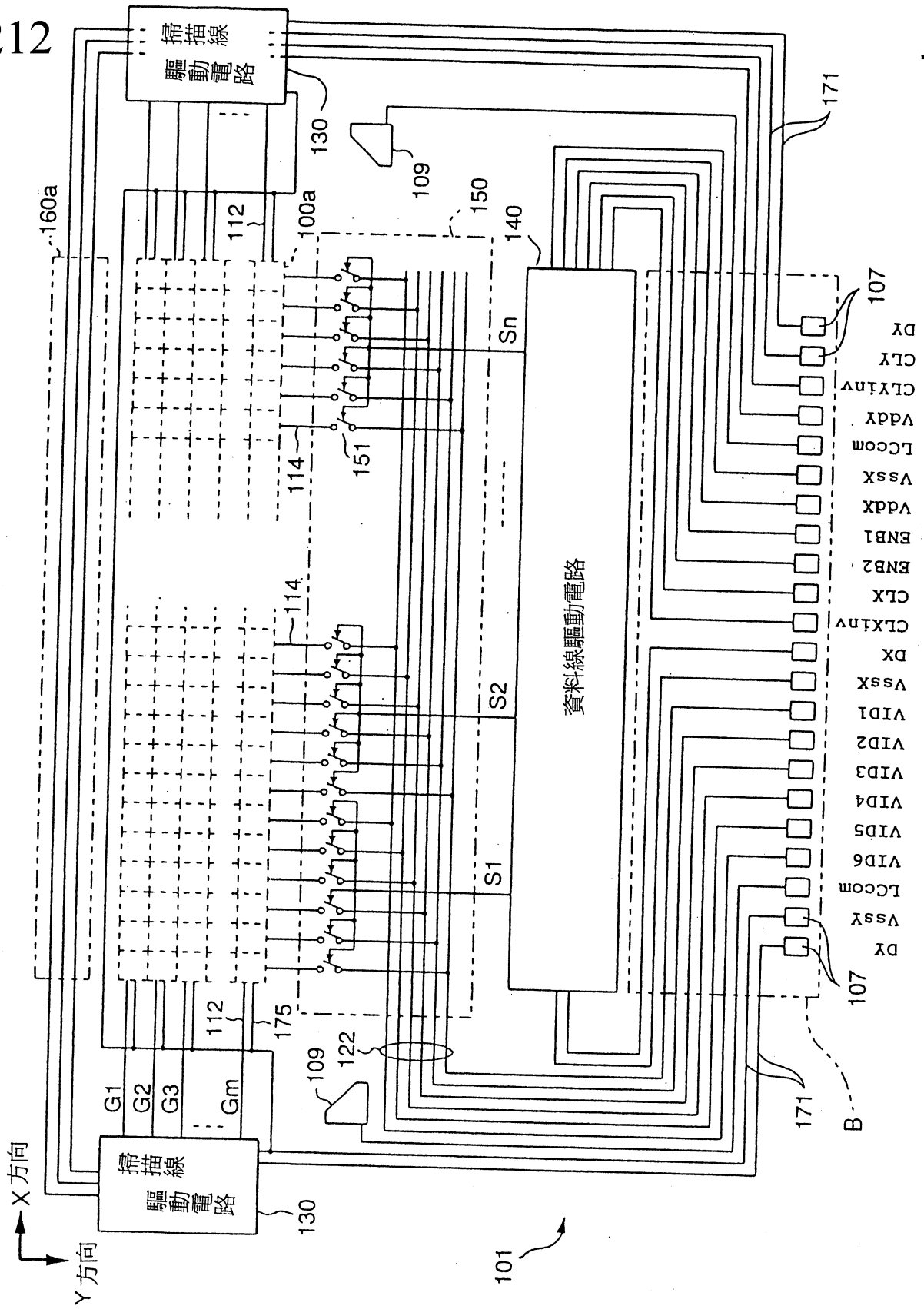
31. 如申請專利範圍第30項之光電裝置之製造方法，其中，露出前述安裝端子之工程係研磨前述絕緣膜之工程者。



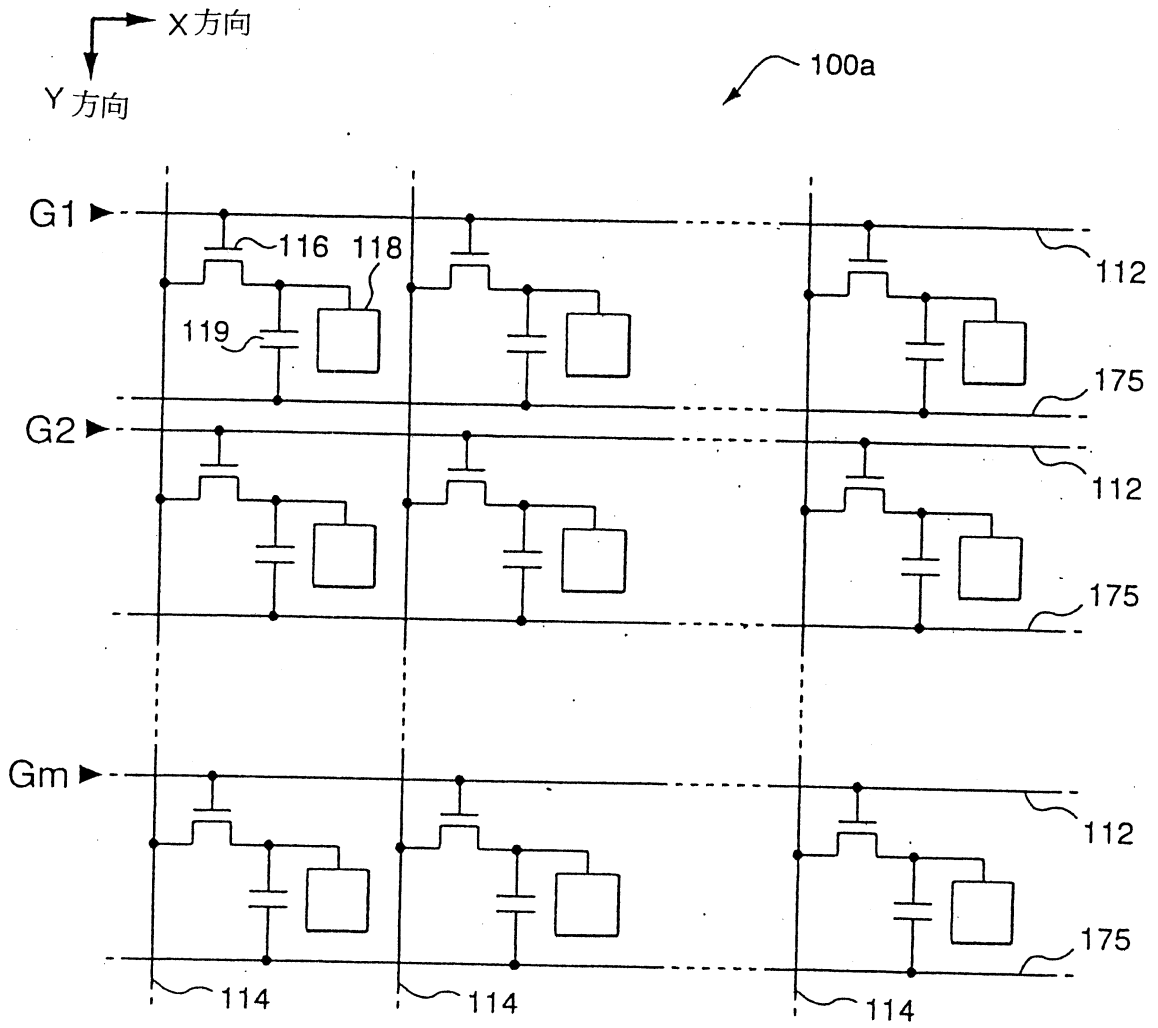
(b)



第 1 圖

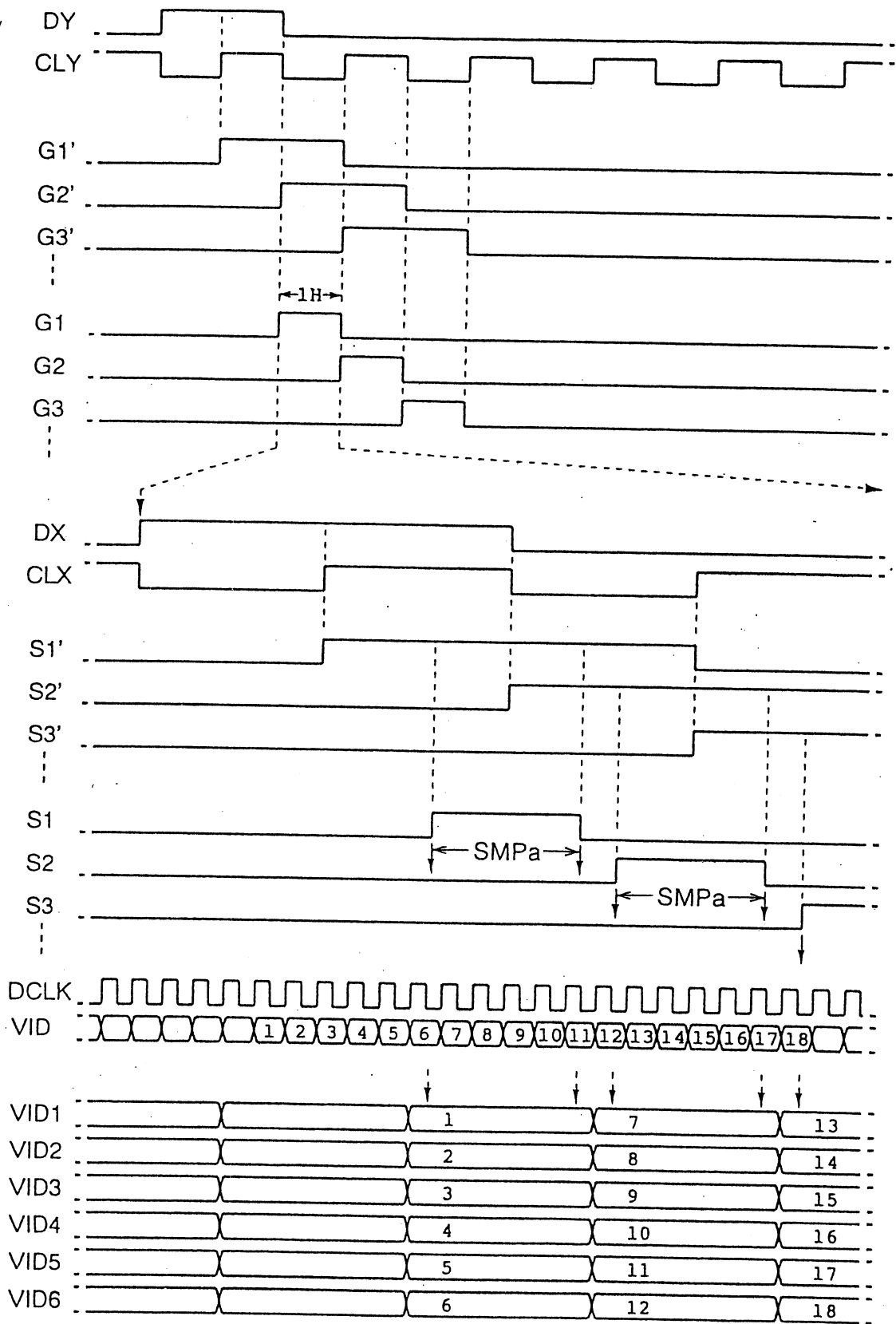


第 2 圖

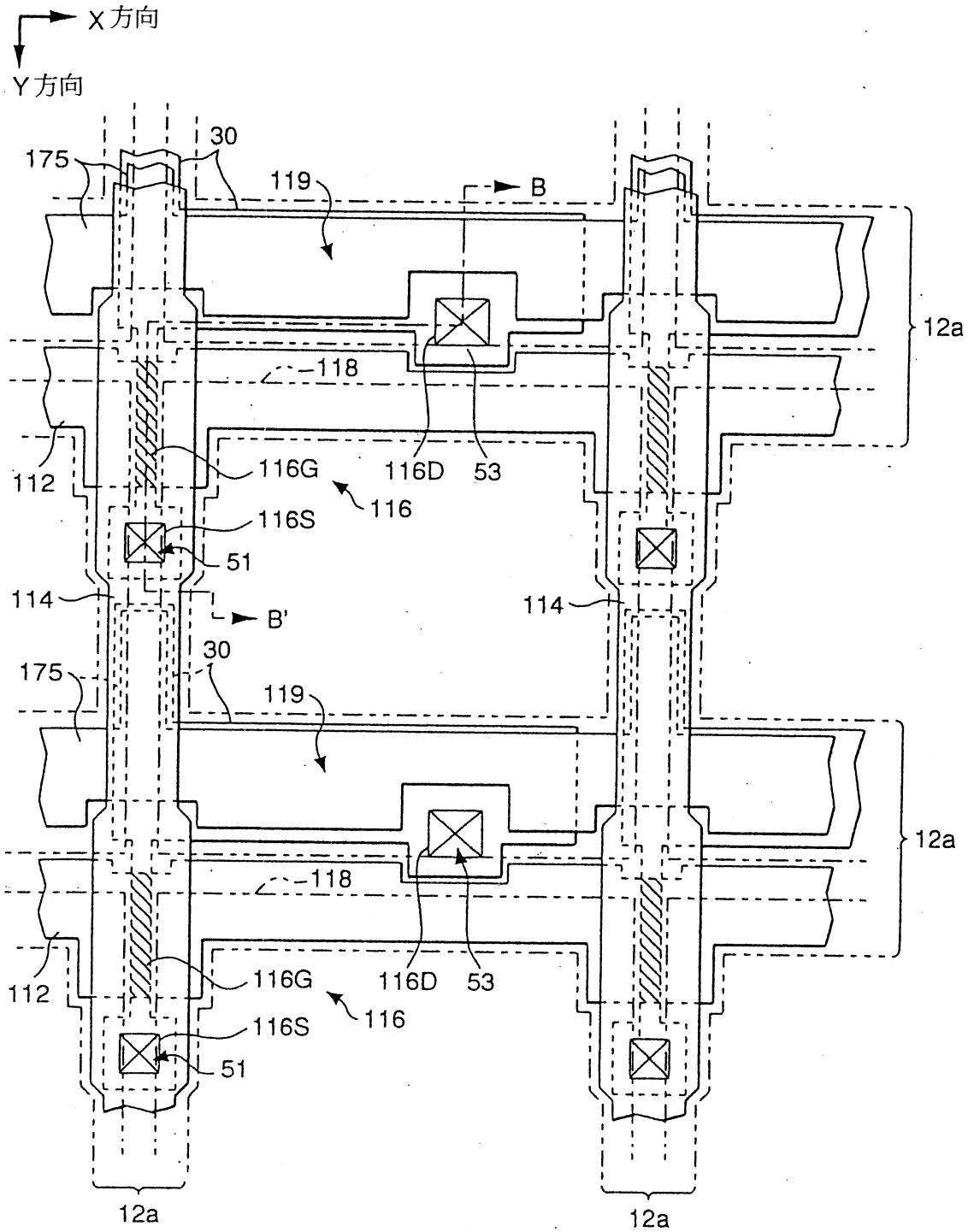


第 3 圖

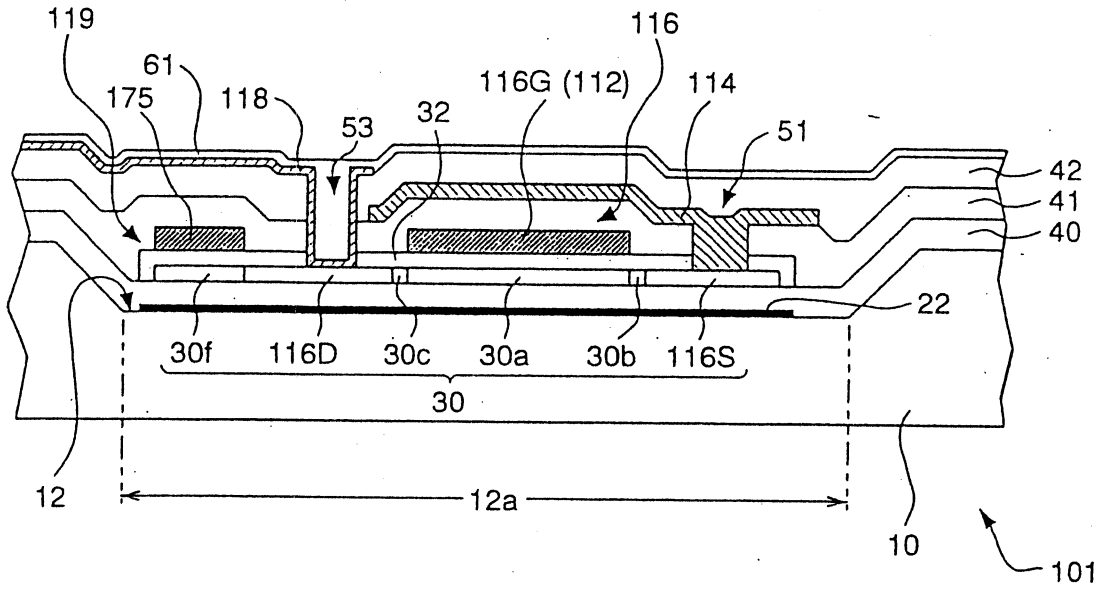
I302212



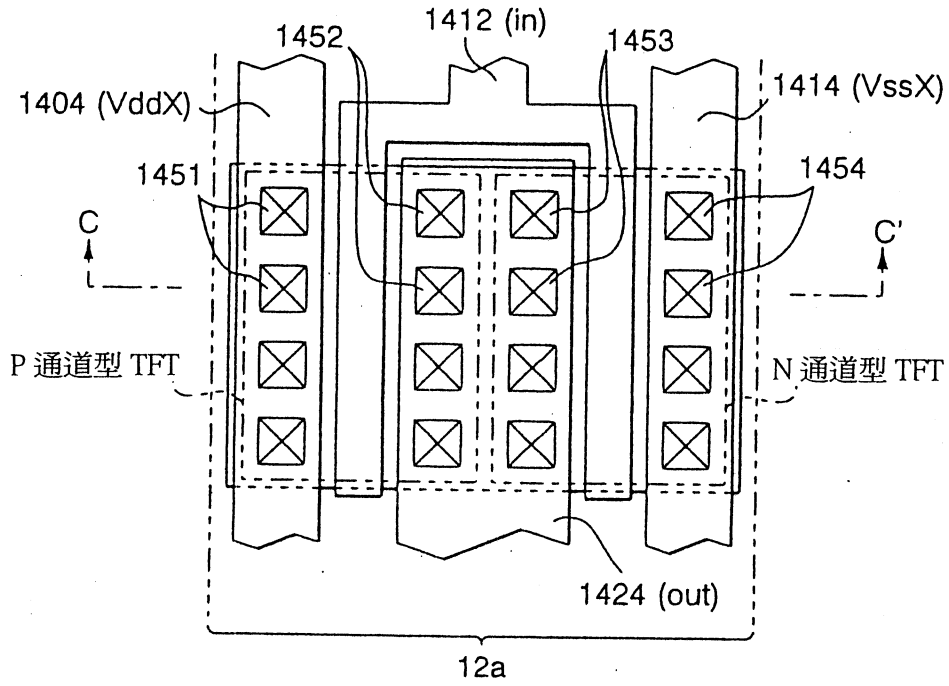
第 4 圖



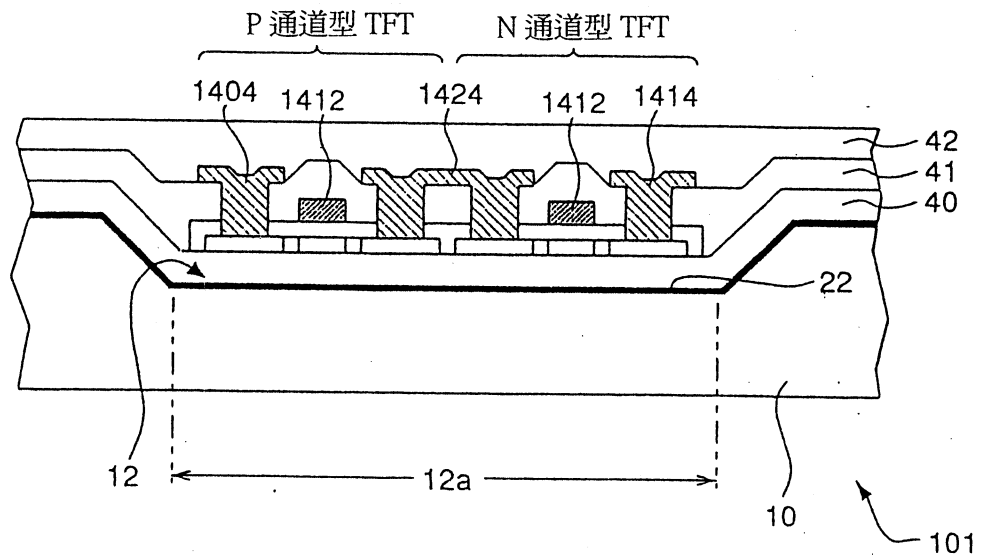
第 5 圖



第 6 圖



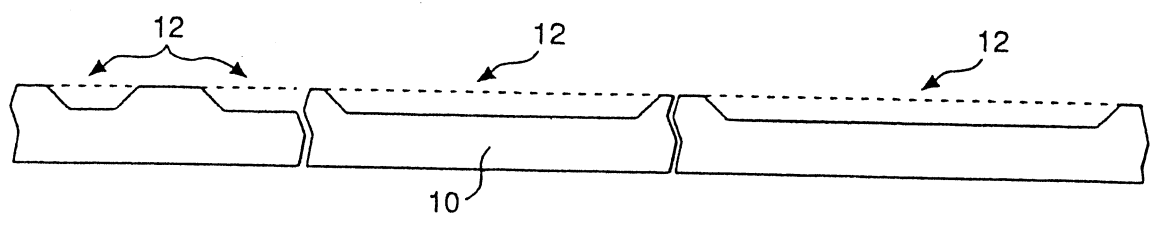
第 7 圖



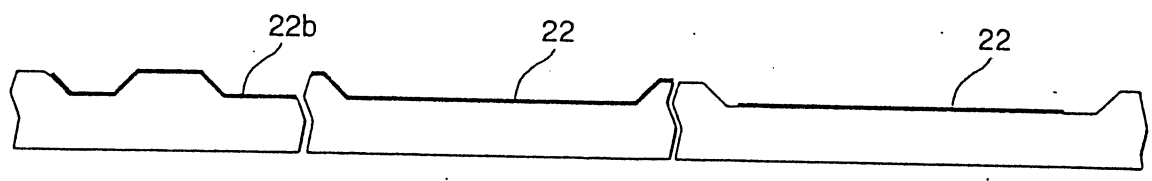
第 8 圖

(a)

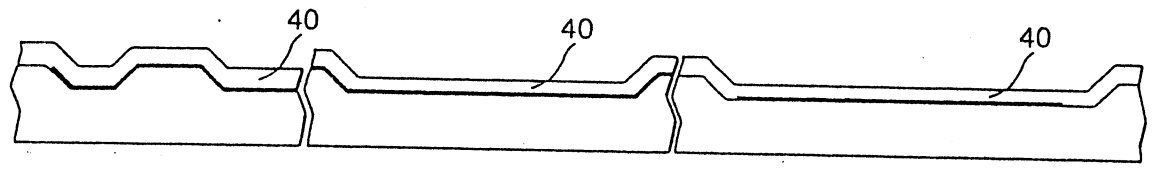
端子範圍 周邊電路範圍 顯示範圍



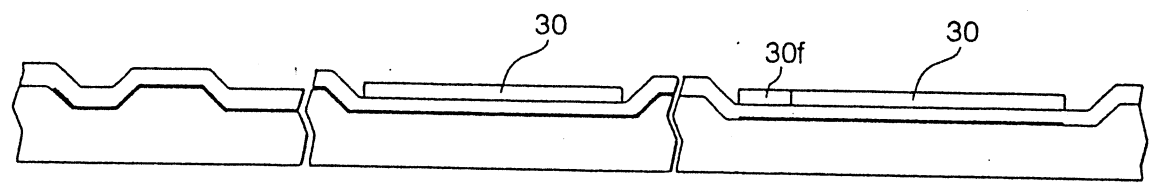
(b)



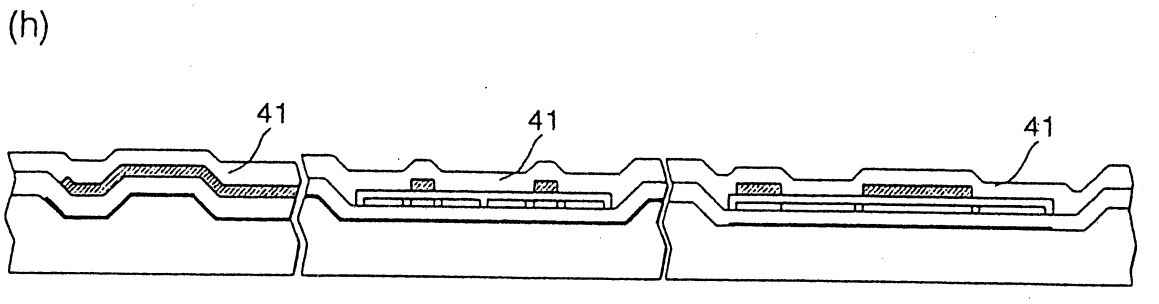
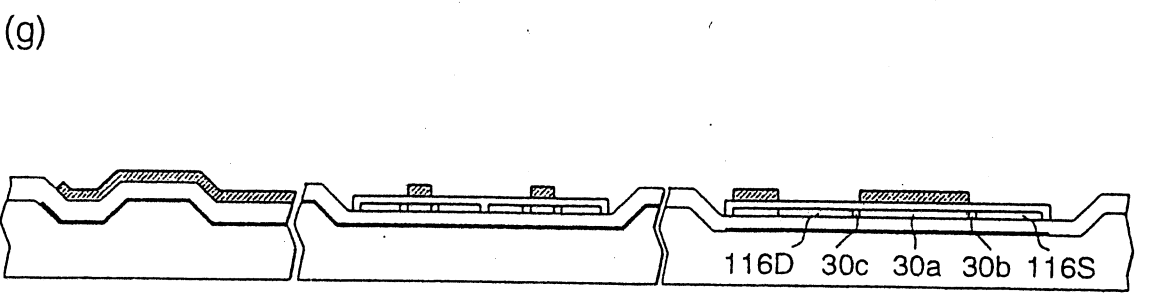
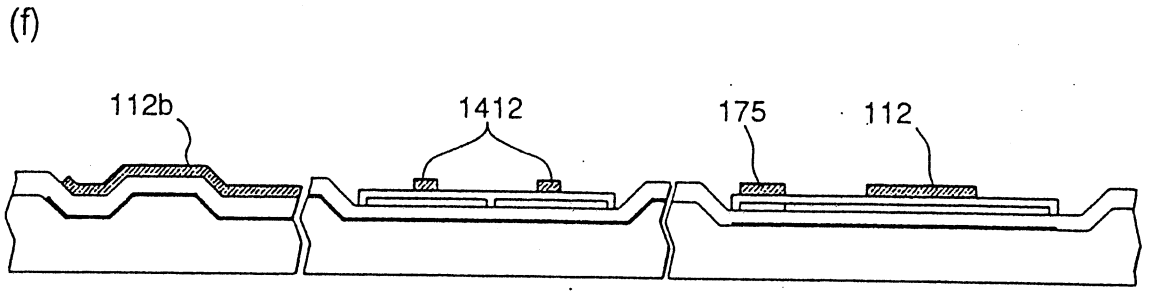
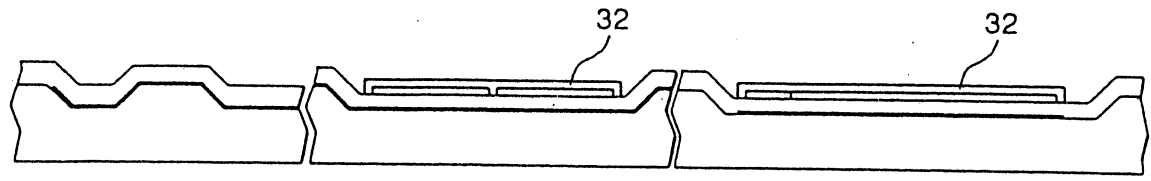
(c)



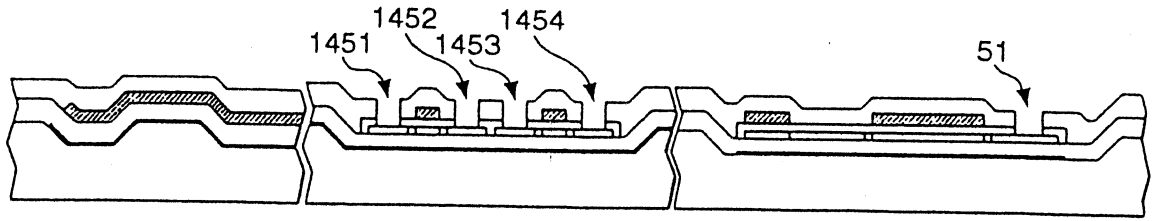
(d)



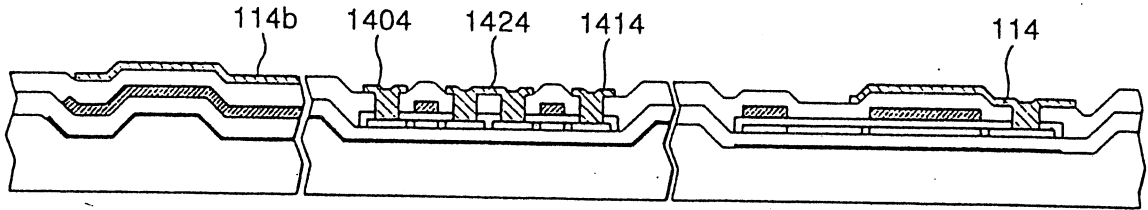
第 11 圖



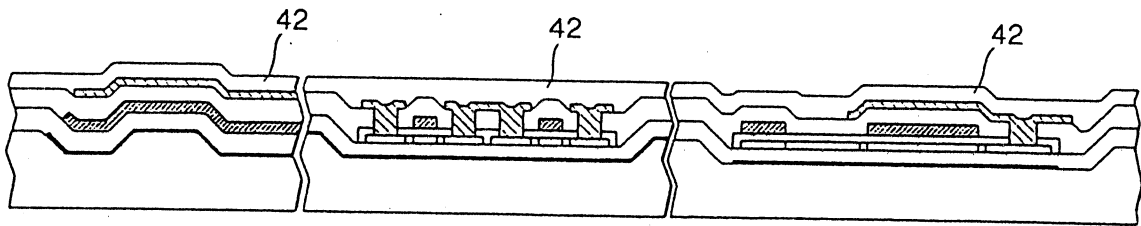
第 12 圖



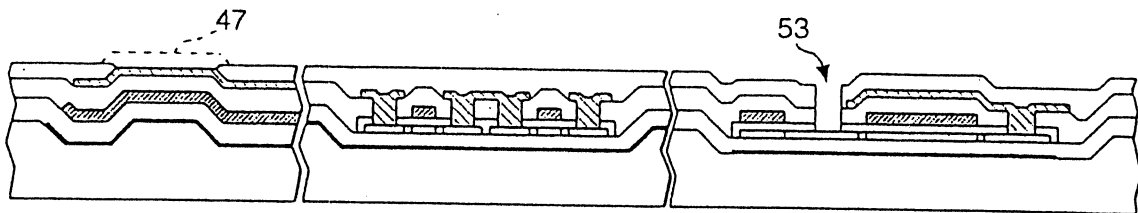
(j)



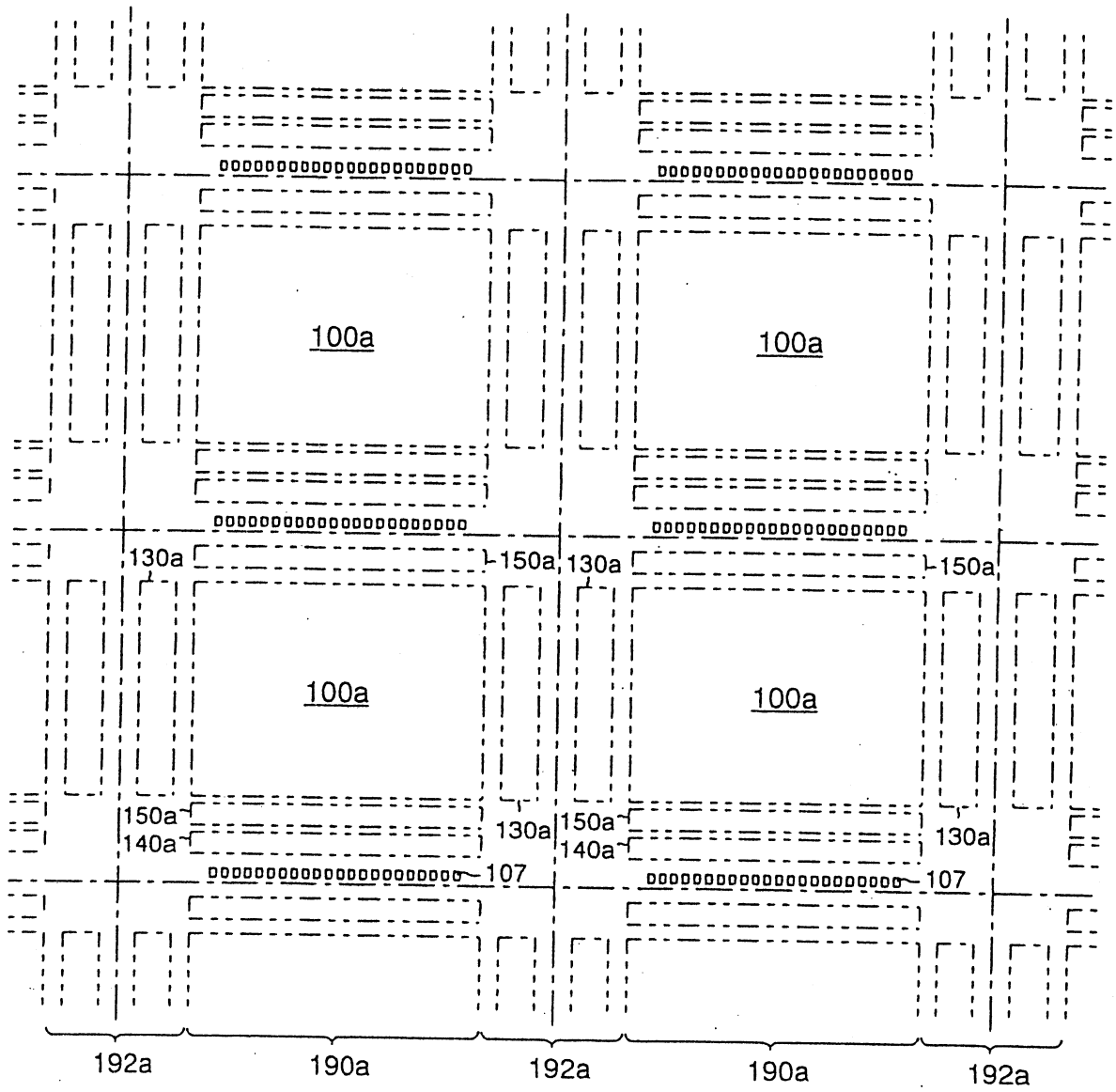
(k)



(l)

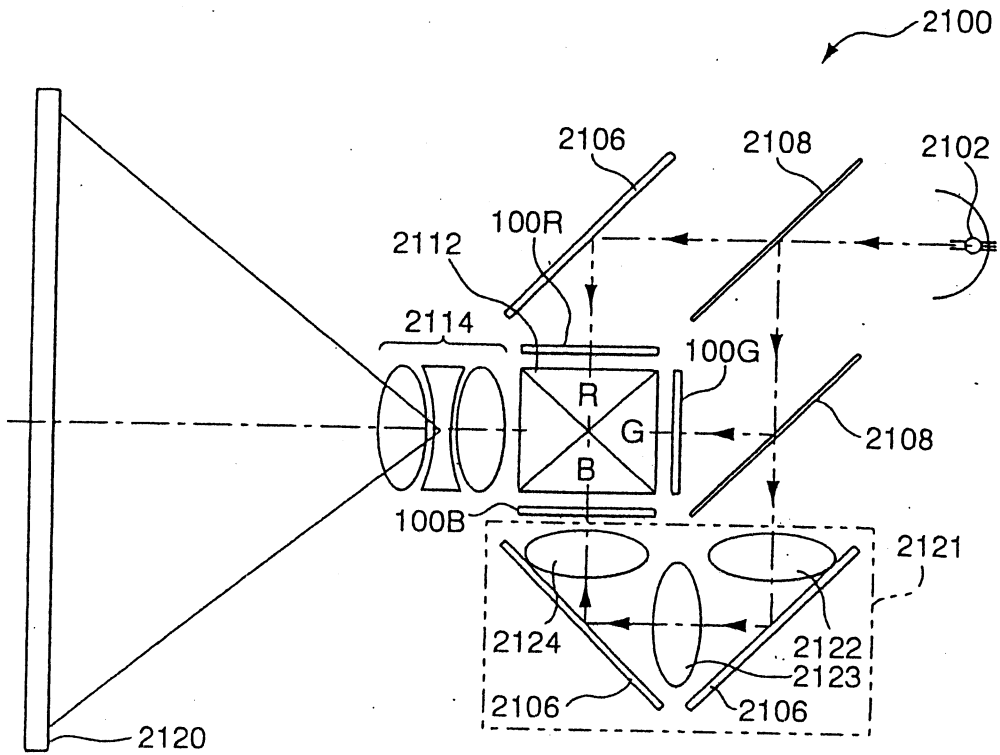


第 13 圖



↑ 研磨方向

第 14 圖



第 17 圖