

(19) 대한민국특허청(KR)

(12) 공개특허공보(A)

(51) Int. Cl.⁶
H01L 21/76

(11) 공개번호 특1999-0055157
(43) 공개일자 1999년07월15일

(21) 출원번호	10-1997-0075069
(22) 출원일자	1997년12월27일
(71) 출원인	현대전자산업 주식회사 김영환
(72) 발명자	경기도 이천시 부발읍 아미리 산 136-1 원대희 경기도 안양시 만안구 안양4동 711-377 여인석 경기도 성남시 분당구 서현동 한신아파트 124-202호 피승호 경기도 이천시 부발읍 아미리 현대 3차 아파트 301동 2004호
(74) 대리인	박해천, 원석희

심사청구 : 없음

(54) 반도체 장치의 소자 분리막 형성방법

요약

본 발명은 반도체 제조 분야에 관한 것으로, 특히 1G DRAM급 이상의 초고집적 반도체 장치 제조 공정중 소자 분리막 형성 공정에 관한 것이며, 더 자세히는 STI(Shallow Trench Isolation) 공정에 관한 것이며, STI 공정시 트렌치 모서리 부분에서 급격한 단차가 형성되는 현상을 별도의 공정 없이 방지할 수 있는 반도체 장치의 소자 분리막 형성방법을 제공하는데 그 목적이 있다. 본 발명은 STI 공정을 통한 소자 분리막 형성 공정에서, 트렌치 형성후 건식 식각에 의한 실리콘 표면의 식각 결함의 제거를 위하여 실시되는 측벽 회생 산화 공정을 975℃ 보다 낮은 온도에서 행하여 종래와 같이 1100℃의 온도에서 열산화를 실시한 경우보다 트렌치 모서리 부분에서의 산화량이 상대적으로 적도록 하여 후속 습식 제거 공정에서 질화막 패턴 하부의 언더컷 발생을 방지하는 기술이다.

대표도

도 1a

명세서

도면의 간단한 설명

도 1a 내지 도 1c는 종래 기술에 따른 STI(Shallow Trench Isolation) 공정도.

도 2a 내지 도 2d는 본 발명의 일실시예에 따른 STI 공정도.

* 도면의 주요 부분에 대한 부호의 설명

10 : 실리콘 기판 11 : 패드 산화막
12 : 질화막 A : 언더컷 부분

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 제조 분야에 관한 것으로, 특히 1G DRAM급 이상의 초고집적 반도체 장치 제조 공정중 소자 분리막 형성 공정에 관한 것이며, 더 자세히는 STI(Shallow Trench Isolation) 공정에 관한 것이다.

STI 공정은 반도체 장치의 디자인 룰(design rule)의 감소에 따른 필드 산화막의 열화와 같은 공정의 불안정 요인을 근본적으로 해결할 수 있는 소자 분리 공정으로 부각되고 있으며, 향후 1G DRAM 또는 4G DRAM급 이상의 초고집적 반도체 장치 제조 공정에서의 적용이 유망한 기술이다.

첨부된 도면 도 1a 내지 도 1c는 종래 기술에 따른 STI 공정을 도시한 것이다. 종래 기술에 따른 STI 공정은 다음과 같다.

우선, 도 1a에 도시된 바와 같이 실리콘 기판(10) 상에 패드 산화막(11) 및 질화막(12)을 차례로 증착하고, 소자 분리 마스크를 사용한 사진 식각 공정을 실시하여 질화막(12) 및 패드 산화막(11)을 차례로 선택적 식각하여 산화 방지막 패턴을 형성한 다음, 패드 산화막(11) 및 질화막(12)으로 이루어진 산화 방지막 패턴을 식각장벽으로 하여 실리콘 기판(10)을 트렌치 식각한다. 계속하여, 트렌치 식각시 발생한 실리콘 기판(10)의 식각 손상을 보상하기 위한 희생 열산화막(도시되지 않음)을 성장시키고, 이를 습식 제거한다. 이때, 희생 열산화막은 1100℃의 온도에서 50 Å ~ 200 Å로 증착하는데, 패드 산화막(11)과 만나는 트렌치 모서리 부분에서 산화가 활발히 일어나 습식 제거시 질화막(12) 하부에 언더컷 부분(A)이 형성된다.

다음으로, 도 1b에 도시된 바와 같이 측벽 열산화막(13)을 성장시키고, 전체구조 상부에 전체구조 상부에 고밀도 플라즈마 화학기상증착(HDPCVD) 방식의 트렌치 매립 산화막(14)을 증착한다. 그런데, 고밀도 플라즈마 화학기상증착 방식의 특성상 산화막 형성 가스의 직진성이 강하기 때문에 질화막(12) 하부에서 트렌치 모서리 부분에서 트렌치 매립 산화막(14)의 증착이 용이하지 않아 보이드(void)(B)가 유발된다.

계속하여, 도 1c에 도시된 바와 같이 화학·기계적 연마(CMP) 공정 및 질화막(12) 및 패드 산화막(11) 습식 제거 공정을 진행하여 최종적인 소자 분리막(15)을 형성한다. 이때, 도시된 바와 같이 트렌치 모서리의 소자 분리막(15) 에지 부분에서 급격한 단차 부분(C)이 유발된다. 이러한 단차 부분(C)에서 후속 게이트 전극 패터닝을 위한 폴리실리콘막 식각시에 폴리실리콘 잔유물이 남게되어 단락을 유발시킬 수 있으며, 실리콘 기판(10) 모서리 부근에서의 전기장 집중에 의한 소자의 전기적 특성 열화를 초래할 수 있다.

이러한 단차 형성을 방지하기 위한 방법으로 트렌치를 매립하기 전에 고온 화학기상증착 방식의 산화막을 증착하는 방법 등이 사용되고 있다. 이러한 방법은 단차 형성을 방지하는데 있어서는 효과적이기는 하지만 공정수가 늘어나는 단점을 가지고 있다.

발명이 이루고자하는 기술적 과제

본 발명은 STI 공정시 트렌치 모서리 부분에서 급격한 단차가 형성되는 현상을 별도의 공정 없이 방지할 수 있는 반도체 장치의 소자 분리막 형성방법을 제공하는데 그 목적이 있다.

발명의 구성 및 작용

본 발명은 STI 공정을 통한 소자 분리막 형성 공정에서, 트렌치 형성후 건식 식각에 의한 실리콘 표면의 식각 결함의 제거를 위하여 실시되는 측벽 희생 산화 공정을 975℃ 보다 낮은 온도에서 행하여 종래와 같이 1100℃의 온도에서 열산화를 실시한 경우보다 트렌치 모서리 부분에서의 산화량이 상대적으로 적도록 하여 후속 습식 제거 공정에서 질화막 패턴 하부의 언더컷 발생을 방지하는 기술이다.

상술한 본 발명의 기술적 원리에 따라 본 발명으로부터 제공되는 특징적인 반도체 장치의 소자 분리막 형성방법은 반도체 기판 상에 산화 방지막 패턴을 형성하는 제1 단계; 상기 제1 단계 수행후 노출된 상기 반도체 기판을 선택 식각하여 트렌치를 형성하는 제2 단계; 975℃를 넘지 않는 온도에서 트렌치에 희생 열산화막을 형성하는 제3 단계; 상기 희생 열산화막을 제거하는 제4 단계; 및 상기 트렌치를 매립하는 절연막을 증착하는 제5 단계를 포함하여 이루어진다.

이하, 첨부된 도면을 참조하여 본 발명의 일실시예를 살펴본다.

첨부된 도면 도 2a 내지 도 2d는 본 발명의 일실시예에 따른 STI 공정을 도시한 것으로, 이하 이를 참조하여 본 발명의 일실시예에 따른 STI 공정을 설명한다.

우선, 도 2a에 도시된 바와 같이 실리콘 기판(20) 상에 50~200 Å 두께의 패드 산화막(21) 및 1000~3000 Å 두께의 질화막(22)을 차례로 형성하고, 소자 분리 마스크를 사용한 사진 및 식각 공정을 실시하여 질화막(22) 및 패드 산화막(21)을 차례로 선택적 식각하여 산화 방지막 패턴을 형성한 다음, 계속하여 실리콘 기판(20)을 1500~4000 Å 깊이로 트렌치 식각한다.

다음으로, 도 2b에 도시된 바와 같이 건식 산화 또는 습식 산화 방식을 사용하여 50~200 Å 두께의 희생 열산화막(도시되지 않음)을 975℃ 이하의 온도에서 성장시키고, 이를 습식 제거한다. 계속하여, 다시 트렌치 측벽에 측벽 열산화막(23)을 1100℃ 이상의 고온에서 50~200 Å 두께로 성장시킨다. 이때, 희생 열산화막 성장을 975℃ 이하의 낮은 온도에서 실시함으로써 질화막(22) 하부의 트렌치 모서리 부분에서의 산화 양상이 종래와 같이 1100℃에서 열산화를 진행한 경우와 다르게 된다. 즉, 트렌치 모서리 부분에서의 산화량이 상대적으로 적게 되어 그 부분에서 습식 제거시 제거되는 열산화막의 양 또한 줄어들게 된다. 이런 상태에서 후속 측벽 열산화 공정을 진행하게 되면 이후의 고밀도 플라즈마 화학기상증착 방식의 산화막 증착 공정에서 보이드가 발생하는 것을 방지할 수 있다.

계속하여, 도 2c에 도시된 바와 같이 전체구조 상부에 고밀도 플라즈마 화학기상증착 방식의 트렌치 매립 산화막(24)을 3000~8000 Å 두께로 증착하여 트렌치를 매립한다.

이어서, 도 2d에 도시된 바와 같이 화학·기계적 연마 공정 및 질화막(22)/패드 산화막(21) 습식 제거 공정을 실시하여 최종적인 소자 분리막(25)을 형성한다.

상술한 일실시예에서는 고밀도 플라즈마 화학기상증착 방식의 트렌치 매립 산화막을 일례로 들어 설명하였으나, 본 발명은 다른 증착 방식의 절연막을 사용한 트렌치 매립 공정에도 적용할 수 있다. 또한, 산화 방지막 패턴으로 패드 산화막과 질화막 사이에 완충 폴리실리콘막을 더 사용할 수 있다.

이상에서 설명한 본 발명은 전술한 실시예 및 첨부된 도면에 의해 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

발명의 효과

이상에서와 같이 본 발명은 고밀도 플라즈마 화학기상증착 방식을 사용할 경우에도 보이드 없이 트렌치를 매립할 수 있어 후속 폴리실리콘 식각 공정시 식각 잔유물에 의한 단락 현상을 방지할 수 있다. 또한, 트렌치 모서리 부분의 활성 영역 가장자리가 드러나지 않기 때문에 그 부분에서의 전기장 집중을 방지하여 소자의 전기적 특성 열화를 방지할 수 있다.

(57) 청구의 범위

청구항 1

반도체 기판 상에 산화 방지막 패턴을 형성하는 제1 단계;
상기 제1 단계 수행후 노출된 상기 반도체 기판을 선택 식각하여 트렌치를 형성하는 제2 단계;
975℃를 넘지 않는 온도에서 상기 트렌치에 희생 열산화막을 형성하는 제3 단계;
상기 희생 열산화막을 제거하는 제4 단계;
상기 트렌치를 매립하는 절연막을 증착하는 제5 단계
를 포함하여 이루어진 반도체 장치의 소자 분리막 형성방법.

청구항 2

제 1 항에 있어서,
상기 절연막이
고밀도 플라즈마 화학기상증착 방식으로 증착된 산화막인 반도체 장치의 소자 분리막 형성방법.

청구항 3

제 1 항 또는 제 2 항에 있어서,
상기 희생 열산화막이
50 Å ~ 200 Å 두께인 반도체 장치의 소자 분리막 형성방법.

청구항 4

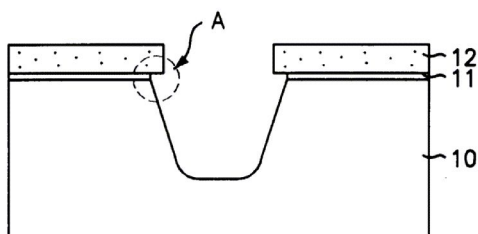
제 1 항 또는 제 2 항에 있어서,
상기 희생 열산화막이
건식 산화 또는 습식 산화를 사용하여 형성되는 반도체 장치의 소자 분리막 형성방법.

청구항 5

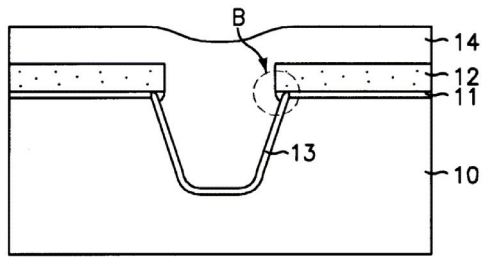
제 1 항 또는 제 2 항에 있어서,
상기 제4 단계가 습식 식각을 사용하여 이루어진 반도체 장치의 소자 분리막 형성방법.

도면

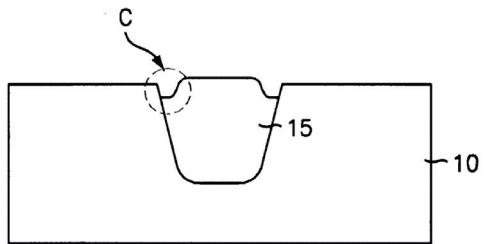
도면 1a



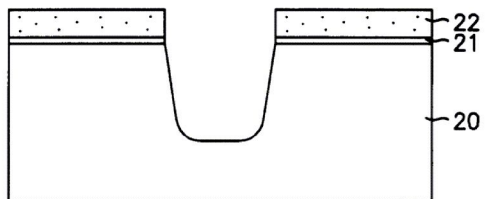
도면 1b



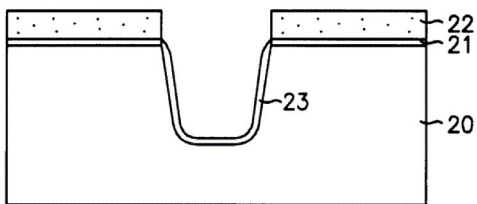
도면 1c



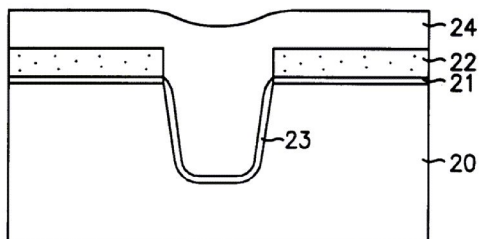
도면 2a



도면 2b



도면 2c



도면2d

