



(12) 发明专利

(10) 授权公告号 CN 102523764 B

(45) 授权公告日 2015.02.18

(21) 申请号 201180003054.8

G06F 13/36(2006.01)

(22) 申请日 2011.05.31

(56) 对比文件

(30) 优先权数据

US 7391786 B1, 2008.06.24,

2010-197604 2010.09.03 JP

US 7391786 B1, 2008.06.24,

(85) PCT国际申请进入国家阶段日

US 6760328 B1, 2004.07.06,

2012.01.31

US 6359861 B1, 2002.03.19, 全文.

(86) PCT国际申请的申请数据

CN 101341698 A, 2009.01.07, 全文.

PCT/JP2011/003020 2011.05.31

US 2006203825 A1, 2006.09.14, 全文.

(87) PCT国际申请的公布数据

Evgeny Bolotin et al.. 《QNoC:QoS architecture and design process for network on chip》. 《JOURNAL OF SYSTEM ARCHITECTURE》. 2004, 第 50 卷

W02012/029215 JA 2012.03.08

(73) 专利权人 松下电器产业株式会社

审查员 张洁

地址 日本大阪府

(72) 发明人 吉田笃 山口孝雄 石井友规

(74) 专利代理机构 中科专利商标代理有限责任

公司 11021

代理人 汪惠民

(51) Int. Cl.

H04L 12/927(2013.01)

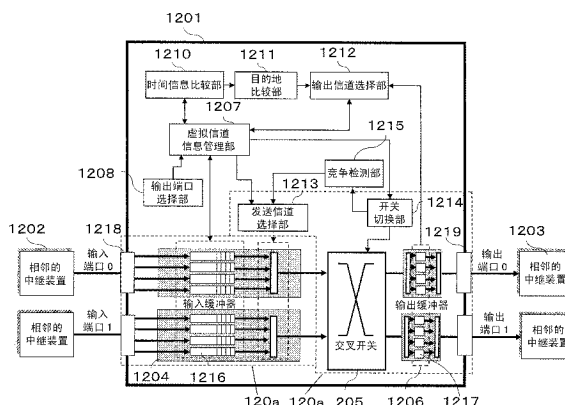
权利要求书2页 说明书21页 附图31页

(54) 发明名称

中继装置

(57) 摘要

在NoC上的中继装置中,若全部的虚拟信道由向着同一目的地的分组占有,则向着其他目的地的分组将不能通过中继装置,从而分组的传输性能(吞吐量或延迟时间)下降。本发明的中继装置具备:输入缓冲器,其接收数据单位,该数据单位包含附加了多个目的地的信息的报头、以及与报头关联的数据;多个虚拟信道,它们容纳与目的地的信息对应的数据单位;目的地比较部,其根据目的地是否相同,来决定在多个虚拟信道的每一个中所容纳的数据单位的发送目的地的中继装置的虚拟信道的分配顺序;和输出部,其从决定了发送目的地的中继装置的虚拟信道的分配后的虚拟信道,输出所容纳的数据单位。



CN 102523764 B

1. 一种中继装置,具备:

输入缓冲器,其接收数据单位,该数据单位包含附加了多个目的地的信息的报头、以及与所述报头关联的数据;

多个虚拟信道,其容纳与所述目的地的信息对应的数据单位;

目的地比较部,其根据所述目的地是否相同,来决定在所述多个虚拟信道的每一个中所容纳的数据单位的发送目的地的中继装置的虚拟信道的分配顺序;和

输出部,其从决定了所述发送目的地的中继装置的虚拟信道的分配后的虚拟信道,输出所容纳的数据单位,

其中,所述目的地比较部区别数据单位的目的地,并按照如下方式来决定所述分配顺序:对于向未分配发送目的地的中继装置的虚拟信道的目的地发送的数据,优先分配发送目的地的中继装置的虚拟信道。

2. 根据权利要求 1 所述的中继装置,其中,

所述目的地比较部针对所述目的地相同的数据单位,基于赋予在所述报头中的时间信息,来决定所述发送目的地的中继装置的虚拟信道的分配顺序。

3. 根据权利要求 2 所述的中继装置,其中,

所述目的地比较部使用从发送数据起的经过时间来作为所述时间信息,并从所述经过时间长的数据起,优先地分配所述发送目的地的中继装置的虚拟信道。

4. 根据权利要求 2 所述的中继装置,其中,

所述目的地比较部使用到达目的地的截止时刻来作为所述时间信息,并从到所述截止时刻的剩余时间少的数据起,优先地分配所述发送目的地的中继装置的虚拟信道。

5. 根据权利要求 1 所述的中继装置,其中,

所述中继装置还具备:多个输入端口,其各自接受确定了目的地的数据,

所述输出部具备:

多个输出端口,其各自输出数据;和

交叉开关,其通过针对所述虚拟信道中所容纳的数据的每个目的地,将容纳基于时间信息的优先级最高的数据的虚拟信道、和与可到达所述优先级最高的数据的目的地的总线连接的输出端口进行连接,来从各输出端口输出所述数据。

6. 根据权利要求 5 所述的中继装置,其中,

从发送虚拟信道中所容纳的数据起的经过时间越长,基于所述时间信息的优先级越高。

7. 根据权利要求 5 所述的中继装置,其中,

离虚拟信道中所容纳的数据到达目的地的截止时刻的剩余时间越短,基于所述时间信息的优先级越高。

8. 根据权利要求 5 所述的中继装置,其中,

所述数据的分组由多个微片构成,所述数据以微片单位在所述总线上传输,

所述中继装置还具备:负载测量部,其测量通过本中继装置的数据的负载,

在由所述负载测量部测量出的负载大于预先规定的阈值的情况下,所述交叉开关在每发送 1 微片时,切换虚拟信道和输出端口之间的连接,在负载为阈值以下的情况下,在每完成 1 个分组的微片的发送时,切换虚拟信道和输出端口之间的连接。

9. 根据权利要求 8 所述的中继装置,其中,
所述负载测量部对本中继装置内的虚拟信道内所容纳的微片的量进行测量来作为通过所述中继装置的数据的负载。
10. 根据权利要求 8 所述的中继装置,其中,
所述交叉开关在每发送 1 微片时,始终切换虚拟信道和输出端口之间的连接。
11. 根据权利要求 1 所述的中继装置,其中,
所述中继装置还具备:
传输路径解析部,其在目的地不同的分组间,确定到重复的目的地的传输路径;和
输出信道选择部,其基于赋予在所述报头中的时间信息,针对所述虚拟信道的每个目的地,选择与容纳基于所述时间信息的优先级最高的数据的虚拟信道连接的输出信道,
所述输出信道选择部基于由所述传输路径解析部确定的传输路径,从容纳彼此间传输路径的重复相对较少的目的地的分组的中继装置起,依次分配发送目的地的中继器的虚拟信道。
12. 根据权利要求 1 所述的中继装置,其中,
所述目的地比较部根据在到所述目的地的路径上通过的所述中继装置是否相同,决定在所述多个虚拟信道的每一个中所容纳的数据单位的发送目的地的中继装置的虚拟信道的分配顺序。

中继装置

技术领域

[0001] 本发明涉及在具备分布式的总线的半导体的集成电路中,对在连接总线间的多个中继器间流过的多个业务的发送调度进行调整的技术。

背景技术

[0002] 图 1(A) 表示集中式的总线控制的例子。在进行集中式的总线控制的现有的集成电路中,主要在多个总线主控器 (BM) 和存储器 (MEM) 之间由 1 个总线连接,并由仲裁器调解从各总线主控器到存储器的访问。然而,由于集成电路的高功能化、多核化,电路的规模会增大,业务也会在复杂地变动的同时流过总线,基于集中式的总线控制的集成电路的设计变得困难起来。

[0003] 另一方面,近年,采用了基于并行计算机的连接技术、ATM(异步传输模式)网等的网络控制的技术的具有分布式的总线的半导体集成电路的开发不断发展。图 1(B) 表示分布式的总线控制的例子。具有分布式的总线的半导体集成电路构成为由多个总线来连接多个中继装置 (R)。近年,存在一种通过使用图 1(B) 所示的分布式的总线,将经大规模化的集成电路内的业务分布于多个总线来进行传输的片上网络 (Network onChip) 的机制。

[0004] 图 2 是表示在 Noc(片上网络)或并行计算机、ATM 网等所利用的、中继装置的基本的构成的概略。在这些中继装置中,将业务数据划分为分组或信元的单位,并发送到目的地的节点。并将送往中继装置的数据临时存储在缓冲器中。

[0005] 另外,为了按每输入端口来将不同的分组并行来进行发送处理,具备按每输入端口将多个缓冲器并行化后的虚拟的信道(也称为“虚拟通道”或者“VC(虚拟信道)”)。尽管虚拟通道的实体是中继装置的缓存,但可以按每输入端口、且对各输入端口物理性地安装多个缓冲器,或者,通过按照存在多个缓冲器的方式来管理缓存上的数据,从而能实现虚拟的信道。

[0006] 交叉开关是决定各输入端口和输出端口之间的独占性的连接的开关。另外,由交叉开关进行的输入端口和输出端口之间的独占性的连接由仲裁器决定。

[0007] 如此,在中继装置中,通过由仲裁器切换交叉开关的连接,将容纳于缓冲器内的数据向作为目标的目的地中继。

[0008] 接下来,针对中继装置的输入端口和输出端口之间的连接的切换进行说明。中继器的输入端口和输出端口分别由交叉开关独占性地连接。在此,将“独占性的连接”定义为在同时连接多个输入端口和多个输出端口的情况下,对于一个输出端口最多只连接一个输入端口的状态。

[0009] 图 3(A) 是表示从中继装置内的输入端口向输出端口的连接请求(发送请求)的一例的图。在此,每个输入端口有 2 个虚拟信道,输入端口 0 的虚拟信道 0 向输出端口 0,输入端口 0 的虚拟信道 1 向输出端口 2,输入端口 1 的虚拟信道 0 向输出端口 0,输入端口 1 的虚拟信道 1 向输出端口 1,输入端口 2 的虚拟信道 0 向输出端口 2,输入端口 2 的虚拟信道 1 向输出端口 3,输入端口 3 的虚拟信道 0 向输出端口 0,输入端口 3 的虚拟信道 1 向

出端口 2 请求分组的发送。

[0010] 仲裁器从多个输入信道向输出信道的连接请求中,选择独占性地连接输入端口和输出端口的组合,来进行交叉开关的切换。对图 3(A) 所示的连接请求,作为仲裁器选择的独占性的输入端口和输出端口的组合,例如,如图 3(B) 所示,选择独占性地连接输入端口 0 和输出端口 2、输入端口 1 和输出端口 1、输入端口 2 和输出端口 3、输入端口 3 和输出端口 0 的组合。

[0011] 交叉开关进行的输入端口和输出端口之间的独占性的连接中,能同时连接输入端口和输出端口的数量越多,能同时发送的分组就越多。

[0012] 因此,一般而言,在并行计算机或 ATM 中,使用在从输入端口和输出端口的所有组合中搜索最佳组合的波前分配器(波前分配器),或者使用在输入端口侧和输出端口侧,分别独立求取部分最佳解,并对其反复来提高精度的并行迭代匹配(Parallel Iterative Matching)等方法(例如,非专利文献 1)。

[0013] 另外,提出了一种基于 Age-Based 方式,即在多个虚拟信道请求向相同的输出端口的连接的情况下,维持发送分组的顺序,另外,为了抑制分组间的延迟时间的增加或偏差,基于从发送起的经过时间的长度或已中继的跳数,定义被称为 Age 的值,且首先发送 Age 最大(或者最小)的分组(例如专利文献 1)。

[0014] 现有技术文献

[0015] 专利文献

[0016] 专利文献 1:美国专利第 6674720 号说明书

[0017] 非专利文献

[0018] 非专利文献 1:W. DALLY, B. TOWLES, "PRINCIPLES AND PRACTICES OF INTERCONNECTION NETWORKS", MORGANKAUFMANN PUBLISHERS

[0019] 发明要解决的课题

[0020] 与此相对,由于在 NoC 中需要在集成电路上构成多个中继装置,因此与并行计算机或 ATM 网的中继装置相比,不能将能构成在各中继装置上的虚拟信道的数量或尺寸设置得较多。例如,1 个虚拟信道的尺寸为 1 个分组左右。

[0021] 因此,在 NoC 中,在更短的延迟时间内,必须有效地利用有限的虚拟信道,不仅在中继装置内使输入端口和输出端口的连接数最大,还在发送目的地的中继装置中考虑了使输入端口和输出端口的连接数变大的发送调度的控制是重要的。

[0022] 另外,对于在 NoC 上构成的中继装置,受集成电路的规模、能容许的延迟时间、消耗功率等的制约。因此,不优选在 NoC 上的各中继装置中直接设置波前分配器这样的从大规模的组合中搜索最优组合的算法、或像并行匹配迭代器那样进行反复处理的算法。在将并行计算机或 ATM 所使用的一般的中继装置的机制直接应用到 NoC 的中继装置的情况下,存在仲裁器的电路规模及处理时间、消耗功率变大,从而引起 NoC 的性能的下降、处理时间的增加的课题。

[0023] 以下,更加具体地说明该课题。

[0024] 图 4 是说明本发明要解决的课题的具体的一例的图。

[0025] 中继装置 401 经由 4 个输入端口与成为分组的发送源的 4 个中继装置(中继装置 A、中继装置 B、中继装置 C、中继装置 D) 连接,接收发送来的分组。另外,中继装置 401 经由

4 个输入端口与成为分组的发送源的 4 个中继装置（中继装置 E、中继装置 F、中继装置 G、中继装置 H）连接，进行分组的发送。

[0026] 中继装置 401 的输入端口分别具备 2 个虚拟信道，按每个输入端口最大能对 2 处的输出端口进行发送请求。

[0027] 然而，若从发送源的中继装置向着同一目的地连续发送分组，则例如像 Age-Based 那样，在简单地维持已发送的顺序来中继分组的情况下，由于 1. 连续发送向着相同的目的地的分组，2. 在相同目的地的分组占有输入端口内的全部虚拟信道 (VC) 的情况产生、3. 在虚拟信道 (VC) 间的输出端口的获得中，未能获得输出端口的输入端口在别的输出端口空闲的情况下也不能发送分组，因此，将使中继装置的传输性能下降。进而，若在中继装置 401 中产生发送等待，则 4. 在发送源的中继装置中也产生发送等待，即使有向着与发送等待的分组的目的地不同的目的地的分组，也不能超越中继装置 401 内的分组而先发送。

[0028] 例如，在图 4 中，中继装置 401 通过从发送源的中继装置连续接收特定的目的地的分组，从而处于在中继装置 401 的输入端口 0 和输入端口 1 的全部的虚拟信道中容纳有向输出端口 0 发送的分组，另外，在中继装置 401 的输入端口 2 和输入端口 3 的全部的虚拟信道中容纳有向输出端口 2 发送的分组的状态。此时，各虚拟信道对输出端口进行分组的发送请求的结果是，若设为输入端口 0 的虚拟信道 0 获得输出端口 0，另外，输入端口 2 的虚拟信道 0 获得输出端口 2，则输入端口 1 和输入端口 3 即使在输出端口 1 和输出端口 3 空闲的情况下，也没有向着这些输出端口发送的分组，因此成为发送等待的状态。

[0029] 另外，即使设为在发送源的中继装置 B 或中继装置 D 中容纳有向着输出端口 1 或输出端口 3 的分组，也不能超越中继装置 401 内的输入端口 1 和输入端口 3 的虚拟信道内的分组而先发送。

[0030] 如此，针对每输入端口，全部的虚拟信道由特定的分组占有的情况会引起中继装置的传输性能的下降。

[0031] 对于并行计算机或 ATM，由于对虚拟信道的数目和尺寸的制约、对延迟时间的制约较小，因此即使连续发送向着相同的目的地的分组，中继装置内的虚拟信道全部由向着相同的目的地的分组占有的状况也难以发生。另外，即使由向着相同的目的地的分组占有全部的虚拟信道，与占有状态持续的时间相比，在并行计算或 ATM 中能容许的分组的延迟时间长，因此对传输性能的影响少。

[0032] 另一方面，在 NoC 中，由于在半导体电路上实现中继装置，因此对虚拟信道的数目及尺寸、延迟时间的制约大，易于产生中继装置内的虚拟信道的不足的情况，对 NoC 整体的传输性能影响大。

发明内容

[0033] 本发明为了解决上述课题而提出，其目的在于，提供一种抑制分组的传输性能（吞吐量或延迟时间）的下降，使 NoC 整体的传输性能提高的中继装置。

[0034] （用于解决课题的手段）

[0035] 本发明的中继装置具备：输入缓冲器，其接收数据单位，该数据单位包含附加了多个目的地的信息的报头、以及与所述报头关联的数据；多个虚拟信道，其容纳与所述目的地的信息对应的数据单位；目的地比较部，其根据所述目的地是否相同，来决定在所述多个虚

拟信道的每一个中所容纳的数据单位的发送目的地的中继装置的虚拟信道的分配顺序;和输出部,其从决定了所述发送目的地的中继装置的虚拟信道的分配后的虚拟信道,输出所容纳的数据单位。

[0036] 可以是,所述目的地比较部区别数据单位的目的地,并按照如下方式来决定所述分配顺序:对于向未分配发送目的地的中继装置的虚拟信道的目的地发送的数据,优先分配发送目的地的中继装置的虚拟信道。

[0037] 可以是,所述目的地比较部针对所述目的地相同的数据单位,基于赋予在所述报头中的时间信息,来决定所述发送目的地的中继装置的虚拟信道的分配顺序。

[0038] 可以是,所述目的地比较部使用从发送数据起的经过时间来作为所述时间信息,并从所述经过时间长的数据起,优先地分配所述发送目的地的中继装置的虚拟信道。

[0039] 可以是,所述目的地比较部使用到达目的地的截止时刻来作为所述时间信息,并从到所述截止时刻的剩余时间少的数据起,优先地分配所述发送目的地的中继装置的虚拟信道。

[0040] 可以是,所述中继装置还具备:多个输入端口,它们各自接受确定了目的地的数据,所述输出部具备:多个输出端口,其各自输出数据;多个虚拟信道,其对应各输入端口而设置,容纳已接受的数据;和交叉开关,其通过针对所述虚拟信道中所容纳的数据的每个目的地,将容纳基于时间信息的优先级最高的数据的虚拟信道、和与可到达所述优先级最高的数据的目的地的总线连接的输出端口进行连接,来从各输出端口输出所述数据。

[0041] 可以是,从发送虚拟信道中所容纳的数据起的经过时间越长,基于所述时间信息的优先级越高。

[0042] 可以是,离虚拟信道中所容纳的数据到达目的地的截止时刻的剩余时间越短,基于所述时间信息的优先级越高。

[0043] 可以是,所述数据的分组由多个微片构成,所述数据以微片单位在所述总线上传输,所述中继装置还具备:负载测量部,其测量通过本中继装置的数据的负载,在由所述负载测量部测量出的负载大于预先规定的阈值的情况下,所述交叉开关在每发送1微片时,切换虚拟信道和输出端口之间的连接,在负载为阈值以下的情况下,在每完成1个分组的微片的发送时,切换虚拟信道和输出端口之间的连接。

[0044] 可以是,所述负载测量部对本中继装置内的虚拟信道内所容纳的微片的量进行测量来作为通过所述中继装置的数据的负载。

[0045] 可以是,所述交叉开关在每发送1微片时,始终切换虚拟信道和输出端口之间的连接。

[0046] 可以是,所述中继装置还具备:传输路径解析部,其在目的地不同的分组间,确定到重复的目的地的传输路径;和输出信道选择部,其基于所述时间信息,针对所述虚拟信道的每个目的地,选择与容纳基于所述时间信息的优先级最高的数据的虚拟信道连接的输出信道,所述输出信道选择部基于由所述传输路径解析部确定的传输路径,从容纳彼此间传输路径的重复相对较少的目的地的分组的的中继装置起,依次分配发送目的地的中继器的虚拟信道。

[0047] 可以是,所述目的地比较部根据在到所述目的地的路径上通过的所述中继装置是否相同,决定在所述多个虚拟信道的每一个中所容纳的数据单位的发送目的地的中继装置

的虚拟信道的分配顺序。

[0048] 可以是,本发明的其他中继装置具备:多个虚拟信道,其各自容纳数据单位,该数据单位包含附加了到达目的地的截止时间信息的报头、以及与所述报头关联的数据;和目的地比较部,其根据所述时间信息所示的时刻,来决定所述多个虚拟信道的每一个中所容纳的数据单位的发送目的地的中继装置的虚拟信道的分配顺序,其中,所述中继装置从决定了所述发送目的地的中继装置的虚拟信道的分配后的虚拟信道输出所容纳的数据单位,并在集成电路内中继所传输的数据单位。

[0049] 发明效果

[0050] 根据本发明,通过在不增加中继装置内的虚拟信道的尺寸和数目的前提下对目的地不同的分组更加均匀地分配虚拟信道,从而避免同一目的地的分组占有中继装置内的虚拟信道。由此,由于在各中继装置中能对更多的目的地同时地发送分组,因此能防止数据在下一中继装置中变得难以流动。其结果是,能使 NoC 整体的传输性能(吞吐量、延迟时间、抖动)提高。

附图说明

[0051] 图 1 的 (A) 是表示集中式的总线控制的例子图, (B) 是表示分布式的总线控制的图。

[0052] 图 2 是中继装置的基本构成的概略图。

[0053] 图 3 的 (A) 是表示从中继装置内的输入端口向输出端口的连接请求(发送请求)的一例的图, (B) 是表示独占性地连接输入端口和输出端口的组合的例子图。

[0054] 图 4 是说明本发明要解决的课题的具体的一例的图。

[0055] 图 5 是表示本发明的中继装置 501 的动作的概要的图。

[0056] 图 6 是在实施方式 1 中假定的分布式的总线的构成图。

[0057] 图 7 是表示分组 1100 的传输格式的一例、以及将分组 1000 划分为多个微片的例子图。

[0058] 图 8 是实施方式 1 中的中继装置 1201 的构成图。

[0059] 图 9 是表示由虚拟信道信息管理部 1207 管理并持有的虚拟信道信息 1301 的一例的图。

[0060] 图 10 是表示中继装置 1201 的动作的过程的流程图。

[0061] 图 11 的 (A) 是表示在中继装置 1201 还未接收到微片的状态下与输入端口 0 相关的虚拟信道信息 1301 的图, (B) 是表示各缓冲器的样子的图。

[0062] 图 12 的 (A) 是表示在中继装置 1201 接收到头微片 1104 的情况下的虚拟信道信息 1301 的图, (B) 是表示将在输入端口 0 处接收到的头微片 1104 容纳于虚拟信道 0 的情况下的各缓冲器的样子的图。

[0063] 图 13 的 (A) 是表示在中继装置 1201 中设定了虚拟信道的输出端口后的虚拟信道信息 1301 的图, (B) 是表示各信道的样子的图。

[0064] 图 14 的 (A) 是表示在中继装置 1201 中决定了输出信道后的虚拟信道信息 1301 的图, (B) 是表示各信道的样子的图。

[0065] 图 15 的 (A) 是表示中继装置 1201 正在发送微片的状态的虚拟信道信息 1301 的

图, (B) 是表示各信道的样子的图。

[0066] 图 16 的 (A) 是表示在发送了尾微片 1106 后的虚拟信道信息 1301 的图, (B) 是表示各信道的样子的图。

[0067] 图 17 是表示针对虚拟信道 1216 的输出缓冲器 1206 的分配的过程的流程图。

[0068] 图 18 的 (A) 和 (B) 是表示在中继装置 1201 内容纳了构成多个分组的微片时的、缓冲器管理信息 1301 以及各缓冲器的状态的一例的图。

[0069] 图 19 是表示独占性地连接输入端口和输出端口的交叉开关的切换处理方法的流程图。

[0070] 图 20 是表示时间信息、以及时间信息的比较基准的例子的图。

[0071] 图 21 (A) 和 (B) 是表示从中继装置 R1 来看的各种目的地的定义以及能符合各定义的目的地的具体例的图。

[0072] 图 22 的 (A) 和 (B) 分别是表示在经由中继器 1 ~ 3 对 4 个接收节点 A ~ D 发送分组的情况下的、各中继装置的发送调度的方法、与通过各总线的微片的发送顺序的关系的图。

[0073] 图 23 是说明在将分组的发送调度按每分组进行的情况、与按每微片进行的情况的总线的利用效率和交叉开关的切换次数的相对比较的图。

[0074] 图 24 是表示实施方式 2 的中继装置的构成的图。

[0075] 图 25 是表示实施方式 2 的中继装置进行的虚拟信道和输出端口之间的连接的切换处理动作的流程图。

[0076] 图 26 是表示在实施方式 3 中, 由多级连接网式的拓扑构成的 NoC 中的重复的总线的例子的图。

[0077] 图 27 是表示实施方式 3 中的中继装置的构成的图。

[0078] 图 28 是表示实施方式 3 的中继装置的处理的过程的流程图。

[0079] 图 29 的 (A) ~ (C) 是表示集成电路的拓扑的例子的图。

[0080] 图 30 是说明在存储器总线中利用了本发明的中继装置的例子的图。

[0081] 图 31 是说明在多核处理器上利用了本发明的中继装置的例子的图。

具体实施方式

[0082] 以下, 参照附图来说明本发明的中继装置的动作原理、以及实施方式。

[0083] 图 5 示出了本发明的中继装置 501 的动作的概要。

[0084] 在并行计算机或 ATM 等所利用的中继装置中, 以更多地发送虚拟信道内的分组为主要目标来进行分组的发送调度。在上述使用环境中, 与 NoC 相比, 对虚拟信道的数目及尺寸的制约、对延迟时间的制约少, 因此不需要考虑发送目的地的中继装置的虚拟信道全部由向相同的目的地发送的分组占有的情况。实际上, 未进行考虑了在虚拟信道中容纳目的地不同的分组的虚拟信道的分配控制。

[0085] 与此相对, 在本发明中, 设想了在受到对虚拟信道的数目及尺寸的制约、另外受到延迟时间的制约的 NoC 那样的通信环境下所利用的中继装置。具体而言, 本发明的中继装置在中继装置内存在多个目的地不同的分组的情况下, 不是简单地维持已发送分组的顺序来进行中继, 而是按照使标地址不同的分组在发送目的地的中继装置的虚拟信道中尽可能

均匀地容纳的方式来进行分组的发送调度。

[0086] 例如,如图 5 所示,1. 发送源的中继装置选择目的地不同的分组,按照在中继装置 501 的虚拟信道中均匀地容纳目的地不同的分组的方式来发送分组,2. 避免目的地相同的分组占有全部的虚拟信道 (VC) 的状态。由此,3. 增加输入端口和输出端口之间的独占性的连接组合,削减发送等待状态,由此,抑制传输性能的下降。

[0087] 以下,说明本发明的各实施方式的中继装置。

[0088] (实施方式 1)

[0089] 图 6 是在本实施方式中假定的分布式的总线的构成图。

[0090] 在本实施方式中,以经由多个中继装置来连接作为发送节点的多个总线主控器 (BM)、和作为接收节点的多个存储器的构成 (多级连接网、MIN:Multistage Interconnection Network) 为例进行说明。将各中继装置设为 2 输入和 2 输出。

[0091] 在图 6 中,示出了由总线来连接 8 个总线主控器 (BM0 ~ BM7)、12 个中继装置 (R0 ~ R11)、8 个存储器 (存储器 0 ~ 7) 的电路的样子。

[0092] 将 12 个中继装置按照每 4 个一组的方式划分为 3 个组。3 个组是与 8 个总线主控器连接的组 (R0、R1、R2、R3)、与 8 个存储器连接的组 (R8、R9、R10、R11)、以及连结与总线主控器或存储器连接的中继装置的组 (R4、R5、R6、R7)。

[0093] 构成多级连接网的各中继装置具备 2 输入 2 输出的交叉开关。如图 6(b) 所示,通过切换开关来变更输入和输出的组合,能将业务的流动向 2 种传输路径切换来进行发送。此外,若输出目的地的传输路径不同,则中继装置能同时将 2 个业务输出到各传输路径。

[0094] 在多级连接网中,通过在各中继装置中的开关的切换,能在所有总线主控器和所有存储器间,构筑必定 1 个以上的传输路径。

[0095] 一般而言,为了通过交叉开关来连接所有的 N 个总线主控器和 M 个存储器,开关需要 $N \times M$ 个。而且,随着总线主控器和存储器的数目增加,开关的数目会急剧增加。与此相对,在多级连接网 (MIN) 中,具有通过对输入输出数目小的交叉开关进行分级连接而能以少的开关来切换总线主控器和存储器间的连接的特征。

[0096] 此外,尽管在本实施方式中列举了多级连接网的例子来说明,但这是一例。即使集成电路的构成是其他的拓扑构成,也能应用本发明。另外,在本实施方式中,说明的是从总线主控器向存储器的数据转发是通过分组交换方式经由多个中继装置进行的情况。

[0097] 分组如图 6(a) 所示,被分割为称作微片的、能使用总线以 1 周期传输的尺寸,并向相邻的中继装置发送。

[0098] 图 7 示出了分组 1100 的传输格式的一例、以及将分组 1000 分割为多个微片的例子。

[0099] 分组 1100 具备:报头字段 1101、数据字段 1102 以及控制码字段 1103。

[0100] 在报头字段 1101 中例如描述发送目的地的地址、发送源的地址、从发送分组起经过的时刻的信息 (时间信息)。时间信息的描述方法是任意的,只要是能在从将其分组由总线主控器发送起的经过时间与其他分组之间进行比较的值即可。例如,可以是直接记载由总线主控器发送的时刻的方法、或者可以记载从发送起的经过时刻、或者到当前为止通过的中继装置的跳数等。

[0101] 在数据字段 1102 中例如描述影像数据、声音数据。在控制码字段 1103 中例如描

述预先规定的分组 1100 的结束码。

[0102] 基于上述报头字段 1101 的数据中的、发送目的地的地址、以及发送源的地址，来进行分组 1100 的中继处理、以及在接收侧的接收处理。

[0103] 发送侧的总线主控器将分组 1100 分解为称作微片的小的分组单位来传输。1 微片是能使用总线以 1 周期传输的数据，其尺寸由总线宽度的大小决定。将分割了分组 1100 而得到的微片中最初发送的微片称作头微片 1104。在头微片 1104 中赋予了表示是分组的排头的标志信息、以及分组的发送目的地的地址信息。

[0104] 此外，头微片 1104 后的接下来的各微片未容纳确定发送目的地的地址信息。其理由是，头微片 1104 后接着的微片被送往与头微片 1104 相同的目的地。若由头微片 1104 决定目的地，并决定输出其业务的微片的输出缓冲器，则其后接着的微片利用与头微片 1104 相同的输出缓冲器而被传输到头微片 1104 所示的目的地。

[0105] 另外，将分组的最后的微片称作尾微片 1106。在尾微片 1106 中赋予了表示其微片构成分组的最后的微片的标志信息。另外，头微片 1104 和尾微片 1106 以外的微片主要是传输数据的微片，称作数据微片 1105。

[0106] 接收侧的存储器若检测出控制码字段 1103 中所描述的结束码，则基于该结束码，将所传输的微片重构为分组。

[0107] 例如，1 分组的尺寸是 128 字节，1 微片的尺寸是 32 比特或 64 比特。在此，需要留意的是，由于 1 分组的尺寸以及 1 微片的尺寸根据应用而不同，因此上述的尺寸只不过是一例。微片的长度可以以发送目的地的地址、发送源的地址等能描述控制数据的长度为基准。

[0108] 在各中继装置中准备了用于蓄积所送来的微片的缓冲器。微片一旦被蓄积在缓冲器后，通过开关的切换向作为目的的路径接续的中继装置、目的地的存储器发送。此外，尽管图 6 假定了将微片从总线主控器发送到存储器的例子，但这仅是一例。微片的目的地不限于存储器，例如还可以是其他总线主控器、或用于与周边设备连接的输入输出端口。

[0109] 图 8 是本实施方式的中继装置 1201 的构成图。

[0110] 中继装置 1201 具有：输入缓冲器 1204、开关 1205、输出缓冲器 1206、虚拟信道信息管理器 1207、时间信息比较部 1210、目的地比较部 1211、输出信道选择部 1212、发送信道选择部 1213、开关切换部 1214、以及竞争检测部 1215。

[0111] 以下，说明各构成要素的功能。

[0112] 输入端口 1218 接收从相邻的中继装置、或者其他发送节点发送来的微片。

[0113] 输入缓冲器 1204 是对从在输入端口侧相邻的中继装置（或者发送节点）发送来的微片进行蓄积的缓冲器。

[0114] 构成输入缓冲器 1204 的临时缓冲器可以按中继装置 1201 的每个输入设置 1 个，或者按照能针对每个不同的分组来利用单独的信道进行发送调度控制的方式，按每个输入设置多个虚拟信道 1216。在本实施方式中，如图 8 所示，设为每个输入缓冲器 1204 具备 4 个虚拟信道 1216。

[0115] 交叉开关 1205 是切换中继装置 1201 的输入端口和输出端口之间的独占性的连接的开关。

[0116] 输出端口 1219 是从中继装置向相邻的中继装置、或者接收节点发送微片的发送部。

[0117] 输出缓冲器 1206 是在向输出端口目的地的中继装置群 1203 发送微片时利用的临时缓冲器。

[0118] 在输出缓冲器 1206 中还设置有多个输出信道 1217。将输出信道 1217 设置为与输出端口 1219 的目的地连接的中继装置 1203 的输入缓冲器内的虚拟信道相同的数目,从而确定了与相邻的中继装置群 1203 的虚拟信道为 1 对 1 的对应关系。

[0119] 将从中继装置 1201 发送的微片蓄积于与在发送中利用的输出信道对应的输出端口的目的地所连接的中继装置群 1203 的虚拟信道。即,中继装置 1201 通过选择在微片的发送中利用的输出信道,能指定容纳了向与输出端口的目的地连接的中继装置 1203 发送的微片的中继装置 1203 的虚拟信道。

[0120] 虚拟信道信息管理部 1207 管理各虚拟信道 1216 中所容纳的微片的信息。关于由虚拟信道信息管理部 1207 管理的不内容,使用图 9 在后说明。

[0121] 输出端口选择部 1208 在将新的头微片送入输入缓冲器 1204 时,接受其,并基于头微片中所描述的目的地信息,确定下一个进行接收的中继装置。

[0122] 时间信息比较部 1210 比较基于各虚拟信道内所容纳的分组中所赋予的时间信息的优先级,并从优选度从高到低的顺序对虚拟信道排序。

[0123] 此外,在本实施方式中,作为赋予在分组中的时间信息,假定分组的发送时刻,另外,将基于时间信息的优先级设为:从发送分组起的经过时间越长即分组的发送时刻越早,优先级越高。

[0124] 目的地比较部 1211 使用各虚拟信道内所容纳的分组的目的地的来对虚拟信道进行分组,并按容纳在每组中的分组的经过时间从长到短的顺序来决定虚拟信道的分配顺序。

[0125] 输出信道选择部 1212 从各虚拟信道内所容纳的微片中,基于发送时刻比较部 1210 得到的发送时刻的比较结果、以及目的地比较部 1211 得到的目的地的差异的比较结果,选择未被输出缓冲器 1206 利用的输出信道 1217。

[0126] 发送信道选择部 1213 按每个输入端口从多个虚拟信道中选择 1 个发送微片的虚拟信道。

[0127] 开关切换部 1214 控制交叉开关 1205,按照由发送信道选择部 1213 按每输入端口对所选出的 1 个的虚拟信道分配独占性的输出端口的方式,切换交叉开关 1205。

[0128] 竞争检测部 1215 对于 1 个输出端口,在多个虚拟信道中产生了微片发送的竞争的情况下,由开关切换部 1214 对未分配输出端口的输入端口指示选择发送到其他输出端口的虚拟信道。是否产生了竞争能根据开关切换部 1214 是否切换了交叉开关 1205 来判断。

[0129] 此外,在本发明中,将参加在虚拟信道中容纳由中继装置接收到的微片的处理的、输入端口 1218、输入缓冲器 1204、虚拟信道 1216 合起来定义为输入部 120a。另外,将参加从中继装置输出虚拟信道中所容纳的微片的处理的、交叉开关 1205、发送信道选择部 1213、开关切换部 1214、输出缓冲器 1206、输出信道 1217、输出端口 1219 合起来定义为输出部 120b。

[0130] 图 9 是由虚拟信道信息管理部 1207 管理且保持的虚拟信道信息 1301 的一例。

[0131] 作为虚拟信道信息,为了区别各虚拟信道,分配了输入端口和虚拟信道的标识编号,进而在虚拟信道中容纳分组时,管理用于确定该分组的目的地的地址信息、表示从发送分组起的经过时间的的时间信息、用于将微片发送到目的地的输出端口的编号、以及输出信

道的编号。此外,时间信息可以不是经过时间,例如可以是分组的发送时刻。

[0132] 接下来,使用图 10 的流程图、以及图 11 ~图 18 来说明各中继装置 1201 的动作的概要。此外,在图 11 ~图 18 中,对与图 8、图 9 相同的构成赋予相同的编号并省略说明。

[0133] 当启动电路整体时,中继装置 1201 成为对经由输入端口 1218 从相邻的中继装置 1202、或者发送节点发送的微片的接收等待状态。

[0134] 图 11(A) 示出了中继装置 1201 在未接收到微片的状态下与输入端口 0 相关的虚拟信道信息 1301,图 11(B) 示出了各缓冲器的样子。以下,在本说明书中,对于与输入端口 0 相关的虚拟信道信息仅例示 1301。用于参考,在图 11(B) 中,示出了头微片 (H) 1104、数据微片 (D) 1105 以及尾微片 (T) 1106。

[0135] 由于微片还未到达,因此虚拟信道成为未使用状态。

[0136] 在图 10 的步骤 1400 中,输入端口 1218 判断是否接收到微片。在接收到微片的情况下,处理前进到步骤 1401,在未接收到微片的情况下,处理前进到步骤 1402。在步骤 1401 中,输入端口 1218 在虚拟信道 1216 中容纳接收到的微片。此外,容纳目的地的虚拟信道 1216 由相邻的中继装置 1202 决定。

[0137] 在步骤 1402 中,虚拟信道 1216 判断是否在输入缓冲器中存在微片。在存在微片的情况下,处理前进到步骤 1403,在不存在微片的情况下,处理返回到步骤 1400。

[0138] 在步骤 1403 中,中继装置内的虚拟信道 1216 判定所容纳的微片是否为头微片 1104。在排头的微片是头微片的情况下,前进到步骤 1404,否则,前进到步骤 1407。此外,从步骤 1403 向步骤 1407 前进的例子中,即使在分组的发送途中,也有需要切换虚拟信道和输出端口之间的连接的状况。例如,存在发送时刻早的微片从其他发送节点推迟到达的情况。因此,构成为从步骤 1103 前进到步骤 1407。在已确保了独占连接的情况下,在形式上不进行步骤 1407 的处理而前进到步骤 1408。

[0139] 在步骤 1404 中,在所容纳的微片是头微片的情况下,虚拟信道信息管理部 1207 将头微片中所记录的地址的地址、以及表示从发送节点发送分组起经过的时间的时间信息记录于虚拟信道信息 1301 中。

[0140] 图 12(A) 表示在中继装置 1201 中接收到头微片 1104 的情况下的虚拟信道信息 1301。

[0141] 图 12(B) 示出了在输入端口 0 接收到的头微片 1104 通过步骤 1402 而容纳于虚拟信道 0 的情况下的各缓冲器的样子。

[0142] 在头微片 1104 到达虚拟信道时,将头微片 1104 中所记载的目的地的地址、发送分组 (以及构成分组的头微片 1401) 的时刻信息记录于虚拟信道信息 1301 中。

[0143] 图 12(A) 示出了头微片 1104 中所赋予的目的地的地址、以及在记录了发送时刻信息后的虚拟信道信息 1301 的样子。

[0144] 在此,将作为分组的目的地的存储器 0 的地址 000、以及发送的时刻 20 (周期) 记录于虚拟信道信息 1301。

[0145] 在图 12 的步骤 1405 中,输出端口选择部 1208 接受头微片,并对还未设定虚拟信道管理信息 1207 的输出端口的编号的虚拟信道决定输出端口。

[0146] 例如,在图 6 所示的多级连接网的情况下,以 3 位的 2 进制数对各存储器分配地址,并在各分组的头微片中以 3 位 2 进制数赋予了作为目的地的存储器的地址。

[0147] 各中继装置的输出端口选择部 1208 从对头微片赋予的 3 位地址中,从左读取与中继装置的级数相同的位数的数字。而且,若该值为 0,则向图 5 中右上的中继装置发送微片,若值为 1,则向图 5 中右下的中继装置发送微片,按照这种方式来决定路径。

[0148] 例如,在从总线主控器 BM2 向存储器 5(地址:101)发送数据的情况下,依照地址中所记载的 3 位数字,首先,用中继装置 R1 向右下的中继装置 R7 发送微片,接着用中继装置 R7 向右上的中继装置 R10 发送微片,最后用中继装置 R10 向右下的存储器 5 发送微片。由此,从总线主控器 BM5 向存储器 2 传输微片。

[0149] 此外,作为输出端口选择部 1208 进行的输出端口的选择方法,只要是根据分布总线的拓扑结构来将微片适当地送往目的地的方法,就可以是上述以外的方法。

[0150] 图 13(A) 示出了在中继装置 1201 中设定了虚拟信道的输出端口后的虚拟信道信息 1301,图 13(B) 示出了各信道的样子。

[0151] 在图 13(A) 中,由于在输入端口 0 的虚拟信道 0 中容纳有向目的地的地址为 000 的存储器 0 发送的微片,因此,虚拟信道 1216 为了从向着存储器 0 的输出端口 0 发送微片,将输出端口编号设定为 0。

[0152] 在图 10 的步骤 1406 中,时间信息比较部 1210、目的地比较部 1211、输出信道选择部 1212 在虚拟信道信息管理部 1207 中,对于未设定输出信道的虚拟信道,基于微片的目的地、以及作为基于时间信息的优先级的分组的发送时刻的早晚,按每个目的地对分组的发送时刻最早的虚拟信道进行输出信道的分配。

[0153] 图 14(A) 示出了在中继装置 1201 中决定了输出信道后的虚拟信道信息 1301,图 14(B) 示出了各信道的样子。

[0154] 在图 14(B) 中,输出端口 0 的输出信道均未使用。在本实施方式中,为了使输入端口 0 的虚拟信道 0 使用输出信道 0,在图 14(A) 中将输出信道编号设定为 0。

[0155] 此外,关于在中继装置内存在多个分组的情况下的输出信道的分配的细节,使用图 17 在后说明。

[0156] 在图 10 的步骤 1407 中,发送信道选择部 1213 参照虚拟信道信息 1301,按每输入端口选择 1 个输出信道设定完成的虚拟信道。

[0157] 另外,开关切换部 1214 参照虚拟信道信息 1301,判定在由发送信道选择部 1213 选择出的虚拟信道所设定的输出端口中是否存在竞争,在产生了竞争的情况下,选择处于竞争中的虚拟信道的任意一个。

[0158] 由此,在输入端口和输出端口之间选择独占性的连接,开关切换部 1214 基于该结果,切换交叉开关 1205。

[0159] 在步骤 1408 中,在交叉开关的切换结束时,由发送信道选择部 1213 选择出的虚拟信道 1216 利用各自所决定的输出端口的输出信道 1206 来发送微片。

[0160] 图 15(A) 示出了中继装置 1201 正在发送微片的状态的虚拟信道信息 1301,图 15(B) 示出了各信道的样子。

[0161] 在图 15(A) 以及 (B) 中,在中继装置内分组只有 1 种,因此在输入端口 0 的虚拟信道 0 内的微片依次通过记录在虚拟信道信息 1301 中的输出端口的输出信道,被发送到存储器 0。

[0162] 在图 10 的步骤 1409 中,虚拟信道 1216 在发送微片时,判定所发送的微片是否为

构成分组的最后的微片。

[0163] 在步骤 1410 中,在所发送的微片是构成分组的最后的微片的情况下,需要进行释放以使其他分组能利用该虚拟信道。为此,虚拟信道信息管理部 1207 对相应的虚拟信道的信息进行初始化。

[0164] 图 16(A) 示出了在发送尾微片 1106 后的虚拟信道信息 1301,图 16(B) 示出了各信道的样子。

[0165] 在图 16(A) 以及 (B) 中,通过发送尾微片 1106,输入端口 0 的虚拟信道 0 内的微片全部被发送,成为未使用状态。因此,虚拟信道信息 1301 对虚拟信道 0 的内容进行初始化。

[0166] 以上,通过反复从步骤 1401 到步骤 1410 的处理,中继装置 1201 能向着目的地的接收节点发送送来的分组。

[0167] 以下,一边参照图 17,一边说明步骤 1406 中的处理,即在虚拟信道中容纳了头微片 1104 时利用的输出信道的详细的分配处理。另外,一边参照图 19,一边详细地说明步骤 1407 中的、独占性地切换输入端口和输出端口之间的连接的处理。

[0168] 图 17 示出了针对虚拟信道 1216 的输出缓冲器 1206 的分配的顺序。

[0169] 在此,以在中继装置 1201 内容纳有构成多个分组的微片,且缓冲器管理信息 1301、以及各缓冲器的状态分别处于图 18(A)、图 18(B) 所示的状态的情况为例进行说明。在图 18(B) 中,示出了头微片 H、数据微片 D、尾微片 T。这表示多个分组分别由输入端口 0 和 1 并行地接收,并且各自输出。

[0170] 在步骤 1501 中,中继装置 1201 的输出信道选择部 1212 确认在各虚拟信道中是否存在虽设定了输出端口但未设定输出信道的虚拟信道。

[0171] 在图 18(A) 所示的缓冲管理信息 1301 中,对于输入端口 0 的虚拟信道 1、以及输入端口 1 的虚拟信道 1,输出信道处于未设定的状态。

[0172] 在步骤 1502 中,在存在虽设定了输出端口但未设定输出信道的虚拟信道的情况下,在缓冲器管理信息 1301 中所记录的输出端口中确认输出信道是否有空闲。

[0173] 在图 18(A) 的虚拟信道信息 1301 中,输入端口 0 的虚拟信道 1、以及输入端口 1 的虚拟信道 1 均设定了输出端口 1。

[0174] 另外,输出端口的输出信道中,通过图 18(A) 的虚拟信道信息 1301,仅输出信道 2 被利用于输入端口 1 的虚拟信道 2,其余的未被利用因此处于空闲状态。

[0175] 在步骤 1503 中,时间信息比较部 1201 比较未设定输出信道的虚拟信道内的基于时间信息的优先级(从总线主控器 BM 发送的时刻的早晚),从优先级高(发送时刻早)的虚拟信道起排序,选择 1 个发送时刻最早的未设定输出信道的虚拟信道。

[0176] 在图 18(A) 的缓冲器管理信息 1301 中,发送时刻小的输入端口 1 的虚拟信道 1 的一方在输出信道处于未设定状态的虚拟信道中容纳有最早的分组,并作为设定输出信道的候选而选择。

[0177] 在步骤 1504 中,目的地比较部 1211 判定在与所选择的虚拟信道的目的地相同的目的地是否存在已分配了输出信道 1217 的虚拟信道 1216。在存在的情况下,处理前进到步骤 1505,在不存在的情况下,前进到步骤 1507。

[0178] 在图 18(A) 所示的虚拟信道信息 1301 中,由于与输入端口 1 的虚拟信道 1 相同的目的地地址的输入端口 1 的虚拟信道 2 已被分配了输出端口,因此处理前进到步骤 1505。

[0179] 接着,在图 17 的步骤 1505 中,输出信道选择部 1212 容纳选择中的虚拟信道的下一个发送时刻早的分组,进而判定是否存在未设定输出信道的虚拟信道。在存在的情况下,处理前进到步骤 1506,在不存在的情况下,处理前进到步骤 1508。

[0180] 在图 18(A) 所示的虚拟信道信息 1301 中,容纳选择中的输入端口 1 的虚拟信道 1 的下一个发送时刻早的分组,进而由于存在未设定输出信道的虚拟信道,因此处理前进到步骤 1506。

[0181] 在步骤 S1506 中,输出信道选择部 1212 在选择中的虚拟信道中容纳下一发送时刻早的分组,并新选择未设定输出信道的虚拟信道作为要设定输出信道的候选。

[0182] 在图 18(A) 所示的虚拟信道信息 1301 中,将作为当前设定输出信道的候选而处于选择中的输入端口 1 的虚拟信道 1 的下一个发送时刻早、且未设定输出端口的输入端口 0 的虚拟信道 1 选择为新的候选。输出信道选择部 1212 反复确认在对向与已选择的虚拟信道所容纳的分组相同的目的地发送的分组进行容纳的虚拟信道中是否未设定输出信道(步骤 1504)。

[0183] 在步骤 1504 中,在不存在设定了相同目的地的虚拟信道的情况下,处理前进到步骤 1507,输出信道选择部 1212 将空闲的输出信道分配给选择中的虚拟信道。

[0184] 在图 18(A) 所示的虚拟信道信息 1301 中,由于不存在分组的目的地与成为要新设定输出信道的候选的未设定输出端口的输入端口 0 的虚拟信道 1 相同、且输出信道设定完成的虚拟信道,因此转移到步骤 1507,分配输出信道。

[0185] 另外,反复步骤 1504 至步骤 1506 的结果是:在步骤 1505 中,在判定为不存在其他未设定输出信道的虚拟信道的情况下,转移到步骤 1508,对最初选择的(发送时刻最早、未设定输出信道)虚拟信道分配空闲的输出信道。这是因为,由于对全部的目的地分配了一个以上的输出信道,因此相比在不同的目的地间均匀地分配输出信道,优选对发送时刻早的分组分配输出信道。

[0186] 在步骤 1508 中,输出信道选择部 1212 对最初选择的虚拟信道设定空闲的输出信道。

[0187] 通过进行步骤 1504 至步骤 1508,从而在图 18(A) 的虚拟信道信息 1301 中,若仅比较经过时间,则输入端口 1 的虚拟信道 1 在未设定输出信道的虚拟信道中,容纳有发送时刻最早的微片。然而,该微片的目的地(地址 011)与输入端口 1 的虚拟信道 2 中所容纳的微片的目的地相同。而且,对于输入端口 1 的虚拟信道 2 已分配有输出信道 2。因此,对于输入端口 0 的虚拟信道 1 分配输出端口 1 的空闲信道。

[0188] 如上所述,通过反复进行图 17 所示的步骤 1501 至步骤 1508,能针对每一目的地仅对容纳最早的分组的虚拟信道分配输出信道。因此,能避免全部的输出信道即与其对应的输出端口目的地的虚拟信道全部由相同的目的地分组占有。

[0189] 图 19 示出了独占性地连接输入端口和输出端口的交叉开关的切换方法。

[0190] 中继装置 1201 维持分组的发送时的顺序,另外,为了抑制传输延迟的增加,在多个虚拟信道 1216 中所容纳的分组(微片)中,从由发送节点发送起经过时间早的分组起依次发送。

[0191] 通过交叉开关的切换,在独占性地连接输入端口和输出端口的情况下,对于多个输入端口和输出端口的请求,通过同时连接更多的输入端口和输出端口,能转发更多的微

片。

[0192] 因此,在并行计算机或 ATM 网等中,采用了像非专利文献 1 那样,在交叉开关的 1 次切换中,从输入端口和输出端口的全部的组合中搜索更优的组合的波前分配器、或者通过反复多次进行在输入端口侧和输出端口侧独立决定发送微片的虚拟信道的选择的处理,来决定更优的组合的并行迭代匹配等方法。

[0193] 然而,对于 NoC,由于在集成电路中构成中继装置,因此,由于安装面积或所容许的延迟时间、消耗功率的制约,难以直接应用并行计算机或 ATM 等所使用的处理量或重复次数多的方法,因此期望以更简单的构成和处理量来连接更多的输入端口和输出端口。

[0194] 因此,在本发明的实施例中,在输入端口侧和输出端口侧分别独立地仅决定 1 次发送微片的虚拟信道的选择,并使输出端口侧的选择结果反馈到下一次输入切换的结果中,由此来决定交叉开关进行的输入端口和输出端口的连接变得更多的组合。

[0195] 因此,发送信道选择部 1213 在步骤 1601 中,按每输入端口,选择 1 个容纳从发送起的经过时间最早的分组的虚拟信道。

[0196] 接着,在步骤 1602 中,开关切换部 1214 在步骤 1601 中,在由发送信道选择部 1213 选择的各输入端口的虚拟信道间,在输出端口的利用中产生了竞争的情况下,按每输出端口选择 1 个容纳经过时间最早的分组的虚拟信道,并按照将所选择出的虚拟信道与输出端口连接的方式来进行交叉开关 1205 的切换。

[0197] 在步骤 1603 中,在交叉开关的切换结束时,由开关切换部 1214 选择出的虚拟信道发送容纳的微片。

[0198] 在步骤 1604 中,竞争检测部 1215 在步骤 1602 中判定虽由发送信道选择部 1213 选择出但在虚拟信道间,在输出端口的获得是否产生了竞争。具体而言,竞争检测部 1215 从开关切换部 1214 接受是否能进行开关的切换的信息。可以说,在能进行开关的切换时不产生竞争。反之,可以说在未能进行开关的切换时产生了竞争。基于该基准,竞争检测部 1215 判定是否产生了竞争。

[0199] 在步骤 1605 中,在虚拟信道间,输出端口的获得中产生了竞争的情况下,竞争检测部 1215 将未被开关切换部 1214 选择出的虚拟信道通知给发送信道选择部 1213,发送信道选择部 1213 对于未能获得输出端口的输入端口,在向其他输出端口发送的虚拟信道中选择 1 个发送时刻最早的虚拟信道,返回步骤 1602。

[0200] 通过反复进行从步骤 1601 至步骤 1605 的处理,进行交叉开关的切换,以使更多的输入端口和输出端口的独占性的连接数变多,从而传输性能得以提高。

[0201] 如此,在实施方式 1 的中继装置 1201 中,通过区别分组的目的地,并在 NoC 的中继装置中对不同目的地的分组分配有限的虚拟信道,从而相同目的地的分组占有的一部分的中继装置的虚拟信道,避免不能发送要向其他目的地发送的分组的状况,抑制传输性能(吞吐量、延迟时间、抖动)的下降。

[0202] 在本实施方式中,在时间信息比较部 1201 中,作为基于赋予分组的时间信息的优先级,将发送分组的时刻的早晚定义为优先级,从发送时刻早的分组起优先进行输出信道的分配。但是,也可以以发送时刻以外的时间信息为基准来定义优先级,并分配输出信道。

[0203] 图 20 是表示时间信息、以及基于时间信息的优先级的比较基准的例子。

[0204] 作为时间信息,例如可以使用从发送分组起的经过时间。

[0205] 为了管理作为时间信息的发送时刻,需要足以能表现半导体系统进行动作的期间的位数。因此,在半导体系统长时间动作的情况下,时间信息的位数变大。

[0206] 与此相对,在使用从发送分组起的经过时间作为时间信息的情况下,只要是足以表现分组从发送起到接收为止所花的时间的位数即可,能使时间信息的位数较小。若作为时间信息处理的值的位数小,则能使时间信息比较部 1210 中的时间信息的比较电路较小,因此对于半导体系统的资源削减是有效的。

[0207] 另外,即使使用发送时刻,也能通过使用由年月日时分秒表现的发送时刻的一部分(例如,从 M 位的发送时刻的位小的一方起 n 位的值($n:M > n$ 的整数)),来减小作为时间信息处理的位数。作为 n 位的值,例如能使用足以表现分组从发送起到接收为止所花的时间的位数。

[0208] 在此情况下,在时间信息比较部 1201 中,作为基于对分组赋予的时间信息的优先级,从发送分组起的经过时间大的分组起优先进行输出信道的分配。

[0209] 另外,可以使用分组到达接收节点的截止时刻来作为时间信息,并从截止时刻近的分组起依次分配输出信道。

[0210] 一般而言,分组到达接收节点前所能容许的延迟时间因总线主控器的种类或处理的内容而不同。因此,在从发送节点发送了多个到截止时刻为止的时间较长的分组后,若假定要发送到截止时刻为止的时间短的分组的状况,则在中继装置中,较之从发送时刻早的分组起依次分配输出信道来发送分组,从到截止时刻为止的剩余时间短的分组起分配输出信道来发送分组,能对更多的分组遵守能容许的延迟时间。

[0211] 在此情况下,在时间信息比较部 1201 中,作为基于对分组赋予的时间信息的优先级,从分组到接收节点为止的截止时刻离当前时刻近的分组起优先地进行输出信道的分配。

[0212] 另外,作为时间信息,可以取代截止时刻而使用到截止时刻为止的剩余时间。

[0213] 在此情况下,在时间信息比较部 1201 中,作为基于对分组赋予的时间信息的优先级,从分组到达接收节点的截止时刻为止的剩余时间短的分组起优先进行输出信道的分配。

[0214] 在本实施方式中,在目的地比较部 1211 中,以接收节点的地址为例说明了目的地的区别。然而,目的地的区别的定义不限于接收节点的地址。

[0215] 例如,作为目的地,可以指定中继器。图 21(A) 以及 (B) 示出了从中继装置 R1 来看的各种目的地的定义以及能符合各定义的目的地的具体例。例如,在图 21(A) 的构成中,将在分组到达接收节点之前的传输路径上通过的中途的中继装置定义为目的地。

[0216] 对于图 21(A) 的中继装置 R1,若将目的地的定义设为接收节点(存储器),则对中继装置 R1 而言,从存储器 0 到存储器 7 这 8 个成为目的地,而若将目的地的定义设为到后两个的目的地的中继装置,则 4 个中继装置 R8 ~ R11 能成为目的地。进而,若将目的地的定义设为后一个的中继装置,则 2 个中继装置 R5 以及 R7 能成为目的地。

[0217] 通过像这样将目的地的定义设为传输路径上的中途的中继装置,较之以作为接收节点的存储器为目的地的情况,能削减在目的地比较部 1211 中比较的目的地数目,从而能削减在虚拟信道间进行的目的地的比较的处理。

[0218] 在分组到达被设为目的地的中继装置的情况下,该中继装置再次依照图 21(B) 的

任一个的定义来设定目的地并送出分组即可。

[0219] (实施方式 2)

[0220] 在实施方式 1 中,在虚拟信道的数目或尺寸限制多的 NoC 中,通过在目的地不同的分组间均匀地分配中继装置内的虚拟信道的调度控制,使虚拟信道的利用高效化,从而使 NoC 整体的传输性能得以提高。

[0221] 与此相对,在本实施方式的中继装置中,进一步通过在每次发送比分组的尺寸小的 1 微片时进行连接输入端口和输出端口的交叉开关的切换,来使 NoC 整体的总线的利用高效化,从而使 NoC 的传输性能提高。

[0222] 利用图 22 来说明本实施方式的中继装置的动作的概要。

[0223] 图 22(A) 以及 (B) 分别示出了在对 4 个接收节点(接收节点 A、接收节点 B、接收节点 C、接收节点 D) 经由中继器 1、中继装置 2、中继装置 3 发送了分组的情况下,各中继装置中的发送调度的方法、以及通过各总线的微片的发送顺序的关系。图 22(A) 示出了总线的利用率产生了不均的状态。图 22(B) 示出了使总线的利用率均匀化的状态。

[0224] 图 22(A) 示出了各中继装置在每次发送 1 分组时进行了交叉开关的切换的情况下,在各总线上流过的微片的发送顺序。

[0225] 在对每 1 分组进行发送调度的情况下,由于到完成构成 1 分组的全部的微片的发送为止都利用相同的总线,因此如图 22(A) 所示,分为微片的流动拥塞的总线、以及微片的流动空闲的(未被利用)的总线,从而总线的利用率易于产生不均。

[0226] 另外,图 22(B) 示出了各中继装置在每发送 1 微片时进行交叉开关的切换的情况下,在各总线上流动的微片的发送顺序。

[0227] 在每发送 1 微片时进行了发送调度的情况下,由于能按每 1 周期轮换目的地不同的分组并同时发送,因此在向着不同的目的地的总线间,利用负载均匀,从而易于高效地利用总线整体。

[0228] 图 23 示出了将分组的发送调度按每分组执行的情况、以及按每微片执行的情况下的总线的利用效率和交叉开关的切换次数的相对的比较。

[0229] 在按每微片进行图 22(B) 所示那样的交叉开关的切换的情况下,与按每分组进行的情况比较,交叉开关的切换的次数变多。因此,交叉开关的切换所需的处理量会增加。另一方面,由于能同时利用向着不同的目的地的总线,因此 NoC 整体的总线的利用效率得以提高,从而能使传输性能提高。

[0230] 因此,本实施方式的中继装置基于虚拟信道的利用负载,在负载低的情况下,为了省功耗化,在每次发送开关的切换次数少的分组时进行交叉开关的切换,而在负载高于给定的阈值的条件下,在每次发送能预见总线的传输性能的提高的微片时进行交叉开关的切换。

[0231] 图 24 表示实施方式 2 的中继装置的构成。

[0232] 对与实施方式 1 相同的构成赋予与图 8 相同的编号,并省略说明。此外,尽管图 8 所示的“输入部 120a”和“输出部 120b”未在图 24 中示出,但在图 24 的构成中也能同样地定义。

[0233] 负载测量部 2301 进行输入缓冲器 1204 的传输负载是否超过了给定的阈值的判定。作为在输入缓冲器 1204 中的传输负载的测量方法,例如通过在输入缓冲器 1204 内使

用当前正使用的虚拟信道 1216 的数目、虚拟信道 1216 内所容纳的微片数、微片的滞留时间等,能定量地测量负载的大小。

[0234] 图 25 示出了实施方式 2 的中继装置进行的虚拟信道和输出端口之间的连接的切换动作。

[0235] 对与实施方式 1 相同的处理赋予与图 19 相同的编号,并省略说明。图 25 在追加了步骤 2401 ~ 2404 这一点上与图 19 不同。

[0236] 在步骤 2401 中,负载测量部 2301 测量输入缓冲器 1204 的负载。然后,在步骤 2402 中,判定所测量的负载是否为阈值以下。

[0237] 若负载为阈值以下,则转移到步骤 1601,选择容纳了经过时间最早的分组的虚拟信道。在负载大于阈值的情况下,转移到步骤 2403。

[0238] 在步骤 2403 中,若负载为阈值以下,则发送信道选择部 1213 按每输入端口以循环方式依次选择 1 个设定了输出信道的虚拟信道。

[0239] 在步骤 2404 中,进而,开关切换部 1214 在由发送信道选择部 1213 选择出的虚拟信道中存在与输出端口相同的虚拟信道的情况下,以循环方式依次选择 1 个。

[0240] 此外,步骤 2403、步骤 2404 只要是在每次从中继装置发送 1 微片时发送目的地不同的微片的方法,也可以是例如随机选择虚拟信道等其他的方法。

[0241] 如上所述,实施方式 2 的中继装置根据中继装置的传输负载的大小,能自动地在低负载时切换到开关的切换所需的处理量少的模式、而在负载高的情况下切换到传输性能高的模式来进行发送。

[0242] 此外,在本实施方式中,设为根据输入缓冲器的负载来选择是按每分组进行虚拟信道的切换,还是按每微片进行。然而,也可以始终按每微片进行虚拟信道的切换。即,中继装置可以以微片单位来对多个分组进行交错,并在表现上对多个分组并行地输出。这对存在多个输出缓冲器的情况特别有效。

[0243] (实施方式 3)

[0244] 在实施方式 1 中,按每目的地对容纳发送时刻最早的分组的虚拟信道分配了输出信道。

[0245] 在本实施方式中,通过从输出信道已经设定完成的分组、以及在到目的地的传输路径上重复的中继装置的数目更少的分组起优先分配输出信道,从而削减传输路径上的分组间的干扰,从而使 NoC 整体的传输性能得以提高。

[0246] 图 26 示出了本实施方式的概要。

[0247] 假定如下状况:在多级连接网的中继装置 R3 中,发往存储器 0、存储器 1、存储器 3 的分组处于被容纳于虚拟信道的状态,容纳了向存储器 0 发送的分组的虚拟信道已经设定完成了输出信道,并对容纳了发往存储器 1 和存储器 3 的分组的虚拟信道分配输出信道。

[0248] 对于发往已分配了输出信道的存储器 0 的分组的传输路径,发往存储器 1 的分组在中继装置 R5 中也利用相同的输出端口,与此相对,发往存储器 3 的分组在中继装置 R5 中利用其它的输出端口。

[0249] 因此,在实施方式 3 的中继装置中,为了在传输路径上抑制输出端口中的竞争,在分组的发送时刻的早晚的基础上,对向已分配了输出信道的目的地和向在到目的地的传输路径上重复的总线的数目少的目的地发送的分组进行容纳的虚拟信道,优先分配输出信

道。

[0250] 图 27 示出了本实施方式的中继装置的构成,另外,图 28 示出了本实施方式的中继装置的处理的过程。

[0251] 在图 27 以及图 28 中,对与实施方式 1 相同的构成以及处理赋予与图 8 以及图 17 相同的编号,并省略说明。此外,尽管图 8 所示的“输入部 120a”以及“输出部 120b”在图 27 中未被示出,但在图 27 的构成中也能同样地定义。

[0252] 在图 28 的步骤 3301 中,传输路径解析部 3201 判定是否存在输出信道设定完成的虚拟信道。在存在的情况下,处理前进到步骤 3302,在不存在的情况下,处理前进到步骤 1503。在步骤 3302 中,传输路径解析部 3201 在从中继装置起到各目的地为止的接收节点的传输路径上,解析重复的总线的数目,并选择到达输出信道设定完成的目的地路径、以及重复的总线的数目最少的目的地的虚拟信道。

[0253] 例如,在由图 26 的多级连接网型的拓扑构成的 NoC 中,将由想比较的目的地的 2 进制数所示的地址的各位的数值从左起比较,数值相同的位数成为总线重复的数目。在图 26 中,在存储器 0(地址 000)和存储器 1(地址 001)中,由于从左起到第 2 位为止一致,因此总线在各自的传输路径上的 2 处重复。在存储器 0(存储器 000)和存储器 3(地址 011)中,由于从左起到第 1 位为止一致,因此能确定总线在各自的传输路径上的 1 处重复。

[0254] 图 28 示出了实施方式 3 的中继装置进行的输出信道的分配的动作。对与实施方式 1 相同的动作赋予与图 15 相同的编号,并省略说明。

[0255] 在步骤 3301 中,传输路径解析部 3201 判定是否存在输出信道设定完成的虚拟信道。在不存在的情况下,前进到步骤 1503,在存在的情况下,转移到步骤 3302。

[0256] 在图 26 的中继装置 R3 的例子中,由于中继装置 R3 对于容纳向着存储器 0 的分组虚拟信道处于输出信道设定完成,因此前进到步骤 3302。

[0257] 接着,在步骤 3302 中,传输路径解析部 3201 确定在到输出信道设定完成的目的地的路径上重复的总线的数目最少的目的地,并选择容纳向着该目的地的分组的虚拟信道来作为分配输出信道的候选。其后,处理前进到步骤 1507。

[0258] 在图 26 的中继装置 R3 的例子中,中继装置 R3 针对在到输出信道已经设定完成的存储器 0 为止的路径上重复的总线的数目,比较在向着存储器 1 的路径和向着存储器 3 的路径的哪一个上少。

[0259] 在图 26 的例子中,在向着存储器 0 的路径和向着存储器 1 的路径上,总线的重复是 2 次,在向着存储器 0 的路径和向着存储器 3 的路径上,总线的重复是 1 次。因此,中继装置 R3 选择容纳发往存储器 3 的分组的虚拟信道来作为分配输出信道的候选。

[0260] 通过具有以上的图 27 的构成,且进行图 28 的处理,实施方式 3 的中继装置从已设定了输出信道的分组、以及到目的地的传输路径上重复的总线少的分组起优先地设定输出信道,因此能减少传输路径上的输出端口中的竞争,从而使传输性能得以提高。

[0261] 此外,传输路径解析部 3201 可以实时地进行重复的路径的解析。但是,从各中继装置到各存储器的路径能在设计阶段确定。因此,预先求取重复的路径的数目,将该信息例如以表格形式预先保持到传输路径解析部 3201 中即可。由此,传输路径解析部 3201 可以通过参照该表格来确定重复的路径的程度。

[0262] 以上说明了本发明的实施方式。

[0263] 在实施方式 1 ~ 3 中,说明了在各中继装置的输出缓冲器 1206 中,使用具备多个输出信道 1217 的构成,来对于各虚拟信道 1216 中所容纳的分组,由输出信道选择部 1212 进行输出信道 1217 的分配的例子。

[0264] 如在图 8 的构成中说明的那样,多个输出信道 1217 被设定为与经由输出端口 1219 而连接的发送目的地的中继装置 1203 内的虚拟信道相同的数目,从而与中继装置 1203 的虚拟信道之间确定了 1 对 1 的对应关系。因此,输出信道选择部 1212 选择输出信道 1217 与间接地选择发送目的地的中继装置 1203 的输入端口的虚拟信道同义。

[0265] 若进一步发展该思路,则可以理解,本实施方式 1 ~ 3 的中继装置通过由输出信道选择部 1212 直接选择发送目的地的中继装置 1203 的虚拟信道,还能由不具有输出信道 1217 或输出缓冲器 1206 的构成来实现。在此情况下,输出信道选择部 1212(1) 例如,从发送目的地的中继器 1203 取得虚拟信道的状态的信息,并参照发送目的地的中继装置 1203 内的虚拟信道的空闲状态,(2) 对于自身的虚拟信道 1216 中所容纳的各分组选择在发送目的地的中继装置 1203 中容纳的虚拟信道,(3) 进而在从虚拟信道发送微片时,对中继装置 1203 进行容纳微片的中继装置 1203 的虚拟信道的指示即可。根据这样的不具有输出信道 1217 或输出缓冲器 1206 的构成,能减少中继装置 1201 内的缓冲器,因此能期待安装面积的削减、控制电路的简化等效果。

[0266] 另外,尽管在实施方式 1 ~ 3 中,以集成电路的拓扑结构为多级连接网的情况为例进行了说明,但本发明的中继装置不限于多级连接网下的利用。例如,如图 29(A) 所示,可以将中继装置排列成格子状来构成网孔式拓扑。另外,如图 29(B) 所示,可以构成将中继装置上下左右连接成环状的圆环式拓扑。进而,可以如图 29(C) 所示,可以构成分级连接总线的分级式拓扑等。只要是将多个总线主控器经由分布式的总线进行连接的拓扑,就能同样地应用本发明的中继装置。

[0267] 图 30 是说明将本发明的中继装置利用于存储器总线的例子的图。

[0268] 在图 30 中,示出了利用分布式的总线来使便携式电话或 PDA(个人数字助理)、电子书籍阅读器等便携式终端、TV、录像机、摄像机、监控摄像机等中所使用的半导体电路上的总线主控器(CPU、DSP、传输处理部、图像处理部等)和多个存储器连接的利用例。

[0269] 在同时利用多个影像或音乐等的再现、记录、译码、书籍或照片、地图的阅览或编辑、游戏的操作等多个应用或服务的情况下,从各总线主控器向存储器的访问增加。在从各总线主控器访问的存储器的数目只有 1 个的情况下,访问会集中在 1 处。为了解决访问集中,需要拓宽存储器侧的输入输出的传输频带,从而成本变高。

[0270] 作为避免该存储器访问的集中的方法,根据应用或服务等的种类来物理性地划分由总线主控器利用的存储器,并使这些总线主控器和存储器由分布式的总线连接,从而能避免存储器访问的集中。

[0271] 然而,例如在图 30 中,在某总线主控器为了保存影像数据而对存储器 A 以高的速率发送了数据分组的情况下,若各中继装置简单的维持已送来的数据分组的顺序来进行中继,则传输路径上的虚拟信道全部由发往存储器 A 的分组占有的频度变多。其结果是,数据难以向其他存储器流动,会产生其他应用或服务的性能下降以及处理时间的增加。

[0272] 与此相对,在使用了本发明的中继装置的情况下,在各中继装置的虚拟信道中,由于对目的地不同的分组均匀地分配虚拟信道,因此避免向着特定的存储器的分组对虚拟信

道的占有,从而能实现半导体电路上的全部的应用或服务的性能的提高、以及处理时间的缩短。

[0273] 此外,上述存储器可以是易失性的DRAM,也可以是非易失性的闪存。还可以易失性存储器和非易失性存储器混合。

[0274] 图31是说明在多核处理器(multi-core processor)上利用了本发明的中继装置的例子图。多核处理器内的核例如是CPU、GPU、DSP等。

[0275] 在图31中,为了提高CPU或GPU、DSP等核心处理器的处理能力,将多个核处理器排列成网孔状,并是以分布总线连接它们的多核处理器。

[0276] 在多核处理器上,在各核心处理器间进行通信,例如,在各核心处理器中具备存储有运算处理所需的数据的高速缓存,并能在核心处理器间交换、共享相互的高速缓存的信息,由此能使性能提高。

[0277] 但是,在多核处理器上产生的核心处理器间的通信的配置或距离(中继跳数)、通信频度各不相同。因此,若简单地维持数据分组的顺序来进行中继,则虚拟信道全部由发往特定的核心处理器的分组占有,从而产生分组数据难以流动的中继装置,引起多核处理器的性能的下降、以及处理时间的增加。

[0278] 与此相对,在使用了本发明的中继装置的情况下,在各中继装置的虚拟信道中,由于对目的地不同的分组均匀地分配虚拟信道,因此避免虚拟信道由向着特定的核心处理器的分组占有的中继装置的产生,从而能实现各核心处理器的性能的提高、以及处理时间的缩短。

[0279] (工业实用性)

[0280] 本发明的中继装置在具备分布式的总线的集成电路中,通过高效地进行针对发送分组的各中继装置中的虚拟信道的分配顺序的调度,从而能够提高NoC整体的传输性能(吞吐量、传输延迟、抖动)。根据该中继装置,不需要增加安装时的制约大的虚拟信道。因此,在使用分布总线来在1个SoC(片上系统)上对例如多个介质处理用的DSP、或进行高速的文件转发的CPU等进行集成时,在实现安装所需资源的省资源化、以及处理的低延迟化这两方面是有用的。

[0281] 另外,由于资源的省资源化及处理的低延迟化,还对集成电路整体的省电化是有用的。

[0282] (符号说明)

[0283] 1100 分组

[0284] 1101 报头字段

[0285] 1102 数据字段

[0286] 1103 控制码字段

[0287] 1201 中继装置

[0288] 1202 输入端口目的地的相邻的中继装置

[0289] 1203 输出端口目的地的相邻的中继装置

[0290] 1204 输入缓冲器

[0291] 1205 交叉开关

[0292] 1206 输出缓冲器

- [0293] 1207 虚拟信道信息管理部
- [0294] 1208 输出端口选择部
- [0295] 1210 时间信息比较部
- [0296] 1211 目的地比较部
- [0297] 1212 输出信道选择部
- [0298] 1213 发送信道选择部
- [0299] 1214 开关切换部
- [0300] 1215 竞争检测部
- [0301] 1216 虚拟信道
- [0302] 1217 输出信道
- [0303] 1218 输入端口
- [0304] 1219 输出端口
- [0305] 1301 缓冲器管理信息
- [0306] 2301 负载测量部
- [0307] 3201 传输路径解析部

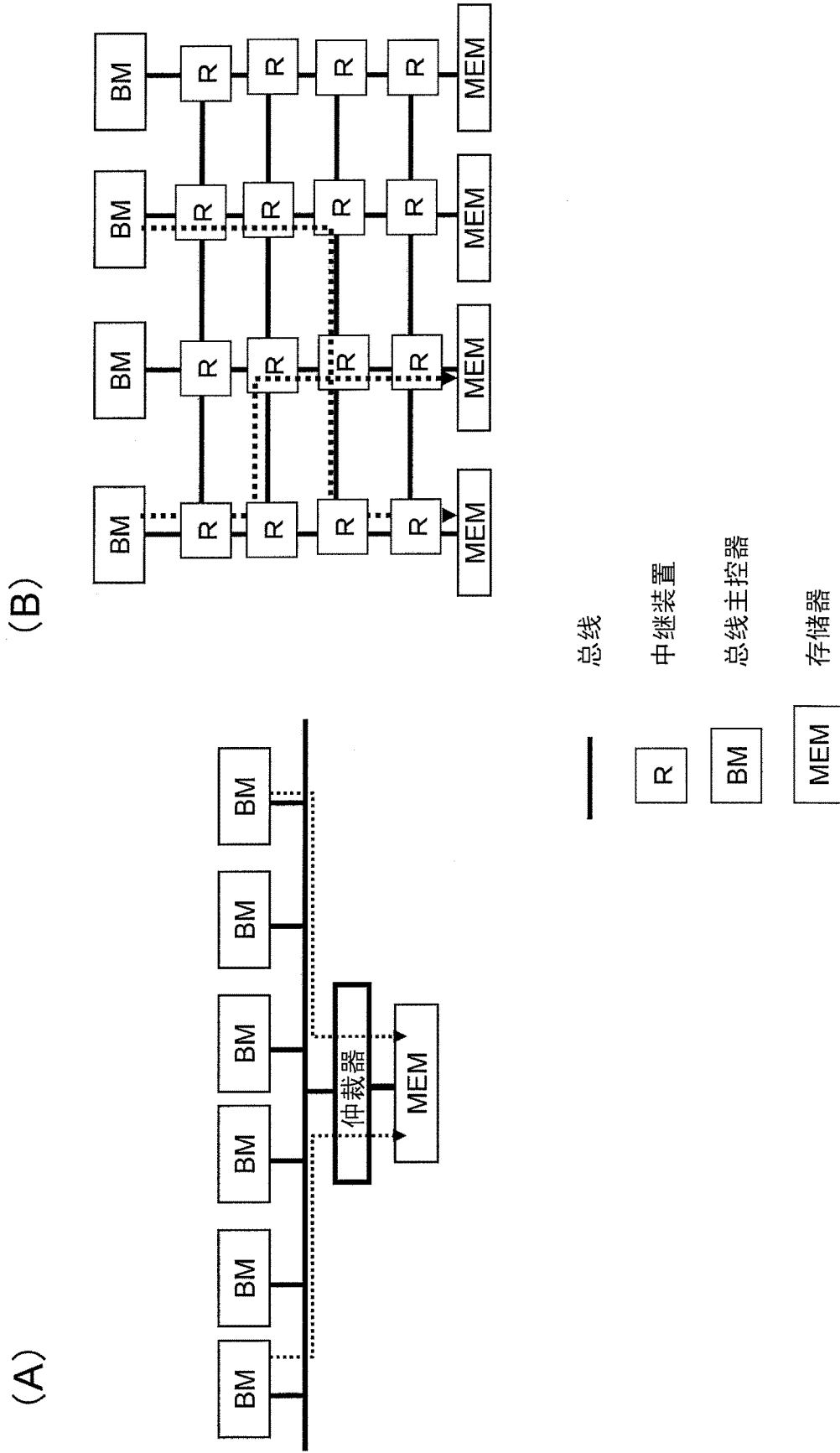


图 1

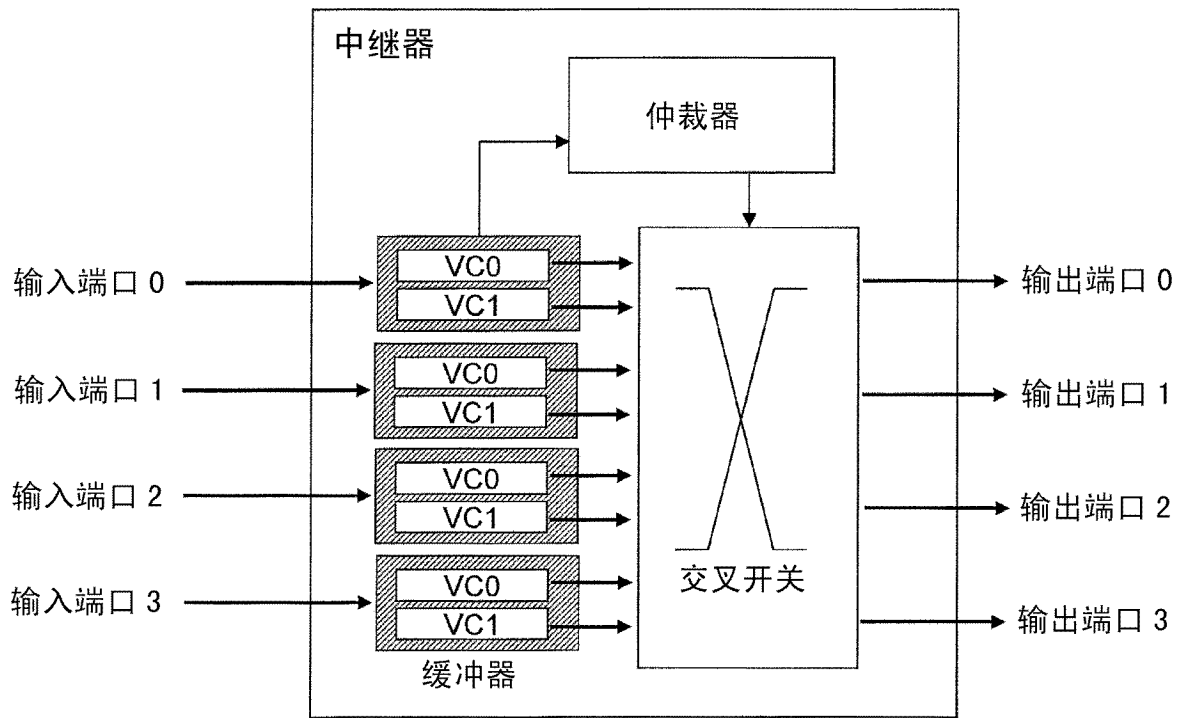


图 2

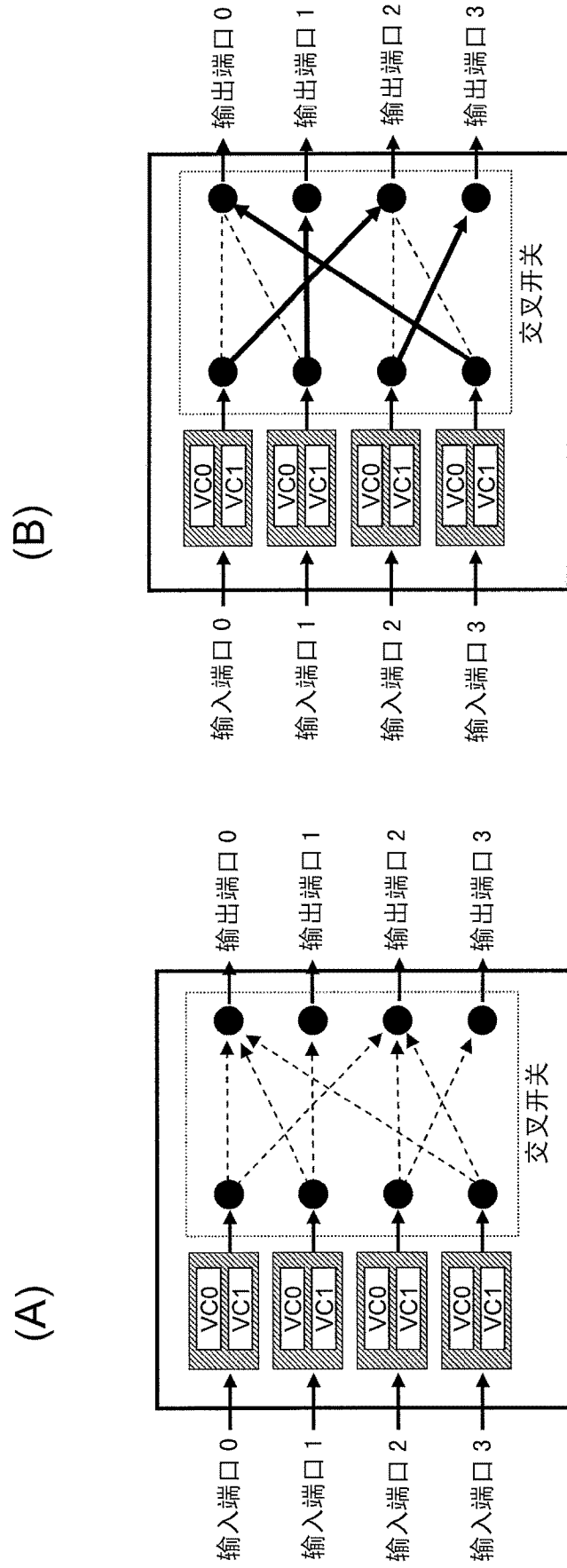


图 3

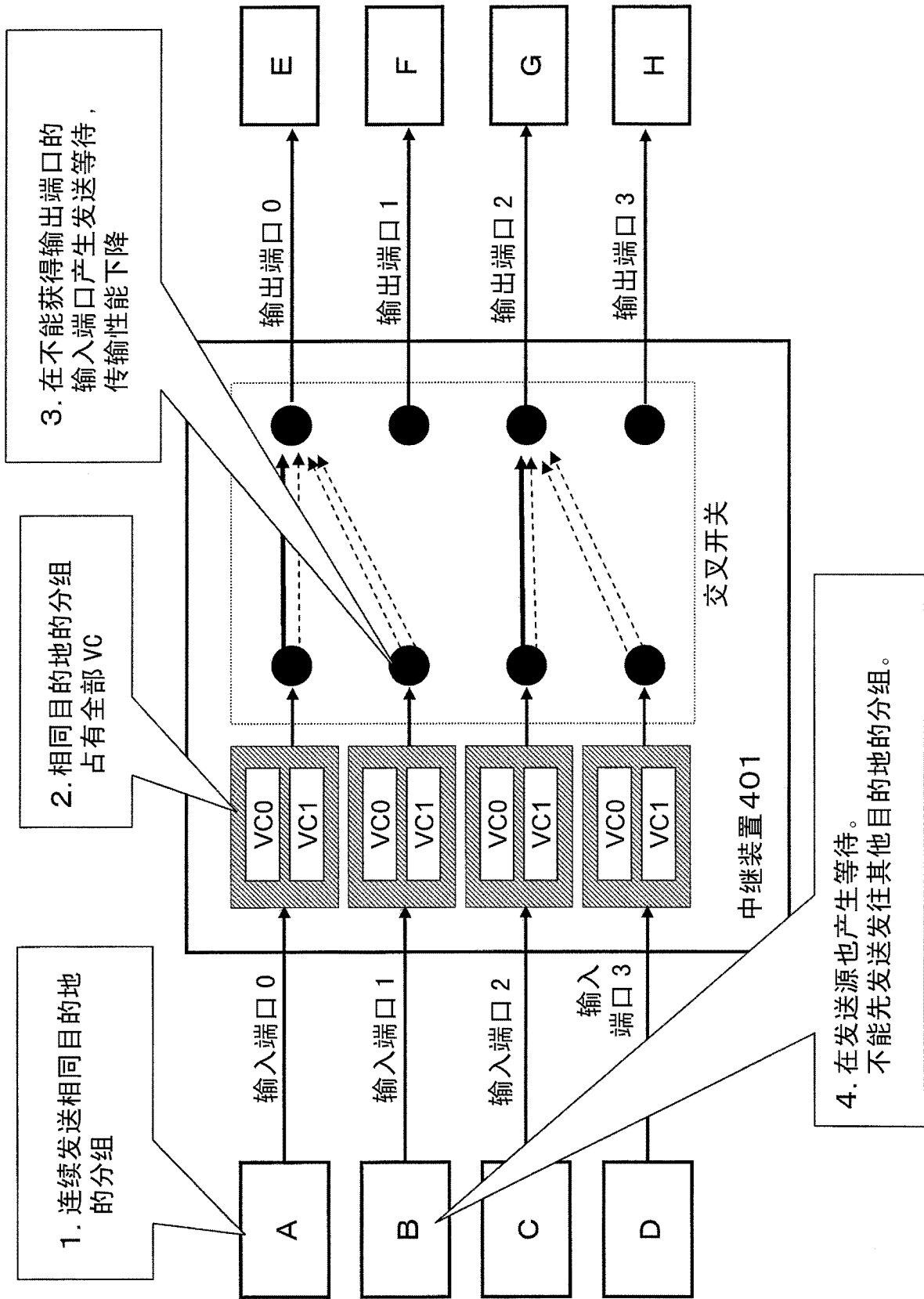


图 4

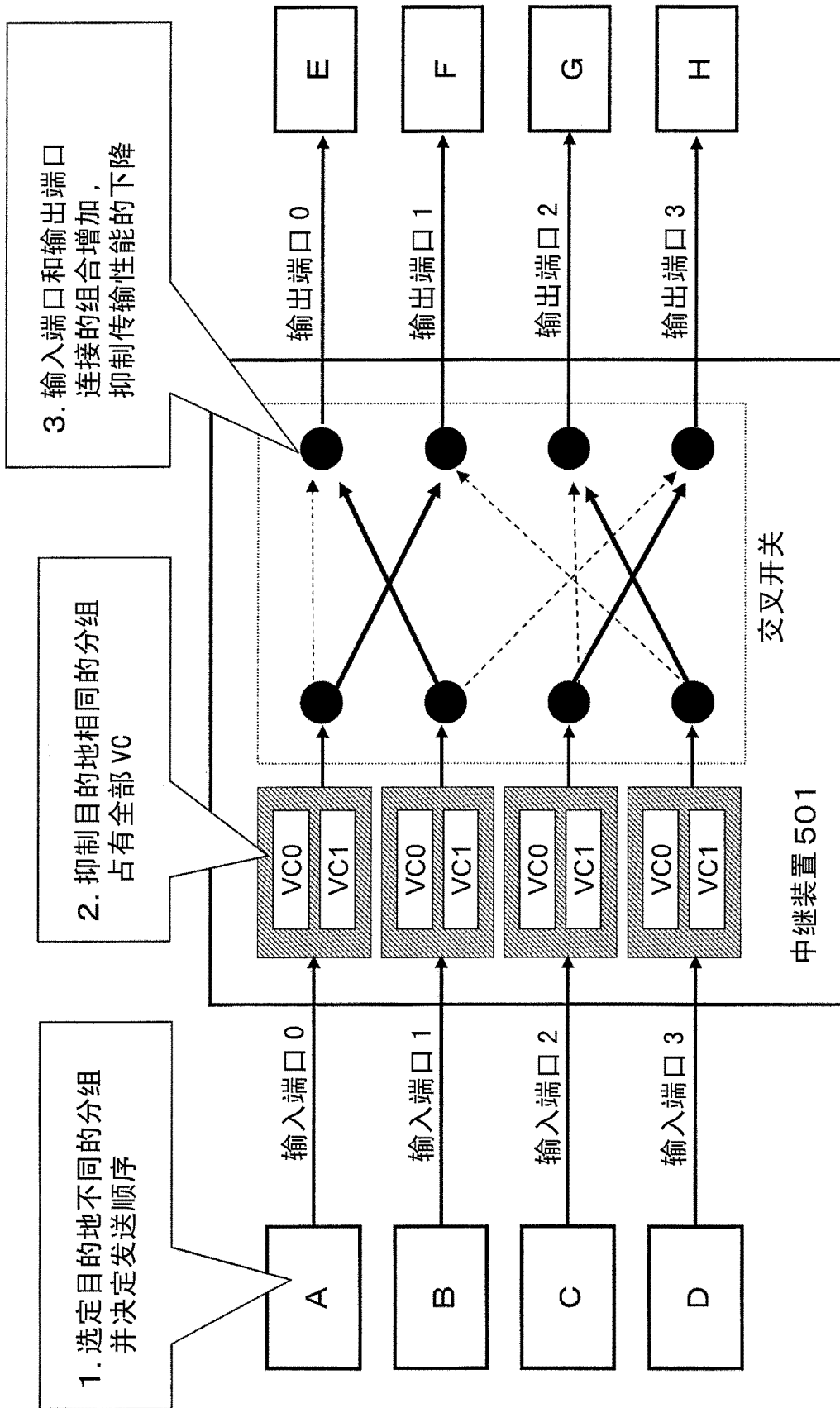


图 5

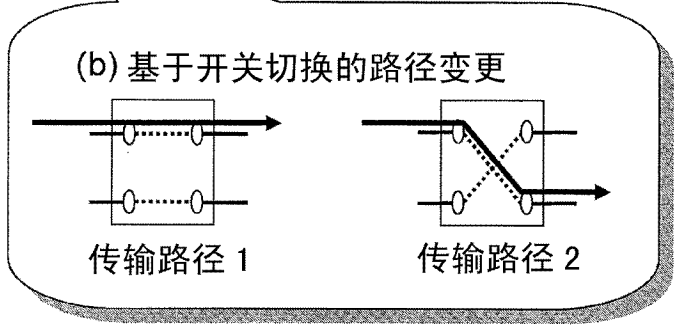
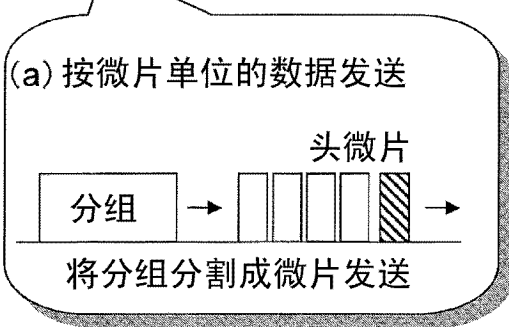
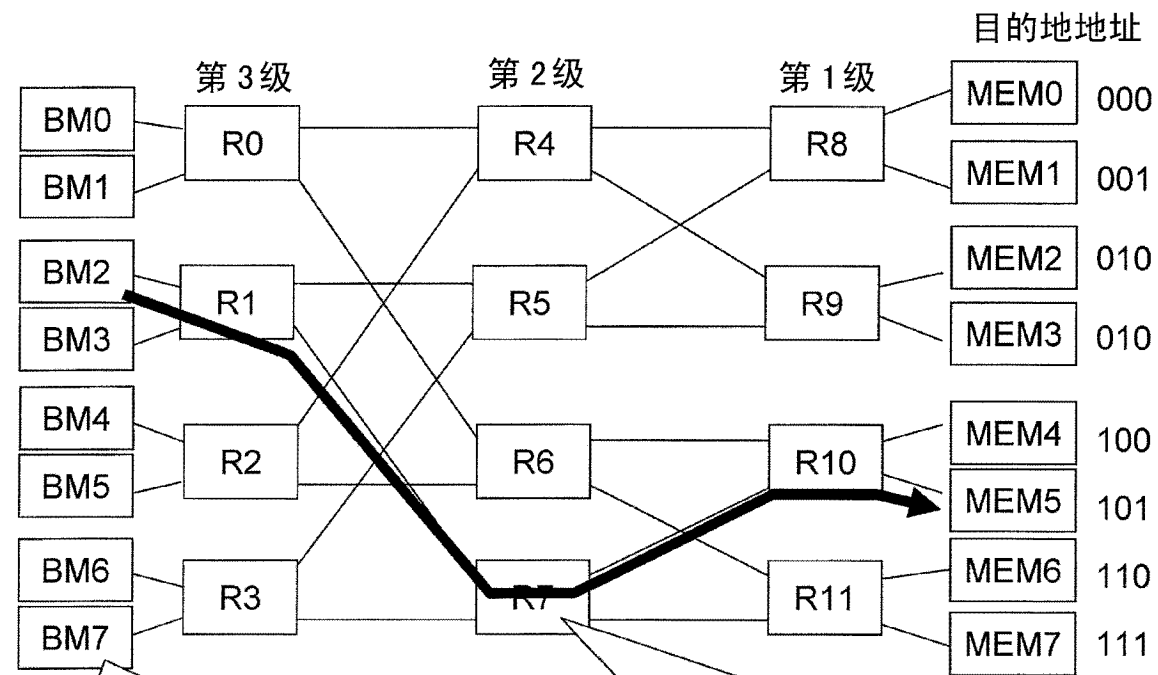


图 6

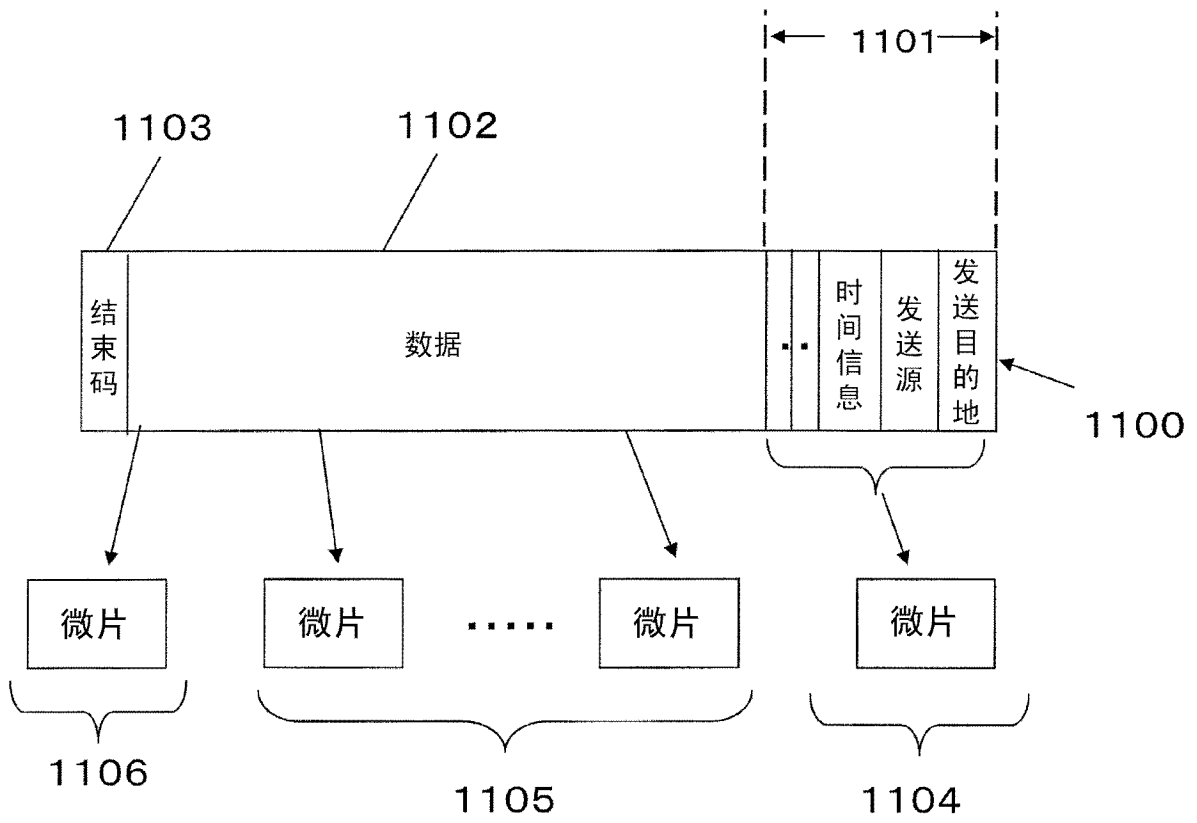


图 7

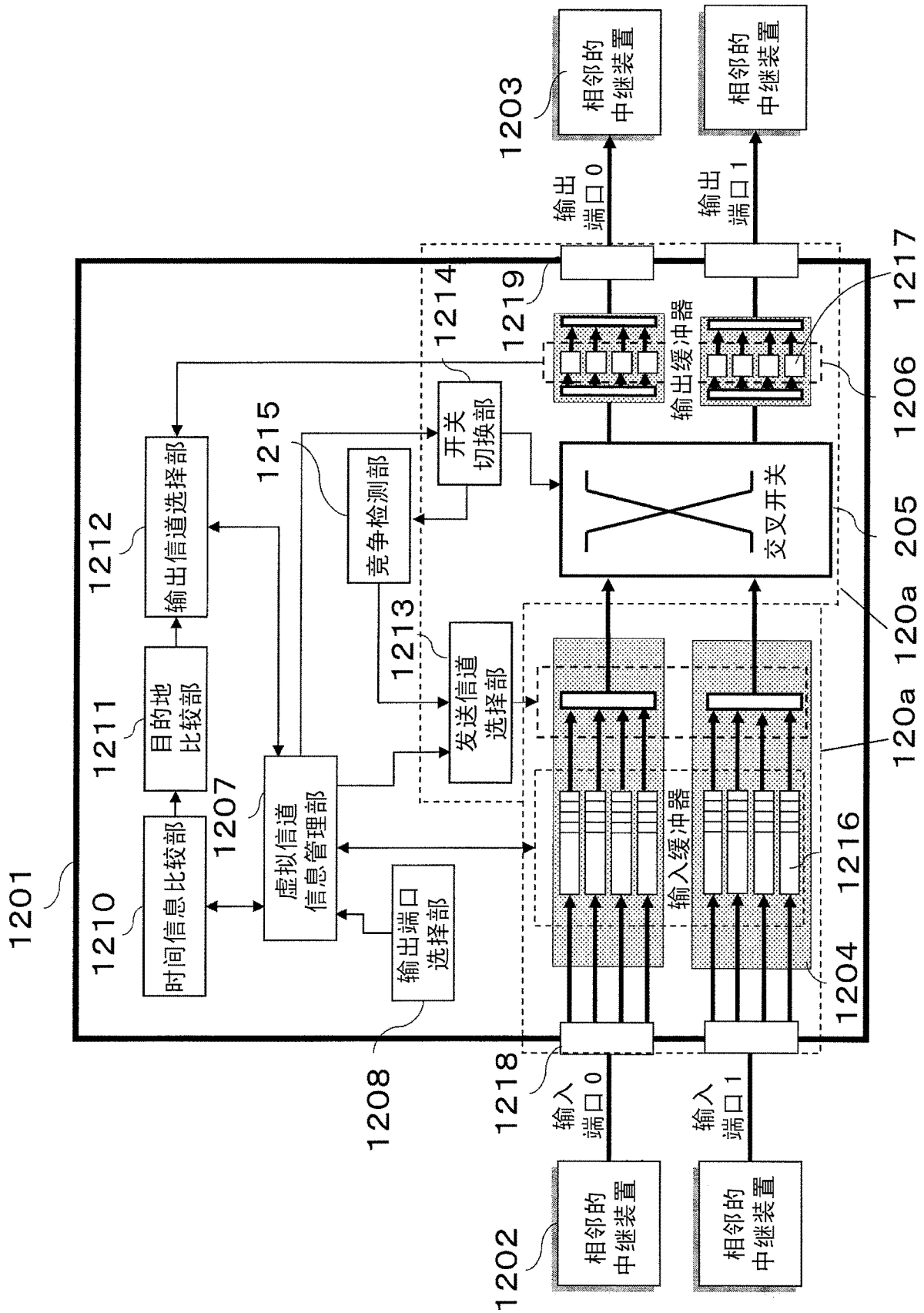


图 8

1301

输入端口编号	虚拟信道编号	目的地地址	时间信息 (发送时刻)	输出端口编号	输出信道编号
0	2	0101	0...005	0	1

图 9

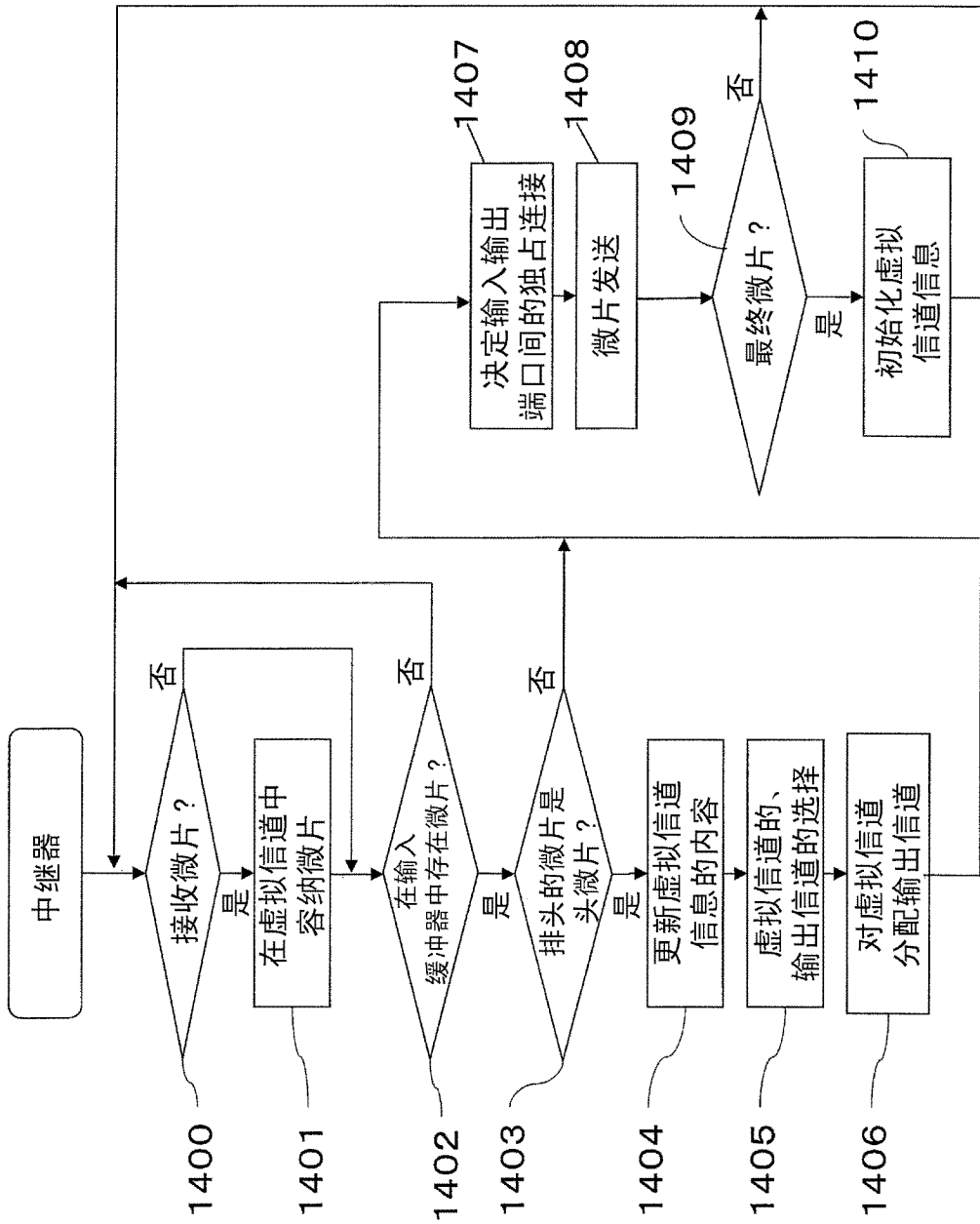


图 10

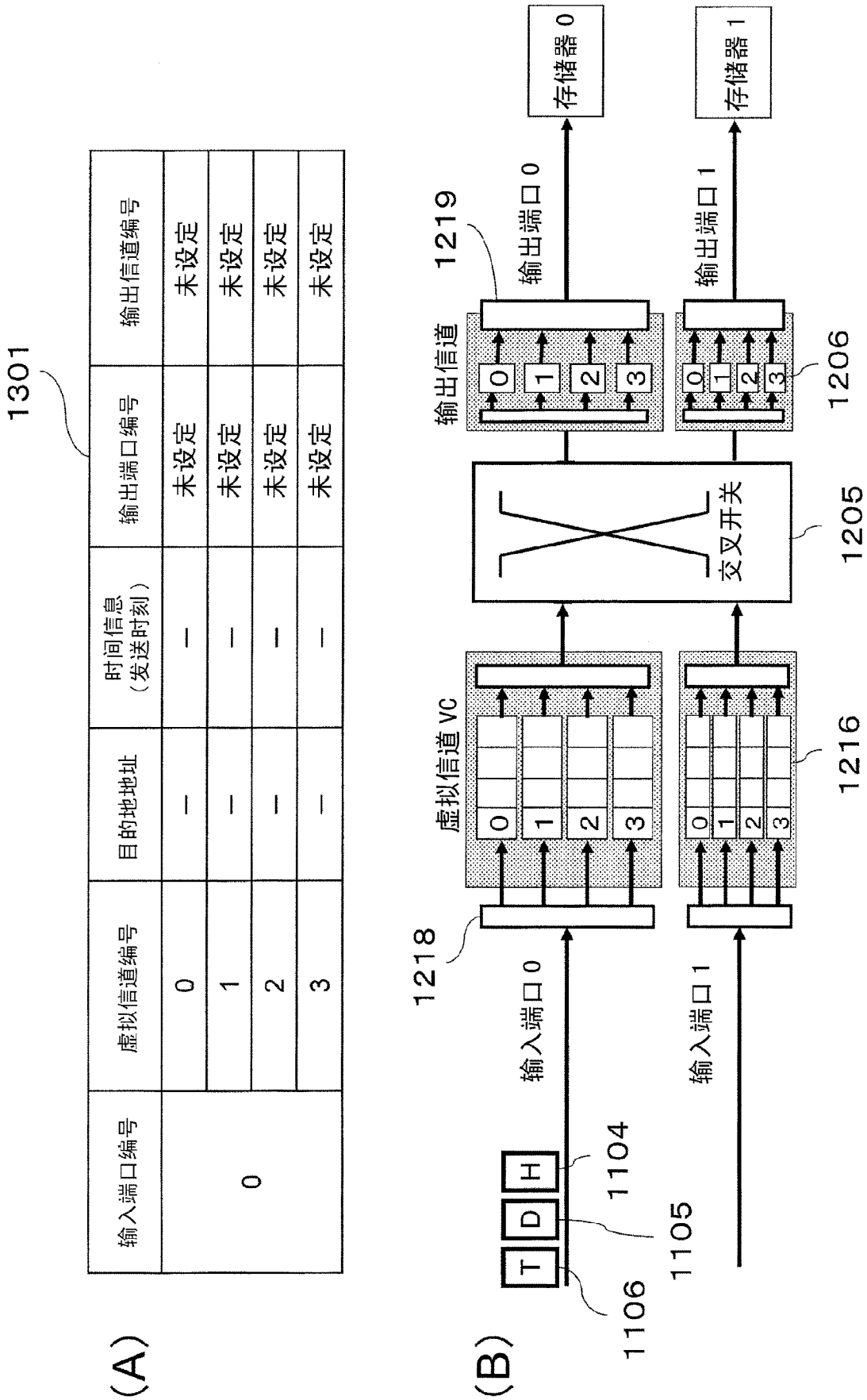


图 11

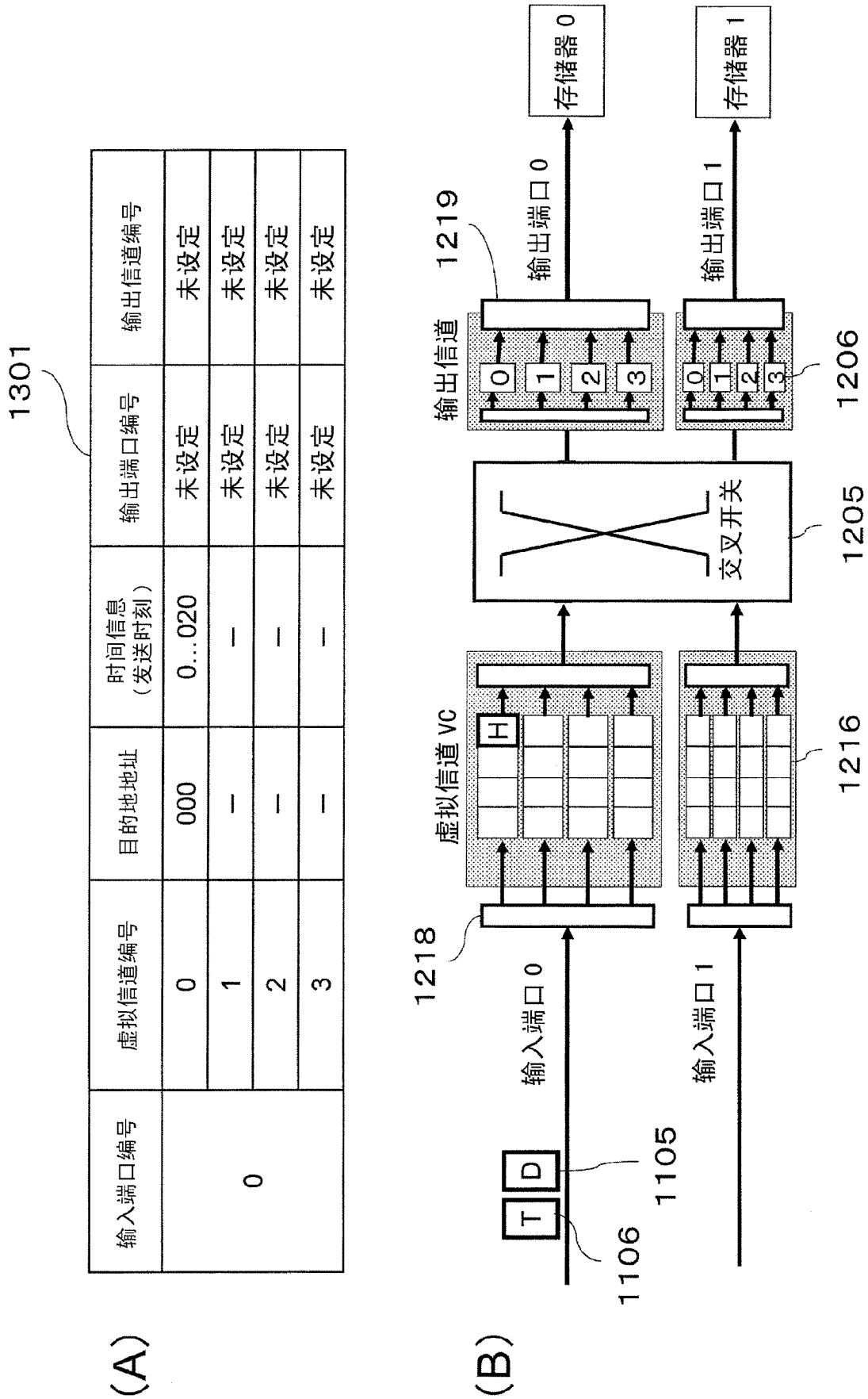


图 12

1301

输入端口编号	虚拟信道编号	目的地地址	时间信息 (发送时刻)	输出端口编号	输出信道编号
0	0	000	0...020	0	未设定
	1	-	-	未设定	未设定
	2	-	-	未设定	未设定
	3	-	-	未设定	未设定

(A)

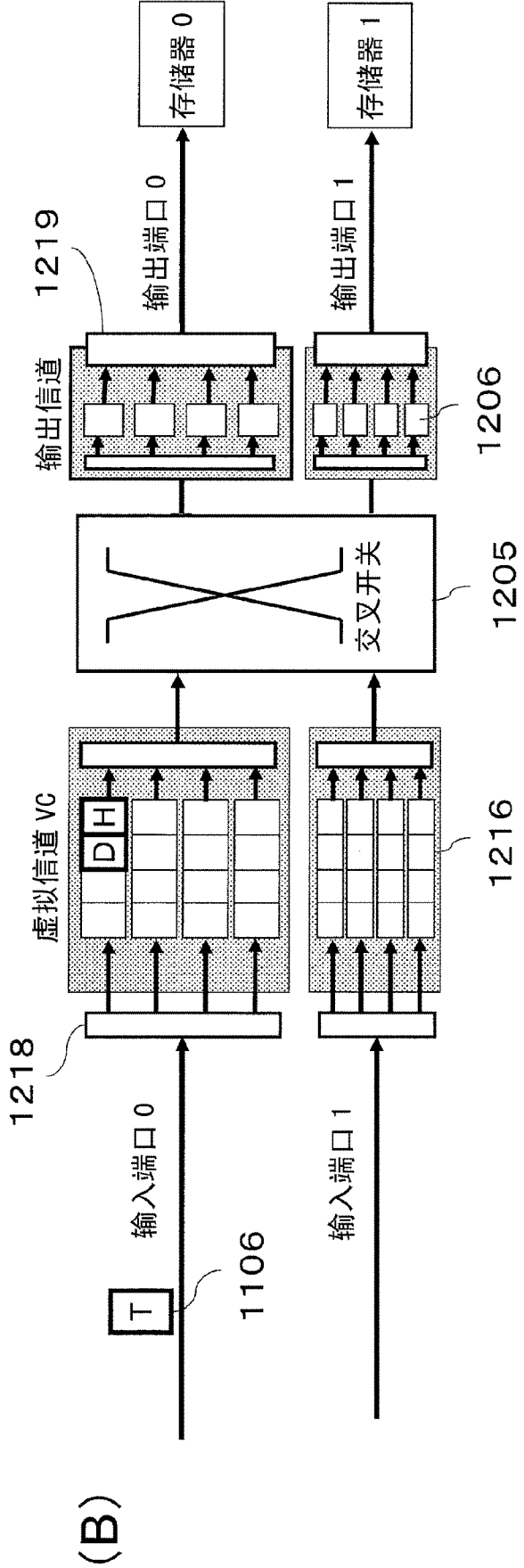


图 13

1301

输入端口编号	虚拟信道编号	目的地地址	时间信息 (发送时刻)	输出端口编号	输出信道编号
0	0	000	0...020	0	0
	1	—	—	未设定	未设定
	2	—	—	未设定	未设定
	3	—	—	未设定	未设定

(A)

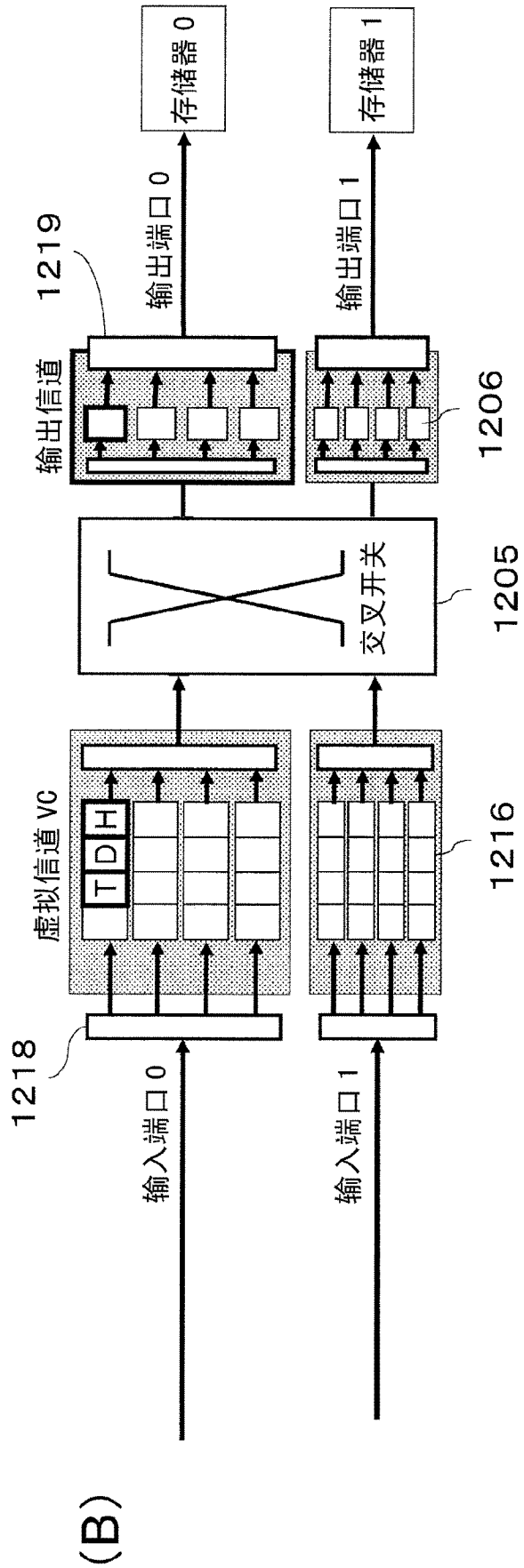


图 14

1301

输入端口编号	虚拟信道编号	目的地地址	时间信息 (发送时刻)	输出端口编号	输出信道编号
0	0	000	0...020	0	0
	1	-	-	未设定	未设定
	2	-	-	未设定	未设定
	3	-	-	未设定	未设定

(A)

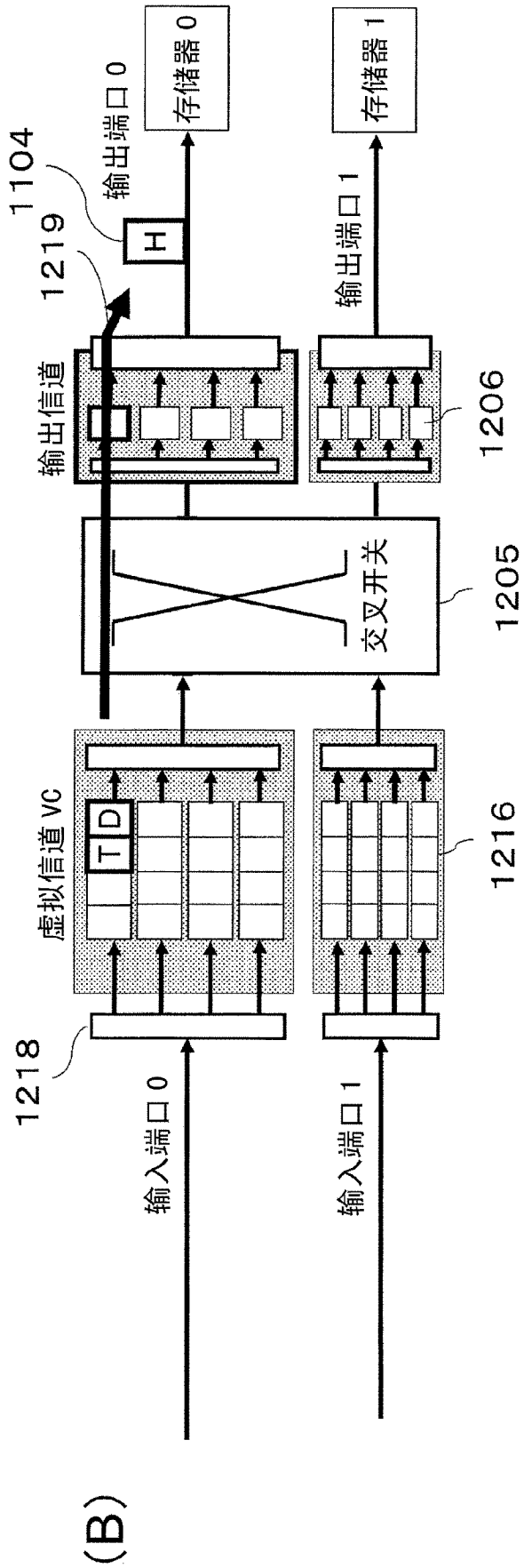
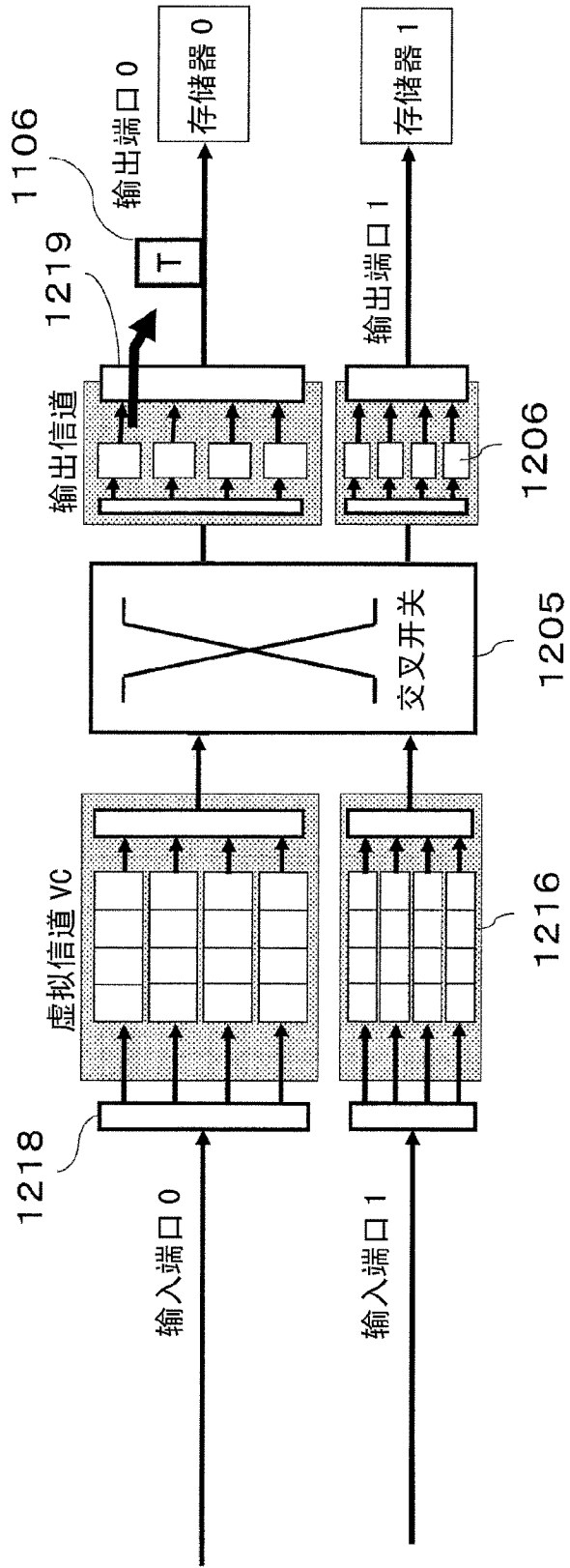


图 15

1301

输入端口编号	虚拟信道编号	目的地地址	时间信息 (发送时刻)	输出端口编号	输出信道编号
0	0	-	-	未设定	未设定
	1	-	-	未设定	未设定
	2	-	-	未设定	未设定
	3	-	-	未设定	未设定

(A)



(B)

图 16

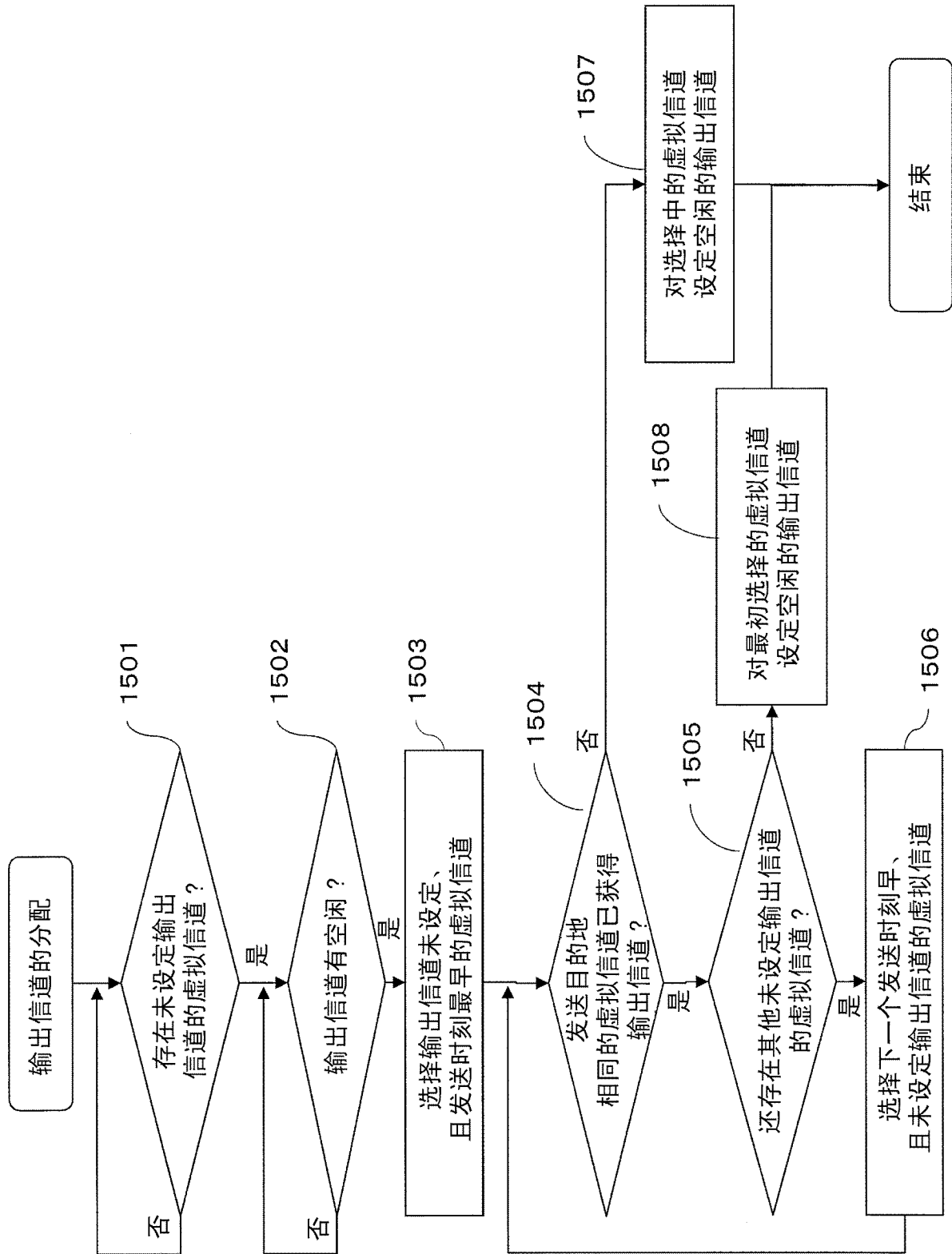


图 17

1301

输入端口编号	虚拟信道编号	目的地址	时间信息 (发送时刻)	输出端口编号	输出信道编号
0	0	—	—	未设定	未设定
	1	000	0...040	1	未设定
	2	001	0...005	0	0
	3	—	—	未设定	未设定
1	0	010	0...025	0	1
	1	011	0...030	1	未设定
	2	011	0...018	1	2
	3	—	—	未设定	未设定

(A)

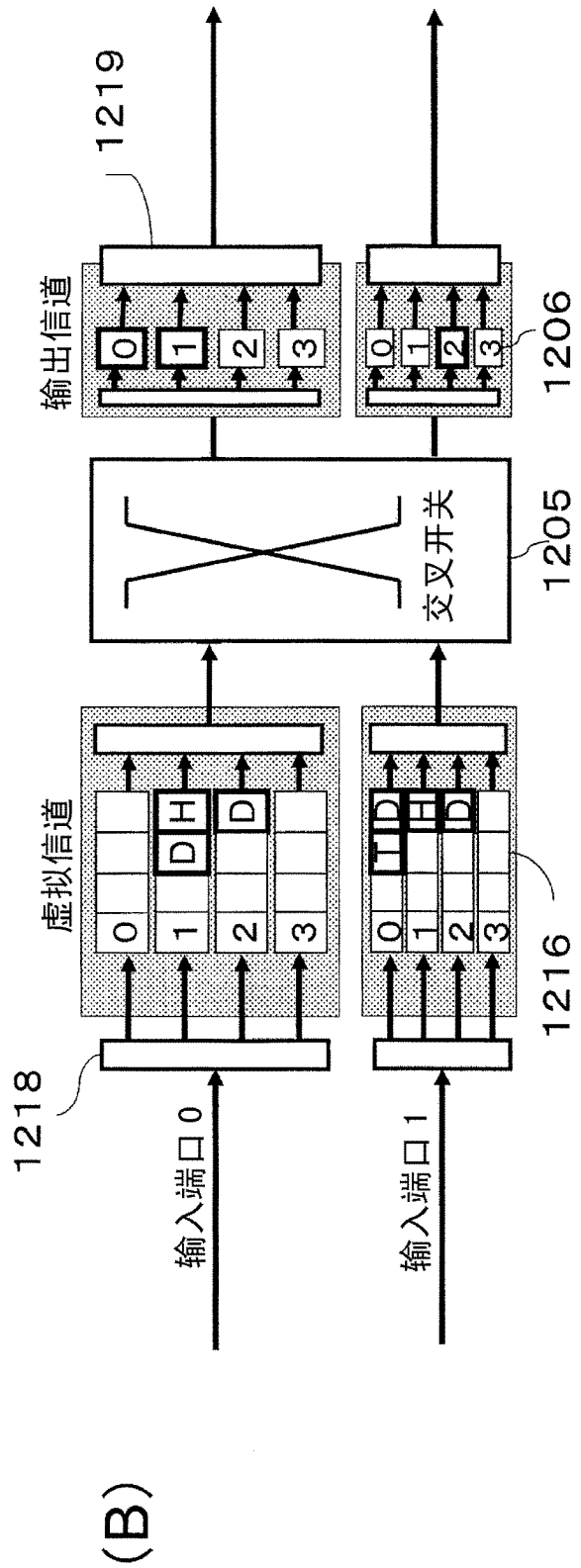


图 18

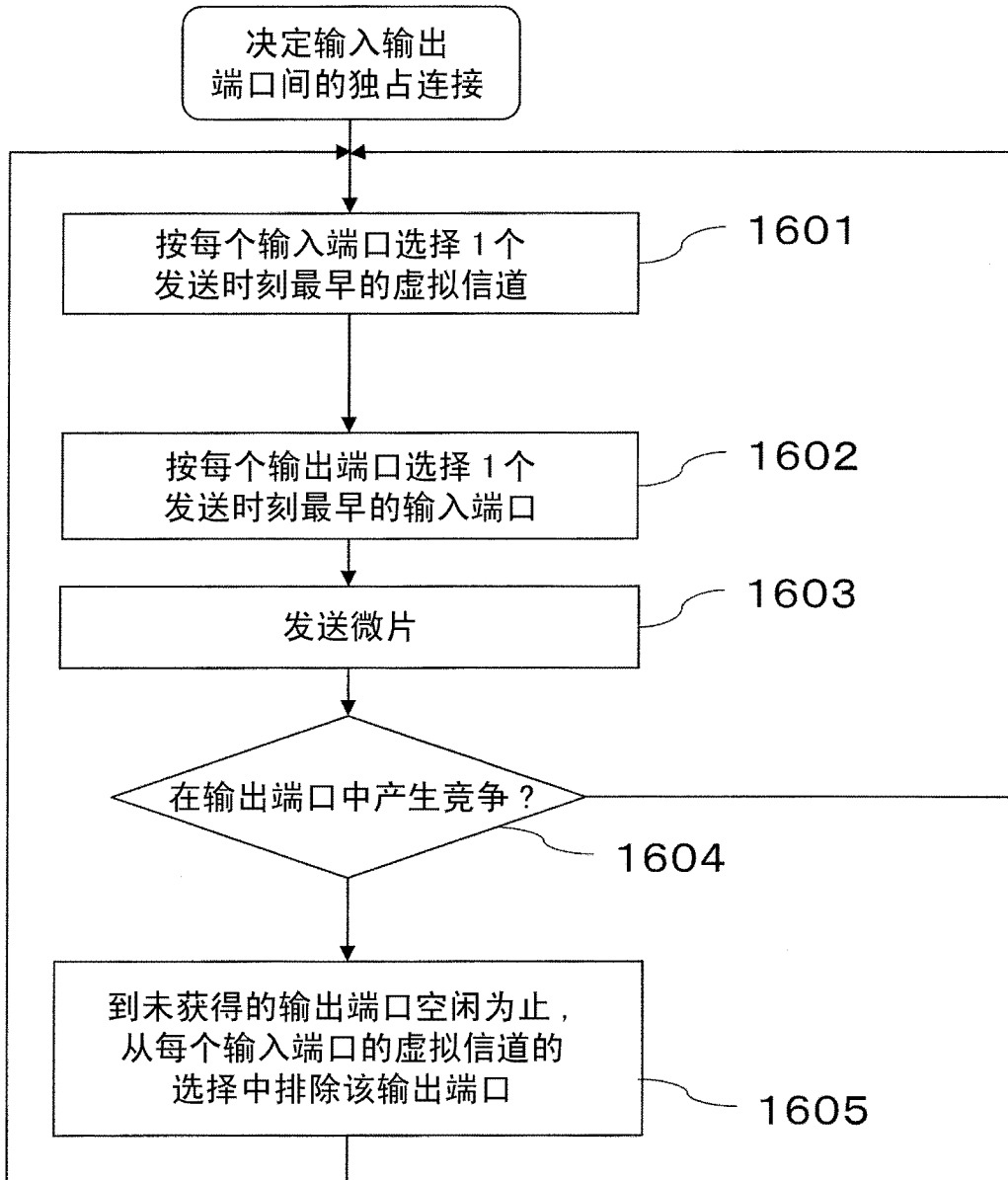


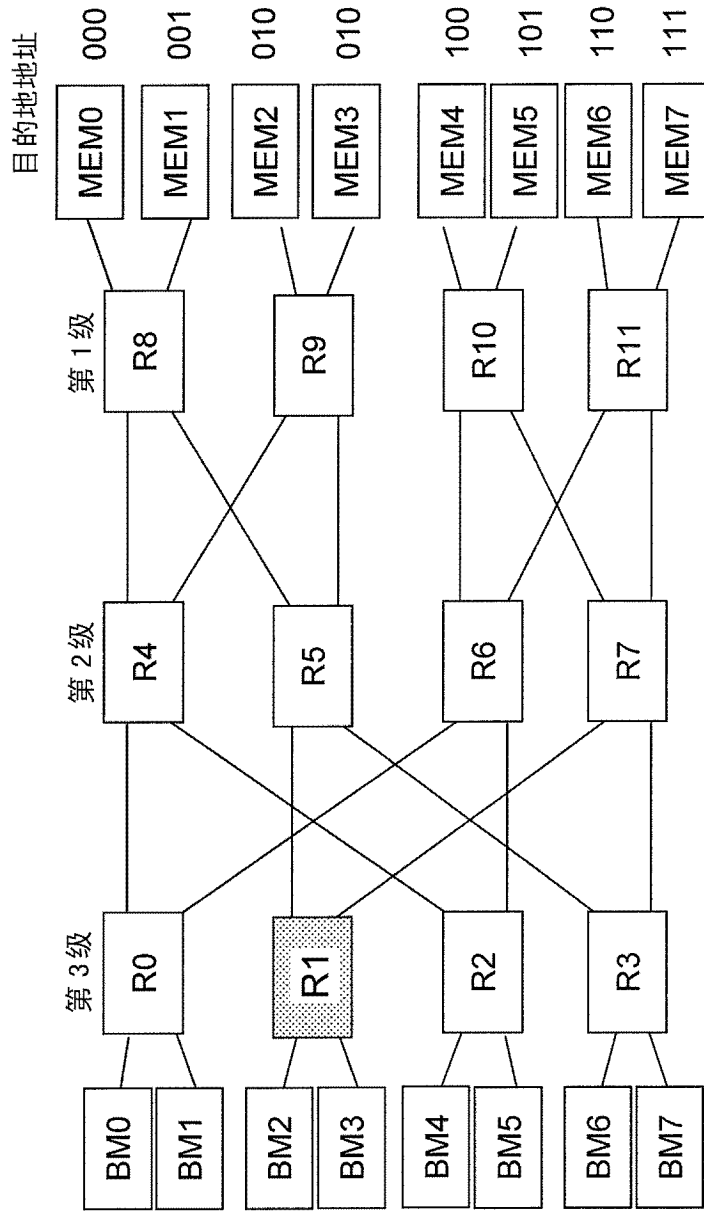
图 19

1301

输入端口编号	虚拟信道编号	目的地地址	时间信息	输出端口编号	输出信道编号
0	2	0101	0...128	0	1

时间信息的种类	时间信息比较部 1210 进行的比较的规则
分组的发送时刻	发送时刻从早到晚的顺序
从发送分組起的经过时间	经过时间从长到短的顺序
分组到达接收节点的截止时刻	截止时刻从近到远的顺序
离分组到达接收节点的截止时刻的剩余时间	剩余时间从短到长的顺序

图 20



(A)

目的地的定义	对中继装置 R1 而言的目的地 (数目)
接收节点	存储器 0 ~ 存储器 8 (8 个)
后两个的中继器	R8, R9, R10, R11 (4 个)
后一个的中继器	R5、R7 (2 个)

(B)

图 21

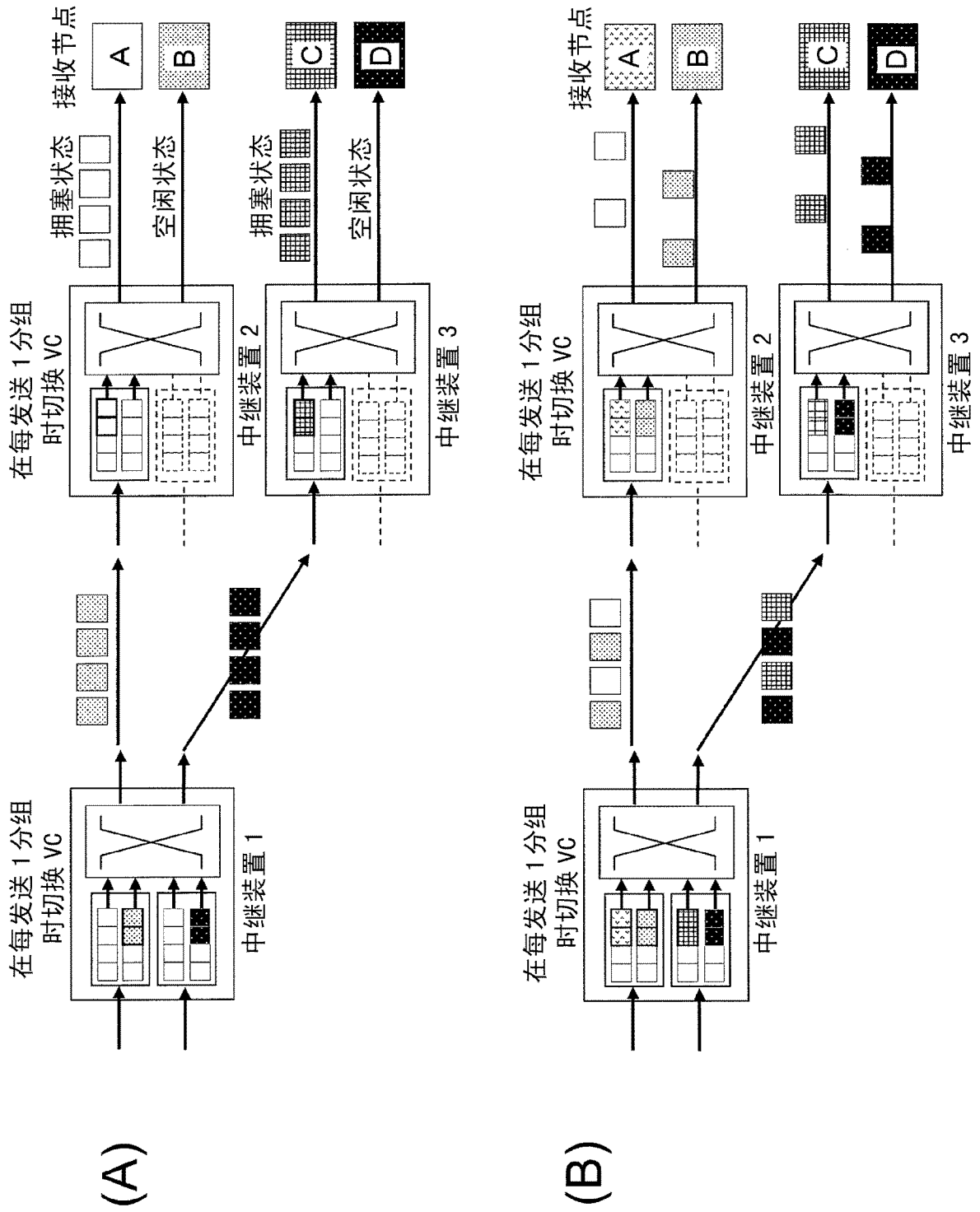


图 22

	在每次发送 分组时切换 VC	在每次发送 微片时切换 VC
NoC整体的 总线利用率	低	高
开关的切换次数	少	多

图 23

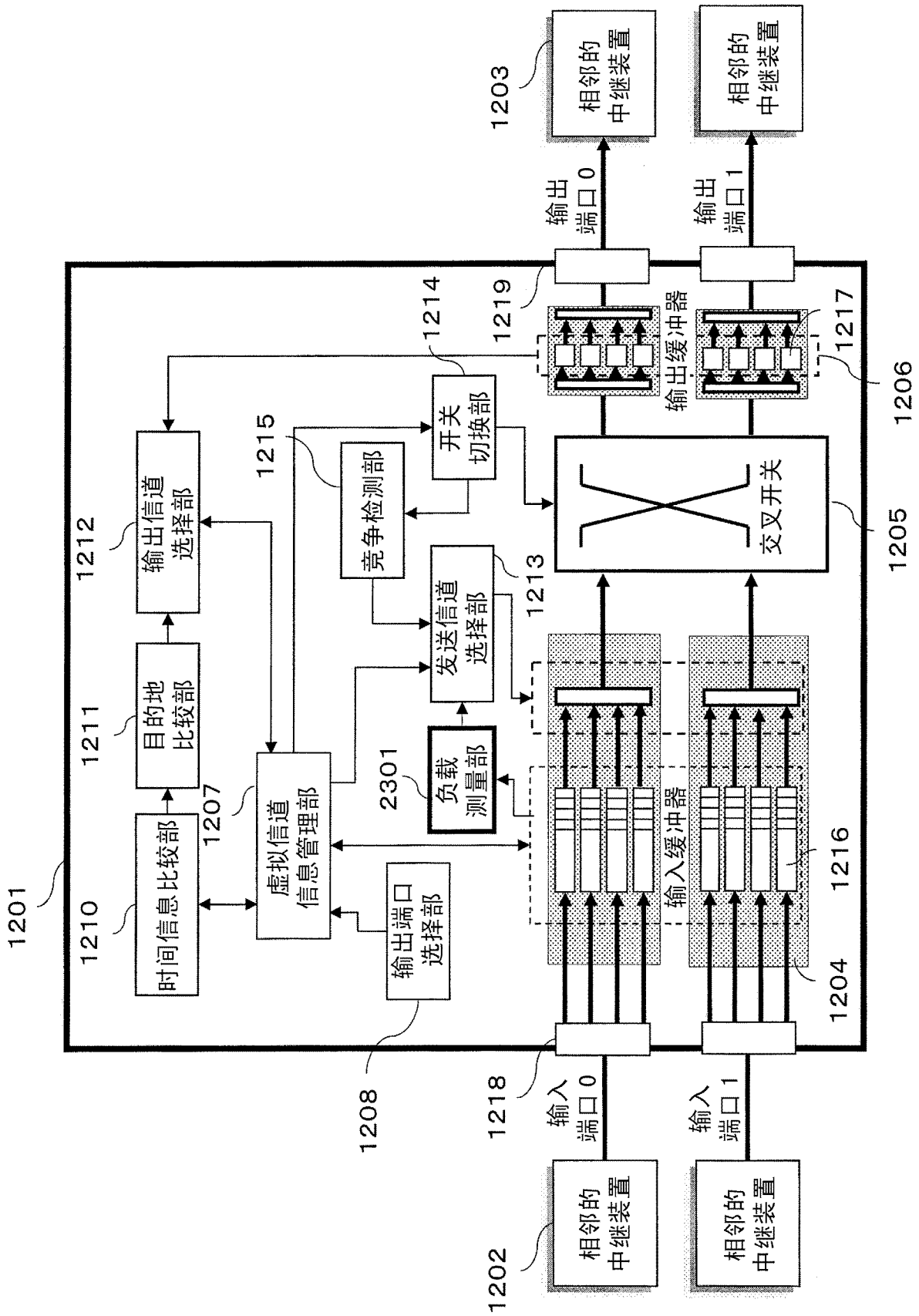


图 24

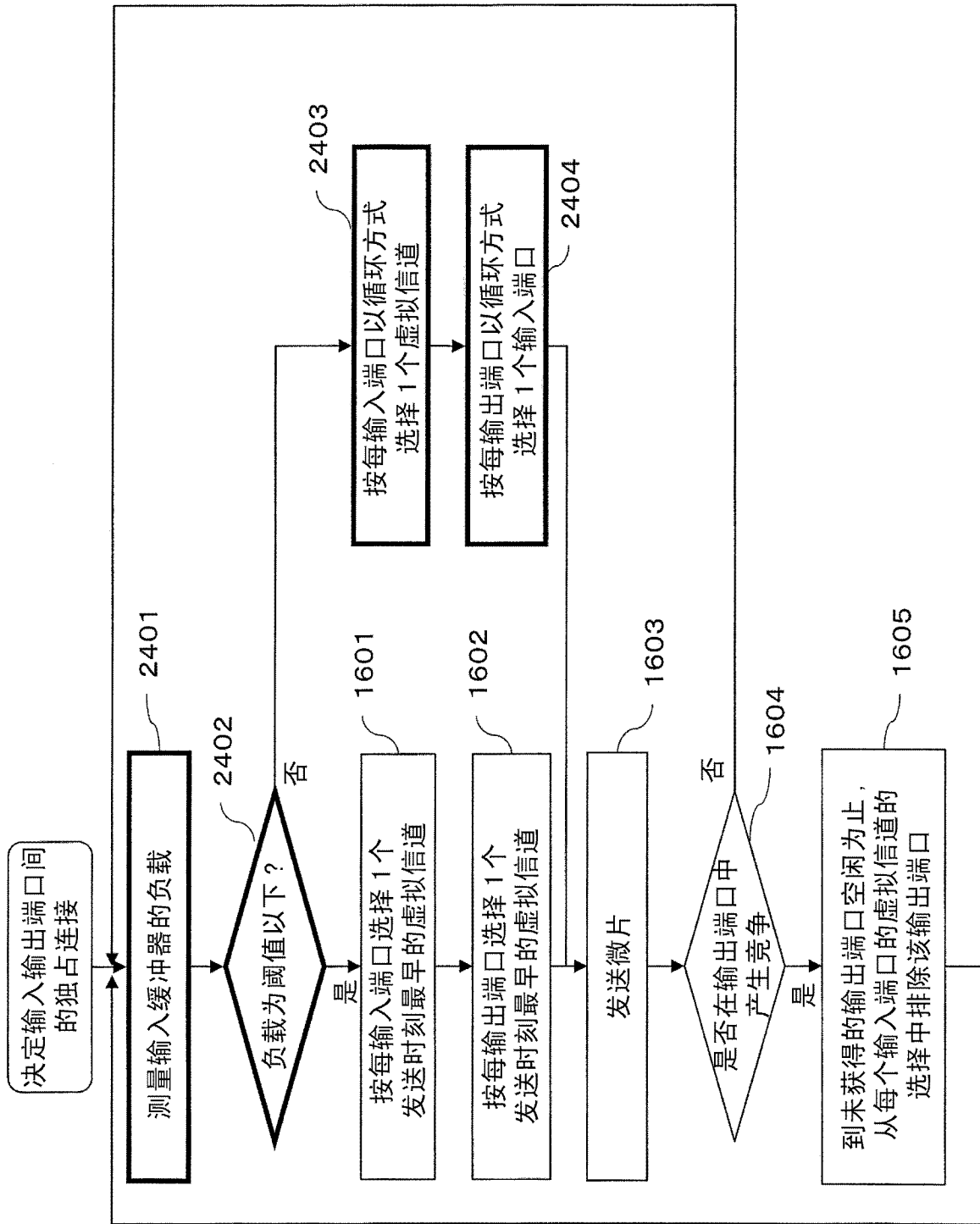


图 25

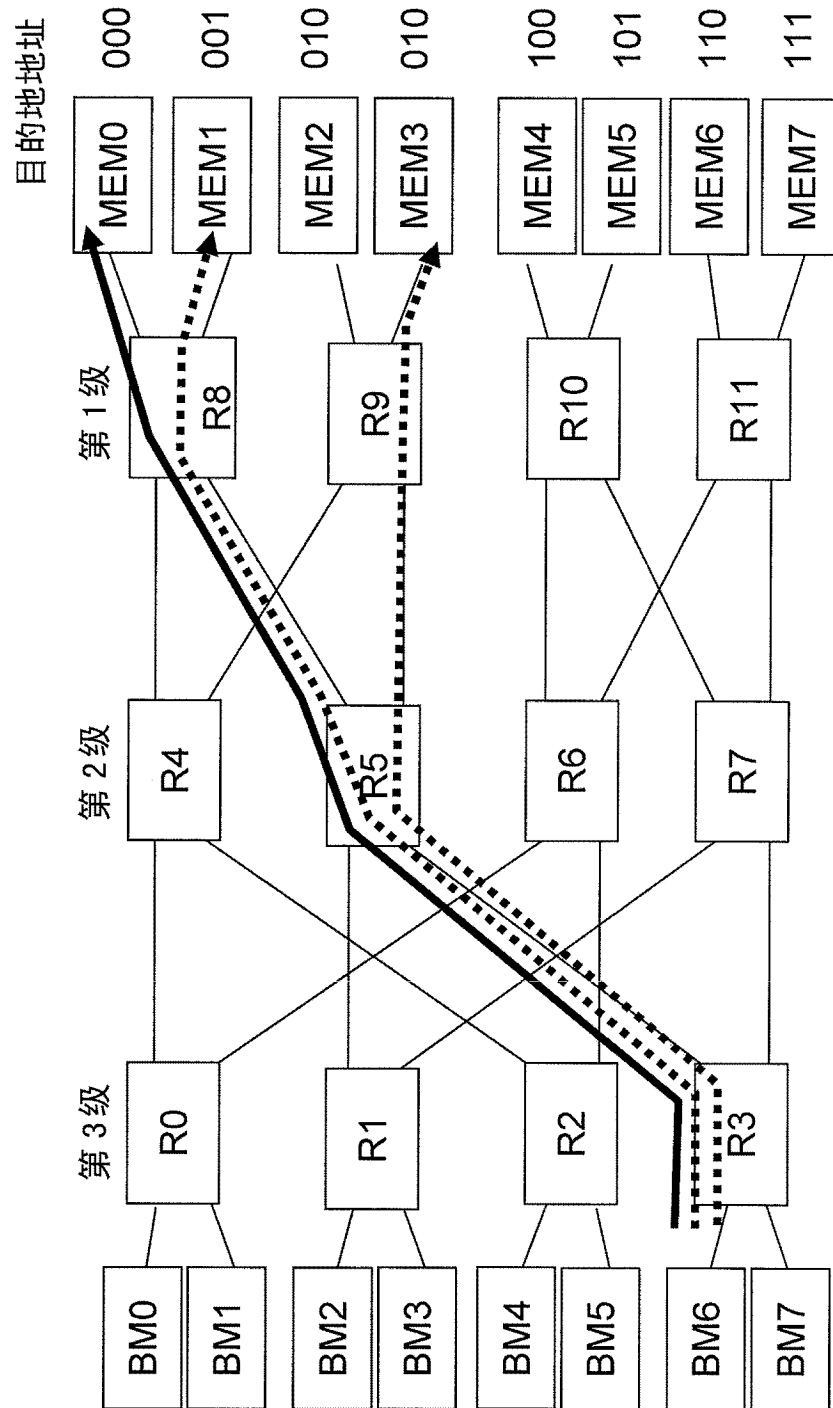


图 26

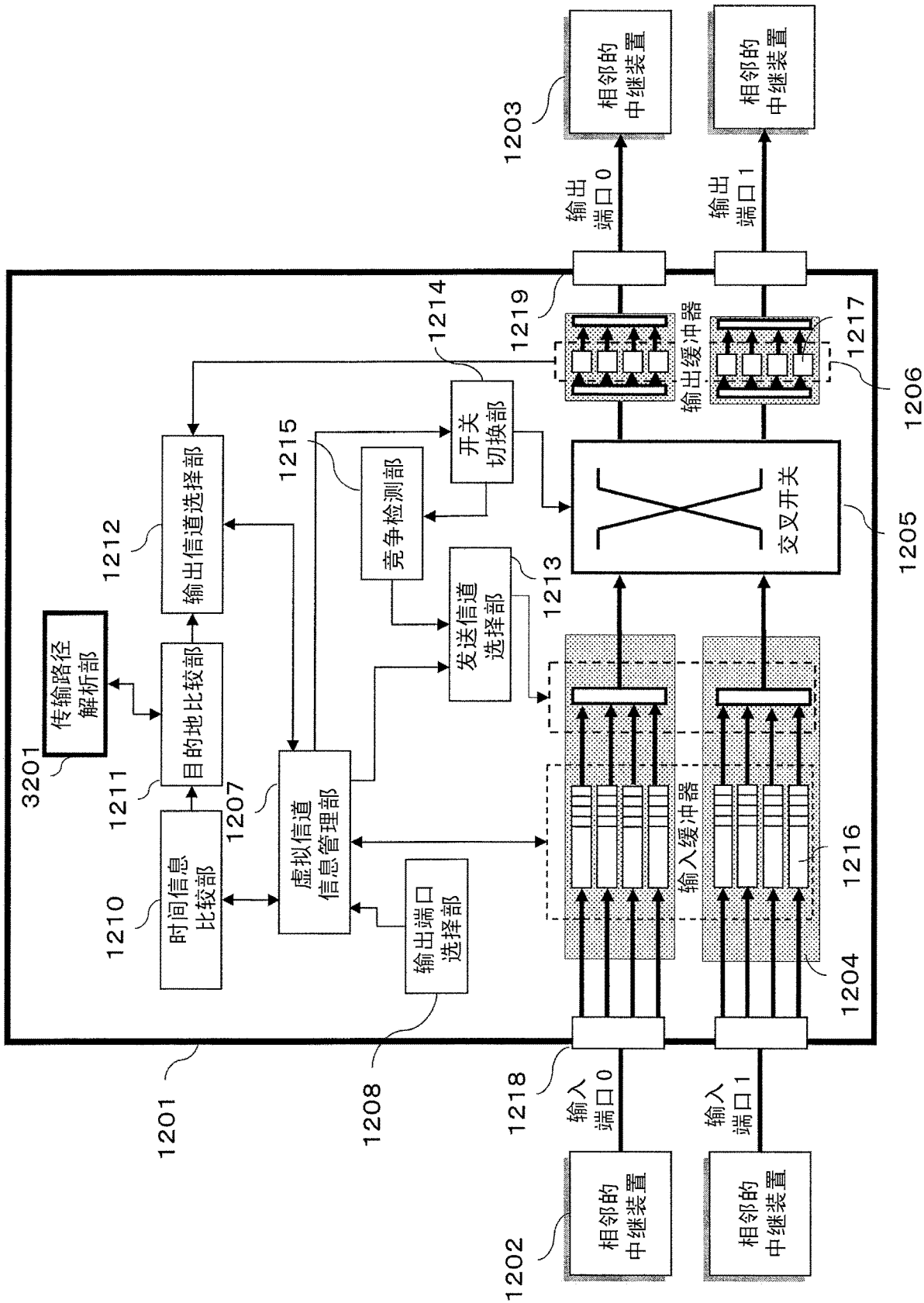


图 27

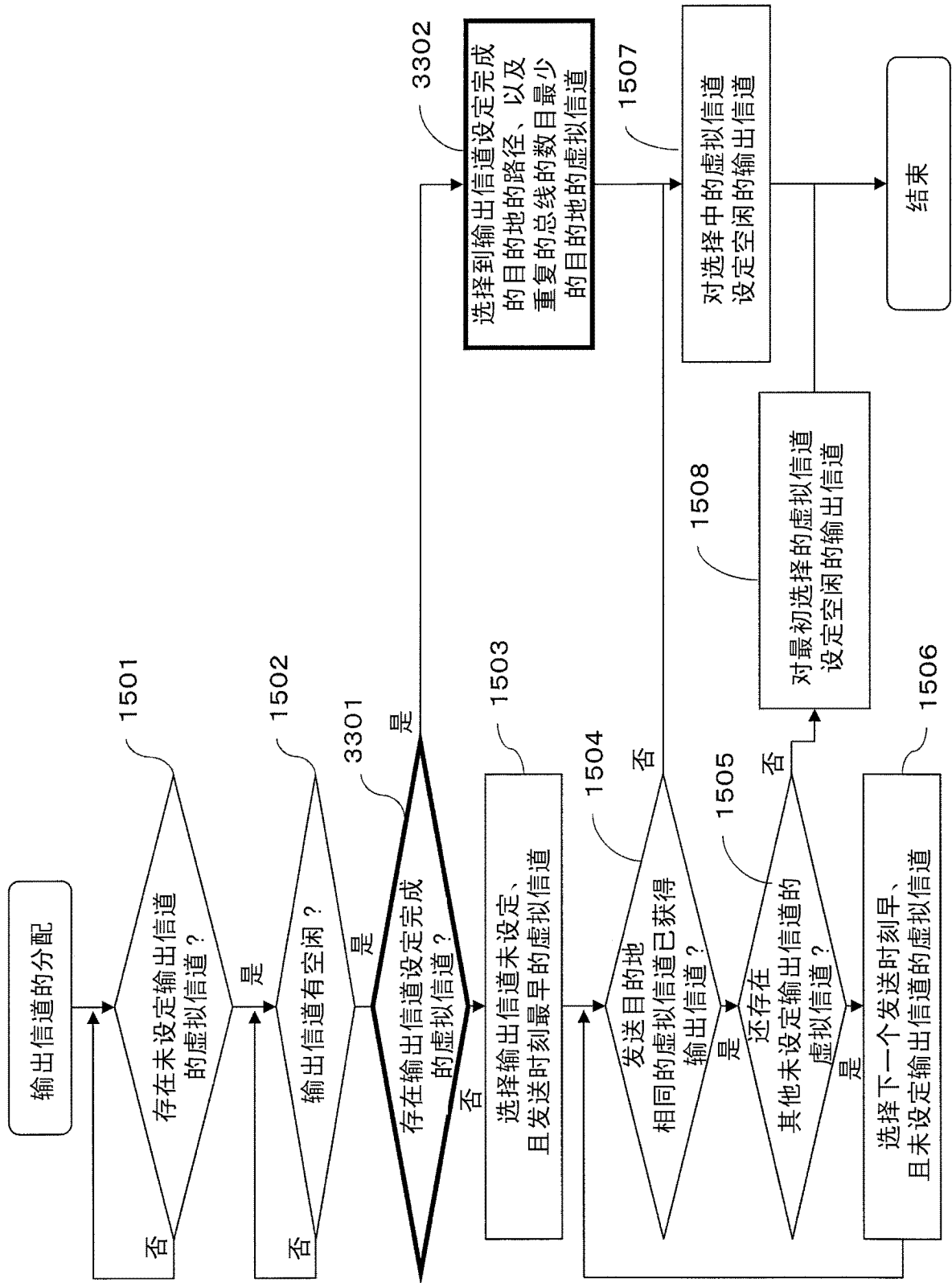


图 28

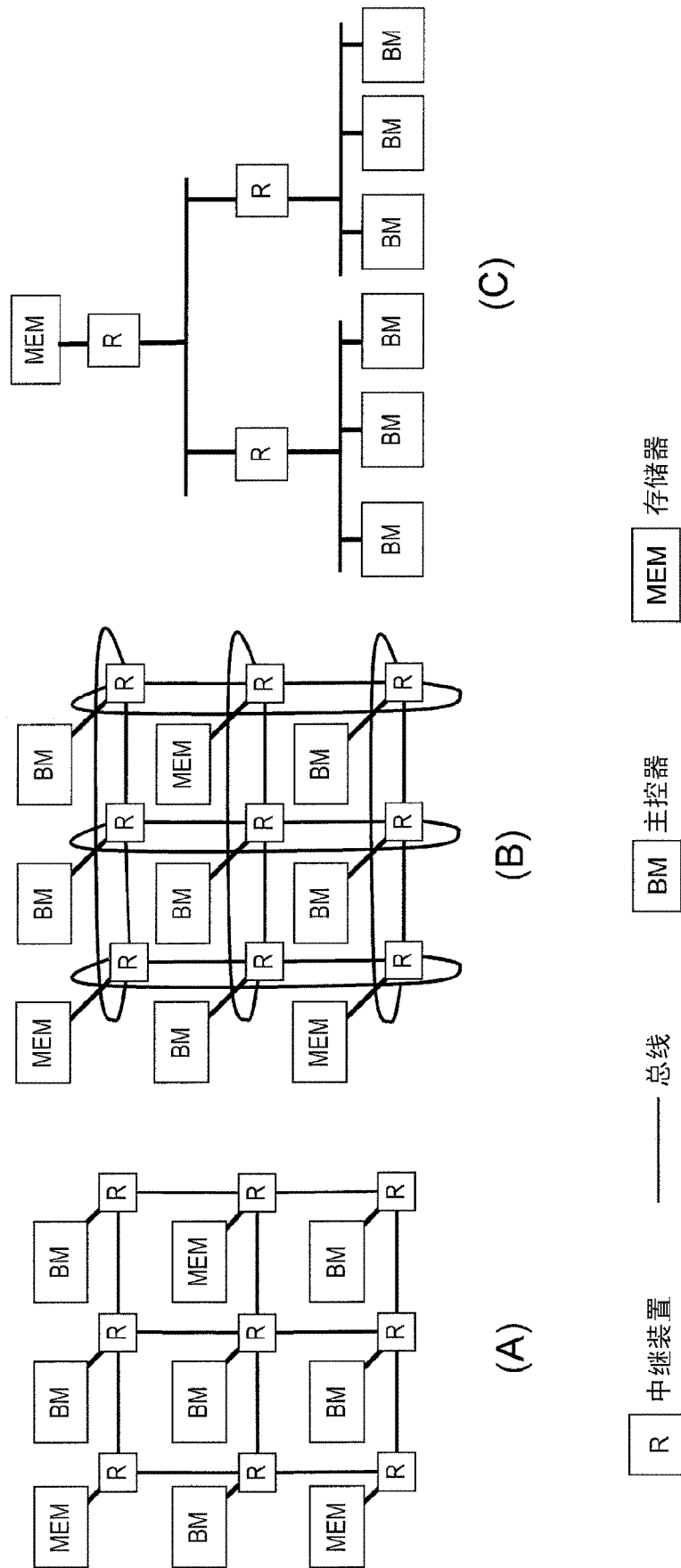


图 29

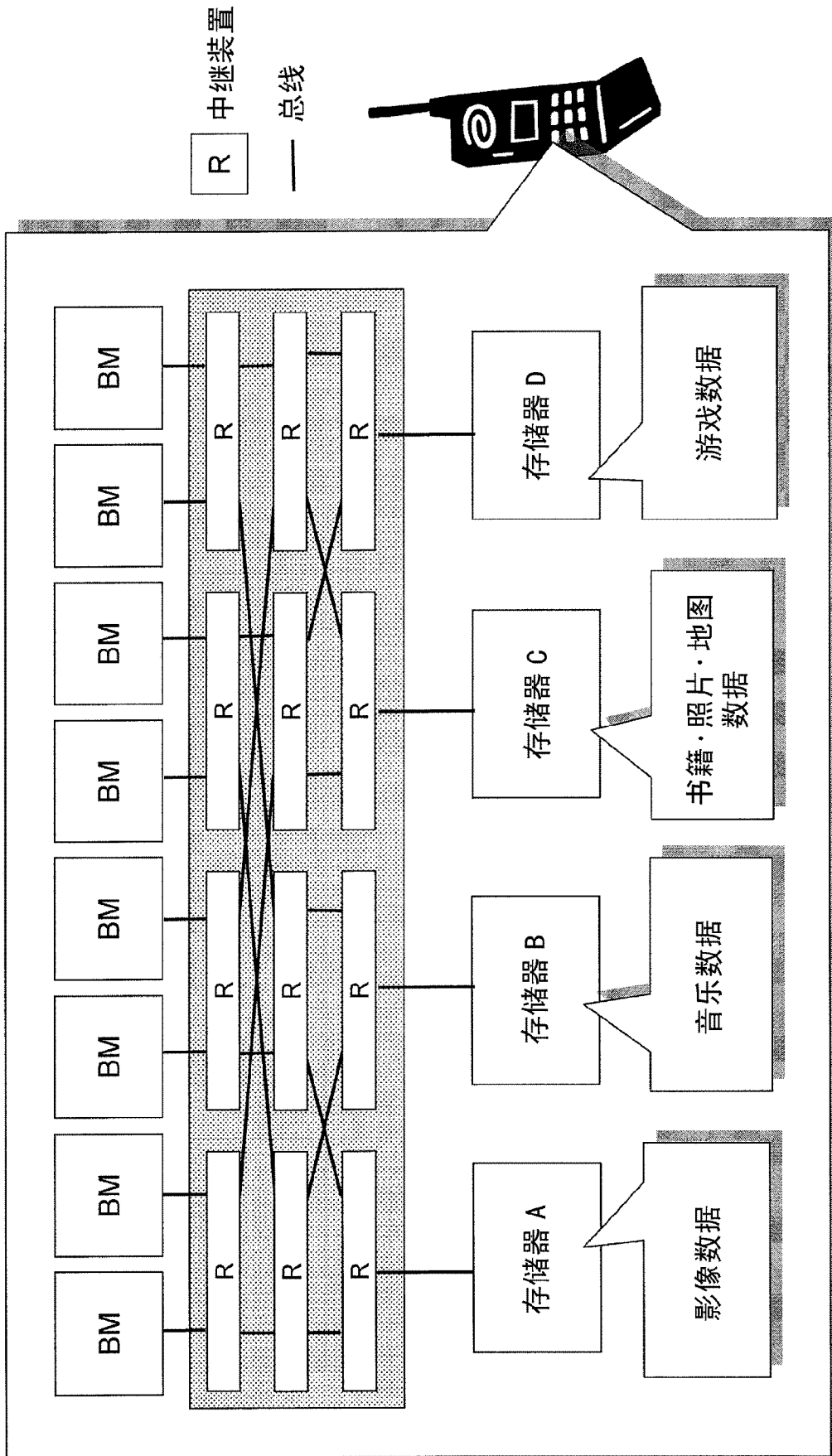


图 30

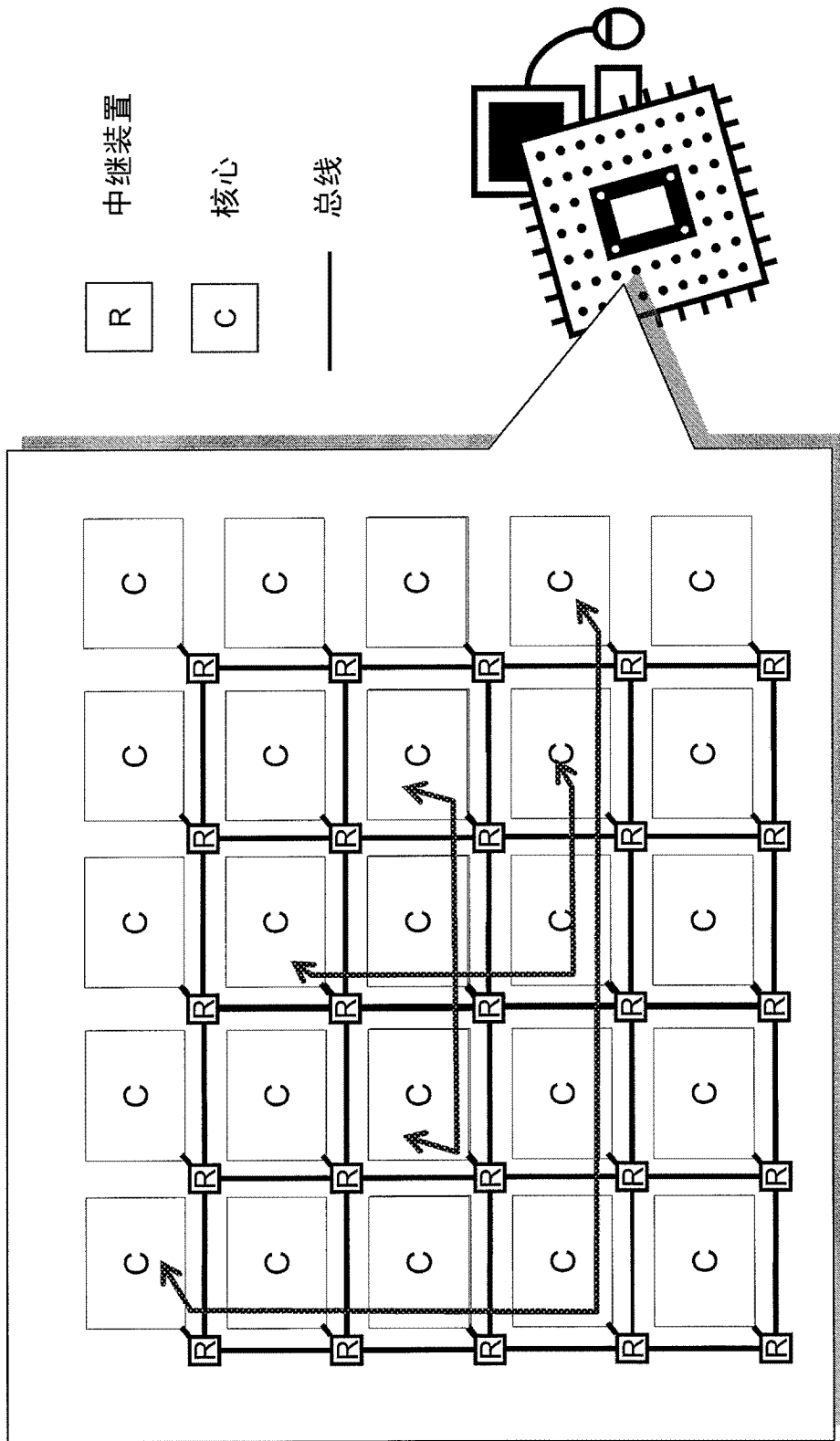


图 31