



(12) 发明专利

(10) 授权公告号 CN 113498544 B

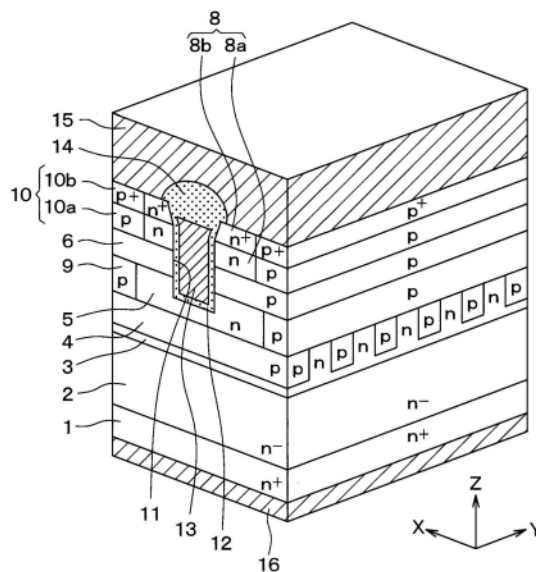
(45) 授权公告日 2023. 10. 27

(21) 申请号 202080016354.9
 (22) 申请日 2020.02.13
 (65) 同一申请的已公布的文献号
 申请公布号 CN 113498544 A
 (43) 申请公布日 2021.10.12
 (30) 优先权数据
 2019-034380 2019.02.27 JP
 2020-008376 2020.01.22 JP
 (85) PCT国际申请进入国家阶段日
 2021.08.24
 (86) PCT国际申请的申请数据
 PCT/JP2020/005592 2020.02.13
 (87) PCT国际申请的公布数据
 W02020/175157 JA 2020.09.03
 (73) 专利权人 株式会社电装
 地址 日本爱知县
 (72) 发明人 竹内有一 铃木克己 山下侑佑
 加藤武宽
 (74) 专利代理机构 永新专利商标代理有限公司
 72002
 专利代理人 吕文卓

(51) Int. Cl.
 H01L 21/28 (2006.01)
 H01L 29/78 (2006.01)
 H01L 29/12 (2006.01)
 H01L 21/336 (2006.01)
 (56) 对比文件
 JP 2018082114 A, 2018.05.24
 JP 2018518063 A, 2018.07.05
 JP 2019016775 A, 2019.01.31
 JP 2009194065 A, 2009.08.27
 CN 105264667 A, 2016.01.20
 US 2014175459 A1, 2014.06.26
 US 2018315819 A1, 2018.11.01
 WO 2013172079 A1, 2013.11.21
 US 2009283823 A1, 2009.11.19
 US 2009289264 A1, 2009.11.26
 胡海帆;王颖;程超.应变Si/SiGe沟道功率
 UMOSFET的模拟分析.固体电子学研究与进展
 .2010,(第01期),36-40.
 审查员 张自童

权利要求书3页 说明书17页 附图17页

(54) 发明名称
 碳化硅半导体装置及其制造方法
 (57) 摘要
 将源极区域(8)做成具有由形成在基体区域(6)侧的外延生长层构成的第1源极区域(8a)、以及由与源极电极相接并且第1导电型杂质浓度比第1源极区域高的离子注入层构成的第2源极区域(8b)的结构。



1. 一种碳化硅半导体装置,具备反型式的半导体元件,其特征在于,具备上述半导体元件,该半导体元件包括:

第1导电型或第2导电型的基板(1),由碳化硅构成;

漂移层(2、3、5),形成在上述基板之上,由杂质浓度比上述基板低的第1导电型的碳化硅构成;

基体区域(6),形成在上述漂移层之上,由第2导电型的碳化硅构成;

源极区域(8),形成在上述基体区域之上,由第1导电型杂质浓度比上述漂移层高的第1导电型的碳化硅构成;

沟槽栅构造,在从上述源极区域的表面起比上述基体区域深地形成的栅极沟槽(11)内具备将该栅极沟槽的内壁面覆盖的栅极绝缘膜(12)和配置在该栅极绝缘膜之上的栅极电极(13)而构成,将一个方向作为长度方向而以条带状排列有多条;

层间绝缘膜(14),将上述栅极电极及上述栅极绝缘膜覆盖,并且形成有接触孔;

源极电极(15),通过上述接触孔而与上述源极区域欧姆接触;以及

漏极电极(16),形成在上述基板的背面侧;

上述源极区域具有由形成在上述基体区域侧的外延生长层构成的第1源极区域(8a)、以及由与上述源极电极相接并且第1导电型杂质浓度比上述第1源极区域高的离子注入层构成的第2源极区域(8b);

上述第1源极区域与上述基体区域相接而形成,

上述第1源极区域的厚度为 $0.2\sim 0.5\mu\text{m}$,杂质浓度为 $2.0\times 10^{16}\sim 1.0\times 10^{17}/\text{cm}^3$;

上述第2源极区域的厚度为 $0.1\mu\text{m}$ 以上,并且第2导电型杂质浓度为 $1.0\times 10^{18}\sim 5.0\times 10^{19}/\text{cm}^3$ 。

2. 一种碳化硅半导体装置,具备反型式的半导体元件,其特征在于,

具备上述半导体元件,该半导体元件包括:

第1导电型或第2导电型的基板(1),由碳化硅构成;

漂移层(2、3、5),形成在上述基板之上,由杂质浓度比上述基板低的第1导电型的碳化硅构成;

基体区域(6),形成在上述漂移层之上,由第2导电型的碳化硅构成;

源极区域(8),形成在上述基体区域之上,由第1导电型杂质浓度比上述漂移层高的第1导电型的碳化硅构成;

沟槽栅构造,在从上述源极区域的表面起比上述基体区域深地形成的栅极沟槽(11)内具备将该栅极沟槽的内壁面覆盖的栅极绝缘膜(12)和配置在该栅极绝缘膜之上的栅极电极(13)而构成,将一个方向作为长度方向而以条带状排列有多条;

层间绝缘膜(14),将上述栅极电极及上述栅极绝缘膜覆盖,并且形成有接触孔;

源极电极(15),通过上述接触孔而与上述源极区域欧姆接触;以及

漏极电极(16),形成在上述基板的背面侧;

上述源极区域具有由形成在上述基体区域侧的外延生长层构成的第1源极区域(8a)、以及由与上述源极电极相接并且第1导电型杂质浓度比上述第1源极区域高的离子注入层构成的第2源极区域(8b);

在上述基体区域与上述源极区域之间,具备厚度为 $0.05\sim 0.2\mu\text{m}$ 、载流子浓度为 $1.0\times$

$10^{16}/\text{cm}^3$ 以下的非掺杂层(7)。

3. 如权利要求2所述的碳化硅半导体装置,其特征在于,

上述第1源极区域的厚度为 $0.2\sim 0.5\mu\text{m}$ 、杂质浓度为 $2.0\times 10^{16}\sim 1.0\times 10^{17}/\text{cm}^3$;

上述第2源极区域的厚度为 $0.1\mu\text{m}$ 以上、第2导电型杂质浓度为 $1.0\times 10^{18}\sim 5.0\times 10^{19}/\text{cm}^3$ 。

4. 如权利要求1或2所述的碳化硅半导体装置,其特征在于,

上述栅极沟槽在与上述第2源极区域对应的部分具有圆度地倾斜。

5. 一种碳化硅半导体装置的制造方法,是具备反型式的半导体元件的碳化硅半导体装置的制造方法,其特征在于,

包括以下工序:

准备由碳化硅构成的第1导电型或第2导电型的基板(1);

在上述基板之上,形成由杂质浓度比上述基板低的第1导电型的碳化硅构成的漂移层(2、3、5);

在上述漂移层之上,形成由第2导电型的碳化硅构成的基体区域(6);

在上述基体区域之上形成源极区域(8),该源极区域(8)由第1导电型杂质浓度比上述漂移层高的第1导电型的碳化硅构成,具有配置在上述基体区域侧的第1源极区域(8a)、和在该第1源极区域之上且杂质浓度比该第1源极区域高的第2源极区域(8b);

将从上述源极区域的表面起比上述基体区域深的栅极沟槽(11)以一个方向为长度方向而呈条带状形成了多条后,在上述栅极沟槽的内壁面形成栅极绝缘膜(12),并且在上述栅极绝缘膜之上形成栅极电极(13),由此形成沟槽栅构造;

形成与上述源极区域电连接的源极电极(15);以及

在上述基板的背面侧形成漏极电极(16);

在形成上述基体区域的工序中,通过外延生长形成上述基体区域;

在形成上述源极区域的工序中,在通过外延生长将上述第1源极区域形成在上述基体区域的表面后,通过对上述第1源极区域离子注入第1导电型杂质而形成上述第2源极区域,并且,与上述基体区域相接并且厚度为 $0.2\sim 0.5\mu\text{m}$ 且杂质浓度为 $2.0\times 10^{16}\sim 1.0\times 10^{17}/\text{cm}^3$ 的方式形成上述第1源极区域,以厚度为 $0.1\mu\text{m}$ 以上且第2导电型杂质浓度为 $1.0\times 10^{18}\sim 5.0\times 10^{19}/\text{cm}^3$ 的方式形成上述第2源极区域。

6. 一种碳化硅半导体装置的制造方法,是具备反型式的半导体元件的碳化硅半导体装置的制造方法,其特征在于,

包括以下工序:

准备由碳化硅构成的第1导电型或第2导电型的基板(1);

在上述基板之上,形成由杂质浓度比上述基板低的第1导电型的碳化硅构成的漂移层(2、3、5);

在上述漂移层之上,形成由第2导电型的碳化硅构成的基体区域(6);

在上述基体区域之上,形成厚度为 $0.05\sim 0.2\mu\text{m}$ 、载流子浓度为 $1.0\times 10^{16}/\text{cm}^3$ 以下的非掺杂层(7);

在上述非掺杂层之上形成源极区域(8),该源极区域(8)由第1导电型杂质浓度比上述漂移层高的第1导电型的碳化硅构成,具有配置在上述基体区域侧的第1源极区域(8a)、和

在该第1源极区域之上且杂质浓度比该第1源极区域高的第2源极区域(8b)；

将从上述源极区域的表面起比上述基体区域深的栅极沟槽(11)以一个方向为长度方向而呈条带状形成了多条后,在上述栅极沟槽的内壁面形成栅极绝缘膜(12),并且在上述栅极绝缘膜之上形成栅极电极(13),由此形成沟槽栅构造；

形成与上述源极区域电连接的源极电极(15)；以及

在上述基板的背面侧形成漏极电极(16)；

在形成上述基体区域的工序中,通过外延生长形成上述基体区域；

在形成上述源极区域的工序中,在通过外延生长形成上述第1源极区域后,通过对上述第1源极区域离子注入第1导电型杂质而形成上述第2源极区域。

7.如权利要求6所述的碳化硅半导体装置的制造方法,其特征在于,

将形成上述基体区域的工序和形成上述非掺杂层的工序在相同的外延生长装置内维持温度不变地连续进行。

8.如权利要求6或7所述的碳化硅半导体装置的制造方法,其特征在于,

将从形成上述基体区域的工序到形成上述第1源极区域的工序在相同的外延生长装置内维持温度不变地连续进行。

碳化硅半导体装置及其制造方法

[0001] 关联申请的相互参照

[0002] 本申请基于2019年2月27日提出的日本专利申请第2019-34380号和2020年1月22日提出的日本专利申请第2020-8376号,这里通过参照而引用其记载内容。

技术领域

[0003] 本发明涉及具有由碳化硅(以下称作SiC)构成的MOS构造的半导体元件的SiC半导体装置及其制造方法。

背景技术

[0004] 以往,作为提高沟道密度以使大电流流过的构造,有具有沟槽栅构造的SiC半导体装置。该SiC半导体装置为以下构造:在n型漂移层之上依次形成有p型基体(base)区域和n⁺型源极区域,以从n⁺型源极区域的表面将p型基体区域贯通而达到n⁺型漂移层的方式形成有沟槽栅。具体而言,在n型漂移层之上使p型基体区域外延生长之后,通过将n型杂质对p型基体区域进行离子注入而掺入,使p型基体区域的一部分反型为n型,形成n⁺型源极区域(例如,参照专利文献1)。

[0005] 现有技术文献

[0006] 专利文献

[0007] 专利文献1:国际公开第2016/063644号手册

发明内容

[0008] 但是,由于将n⁺型源极区域的整个区域用高浓度的n型杂质层形成,因此负载短路时的饱和电流值变大,无法得到SiC半导体装置的短路耐量。

[0009] 此外,外延生长时的膜厚不均当所生长的膜厚越厚则越大,但由于离子注入的射程的不均不怎么大,所以离子注入后的p型基体区域的膜厚不均成为与外延生长的膜厚对应的不均。因此,在对于p型基体区域以离子注入的方式形成n⁺型源极区域的情况下,n⁺型源极区域的厚度的不均较少,p型基体区域的厚度的不均较大。因而,有产生阈值V_t的不均的问题。

[0010] 此外,如果通过离子注入形成n⁺型源极区域,则由于离子注入时的损伤的影响,当形成了沟槽栅时,沟槽栅的侧面成为倾斜的状态。因此有如下课题:沟道迁移率下降,并且在沟槽入口侧,沟槽栅的宽度变宽,元件的微细化变得困难。

[0011] 因此,本发明的发明人关于不仅通过外延生长形成p型基体区域、对于n⁺型源极区域也通过外延生长而形成进行了研究。这样,厚度的不均被分别分配给p型基体区域和n⁺型源极区域,所以能够使p型基体区域的厚度的不均变小。但是,为了使n⁺型源极区域外延生长,需要向外延生长装置内高浓度地导入n型掺杂剂气体,在n⁺型源极区域的形成后在外延生长装置内也残留n型掺杂剂,生长炉被污染。由此,在之后要形成p型层或n型层时发生掺杂剂混杂(contamination),产生杂质浓度的管理不稳定的课题。

[0012] 本发明的目的在于,提供能够实现短路耐量的提高、阈值 V_t 的不均及沟槽栅的侧面的倾斜得以抑制、并且能够容易地进行杂质浓度的管理的构造的SiC半导体装置及其制造方法。

[0013] 本发明的1个技术方案的SiC半导体装置,具备半导体元件,该半导体元件包括:第1或第2导电型的基板,由SiC构成;漂移层,形成在基板之上,由杂质浓度比基板低的第1导电型的SiC构成;基体区域,形成在漂移层之上,由第2导电型的SiC构成;源极区域,形成在基体区域之上,由第1导电型杂质浓度比漂移层高的第1导电型的SiC构成;沟槽栅构造,在从源极区域的表面起比基体区域深地形成的栅极沟槽内具备将该栅极沟槽的内壁面覆盖的栅极绝缘膜和配置在该栅极绝缘膜之上的栅极电极而构成,将一个方向作为长度方向而以条带状排列有多条;层间绝缘膜,将栅极电极及栅极绝缘膜覆盖,并且形成有接触孔;源极电极,通过接触孔而与源极区域欧姆接触;以及漏极电极,形成在基板的背面侧。并且,源极区域具有由形成在基体区域侧的外延生长层构成的第1源极区域、以及由与源极电极相接并且第1导电型杂质浓度比第1源极区域高的离子注入层构成的第2源极区域。

[0014] 这样,将源极区域用较低浓度的第1源极区域和比其高浓度的第2源极区域构成。并且,第1源极区域通过外延生长形成,第2源极区域通过离子注入形成。因此,能够得到实现了短路耐量的提高、阈值 V_t 的不均及沟槽栅的侧面倾斜的抑制、并且能够容易地进行杂质浓度的管理的构造的SiC半导体装置。

[0015] 本发明的另1个技术方案关于上述本发明的1个技术方案的SiC半导体装置的制造方法。

[0016] 具体而言,包括以下工序:准备由SiC构成的第1或第2导电型的基板;在基板之上,形成由杂质浓度比基板低的第1导电型的SiC构成的漂移层;在漂移层之上,形成由第2导电型的SiC构成的基体区域;在基体区域之上形成源极区域,该源极区域由第1导电型杂质浓度比漂移层高的第1导电型的SiC构成,具有配置在基体区域侧的第1源极区域、和在该第1源极区域之上且杂质浓度比该第1源极区域高的第2源极区域;将从源极区域的表面起比基体区域深的栅极沟槽以一个方向为长度方向而以条带状形成了多条后,在栅极沟槽的内壁面形成栅极绝缘膜,并且在栅极绝缘膜之上形成栅极电极,由此形成沟槽栅构造;形成与源极区域电连接的源极电极;以及在基板的背面侧形成漏极电极;在形成基体区域的工序中,通过外延生长形成基体区域;在形成源极区域的工序中,在通过外延生长形成第1源极区域后,通过对第1源极区域离子注入第1导电型杂质而形成第2源极区域。

[0017] 这样,第1源极区域通过外延生长形成,第2源极区域通过离子注入形成。由此,能够制造实现了短路耐量的提高、阈值 V_t 的不均及沟槽栅的侧面倾斜的抑制、并且能够容易地进行杂质浓度的管理的构造的SiC半导体装置。

[0018] 本发明的再另1个技术方案的SiC半导体装置的制造方法,包括以下工序:使作为测定对象层的n型的SiC层外延生长;在使SiC层外延生长后,使SiC层的表面电子稳定化;在表面电子的稳定化后,在涂布电荷而使SiC层的表面带电后,通过测定SiC层的表面电位而测定该SiC层的n型杂质浓度。

[0019] 这样,在进行SiC层的表面电子的稳定化后,进行SiC层的表面电位的测定。由此,能够精度良好地测定SiC层的n型杂质浓度。

[0020] 另外,对各构成要素等赋予的带括号的附图标记表示该构成要素等与后述实施方

式中记载的具体构成要素等的对应关系的一例。

附图说明

- [0021] 图1是第1实施方式的SiC半导体装置的剖视图。
- [0022] 图2是图1所示的SiC半导体装置的立体剖视图。
- [0023] 图3是表示通过仿真调查了将n型源极区域的整个区域设为高浓度的情况下的电子电流密度的结果的图。
- [0024] 图4是表示通过仿真调查了将n型源极区域用第1源极区域及第2源极区域构成的情况下的电子电流密度的结果的图。
- [0025] 图5是表示使第1源极区域的杂质浓度变化、通过仿真调查了漏极电流的变化的结果的图。
- [0026] 图6是表示通过仿真调查了第1源极区域的n型杂质浓度与导通电阻的关系的结果的图。
- [0027] 图7A是表示图1所示的SiC半导体装置的制造工序的立体剖视图。
- [0028] 图7B是接着图7A的表示SiC半导体装置的制造工序的立体剖视图。
- [0029] 图7C是接着图7B的表示SiC半导体装置的制造工序的立体剖视图。
- [0030] 图7D是接着图7C的表示SiC半导体装置的制造工序的立体剖视图。
- [0031] 图7E是接着图7D的表示SiC半导体装置的制造工序的立体剖视图。
- [0032] 图7F是接着图7E的表示SiC半导体装置的制造工序的立体剖视图。
- [0033] 图7G是接着图7F的表示SiC半导体装置的制造工序的立体剖视图。
- [0034] 图8是第2实施方式的SiC半导体装置的剖视图。
- [0035] 图9是表示关于将n型源极区域的整个区域设为高杂质浓度的情况、调查了逆导通时的电压分布的结果的图。
- [0036] 图10是表示关于与p型基体区域相接地形成了第1源极区域的情况、调查了逆导通时的电压分布的结果的图。
- [0037] 图11是表示关于具备非掺杂层的情况、调查了逆导通时的电压分布的结果的图。
- [0038] 图12是表示在第3实施方式中说明的n型杂质浓度的测定流程的图。
- [0039] 图13是表示在第3实施方式中说明的n型杂质浓度的测定状况的立体图。
- [0040] 图14是表示在使n型层外延生长后、暴露在大气环境中的时间与n型浓度的测定结果的关系的图。
- [0041] 图15是表示HF处理前后的浓度评价价值的关系的图。
- [0042] 图16是表示作为第3实施方式的另一例而说明的n型杂质浓度的测定流程的图。
- [0043] 图17是表示在第4实施方式中说明的n型杂质浓度的测定流程的图。

具体实施方式

[0044] 以下,基于附图对本发明的实施方式进行说明。另外,在以下的各实施方式中,对于相互相同或等同的部分赋予相同的附图标记进行说明。

[0045] (第1实施方式)

[0046] 第1实施方式对进行说明。本实施方式的SiC半导体装置中,作为半导体元件而形

成有图1及图2所示的沟槽栅构造的反型式的纵型MOSFET。这些图中表示的纵型MOSFET形成在SiC半导体装置中的单元区域,将该单元区域包围而形成外周耐压构造从而构成SiC半导体装置,但这里仅图示了纵型MOSFET。另外,以下如图1及图2所示,设纵型MOSFET的宽度方向为X方向,设与X方向交叉的纵型MOSFET的进深方向为Y方向,设纵型MOSFET的厚度方向或深度方向、即相对于XY平面的法线方向为Z方向而进行说明。

[0047] 如图1及图2所示,在SiC半导体装置中,使用由SiC构成的 n^+ 型基板1作为半导体基板。在 n^+ 型基板1的主表面上形成有由SiC构成的 n^- 型层2。 n^+ 型基板1的表面为(0001) Si面,例如 n 型杂质浓度为 $5.9 \times 10^{18}/\text{cm}^3$,厚度为 $100\mu\text{m}$ 。 n^- 型层2例如 n 型杂质浓度为 $7.0 \times 10^{15} \sim 2.0 \times 10^{16}/\text{cm}^3$,厚度为 $8.0\mu\text{m}$ 。

[0048] 在 n^- 型层2之上,形成有由SiC构成的JFET部3和电场阻挡层4, n^- 型层2在从 n^+ 型基板1离开了的位置与JFET部3连结。

[0049] JFET部3和电场阻挡层4构成饱和电流抑制层,并且在X方向上延伸设置,在Y方向上交替地反复排列而配置。即,从 n^+ 型基板1的主表面的法线方向观察,JFET部3的至少一部分和电场阻挡层4分别呈多个窄条状即条带状,为分别交替地排列的布局。

[0050] 另外,在本实施方式的情况下,JFET部3被形成至比电场阻挡层4靠下方。因此,JFET部3中的呈条带状的部分虽然成为在电场阻挡层4的下方连结的状态,但呈条带状的各部成为分别配置在多个电场阻挡层4之间的状态。

[0051] 关于JFET部3中的呈条带状的部分的各部即各窄条状的部分,宽度例如为 $0.25\mu\text{m}$,作为形成间隔的间距例如为 $0.6 \sim 2.0\mu\text{m}$ 。此外,JFET部3的厚度例如为 $1.5\mu\text{m}$, n 型杂质浓度比 n^- 型层2高,例如为 $5.0 \times 10^{16} \sim 2.0 \times 10^{18}/\text{cm}^3$ 。

[0052] 电场阻挡层4由 p 型杂质层构成。如上述那样,电场阻挡层4呈条带状,关于呈条带状的电场阻挡层4的各窄条状的部分,宽度例如为 $0.15\mu\text{m}$,厚度例如为 $1.4\mu\text{m}$ 。此外,电场阻挡层4例如 p 型杂质浓度为 $3.0 \times 10^{17} \sim 1.0 \times 10^{18}/\text{cm}^3$ 。在本实施方式的情况下,在深度方向上,电场阻挡层4的 p 型杂质浓度固定。此外,电场阻挡层4的与 n^- 型层2相反侧的表面和JFET部3的表面是同一平面。

[0053] 进而,在JFET部3及电场阻挡层4之上,形成有由SiC构成的 n 型电流分散层5。 n 型电流分散层5如后述那样是使得经由沟道流动的电流能够在X方向上扩散的层,例如, n 型杂质浓度比 n^- 型层2高。在本实施方式中, n 型电流分散层5朝向Y方向延伸设置, n 型杂质浓度与JFET部3相同或比其高,例如厚度为 $0.5\mu\text{m}$ 。

[0054] 另外,这里,为了方便而将漂移层分为 n^- 型层2、JFET部3及 n 型电流分散层5进行说明,但它们都是构成漂移层的部分,被相互连结。

[0055] 在 n 型电流分散层5之上形成有由SiC构成的 p 型基体区域6。此外,在 p 型基体区域6之上形成有 n 型源极区域8。 n 型源极区域8形成在 p 型基体区域6中的与 n 型电流分散层5对应的部分之上。

[0056] 关于 p 型基体区域6,厚度比电场阻挡层4薄,并且 p 型杂质浓度较低,例如 p 型杂质浓度为 $3 \times 10^{17}/\text{cm}^3$,厚度为 $0.4 \sim 0.6\mu\text{m}$ 。

[0057] n 型源极区域8为 n 型杂质浓度在 p 型基体区域6侧及其相反侧即元件表面侧不同的构造。具体而言, n 型源极区域8为具有配置在 p 型基体区域6侧的第1源极区域8a和配置在元件表面侧的第2源极区域8b的结构。

[0058] 关于第1源极区域8a,n型杂质浓度比第2源极区域8b低,由外延生长层构成,在本实施方式的情况下与p型基体区域6相接。第1源极区域8a例如n型杂质浓度为 $2.0 \times 10^{16} \sim 1.0 \times 10^{17}/\text{cm}^3$ 以下,厚度为 $0.2 \sim 0.5 \mu\text{m}$ 、优选为 $0.3 \mu\text{m}$ 以上。

[0059] 第2源极区域8b是用来实现与后述的源极电极15的接触的区域,由离子注入层构成,n型杂质为高浓度。第2源极区域8b例如n型杂质浓度为 $1.0 \times 10^{18} \sim 5.0 \times 10^{19}/\text{cm}^3$,厚度为 $0.1 \sim 0.2 \mu\text{m}$ 。

[0060] 此外,从p型基体区域6朝向下方,具体而言,在从JFET部3和电场阻挡层4的表面到p型基体区域6之间的、没有形成n型电流分散层5的部分,形成有p型深层9。在本实施方式中,p型深层9呈以与JFET部3中的条带状的部分及电场阻挡层4的长度方向交叉的方向、这里是Y方向为长度方向的窄条状,通过在X方向上排列多条而被布局为条带状。经由该p型深层9,p型基体区域6及电场阻挡层4被电连接。p型深层9的形成间距与后述的成为沟槽栅构造的形成间隔的单元间距相对应,在相邻的沟槽栅构造之间配置p型深层9。

[0061] 进而,在p型基体区域6上的与p型深层9对应的位置,换言之,在与n型源极区域8不同的位置且隔着n型源极区域8而与沟槽栅构造相反侧的位置,形成有p型连结层10。p型连结层10是用来将p型基体区域6与后述的源极电极15连结从而进行电连接的层。在本实施方式中,p型连结层10为p型杂质浓度在p型基体区域6侧及其相反侧即元件表面侧不同的构造。具体而言,p型连结层10为具有配置在p型基体区域6侧的第1区域10a和配置在元件表面侧的第2区域10b的结构。

[0062] 第1区域10a构成为与第1源极区域8a相同程度或更深,p型杂质浓度比第2区域10b低,为与p型基体区域6相接的构造。关于第1区域10a,例如p型杂质浓度为 $2.0 \times 10^{17} \sim 1.0 \times 10^{19}/\text{cm}^3$,厚度为 $0.2 \sim 0.5 \mu\text{m}$,优选为 $0.3 \mu\text{m}$ 以上。但是,在本实施方式的情况下,由于通过向第1源极区域8a的离子注入而形成第1区域10a,所以使载流子浓度即作为载流子发挥功能的p型杂质浓度为 $2.0 \times 10^{17} \sim 1.0 \times 10^{19}/\text{cm}^3$ 。

[0063] 第2区域10b以与第2源极区域8b相同程度的深度构成,是用来实现与后述的源极电极15的接触的区域,p型杂质为高浓度。关于第2区域10b,例如p型杂质浓度为 $2.0 \times 10^{18} \sim 1.0 \times 10^{20}/\text{cm}^3$,厚度为 $0.2 \sim 0.3 \mu\text{m}$ 。但是,在本实施方式的情况下,由于通过向第2源极区域8b的离子注入而形成第2区域10b,所以使载流子浓度即作为载流子发挥功能的p型杂质浓度为 $2.0 \times 10^{18} \sim 1.0 \times 10^{20}/\text{cm}^3$ 。

[0064] 另外,如后述那样,在本实施方式中,通过向n型源极区域8的p型杂质的离子注入,形成p型连结层10。该情况下,第1区域10a及第2区域10b的p型杂质浓度是指,p型杂质中的作为载流子发挥功能的杂质的浓度。p型杂质中的一部分与在注入前的第1源极区域8a中包含的n型杂质抵消,不作为载流子发挥作用。因此,在通过离子注入形成p型连结层10的情况下,考虑活化率,例如若以第1源极区域8a及第2源极区域8b的n型杂质浓度的 $2 \sim 10$ 倍的剂量注入p型杂质,则能得到上述的p型杂质浓度。

[0065] 进而,以将n型源极区域8及p型基体区域6贯通而达到n型电流分散层5的方式,形成有例如宽度为 $0.4 \mu\text{m}$ 、深度比p型基体区域6与n型源极区域8的合计膜厚深 $0.2 \sim 0.4 \mu\text{m}$ 的栅极沟槽11。以与该栅极沟槽11的侧面相接的方式配置有上述的p型基体区域6及n型源极区域8。栅极沟槽11形成为以图2的X方向为宽度方向、以与JFET部3及电场阻挡层4的长度方向交叉的方向这里是Y方向为长度方向、以Z方向为深度方向的窄条状的布局。并且,虽然在

图1及图2中没有图示,但栅极沟槽11呈在X方向上以等间隔配置有多个的条带状,在各自之间配置有p型基体区域6及n型源极区域8。此外,在各栅极沟槽11的中间位置,配置有p型深层9及p型连结层10。

[0066] 在该栅极沟槽11的侧面的位置,p型基体区域6形成当纵型MOSFET动作时将n型源极区域8与n型电流分散层5之间相连的沟道区域。包括该沟道区域的栅极沟槽11的内壁面被栅极绝缘膜12覆盖。在栅极绝缘膜12的表面形成有由掺杂多晶硅(Poly-Si)构成的栅极电极13,由这些栅极绝缘膜12及栅极电极13将栅极沟槽11内完全填埋,构成沟槽栅构造。

[0067] 该沟槽栅构造为栅极沟槽11的侧壁大致与Z方向平行、在开口部的入口侧带有圆度地倾斜且与底部相比开口宽度稍宽的构造。更详细地讲,栅极沟槽11的侧壁之中,与第1源极区域8a、p型基体区域6及n型电流分散层5相接的部分大致与Z方向平行,与第2源极区域8b相接的部分为带有圆度地倾斜的状态。

[0068] 此外,在n型源极区域8的表面及栅极电极13的表面,隔着层间绝缘膜14而形成有源极电极15及未图示的栅极布线层等。源极电极15及栅极布线层由多种金属例如Ni/Al等构成。并且,在多种金属中,至少与n型SiC具体而言n型源极区域8接触的部分由能够与n型SiC欧姆接触的金属构成。此外,在多种金属中,至少与p型SiC具体而言第2区域10b接触的部分由能够与p型SiC欧姆接触的金属构成。另外,源极电极15通过形成在层间绝缘膜14上而与SiC部分电绝缘,但经由形成在层间绝缘膜14中的接触孔,与n型源极区域8及p型深层9电接触。

[0069] 另一方面,在 n^+ 型基板1的背面侧,形成有与 n^+ 型基板1电连接的漏极电极16。通过这样的构造,构成n沟道型的反型式沟槽栅构造的纵型MOSFET。通过将这样的纵型MOSFET配置多个单元而构成单元区域。并且,通过将这样的形成有纵型MOSFET的单元区域包围地构成未图示的由保护环等形成的外周耐压构造,构成SiC半导体装置。

[0070] 这样构成的具有纵型MOSFET的SiC半导体装置,例如在将源极电压 V_s 设为0V、将漏极电压 V_d 设为1~1.5V的状态下,通过对栅极电极13施加20V的栅极电压 V_g 而动作。即,纵型MOSFET通过被施加栅极电压 V_g ,在与栅极沟槽11相接的部分的p型基体区域6中形成沟道区域。由此,n型源极区域8与n型电流分散层5之间导通。因而,纵型MOSFET进行如下动作:使电流从 n^+ 型基板1,经过由 n^- 型层2、JFET部3及n型电流分散层5构成的漂移层,进而从沟道区域经过n型源极区域8,在漏极—源极间流动。

[0071] 此外,如果将这样的半导体装置中的纵型MOSFET应用于具备上臂和下臂的逆变器电路等,则内置在纵型MOSFET中的寄生二极管作为续流二极管发挥作用。具体而言,通过 n^- 型层2等构成漂移层的n型层与包括电场阻挡层4、p型基体区域6或p型深层9的p型层所形成的PN结,构成寄生二极管,其作为续流二极管发挥作用。

[0072] 逆变器电路等在使用直流电源并且对交流马达等负载供给交流电流时使用。例如,逆变器电路等将串联连接着上臂和下臂的电桥电路相对于直流电源并联连接多个,通过使各电桥电路的上臂和下臂交替地反复通断,对负载供给交流电流。

[0073] 具体而言,在逆变器电路等的各电桥电路中,通过使上臂的纵型MOSFET导通、使下臂的纵型MOSFET截止,对负载进行电流供给。然后,使上臂的纵型MOSFET截止,使下臂的纵型MOSFET导通,停止电流供给。此外,在各臂的纵型MOSFET的通断的切换时,在截止侧的纵型MOSFET中具备的寄生二极管作为续流二极管发挥作用,进行使续流电流在源极—漏极间

流动的逆导通时的动作。这样,进行基于逆变器电路等的负载的交流驱动。

[0074] 当进行这样的动作时,如果发生负载短路,则例如600~1200V或其以上的电压作为漏极-源极间电压 V_{ds} 被施加在漏极上。此时,如果n型源极区域8的整个区域由高浓度的n型杂质层构成,则负载短路时的饱和电流值变大,无法得到SiC半导体装置的短路耐量。可以认为这是因为,由于n型源极区域8为高浓度,所以几乎不产生耗尽的区域,在n型源极区域8的整个区域中流过电流。

[0075] 但是,在本实施方式的SiC半导体装置中,由于n型源极区域8包括浓度较低的第1源极区域8a和比其高浓度的第2源极区域8b,所以能够使负载短路时的饱和电流值变小。可以认为这是因为,由于第1源极区域8a为低浓度,因此以进入到第1源极区域8a的大范围中的方式发生耗尽,在耗尽的部分不流过电流。这样,根据本实施方式的SiC半导体装置,能够使短路耐量提高。

[0076] 这里,通过仿真,对于使n型源极区域8的整个区域为高浓度的情况和如本实施方式那样用第1源极区域8a及第2源极区域8b构成的情况分别调查了电子电流密度。图3及图4是表示各自的结果的图。图中影线(hatching)的间隔越窄的部分,表示电子电流密度越高。此外,使第1源极区域8a的杂质浓度变化,调查了漏极电流的变化。图5表示其结果。

[0077] 另外,在图3~图5的仿真中,将源极电压 V_s 设为0V,将栅极电压 V_g 设为20V,将漏极电压 V_d 设为750V。此外,在图3的仿真中,将n型源极区域8的整个区域的n型杂质浓度设为 $1.0 \times 10^{19}/\text{cm}^3$ 。同样,在图4的仿真中,将n型源极区域8用第1源极区域8a和第2源极区域8b构成,并将第1源极区域8a的n型杂质浓度设为 $1.0 \times 10^{16}/\text{cm}^3$,将第2源极区域8b的n型杂质浓度设为 $1.0 \times 10^{19}/\text{cm}^3$ 。在图5的仿真中,将n型源极区域8用第1源极区域8a和第2源极区域8b构成,并将第2源极区域8b的n型杂质浓度设为 $1.0 \times 10^{19}/\text{cm}^3$,使第1源极区域8a的n型杂质浓度变化。

[0078] 如图3所示可知,在将n型源极区域8的整个区域的n型杂质浓度设为高浓度的情况下,在n型源极区域8的整个区域中电子电流密度变高。可以认为这是因为,由于n型源极区域8为高浓度,所以几乎不产生耗尽的区域,在n型源极区域8的整个区域中流过电流。

[0079] 另一方面,如图4所示可知,在将n型源极区域8用第1源极区域8a及第2源极区域8b构成的情况下,在第1源极区域8a中电子电流密度变小。可以认为这是因为,由于第1源极区域8a为低浓度,因此以进入到第1源极区域8a的大范围的方式发生耗尽,在耗尽的部分不流过电流。

[0080] 根据该仿真结果,也可以说,通过将n型源极区域8用第1源极区域8a及第2源极区域8b构成,能够减小负载短路时的饱和电流值。因而可知,通过采用本实施方式的构造,能够使SiC半导体装置的短路耐量提高。

[0081] 此外,关于第1源极区域8a,只要n型杂质浓度比第2源极区域8b低即可,但如果不是某种浓度的浓度则不能使饱和电流值下降到希望值。具体而言,如果使得负载短路时的漏极电流为 $14000\text{A}/\text{cm}^2$ 以下,则能够得到希望的短路耐量。并且,如图5所示,负载短路时的漏极电流成为 $14000\text{A}/\text{cm}^2$ 以下的情况是第1源极区域8a的n型杂质浓度为 $1.0 \times 10^{17}/\text{cm}^3$ 以下的情况。因而,通过如本实施方式的SiC半导体装置那样将第1源极区域8a的n型杂质浓度设为 $1.0 \times 10^{17}/\text{cm}^3$ 以下,能够使短路耐量提高。

[0082] 但是,如果第1源极区域8a的n型杂质浓度过低,则第1源极区域8a的电阻值过大,

使导通电阻 R_{on} 增大。对第1源极区域8a的n型杂质浓度与导通电阻 R_{on} 的关系进行了调查,得到图6所示的结果。鉴于SiC半导体装置的高速开关动作,关于接通电阻 R_{on} ,优选的是 $1.2\text{m}\Omega\text{cm}^2$ 以下。根据图6的结果,如果第1源极区域8a的n型杂质浓度小于 $2.0\times 10^{16}/\text{cm}^3$,则导通电阻 R_{on} 急剧地上升,但如果n型杂质浓度是其以上,则能够使导通电阻 R_{on} 为 $1.2\text{m}\Omega\text{cm}^2$ 以下。因而,通过如本实施方式的SiC半导体装置那样将第1源极区域8a的n型杂质浓度设为 $2.0\times 10^{16}/\text{cm}^3$ 以上,能够抑制导通电阻 R_{on} 的劣化。

[0083] 这样,通过将第1源极区域8a的n型杂质浓度设为 $2.0\times 10^{16}\sim 1.0\times 10^{17}/\text{cm}^3$,能够使短路耐量提高并且抑制导通电阻 R_{on} 的劣化。

[0084] 此外,在本实施方式的SiC半导体装置中,具备JFET部3及电场阻挡层4。因此,在纵型MOSFET动作时,JFET部3及电场阻挡层4作为饱和电流抑制层发挥作用,通过发挥饱和电流抑制效果,能够得到实现低导通电阻并且维持低饱和电流的构造。具体而言,由于做成了将JFET部3中的呈条带状的部分和电场阻挡层4交替地反复形成的构造,从而进行以下所示那样的动作。

[0085] 首先,在漏极电压 V_d 例如如 $1\sim 1.5\text{V}$ 那样是在通常动作时施加的电压的情况下,从电场阻挡层4侧向JFET部3延伸的耗尽层仅以比JFET部3中的呈条带状的部分的宽度小的宽度延伸。因此,即使耗尽层向JFET部3内延伸也确保了电流路径。并且,由于JFET部3的n型杂质浓度比 n^- 型层2高,能够以低电阻构成电流路径,所以能够实现低导通电阻。

[0086] 此外,如果通过负载短路等而漏极电压 V_d 变得比通常动作时的电压高,则从电场阻挡层4侧向JFET部3延伸的耗尽层比JFET部3中的呈条带状的部分的宽度更大地延伸。并且,与n型电流分散层5相比,JFET部3先立即被夹断。此时,基于JFET部3中的呈条带状的部分的宽度及n型杂质浓度,决定漏极电压 V_d 与耗尽层的宽度的关系。因此,设定JFET部3中的呈条带状的部分的宽度及n型杂质浓度,以使得当成为比通常动作时的漏极电压 V_d 稍高的电压时JFET部3被夹断。由此,即使在较低的漏极电压 V_d 下也能够将JFET部3夹断。这样,通过使得当漏极电压 V_d 比通常动作时的电压高时JFET部3立即被夹断,能够维持低饱和电流,进而能够提高基于负载短路等的SiC半导体装置的耐量。

[0087] 这样,JFET部3及电场阻挡层4作为饱和电流抑制层发挥作用,发挥饱和电流抑制效果,从而能够进一步得到能够兼顾低导通电阻和低饱和电流的SiC半导体装置。

[0088] 进而,通过以夹着JFET部3的方式具备电场阻挡层4,成为交替地反复形成JFET部3中的呈条带状的部分和电场阻挡层4的构造。因此,即使漏极电压 V_d 成为高电压,从下方延伸到 n^- 型层2的耗尽层的延伸也被电场阻挡层4抑制,能够防止延伸到沟槽栅构造。因而,发挥使作用于栅极绝缘膜12的电场降低的电场抑制效果,能够抑制栅极绝缘膜12被破坏,所以能够得到高耐压化且可靠性高的元件。并且,由于能够这样防止耗尽层向沟槽栅构造的延伸,所以能够使构成漂移层的一部分的 n^- 型层2及JFET部3的n型杂质浓度较高,能够实现低导通电阻。

[0089] 由此,能够得到具有低导通电阻且高可靠性的纵型MOSFET的SiC半导体装置。

[0090] 接着,参照图7A~图7H所示的制造工序中的剖视图,对具备本实施方式的n沟道型的反型式沟槽栅构造的纵型MOSFET的SiC半导体装置的制造方法进行说明。

[0091] (图7A所示的工序)

[0092] 首先,作为半导体基板而准备 n^+ 型基板1。并且,通过使用未图示的CVD(chemical

vapordeposition)装置的外延生长,在 n^+ 型基板1的主表面上形成由SiC构成的 n^- 型层2。此时,也可以使用预先使 n^- 型层2生长在 n^+ 型基板1的主表面上的所谓外延基板。并且,在 n^- 型层2之上使由SiC构成的JFET部3外延生长。

[0093] 另外,关于外延生长,通过除了作为SiC的原料气体的硅烷或丙烷以外还导入作为n型掺杂剂的气体例如氮气来进行。

[0094] (图7B所示的工序)

[0095] 在将掩模17配置在JFET部3的表面之后,将掩模17布图而使电场阻挡层4的计划形成区域开口。接着,通过将p型杂质进行离子注入,形成电场阻挡层4。然后,将掩模17除去。

[0096] 另外,这里将电场阻挡层4通过离子注入形成,但也可以通过离子注入以外的方法形成电场阻挡层4。例如,将JFET部3有选择地各向异性蚀刻而在与电场阻挡层4对应的位置形成凹部,在其上使p型杂质层外延生长后,在位于JFET部3之上的部分,将p型杂质层平坦化而形成电场阻挡层4。这样,还能够将电场阻挡层4通过外延生长而形成。在使p型SiC外延生长的情况下,除了SiC的原料气体以外还导入作为p型掺杂剂的气体、例如三甲基铝(以下称作TMA)即可。

[0097] (图7C所示的工序)

[0098] 接着,通过使n型SiC在JFET部3及电场阻挡层4之上外延生长,形成n型电流分散层5。并且,在n型电流分散层5之上,配置p型深层9的计划形成区域开口的未图示的掩模。然后,通过从掩模之上将p型杂质离子注入,形成p型深层9。另外,表示了p型深层9也通过离子注入而形成的例子,但也可以通过离子注入以外的方法形成。例如,与电场阻挡层4同样,也可以在对于n型电流分散层5形成凹部后,使p型杂质层外延生长,进而进行p型杂质层的平坦化,从而形成p型深层9。

[0099] (图7D所示的工序)

[0100] 使用未图示的CVD装置,在n型电流分散层5及p型深层9之上使p型基体区域6及n型源极区域8中的第1源极区域8a依次外延生长。例如,在相同的CVD装置内,经过升温过程而将生长炉内升温为规定温度后,首先通过与载流子气体及SiC原料气体一起导入了作为p型掺杂剂的气体的外延生长,形成p型基体区域6。接着,通过将p型掺杂剂的导入停止并导入n型掺杂剂,形成第1源极区域8a。但是,此时使第1源极区域8a成为加上第2源极区域8b的厚度量的厚度。此时,不进行降温过程,在p型基体区域6的形成后维持温度不变而使第1源极区域8a外延生长,从而实现工序时间的缩短。

[0101] 并且,使用离子注入装置,向n型源极区域8中的表层部将n型杂质离子注入。由此,形成n型杂质浓度提高的第2源极区域8b,并且由n型源极区域8中的位于第2源极区域8b的下方的部分构成第1源极区域8a。这样,第1源极区域8a能够由外延生长层构成,第2源极区域8b能够由离子注入层构成。

[0102] 这样,能够将p型基体区域6及n型源极区域8以上述的杂质浓度及膜厚形成。这里,关于各部的膜厚及杂质浓度,如以下这样决定。

[0103] 首先,关于p型基体区域6,由于成为设定沟道区域的部分,所以设定为在栅极电压 V_g 的施加时构成反型式沟道的杂质浓度,并且使得成为对沟道长进行规定的膜厚。因此,关于p型基体区域6,例如将p型杂质浓度设为 $3 \times 10^{17}/\text{cm}^3$,将厚度设为 $0.4 \sim 0.6 \mu\text{m}$ 。

[0104] 关于n型源极区域8中的第1源极区域8a,设定了膜厚及n型杂质浓度,以使得在负

载短路时被施加了较高的漏极电压 V_d 的情况下也使饱和电流值较小、并且能够抑制导通电阻 R_{on} 的提高。因此,关于第1源极区域8a,例如将n型杂质浓度设为 $2.0 \times 10^{16} \sim 1.0 \times 10^{17}/\text{cm}^3$,将厚度设为 $0.2\mu\text{m}$ 以上。

[0105] 关于第2源极区域8b,使其成为能与源极电极15欧姆接触的杂质浓度,并且设定为不会由于与源极电极15的化学反应而整个区域消失的程度的膜厚。关于第2源极区域8b的n型杂质浓度,越高则越容易欧姆接触。但是,也有如本实施方式那样使n型源极区域8外延生长后将p型杂质离子注入而形成p型连结层10的情况,在该情况下,如果n型源极区域8的n型杂质浓度过高,则无法使p型连结层10成为希望的浓度。因此,在本实施方式的情况下,将第2源极区域8b的n型杂质浓度例如设为 $1.0 \times 10^{18} \sim 5.0 \times 10^{19}/\text{cm}^3$ 。

[0106] 此外,如上述那样,源极电极15由多种金属构成,与第2源极区域8b欧姆接触的部分例如由Ni构成。该情况下,第2源极区域8b中的与Ni接触的部分成为Ni硅化物从而成为欧姆接触,但与硅化物相应地,第2源极区域8b消失。并且,由于通过硅化物化反应而成为Ni硅化物的是 $0.1\mu\text{m}$ 左右的厚度,所以将第2源极区域8b的厚度设为 $0.1\mu\text{m}$ 以上,以使得第2源极区域8b不会由于硅化物化反应而整体消失。

[0107] 此外,如果使构成n型源极区域8的第1源极区域8a及第2源极区域8b较厚,则能够容许在将栅极沟槽11内用多晶硅填充之后进行回蚀而形成栅极电极13时的回蚀加工的不均。因此,优选将第1源极区域8a及第2源极区域8b的合计厚度设为较大的值,所以将第1源极区域8a的膜厚及第2源极区域8b的膜厚设为上述范围。

[0108] 此外,在将p型基体区域6及第1源极区域8a通过外延生长形成的情况下,能够使各部的膜厚的不均变小。并且,关于在沟道区域的形成中使用的p型基体区域6,通过能够使膜厚不均变小,能够精度良好地得到沟道长。由此,能够减小纵型MOSFET的阈值 V_{th} 的不均。

[0109] 例如,还能够在使p型基体区域6外延生长后,对于p型基体区域6,使n型杂质掺入而将第1源极区域8a及第2源极区域8b两者一起形成。但是,该情况下,关于外延生长时的p型基体区域6的膜厚,需要估计通过离子注入形成的第1源极区域8a及第2源极区域8b的量的厚度而加厚。外延生长时的膜厚不均当生长的膜厚越厚则越大,但离子注入的射程的不均不怎么大,所以离子注入后的p型基体区域6的膜厚不均成为与外延生长的膜厚对应的不均。因此,例如,如果设p型基体区域6为 $1.4\mu\text{m}$ 的厚度的情况下的膜厚不均是 $\pm 0.21\mu\text{m}$,则通过离子注入形成第1源极区域8a及第2源极区域8b之后,p型基体区域6的膜厚不均也为 $\pm 0.21\mu\text{m}$ 。

[0110] 相对于此,如本实施方式那样,在将各部通过外延生长形成的情况下,p型基体区域6的膜厚不均不成为包括第1源极区域8a及第2源极区域8b的膜厚的量的不均,而是成为与仅p型基体区域6的厚度对应的不均。例如,在将p型基体区域6的膜厚设为 $0.4 \sim 0.6\mu\text{m}$ 的情况下,膜厚不均成为 $\pm 0.06 \sim 0.09\mu\text{m}$ 。因此,通过将各部通过外延生长形成,能够抑制p型基体区域6的膜厚不均,能够精度良好地得到沟道长。

[0111] 此外,在通过外延生长将各部连续地形成的情况下,由于晶格常数有杂质浓度依赖性,所以优选的是杂质浓度不急剧地变化。相对于此,在如本实施方式那样在p型基体区域6之上形成n型源极区域8的情况下,由于存在第1源极区域8a,所以能够使得杂质浓度不急剧地变化。

[0112] 因而,能够抑制在杂质浓度急剧地变化的情况下产生的晶体缺陷。

[0113] 进而,关于高浓度的第2源极区域8b,不是通过外延生长而是通过离子注入而形成。因此,能够抑制如使高浓度的第2源极区域8b外延生长的情况那样在外延生长装置内残留n型掺杂剂而将生长炉污染、在之后形成p型层或n型层时发生掺杂剂混杂的情况。因而,能够稳定地进行通过外延生长装置形成的p型基体区域6及第1源极区域8a的杂质浓度的管理。

[0114] (图7E所示的工序)

[0115] 在n型源极区域8之上配置使p型连结层10的计划形成位置开口的未图示的掩模。并且,在从掩模之上将p型杂质离子注入后,为了活化而进行1500℃以上的热处理。作为离子注入的元素,使用硼(B)和铝(Al)的某一方或双方。由此,能够将n型源极区域8通过p型杂质的离子注入而反型,形成p型连结层10。

[0116] 此时,关于p型连结层10中的第2区域10b,需要与源极电极15欧姆接触。因此,以第2源极区域8b的n型杂质浓度的2~10倍的剂量进行离子注入。关于剂量,可以认为,如果有第2源极区域8b的n型杂质浓度的2倍,则能够成为与源极电极15欧姆接触的程度的载流子浓度,但考虑到活化率,优选设为2~10倍。

[0117] 由此,能够使得第2区域10b的载流子浓度、即作为去除了在与第2源极区域8b之间被消除的量及没有活化的量之后的载流子发挥功能的量的p型杂质浓度例如成为 $2.0 \times 10^{18} \sim 1.0 \times 10^{20}/\text{cm}^3$ 。第2区域10b的杂质浓度越高,越容易实现与源极电极15的欧姆接触,但关于形成第2区域10b之前的第2源极区域8b,也必须使其与源极电极15欧姆接触。此外,如果剂量多则成为由离子注入造成的晶体缺陷的产生原因,所以需要抑制为某种程度的量。需要考虑这些来设定第2源极区域8b的n型杂质浓度和第2区域10b的p型杂质浓度。因此,将第2源极区域8b的n型杂质浓度及第2区域10b中的p型杂质浓度例如设为 $1.0 \times 10^{18} \sim 5.0 \times 10^{19}/\text{cm}^3$ 。

[0118] 另一方面,关于第1区域10a,由于不是与源极电极15欧姆接触的部分,所以p型杂质浓度可以比第2区域10b低。但是,这里,考虑到活性化率,将第1源极区域8a的2~10倍的剂量的p型杂质进行离子注入。

[0119] 另外,在将p型连结层10通过离子注入形成的情况下,从离子注入装置的输出的观点来看,优选的是使得被注入p型杂质的n型源极区域8的合计膜厚成为0.8μm以下。这样,在通用的离子注入装置的输出下也能够将p型连结层10形成为达到p型基体区域6,能够确保量产性。

[0120] (图7F所示的工序)

[0121] 在n型源极区域8等之上形成未图示的掩模后,使掩模中的栅极沟槽11的计划形成区域开口。并且,通过使用掩模进行RIE(Reactive Ion Etching)等各向异性蚀刻,形成栅极沟槽11。

[0122] (图7G所示的工序)

[0123] 然后,在将掩模除去后通过例如进行热氧化,形成栅极绝缘膜12,通过栅极绝缘膜12将栅极沟槽11的内壁面上及n型源极区域8的表面上覆盖。并且,在将掺杂有p型杂质或n型杂质的多晶硅沉积后,将其回蚀,通过至少在栅极沟槽11内残留多晶硅而形成栅极电极13。由此,沟槽栅构造完成。

[0124] 在形成这样的沟槽栅构造时,如果将n型源极区域8整体通过离子注入形成,则由

于离子注入时的损伤的影响,在形成了沟槽栅构造时栅极沟槽11的侧面成为倾斜的状态。因此,沟道迁移率下降,并且栅极沟槽11在入口侧宽度变宽,元件的微细化变得困难。

[0125] 但是,在本实施方式中,将第1源极区域8a通过外延生长形成,通过离子注入形成的仅是第2源极区域8b。因此,由离子注入的损伤带来的栅极沟槽11的侧面的倾斜被抑制,大致仅在与第2源极区域8b相接的部分成为带有圆度地倾斜的状态。由此,抑制了栅极沟槽11在入口侧宽度变宽的情况,还能够促进元件的微细化。

[0126] 关于之后的工序没有图示,进行以下这样的工序。即,以将栅极电极13及栅极绝缘膜12的表面覆盖的方式,形成例如由氧化膜等构成的层间绝缘膜14。此外,使用未图示的掩模,在层间绝缘膜14中形成使n型源极区域8及p型深层9露出的接触孔。并且,在层间绝缘膜14的表面上形成例如由多种金属的层叠构造构成的电极材料后,通过将电极材料布图而形成源极电极15及栅极布线层。进而,在n⁺型基板1的背面侧形成漏极电极16。这样,本实施方式的SiC半导体装置完成。

[0127] 如以上说明的那样,在本实施方式的SiC半导体装置中,将n型源极区域8用较低浓度的第1源极区域8a和比其高浓度的第2源极区域8b构成。并且,第1源极区域8a通过外延生长形成,第2源极区域8b通过离子注入形成。因此,能够得到实现了短路耐量的提高、阈值V_t的不均及沟槽栅侧面的倾斜的抑制、并且能够容易地进行杂质浓度的管理的构造的SiC半导体装置。

[0128] (第2实施方式)

[0129] 对第2实施方式进行说明。本实施方式相对于第1实施方式具备非掺杂层,其他与第1实施方式是同样的,所以仅对与第1实施方式不同的部分进行说明。

[0130] 如图8所示,本实施方式的SiC半导体装置中,在p型基体区域6之上形成由SiC构成的非掺杂层7,在其之上形成n型源极区域8。

[0131] 非掺杂层7是没有掺杂杂质的层、或通过将n型杂质及p型杂质一起掺杂而降低了载流子浓度的层。非掺杂层7的厚度为0.05~0.2 μm 。非掺杂层7优选的是n型杂质及p型杂质都不掺杂,但即使掺杂了,也只要载流子浓度为 $1.0 \times 10^{16}/\text{cm}^3$ 以下、优选为 $1.0 \times 10^{15}/\text{cm}^3$ 以下即可。例如,非掺杂层7的氮(N)等n型杂质设为 $1.0 \times 10^{16}/\text{cm}^3$ 以下,优选设为 $1.0 \times 10^{15}/\text{cm}^3$ 以下。此外,非掺杂层7的铝等p型杂质设为 $1.0 \times 10^{16}/\text{cm}^3$ 以下,优选设为 $1.0 \times 10^{15}/\text{cm}^3$ 以下。并且,在仅掺杂了p型杂质和n型杂质中的一方的情况下,杂质浓度设为 $1.0 \times 10^{16}/\text{cm}^3$ 以下,在掺杂了双方的情况下,通过相互抵消而载流子浓度成为 $1.0 \times 10^{16}/\text{cm}^3$ 以下。

[0132] 这样,在本实施方式的SiC半导体装置中,在p型基体区域6与第1源极区域8a之间具备非掺杂层7。因此,能得到能够抑制对于栅极绝缘膜12的损伤的效果。对于该效果,参照图9~图11进行说明。另外,图9~图11分别表示针对将n型源极区域8的整个区域设为高杂质浓度的情况、将第1源极区域8a形成为与p型基体区域6相接的情况、具备非掺杂层7的本实施方式的构造的情况、调查了逆导通时的电压分布的结果。作为逆导通时的条件,将栅极电压V_g设为20V,将漏极-源极间电压V_{ds}设为-5V。

[0133] 在逆导通时,基本而言,形成在纵型MOSFET中的寄生二极管作为续流二极管发挥作用,经过寄生二极管流过续流电流。并且,从构成寄生二极管的PN结的p型层侧扩散到n型层侧的空穴与n型层中的电子复合。此时,由于复合能量较大,所以由外延膜构成的n型层中的基底面位错(basal plane dislocation)(以下称作BPD)扩展而成为单肖克莱层错

(Single Shockley Stacking Fault) (以下称作SSSF)这样的层叠缺陷。由于BPD是线状缺陷,所以SiC半导体装置的单元区域内的占有面积小,几乎没有对于元件动作的影响,但如果成为SSSF,则成为层叠缺陷,所以单元区域内的占有面积变大,对元件动作带来的影响变大。因此,如果在逆导通时也积极地施加栅极电压 V_g 而形成沟道区域,使得还经过沟道区域流过续流电流,则能够将续流电流分散而降低复合能量,所以能够抑制SSSF的发生。但是,由于发生经由沟道区域的续流电流的流动,所以在p型基体区域6与n型源极区域8之间会作用较高的电场,产生热电子,产生对栅极绝缘膜12带来损伤的现象。

[0134] 具体而言,如图9所示,在与p型基体区域6相接地形成整体为高浓度的n型源极区域8的情况下,在逆导通时,在PN结处产生电位分布,成为对n型源极区域8作用高电场的状态。在与p型基体区域6相接地形成n型源极区域8的情况下,由于施加于n型源极区域8的电场,存在于n型源极区域8中的与p型基体区域6相接的部分的载流子被电场加速而成为热电子。其与栅极绝缘膜12碰撞,产生对栅极绝缘膜12带来损伤的课题。特别是,如果n型源极区域8整体提高n型杂质浓度,则该课题变得显著。

[0135] 另一方面,即使不具备非掺杂层7,在n型源极区域8具备第1源极区域8a的情况下,也由p型基体区域6和第1源极区域8a构成PN结。这样,在具备第1源极区域8a的情况下,即使不具备非掺杂层7,也由于第1源极区域8a的n型杂质浓度较低,所以能够某种程度地抑制作用于PN结部的电场。即,如图10所示,与图9的情况相比,PN结部的等位线的间隔变宽,具备第1源极区域8a的构造能够某种程度地抑制电场。

[0136] 但是,在不形成非掺杂层7的情况下,由于构成由p型基体区域6和第1源极区域8a形成的PN结部,所以虽然比图9的情况减轻,但是通过产生热电子,可能产生上述课题。

[0137] 相对于此,在如本实施方式那样在p型基体区域6与第1源极区域8a之间具备非掺杂层7的情况下,如图11所示,能够由非掺杂层7承受等位线,能够减弱n型源极区域8中的电场。并且,虽然在非掺杂层7中产生电场,但是在非掺杂层7中几乎不存在载流子。因而,通过具备非掺杂层7,能够抑制由逆导通时的热电子造成的栅极绝缘膜12的损伤。

[0138] 由此,在逆导通时,通过使得不仅经过寄生二极管、还积极地经过沟道区域流过续流电流,能够抑制SSSF的发生并且还抑制热电子的生成,能够抑制对栅极绝缘膜12带来损伤。

[0139] 接着,对本实施方式的SiC半导体装置的制造方法进行说明。除了在第1实施方式中说明的制造方法以外,在p型基体区域6的形成后,在n型源极区域8的形成前,通过进行非掺杂层7的形成工序来制造本实施方式的SiC半导体装置。

[0140] 关于非掺杂层7,使用在p型基体区域6及第1源极区域8a的形成中使用的外延生长装置形成。具体而言,在形成p型基体区域6之后,在停止了向外延生长装置内导入p型掺杂剂和n型掺杂剂双方的掺杂剂气体的状态下连续地进行外延生长,从而能够形成非掺杂层7。此时,如果不进行降温过程,在p型基体区域6的形成后维持温度不变地进行非掺杂层7的形成,则能够实现工序时间的缩短。进而,关于之后的第1源极区域8a的外延生长,也如果在非掺杂层7的形成后不进行降温过程而维持温度不变,则能够实现工序时间的进一步的缩短。

[0141] 关于非掺杂层7,能够任意地设定膜厚,但如果过厚则导通电阻 R_{on} 变高。因此,设为 $0.05\sim 0.2\mu\text{m}$ 的厚度。此外,关于非掺杂层7,优选的是使得基本上不存在杂质,但只要载

流子浓度变低即可。特别是,如果要在p型基体区域6的形成后连续地形成非掺杂层7,则也可能有残留在气体环境中的p型杂质被导入、或者存在于大气中的氮作为n型杂质被导入的情况。这样的情况下,也只要杂质浓度较低即可。此外,在设想可能导入一种导电型的杂质的情况下,只要有意地导入另一种导电型的杂质、使双方被掺入而相互抵消从而载流子浓度变低即可。例如,在仅掺入有p型杂质和n型杂质的一方的情况下,杂质浓度设为 $1.0 \times 10^{16}/\text{cm}^3$ 以下,在掺入了双方的情况下,通过相互抵消而使得载流子浓度成为 $1.0 \times 10^{16}/\text{cm}^3$ 以下。

[0142] 另外,在形成非掺杂层7的情况下,在形成p型连结层10时,由于需要使得p型连结层10与p型基体区域6连接,所以向非掺杂层7也加入p型杂质,使得该部分也成为p型连结层10。

[0143] 如以上说明的那样,在本实施方式的SiC半导体装置中,在p型基体区域6与第1源极区域8a之间具备非掺杂层7。因此,得到能够抑制热电子的生成、能够抑制对栅极绝缘膜12的损伤的效果。

[0144] (第3实施方式)

[0145] 对第3实施方式进行说明。在本实施方式中,对第1、第2实施方式的n型层的膜状态的测定方法进行说明。

[0146] 在上述第1、第2实施方式的SiC半导体装置中,作为n型层,使n型电流分散层5及第1源极区域8a外延生长。在这些n型层的形成后,作为n型层的膜状态,进行n型杂质浓度的测定。

[0147] 但是,n型层的表面电子状态不是在使n型层外延生长后立即稳定化,而是经过某种程度的时间后稳定化,所以为了使n型杂质浓度的测定精度良好,需要在外延生长后等待直到经过规定时间。具体而言,能够基于图12所示的n型杂质浓度的测定流程进行n型杂质浓度的测定。

[0148] 首先,如图12的步骤S100所示,进行MOSFET的制作工序。这里所述的MOSFET的制作工序,是指进行在第1、第2实施方式中说明的SiC半导体装置中的纵型MOSFET的制造工序中的直到作为n型杂质浓度的测定对象的n型层(以下称作测定对象层)的形成工序之前为止的工序。以第1实施方式为例,若测定对象层是n型电流分散层5,则是到进行图7B所示的形成电场阻挡层4为止的工序。此外,如果测定对象层是第1源极区域8a,则是进行到图7D的形成p型基体区域6为止的工序。

[0149] 然后,如步骤S110所示,进行测定对象层的外延生长工序。由此,例如作为测定对象的n型电流分散层5或第1源极区域8a被外延生长。并且,在外延生长后,如步骤S120所示,作为电子稳定化工序,进行在大气环境下保持10小时以上的保持工序。然后,前进到步骤S130,进行测定对象层的n型杂质浓度的测定。

[0150] 关于n型层中的n型杂质浓度的测定,能够利用非接触CV浓度评价的方法来进行。这如图13那样是如下方法:对形成了n型层的晶片20通过电晕放电连续地涂布电荷而使n型层的表面带电后,反复利用配置在晶片20之上的电位探测器21测定表面电位,根据QV曲线测定n型杂质浓度。使用该方法,能够测定外延生长后的测定对象层的n型杂质浓度。

[0151] 但是,在紧接着外延生长之后,作为测定对象层的n型层的表面电子状态不稳定,确认到无法精度良好地测定n型杂质浓度。具体而言,使用非接触CV浓度评价的方法,对n型

层的外延生长后的经过时间与n型杂质浓度的关系进行了调查。图14表示其结果。

[0152] 如图14所示,在n型层的外延生长后,在仅暴露在大气环境中的状态的情况下,随着经过时间而n型杂质浓度逐渐下降。并且,如果经过时间达到10小时以上、优选的是18小时以上、例如24小时左右,则n型杂质浓度大致稳定为一定值。另外,对于与时间经过对应的n型杂质浓度的变化调查了多次,但由于每次进行非接触CV浓度评价,所以担心其影响。因此,还确认了将基于非接触CV浓度评价的测定在形成n型层后经过了24小时后第1次实施的情况及在经过30小时后第2次实施的情况下的n型杂质浓度,成为与进行了多次的情况相同程度的值。因而,n型杂质浓度的变化的方式可以说是不受非接触CV浓度评价的实施的影响。

[0153] 这样,在紧接着外延生长之后,作为测定对象层的n型层的表面电子状态不稳定,n型杂质浓度较高,所以无法精度良好地测定n型杂质浓度。相对于此,如果在大气环境下保持10小时以上,则作为测定对象层的n型层的表面电子状态稳定,能够精度良好地测定n型杂质浓度。

[0154] 如以上这样,通过非接触CV浓度评价对测定对象层的n型杂质浓度进行测定,并且不是在紧接着外延生长之后进行测定,而是作为电子稳定化工序而进行在大气环境下保持10小时以上的保持工序后进行测定。由此,能够精度良好地测定n型杂质浓度。

[0155] 但是,在进行保持工序后对测定对象层的n型杂质浓度进行测定的情况下,导致制造工序的长时间化,进而使制造成本增大。

[0156] 因此,本发明的发明人对于n型层的膜状态的测定所需要的时间的短时间化进行了专门研究。结果发现,在n型层的外延生长后通过将表面进行酸清洗,n型杂质浓度的状态与在外延生长后10小时以上暴露在大气环境中的情况同样地稳定化。在图14中,还表示了在外延生长后不进行保持工序而进行酸清洗、进行非接触CV浓度评价的情况下的结果。

[0157] 对在n型层的外延生长后立即进行酸清洗的情况下的n型杂质浓度进行确认可知,如图13的中空四边形所示那样,成为与在大气环境中暴露24小时以上的情况同等的值。作为酸清洗,能够应用SC-2(盐酸过氧化氢水溶液)、SPM(硫酸过氧化氢水溶液)、臭氧清洗等。在进行了酸清洗的情况下,还会有在SiC表面形成氧化膜的情况,但氧化膜的有无是任意的。具体而言,为了调查氧化膜的有无的影响,在n型层的外延生长后进行酸清洗而调查n型杂质浓度的情况、和在之后进一步进行HF处理后再次调查n型杂质浓度的情况下,调查了n型杂质浓度的变化。结果,如图15所示,在第1次调查的n型杂质浓度和第2次调查的n型杂质浓度中没有变化。由此可知,在SiC的非接触CV浓度评价中,氧化膜的有无是任意的,能够不受氧化膜的有无影响地测定n型杂质浓度。另外,关于HF处理,以使得即使在假设形成有氧化膜的情况下也能够将其除去的方式进行了实施,但即使从最初就没有形成氧化膜,也能够基于非接触CV浓度评价来测定n型杂质浓度。

[0158] 这样,通过在n型层的外延生长后进行酸清洗,即使经过时间较短,也能够测定n型杂质浓度的变化稳定化之后的值。因而,在使n型电流分散层5或第1源极区域8a外延生长后,即使立刻测定,通过在进行酸清洗后测定n型杂质浓度,也能够进行精度较好的测定。另外,在进行这样的酸清洗的情况下,代替上述的图12,基于图16所示的测定流程进行n型杂质浓度的测定。即,在步骤S200、S210中,在进行与图12的步骤S100、S110同样的工序后,在步骤S220中,作为电子稳定化工序而进行酸清洗工序。然后,在步骤S230中,通过与图12的步骤S130同样的方法对测定对象层的n型杂质浓度进行测定。此时的开始n型杂质浓度的测

定的时间、即完成酸清洗工序后的经过时间是任意的,所以经过时间较短也可以。

[0159] (第4实施方式)

[0160] 对第4实施方式进行说明。在上述第3实施方式中,作为n型层而以n型电流分散层5及第1源极区域8a为例进行了说明,但关于在外延生长后测定n型杂质浓度的情况,对于怎样的n型层都能够应用。这里,对于在n⁺型基板1的主表面上使n⁻型层2外延生长后测定n⁻型层2的n型杂质浓度的情况进行说明。

[0161] 在测定n⁻型层2的n型杂质浓度的情况下,能够基于图17所示的n型杂质浓度的测定流程进行n型杂质浓度的测定。

[0162] 首先,如图17的步骤S300所示,准备SiC块状(bulk)基板、即n⁺型基板1。接着,如步骤S310所示,在n⁺型基板1的主表面上使n⁻型层2外延生长。并且,在步骤S320、S330中,与图16的步骤S220、S230同样,在经过酸清洗工序后进行测定n型杂质浓度的工序。

[0163] 这样,在n⁺型基板1的主表面上使n⁻型层2外延生长后想要测定n⁻型层2的n型杂质浓度的情况下,也能够通过进行酸清洗而不花费外延生长后的经过时间地精度良好地测定n型杂质浓度。

[0164] (其他实施方式)

[0165] 将本发明依据上述实施方式进行了记述,但并不限定于该实施方式,也包含各种各样的变形例或等价范围内的变形。除此以外,各种各样的组合及形态,进而在它们中仅包含一要素、其以上或其以下的其他组合及形态也落入在本发明的范畴及思想范围中。

[0166] (1)例如,在上述实施方式中,具备JFET部3及电场阻挡层4并且具备n型电流分散层5,JFET部3及n型电流分散层5构成漂移层的一部分。但是,这只不过是举出了纵型MOSFET的结构的一例,也可以是不具备JFET部3及电场阻挡层4的构造、不具备n型电流分散层5的构造、或不具备这双方的构造。

[0167] (2)此外,对于构成在上述实施方式中表示的SiC半导体装置的各部的杂质浓度及厚度、宽度等各种尺寸,只不过表示了一例。例如,也可以将第1区域10a形成至比第1源极区域8a深的位置,或将第2区域10b形成至比第2源极区域8b深的位置。

[0168] (3)此外,在上述实施方式中,将p型深层9和p型连结层10分别地构成,但也可以将它们用相同的p型层构成。例如,形成从n型源极区域8的表面将非掺杂层7、p型基体区域6及n型电流分散层5贯通而达到电场阻挡层4的深沟槽,以将该深沟槽内填埋的方式形成p型层。或者,从n型源极区域8的表面将p型杂质离子注入,形成从非掺杂层7、p型基体区域6及n型电流分散层5达到电场阻挡层4的p型层。这样,能够由p型层构成p型深层9和p型连结层10。

[0169] (4)此外,在上述实施方式中,说明了将n型源极区域8划分为杂质浓度不同的2个区域、即第1源极区域8a和第2源极区域8b的构造,但也可以是不明确地划分出它们的构造。即,只要n型源极区域8中的p型基体区域6侧的杂质浓度比与源极电极15接触的表面侧低、并且表面侧设为能够与源极电极15欧姆接触的高杂质浓度即可。换言之,也可以是,第1源极区域8a及第2源极区域8b以杂质浓度朝向源极电极15侧逐渐变高的方式具有浓度梯度。

[0170] (5)此外,在上述第3、第4实施方式中,作为在外延生长后测定n型杂质浓度的层,以n型电流分散层5及第1源极区域8a、还有n⁻型层2为例进行了说明。

[0171] 具体而言,在第3实施方式中,表示了以下情况:在之前在SiC块状基板之上形成外

延生长层之后进行离子注入工序,之后形成作为测定对象层的n型电流分散层5及第1源极区域8a等n型层。这样在对形成在下层的外延生长层进行离子注入后进行作为测定对象层的SiC层的外延生长的情况下,能够进行上述的基于非接触CV浓度评价的n型杂质浓度的测定。

[0172] 此外,在第4实施方式中,表示了SiC块状基板之上形成了作为测定对象层的SiC层的n⁻型层2作为外延生长层的情况。这样,在对SiC块状基板直接进行测定对象层的外延生长的情况下,也能够进行上述的基于非接触CV浓度评价的n型杂质浓度的测定。

[0173] (6)此外,在上述实施方式中,以将第1导电型设为n型、将第2导电型设为p型的n沟道型的纵型MOSFET为例进行了说明,但也可以设为使各构成要素的导电型反型后的p沟道型的纵型MOSFET。此外,在上述说明中,作为半导体元件而以纵型MOSFET为例进行了说明,但对于同样的构造的IGBT也能够应用本发明。在n沟道型的IGBT的情况下,相对于上述各实施方式,只是将n⁺型基板1的导电型从n型变更为p型,其他构造及制造方法与上述各实施方式是同样的。

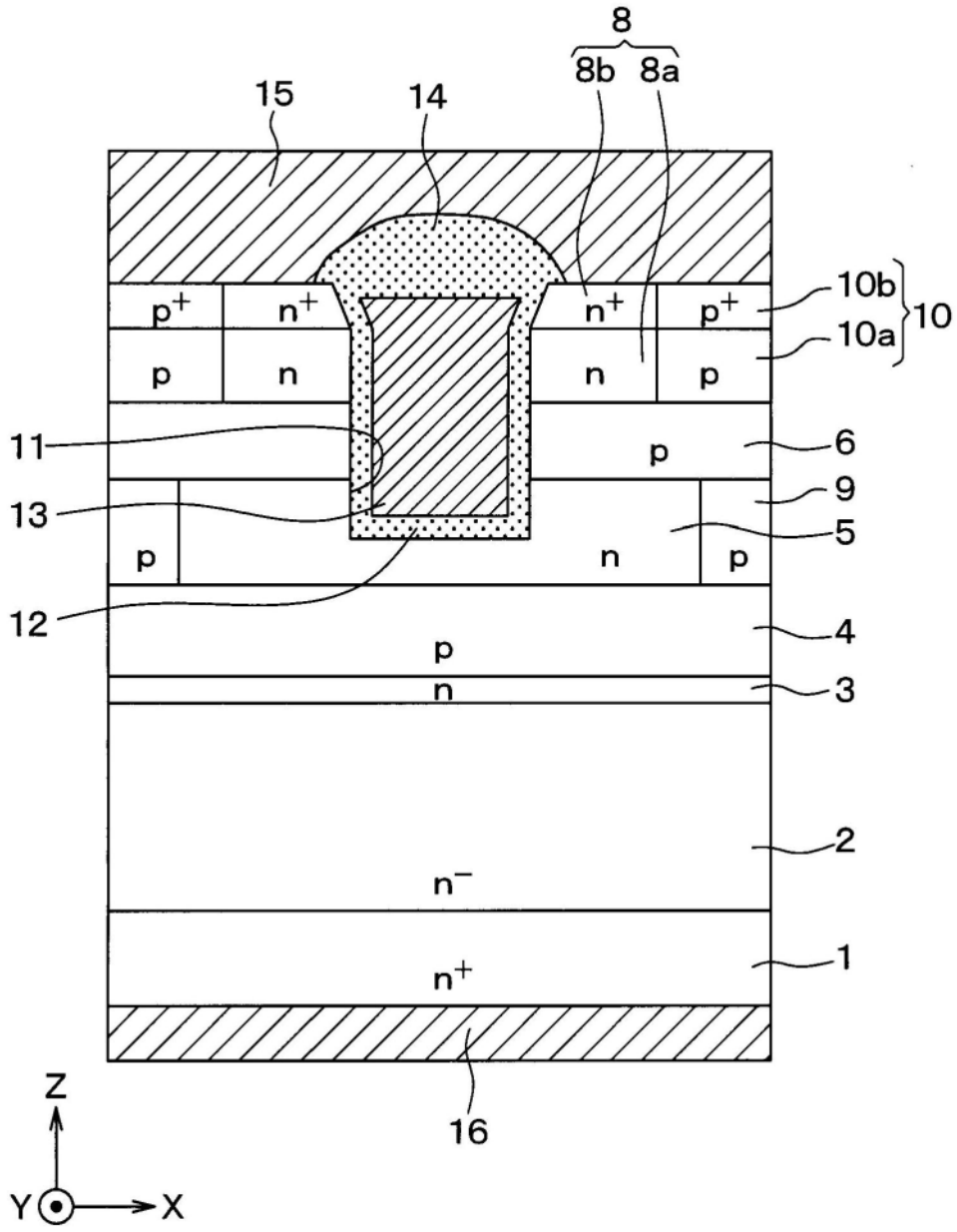


图1

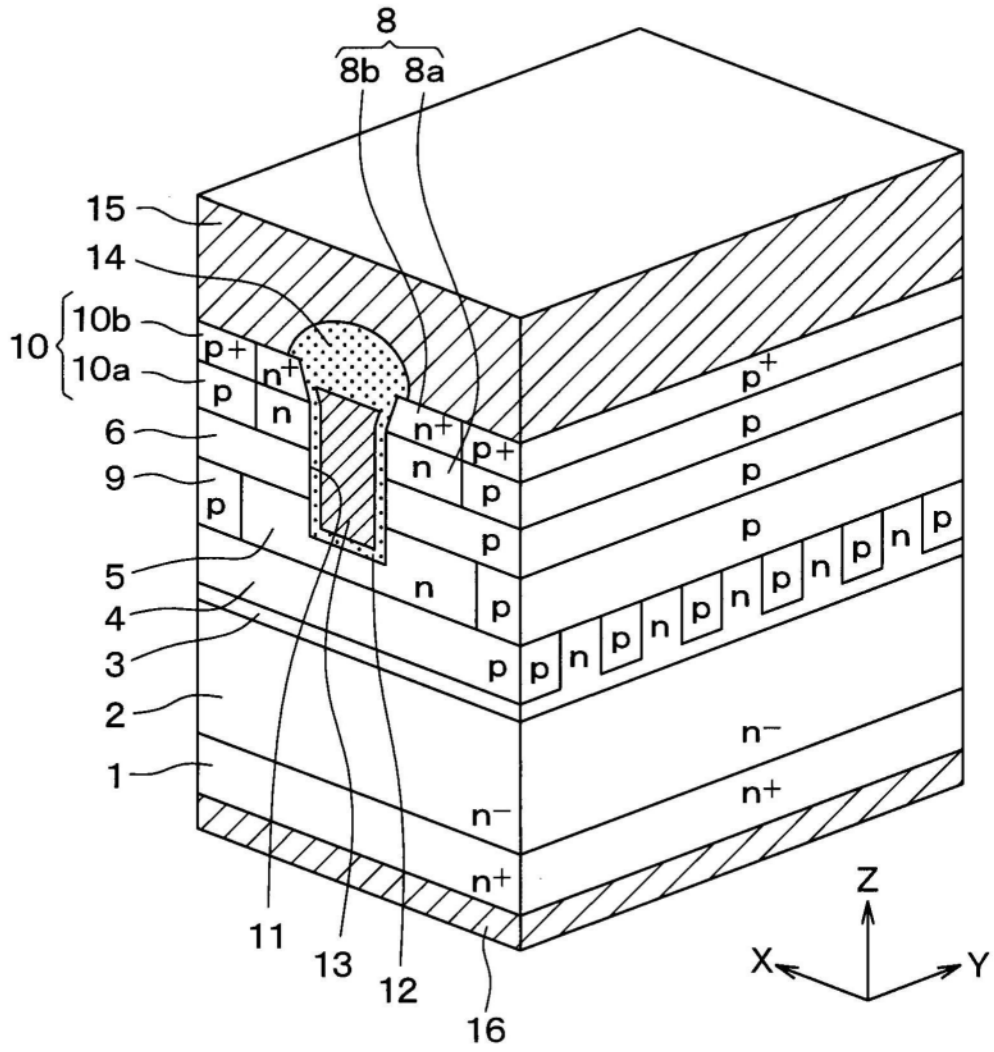


图2

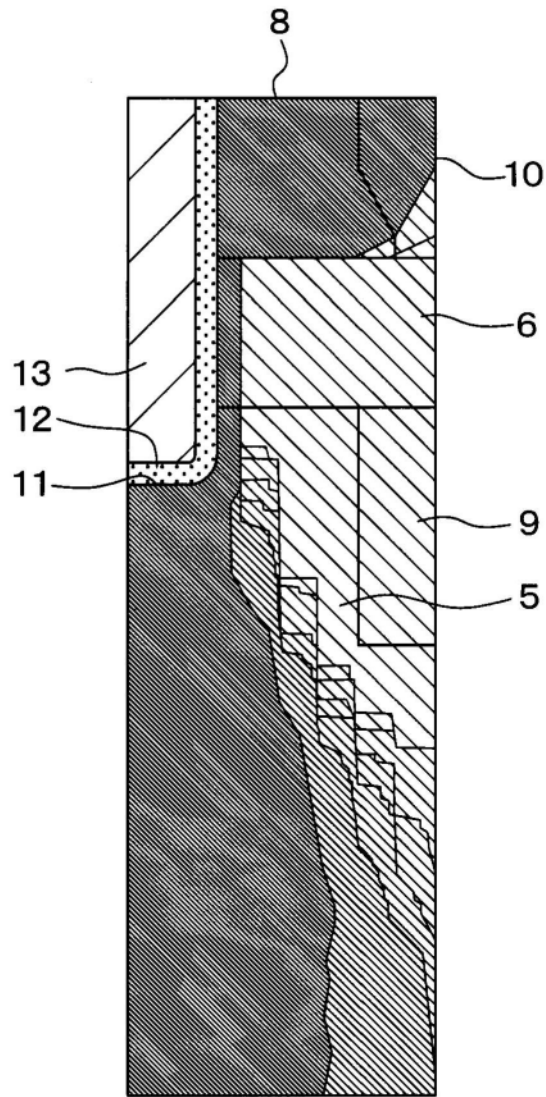


图3

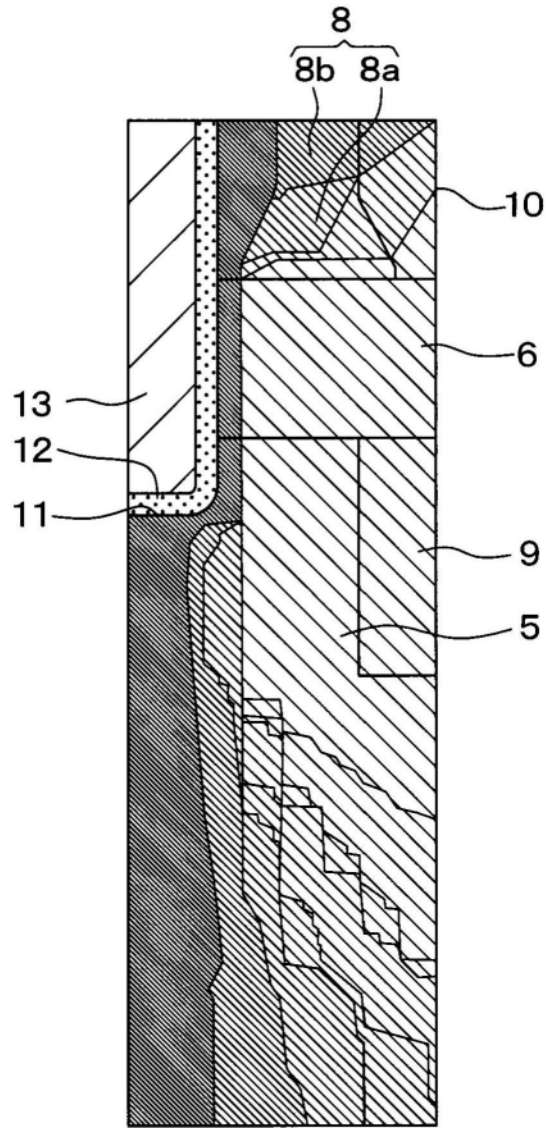


图4

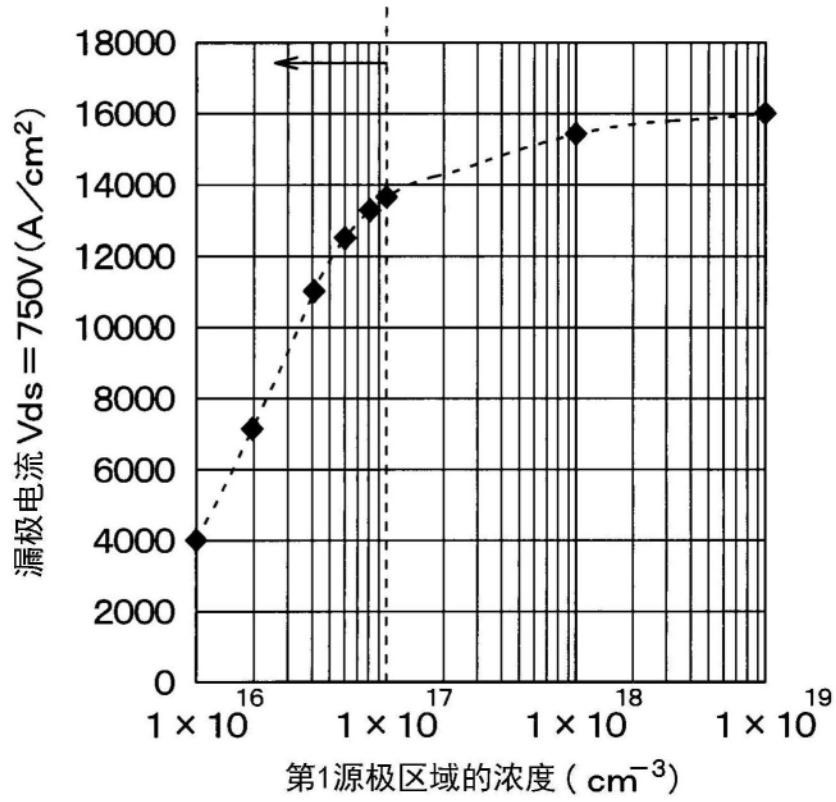


图5

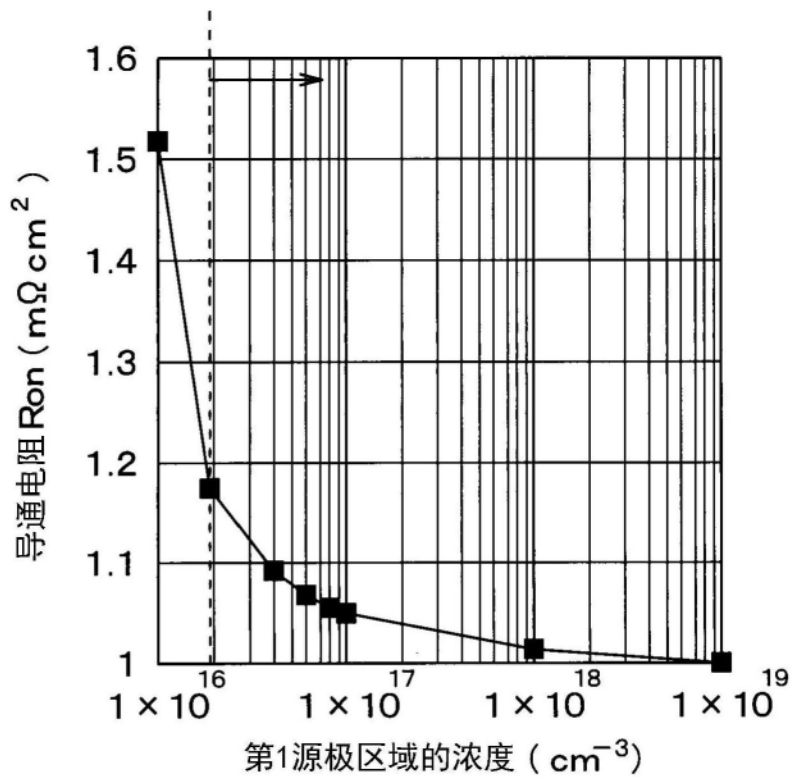


图6

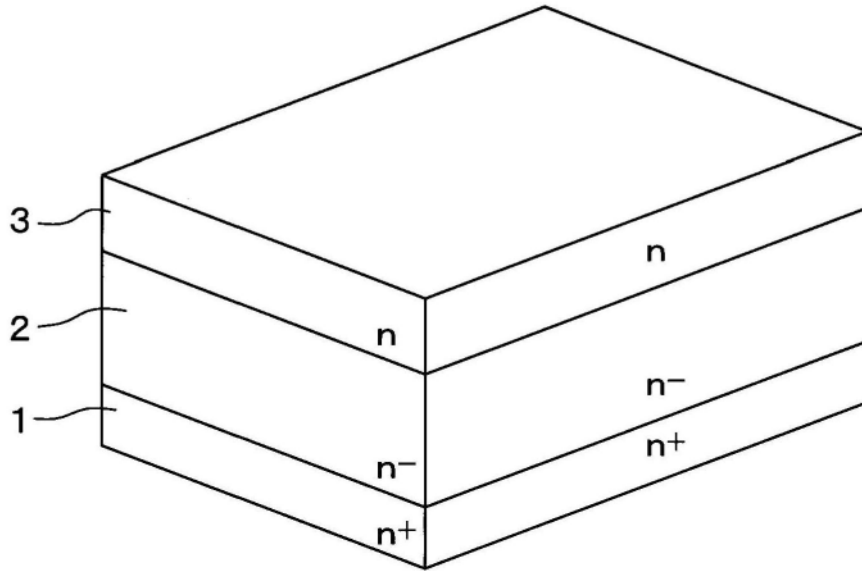


图7A

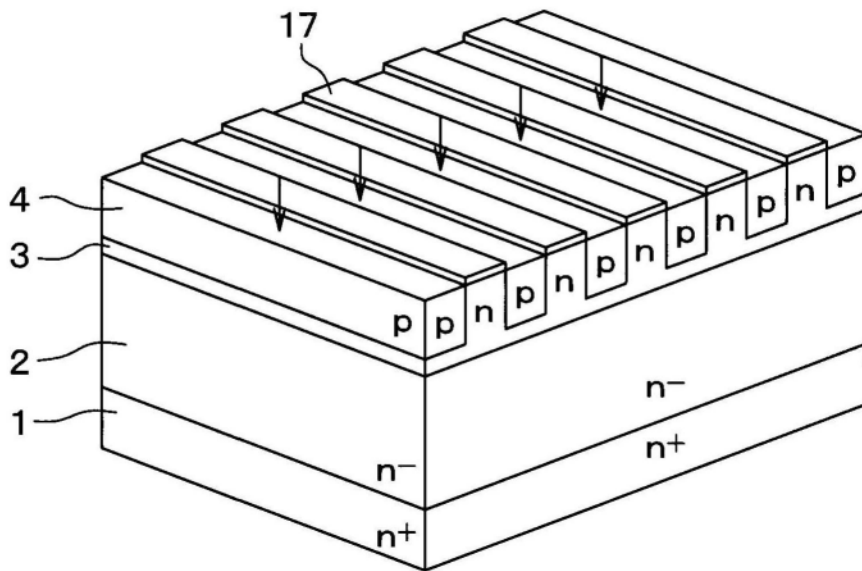


图7B

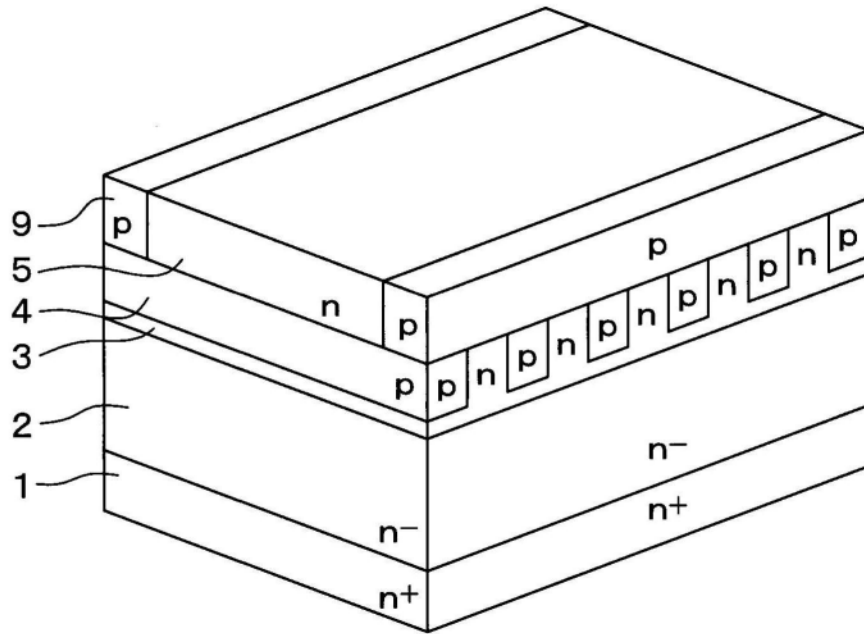


图7C

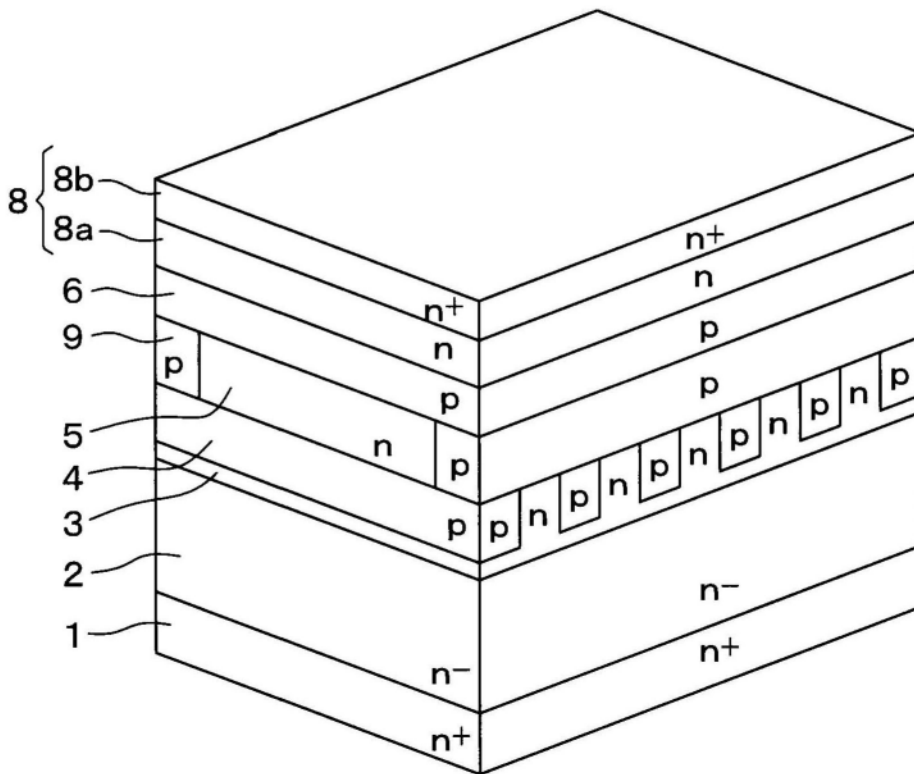


图7D

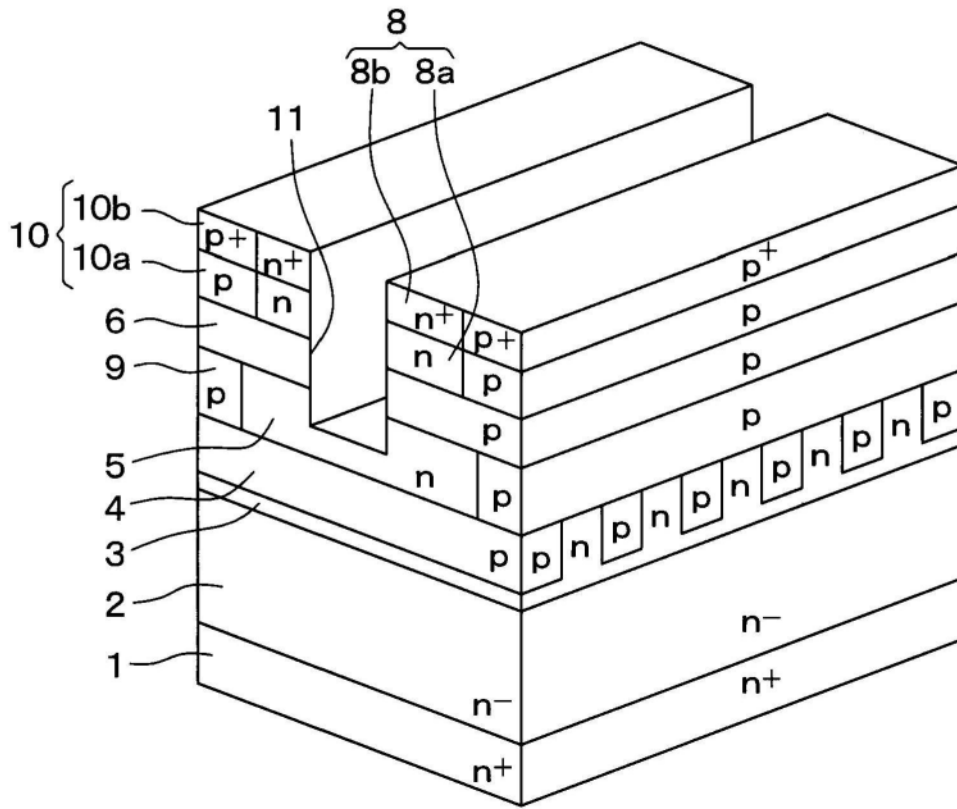


图7F

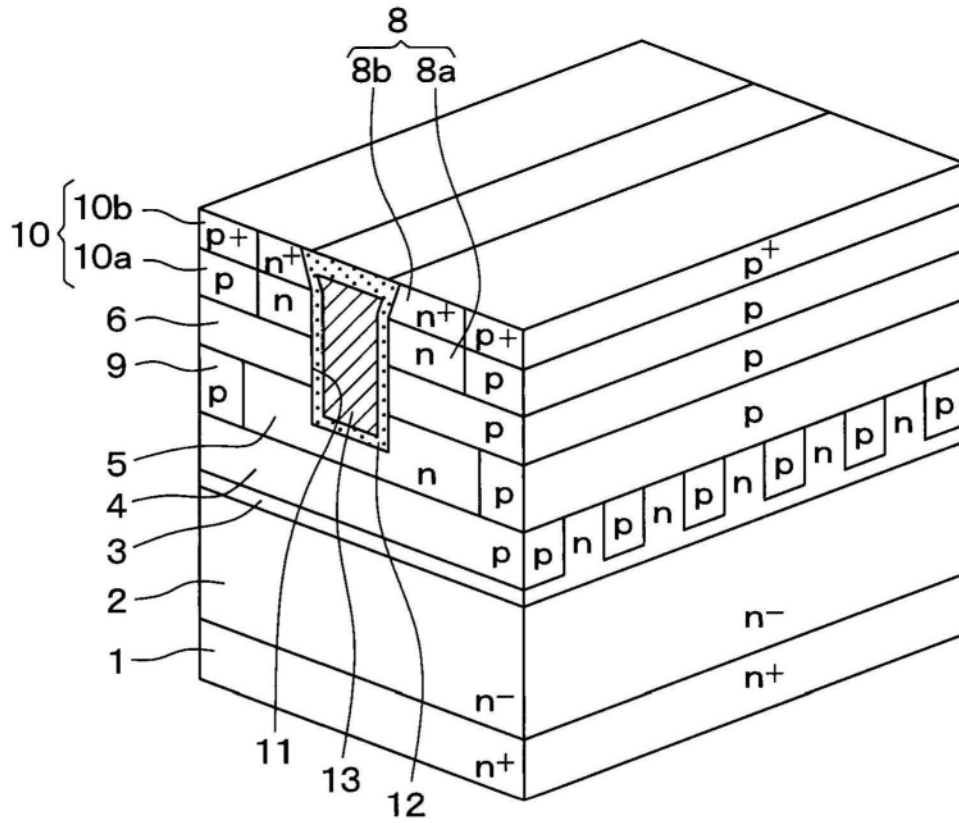


图7G

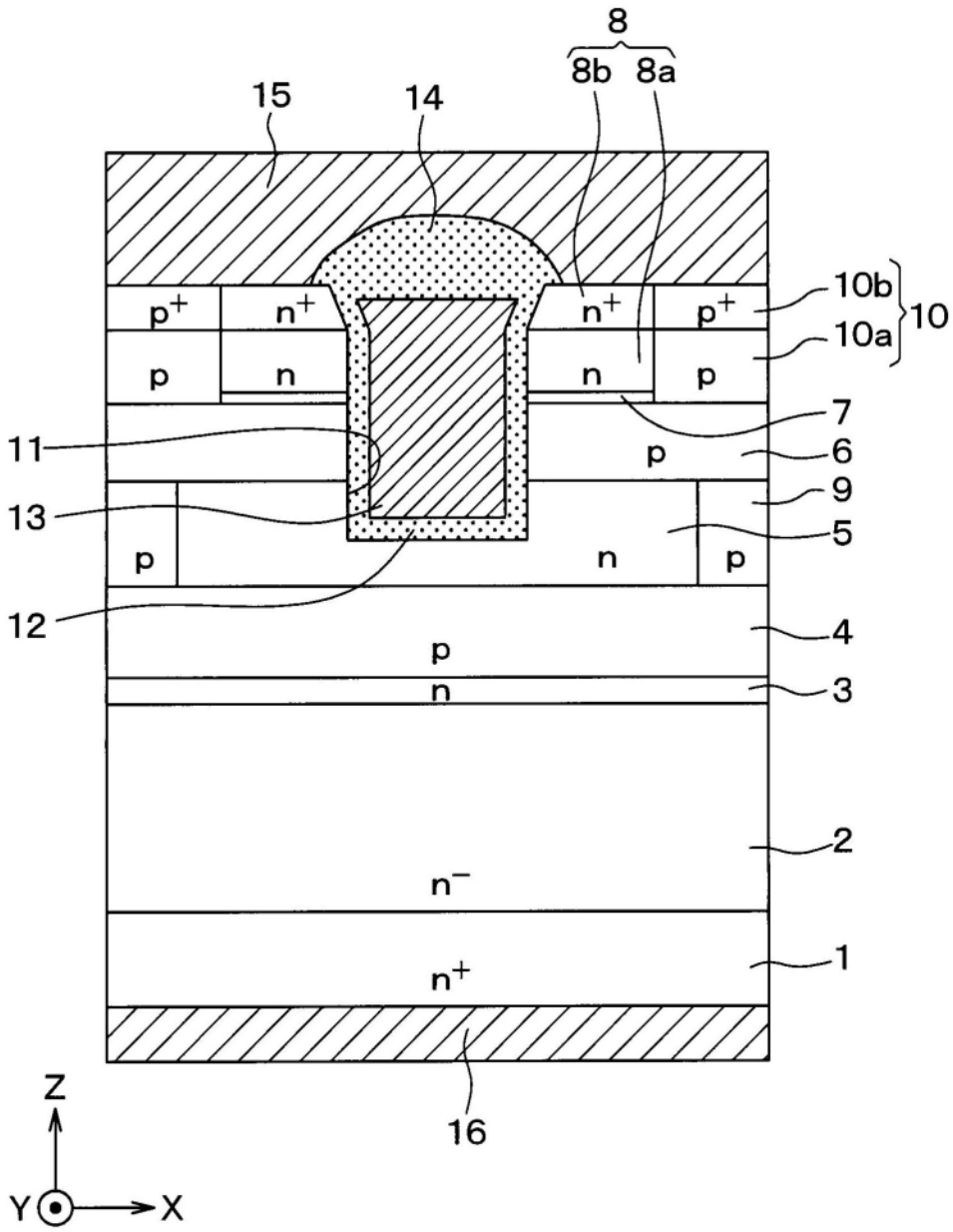


图8

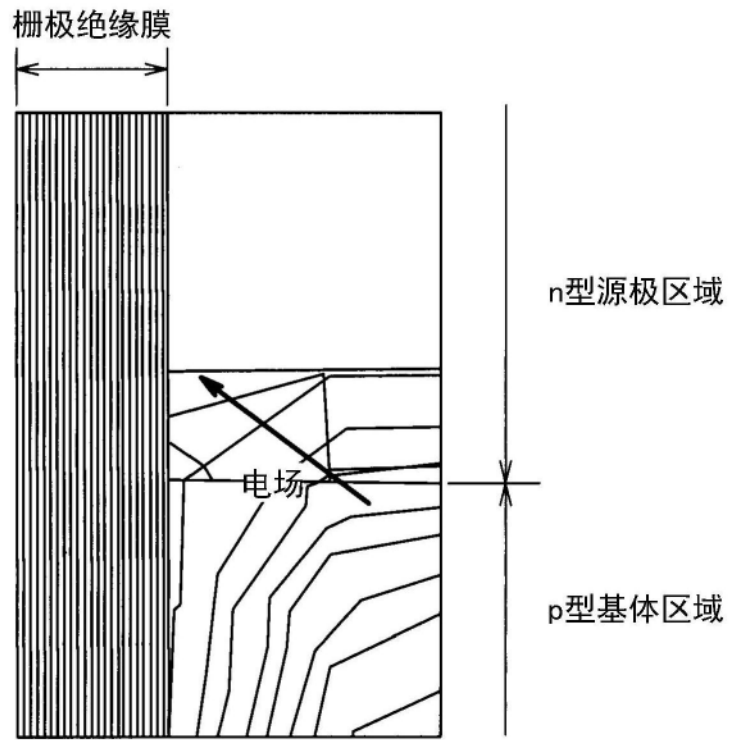


图9

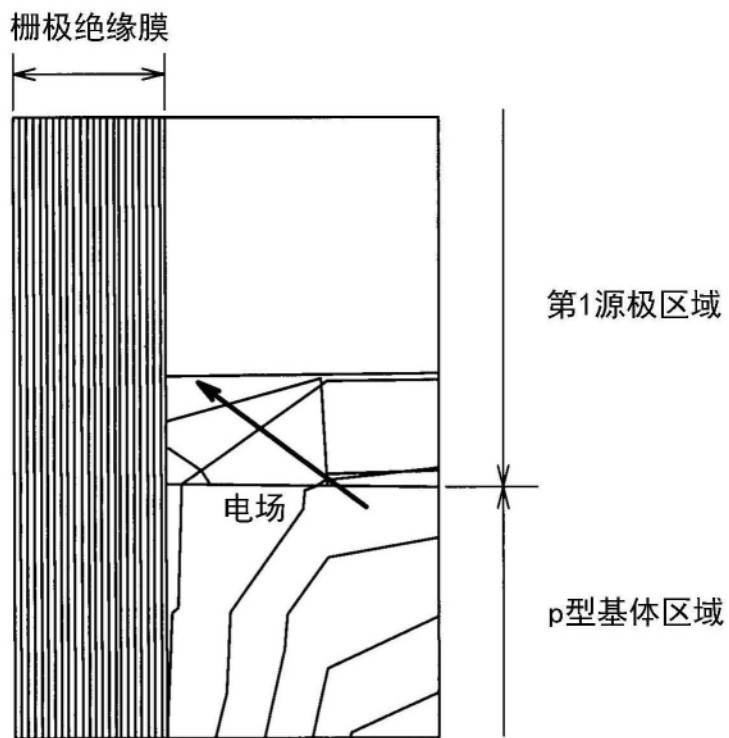


图10

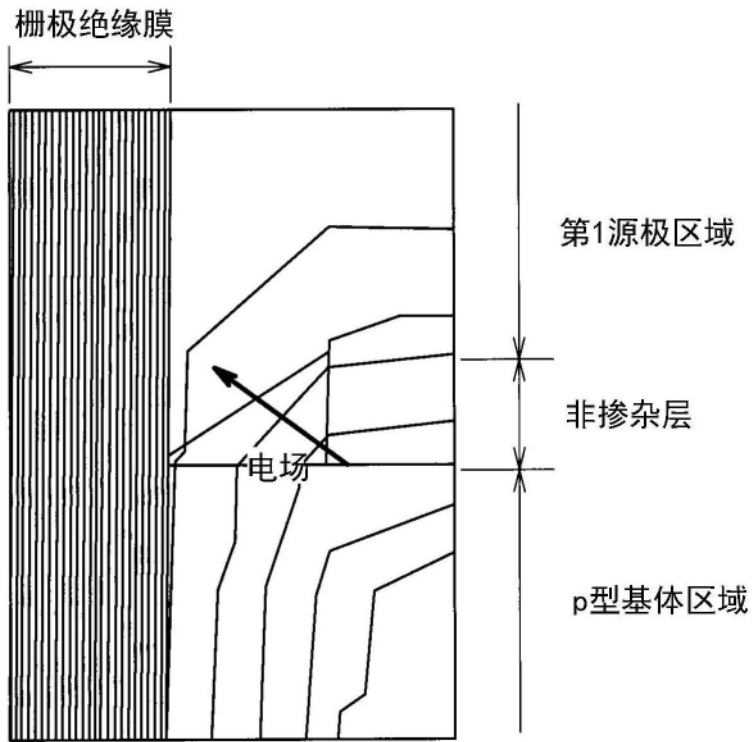


图11

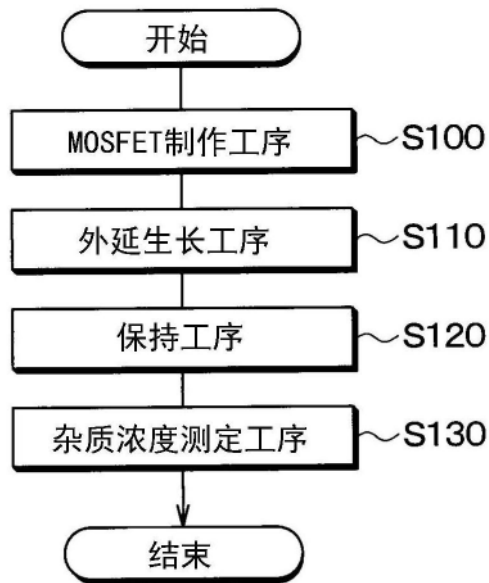


图12

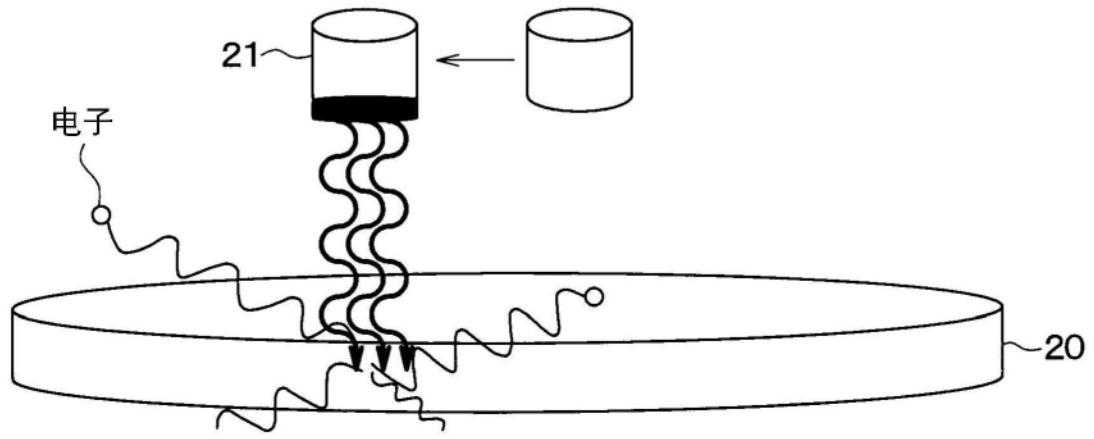


图13

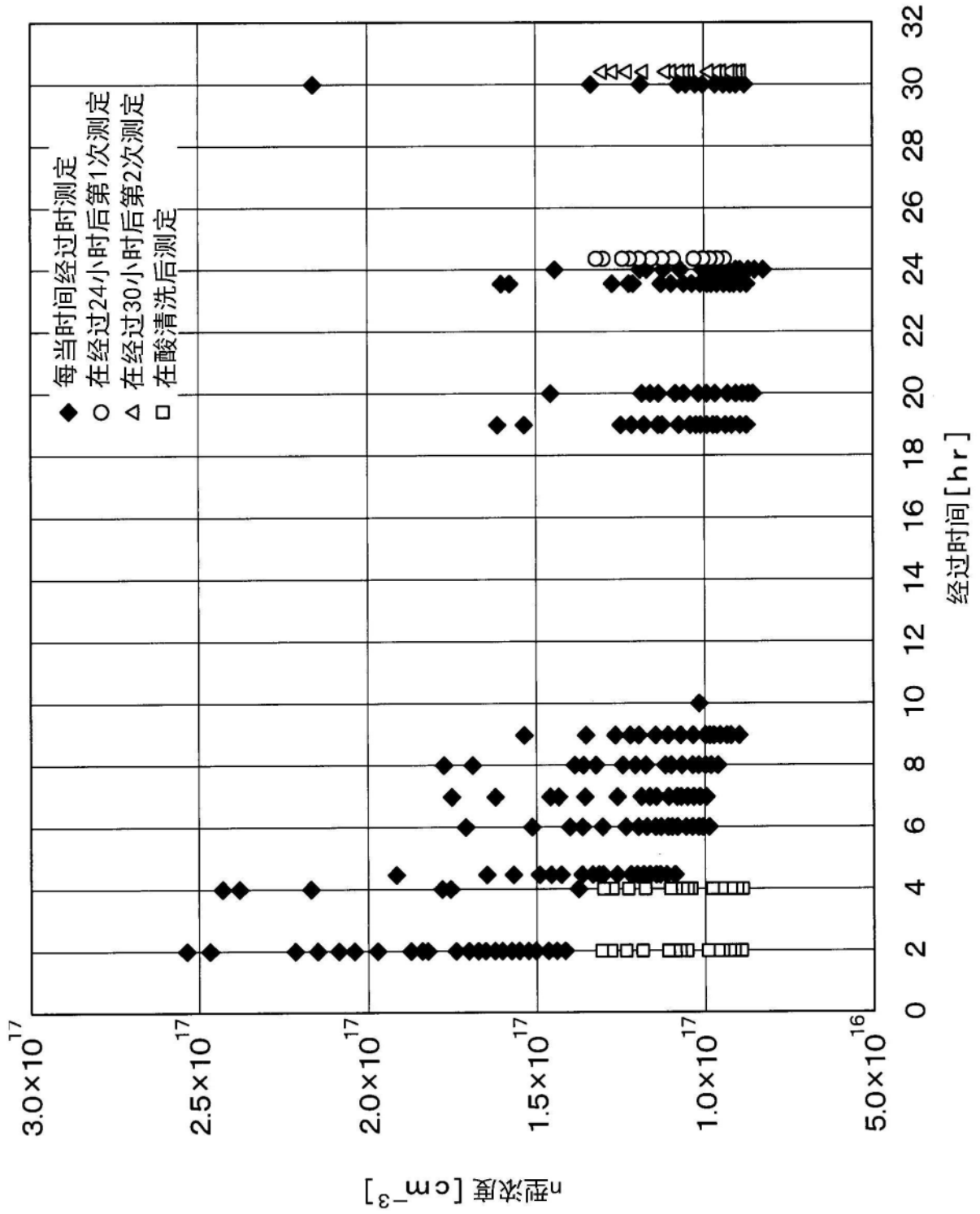


图14

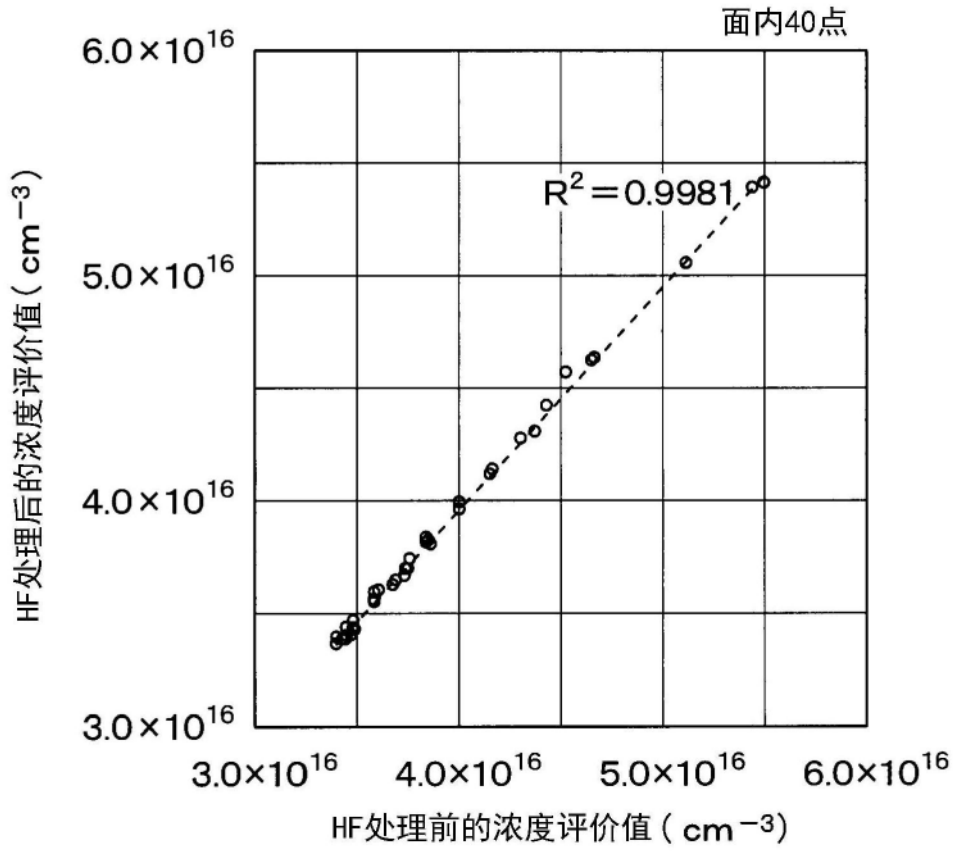


图15

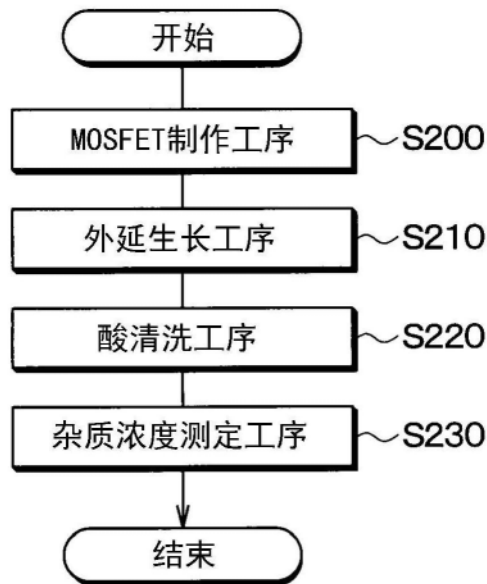


图16

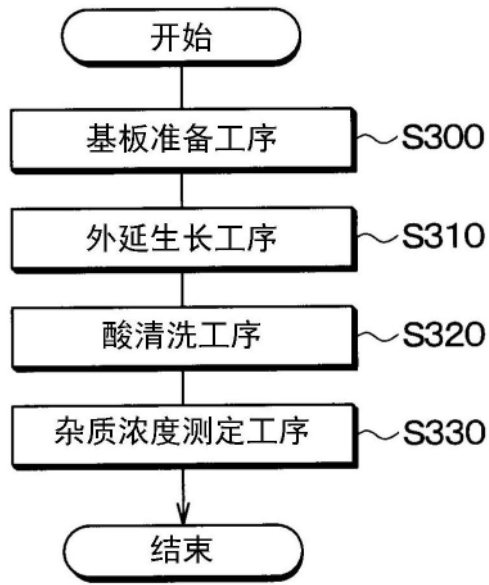


图17