

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H01L 21/28 (2006.01)

H01L 21/768 (2006.01)



[12] 发明专利说明书

专利号 ZL 200510116124.7

[45] 授权公告日 2009 年 12 月 30 日

[11] 授权公告号 CN 100576450C

[22] 申请日 2005.10.26

[21] 申请号 200510116124.7

[30] 优先权

[32] 2004.10.26 [33] KR [31] 10-2004-0085629

[73] 专利权人 三星电子株式会社

地址 韩国京畿道

[72] 发明人 吕寅准 李源俊 金泰贤 金志红
尹炳文

[56] 参考文献

CN1244032A 2000.2.9

US6469339B1 2002.10.22

审查员 杨 非

[74] 专利代理机构 中原信达知识产权代理有限责
任公司

代理人 林宇清 谢丽娜

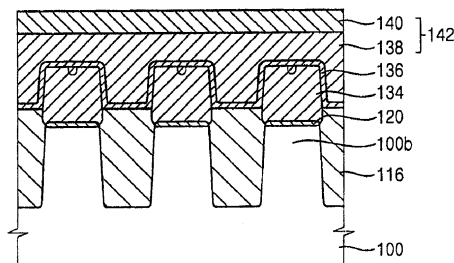
权利要求书 5 页 说明书 17 页 附图 11 页

[54] 发明名称

制造半导体器件的方法

[57] 摘要

一种制造半导体器件的方法，包括，在衬底上形成绝缘图形。绝缘图形具有露出衬底表面的至少一个开口。然后，在衬底上形成第一多晶硅层，以便第一多晶硅层填充开口。第一多晶硅层还包括在其中的空隙。第一多晶硅层的上部被除去，以便空隙扩大到凹部，以及凹部被露出。在衬底上形成第二多晶硅层，以便第二多晶硅层填充凹部。



1. 一种制造半导体器件的方法，包括：

在衬底上形成绝缘图形，绝缘图形具有露出衬底表面的至少一个开口；

在衬底上形成第一多晶硅层，以便第一多晶硅层填充开口，第一多晶硅层包括在其中的空隙；

除去第一多晶硅层的上部，以便空隙扩大到凹部，以及凹部被露出；以及

在衬底上形成第二多晶硅层，以便第二多晶硅层填充凹部。

2. 根据权利要求1的方法，其中在形成凹部中的除去步骤将空隙的宽度从50至100埃的范围扩大到100至300埃的范围。

3. 根据权利要求2的方法，其中形成第二多晶硅层步骤形成不少于凹部宽度的0.5倍厚度的第二多晶硅层。

4. 根据权利要求1的方法，其中除去步骤通过湿法刻蚀扩大空隙以形成凹部。

5. 根据权利要求4的方法，其中湿法刻蚀工艺使用氢氧化铵、过氧化氢和水的混合物。

6. 根据权利要求1的方法，其中该除去步骤包括：

平整第一多晶硅层，以露出空隙；以及

扩大空隙，以形成凹部。

7. 根据权利要求6的方法，其中通过化学机械抛光执行平整步骤。

8. 根据权利要求6的方法，其中扩大步骤通过湿法刻蚀扩大空隙

以形成凹部。

9. 根据权利要求6的方法，在形成第一多晶硅层步骤之前，还包括：

在衬底的露出部分上形成第一介质。

10. 根据权利要求9的方法，在平整化步骤之后和在扩大步骤之前，还包括：

除去绝缘图形的上部，以露出第一多晶硅层的侧壁。

11. 根据权利要求10的方法，其中除去绝缘图形的上部步骤不使绝缘图形的高度减小低于衬底的上表面。

12. 根据权利要求10的方法，还包括：

除去第二多晶硅层的上部。

13. 根据权利要求12的方法，其中除去第二多晶硅层的上部步骤刻蚀第二多晶硅层，以便不在凹部中的部分第二多晶硅层被完全地除去。

14. 根据权利要求12的方法，还包括：

在除去第二多晶硅层的上部后，在衬底上形成第二介质层。

15. 根据权利要求14的方法，还包括：

在第二介质层上形成控制栅层。

16. 根据权利要求15的方法，其中沿第一方向形成第一多晶硅层，以及沿垂直于第一方向的第二方向形成第二介质和控制栅层。

17. 根据权利要求15的方法，其中形成控制栅层步骤形成第一和

第二导电层的控制栅层。

18. 根据权利要求1的方法，其中除去步骤除去第一多晶硅层的至少部分上部，以及通过湿法刻蚀扩大空隙以形成凹部。

19. 根据权利要求18的方法，其中湿法刻蚀除去第一多晶硅层的至少部分上部，以便空隙被露出。

20. 根据权利要求18的方法，其中在湿法刻蚀第一多晶硅层之前除去步骤平整第一多晶硅层。

21. 根据权利要求1的方法，在形成第一多晶硅层步骤之前，还包括：

在衬底的露出部分上形成第一介质。

22. 根据权利要求21的方法，还包括：

除去第二多晶硅层的上部。

23. 根据权利要求22的方法，其中除去第二多晶硅层的上部步骤刻蚀第二多晶硅层，以便不在凹部中的部分第二多晶硅层被完全地除去。

24. 根据权利要求22的方法，在除去第二多晶硅层的上部步骤之后，还包括：

除去绝缘图形的上部，以露出第一多晶硅层的侧壁。

25. 根据权利要求24的方法，其中除去绝缘图形的上部步骤不使绝缘图形的高度减小低于半导体衬底的上表面。

26. 根据权利要求24的方法，还包括：

在除去第二多晶硅层的上部后，在衬底上形成第二介质层。

27. 根据权利要求26的方法，还包括：

在第二介质层上形成控制栅层。

28. 根据权利要求27的方法，其中沿第一方向形成第一多晶硅层，以及沿垂直于第一方向的第二方向形成第二介质和控制栅层。

29. 根据权利要求27的方法，其中形成控制栅层步骤形成第一和第二导电层的控制栅层。

30. 一种制造半导体器件的方法，包括：

形成具有开口的图形，开口露出衬底的表面；

在该图形和露出衬底的表面上形成第一多晶硅层，以填充开口；

平整第一多晶硅层，直至图形的上表面被露出，以在开口中形成第一多晶硅图形；

通过在第一多晶硅图形的上表面有选择地形成凹部来除去第一多晶硅图形中的空隙；

在该图形上形成第二多晶硅层；以及

部分地除去第二多晶硅层，以形成第二多晶硅图形。

31. 根据权利要求30的方法，其中通过使用氢氧化铵（ NH_4OH ）、过氧化氢（ H_2O_2 ）和水（ H_2O ）的混合物的湿法刻蚀工艺除去空隙。

32. 根据权利要求31的方法，还包括除去通过过氧化氢（ H_2O_2 ）和第一多晶硅图形之间的反应形成的氧化物。

33. 根据权利要求30的方法，其中通过扩大空隙形成凹部，该空隙通过平整第一多晶硅层从第一多晶硅图形的上表面露出。

34. 根据权利要求30的方法，其中形成凹部包括：
露出第一多晶硅图形中的空隙；以及
扩大露出的空隙，以形成凹部。

制造半导体器件的方法

要求的优先权

根据35 USC § 119, 要求2004年10月26日申请的韩国专利申请号2004-85629的优先权, 在此将其内容全部引入作为参考。

技术领域

本发明的例子实施例总的来说涉及制造半导体器件的方法。更具体, 本发明涉及在半导体器件的制造过程中除去多晶硅层中形成的空隙的方法。

背景技术

通常, 半导体存储器件分为易失性存储器和非易失性存储器, 易失性存储器包括动态随机存取存储器 (DRAM) 和静态随机存取存储器 (SRAM), 非易失性存储器包括只读存储器 (ROM)、电可擦和可编程ROM (EEPROM) 以及快闪存储器。经过一段时间之后, 易失性存储器中的存储的数据丢失, 但是, 该数据具有快速输入/输出功能。相反, 经过一段时间之后, 非易失性存储器中的数据不丢失, 但是, 数据输入/输出功能比易失性存储器更慢。

快闪存储器通常使用福勒-诺德海姆 (F-N) 隧穿效应或沟道热电子注射效应输入/输出数据。

在制造快闪存储器单元的一般方法中, 可以在半导体衬底上设置隔离层。在隔离层上可以形成氧化物层。氧化物层可以被构图, 直至部分半导体衬底被露出, 以形成氧化物层图形。在后续步骤中, 可以在露出部分上形成浮栅。在所得结构上可以顺序地形成隧道氧化物层和第一多晶硅层。第一多晶硅层可以被平整, 直至隧道氧化物层被露

出，以形成浮栅。然后隧道氧化物层和氧化物层图形可以被部分地刻蚀。在所得结构上可以形成介质层。在介质层上可以顺序地形成第二多晶硅层、硅化钨层以及硬掩模层。第二多晶硅层、钨层以及硬掩模层可以被构图，以形成控制栅。杂质可以被注入通过浮栅露出的部分半导体衬底中，以形成杂质区。

根据上述方法，浮栅由部分地露出半导体衬底的氧化物层图形自对准。

最近，随着半导体器件变得更集成，被部分地露出半导体衬底的氧化物层图形限定的开口的高宽比也增加。当高宽比增加时，由于氧化物层图形的几何尺寸，在用于填充开口的多晶硅层中可能产生空隙。

当多晶硅层被平整时，空隙可以被露出。空隙可能损坏浮栅上的介质层的击穿电压性能，和/或可以减小快闪存储器的耦合比。空隙也可以损坏介质层的漏电流性能。

发明内容

本发明涉及一种制造半导体器件的方法，其减小多晶硅层中的空隙的效果。

在本发明的实施例中，一种制造半导体器件的方法包括在衬底上形成绝缘图形。绝缘图形具有露出衬底表面的至少一个开口。

然后，在衬底上形成第一多晶硅层，以便第一多晶硅层填充开口。第一多晶硅层也包括在其中的空隙。第一多晶硅层的上部被除去，以便空隙扩大到凹部，以及凹部被露出。在衬底上形成第二多晶硅层，以便第二多晶硅层填充凹部。

附图说明

参考附图从其示例性实施例的详细描述将更明白本发明，其中：

图1至12是说明根据本发明的实施例制造半导体器件的方法的剖面图；

图13至17是说明根据本发明的另一实施例制造半导体器件的方法的剖面图；以及

图18至22是说明根据本发明的另一实施例制造半导体器件的方法的剖面图。

具体实施方式

现在参考附图更完全地描述本发明，附图中示出了本发明的例子实施例。但是，本发明可以以许多不同的形式体现，不应该被认为是局限于在此阐述的实施例。相反，这些实施例被提供作为教导例子。在图中，为了清楚可以放大层和区域的尺寸和相对尺寸。

应当理解，当元件或层被称为在其它元件或层“上”、“连接到”或“耦合到”其它元件或层时，它可以被直接连接或耦合到其他元件，或可以存在插入的元件或层。相反，当一个元件称为直接在其它元件或层“上”或“直接连接到”或“直接耦合到”其它元件或层时，不存在插入元件或层。在整篇中，相同的数字始终指相同的元件。在此使用的术语“和/或”包括一个或多个相关列项的任意和所有组合。

应当理解，尽管在此可以使用术语第一、第二等来描述各个元件、组件、区域、和/或部分，但是这些元件、组件、区域、层和/或部分不应该受这些术语限制。这些术语仅仅是用来使元件、组件、区域、层或部分与其它区域、层或部分相区别。因此，在不脱离本发明的教导的条件下，下面论述的第一元件、组件、区域、层或部分可以称为第二元件、组件、区域、层或部分。

为了便于描述，在此可以使用空间相对术语，例如“在...底下”，“在...

下面”，“下”，“在...之上”，“向上”，“上”等来描述一个元件或部件与图中所示的另一（些）元件或部件的关系。应当理解空间相对术语是用来包括除图中描绘的取向之外的使用或操作中器件的不同取向。例如，如果图中的器件被翻转，那么描述为在其他元件或部件“下面”或“底下”的元件将定向在其他元件或部件“上面”。因此示例性术语“在...之下”可以包括“在...之上”和“在...之下”的两种取向。器件可以被另外定向（旋转90度或其他取向），由此解释在此使用的空间相对描述词。

在此使用的专业词汇是仅仅用于描述特定的实施例，而不打算限制本发明。如在此使用的单数形式“a”，“an”和“the”同样打算包括复数形式，除非上下文另外清楚地表明。还应当理解，说明书中使用术语“comprises”和/或“comprising”说明陈述的部件、整体、步骤、操作、元件、和/或组件的存在，但是不排除存在或增加一个或多个其他部件、整体、步骤、操作、元件、组件和/或其组。

在此参考剖面图描述本发明的实施例，剖面图是本发明的理想化实施例（和中间结构）的示意图。照此，将预想由于制造工艺和/或容差图例形状的变化。因此，本发明的实施例不应该被认为是局限于在此图示的区域的特定形状，而是将包括由制造所得的形状的偏差。例如，图示为矩形的注入区一般地将具有圆润的或弯曲的特点和/或在其边缘具有注入浓度的梯度，而不是从注入区至非注入区的二元变化。同样，通过注入形成的掩埋区可以引起掩埋区和通过其进行注入的表面之间区域中发生某些注入。因此，图中所示的区域本质上是示意性的，且它们的形状不打算图示器件区域的实际形状，以及不打算限制本发明的范围。

除非另外限定，在此使用的所有术语（包括技术和科学术语）具有与本发明所属领域的普通技术人员通常理解相同的意思。还应当理解例如在通常使用的词典中定义的那些术语应该解释为具有符合相关技术的环境中的意思且不被理想化解释或过度地形式感知，除非在此

清楚地限定。

图1至12是说明根据本发明的实施例制造半导体器件的方法的剖面图。

图1是说明在半导体衬底上形成的衬垫氧化物层和掩模层的剖面图，以及图2是由图1中的掩模层形成的掩模图形的剖面图。

参考图1和2，在半导体衬底100如硅晶片上可以形成衬垫氧化物层102，然后在衬垫氧化物层102上可以形成掩模层104。

衬垫氧化物层102可以通过热氧化工艺或化学气相淀积（CVD）工艺形成至约70至约100Å的厚度。衬垫氧化物层102可以在约750至约900°C的温度下形成，以处理半导体衬底100的表面。

可以通过使用 SiH_2Cl_2 气体、 SiH_4 气体和 NH_3 气体的低压化学气相淀积（LPCVD）工艺或等离子体增强化学气相淀积（PECVD）工艺，在衬垫氧化物层102上形成掩模层104至约1,500Å的厚度，掩模层104可以包括氮化硅。

在掩模层104上可以形成光刻胶膜（未示出）。光刻胶膜可以通过光刻工艺部分地构图，以在掩模层104上形成光刻胶图形106。通过光刻胶图形106可以部分地露出掩模层104。

在图2中，可以使用光刻胶图形106作为刻蚀掩模，顺序地刻蚀衬垫氧化物层102和掩模层104，以形成露出隔离区100a的掩模图形108和衬垫氧化物层图形110。具体，掩模图形108和衬垫氧化物层图形110限定露出隔离区100a的第一开口112。

在例子本实施例中，通过使用等离子体或反应离子刻蚀的干法刻

蚀工艺可以刻蚀衬垫氧化物层102和掩模层104。

在形成掩模图形108和衬垫氧化物图形110之后，通过使用O₂等离子体的灰化工艺和/或剥离工艺，从掩模图形108除去光刻胶图形106。

图3是说明使用图2中的掩模图形在半导体衬底的表面部分形成的沟槽的剖面图。图4是说明具有场绝缘图形的沟槽的剖面图。

参考图3和4，使用掩模图形108作为刻蚀掩模刻蚀隔离区100a，以在半导体衬底100内形成沟槽114，在第一方向上跨越半导体衬底100（例如，进入和出自）。沟槽114可以具有约1,000至约5,000Å的深度，例如，约2,300Å。

如上所述，在使用光刻胶图形106形成第一开口112之后，可以使用掩模图形108形成沟槽114。选择性地，可以使用光刻胶图形106在一个处理室中同时就地形成第一开口112和沟槽114。

为了修复在沟槽114的形成过程中由刻蚀工序引起的半导体衬底100的损坏和减小或防止漏电流，半导体衬底100可以被热处理，以在沟槽114的内表面上形成具有约50Å至约250Å厚度的沟槽氧化物层（未示出）。

为了减小或防止杂质，例如场绝缘层的层中的碳或氢扩散到有源区100b中，可以在沟槽氧化物层上形成具有约50至100Å厚度的里衬氮化物层（未示出）。

在沟槽114和第一开口112中可以形成场绝缘层（未示出）。场绝缘层可以包括氧化硅，如不掺杂的硅玻璃（USG）、四乙基原硅酸酯（TEOS）以及高密度等离子体（HDP）氧化物。在例子实施例中，使用包括SiH₄气体、氧气（O₂）以及氩气（Ar）的等离子源形成的HDP

氧化物可以用来形成场绝缘层。

场绝缘层可以通过化学机械抛光（CMP）工艺来平整，直到掩模图形108的表面被露出，以形成场绝缘图形116。场绝缘图形116可以用作隔离层，以及可以限定半导体衬底100的有源区100b。

图5是说明露出由图4中的场绝缘图形116限定的有源区100b的第二开口的剖面图。

参考图5，可以通过干法刻蚀工艺或湿法刻蚀工艺除去掩模图形108和衬垫氧化物层图形110，以形成露出有源区100b的第二开口118。第二开口118被场绝缘图形116限定。例如，湿法刻蚀工艺可以使用包括磷和稀释的氢氟酸溶液的蚀刻液。在除去掩模图形108和衬垫氧化物层110中，可以部分地刻蚀场绝缘图形116的表面部分。

图6是说明在图5中的有源区和场绝缘图形上形成的第一多晶硅层的剖面图。

参考图6，可以在露出的有源区100b上形成第一介质层（或隧道氧化物层）120。第一介质层120可以通过热氧化工艺由氧化硅来形成。选择性地，第一介质层可以由掺有氟（F）的氧化硅层、掺有碳（C）的氧化硅层和/或具有低介电常数的介质层形成。

具有低介电常数的介质层可以包括有机聚合物如聚烯丙醚（polyallylether）树脂、环氟树脂、硅氧烷共聚物、氟化的聚烯丙醚树脂、五氟苯乙烯（pentafluorinestyrene）、聚四氟苯乙烯（polytetrafluorinestyrene）树脂、氟化的聚酰亚胺树脂、氟化的聚萘（polynaftalene）以及氟化的多晶硅-金属硅化物（polycide）树脂。这些有机聚合物可以单独使用或组合使用。有机聚合物可以通过等离子体增强的化学气相淀积（PECVD）、高密度等离子体化学气相淀积

(HDP-CVD)、大气压化学气相淀积 (APCVD) 和/或旋涂工艺形成。

在第一介质层120和场绝缘图形116上可以形成第一多晶硅层122, 以及第一多晶硅层122可以填充第二开口118。在例子实施例中, 第一多晶硅层122可以通过低压化学气相淀积 (LPCVD) 来形成。可以通过杂质扩散工艺、离子注入工艺和就地掺杂工艺将杂质注入第一多晶硅层122。

当形成第一多晶硅层122时, 由于场绝缘图形116和第二开口的几何尺寸, 在第一多晶硅层122内可能形成具有几十埃宽度的空隙124。空隙124的尺寸和数目可以与第二开口118的高宽比成正比。空隙124可能损坏随后形成的浮栅的电性能。空隙124可以在第一方向中延伸。此外, 一般, 在第一方向中局部地布置多个空隙124。

图7是说明图5中的第二开口中形成的第一多晶硅图形的剖面图。

参考图7, 第一多晶硅层122可以被平整, 以在第二开口118中形成第一初步多晶硅图形126。第一多晶硅层122可以通过CMP工艺抛光, 直至场绝缘图形116的表面被露出, 以在第二开口118中形成第一初步多晶硅图形126。在第一初步多晶硅图形126的形成过程中, 该平面化可以露出第一多晶硅层122中的空隙124。露出的空隙124a可以具有“V”形剖面图, 以及具有约50至150Å的宽度。通过第一方向上的第一初步多晶硅图形126的上表面的中心部分可以断续地露出多个露出的空隙124a。

图8是说明图5中的第二开口中形成的第二多晶硅图形的剖面图。

在例子实施例中, 可以通过湿法刻蚀工艺部分地刻蚀第一初步多晶硅图形126, 以形成第二初步多晶硅图形128。刻蚀工艺可以增加露出空隙124a的尺寸, 产生具有约100至约300Å的平均宽度的凹部130。

湿法刻蚀工艺可以使用蚀刻液如标准的清洗液（SC-1）或新标准清洗液（NSC-1）。在刻蚀第一初步多晶硅图形126中产生的、残留在第一初步多晶硅图形126上的浆料以及副产物被除去。

NSC-1可以包括约3-10:1:60-200的摩尔比的 NH_4OH 、 H_2O_2 和 H_2O ，可以是约4:1:95的摩尔比。在示例性实施例中，可以在约70至约90°C的温度下，例如约80°C下执行该刻蚀工艺。

当第一初步多晶硅图形126被部分地刻蚀，以产生第二初步多晶硅图形128时，场绝缘图形116的表面也可能被部分地刻蚀。例如，如果在约70°C的温度下使用蚀刻剂如包括约1:4:20的摩尔比的 NH_4OH 、 H_2O_2 和 H_2O 的SC-1刻蚀第一初步多晶硅图形126，那么第一初步多晶硅图形126的多晶硅和第一绝缘图形116的氧化硅之间的刻蚀选择率约为5.5:1。换句话说，多晶硅的刻蚀速率可以约为8Å/min，以及氧化硅的刻蚀速率可以约为1.4Å/min。

选择性地，如果在约80°C的温度下，通过约4:1:95的摩尔比的 NH_4OH 、 H_2O_2 和 H_2O 的NSC-1刻蚀第一多晶硅图形126，那么第一初步多晶硅图形126和第一绝缘图形116的氧化硅之间的刻蚀选择率可以是约12.5:1。换句话说，多晶硅的刻蚀速率可以约为31.5Å/min，以及氧化硅的刻蚀速率可以约为2.5Å/min。

通过扩大露出的空隙124a有选择地形成的凹部130具有“U”形状，由此用如下所述的后续步骤形成的第二多晶硅层填充凹部130更容易。

当第一初步多晶硅图形126被刻蚀时，SC-1或NSC1的过氧化氢（ H_2O_2 ）和第一初步多晶硅图形126相互起反应，以在第二初步多晶硅图形128上形成包括氧化硅的副产物层（未示出）。副产物层可能损坏随后形成的浮栅的电性能。因此，可以通过使用稀释氢氟酸的湿法

刻蚀工艺来除去副产物层。

图9是说明在图8中的第二初步多晶硅图形上形成的第二多晶硅层的剖面图。

参考图9，在初步第二多晶硅图形128和场绝缘图形116上形成第二多晶硅层132。如图所示，第二多晶硅层132填充凹部130。形成第二多晶硅层132的方法可以基本上与形成第一多晶硅层122的方法相同。

如图9所示，为了用第二多晶硅层132填充凹部130，第二多晶硅层132可以具有不少于凹部130的平均宽度约0.5倍的厚度。例如，第二多晶硅层132可以具有约50Å至约200Å的厚度。

图10和11是说明图5中的第二开口中形成的第二多晶硅图形的剖面图。

参考图10，第二多晶硅层132可以被部分地除去，以形成多晶硅图形134，可以用作之后形成浮栅的部件。除填充凹部130的部分之外，第二多晶硅层132可以被除去，以形成多晶硅图形134。

参考图11，通过部分地除去第二多晶硅层132露出的多晶硅图形134的表面部分可以被连续地除去。多晶硅图形134的厚度可以根据浮栅的希望厚度来控制。

多晶硅图形134可以使用蚀刻剂，例如，SC-1和/或NSC-1来刻蚀。可以根据刻蚀时间控制用于部分地除去第二多晶硅层132和第二多晶硅图形134的刻蚀工艺，刻蚀时间对应于将被刻蚀的希望量。在示例性实施例中，希望的刻蚀量可以基本上等于或大于第二多晶硅层132的厚度。例如，希望的刻蚀量可以基本上等于或约大于1至50Å，大于

第二多晶硅层132的厚度。

图12是说明图11中的浮栅上形成的控制栅层和第二介质层的剖面图。

参考图12，为了增加半导体器件如快闪存储器的耦合比，可以通过例如各向异性刻蚀工艺或各向同性刻蚀工艺刻蚀在半导体衬底100的表面上突出的场绝缘图形116的上部，以部分地露出多晶硅图形134的侧壁。为了减小或防止第一介质层120被刻蚀场绝缘图形116中使用的蚀刻剂损坏，在场绝缘图形116的刻蚀过程中不应该需要露出第一介质层120。其间，可以根据刻蚀时间控制刻蚀工艺。例如，可以使用包括稀释的氢氟酸溶液的蚀刻剂除去场绝缘图形116的上部。

在场绝缘图形116和多晶硅图形134上可以形成第二介质层136。第二介质层136的例子可以包括具有氧化物/氮化物/氧化物（ONO）的复合介质层和/或具有高介电常数的介质层。复合介质层可以通过LPCVD工艺来形成。用于形成具有高介电常数的介质层的氧化物的例子包括 Y_2O_3 、 HfO_2 、 ZrO_2 、 Nb_2O_5 、 $BaTiO_3$ 和 $SrTiO_3$ 。这些氧化物可以单独使用或组合使用。此外，具有高介电常数的介质层可以通过原子层淀积（ALD）工艺或CVD工艺来形成。第二介质层136、多晶硅图形134和第一介质层120可以被连续地构图，以形成浮栅。

在第二介质层136上可以形成控制栅层142。控制栅层142可以包括第一导电层138、第二导电层140，第一导电层138包括掺杂的多晶硅，第二导电层140包括金属硅化物，例如，硅化钨（ WSi_x ）、硅化钛（ $TiSi_x$ ）、硅化钴（ $CoSi_x$ ）和/或硅化钽（ $TaSi_x$ ）。

控制栅层142可以通过刻蚀工艺构图，以在第二介质层136上形成在第二方向上延伸的控制栅（未示出），第二方向基本上垂直于第一方向。

选择性地，在栅极结构的两侧，杂质可以被注入半导体衬底100的有源区100b中，以形成源区/漏区（未示出），由此完成半导体器件，例如快闪存储器件。

在制造不超过90nm宽度的有源区的半导体器件中可以容易地采用本实施例的方法。此外，在制造具有超过约90nm宽度的有源区的半导体器件可以采用本实施例的方法。

图13至17是说明根据本发明的另一实施例制造半导体器件的方法的剖面图。

在本实施例中，可以执行与根据图1至5如上所述相同的工序步骤，以产生可以限定半导体衬底200的有源区202的场绝缘图形210，在跨越半导体衬底200的第一方向上延伸。如图13所示，场绝缘图形210可以具有位于半导体衬底200内的下部，以及在半导体衬底200上突出的上部。

可以用和图6中的第一介质层120和第一多晶硅层122相同的方法，在半导体衬底200上形成第一介质层212和第一多晶硅层。因此，如图13所示，可以通过化学机械抛光（CMP）工艺平整在场绝缘图形210和第一介质层212上形成的第一多晶硅层（未示出），以形成被场绝缘图形210和介质层212限定的第一初步多晶硅图形214。在半导体衬底200的有源区202上可以形成第一介质层212，第一介质层212可以包括氧化硅或低介电常数材料（或具有低介电常数的材料）。

在形成第一多晶硅层中可以产生第一初步多晶硅图形214的上部中的空隙216。

图14是说明图13中的第一介质层上形成的第二初步多晶硅图形的

剖面图。图15是说明图13中的第一介质层上形成的第三初步多晶硅图形的剖面图。

参考图14和15，第一初步多晶硅图形214的表面部分可以被除去，以形成露出空隙216a的第二初步多晶硅图形218。第二初步多晶硅图形218的表面部分被除去，以形成第三初步多晶硅图形222和凹部220。

在例子实施例中，使用SC-1溶液和/或NSC-1溶液顺序地刻蚀第二初步多晶硅图形218和第三初步多晶硅图形222。通过扩大露出的空隙216a形成凹部220。凹部220可以形成在对应于露出空隙216a的位置处。

露出的空隙216a可以具有约50至约150Å的宽度，以及凹部220可以具有约100至约300Å的平均宽度。

在形成凹部220的刻蚀工艺中通过SC-1溶液和/或NSC-1溶液中的过氧化氢（ H_2O_2 ）和多晶硅之间的反应形成的氧化硅层（未示出）可以被除去。例如，可以使用稀释的氢氟酸除去氧化硅层。

图16是说明在图15中的第三初步多晶硅图形上形成的第二多晶硅层的剖面图。图17是说明图15中的第三初步多晶硅图形上形成的多晶硅图形的剖面图。

参考图16和17，在第三初步多晶硅图形222上形成第二多晶硅层224，以填充凹部220。第二多晶硅层224可以具有不少于约凹部130的平均宽度的0.5倍的厚度。第二多晶硅层224，例如，可以具有约50至约200Å的厚度。

第二多晶硅层224可以被部分地除去，以形成将用作部分第一介质层212上的浮栅的多晶硅图形226。通过使用SC-1溶液和/或NSC-1溶液的湿法刻蚀工艺可以除去第二多晶硅层224。

选择性地，第二多晶硅层224和第三初步图形222可以被部分地和/或顺序地除去，以形成多晶硅图形226。

在形成多晶硅图形226之后，可以使用稀释的氢氟酸溶液部分地除去场绝缘图形210，以部分地露出多晶硅图形226的侧壁。在多晶硅图形226上顺序地形成第二介质层（未示出）和控制栅层（未示出）。控制栅层可以被构图，以形成在基本上垂直于多晶硅图形226的延伸方向的方向上延伸的控制栅。第二介质层、多晶硅图形226和第一介质层212可以被连续地构图，以露出半导体衬底的有源区202。在露出的有源区202上可以形成源区/漏区（未示出）。杂质可以被注入露出的有源区202中，以形成源区/漏区。

在此省略了与制造控制栅和源区/漏区相同的上述元件和步骤。

图18和22是说明根据本发明的另一示例性实施例制造半导体器件的方法的剖面图。

图18和19是说明在半导体衬底的有源区上形成的第一初步多晶硅图形和第一介质层的剖面图。

在该实施例，可以执行与上面根据图1至5所述相同的工序步骤，以产生形成在半导体衬底300上的场绝缘图形310。场绝缘图形310可以在跨越半导体衬底300的第一方向上延伸。在半导体衬底300中可以掩埋部分场绝缘图形310。半导体衬底300的有源区302可以被场绝缘图形310限定。

可以用和图6中的第一介质层120和第一多晶硅层122相同的方法，在半导体衬底300上形成第一介质层312和第一多晶硅层。在半导体衬底300上可以形成第一介质层312，例如氧化硅层。在第一介质层

312和场绝缘图形310上可以形成第一多晶硅层（未示出）。第一多晶硅层可以充分地填充被场绝缘图形310和第一介质层312限定的空间。

可以执行化学机械抛光（CMP）工艺，直至场绝缘图形310的上表面被露出，由此在第一介质层312上形成第一初步多晶硅图形314。同时，通过CMP工艺露出第一多晶硅层中的空隙316。

在此省略了如参考图1至7所示的形成第一初步多晶硅图形314的工序步骤。

在CMP工序之后，可以使用稀释的氢氟酸溶液部分地除去场绝缘图形310的上部，以部分地露出第一初步多晶硅图形314的侧壁。

图20是说明图18中的第一介质层上形成的第二初步多晶硅图形的剖面图。

参考图20，可以用SC-1溶液和/或NSC-1溶液的蚀刻剂扩大露出的空隙316，以形成第二初步多晶硅图形320和凹部318。凹部318可以具有“U”形截面，以及可以具有约100至约300Å的平均宽度。

可以通过使用稀释的氢氟酸溶液的湿法刻蚀工艺除去，在刻蚀第一初步多晶硅图形314中，通过过氧化氢（ H_2O_2 ）和第一初步多晶硅图形314之间的反应在第二初步多晶硅图形320上形成的副产物层，如氧化硅层。

选择性地，当在第一初步多晶硅图形314的上表面下布置空隙时，使用SC-1溶液和/或NSC-1溶液刻蚀需要的时间可以被控制，以通过第一初步多晶硅图形314的上表面露出空隙316。露出的空隙316可以被扩大，以形成凹部318。

图21是说明在图20中的第二初步多晶硅图形上形成的第二多晶硅层的剖面图。

参考图21，在第二初步多晶硅图形320和场绝缘图形310的上表面和侧壁上可以形成第二多晶硅层322。

如图21所示，在第二初步多晶硅图形320上可以形成第二多晶硅层322，以填充空隙316。第二多晶硅层322可以具有不少于约凹部318的平均宽度的0.5倍的厚度。例如，第二多晶硅层322可以具有约50至约200Å的厚度。

图22是说明图18中的第二介质层中形成的第二多晶硅图形的剖面图。

参考图22，第二多晶硅层322和第二初步多晶硅图形320的一部分可以被部分地除去，以形成多晶硅图形324。可以根据刻蚀时间控制形成多晶硅图形324的刻蚀工艺。在示例性实施例中，希望的厚度可以不少于第二多晶硅层322的厚度。因此，场绝缘图形310上的部分第二多晶硅层322可以被完全地除去。

在多晶硅图形324上可以顺序地形成第二介质层（未示出）和控制栅层（未示出）。控制栅层可以被构图，以形成在垂直于第一方向的第二方向上延伸的控制栅。第二介质层、多晶硅图形324和第一介质层312可以被连续地构图，以露出半导体衬底300的有源区302。在露出的有源区302的两侧上可以形成源区/漏区（未示出）。

如上所述，在制造包括具有不超过约90nm宽度的有源区的半导体器件中，可以采用根据例子实施例制造半导体器件的方法。

根据本发明的例子实施例，在具有浮栅的半导体器件的制造过程

中产生的空隙可以被除去。因此，浮栅上的第二介质层可以具有改进的绝缘击穿电压性能和/或漏电流性能。同时，可以增加电容器的耦合比。

此外，在制造包括具有不超过约90nm宽度的有源区的半导体器件中可以有效地采用形成本发明的例子实施例的方法。

上文是本发明的例子实施例的说明以及不允许认为是其限制。尽管已经描述了本发明的例子实施例，但是所属领域的技术人员将容易地理解在不显著地脱离本发明的新颖性教导和优点的条件下，例子实施例的许多改进是可能的。由此，所有这种改进确定为包括在权利要求限定的本发明的范围内。因此，应当理解上文是本发明的说明以及不允许认为是限于公开的特定实施例，以及对公开例子实施例以及其他实施例的改进确定为包括在附加的权利要求的范围内。

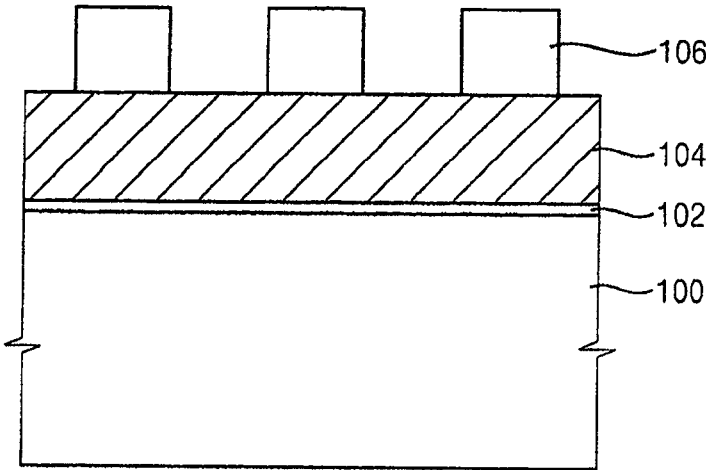


图1

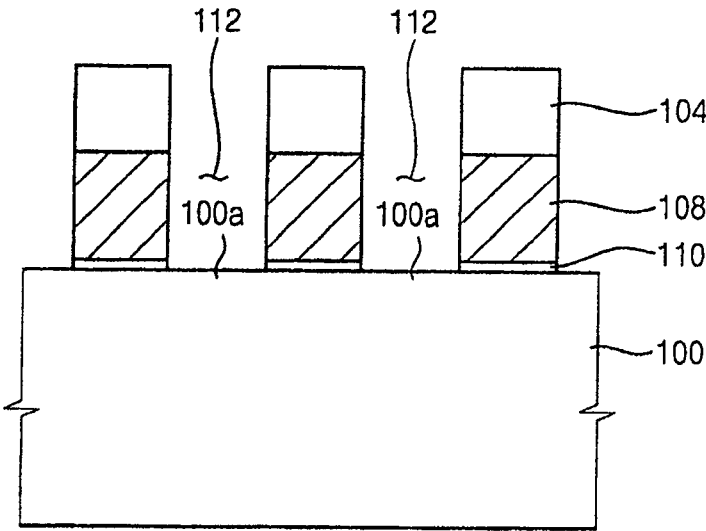


图2

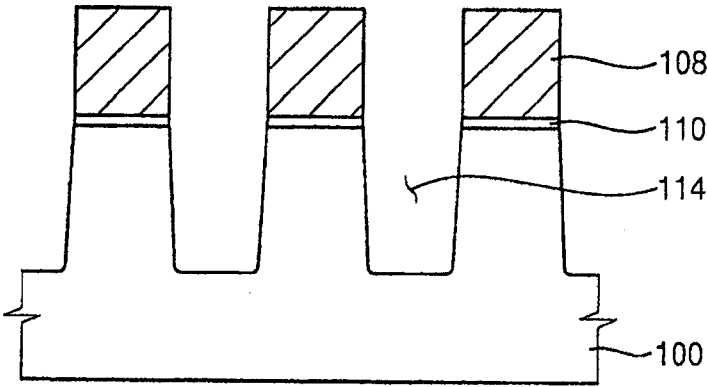


图3

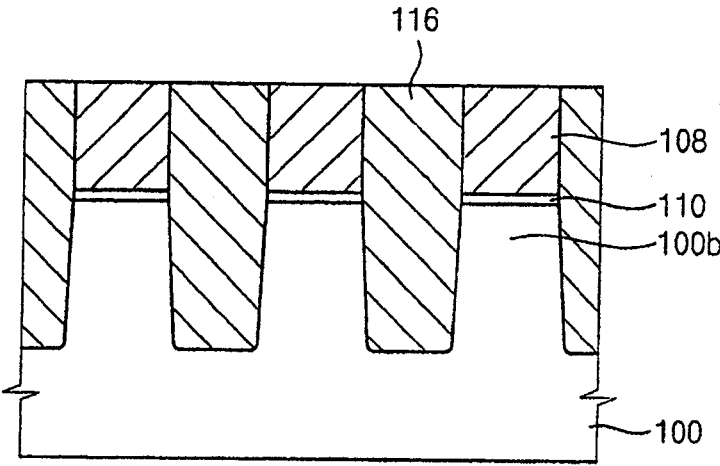


图4

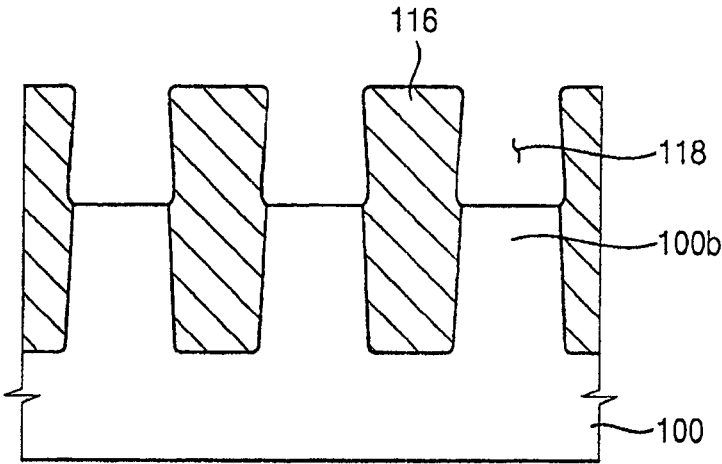


图5

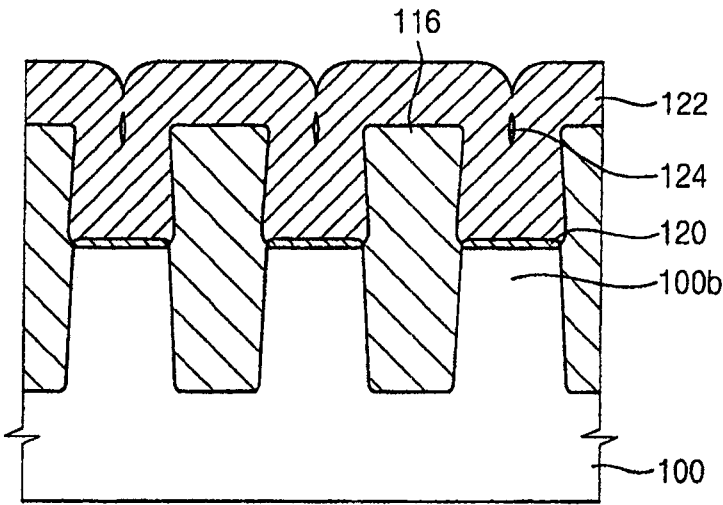


图6

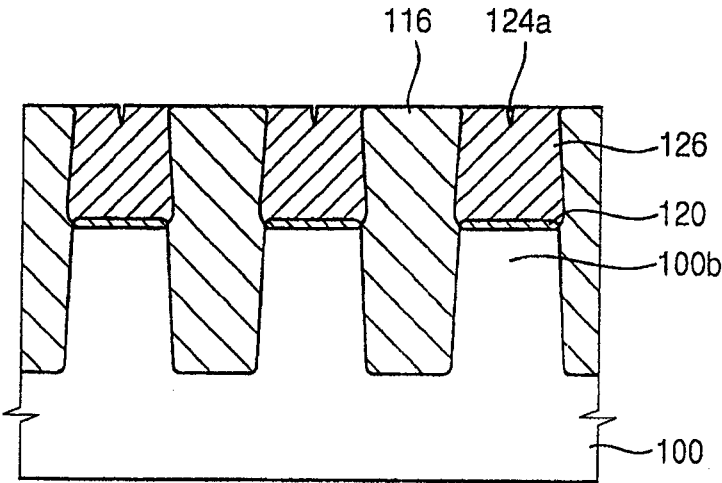


图7

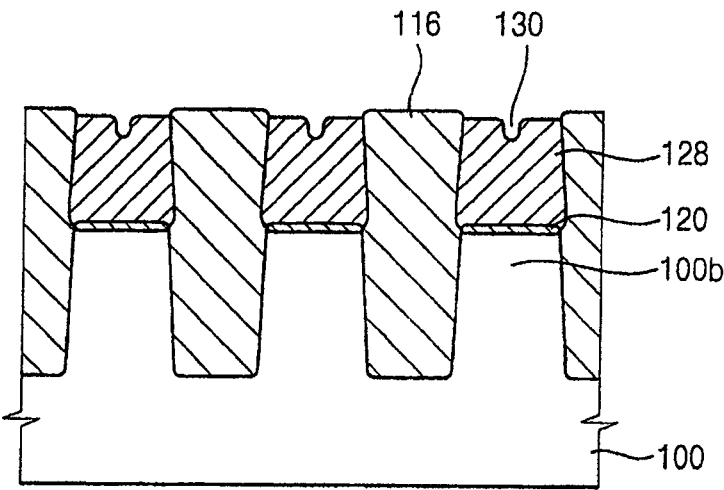


图8

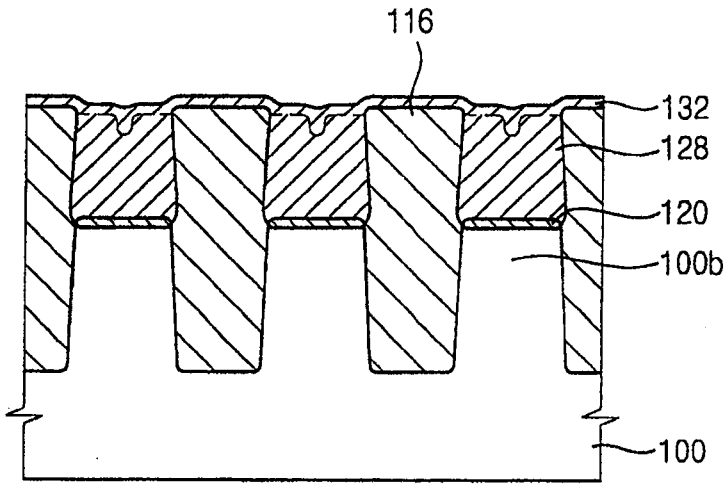


图9

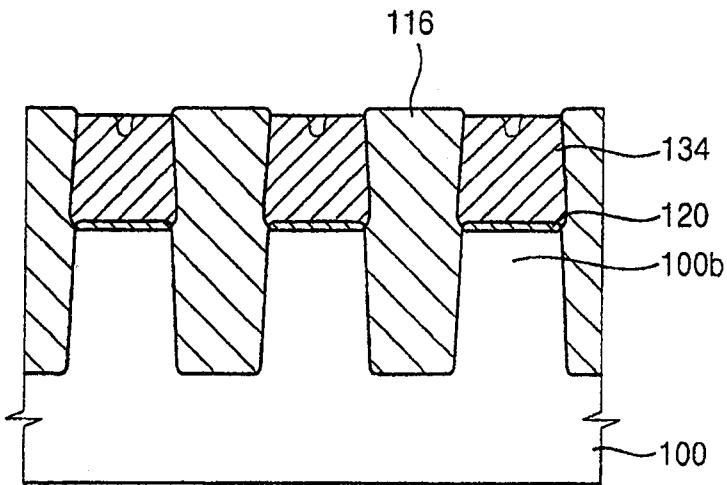


图10

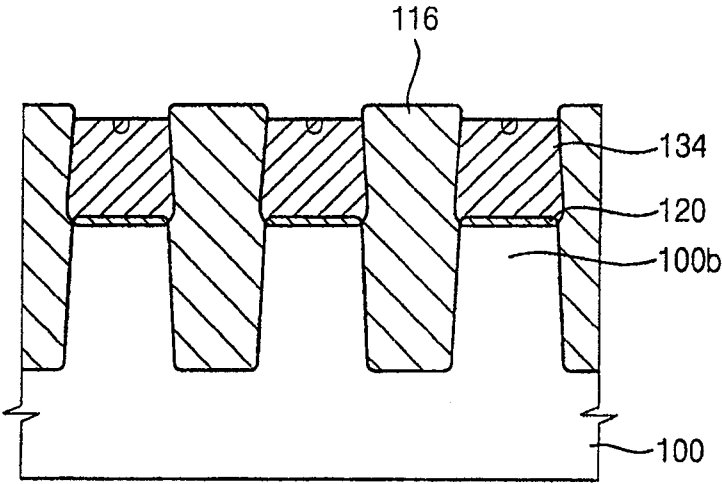


图11

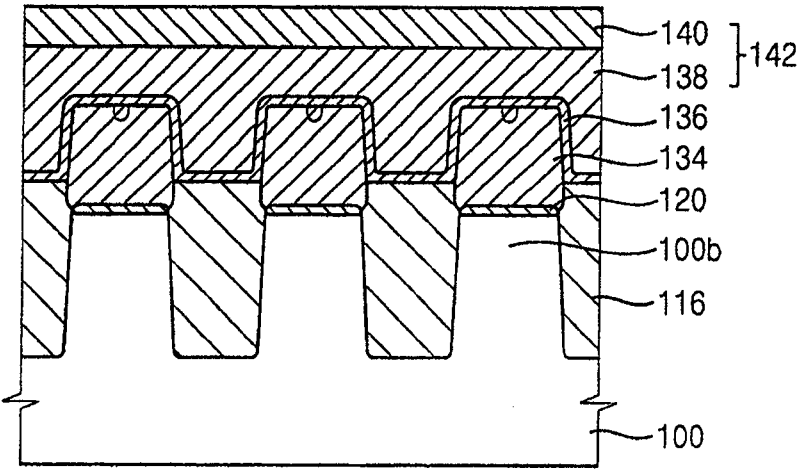


图12

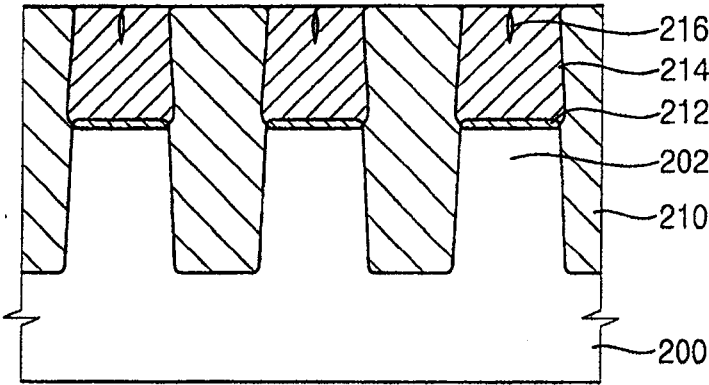


图13

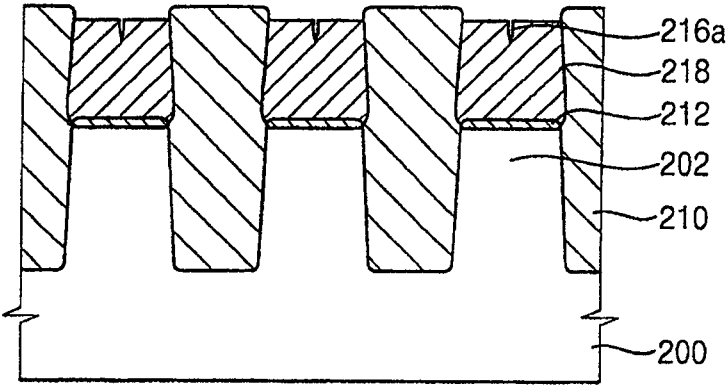


图14

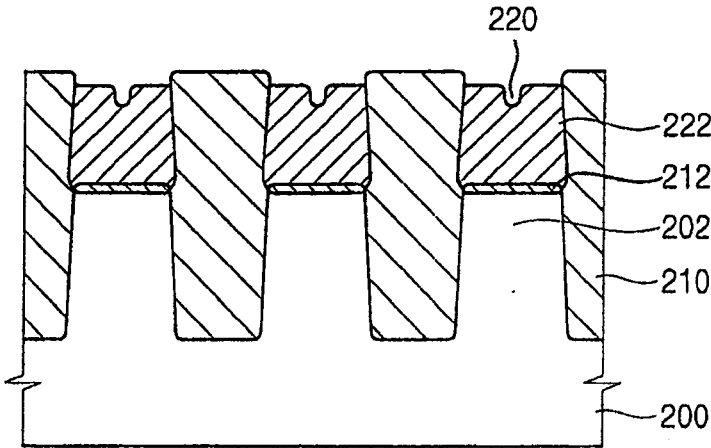


图15

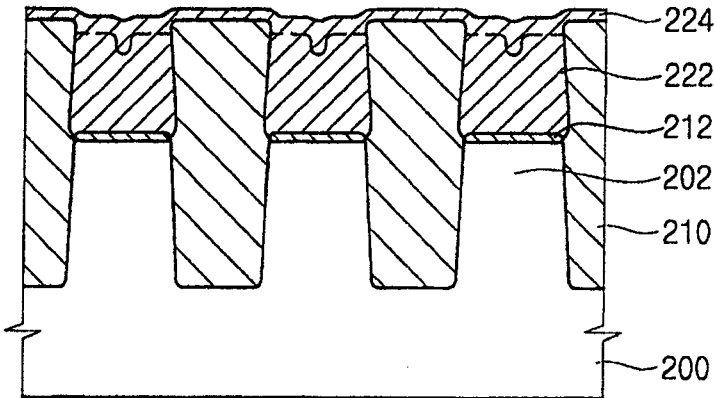


图16

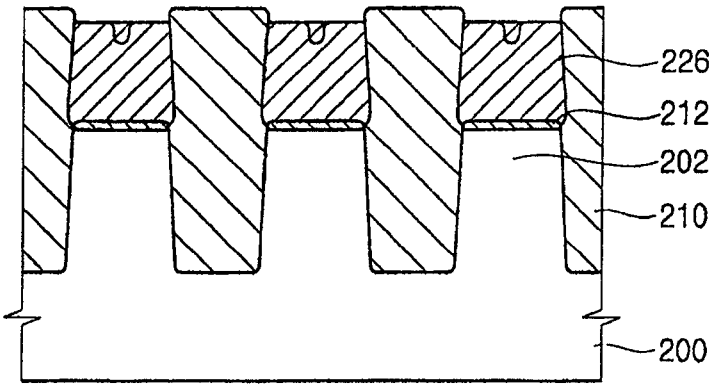


图17

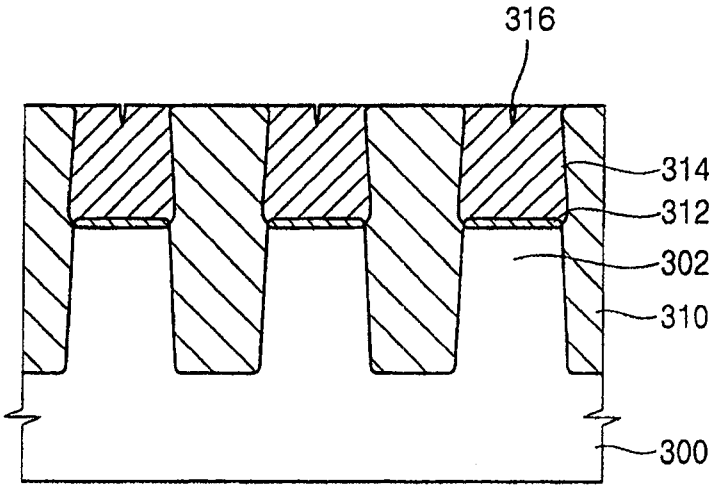


图18

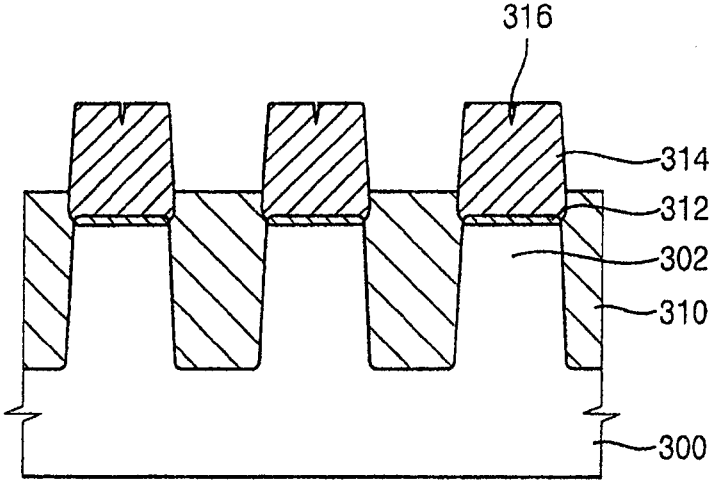


图19

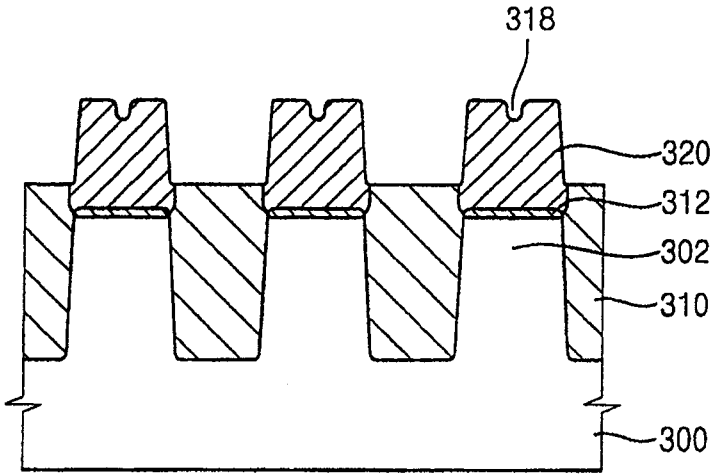


图20

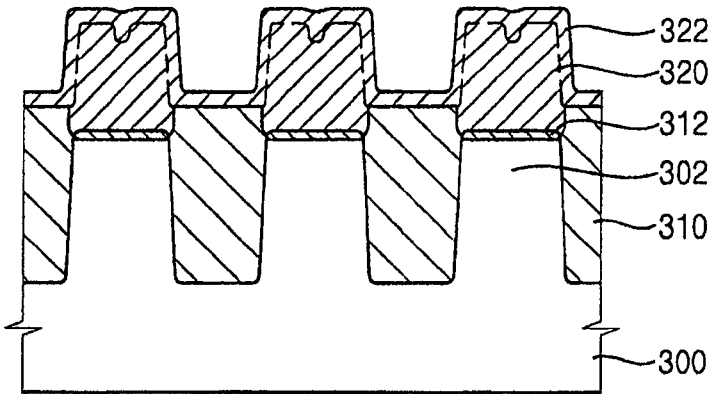


图21

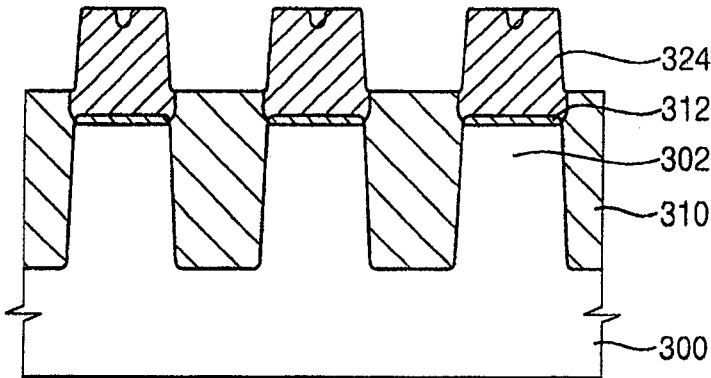


图22