

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3634465号

(P3634465)

(45) 発行日 平成17年3月30日(2005.3.30)

(24) 登録日 平成17年1月7日(2005.1.7)

(51) Int.Cl.⁷

F I

H O 4 L 12/28

H O 4 L 11/20

E

H O 4 L 12/28

H O 4 M 3/00

B

H O 4 L 12/56

H O 4 M 3/26

G

H O 4 M 3/00

H O 4 Q 3/00

H O 4 M 3/26

H O 4 L 11/12

請求項の数 27 (全 544 頁) 最終頁に続く

(21) 出願番号 特願平7-261346
 (22) 出願日 平成7年8月22日(1995.8.22)
 (65) 公開番号 特開平8-214002
 (43) 公開日 平成8年8月20日(1996.8.20)
 審査請求日 平成14年8月15日(2002.8.15)
 (31) 優先権主張番号 特願平6-255120
 (32) 優先日 平成6年8月22日(1994.8.22)
 (33) 優先権主張国 日本国(JP)

(73) 特許権者 000005223
 富士通株式会社
 神奈川県川崎市中原区上小田中4丁目1番
 1号
 (74) 代理人 100074099
 弁理士 大菅 義之
 (74) 代理人 100067987
 弁理士 久木元 彰
 (72) 発明者 小林 靖
 神奈川県川崎市中原区上小田中1015番
 地 富士通株式会社内
 (72) 発明者 渡部 良浩
 神奈川県川崎市中原区上小田中1015番
 地 富士通株式会社内

最終頁に続く

(54) 【発明の名称】 コネクションレス通信システムとその試験方法、及び局内制御方式

(57) 【特許請求の範囲】

【請求項1】

交換機の動作を制御する制御プロセッサと交換機内の装置である局内装置との間の制御情報の通信を制御する局内制御装置であって、
 前記制御情報をリンクアクセスプロトコルのデータフォーマットに従って通信する局内制御通信手段を、前記制御プロセッサ側及び前記局内装置側に有し、
 前記局内制御通信手段は、前記制御情報のデータフォーマットを、前記リンクアクセスプロトコルのデータフォーマットと前記交換機が処理できるデータフォーマットとの間で変換し、前記制御情報は前記交換機内のスイッチを経由して通信され、
 前記局内制御通信手段は、前記制御情報のデータフォーマットを前記交換機が処理するデータフォーマットに変換した後、該制御情報に前記交換機内のスイッチが識別でき、かつ該制御情報が受信側の前記局内制御通信手段にルーティングされるようなルーティング情報を付加し、前記交換機内のスイッチに向けて送出する、
 ことを特徴とする局内制御装置。

【請求項2】

前記局内装置は、受信したデータが加入者データであるか前記制御情報であることを識別する識別手段を含み、
 前記局内装置は、前記識別手段が前記加入者データを受信したと識別した場合には、受信した前記加入者データには該加入者データが宛先のルートにルーティングされるようなルーティング情報を付加し、前記識別手段が前記制御情報を受信したと識別した場合には、

10

20

受信した前記制御情報には該制御情報が受信側の前記局内制御通信手段にルーティングされるようなルーティング情報を付加して、前記交換機内のスイッチに向けて送出する、ことを特徴とする請求項 1 に記載の局内制御装置。

【請求項 3】

端末装置とセル交換を行う交換機内の制御装置との間で通信される制御情報用セルの転送を制御する局内制御装置であって、

前記端末装置と前記交換機内の制御装置との間で通信される制御情報用セルに格納される制御情報を、前記交換機内の記憶装置に対して直接書き込み又は読み出すダイレクトメモリアクセス手段を有し、

前記制御情報用セルは、前記ダイレクトメモリアクセス手段が処理するためのコマンドコード及びアドレスデータを含む、

ことを特徴とする局内制御装置。

10

【請求項 4】

端末装置とセル交換を行う交換機内の制御装置との間で通信される制御情報用セルの転送を制御する局内制御装置であって、

前記端末装置と前記交換機内の制御装置との間で通信される制御情報用セルに格納される制御情報を、前記交換機内の記憶装置に対して直接書き込み又は読み出すダイレクトメモリアクセス手段を有し、

前記制御情報用セルには、前記交換機内のスイッチが識別でき、かつ前記制御情報用セルが前記ダイレクトメモリアクセス手段又は前記端末装置が収容される方路にルーティング

20

されるようなルーティング情報が付与される、

ことを特徴とする局内制御装置。

【請求項 5】

端末装置とセル交換を行う交換機内の制御装置との間で通信される制御情報用セルの転送を制御する局内制御装置であって、

前記端末装置と前記交換機内の制御装置との間で通信される制御情報用セルに格納される制御情報を、前記交換機内の記憶装置に対して直接書き込み又は読み出すダイレクトメモリアクセス手段を有し、

前記交換機の入力ハイウェイに接続される 1 つの多重回路に、前記ダイレクトメモリアクセス手段の出力が接続される、

30

ことを特徴とする局内制御装置。

【請求項 6】

セル交換を行う交換機の試験を行う局内制御装置であって、

前記交換機内に、試験セルの送出、該試験セルのループバック、及び該試験セルの受信を行うソフトウェアを実行するソフトウェア実行手段と、

前記ソフトウェア実行手段が実行するソフトウェアによって生成された前記試験セルを、前記交換機が含まれる交換網における局間のデータ交換を行う局間接続装置に直接挿入又は該局間接続装置から直接抽出することにより前記交換網内の局間ループバック試験を行う試験セル挿入／抽出手段、

を有することを特徴とする局内制御装置。

40

【請求項 7】

前記試験セルには該試験セルの往路及び復路を指定する情報が格納され、前記ソフトウェア実行手段が実行するソフトウェアは、前記試験セルに格納されている該試験セルの往路及び復路を指定する情報に基づいて、前記交換網内の局間ループバック試験を行う、ことを特徴とする請求項 6 に記載の局内制御装置。

【請求項 8】

前記試験セルには該試験セルの発局電番及び着局電番を指定する情報が格納され、前記ソフトウェア実行手段が実行するソフトウェアは、前記試験セルに格納されている該試験セルの発局電番及び着局電番を指定する情報に基づいて、前記交換網内の局間ループバック試験を行う、

50

ことを特徴とする請求項 6 に記載の局内制御装置。

【請求項 9】

セル交換を行う交換機の試験を行う局内制御装置であって、
前記交換機内に、試験セルの送出、該試験セルのループバック、及び該試験セルの受信を行うソフトウェアを実行するソフトウェア実行手段を有し、
着局側の前記ソフトウェア実行手段が実行するソフトウェアは、前記試験セルが着信したことを自律メッセージによって保守者に通知することによりループバック試験実行中の確認を表示する、
ことを特徴とする局内制御装置。

【請求項 10】

ディジタル信号レベル 3 フォーマットである DS3 フォーマットにインタフェースされる物理レイヤコンバージェンスプロトコルである PLCP におけるトレイラの制御を行う局内制御方法であって、
パターン内の 1 番目の PLCP マルチフレームのトレイラ長が 13 ニブル、パターン内の 2 番目の PLCP マルチフレームのトレイラ長が 14 ニブル、パターン内の 3 番目の PLCP マルチフレームのトレイラ長が 13 又は 14 ニブルとなる、トレイラ長が 3 フレーム周期で変化するパターンを有する PLCP マルチフレームに対する制御を、前記パターン内の 3 番目の PLCP マルチフレームのトレイラ長を、85 パターンの N 倍（N は 1 以上の整数）の固定周期で変化させ、その固定周期のなかに前記 3 番目の PLCP マルチフレームのトレイラ長が 13 ニブルになるパターンが $29 \times N$ 回、前記 3 番目の PLCP マルチフレームのトレイラ長が 14 ニブルになるパターンが $56 \times N$ 回配置されるように、前記 PLCP マルチフレームを送出する、
ことを特徴とする局内制御方法。

【請求項 11】

ディジタル信号レベル 3 フォーマットである DS3 フォーマットにインタフェースされる物理レイヤコンバージェンスプロトコルである PLCP におけるトレイラの制御を行う局内制御方法であって、
パターン内の 1 番目の PLCP マルチフレームのトレイラ長が 13 ニブル、パターン内の 2 番目の PLCP マルチフレームのトレイラ長が 14 ニブル、パターン内の 3 番目の PLCP マルチフレームのトレイラ長が 13 又は 14 ニブルとなる、トレイラ長が 3 フレーム周期で変化するパターンを有する PLCP マルチフレームに対する制御を、前記パターン内の 3 番目の PLCP マルチフレームのトレイラ長を、85 パターンの固定周期で変化させ、該固定周期を、前記 3 番目の PLCP マルチフレームのトレイラ長が 13 ニブルになるパターン 1 回と、前記 3 番目の PLCP マルチフレームのトレイラ長が 14 ニブルになるパターン 2 回の計 3 パターンで構成されるサブセットの 28 回の繰り返しと、前記 3 番目の PLCP マルチフレームのトレイラ長が 13 ニブルになるパターン 1 回で構成する、
ことを特徴とする局内制御方法。

【請求項 12】

交換機内の通話路系装置である局内装置における回線の接続状態を制御する局内制御装置であって、
加入者が使用する回線とその回線を処理する局内装置との関係を記憶する第 1 の記憶手段と、
所定の局内装置についてそれが処理する回線の接続切替えの条件が満たされた場合に、前記第 1 の記憶手段をアクセスすることにより、前記所定の局内装置が処理する回線を検出する回線検出手段と、
該回線検出手段が検出した回線を前記所定の局内装置から切り離し、その後、前記検出した回線を収容可能な他の前記局内装置を検出し、それに前記検出した回線を接続し直し、その接続結果に基づいて前記第 1 の記憶手段の記憶内容を更新する回線接続制御手段と、
を有することを特徴とする局内制御装置。

【請求項 13】

前記所定の局内装置についてそれが処理する回線の接続切替えの条件が満たされる場合とは、前記所定の局内装置において障害が検出された場合である、
ことを特徴とする請求項 1 2 に記載の局内制御装置。

【請求項 1 4】

前記所定の局内装置についてそれが処理する回線の接続切替えの条件が満たされる場合とは、前記所定の局内装置についてそれが処理する回線の接続切替えを要求するコマンドが発行された場合である、

ことを特徴とする請求項 1 2 に記載の局内制御装置。

【請求項 1 5】

交換機内の通話路系装置である局内装置における回線の接続状態を制御する局内制御装置 10
であって、

加入者が使用する回線とその回線を処理する前記局内装置との関係を記憶する第 1 の記憶手段と、

所定の局内装置において障害が検出された場合に、前記第 1 の記憶手段をアクセスすることにより、前記障害が検出された局内装置が処理する回線を検出し出力する回線検出手段と、

を有することを特徴とする局内制御装置。

【請求項 1 6】

前記第 1 の記憶手段は、前記加入者が使用する回線とその回線を処理する局内装置との関係と共に、その回線に対する接続切替えの優先処理を指示する優先情報を記憶し、 20

前記回線検出手段は、前記所定の局内装置が処理する回線のうち前記優先処理を指示する優先情報が記憶されているものを優先的に検出する、

ことを特徴とする請求項 1 2 または 1 5 に記載の局内制御装置。

【請求項 1 7】

交換機内又は該交換機と遠隔集線装置間の回線の接続状態を制御する局内制御装置であって、

1 つの前記回線において障害が検出された場合に、該障害が検出された回線上の障害帯域の値と、各障害が検出されていない回線上の空き帯域の合計値とを比較する帯域比較手段と、

該帯域比較手段による比較の結果、前記障害が検出された回線上の障害帯域の値が何れかの前記障害が検出されていない回線上の空き帯域の合計値以下である場合に、前記障害が検出された回線上の障害帯域を、前記障害が検出されていない回線上の空き帯域に再割り付けする再割り付け手段と、 30

を有することを特徴とする局内制御装置。

【請求項 1 8】

前記再割り付け手段が前記障害が検出された回線上の障害帯域を前記障害が検出されていない回線上の空き帯域に再割り付けしている間に、前記障害帯域を使用して通信されている情報をバッファリングする第 1 のバッファ手段を更に有する、

ことを特徴とする請求項 1 7 に記載の局内制御装置。

【請求項 1 9】

前記帯域比較手段による比較の結果、前記障害が検出された回線上の障害帯域の値が何れかの前記障害が検出されていない回線上の空き帯域の合計値よりも大きい場合に、前記障害が検出された回線を予備回線に切り替える回線切替え手段を更に有する、

ことを特徴とする請求項 1 7 に記載の局内制御装置。

【請求項 2 0】

前記回線切替え手段が前記障害が検出された回線を予備回線に切り替えている間に、前記障害回線を使用して通信されている情報をバッファリングする第 2 のバッファ手段を更に有する、

ことを特徴とする請求項 1 9 に記載の局内制御装置。

【請求項 2 1】

前記再割り付け手段は、前記障害が検出された回線上の障害帯域のうち、優先順位の高い情報が付加される情報が通信されている帯域から順に、前記障害が検出されていない回線上の空き帯域に再割り付けする、

ことを特徴とする請求項 17 に記載の局内制御装置。

【請求項 22】

前記再割り付け手段は、前記障害が検出された回線上の障害帯域のうち、優先順位の高いサービスが割当てられている帯域から順に、前記障害が検出されていない回線上の空き帯域に再割り付けする、

ことを特徴とする請求項 17 に記載の局内制御装置。

【請求項 23】

パスを識別するためのパス識別子を含む固定長のデータであるセルをそれに付加されたルート情報に従って自立的に交換する第 1 の交換機と該第 1 の交換機に接続される第 2 の交換機とにおけるパスの接続状態を制御する局内制御装置であって、

前記第 1 の交換機内に設けられ、前記第 2 の交換機に向かって入力ルート上の 1 つのパスから前記第 1 の交換機に入力する第 1 のセルに付加されている入力パス識別子のそれぞれに対応させて、前記第 1 の交換機から前記第 2 の交換機に向かう中継ルート上の 1 つのパスを示す出力パス識別子と、前記第 1 のセルが前記第 1 の交換機内で前記中継ルートに自立的にルーティングされるためのルート情報とを記憶する第 1 のパス制御情報記憶手段と、

前記第 1 の交換機内に設けられ、前記第 1 のパス制御情報記憶手段を参照することにより、前記第 1 のセルに付加されている入力パス識別子をそれに対応する出力パス識別子に付け替えると共に、前記第 1 のセルに前記ルート情報を付加する第 1 のパス制御手段と、前記第 2 の交換機内に設けられ、前記中継ルート上の 1 つのパスから入力する第 2 のセルに付加されている入力パス識別子のそれぞれに対応させて、前記第 2 の交換機から出力される出力ルート上の 1 つのパスを示す出力パス識別子と、前記第 2 のセルが前記第 2 の交換機内で前記出力ルートに自立的にルーティングされるためのルート情報とを記憶する第 2 のパス制御情報記憶手段と、

前記第 2 の交換機内に設けられ、前記第 2 のパス制御情報記憶手段を参照することにより、前記第 2 のセルに付加されている入力パス識別子をそれに対応する出力パス識別子に付け替えると共に、前記第 2 のセルに前記ルート情報を付加する第 2 のパス制御手段と、

所定の入力ルート上の 1 つのパスと所定の出力ルート上の 1 つのパスの接続時に、それらを結ぶパスであって通常用の中継ルート上の 1 つのパスと予備用の中継ルート上の 1 つのパスを決定し、前記第 1 のパス制御情報記憶手段に、前記所定の入力ルート上の 1 つのパスに対応する入力パス識別子に対応させて、前記通常用の中継ルート上の 1 つのパスを示す出力パス識別子と、前記通常用の中継ルートへのルーティングを指示するルート情報とを書き込み、前記第 2 のパス制御情報記憶手段に、前記通常用の中継ルート上の 1 つのパスに対応する入力パス識別子に対応させて、前記所定の出力ルート上の 1 つのパスを示す出力パス識別子と、前記所定の出力ルートへのルーティングを指示するルート情報を書き込むと共に、前記予備用の中継ルート上の 1 つのパスに対応する入力パス識別子に対応させて、前記所定の出力ルート上の 1 つのパスを示す出力パス識別子と、前記所定の出力ル

ートへのルーティングを指示するルート情報を書き込むパス接続制御手段と、前記所定の入力ルート上の 1 つのパスと所定の出力ルート上の 1 つのパスを結ぶパスに障害が検出された場合に、前記第 1 のパス制御情報記憶手段で、前記所定の入力ルート上の 1 つのパスに対応する入力パス識別子に対応させられて記憶されている、前記通常用の中継ルート上の 1 つのパスを示す出力パス識別子と、前記通常用の中継ルートへのルーティングを指示するルート情報とを、前記予備用の中継ルート上の 1 つのパスを示す出力パス識別子と、前記予備用の中継ルートへのルーティングを指示するルート情報とに書き替えるパス張り替え制御手段と、

を有することを特徴とする局内制御装置。

【請求項 24】

10

20

30

40

50

パスを識別するためのパス識別子を含む固定長のデータであるセルをそれに付加されたルート情報に従って自立的に交換する第1の交換機と該第1の交換機に接続される第2の交換機とにおけるパスの接続状態を制御する局内制御装置であって、

前記第1の交換機内に設けられ、前記第2の交換機に向かって入力ルート上の1つのパスから前記第1の交換機に入力する第1のセルに付加されている入力パス識別子のそれぞれに対応させて、前記第1の交換機から前記第2の交換機に向かう中継ルート上の1つのパスを示す出力パス識別子と、前記第1のセルが前記第1の交換機内で前記中継ルートに自立的にルーティングされるためのルート情報とを記憶する第1のパス制御情報記憶手段と、

前記第1の交換機内に設けられ、前記第1のパス制御情報記憶手段を参照することにより、前記第1のセルに付加されている入力パス識別子をそれに対応する出力パス識別子に付け替えると共に、前記第1のセルに前記ルート情報を付加する第1のパス制御手段と、前記第2の交換機内に設けられ、前記中継ルート上の1つのパスから入力する第2のセルに付加されている入力パス識別子のそれぞれに対応させて、前記第2の交換機から出力される出力ルート上の1つのパスを示す出力パス識別子と、前記第2のセルが前記第2の交換機内で前記出力ルートに自立的にルーティングされるためのルート情報とを記憶する第2のパス制御情報記憶手段と、

前記第2の交換機内に設けられ、前記第2のパス制御情報記憶手段を参照することにより、前記第2のセルに付加されている入力パス識別子をそれに対応する出力パス識別子に付け替えると共に、前記第2のセルに前記ルート情報を付加する第2のパス制御手段と、所定の入力ルート上の1つのパスと所定の出力ルート上の1つのパスの接続時に、それらを結ぶパスであって通常用の中継ルート上の1つのパスと予備用の中継ルート上の1つのパスを決定し、前記第1のパス制御情報記憶手段に、前記所定の入力ルート上の1つのパスに対応する入力パス識別子に対応させて、前記通常用の中継ルート上の1つのパスを示す出力パス識別子と前記通常用の中継ルートへのルーティングを指示するルート情報とからなる通常用パス制御情報と、前記予備用の中継ルート上の1つのパスを示す出力パス識別子と前記予備用の中継ルートへのルーティングを指示するルート情報とからなる予備用パス制御情報と、前記第1のパス制御手段に前記通常用パス制御情報を選択させるための選択情報とを書き込み、前記第2のパス制御情報記憶手段に、前記通常用の中継ルート上の1つのパスに対応する入力パス識別子に対応させて、前記所定の出力ルート上の1つのパスを示す出力パス識別子と、前記所定の出力ルートへのルーティングを指示するルート情報を書き込むパス接続制御手段と、前記所定の入力ルート上の1つのパスと所定の出力ルート上の1つのパスを結ぶパスに障害が検出された場合に、前記第1のパス制御情報記憶手段で、前記所定の入力ルート上の1つのパスに対応する入力パス識別子に対応させられて記憶されている、前記第1のパス制御手段に前記通常用パス制御情報を選択させるための選択情報を、前記第1のパス制御手段に前記予備用パス制御情報を選択させるための選択情報に書き替えるパス張り替え制御手段と、

を有することを特徴とする局内制御装置。

【請求項25】

パスを識別するためのパス識別子を含む固定長のデータであるセルをそれに付加されたルート情報に従って自立的に交換する第1の交換機と該第1の交換機に接続される第2の交換機とにおけるパスの接続状態を制御する局内制御装置であって、

前記第1の交換機内に設けられ、前記第2の交換機に向かって入力ルート上の1つのパスから前記第1の交換機に入力する第1のセルに付加されている入力パス識別子のそれぞれに対応させて、前記第1の交換機から前記第2の交換機に向かう中継ルート上の1つのパスを示す出力パス識別子と、前記第1のセルが前記第1の交換機内で前記中継ルートに自立的にルーティングされるためのルート情報とを記憶する第1のパス制御情報記憶手段と

10

20

30

40

50

、
前記第 1 の交換機内に設けられ、前記第 1 のパス制御情報記憶手段を参照することにより、前記第 1 のセルに付加されている入力パス識別子をそれに対応する出力パス識別子に付け替えると共に、前記第 1 のセルに前記ルート情報を付加する第 1 のパス制御手段と、
前記第 2 の交換機内に設けられ、通常用の中継ルート上の 1 つのパスから入力する第 2 のセルに付加されている入力パス識別子のそれぞれに対応させて、前記第 2 の交換機から出力される出力ルート上の 1 つのパスを示す出力パス識別子と、前記第 2 のセルが前記第 2 の交換機内で前記出力ルートに自立的にルーティングされるためのルート情報とを記憶する第 2 のパス制御情報記憶手段と、
前記第 2 の交換機内に設けられ、前記第 2 のパス制御情報記憶手段を参照することにより 10
、前記第 2 のセルに付加されている入力パス識別子をそれに対応する出力パス識別子に付け替えると共に、前記第 2 のセルに前記ルート情報を付加する第 2 のパス制御手段と、
前記第 2 の交換機内に設けられ、予備用の中継ルート上の 1 つのパスから入力する第 3 のセルに付加されている入力パス識別子のそれぞれに対応させて、前記第 2 の交換機から出力される出力ルート上の 1 つのパスを示す出力パス識別子と、前記第 3 のセルが前記第 2 の交換機内で前記出力ルートに自立的にルーティングされるためのルート情報とを記憶する第 3 のパス制御情報記憶手段と、
前記第 2 の交換機内に設けられ、前記第 3 のパス制御情報記憶手段を参照することにより 20
、前記第 3 のセルに付加されている入力パス識別子をそれに対応する出力パス識別子に付け替えると共に、前記第 3 のセルに前記ルート情報を付加する第 3 のパス制御手段と、
所定の入力ルート上の 1 つのパスと所定の出力ルート上の 1 つのパスの接続時に、それらを結ぶパスであって前記通常用の中継ルート上の 1 つのパスを決定し、前記第 1 のパス制御情報記憶手段に、前記所定の入力ルート上の 1 つのパスに対応する入力パス識別子に対応させて、前記通常用の中継ルート上の 1 つのパスを示す出力パス識別子と、前記通常用の中継ルートへのルーティングを指示するルート情報とを書き込み、前記第 2 のパス制御情報記憶手段に、前記通常用の中継ルート上の 1 つのパスに対応する入力パス識別子に対応させて、前記所定の出力ルート上の 1 つのパスを示す出力パス識別子と、前記所定の出力ルートへのルーティングを指示するルート情報を書き込むパス接続制御手段と、
前記所定の入力ルート上の 1 つのパスと所定の出力ルート上の 1 つのパスを結ぶパスに障害が検出された場合に、前記第 1 のパス制御情報記憶手段で、前記所定の入力ルート上の 30
1 つのパスに対応する入力パス識別子に対応させられて記憶されている、前記通常用の中継ルート上の 1 つのパスを示す出力パス識別子はそのまま変更せず、前記通常用の中継ルートへのルーティングを指示するルート情報のみを、前記予備用の中継ルートへのルーティングを指示するルート情報に書き替えると共に、前記第 2 のパス制御情報記憶手段で、前記通常用の中継ルート上の 1 つのパスに対応する入力パス識別子に対応させられて記憶されている、前記所定の出力ルート上の 1 つのパスを示す出力パス識別子と、前記所定の出力ルートへのルーティングを指示するルート情報とを、それらが前記第 3 のパス制御情報記憶手段で前記通常用の中継ルート上の 1 つのパスに対応する入力パス識別子に対応させられて記憶されるように、前記第 3 のパス制御情報記憶手段にコピーするパス張り替え制御手段と、 40
を有することを特徴とする局内制御装置。

【請求項 26】

パスを識別するためのパス識別子を含む固定長のデータであるセルをそれに付加されたルート情報に従って自立的に交換する第 1 の交換機と該第 1 の交換機に接続される第 2 の交換機とにおけるパスの接続状態を制御する局内制御装置であって、
前記第 1 の交換機内に設けられ、前記第 2 の交換機に向かって入力ルート上の 1 つのパスから前記第 1 の交換機に入力する第 1 のセルに付加されている入力パス識別子のそれぞれに対応させて、前記第 1 の交換機から前記第 2 の交換機に向かう中継ルート上の 1 つのパスを示す出力パス識別子と、前記第 1 のセルが前記第 1 の交換機内で前記中継ルートに自立的にルーティングされるためのルート情報とを記憶する第 1 のパス制御情報記憶手段と 50

、
前記第 1 の交換機内に設けられ、前記第 1 のパス制御情報記憶手段を参照することにより、前記第 1 のセルに付加されている入力パス識別子をそれに対応する出力パス識別子に付け替えると共に、前記第 1 のセルに前記ルート情報を付加する第 1 のパス制御手段と、
前記第 2 の交換機内に設けられ、通常用の中継ルート上の 1 つのパスから入力する第 2 のセルに付加されている入力パス識別子のそれぞれに対応させて、前記第 2 の交換機から出力される出力ルート上の 1 つのパスを示す出力パス識別子と、前記第 2 のセルが前記第 2 の交換機内で前記出力ルートに自立的にルーティングされるためのルート情報とを記憶する第 2 のパス制御情報記憶手段と、

前記第 2 の交換機内に設けられ、予備用の中継ルート上の 1 つのパスから入力する第 3 のセルに付加されている入力パス識別子のそれぞれに対応させて、前記第 2 の交換機から出力される出力ルート上の 1 つのパスを示す出力パス識別子と、前記第 3 のセルが前記第 2 の交換機内で前記出力ルートに自立的にルーティングされるためのルート情報とを記憶する第 3 のパス制御情報記憶手段と、

前記第 2 の交換機内に設けられ、前記第 2 又は第 3 のパス制御情報記憶手段を参照することにより、前記第 2 又は第 3 のセルに付加されている入力パス識別子をそれに対応する出力パス識別子に付け替えると共に、前記第 2 又は第 3 のセルに前記ルート情報を付加する第 2 のパス制御手段と、

所定の入力ルート上の 1 つのパスと所定の出力ルート上の 1 つのパスの接続時に、それらを結ぶパスであって前記通常用の中継ルート上の 1 つのパスを決定し、前記第 1 のパス制御情報記憶手段に、前記所定の入力ルート上の 1 つのパスに対応する入力パス識別子に対応させて、前記通常用の中継ルート上の 1 つのパスを示す出力パス識別子と、前記通常用の中継ルートへのルーティングを指示するルート情報とを書き込み、前記第 2 のパス制御情報記憶手段に、前記通常用の中継ルート上の 1 つのパスに対応する入力パス識別子に対応させて、前記所定の出力ルート上の 1 つのパスを示す出力パス識別子と、前記所定の出力ルートへのルーティングを指示するルート情報を書き込むパス接続制御手段と、

前記所定の入力ルート上の 1 つのパスと所定の出力ルート上の 1 つのパスを結ぶパスに障害が検出された場合に、前記第 1 のパス制御情報記憶手段で、前記所定の入力ルート上の 1 つのパスに対応する入力パス識別子に対応させられて記憶されている、前記通常用の中継ルート上の 1 つのパスを示す出力パス識別子はそのまま変更せず、前記通常用の中継ルートへのルーティングを指示するルート情報のみを、前記予備用の中継ルートへのルーティングを指示するルート情報に書き替えると共に、前記第 2 のパス制御情報記憶手段で、前記通常用の中継ルート上の 1 つのパスに対応する入力パス識別子に対応させられて記憶されている、前記所定の出力ルート上の 1 つのパスを示す出力パス識別子と、前記所定の出力ルートへのルーティングを指示するルート情報とを、それらが前記第 3 のパス制御情報記憶手段で前記通常用の中継ルート上の 1 つのパスに対応する入力パス識別子に対応させられて記憶されるように、前記第 3 のパス制御情報記憶手段にコピーするパス張り替え制御手段と、

を有することを特徴とする局内制御装置。

【請求項 27】

交換機内の 2 重化された局内装置のそれぞれである一方の系の局内装置と他方の系の局内装置の間の通信制御データの系間転送を制御する局内制御装置であって、

前記局内装置内に、前記局内装置における前記通信制御データに対する前記系間転送以外のアクセスのタイミングと別のタイミングになるように前記系間転送のためのタイミングを制御するタイミング制御手段と、該タイミング制御手段が制御する前記系間転送のためのタイミングにおいて、他方の系の前記局内装置との間で前記通信制御データを転送する系間転送制御手段と、

を有することを特徴とする局内制御装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、高速データ伝送を行うコネクションレス通信システムとその試験方法に関し、また、高速データ伝送のための交換局の局内制御方式に関する。

【0002】

【従来の技術】

近年、ワークステーションやパーソナルコンピュータ等の情報処理装置の高性能化に伴い、多数の情報処理装置を高速LAN（ローカル・エリア・ネットワーク）で接続した分散処理が広く行われている。そして、これらLAN間を接続するネットワークに対しても高速化が要求されている。

上述のような高速データ通信を実現するサービスの一つとしてSMD Sが知られている。SMD S（Switched Multi-megabit Data Service）は、1.5Mbps及び45Mbpsの転送速度を基本としたコネクションレス型のデータ交換サービスである。

ところで、広帯域ISDNを実現する方法としては、ATM方式が知られているが、ATMネットワークの中でSMD Sを提供することができる。この場合、所定のATM交換機に対してSMD S処理用サーバ（SMD Sメッセージハンドラ）を設ける。そして、SMD S加入者とそのSMD S加入者を収容するSMD S処理用サーバとの間を、PVC（Permanent Virtual Circuit またはPermanent Virtual Channel）で接続し、SMD S加入者から出力されるコネクションレスデータをSMD S処理用サーバへ転送して、そのサーバにおいてルーティング処理等を実行させる。

ここで、上記コネクションレスデータは、一般に、可変長のパケット（データフレーム）であるが、上記PVCはATMネットワーク上に設定されるパスであるので、コネクションレスデータは、ATM交換機に入力される前にATMセル形式に変換（分解）して転送される。このセルは、48バイトのペイロード部と、5バイトのヘッダ部とからなる53バイト構成を基本としている。

そして、このATMセル形式のデータは、図897に示すように、SMD S処理用サーバでいったんL3-PDU（レイヤ3プロトコル・データ・ユニット）あるいはさらに上位レイヤのデータ形式に組立られ、L3-PDUに格納されている着信先アドレスDA、送信元アドレスSA等に基づいてルーティング情報などの解析が行われる。その後、再びセルに分解されて、上記解析した情報に基づいてルーティングされる。

上述したように、従来のSMD Sにおいては、SMD S処理用サーバでルーティング処理等を行うときに、入力セルを上位レイヤのデータ形式（たとえば、L3-PDU）に組み立てて、マイコン・プログラム等のソフトウェアによってその処理を行っていたため、高速化には限界があった。また、着信先アドレスDAとしてグループアドレスが指定されていた場合のデータコピー処理、トラフィックの平滑化処理、EOMセル（End of Message：L3-PDUを複数のセルに分解した場合、そのL3-PDUの最後の部分のデータを格納するセル）の不着信時の処理等も、全てマイコン等によりソフト的に処理されていた。

このように、従来のSMD Sでは、SMD S処理用サーバでの処理に様々なソフトウェア処理が含まれていたため、その高速化には限界があった。したがって、SMD Sを用いてコネクションレス通信のデータ伝送を行う場合、伝送路・交換機を高速化しても、SMD S処理用サーバでの処理がボトルネックとなって、実際の高速化が妨げられていた。さらに、SMD S処理用サーバにおいて上記組立処理を行う場合、各L3-PDUを構成するセルをいったんすべて格納する必要があるため、そのためのバッファ容量が大きくなってしまいうという問題もあった。

次に、SMD Sにおいては、サービス提供時に、以下に示すようなプロトコル・パフォーマンス・モニタリングを行う。すなわち、データに含まれる様々なパラメータについて、そのフォーマットチェック等を行う。そして、このチェックにおいて、NGとなったデータ（正常性を確認できなかったデータ）の個数をカウントする。また、予め決められた特

定の種別のチェックに関しては、そのNG個数に対して所定のアルゴリズムに従った計数処理を行い、その結果が、予め設定した閾値を超過した場合はTCA (threshold crossing alert: 閾値を越えたことを示すアラート) を出力する。さらに、特定の種別のチェックに関しては、NG検出時にエラーログを収集する。エラーログにおいて収集すべきパラメータを以下に示す。

- (1) 着信先アドレスDA (Destination Address)
- (2) 送信元アドレスSA (Source Address)
- (3) SNI 番号 (Subscriber Network Interface No.)
- (4) エラー種別

10

ところで、ユーザ（加入者）とSMD S処理用サーバとの間のPVC 上においては、前述したように、セルフォーマット（実際は、ATM セル形式で送受信が行われ、SMD S処理用サーバではL2-PDUで処理が行われる。ATM セル及びL2-PDUは、共に53バイトを基本構成としており、ここでは簡単のため、双方を単にセルと呼んでいる）でデータの転送を行う。ところが、上記のようなエラーログの収集はレイヤ3に関するものが多いため、SMD S処理用サーバにおいては、セル形式で受信したデータをいったんL3-PDUに組み立ててからその処理を行う。

上述のように、従来のSMD Sにおいては、エラーログを収集する場合にも入力セルを上位レイヤのデータ形式（たとえば、L3-PDU）に組み立てて処理していた。このことが、SMD Sにおける高速化処理の妨げとなっていた。

20

次に、上述のようなサービスは、ネットワークを構成する伝送路の物理的品質の信頼性が高いことを前提としている。このため、これらのネットワークの伝送品質を試験・評価することは重要である。

このような伝送路の試験・評価としては、コネクションレス通信サービスを提供しているネットワーク内において、OSセンター（ネットワークを管理するオペレーション・センター）から起動し、任意の局間リンク（交換機間のパス）の正常性を確かめる「局間ループバック試験」が行われている。この局間ループバック試験を、図898を参照しながら説明する。ここでは、SW局3とSW局6との間のリンクの試験を行うものとする。

試験の開始は、同図に示すように、まず、OSセンター1からSW局3に対して、試験用コネクションレスパケット送出要求メッセージ（試験開始要求）を送出する。この要求メッセージには、パケットの終着SW局6を示す識別情報IDが含まれている。SW局3は、その終着SW局6の識別アドレスを着信先アドレスDAとし、自局（SW局3）の識別アドレスを送信元アドレスSAとして試験用パケットを生成する。そして、その試験用パケットを終着SW局6に向けて出力する。

30

SW局4、SW局5においては、試験用パケットに対して通常のパケットと同様の処理を行い、終着SW局6へ転送する。終着SW局6では、試験用パケットを受信すると、そのパケットが有するDAとSAとを反転させて出力する。すなわち、上記終着SW局6から上記発SW局3へ向けてパケットが返送され、発SW局3に再び着信した時点でOSセンター1にその旨が報告される。

こうして、OSセンター1では、ネットワーク内でのパケットの伝達が正常に行われるかどうかの確認、すなわち伝送路（ここでは、SW局3とSW局6との間のリンク）の正常性を確認できる。また、この手順のなかで、発SW局3と終着SW局6はパケットのペイロード部分にタイムスタンプを刻印するため、この情報によりOSセンター1では、パケットの伝達時間を知ることができる。

40

しかし、上述の試験方式においては、その試験によって得られる情報はOSセンター（オペレーション・センター）のためのものであり、現在までのところ、加入者（図898における、端末2）がネットワークの伝送品質（伝達遅延時間等）を自主的に知る手段は提供されていなかった。このため、発信加入者からのパケットが着信先加入者に正常に届かないような場合、その加入者自身が加入者端末またはネットワーク側伝送路のどちらに障害要因があるのかを切り分けることができず、障害からの復旧のためにはOSセンターを呼

50

ぶ必要があり、そのために多大な時間とコストがかかっていた。

次に、図 8 9 9 に、S M D S の一実施形態を示す。同図において、S M D S サポートモジュールは、着信先アドレス D A の解析や各種チェックを行う。S M D S サポートモジュール S 部は、複数個の発 S M D S 加入者 (a) , (b) を収容し、D A 解析や各種チェック等を行う。S M D S サポートモジュール R 部は、複数個の着 S M D S 加入者 (x) , (y) を収容し、各種チェック等を行う。これら S 部および R 部から構成されるモジュールが、上述の S M D S 処理用サーバ (S M D S メッセージハンドラ) に対応する。

各発 S M D S 加入者 (a) , (b) と S M D S サポートモジュール S 部との間はそれぞれ P V C 1 , 2 によって接続され、S M D S サポートモジュール S 部と R 部との間は P V C 3 によって接続され、そして S M D S サポートモジュール R 部と各着 S M D S 加入者 (x) , (y) との間はそれぞれ P V C 4 , 5 で接続されている。

同図に示す S W を A T M スイッチで構成した場合、発 S M D S 加入者 (a) , (b) から出力されるコネクションレスデータ (S M D S メッセージ) は、不図示のインタフェース部でセル形式に変換され、そのセルのヘッダ部に、着信先として S M D S サポートモジュールを指定する特定の V P I / V C I 値 (P V C 1 , 2 を指定する V P I / V C I 値) を付与して転送することによって、S M D S サポートモジュール S 部に転送される。S M D S サポートモジュール S 部と R 部との間の転送では、P V C 3 を示す V P I / V C I 値が付与されて出力され、さらに、S M D S サポートモジュール R 部から着 S M D S 加入者 (x) , (y) へ転送されるセルは、P V C 4 , 5 を示す特定の V P I / V C I 値で S M D S サポートモジュール R 部から出力されて、着 S M D S 加入者 (x) , (y) に着信する。尚、各 P V C はシステム初期設定時に確立される。

また、S M D S サポートモジュール S 部、R 部共に、収容可能な発・着 S M D S 加入者数には限度があるので、1 つの S W 局内にその最大収容数を超過する S M D S 加入者を収容する場合は、複数個の S M D S サポートモジュールを用意する。この例を、図 9 0 0 に示す。この場合も、各接続は、P V C によって行う。同図は、S M D S 加入者 (a) , (b) , (x) , (y) が、S M D S サポートモジュール▲ 1 ▼ に収容され、S M D S 加入者 (c) , (d) , (v) , (w) が、S M D S サポートモジュール▲ 2 ▼ に収容される例を示しているである。なお、S M D S サポートモジュール▲ 1 ▼ と▲ 2 ▼ 間にも P V C による接続が存在する。

上述のように、S M D S においては、データを転送するパスを P V C としてシステム初期設定時に確立してある。そして、発加入者 (a) , (b) が S M D S メッセージを出力すると、そのメッセージは上記 P V C 1 , 2 に沿って S M D S サポートモジュール S 部に導かれ、P V C 3 および P V C 4 , 5 を介して着 S M D S 加入者 (x) , (y) へ転送されるので、発 S M D S 加入者 (a) , (b) から出力された S M D S メッセージが上記 P V C に沿って確実に着 S M D S 加入者 (x) , (y) に届いているのかを簡単に検証できない。

もし、上述のようなデータ転送が失敗した場合には、発加入者 (a) , (b) または着 S M D S 加入者 (x) , (y) からの苦情 (コンプレイン) が発生することが予想されるが、この加入者コンプレインに対して、適切に (迅速に) 上記検証がなされることが望まれる。また、このような検証を行う場合、出来るだけ低コストで実現することが望まれる。

ところで、P V C 試験および伝送時間などに関する試験については上述したが、S M D S においては、伝送される S M D S データの正常性の確認もする必要がある。データの正常性の確認方法としては、L 3 - P D U の B A - s i z e , B E - t a g , L 2 - P D U の L E N G T H のチェック等が行われる。

B A - s i z e チェックでは、L 3 - P D U (C P C S - P D U) のペイロード長を設定する値が正常かどうか確認する。B E - t a g (B e g i n n i n g T a g : 先頭タグ, E n d T a g : 最終タグ) チェックでは、L 3 - P D U の先頭と末尾の 2

10

20

30

40

50

つのタグが同一であることを検証することによってL3-PDUデータの正常性を確認する。LENGTHチェックは、L2-PDUの有効ペイロード長を示す値と、上記L3-PDUのBAsizeとの関係を検証することにより、L3-PDUとL2-PDUとの間での分解・組立が正常に行われたかを確認する。

しかし、この場合、L2-PDUに分解された状態でL3-PDUの正常性確認しようとすると、そのための回路の規模が極めて大きなものになってしまう。また、L3-PDUのBAsize, BEtag, L2-PDU LENGTHのチェックはそれぞれ互いに密接な関係があるため、各セル毎(L2-PDU毎)に処理を行うことは困難であった。一方、SMD S処理用サーバに入力されるセル形式のデータ(L2-PDU)を、いったんL3-PDUに組み立ててから処理すると、前述した問題と同様に、ソフトウェア処理が含まれることによって高速化が妨げられてしまう。

10

次に、ATM 交換ネットワークにおいてコネクションレス通信サービスを実現する場合には、コネクションレスデータ処理用サーバ(SMD Sでは、SMD S処理用サーバ)を設け、加入者端末から出力されるコネクションレスデータのルーティング処理や各種チェック等を、そのサーバに依頼する。このようなコネクションレス通信サービスの実現方法の一例を図901に示す。

図901に示す構成は、基本的には図899に示した構成と同じである。すなわち、発信加入者(a)とコネクションレスデータ処理用サーバCLS 2との間にPVC 11が設定され、着信加入者(x)とコネクションレスデータ処理用サーバCLS 6との間にPVC 13が設定されている。これらのPVC は、コール・プロセッサCPR 3, 7を用いて設定される。

20

図901に示す構成では、発信加入者(a)を収容するコネクションレスデータ処理用サーバCLS 2と着信加入者(x)を収容するコネクションレスデータ処理用サーバCLS 6とが異なる交換局に設けられた構成、即ち、コネクションレスデータ処理用サーバCLS 2は交換局SW1に対して設けられ、コネクションレスデータ処理用サーバCLS 6は交換局SW5に対して設けられた構成である。そして、これらコネクションレスデータ処理用サーバCLS 2, 6間が、PVC 12によって接続されている。ここで、PVC 12が設定される大規模中継スイッチ4は、たとえば、SW1またはSW5と同じスイッチをいくつか中継させる構成、またはATM インターコネクション・スイッチ(AISW)である。

30

上記構成において、発信加入者(a)から着信加入者(x)にコネクションレスデータを転送する場合には、発信加入者(a)から出力されたデータは、PVC 11を介してコネクションレスデータ処理用サーバCLS 2に入力された後、PVC 12を介してコネクションレスデータ処理用サーバCLS 6へ転送される。そして、コネクションレスデータ処理用サーバCLS 6からPVC 13を介して着信加入者(x)へ転送される。これらPVC 上ではセル単位でのデータ転送が行われ、そのルーティング処理はコネクションレスデータ処理用サーバCLS 2および6によって行われる。

従来のコネクションレス通信サービスでは、図901に示したように、発信加入者(a)を収容するコネクションレスデータ処理用サーバCLS 2と着信加入者(x)を収容するコネクションレスデータ処理用サーバCLS 6とが異なる場合、それらコネクションレスデータ処理用サーバCLS 2, 6間をPVC 12で接続している。そして、このPVC 12は、SW1, 5および大規模中継スイッチ4と通過するように設定されている。このため、これらスイッチ内に予めコネクションレスサービス用の帯域リソースを確保し、その管理を行う必要がある。

40

したがって、従来のシステムでは、コネクションレスサービスのデータが流れていないときでも、各スイッチの帯域リソースを使用してしまっている。また、そのときの帯域リソースの管理も複雑なものになっていた。

一方、ATM (Asynchronous Transfer Mode) サービス等の広帯域サービスを提供するB-ISDN (広帯域ISDN) 交換機、或いはSMD S (Switched Megabit Data Service) サービスを提供

50

するSMD S交換機などの、セル交換を主体とした交換機は、従来の電話交換機又はN-I D S N（狭帯域I S D N）交換機に比較して、格段に高い性能及び機能を有するため、その局内制御方式には独自の技術が必要とされる。

以下に、局内制御において本発明が対象とする従来技術及びその問題点について明らかにする。

まず、種々の伝送路インタフェース装置（トランク）などの局内装置と交換機プロセッサとの間で制御情報の通信を行うための局内制御通信技術に関する課題について考察する。

従来の交換システムにおける局内装置の制御においては、図902に示されるように、A T M スイッチ5と協調して動作する各局内装置6、7等が、入力制御装置4を介して、交換機プロセッサ（C C）1が接続されるシステムバス3に接続され、局内装置とC C 1に接続される主記憶装置（M M）2との間で、D M A（ダイレクトメモリアクセス）方式によって制御情報が転送されていた。

しかし、この方式では、全局内装置6、7をシステムバス3に接続しなくてはならず、各局内装置6、7とシステムバス3を接続するためのケーブルを装置数分用意する必要があり、局内装置6、7がシステムバス3から遠ければ遠いほどケーブルが長くなり接続構成上複雑になるという問題点を有している。

また、全局内装置6、7がシステムバス3に接続されることによりバスアクセスの際に必要なとなるアクセス権の獲得が競合し、バスアクセスが輻輳するという問題点も有している。

更に、システムバス3を各局内装置6、7まで延長することにより伝送品質が低下し、誤り制御手順を持たないD M A 手順では、データエラーやパリティエラーといった伝送エラーを発生するという問題点も有している。

次に、端末と交換機プロセッサなどの制御装置との間で呼設定情報等の制御情報の通信を行うための技術に関する課題につき考察する。

A T M交換システム等において、端末インタフェース装置を制御するには、交換機プロセッサ等の制御系装置との制御情報の通信が必要である。

制御情報の通信のための従来技術として、図903に示されるように、図902に示した場合と同様に、制御系装置（M P R 1、P R I F 2）から交換スイッチ（S W）3に接続される端末（T E R M）4に、物理的なインタフェースが接続される方式がある。

しかし、この方式では、端末4毎に物理インタフェースが必要となるため、システム構成が複雑になり、また、端末4の増設が簡単ではないという問題点を有している。

次に、局内制御方式の1つである交換機の試験技術に関する課題につき考察する。

A T M 交換機等においては、セルが転送されるハイウェイに障害があるか否かの試験は、セルの送信や受信したセルの検索・収集を行うことのできる試験装置をハイウェイに接続することにより行われていた。この場合、宛先情報であるV P I（Virtual Path Identifier）、V C I（Virtual Channel Identifier）、被試験装置内でセルを折り返す設定、その他L S I の設定などが試験装置から行われた後に、試験用のセルが送出されている。

しかし、このような方式では、複雑な構成の試験装置が必要となり、被試験装置への設定などに時間もかかるという問題点を有している。

次に、上述と同様の交換機の試験技術のうち、特にループバック試験に関する課題につき考察する。

音声・データ及び動画像などのようにトラヒック特性の異なる情報を結合して交換することのできるA T M 交換機の普及とA T M 交換網の拡大に従って、局間のバスの正常性を確認する試験の重要性も高くなっている。また、実際に運用に入っている状態で、いくつもの局を間に持つ2つの局の間に障害が発生した場合、より早期の障害の発見・修復が要求される。A T M 交換網のループバック試験方法はこの局間の障害の早期発見に有効な試験方法である。

A T M 交換機は市場に出始めたばかりである。A T M 交換網の局間試験について実例

10

20

30

40

50

は未だない。しかし、従来の電子交換の試験方法の流れから次のような試験方法が、A T M 交換網の局間試験方法として考えられている。

この方法では試験装置がA T M 交換機に接続され、オペレータによる操作によってループバック試験が行われる。試験時には相手局と連絡がとられ、相手局でも同様に試験装置がA T M 交換機に接続され、連絡を取り合い、お互いの同期を取りながら試験が実施されることになる。

しかし、この方法では、A T M交換網の中に多数の局が存在した場合、それぞれの局に試験装置を配備する必要があるという問題点を有している。

また、試験装置の数が充分にない場合は、試験装置を持って各局を回り試験を行わなければならないという問題点も有している。

10

更に、局の中にはリモート局のように、オペレータが常時待機していない局もある。その場合、オペレータはその局まで行って試験を実施しなければならないという問題点を有している。

このように、上述の方法では、局間試験を行うためにオペレータに多大な労力が要求されるという問題点を有している。

次に、局内制御方式の1つである交換機スイッチ内のパフォーマンスの測定技術に関する課題につき考察する。

A T M を用いたS R M (S e l f R o o t i n g M o d u l e) 交換方式は、広帯域I S D Nシステムを構築する際の前提条件であるが、このS R M 内のパフォーマンスを測定することは、従来困難であった。

20

次に、局内制御方式の1つである、デジタル信号レベル3フォーマットであるD S 3 フォーマットにインタフェースされる物理レイヤコンバージェンスプロトコルであるP L C Pにおけるトレイラの制御に関する課題につき考察する。

B - I S D N又はS M D Sのサービスにおいては、4 4 . 7 3 6 M H z のサービスを実現するために、D S 3 (デジタル信号レベル3) フォーマットが使用される。

本発明が対象とするシステム構成例を、図9 0 4及び図9 0 5に示す。図9 0 4は、B I S D N端末がB I S D N交換機に接続されている構成を示す。また、図9 0 5は、S M D S端末がS M D S交換機に接続されている構成を示す。本発明は、B I S D N端末とB I S D N交換機、又はS M D S端末とS M D S交換機の各送信部に関連する。

図9 0 6に、D S 3 マルチフレーム構成を示す。D S 3 のフレームは8 5ビット構成の基本フレームにより構成されている。基本フレームは1ビットのD S 3 ヘッダと8 4ビットのD S 3 ペイロードから構成されている。さらに8つの基本フレームで1つのサブフレームが構成されており、更に、7個のサブフレームで1つのマルチフレームが構成されている。即ち、1マルチフレームは、5 6 個 (8 × 7) の基本フレームで構成されている。

30

B I S D N のA T M セルは5 3オクテット構成のセルであり、S M D SのL 2 - P D Uセル (レベル2プロトコルデータユニットセル) も5 3バイト構成のセルである。即ち、基本構成は同じである。但し、ヘッダとペイロードの内容、H E C とH C S の値は異なっている。図9 0 7の (a) と (b) に、A T M セルとL 2 - P D Uセルの構成を示す。

40

A T M セル又はL 2 - P D Uセルは、直接D S 3 基本フレームのペイロードに格納されるのではなく、P L C P (物理レイヤコンバージェンスプロトコル) のフレームを介して送信される。

図9 0 8に、D S 3 フォーマットにインタフェースされるP L C Pマルチフレームの構成を示す。

A T M セル又はL 2 - P D Uセルは、P L C Pフレーム内の5 3オクテットのP L C Pペイロードにそれぞれ1セルずつ格納され、更に、P L C Pマルチフレームは、それぞれ8 4ビットからなるセグメントに分割され、各セグメントがD S 3 フレーム内の8 4オクテットのD S 3 ペイロードに格納され、送信される。

P L C Pフレームは4バイトのP L C Pヘッダと5 3バイトのP L C Pペイロードの繰り

50

返し12個と、トレイラとからなる、マルチフレーム構成になっている。PLCPヘッダは、A1、A2バイトとPOHI、POHにより構成される。トレイラ長は、13ニブル又は14ニブルである。ニブルとは4ビットのことであって、バイトの半分を示している。トレイラのデータは、4ビットのパターン"1100"が13個又は14個並べられたものである。

そして、PLCPの1マルチフレームは、平均して125 μ sec (8KHz周期)で送信される。トレイラ長が可変であるため、平均値が規定される。

トレイラについて説明する。DS3 フレームは44.736MHzの伝送速度を有するため、以下の式から、125 μ secの期間では、5592ビットが送信される。

【数1】

ビット数 = 44.736×10^6 (ビット/sec) $\times 125 \times 10^{-6}$ (sec) = 5592ビット

しかし、DS3 フレームを構成するデータは、図906に示したように、1ビットのフレームビットデータと、84ビットのDS3 ペイロードとから構成されているため、125 μ secの期間のDS3 ペイロードの部分のビット数は $5592 \times 84 / 85 = 5526.211 \dots$ となって、割り切れない。

また、PLCPマルチフレーム中のビット数は、トレイラ長が13ニブルの時に、 $57 \times 12 \times 8 + 13 \times 4 = 5524$ ビットであり、トレイラ長が14ニブルの時に、 $57 \times 12 \times 8 + 14 \times 4 = 5528$ ビットである。即ち、トレイラ長が13ニブルの場合には125 μ secの期間のDS3 ペイロードにおいて余りが生じ、トレイラ長が14ニブルの場合には125 μ secの期間のDS3 ペイロードにおいて不足が生じる。

そこで、PLCPマルチフレームを平均して125 μ sec (8KHz周期)で送信するために、トレイラ長が13ニブルにされたり14ニブルにされたりしながら、PLCPマルチフレームが送出されることになる。

トレイラ長を表示するためには、C1バイトのサイクルスタッフカウンタが使用される(図908参照)。図909に、サイクルスタッフカウンタに関する規定を示す。

図908に示されるように、C1バイトは3つのマルチフレーム周期でサイクリックに変化させられる。1番目のマルチフレームではC1は"FF_H"で、この時のトレイラ長は13ニブル、2番目のマルチフレームではC1は"00_H"で、この時のトレイラ長は14ニブル、3番目のマルチフレームではC1は"66_H"か"99_H"で、この時のトレイラ長は、C1="66_H"の場合が13ニブル、C1="99_H"の場合が14ニブルとなる。3番目のマルチフレームを13ニブルにするか14ニブルにするかは、PLCPマルチフレームの送出が平均して125 μ sec (8KHz周期)になるように決定される。

そこで、3番目のマルチフレームのC1の値、即ち、トレイラの制御方法をどうするかという課題が生じる。以下に、従来のトレイラの制御方法について説明する。

3番目のマルチフレームを13ニブルにした場合のパターンをP、3番目のマルチフレームを14ニブルにした場合のパターンをQとすると、トレイラのニブル数のパターンは、Pパターンの場合には13→14→13のパターンになり、Qパターンの場合には13→14→14のパターンになる。

125 μ secの期間内において、DS3 ペイロードのビット数は $5592 \times 84 / 85 = 5526.211 \dots$ であり、PLCPマルチフレーム中のビット数は、トレイラ長が13ニブルの時は5524ビット、トレイラ長が14ニブルの時は5528ビットである。従って、PLCPマルチフレームの周期は、PLCPマルチフレームのパターンがPである場合は125 μ secの周期に対して進み、PLCPマルチフレームのパターンがQである場合は125 μ secの周期に対して遅れることになる。

そのため、従来は、送信されるPLCPフレームの周期監視が行われ、その結果抽出されるクロックと44.736MHzを分周して得られる8KHzのクロックの位相が比較される。そして、位相が進んでいる時は送信されるPLCPマルチフレームのトレイラパ

10

20

30

40

50

ターンがPに切り替えられ、位相が遅れている時は送信されるPLCPマルチフレームのトレイラパターンがQに切り替えられる。このようにして、PLCPマルチフレームの送信周期が調整される。

図910及び図911に、上記機能を実現する従来の回路構成及びその動作タイミングチャートを示す。

PLCPフレーム周期監視部7は、セクタ3から送出されるPLCPフレームの送出周期を監視し、3つのPLCPフレームに1回、位相比較パルスSを出力する。分周部6は、クロック生成部5が生成する44.736MHzのクロックを5592分周することにより、8KHzのクロックを生成する。位相比較部8は、位相比較パルスSと8KHzクロックの位相を比較し、位相比較パルスSが遅れているときは値"1"の、位相比較パルスSが進んでいるときは値"0"のパターン切替え信号Cを出力する。

セクタ3は、パターン切替え信号Cに基づいて、入力A1、A2を選択する。即ち、セクタ3は、パターン切替え信号Cが、"0"の時はパターンPを選択し、"1"の時はパターンQを選択する。

パターンPとQのPLCPフレーム生成部1、2は、ATMセル又はL2-PDUセルを、PLCPペイロードに格納し、PLCPヘッダ及びトレイラを付加することにより、PLCPフレームを組み立てる。パターンP PLCPフレーム生成部1においては、ニブル数が13、14、13の3周期で繰り返すトレイラが付加され、パターンQ PLCPフレーム生成部2においては、ニブル数が13、14、14の3周期で繰り返すトレイラが付加される。

DS3インタフェース部4は、PLCPフレームをDS3ペイロードに挿入し、DS3ヘッダを付加することにより、DS3フレームを組み立てて送出する。

しかし、以上に示した従来技術では、トレイラパターンの選択が位相比較結果に基づいているため、パターンPとQの送信順序が極めて不規則である。

この結果、動作が複雑化し回路の複雑化を招いてしまうという問題点を有している。

加えて、送信タイミングの偏差が大きくなってしまうという問題点も有している。

次に、他の従来技術の問題点について説明する。

ATM交換機においてマルチキャスト機能（ポイント・ツー・マルチポイント接続）を実現するためには以下の機能が必要となる。

▲1▼ セルのコピー機能

▲2▼ VPI/VCIの付け替え機能

セルのコピーは、交換機の出口に近い部分で行う方がスイッチとしてのリソースの利用効率が上がる。コピーされたセルは、各加入者に分配されるが、この各加入者へ分配されるセルは互いに異なるVPI/VCIを有する。すなわち、各転送先加入者ごとにVPI/VCI値を変換する必要がある。このVPI/VCIのビット数は、たとえば、22ビットまたはそれ以上であり、このような多数のビットを単純に変換すると、ハードウェア規模が大きくなってしまう。

ATM交換機は、セルフルーティング方式でセル交換を行うが、大容量システムでセルフルーティング方式を行う場合は、スイッチ内部でマルチキャスト機能をサポートしたほうがスイッチの使用効率が高く、小型化が可能となり、また、コストを低く抑えることが出来る。

B-ISDNでサポートするサービスは、マルチキャスト機能ばかりでなく、ポイント・ツー・ポイントの接続のサービスも数多くサポートする必要がある。このため、交換機全体の規模を小さくするためには、ポイント・ツー・ポイント接続機能を実現するための構成にマルチキャスト機能を付加する場合、そのマルチキャスト機能としての追加機能を最小限としてシステムの大規模化を防ぎ、コスト増加を小さくする必要がある。また、将来、マルチキャスト機能を増設する場合も考慮しなければならない。

また、ポイント・ツー・マルチポイント接続においては、セルのコピー数を指定する情報や、それらコピーされた各セルの転送先を示す情報等が必要になる。これらの情報は、セルが交換機に入力されるときにそのセルに付加されるタグ情報として設定する方法が一般

10

20

30

40

50

的であるが、上記情報の情報量は少なくないので、タグ情報が数バイト～10バイト程度となってしまう。このようなタグ情報をセルに付加すると、交換機内で処理されるセル長が長くなる。すなわち、タグ情報が大きくなると、セル全体に対する実データの割合が小さくなり、スループットの低下してしまう。

図912は、従来のマルチキャスト接続の一形態の構成図である。同図では、発信端末1が、ATM交換機2を介して送信先端末4-1～4-5へデータをマルチキャスト転送する例を示している。

発信端末1とATM交換機2との間は、回線3で接続されているが、この回線3は、複数の呼（パス）を多重化して伝送することができる。また、ATM交換機2と送信先端末4-1～4-5との間もそれぞれ多重化伝送可能な加入者線で接続されている。ATM

交換機2内では、発信端末1から送出されるセル内に書き込まれている送信先情報に従って仮想的なパスが設定される。同図の例では、送信先端末4-1～4-5へセルを転送するためのパスとして、仮想パス5-1～5-5が設定されている。

上記マルチキャスト転送においては、セルは、発信端末1で送信先端末の数だけコピーされ、発信端末1と送信先端末4-1～4-5との間でそれぞれ設定されるパスを介して転送される。このとき、回線3では、送信先端末4-1～4-5へそれぞれセルを転送するために5チャンネルが多重化されている。すなわち、5チャンネル分の帯域が占有されている。

このように、図912に示す従来の方式では、1:Nのマルチキャスト転送を行うときに、発信端末と送信先端末との間にN本のパスを設定するので、回線3およびATM交換機2のリソースを必要以上に使用していた。また、発信端末1の負担も大きい。

動画通信の要求は、今後さらに増えることが予想される。たとえば、企業においては、遠距離に離れている社員と打合せを行う機会も多く、動画をを用いた会議電話機能の実現が待ち望まれる。このようなサービスは、個人加入者を満足させるだけでなく、企業においては地理的障壁を越えた円滑なビジネス推進をサポートすることが予想される。

ところが、現在までに提供されているサービスは必ずしも豊富ではない。すなわち、広帯域通信ネットワークでは、専用線サービスを除いて1対1の通信が主流であり、三者通話等の多端子接続を呼ごとに制御する方式はいまだ実用化されていない。

次に、回線を処理する交換機内装置に障害が発生した場合の処理に関する課題について考察する。

ATM交換機においては、その交換機内の通話路系装置が、VPI/VCIによって規定される多数の仮想的な回線（以下、単に回線という）を処理する。従って、通話路系装置に障害が発生した場合に、その装置が処理している回線をどのように扱うかが、通信品質を確保する上で重要となる。

従来、交換機内の通話路系装置に障害が発生した場合、その装置が処理している回線を使用する呼接続は、全てシステムの障害監視処理から起動される強制解放処理により、強制終了させられている。このため、加入者からみれば、突然通話が出来なくなるという現象が発生するという問題点を有している。

また、従来、通話路系装置が処理する回線を管理する機構は、提供されていない。

次に、回線上で障害が検出された場合の処理に関する課題につき考察する。

従来、2重化されていない単一構成のATM交換機において回線障害が検出された場合、加入者情報、課金情報、トラヒック情報、性能情報等の伝送情報は、予備回線等を用いた物理回線単位の回線切替え処理によって救済されている。

具体的には、例えば図913に示されるように、遠隔集線装置1とATM交換機2が複数本の物理回線によって接続されている場合に、1つの物理回線で障害が発生すると、障害回線や他の回線に空き帯域があってもそれらは使用されず、保守運用端末3からの指示に基づいて、障害回線の状態がそっくりそのまま予備回線等の新たな代替回線に載せ換えられる。

このため、他回線に大きな空き帯域が存在していても、それらが有効に利用されず、回線の利用効率が低下してしまうという問題点を有している。

10

20

30

40

50

また、物理回線単位の回線切替え処理を行うためには、十分な予備回線を準備しておくか、各物理回線を2重化する必要がある、その結果、通信コストが非常に高くなってしまうという問題点を有している。

最後に、交換機内の通話路系装置等の局内装置は、通信の信頼性を確保するために一般に2重する必要がある。そして、運用系の局内装置に障害が発生した場合は、それに設定されている各種通信制御データを予備系の局内装置に転送した後に、今まで運用系装置であった局内装置の動作を停止させると共に今まで予備系であった局内装置を新たな運用系装置としてその動作を開始させる必要がある。

この場合に、従来は、運用系の局内装置に設定されている各種通信制御データは、その局内装置を制御するプロセッサによって、予備系の局内装置に転送されている。しかし、ATM 交換機等の場合には上記各種通信制御データのデータ量は膨大であるため、そのようなデータをプロセッサによって運用系の局内装置から予備系の局内装置に転送するためには、膨大な時間を必要として、障害発生時の交換機の信頼性の確保に影響を与えてしまうという問題点を有している。

【0003】

【発明が解決しようとする課題】

コネクションレス通信システムは、上述のSMD Sも含めて、高い信頼性が要求されるが、現在までのところ全体システムとしてその品質を向上させる技術は確立されていなかった。本発明は、基本的に、コネクションレス通信システムの品質を向上させること、及びセル交換等を行う交換機の効率的な局内制御方式を提供することを目的とする。

本発明のより具体的な第1の課題は、高速データ交換に適したコネクションレス通信システムを提供することである。

本発明のより具体的な第2の課題は、SMD S処理用サーバのハードウェア構成を小さくすることである。

本発明のより具体的な第3の課題は、コネクションレス通信におけるエラーログ収集の処理を高速、かつ容易に行うことである。

本発明のより具体的な第4の課題は、加入者自身が、コネクションレス通信システムのネットワークの伝送試験を行えるようにすることである。

本発明の第5の課題は、コネクションレス通信システムのPVC 試験を適切に（迅速に）かつ低コストで実現することである。

本発明のより具体的な第6の課題は、コネクションレス通信システムにおいてSMD Sデータの正常性確認を、低コストで比較的小規模な回路で実現することである。

本発明のより具体的な第7の課題は、コネクションレス通信において、スイッチの帯域リソースを有効に利用する方法を提供すること、および帯域の割当管理を削減することである。

本発明のより具体的な第8の課題は、局内装置の接続構成を単純化すると共に、バスアクセス時の競合を軽減し、更に、遠隔に配置される装置に対しても制御情報伝送時のエラーを速やかに復旧可能とすることにある。

本発明のより具体的な第9の課題は、端末を接続するためのシステム構成の簡略化と、端末の増設の容易化を可能とすることにある。

本発明のより具体的な第10の課題は、簡単な試験構成で被試験装置への設定も短時間で済む試験方式を実現することにある。

本発明のより具体的な第11の課題は、試験装置を必要とせず、各局間のループバック試験時においても、着側の局にオペレータを特に待機させる必要もなく、発側局からの簡単なコマンド入力により試験を可能とすることにある。

本発明のより具体的な第12の課題は、スイッチ内のトラヒック量を少ないハードウェアで計測可能とすることにより、スイッチのパフォーマンスの測定を可能とすることにある。

本発明のより具体的な第13の課題は、DS3 フォーマットにインタフェースされるPLCPマルチフレームのトレイラ制御において、動作の単純化を実現することにある。

10

20

30

40

50

本発明のより具体的な第14の課題は、交換システムの大型化を防ぎ、低コストで増設等が容易なポイント・ツー・マルチポイント接続機能を提供することである。

本発明のより具体的な第15の課題は、スイッチの外部に特別な装置を設けることなくポイント・ツー・マルチポイント接続機能を提供することである。

本発明のより具体的な第16の課題は、ハードウェア資源を効率的に使用できるマルチキャスト接続を提供することである。

本発明のより具体的な第17の課題は、広帯域通信ネットワークにおいて画像付き三者通話などの多端子接続サービスの呼処理機能を提供することである。

本発明のより具体的な第18の課題は、交換機内装置が処理する回線に関する情報の収集と、障害発生時の交換機内装置の安全な変更を実現することを目的とする。

10

本発明のより具体的な第19の課題は、回線上で障害が検出された場合に、帯域（VPI/VCI）単位での安全な回線切替えを実現することを目的とする。

本発明のより具体的な第20の課題は、上述の第19の課題と同様に回線上で障害が検出されたときに帯域（VPI/VCI）単位で回線切替えを行う場合に、特に遠隔集線装置とATM交換機が接続される構成においてその回線切替えを行うための具体的な技術を提供することを目的とする。

本発明のより具体的な第21の課題は、運用系の局内装置に障害が発生した場合における、それに設定されている各種通信制御データの予備系の局内装置への転送を、安全かつ高速に実行可能とすることを目的とする。

【0004】

20

【発明の実施の形態の目次】

<パート1>	本実施例の全体説明	
1.	本実施例が対象とするシステムの概観	
1. 1	概説	
1. 2	本実施例が提供するインタフェース及びサービス	
1. 2. 1	加入者インタフェース（Subscriber Interfaces）	
1. 2. 1. 1	光ファイバインタフェース	
1. 2. 1. 2	メタリックインタフェース	
1. 2. 2	ネットワークインタフェース	30
1. 2. 3	サービス	
1. 3	システム構成	
1. 3. 1	広帯域交換機アーキテクチャ	
1. 3. 2	スイッチトマルチメガビットデータサービス（SMDS）	
2.	本実施例が対象とするハードウェアの説明	
2. 1	スモールホスト用ATMネットワーク	
2. 1. 1	ATM加入者スイッチ（ASSW）	
2. 1. 2	ASSWにおける加入者及びネットワークインタフェース	
2. 1. 2. 1	加入者インタフェースシェルフ（SIFSH）	
2. 1. 2. 2	ATMDS-1シェルフ（ADS1SH）	40
2. 1. 2. 3	ファイバインタフェースシェルフ（FIFSH）	
2. 1. 3	ASSW-ATMスイッチモジュール	
2. 1. 3. 1	ATMスイッチングシェルフ（ASSWSH）	
2. 1. 3. 2	デジーチェーン構成	
2. 1. 4	ASSWにおけるその他のATMネットワークサポート装置及びテストセル生成方式	
2. 1. 4. 1	ループバック用加入者インタフェースシェルフ（SIFSH）	
2. 1. 4. 2	テストセルジェネレータ用加入者インタフェースシェルフ	
2. 1. 5	ASSWにおけるシグナリング装置	
2. 1. 6	SMDSメッセージハンドラ	50

2. 1. 6. 1	加入者メッセージハンドラシエルフ (S B M E S H)	
2. 1. 6. 2	ゲートウェイメッセージハンドラシエルフ (G W M E S H)	
2. 2	広帯域遠隔交換装置 (B R S U)	
2. 3	広帯域遠隔回線集線装置 (B R L C)	
2. 3. 1	加入者入力ポート	
2. 3. 2	アンビリカル装置	
2. 3. 3	ネットワーク装置	
3.	本実施例で実現される機能	
3. 1	概説	
3. 2	ホスト交換機	10
3. 3	A T M 加入者スイッチ (A S S W)	
3. 3. 1	A T M スイッチモジュール (A S M)	
3. 3. 2	加入者／ネットワークインタフェース	
3. 3. 3	広帯域シグナリング・コントローラ (B S G C)	
3. 3. 4	メッセージ・ハンドラ (S M D S)	
3. 3. 5	広帯域コール・プロセッサ (B C P R)	
3. 3. 6	メンテナンス・アンド・オペレーション・システム (M O S)	
3. 3. 7	オペレーション・アンド・メンテナンス・プロセッサ (O M P)	
3. 3. 8	システム・インテグレーション・プロセッサ (S I P)	
3. 4	広帯域遠隔集線装置 (B R L C)	20
3. 5	広帯域遠隔交換装置 (B R S U)	
3. 6	S M D S の実施態様	
3. 7	トラフィック管理	
3. 7. 1	呼受付制御	
3. 7. 2	ユーザ・パラメータ・コントロール (U P C)	
3. 7. 3	セル・ルーティングの優先度	
3. 8	データ・コレクション	
4.	その他	
<パート 2>	D S 3 - S M D S インタフェース	
1.	概略説明	30
2.	回線インタフェースの説明	
2. 1	D S 3 回線インタフェース	
2. 1. 1	ペイロードマッピング	
2. 1. 2	D S 3 フレームフォーマット	
3.	P L C P フレームフォーマット	
3. 1	D S 3 P L C P フレームフォーマット	
4.	D S 3 - S M D S インタフェース L 2 - P D U フォーマット	
4. 1	D S 3 - S M D S L 2 - P D U フォーマット	
4. 2	ネットワークコントロールインフォメーション	
4. 3	セグメントタイプ	40
4. 4	メッセージ識別子	
4. 5	セグメンテーションユニット	
4. 6	ペイロードレンダス	
4. 7	ペイロード C R C	
5.	L 2 - P D U と A T M セルとの関係	
6.	D S 3 アンビリカルリンクフォーマット	
7.	ハードウェアコンフィギュレーション	
7. 1	概略説明	
7. 2	D S 3 レイヤ終端機能	
7. 2. 1	回線障害処理	50

7. 2. 2	各種アラームの検出・復旧条件	
7. 3	D S 3 P L C Pレイヤ終端機能	
7. 3. 1	P L C P障害処理	
7. 3. 2	各種アラームの検出・復旧条件	
7. 4	L 2 - P D Uヘッダチェック機能 (H C S)	
7. 5	L 2 - P D Uヘッダパターン生成機能	
7. 6	D Q D B (D i s t r i b u t e d Q u e u e D u a l B u s) シーケンス機能	
7. 7	D S 3 レイヤ / P L C Pレイヤパフォーマンスモニタ機能	
7. 7. 1	D S 3 レイヤ	10
7. 7. 2	D S 3 - P L C Pレイヤ	
7. 8	受信 L 2 - P D Uデータ変換機能 (4 5 M b p s → 1 5 6 M b p s)	
7. 9	送信 L 2 - P D Uデータビットレート変換機能 (1 5 6 M b p s → 4 5 M b p s)	
7. 1 0	S I F S H C o m m o nに対するインタフェース機能	
7. 1 1	M S D / M S C N情報の L A P 終端機能	
7. 1 2	D S 3 - S M D S L 2 - P D U セル及び L A P セルのマルチプレクス機能	
7. 1 3	D S 3 - S M D S L 2 - P D U セル及び L A P セルのデマルチプレクス機能	20
7. 1 4	特定 V C I / V P I セルのループバック機能	
7. 1 4. 1	“ 0 ” ビットが付加されたセルのループバック機能	
7. 1 4. 2	特定 V P I / V C I が付加されたセルのループバック機能	
7. 1 5	M S C Nデータマルチプレクス機能	
7. 1 6	M S D データドロップ機能	
8.	M S D (M a i n t e n a n c e S i g n a l D r i v e r) インタフェース	
8. 1	M S D情報	
8. 1. 1	E - M S D ハードウェアインタフェース	30
8. 1. 2	D S 3 - S M D S インタフェースにおける E - M S D 収容表	
8. 2	E - M S D詳細説明	
8. 2. 1	ハードウェアリセット	
8. 2. 2	ループバック	
8. 2. 3	疑似障害ポイント	
8. 2. 4	A I S 送出ポイント	
9.	M S C N (M a i n t e n a n c e S C a N e r) インタフェース	
9. 1. 1	E - M S C Nのハードウェアインタフェース	
9. 1. 2	E - M S C N の詳細	
9. 2	D S 3 - S M D S インタフェースでの E - M S C N処理	40
9. 2. 1	S I F S H C o m m o nインタフェース障害	
9. 2. 2	D S 3 - S M D S インタフェースハードウェア障害	
9. 2. 3	局内制御通信が不可能となる D S 3 - S M D S インタフェースハードウェア障害	
9. 2. 4	マイクロプロセッサ障害	
9. 2. 5	タイマ障害	
9. 2. 6	D S 3 レイヤアラーム	
9. 2. 7	パフォーマンスモニタ閾値交差アラート	
9. 2. 8	D S 3 - S M D S インタフェースにおけるセル廃棄	
9. 2. 9	診断結果通知	50

10.	DS3-SMDS インタフェース簡易 L A P - D プロトコル	
10. 1	ソフトウェアインタフェース	
10. 2	ハードウェアインタフェース	
10. 3	V P I / V C I の設定	
10. 4	誤り監視	
10. 5	A A L インタフェース	
10. 5. 1	S A R - P D U フォーマット	
10. 6	A A L の機能	
10. 7	誤り監視	
10. 8	L 2 インタフェース	10
10. 8. 1	L 2 の機能	
10. 8. 2	フレームフォーマット	
10. 8. 3	コネクション設定手順	
10. 8. 4	リンクの状態監視	
10. 8. 5	確認手順	
10. 8. 6	障害監視	
10. 9	L 3 インタフェース	
10. 9. 1	L 3 フレームフォーマット	
10. 9. 2	通信手順	
10. 9. 3	誤り制御	20
11.	DS3-SMDS インタフェースの状態管理	
11. 1	初期設定	
11. 2	閉塞	
11. 3	インサービス (I n S e r v i c e) 化	
11. 4	未実装化	
11. 5	障害処理	
11. 5. 1	障害監視	
11. 5. 2	障害検出時の処理	
11. 5. 3	障害の特定	
11. 5. 4	復旧監視	30
11. 6	各種処理シーケンス	
12.	DS3-SMDS インタフェースバッファ輻輳制御	
13.	試験・保守	
13. 1	DS3-SMDS インタフェースが有するループバック機能	
13. 1. 1	タグ領域に“ 0 ”ビットが付加されたセルのループバック機能	
13. 1. 2	全セルのループバック機能	
13. 1. 3	特定 V P I / V C I が付加されたセルのループバック機能	
13. 1. 4	ラインループバック機能	
13. 2	試験方法	
13. 2. 1	DS3-SMDS ラインループバック試験	40
13. 2. 1. 1	DSX-3 でのラインループバック試験	
13. 2. 1. 2	R L C でのラインループバック試験	
13. 2. 2	アクティブ系オンデマンド (O N - D e m a n d) 試験	
13. 2. 3	P V C パス導通試験	
13. 2. 4	DS3-SMDS インタフェース試験、診断	
13. 2. 4. 1	DS3-SMDS インタフェース P C B における A T M セル透過試験	
13. 2. 4. 2	DS3-SMDS インタフェース P C B におけるハードウェア正常性確認試験	
14.	障害処理	50

14. 1	障害検出ポイントと通知方式	
14. 1. 1	障害内容	
14. 1. 2	O B P 障害	
14. 1. 3	個別部 (D S 3 - S M D S インタフェース) における O B P 障害	
14. 1. 3. 1	+ 5 V O B P 障害	
14. 1. 3. 2	- 5. 2 V O B P 障害	
14. 1. 4	パッケージ抜け障害	
14. 1. 5	ヒューズ断障害	
14. 1. 6	パッケージ誤挿入障害	
14. 1. 7	D S 3 - S M D S インタフェース個別部の P C B の障害	10
15.	各 P C B の機能	
15. 1	各 P C B の機能	
15. 1. 1	H A F O O A の機能	
15. 1. 1. 1	M S D / M S C N 情報の L A P 終端機能	
15. 1. 1. 2	S I F S H C o m m o n に対するインタフェース機能	
15. 1. 1. 3	D S 3 - S M D S L 2 - P D U セル及び L A P セルのマルチプレクス／デマルチプレクス	
15. 1. 1. 4	特定 V P I / V C I が付加されたセルのループバック機能	
15. 1. 1. 5	M S C N データのマルチプレクス機能	
15. 1. 1. 6	M S D データドロップ機能	20
15. 1. 1. 7	アクティブコントロール機能	
15. 1. 1. 8	マイクロプロセッサインタフェース機能	
15. 1. 2	H L P O 1 A の機能	
15. 1. 2. 1	1 5 6 M b p s → 4 5 M b p s データ変換機能	
15. 1. 2. 2	4 5 M b p s → 1 5 6 M b p s データ変換機能	
15. 1. 2. 3	D Q D B 処理機能	
15. 1. 3	H D T O O A の機能	
15. 1. 3. 1	D S 3 レイヤ終端機能	
15. 1. 3. 2	D S 3 P L C P レイヤ終端機能	
15. 1. 3. 3	受信 L 2 - P D U ヘッダチェック機能 (H C S)	30
15. 1. 3. 4	L 2 - P D U ヘッダパターン生成機能	
16.	ファームウェアインタフェース	
16. 1	概略説明	
16. 2	ハードウェアとファームウェア間のインタフェースの概要	
<パート 3>	S I F S H	
1.	概説	
1. 1	S I F S H のシステム内における位置付け	
1. 2	機能概要	
2.	シェルフ構成	
2. 1	構成	40
2. 1. 1	S I F C O M	
2. 1. 2	個別部	
2. 2	電源系統	
2. 2. 1	- 4 8 V / C G	
2. 2. 2	S A B / S A B G	
2. 2. 3	+ 5 V / E	
3.	物理インタフェース	
3. 1	スイッチインタフェース	
3. 1. 1	6 2 2 M b p s セルハイウェイインタフェース	
3. 1. 2	系切替え信号	50

3. 2	S Y N S H インタフェース	
3. 3	個別部インタフェース	
3. 3. 1	1 5 6 M b p s セルハイウェイインタフェース	
3. 3. 1. 1	上り 1 5 6 M b p s セルハイウェイインタフェース	
3. 3. 1. 2	下り 1 5 6 M b p s セルハイウェイインタフェース	
3. 3. 2	E－M S D／E－M S C N ハイウェイインタフェース	
3. 3. 2. 1	系制御	
3. 3. 2. 2	物理仕様	
3. 3. 2. 3	論理仕様	
3. 3. 2. 3. 1	個別部受信側仕様	10
3. 3. 2. 3. 2	フレーム同期	
3. 3. 2. 3. 3	パイロット 0／1 信号チェック (E M S D ハイウェイのスタックの検出)	
3. 3. 2. 3. 4	2 度読み処理	
3. 3. 2. 3. 5	個別部送信側仕様	
3. 3. 2. 3. 6	障害検出	
3. 4	クロックインタフェース	
4.	ソフトウェアインタフェース	
4. 1	概要	
4. 2	局内制御通信のレイヤ構造	20
4. 2. 1	A T M レイヤセルフォーマット	
4. 2. 2	S A R－P D U フォーマット	
4. 2. 3	L A P－D フォーマット (レイヤ 2)	
5.	タグの割当	
6.	機能	
6. 1	M U X	
6. 1. 1	概要	
6. 1. 2	M U X 部の構成	
6. 1. 3	多重制御方式	
6. 1. 4	バッファ監視	30
6. 1. 5	書き込み制御	
6. 1. 6	書き込み異常処理	
6. 1. 6. 1	セル長が短い場合	
6. 1. 6. 2	セル長が長い場合	
6. 1. 7	読み出し制御	
6. 1. 8	読み出し異常処理	
6. 1. 9	バッファ輻輳制御	
6. 2	D M U X	
6. 2. 1	概要	
6. 2. 2	機能	40
6. 2. 3	ダイナミックタグマッチング	
6. 2. 4	バッファ監視	
6. 3	V C C	
6. 3. 1	V C C の位置	
6. 3. 2	V C C 用メモリ量	
6. 3. 3	系間 V C C コピー	
6. 3. 3. 1	目的	
6. 3. 3. 2	系間コピーの契機	
6. 3. 3. 3	コピー対象情報	
6. 3. 3. 4	I N S 化処理手順	50

6. 3. 3. 5	コピー実行不可報告	
6. 3. 4	VCC とSMD Sサービスとの関係	
6. 4	シグナリング処理 (EGCLAD)	
6. 4. 1	概要	
6. 4. 2	EGCLAD LSIの機能	
6. 4. 2. 1	ATM ヘッダチェック機能	
6. 4. 2. 2	ATM ヘッダインサート機能	
7.	試験, 保守	
7. 1	MCによるバス品質の監視	
7. 2	TCG による試験セルの導通試験	10
8.	障害処理	
8. 1	障害検出ポイントと通知方式	
8. 1. 1	障害モード	
8. 1. 2	OBP 障害	
8. 1. 2. 1	個別部OBP 障害	
8. 1. 2. 2	SIFCOMにおけるOBP 障害	
8. 1. 3	パッケージ抜け障害	
8. 1. 3. 1	個別部パッケージ 抜け	
8. 1. 3. 2	SIFCOMパッケージ抜け	
8. 1. 3. 3	パワーパッケージ抜け	20
8. 1. 4	ヒューズ断障害	
8. 1. 4. 1	個別部用ヒューズ断障害	
8. 1. 4. 2	SIFCOM用ヒューズ断障害	
8. 1. 5	SIFCOMパッケージ前面コネクタ抜け障害	
8. 1. 5. 1	50芯同軸フラットケーブル障害	
8. 1. 5. 2	50芯TDバスケーブル障害	
8. 1. 6	パッケージ 誤挿入障害	
8. 1. 7	個別部パッケージ障害	
8. 1. 8	SIFCOMパッケージ障害	
9.	回線プロテクション (N+1方式)	30
9. 1	N+1 プロテクション方式の概要	
9. 2	回線の切り替えのシーケンス	
9. 3	予備回線へのVCC の設定	
9. 4	予備回線への切り替え	
9. 5	切り替えコマンド	
<パート4>	ASSWSH	
1.	概要	
1. 1	機能の概略	
2.	装置構成	
2. 1	装置構成	40
3.	インタフェース	
3. 1	通話路系	
3. 2	制御系	
3. 3	クロック系	
3. 4	ASSWSH-A内ブロック間インタフェース	
4.	詳細機能	
5.	トラヒックコントロール	
5. 1	セル廃棄クラス	
5. 2	輻輳制御	
5. 2. 1	SWMX内輻輳制御	50

5. 2. 2	S W M D X 内輻輳制御	
5. 2. 3	セル廃棄	
5. 3	トラヒック測定処理	
6.	ファームウェア機能	
6. 1	I N F A インタフェース	
6. 2	装置内ハードインタフェース	
6. 3	障害処理	
6. 3. 1	障害検出	
6. 3. 2	メッセージボックス	
6. 4	自己診断	10
7.	保守運用	
7. 1	ソフトウェアハードウェアインタフェース	
7. 2	運用処理	
7. 2. 1	状態遷移	
7. 2. 2	H M X 0 3 A 指定搭載	
7. 3	障害処理	
<パート5>		
1.	概要	
1. 1	概要	
1. 1. 1	システム内の位置付け	20
1. 1. 2	S M D S データ処理の概要	
1. 2	方式構成	
1. 3	冗長構成	
2.	処理方式	
2. 1	M H 網の構成	
2. 2	ルーティング方式	
2. 3	V P I / V C I / M I D の割当て法	
2. 3. 1	V P I / V C I の割り当て方法	
2. 3. 2	M I D の割り当て方法	
2. 4	グループアドレス	30
2. 5	多重化処理について	
2. 6	機能概略	
3.	S M D S	
3. 1	処理概要	
3. 2	構成	
3. 3	各機能ブロックとエラーフラグの対応	
3. 4	各ブロックの処理	
4.	R M L P	
4. 1	処理概要	
4. 2	構成	40
4. 2. 1	P V C 試験	
4. 2. 2	M S C N	
4. 2. 3	M S D	
4. 2. 4	各機能ブロックとエラーフラグの対応	
4. 2. 5	R M L P と L P - C O M のデータインタフェース	
4. 3	H M H 0 0 A	
4. 3. 1	交換セレクト	
4. 3. 2	タイミング・ジェネレータ	
4. 3. 3	アドレス・フィルタ	
4. 4	H M H 0 1 A	50

4. 4. 1	試験セル多重	
4. 4. 2	M I D チェック	
4. 4. 3	S N チェック	
4. 4. 4	エンキャプセレーション	
4. 4. 5	エラー編集 I	
4. 4. 6	R M I D 獲得	
4. 4. 7	M R I タイムアウトチェック	
4. 4. 8	G A コピー	
4. 4. 9	S N I 利用可能	
4. 4. 1 0	エラー編集 I I	10
4. 4. 1 1	S A チェック	
4. 5	H M H 0 4 A	
4. 5. 1	S A スクリーニング	
4. 6	H M H 0 2 A	
4. 6. 1	構成概要	
4. 6. 2	機能概要	
4. 6. 3	インタフェース概要	
4. 6. 4	詳細説明	
5.	M H - C O M (M H 共通部)	
5. 1	概要	20
5. 2	R D M X / S M U X 機能 (H M X 1 0 A)	
5. 3	S D M X / R M U X 機能 (H M X 1 1 A)	
5. 4	V C C 機能 / テストセル M U X 機能 / スケジューラ機能 (H M X 1 2 A)	
5. 4. 1	V C C 機能	
5. 4. 2	テストセル多重化機能	
5. 4. 3	スケジューラ機能	
5. 5	L A P 終端・始端、クロック分配 (H S F 0 5 A)	
5. 5. 1	L A P 終端・始端	
5. 5. 2	クロック分配	30
6.	プロトコル・パフォーマンス・モニタ	
6. 1	概要	
6. 2	L 2 プロトコル・パフォーマンス・モニタ	
6. 3	L 3 プロトコル・パフォーマンス・モニタ	
6. 4	I n g r e s s 部 (イングレス部) におけるプロトコル・パフォーマンス・モニタ	
6. 4. 1	処理方式	
6. 4. 2	処理詳細	
6. 5	E g r e s s 部 (エグレス部) におけるプロトコル・パフォーマンス・モニタ	40
6. 5. 1	処理方式	
6. 5. 2	処理詳細	
7.	ネットワーク・データ・コレクション	
7. 1	概要	
7. 2	ネットワーク・データ・コレクション・パラメータ	
7. 3	I n g r e s s 部 (イングレス部) におけるネットワーク・データ・コレクション	
7. 3. 1	処理方式	
7. 3. 2	処理詳細	
7. 4	E g r e s s 部 (エグレス部) におけるネットワーク・データ・	50

コレクション

7. 4. 1	処理方式	
7. 4. 2	処理詳細	
8.	課金機能	
8. 1	概要	
8. 2	課金処理	
8. 3	チェック機能	
9.	LP-COM部 (INF インタフェース部)	
9. 1	概要	
9. 2	機能概要	10
9. 3	INF インタフェース制御手順	
9. 3. 1	INF インタフェース制御	
9. 3. 2	INF インタフェース割り込み制御	
9. 4	SMLP/RMLP 制御	
10.	各種インタフェース	
11.	ソフトインタフェース	
11. 1	初期設定	
11. 1. 1	MH-COM部の初期設定	
11. 1. 2	LP部の初期設定	
11. 2	INS 処理	20
11. 2. 1	MH-COM部のINS 処理	
11. 2. 2	LP部のINS 処理	
11. 3	障害監視・系切替え	
11. 3. 1	MH-COM部の障害監視	
11. 3. 2	MH-COM部の障害通知・処理のシーケンス	
11. 3. 3	LP部との間のINF を使用した通信に関する障害	
11. 3. 4	LP部内のMSCNにて発見する障害	
11. 3. 5	LP部のヘルスチェック	
11. 3. 6	系切り換え	
11. 4	試験・診断	30
11. 4. 1	TCG を用いた試験	
11. 4. 2	SBMESHでの折り返し試験	
11. 4. 3	SNI-SBMESH間のPVC 試験	
11. 4. 4	MESH-MH 間のPVC 試験	
11. 4. 5	PVC 試験結果のチェック	
11. 4. 6	MH-COMの診断	
11. 4. 7	LP部の診断	
11. 5	MSCN	
11. 5. 1	MH-COM部のMSCN	
11. 5. 2	LP部のMSCN	40
11. 6	MSD	
11. 6. 1	MH-COM部のMSD	
11. 6. 2	LP部のMSD	
11. 7	課金・統計処理	
11. 7. 1	概要	
11. 7. 2	課金処理	
11. 7. 3	プロトコル・パフォーマンス・モニタ処理	
11. 7. 4	ネットワーク・データコレクション処理	
11. 7. 5	各種セル数の処理	
<パート6>	GW MESH	50

1.	概要	
1. 1	概要	
1. 1. 1	システム内の位置付け	
1. 2	方式構成	
1. 3	冗長構成	
2.	処理方式	
2. 1	ネットワーク方式	
2. 2	ルーティング方式	
2. 3	グループアドレスの処理	
2. 4	Load Splitting (ロード・スプリッティング：負荷分散)	10
2. 4. 1	ロード・スプリッティングの特徴	
2. 4. 2	キー生成	
2. 4. 3	キー割当	
3.	ICLP (インカミングLP)	
3. 1	処理概要	
3. 2	構成	
3. 3	各機能ブロックとエラーフラグの対応	
3. 4	ICLP入出力フォーマット	
3. 5	ICLP処理フロー	20
3. 6	各PKG ブロック	
3. 6. 1	HMH11A	
3. 6. 2	HMH12A	
3. 6. 3	HMH13A	
4.	OGLP (アウトゴーイングLP)	
4. 1	処理概要	
4. 2	構成	
4. 3	各機能ブロックとエラーフラグの対応	
4. 4	セルフォーマット	
4. 5	処理フロー	30
4. 6	各PKG ブロック	
4. 6. 1	HMH07A	
4. 6. 2	HMH08A	
4. 6. 3	HMH09A	
4. 6. 4	HMH10A	
5.	MH-COM (MH共通部)	
5. 1	概要	
5. 2	HMX10A	
5. 3	HMX11A	
5. 4	HMX12A	40
5. 5	HSF05A	
6.	プロトコル・パフォーマンス・モニタ	
6. 1	概要	
6. 2	L2プロトコル・パフォーマンス・モニタ	
6. 3	L3プロトコル・パフォーマンス・モニタ	
6. 4	Incoming部におけるプロトコル・パフォーマンス・モニタ	
6. 4. 1	処理方法	
6. 4. 2	処理詳細	
6. 5	Outgoing部におけるプロトコル・パフォーマンス・モニタ	
6. 5. 1	処理方法	50

6. 5. 2	処理詳細	
7.	ネットワーク・データ・コレクション	
7. 1	概要	
7. 2	ネットワーク・データ・コレクション・パラメータ	
7. 3	I n c o m i n g 部におけるネットワーク・データ・コレクション	
7. 3. 1	処理方式	
7. 3. 2	処理詳細	
7. 4	O u t g o i n g 部におけるネットワーク・データ・コレクション	
7. 4. 1	処理方式	
7. 4. 2	処理詳細	10
8.	課金	
8. 1	D a t a G e n e r a t i n g (データ生成)	
8. 2	D a t a A g g r e g a t i o n (データ集計)	
9.	L P - C O M 部 (I N F インタフェース部)	
9. 1	概要	
9. 2	機能概要	
9. 3	I N F インタフェース制御手順	
9. 3. 1	I N F インタフェース制御	
9. 3. 2	I N F インタフェース割り込み制御	
9. 4	I C L P / O G L P 制御	20
10.	ソフトインタフェース	
10. 1	初期設定	
10. 1. 1	M H - C O M 部の初期設定	
10. 1. 2	L P 部の初期設定	
10. 2	I N S 処理	
10. 2. 1	M H - C O M 部の I N S 化処理	
10. 2. 2	L P 部の I N S 化	
10. 3	系切替え	
10. 3. 1	M H C O M 部の系切替え	
10. 3. 2	L P 部の系切替え	30
10. 4	障害監視	
10. 4. 1	M H - C O M 部の障害監視	
10. 4. 2	I N F 通信に関する障害監視	
10. 5	試験、診断	
10. 5. 1	T C G を用いた試験	
10. 5. 2	I C I / I S S I と G W M E S H との間の P V C 試験	
10. 5. 3	S B M E S H / G E M E S H と G W M E S H との間の P V C	
試験		
10. 5. 4	局間試験	
10. 5. 5	各部の試験用機能	40
10. 5. 6	自己診断	
<パート7>	B S G C S H	
1.	概説	
1. 1	B S G C S H 及び B S G C の交換機システム内での位置	
1. 2	B S G C の機能分担	
1. 2. 1	I N F の機能	
1. 2. 2	L A P - D の機能	
1. 2. 3	局内制御通信リンク	
1. 2. 4	A T M スイッチとのインタフェース	
1. 2. 5	メタシグナリング (M e t a - s i g n a l i n g) 通信	50

1. 3	B S G C のポートの数と割当の条件	
1. 3. 1	最大ポート数	
1. 3. 2	必要ポート数	
1. 3. 3	B S G C と他の装置の間の転送速度	
1. 3. 4	B S G C の処理能力とポートの割当条件	
2.	B S G C H 機能概要	
2. 1	緒元	
2. 2	上位インタフェース (I N F インタフェース)	
2. 2. 1	I N F (周辺装置インタフェース) 制御におけるハードウェア構成	
2. 2. 2	I N F インタフェース制御手順	10
2. 3	スイッチインタフェース (C A R P 及び V C C インタフェース)	
2. 3. 1	スイッチ内 2 重化装置制御ハードウェア構成	
2. 3. 2	スイッチ内信号制御	
2. 3. 2. 1	シグナリング用信号制御モデル (1 重化装置を含む)	
2. 3. 2. 2	2 重化装置用信号制御モデル (共通部用)	
2. 3. 3	局内制御通信用 V P I / V C I について	
2. 3. 4	B S G C - C O M におけるセル廃棄手段	
2. 4	B S G C 装置制御	
2. 4. 2	B S G C 障害処理	
2. 5	通信制御	20
2. 5. 1	Q. 9 2 2 からの差分	
2. 5. 2	局内 L A P - D 通信 (局内制御通信)	
2. 6	診断機能	
2. 6. 1	診断対象項目	
2. 6. 2	局内 2 重化装置診断用通信リンク	
2. 7	プログラムモジュールの構成	
3.	I N F インタフェース	
3. 1	ハードウェア構成	
3. 2	D M A ビット配列	
3. 2. 1	D A M 転送データのビット配列	30
3. 3	I N F 制御手順	
3. 3. 1	コマンドキューとステータスキュー	
3. 3. 2	コマンド起動とステータス起動の競合	
3. 3. 3	輻輳制御	
3. 3. 3. 1	受信系輻輳制御	
3. 3. 3. 2	送信系輻輳制御	
3. 3. 3. 3	B S G C 輻輳制御	
3. 4	I N F の初期設定	
3. 5	I N F の優先制御	
4.	スイッチインタフェース	40
4. 1	タグ割当	
4. 1. 1	タグ割当の概念	
4. 1. 2	B S G C から A S S W 方向への通信におけるタグ割当	
4. 1. 3	A S S W から B S G C 方向への通信におけるタグ割当	
4. 2	C A R P 制御手順	
4. 2. 1	A T M ヘッダ	
4. 2. 2	C A R P L S I の機能	
4. 2. 3	統計機能	
4. 3	V C C 設定手順及び V C C コピー手順	
5.	B S G C 装置制御手順	50

5. 1	B S G C 障害監視	
5. 1. 1	B S G C S H の障害箇所	
5. 1. 2	障害発生時の系管理	
5. 1. 3	B S G C への通知手段	
5. 1. 4	復旧監視	
5. 1. 4. 2	交換機ソフトウェアにおける復旧監視	
5. 1. 4. 1	B S G C における復旧監視	
5. 1. 5	B S G C ハードウェアが検出する障害	
5. 1. 6	B S G C ファームウェアが検出する障害	
5. 1. 6. 1	B S G C - C O M における障害 (B S G C 自身の障害を除く)	10
5. 1. 6. 2	スタンバイ系 B S G C における障害	
5. 2	T M セーブ方式	
5. 3	統計機能	
6.	通信制御	
6. 1	局内制御通信の制御	
6. 1. 1	シグナリングセルフォーマット	
6. 1. 2	改版 L A P D との差分	
7.	B S G C - C O M	
7. 1	B S G C - C O M のハードウェア構成	
7. 2	B S G C - C O M の機能ブロック説明	20
7. 3	スイッチインタフェース	
7. 4	S W T I F インタフェース	
7. 5	B S G C S H の上位／下位シェルフ構成	
7. 6	B S G C - C O M ループバック構成	
7. 6. 1	B S G C 、 B S G C - C O M とともに I N S 状態でのセルループバック	
7. 6. 2	B S G C 、 B S G C - C O M とともに O U S 状態でのセルループバック	
8.	2 重化制御	
8. 1	ハードウェア構成	
8. 1. 1	B S G C ハードウェア構成	
8. 1. 2	B S G C ハードウェアの概要説明	30
8. 1. 3	メモリマップ	
8. 1. 4	I / O マップ	
9.	保守・運用	
9. 1	診断機能	
9. 1. 1	診断対象項目	
9. 1. 2	診断担当	
9. 1. 2. 1	I N F インタフェース→B C P R アクセス リード／ライト診断	
9. 1. 2. 2	I N F インタフェース→D M A 転送 リード／ライト診断	
9. 1. 2. 3	B S G C 内機能診断	
9. 1. 2. 4	B S G C と B S G C - C O M 間診断	40
9. 1. 2. 5	V C C メモリテスト	
9. 1. 2. 6	B S G C - 他装置間 L A P リンク確立テスト	
9. 2	T C 機能	
9. 2. 1	基本方針	
9. 2. 2	セル B Y セル折り返しについて (O U S 状態)	
9. 2. 3	セル B Y セル折り返し位置	
9. 2. 4	O U S 試験時におけるアクティブ系 B S G C での T C ストップ	
機能		
<パート 8>	本発明に特に関連する構成及び機能等	
【 0 0 0 5 】		50

【発明の実施の形態】

以下、図面を参照しながら本発明の実施例につき詳細に説明する。

<パート1>

パート1では、本実施例の全体的な構成及び機能について説明する。

1. 本実施例が対象とするシステムの概観

1. 1 概説

図1は、本実施例による広帯域交換システムの全体構成図である。本実施例では、広帯域ホスト交換機（HOST: Broadband Host Switch）1には、加入者端末装置が直接接続されるほか、広帯域遠隔回線集線装置（BRLC: Broadband Remote Line Concentrator）2、広帯域遠隔交換装置（BRSU: Broadband Remote Switching Unit）3等が接続され、これらの装置に加入者宅内装置（CPE: Customer Premises Equipment）4が接続される。このような構成により、経済的な広帯域交換システムを構築することが可能となっている。

10

1. 2 本実施例が提供するインタフェース及びサービス

次に、本実施例が対象とする各種インタフェースについて列挙する。

1. 2. 1 加入者インタフェース（Subscriber Interfaces）

1. 2. 1. 1 光ファイバインタフェース

・B-ISDN（広帯域サービス統合ディジタルネットワーク）のユーザネットワークインタフェース（UNI）を提供する156Mbpsインタフェース。

20

・B-ISDNのUNIを提供する622Mbpsインタフェース。

1. 2. 1. 2 メタリックインタフェース

・SMDS（Switched Multi-Megabit Data Services）、フレームリレー、サーキットエミュレーション等の加入者ネットワークインタフェース（SNI）を提供する1.5Mbpsインタフェース。

・B-ISDNのUNI、及び、SMDS、フレームリレー、サーキットエミュレーション等のSNIを提供する45Mbpsインタフェース。

1. 2. 2 ネットワークインタフェース

・B-ISDNのネットワークノードインタフェース（NNI）を提供する622Mbps光ファイバインタフェース。

30

・B-ISDNのNNIを提供する156Mbps光ファイバインタフェース。

・B-ISDN、SMDS、フレームリレー等のNNIを提供する45Mbpsメタリックインタフェース。

・フレームリレーのNNIを提供する1.5Mbpsメタリックインタフェース。

1. 2. 3 サービス

本実施例が対象とする広帯域交換システムは、以下に示されるようなサービスを提供することができる。

・コネクション型ATM 高速データサービス。

・スイッチトマルチメガビットデータサービス（SMDS）に基づくコネクションレス高速データサービス。

40

・フレームリレーサービス。

・サーキットエミュレーションサービス。

1. 3 システム構成

次に、本実施例のシステム構成について説明する。

1. 3. 1 広帯域交換機アーキテクチャ

図2に、本実施例による広帯域交換システムのバリエーションを示す。

広帯域交換機の基本構成は、ATM 加入者スイッチ（ASSW）モジュールである。ASSWモジュールは、冗長構成を有する10Gbps（ギガビット/秒）のATMスイッチングモジュール構造、2重化構成の交換機プロセッサ、種々の加入者インタフェース装置及びネットワークインタフェース装置を含む。単一のASSWモジュールは、ス

50

Tandemアローン広帯域交換機として配置することができる。

ATM インターコネクションスイッチ (A I S W) は、単一の A S S W の容量以上の大規模容量スイッチとして有用である。A I S W は、より大規模な広帯域交換形態の要求に対して、統合された A S S W 間接続形態を提供する。大規模なオフィスを構成するために、多くの A S S W モジュールを A I S W によって相互接続し、1 6 0 G b p s に達する容量を実現することができる。多くの A S S W モジュールが A I S W により相互接続される大規模な構成においては、完全なサービスを提供できる広帯域遠隔交換装置 (B R S U) として機能させるために 1 つ以上の A S S W を遠隔配置させることができる。

また、A S S W は、広帯域遠隔回線集線装置 (B R L C) に対するホスト交換機として機能させることもできる。

10

1. 3. 2 スイッチマルチメガビットデータサービス (S M D S)

図 3 に、本実施例が対象とする広帯域交換機での S M D S の実現方式を示す。

加入者ネットワークインタフェース (S N I) としては、O C - 3 C 及び D S 1 / D S 3 という大きく分けて 2 つのタイプのインタフェースを使用することができる。前者は 1 5 6 M b p s の光ファイバインタフェースであり、後者は 1 . 5 M b p s / 4 5 M b p s のメタリックインタフェースである。光ファイバインタフェースは、加入者回線上に、S M D S 加入者装置と他の B - I S D N 装置を混在させることができる。メタリックインタフェースは、S M D S 専用のインタフェースとして規定される。本実施例が対象とする広帯域交換システムは、S M D S 加入者ネットワークインタフェースを直接に扱うことができる。

20

S M D S は、A T M に良く適合するが (S M D S のセルフォーマットは A T M のそれに類似する)、S M D S は、S M D S メッセージハンドラ (S M D S - M H) と呼ばれる特別なメッセージ処理装置を使用する。S M D S - M H は、アドレススクリーニング、メッセージルーティング、グループアドレッシング (ポイント対マルチポイント接続)、不当メッセージチェック等の、様々な S M D S 特有のサービスを提供する。S M D S は、コネクションレスサービスであるため、S M D S - M H は、メッセージ毎及びセル毎の様々なサービスを提供する。このサービスは高速性が特徴であるため、ほとんどのサービスは、ソフトウェアではなくハードウェアによって提供される。

2. 本実施例が対象とするハードウェアの説明

2. 1 スモールホスト用 A T M ネットワーク

30

図 4 に、本実施例が対象とする広帯域交換システムの代表的なハードウェア構成を示す。

この図は、スモールホスト用 A T M ネットワークを対象とする。

2. 1. 1 A T M 加入者スイッチ (A S S W)

A S S W は、種々のタイプの加入者に対するポート (加入者インタフェース) と、ネットワークインタフェースを提供する。加入者インタフェースには、S M D S における加入者-ネットワークインタフェース (S N I)、フレームリレーにおけるユーザーネットワークインタフェース (U N I)、及び B - I S D N A T M U N I が含まれる。ネットワークインタフェースには、フレームリレー、S M D S、及び B - I S D N におけるネットワーク-ネットワークインタフェース (N N I) と共に、S M D S におけるインターエクスチェンジキャリアインタフェース (I C I) 及びインタースイッチングシステムインタフェース (I S S I) が含まれる。加入者インタフェースは、また、サーキットエミュレーションにも適用することができる。

40

図 5 に、A S S W におけるポート構成を示す。

2. 1. 2 A S S W における加入者及びネットワークインタフェース

加入者・ネットワークインタフェースは、いくつかのタイプのシェルフとして構成され提供される。これらのシェルフには、A T M D S - 1 シェルフ (A D S 1 S H)、加入者インタフェースシェルフ (S I F S H)、及びファイバインタフェースシェルフ (F I F S H) がある。

2. 1. 2. 1 加入者インタフェースシェルフ (S I F S H)

図 6 に、加入者インタフェースシェルフ (S I F S H) の構成を示す。

50

加入者インタフェースシェルフ (S I F S H) は、必要な電源、共通カード、及び種々のタイプの D S 3 又は O C - 3 C インタフェースカードを 8 枚まで装着するためのマウントスロットを提供する。これらのインタフェースカードには、A T M O C - 3 C カード群 (O C 3 C P G)、A T M D S - 3 カード群 (A D S 3 P G)、フレームリレー D S - 3 カード群 (F D S 3 P G)、サーキットエミュレーション D S - 3 カード群 (C D S 3 P G)、及び A D S 1 S H インタフェースカード (A D S I N F) などがある。

A T M D S - 3 カードは、A T M と S M D S の両方のインタフェースを提供する。A T M O C - 3 C カード群 (O C 3 C P G) は、B - I S D N U N I に接続される A T M 機器から受信された情報に対する A T M セル交換を提供する。

D S - 3 カード群の機能は、回線速度が D S - 1 レートではなく D S - 3 レートで提供されるという点を除いて、A D S 1 S H に装着される D S - 1 カード群と同様である。 10

また、S I F S H は、A D S 1 S H インタフェースカード (A D S I N F) を扱うこともできる。A D S I N F カードの組 (1 組は 2 カード) のそれぞれは、4 シェルフの A D S 1 S H をインタフェースする。1 つの S I F S H あたりでは、1 6 シェルフの A D S 1 S H がインタフェースされる。それぞれの A D S 1 S H は 8 個の D S - 1 ポートを扱うことができ、また、後述するように 2 つの S I F S H シェルフをデジタイゼーション接続させることができるため、1 組 (1 組は 2 シェルフ) の S I F S H が接続されるポートにおいて、2 5 6 個の D S - 1 カードを扱うことができる。

2. 1. 2. 2 A T M D S - 1 シェルフ (A D S 1 S H)

図 7 に、S I F S H に対する A D S 1 S H 接続を示す。 20

A T M D S - 1 シェルフ (A D S 1 S H) は、種々の D S - 1 インタフェースカードを収容する。これらのカードには、フレームリレー D S - 1 カード群 (F D S 1 P G)、S M D S D S - 1 カード群 (S D S 1 P G)、及びサーキットエミュレーション D S - 1 カード群 (C D S 1 P G) がある。

フレームリレー D S - 1 カード群は、長いフレームリレーメッセージの個々の A T M セルへの分割機能、セル交換のための必要なタグと共に仮想呼識別子を付与する機能等を提供する。また、このカード群は、A T M スイッチからセルを受信し、それらのセルからフレームリレーフォーマットを組み立てる機能を提供する。この適応処理は、分割/組み立て機能と呼ばれる。この機能は、A T M セル交換技術をフレームリレートラヒックに適用することを可能にする。 30

S M D S D S - 1 カード群は、同様の機能を提供する。この機能は、データをセルの大きさのデータユニット列として提供するものである。

サーキットエミュレーション D S - 1 カード群は、完全同期トラヒックであるチャネルから受信された情報を、連続したセルに格納する機能を提供する。この機能も、A T M ネットワーク内を交換してゆくことができるように、情報を A T M セル列に分解する。また、サーキットエミュレーションカード群は、情報信号が A T M ネットワークから離れる際に、信号タイミングを回復させる機能も提供する。

A D S 1 S H シェルフは、必要な電源、共通カード、及び 3 タイプの D S - 1 カードを 8 枚まで装着するためのマウントスロットを提供する。このシェルフの出力は、加入者インタフェースシェルフ (S I F S H) にマウントされている A D S 1 S H インタフェースカード (A D S I N F) に接続される (図 7 参照)。 40

2. 1. 2. 3 ファイバインタフェースシェルフ (F I F S H)

ファイバインタフェースシェルフ (F I F S H) は、必要な電源と、O C - 1 2 C インタフェースを 4 枚までマウントするためのスロットを提供する。それぞれのインタフェースには、A T M O C - 1 2 C カード群 (O C 1 2 P G)、及びファイバインタフェースカード (F I F C P G) の組 (1 組は 2 枚) がある。

2. 1. 3 A S S W A T M スイッチモジュール

A T M スイッチモジュールは、最大で 1 0 G b p s (ギガビット/秒) の容量を有するものとして構成することができる。このモジュールは、1 6 ポートまでのトラヒックの出入口を供給する。スイッチ構造は、上り用と下り用の 2 つの分離された部分として構 50

成される。加入者・ネットワークポートからやってくるトラヒックは、上り方向トラヒックを提供するA T M ネットワーク上の16個のポートに供給される。加入者・ネットワークポートへ戻ってゆくトラヒックは、下り方向トラヒックを提供するA T M ネットワーク上の16個のポートから取り出される。そのようなトラヒックは、A S S Wに接続される種々の加入者・ネットワークインタフェースに対して送受信される。いくつかのネットワークポートは、ネットワークにおける一般的なシグナリング処理及びS M D Sのためのメッセージ処理を行うサービス装置により使用される。図8に、A S S Wを中心とするネットワークの構成例を示す。

2. 1. 3. 1 A T M スイッチングシェルフ (A S S W S H)

A T M スイッチングシェルフ (A S S W S H) は、A T M スイッチングネットワーク全体と関連する電源を収容する。このスイッチングネットワークは、10 G b p sを提供する4×4のノンブロッキングスイッチとして構成される。このスイッチングネットワーク上のそれぞれ2.5 G b p sの容量を有する4つのポートのそれぞれは、4つの関連するセルルーティングを多重するためのマルチプレクサカードを有する。従って、1つのポート内の1つのセルルーティングの容量は、2.5 G b p s / 4 = 622 M b p sとなる。この結果、スイッチングネットワークには、全体として、それぞれ622 M b p sの容量を有する16組の入力が供給されることになる。

A T M スイッチモジュールは、常に同じ4×4のサイズを有するように構成される。

4つのネットワークポートのそれぞれを接続するための1組のマルチプレクサカードは、独立の装置構成とされる。

また、A S S W S Hは、2組の共通カードと、タイミング生成用の1組のセルクロックジェネレータカード (C E L C L K) と、プロセッサ装置の接続用の1組の平行A T M インタフェースカード (P I A I N F) を含む。

2. 1. 3. 2 デイジーチェーン構成

加入者／ネットワークインタフェースを供給する前述したシェルフ群は、A T M スイッチングネットワーク上の16個のポートのそれぞれに接続される1つのシェルフによって、そのA T M スイッチングネットワークに接続することができる。その1つのシェルフが622 M b p sの容量を完全に供給していない場合には、そのシェルフを他のもう1つのシェルフとデイジーチェーンさせることができる。デイジーチェーンでは、第1番目のシェルフがスイッチポートに接続され、第2番目のシェルフが第1番目のシェルフに接続される。図5に示したように、2つのS I F S H をデイジーチェーンさせることができる。このような配置は、A T M スイッチングネットワークに対する16個のポートに32個までのシェルフを接続することを可能とする。

2. 1. 4 A S S Wにおけるその他のA T M ネットワークサポート装置及びテストセル生成方式

上りスイッチ部分からのトラヒックは、2通りの方法によって下りスイッチ部分に接続させることができる。即ち、この機能は、ループバック回路又はA T M インターコネクションスイッチ (A I S W) によって実現される。ループバック配置は、どのようなA S S W内接続をもサポートする。一方、A S S W間接続は、A I S Wを介した接続によってサポートされる。

2. 1. 4. 1 ループバック用加入者インタフェースシェルフ (S I F S H)

図9に、S I F S H におけるループバック構成を示す。

S I F S H は、上りネットワークからの8個までの156 M b p sの出口を下りネットワークへの8個までの156 M b p sの入口に接続するための8個までのループバックカードグループ (L O O P P G A) を含む。また、このシェルフは、上記ループバックカードのための電源を内蔵する。将来的には、622 M b p sのループバックカードグループを利用することができる。このカードは、156 M b p s以上の帯域幅のサービスが導入された場合に必要となる。

2. 1. 4. 2 テストセルジェネレータ用加入者インタフェースシェルフ

図10に、S I F S H に接続されるテストセルジェネレータの構成を示す。

10

20

30

40

50

図10に示されるように、SIFSHは、試験に使用されるテストセルジェネレータアダプタ(TCGADPs)を内蔵できる。このTCGADPsは、ASSWの出入口上に配置されるSIFSHに内蔵される。テストセルジェネレータ(TCG)は、図10に示されるように、テストセルジェネレータシェルフ(TCGSH)内に配置される。

2. 1. 5 ASSWにおけるシグナリング装置

システム上の各ポート装置のシェルフは、対応するマイクロプロセッサを有している。広帯域シグナリングコントローラシェルフ(BSGCSH)は、ASSWの広帯域コアプロセッサ(BCPR)と上述の種々のポート用マイクロプロセッサの間のシグナリング、及びB-ISDN UNIシグナリングを、処理する。

10

図11に、BSGCSHの構成を示す。このシェルフは、必ず配置され、電源と、共通カードと、6枚までの広帯域シグナリングコントローラカードグループ(BSGCPGA)を内蔵する。BSGCSH内のBSGCは、INFA(周辺インタフェースタイプA)及びINFT(周辺インタフェースタイプT)を介して、BCPRが接続されるシステムバス(BCPR Bus)に接続される。

2. 1. 6 SMD Sメッセージハンドラ

SMD Sメッセージ処理装置は、2つの異なるタイプのものがある。1つは、加入者SNIポートに対応するシグナリング要求を処理し、他の1つは、ICI及びISSIポートに対応するシグナリングを処理する。

2. 1. 6. 1 加入者メッセージハンドラシェルフ(SBMESH)

20

加入者メッセージハンドラシェルフ(SBMESH)は、SMD S加入者SNIポートからのメッセージを処理する。このシェルフは、何れかのSMD S加入者SNIがASSW又はそれに接続されるBRLC上のポートに存在するならば必ず、或いは、SMD Sトラヒックが加入者側のターミナルアダプタが接続されるATM UNI設備を介して転送されてくるような場合に、用意される。

各SBMESHシェルフは、そのシェルフの容量までDS-1設備とDS-3設備を混在させてサービスを提供することができる。また、そのシェルフは、102Mbpsの情報レートを有するSMD S情報を処理する。この場合、DS-3に対する最大情報レートは34Mbpsであり、DS-1に対するそれは1.17Mbpsである。また、1つのシェルフは、32SNIまでを処理することができる。この基準によれば、1つのシェルフは、3本のDS-3伝送路又は32本のDS-1伝送路までを処理することができる。これらの制限に加えて、スイッチングネットワークは、1ポートあたり622Mbpsまでのトラヒック容量に制限される。

30

本実施例におけるシステムは、スイッチングネットワークの入口に対して4個のSBMESHまでをデ이지チェーン接続することができる。もし、スイッチングネットワークにSMD S DS-1伝送路のみが接続されていると仮定すると、4つのデ이지チェーン接続されたSBMESHが接続された1つのネットワークポートは、12本までのDS-3伝送路、又は128本までのDS-1伝送路、或いはそれらの混在形態を扱うことができる。もし、ASSWにおけるSMD Sポート(トラヒック)が単一のメッセージハンドラグループのキャパシティを超えた場合には、より多くのメッセージハンドリング装置を提供するために、他の1つ又は幾つかのポートを選択することができる。

40

2. 1. 6. 2 ゲートウェイメッセージハンドラシェルフ(GWMESH)

ゲートウェイメッセージハンドラシェルフ(GWMESH)は、ASSW上のSMD S ICI及びISSIポートに対するメッセージ処理及びシグナリング機能を提供する。

各GWMESHには、上述したSBMESHに対するのと同じ制限がある。SMD S ICI又はISSIがDS-3フォーマットで実現され、フル容量で運用されている場合、GWMESHに対する事実上の制限は、3本のDS-3 ICI、ISSIである。SMD S ICI又はISSIがOC-3Cをフルに利用する形態で実現されている場合、1つのメッセージハンドラシェルフは、単一のOC-3C専用に使用されなければならない

50

い。本実施例によるシステムでは、スイッチングネットワークへの同一の入口に、4つまでのGWME SHシェルフをデ이지チェーン接続させることができる。この場合でもまた、トラヒックが単一のメッセージハンドラグループのキャパシティを超えた場合には、他の1つ又は幾つかのポートを追加することができる。

SMD Sに対する要求が小さいオフィスでは、シェルフ毎の制限を超えず、かつ全体のトラヒックが6 2 2 Mb p s を超えない限りにおいて、1つ以上のSBME SHと1つ以上のGWME SHをデ이지チェーン接続させることができる。このような技術的配置は、SMD S機能に対するポート使用率を最小化する上で有用である。

2. 2 広帯域遠隔交換装置 (BR S U)

図1 2に、BR S Uの主なハードウェア構成要素を示す。BR S Uの構成要素は、ホスト 10 交換機内のAS S Wのそれと同じである。

2. 3 広帯域遠隔回線集線装置 (BR L C)

図1 3に、BR L Cの主なハードウェア構成要素を示す。

AS S Wに対して遠隔の配置で加入者インタフェースを収容する必要がある場合、広帯域遠隔回線集線装置 (BR L C) を使用することができる。BR L Cは、AS S Wに対して遠隔に配置され、スイッチング機能を実行する。

BR L Cは、本質的には、顧客群からのトラヒックを集線し、それをAS S W (1つ以上のアンビリカルリンクによって接続されている) に配信する。

BR L Cは、AS S Wにおけるものと同様のタイプの加入者/ネットワーク接続入力ポートを有する。コールプロセッサは存在しないが、ポートとアンビリカルリンクとの間のネ 20 ットワークを交換するある種の汎用的な装置を有している。

図1 4に、BR L Cにおける接続構成を示す。

2. 3. 1 加入者入力ポート

種々の加入者インタフェースが、BR L Cのポートに接続されている。これらのポートは、種々のタイプのシェルフ装置手段により実現されている。それらには、図1 4に示されるように、AS S Wにおいて実現されているものと同様の、ATM DS 1 シェルフ (ADS 1 SH) 及び加入者インタフェースシェルフ (SIF SH) などが含まれる。BR L C全体の最大容量は6 2 2 Mb p s であるため、ファイバインタフェースシェルフ (FIF SH) はBR L Cでは使用されない。

ATM DS 1 シェルフ (ADS 1 SH) は、種々のタイプのDS - 1インタフェース 30 カードグループを収容する。これらには、フレームリレーDS - 1カードグループ (FDS 1 PG)、SMD S DS - 1 カードグループ (SDS 1 PG)、及びサーキットエミュレーションカードグループ (CDS 1 PG) が含まれる。ADS 1 SHについては、2. 1. 2. 2で説明した。

加入者インタフェースシェルフ (SIF SH) は、種々のネットワークインタフェースカードを収容する。SIF SHは、ATM OC - 3 Cカードグループ、種々のDS - 3カード、又はATM DS - 1シェルフインタフェースカード (ADS INF) を収容できる。SIF SHについては、2. 1. 2. 1で説明した。

2. 3. 2 アンビリカル装置

BR L Cとそれに対するサーバであるAS S Wとの間のアンビリカルリンクは、ADS 3 40 PGAを使用するDS - 3設備又はOC 3 PGAを使用するOC - 3 C設備として構成することができる。また、このアンビリカルリンクは、OC 1 2 PGAカードグループを使用した単一のOC - 1 2 Cとしても提供することができる。BR L Cの容量は6 2 2 Mb p sに制限されているため、アンビリカルリンクの最大構成は、1本のOC - 1 2 C又は4本のOC - 3 Cである。DS - 3を使った最大構成では、1 2組のDS - 3設備が提供され、約6 2 2 Mb p s のトラヒックを処理できる。任意のBR L Cからの全てのアンビリカルリンクは、同一のAS S Wに接続されなければならない。

DS - 3又はOC - 3カードが使用される場合、最小構成として、最初の4枚のカードをRMX SHの予約スロットにマウントすることができる。カードの枚数が4枚を超えた 50 場合、更に8枚のカードをマウントできるSIF SHを追加することができる。もし、O

C-12Cにおいて必要ならば、FIFSHシェルフを使用することができる。SIFSH及びFIFSHについては、既に説明した。

2. 3. 3 ネットワーク装置

BRLCは、スイッチングネットワーク或いはASSWを有しない。この結果、ネットワークスイッチングシェルフ及び同期化シェルフは必要とされない。しかし、加入者ポート及びアンビリカルリンクを供給する種々のシェルフ装置は、ネットワーク装置にインタフェースされる必要があり、また、それらのシェルフ装置はネットワーク装置の所定の機能を要求する。このようなことから、BRLCは、ネットワークの代わりに機能するシェルフ装置を必要とする。この機能は、RMXSHシェルフによって実現される。

遠隔多重シェルフ(RMXSH)は、ネットワーク代用機能及び多重装置としての機能を提供する。このシェルフは、加入者インタフェースからのATMセルを受信して、提供されている種々のアンビリカルリンクに多重する。このシェルフは、また、多重機能に対するタイミングを確立しそれに基づく処理を実行する。

RMXSHシェルフは、その機能を実現するために、クロック回路と多重装置を有する。そして、このシェルフは、電源と共に、1組の遠隔多重タイミングジェネレータカードグループ(RMXTPG)、1組の遠隔多重ハイウェイカードグループ(RMXHPG)、及び1組の遠隔多重コントローラカードグループ(RMXCPG)を常に装備している。

3. 本実施例で実現される機能

3. 1 概説

この章では、本実施例が対象とする広帯域交換システムの構成要素について説明する。これらの構成要素は、以下の4つのカテゴリに分類される。

- ・ホスト交換機
- ・広帯域遠隔交換装置(BRSU)
- ・広帯域遠隔集線装置(BRLC)
- ・加入者宅内装置

3. 2 ホスト交換機

ホスト交換機は、以下のような構成要素から構成される。

- ・ATM加入者スイッチ(ASSW)
- ・ATMインターコネクションスイッチ(AISW)
- ・広帯域メインプロセッサ(BMPR)
- ・メンテナンス／オペレーションサブシステム(MOS)
- ・光リングバス

ホスト交換機は、更に以下の2つのタイプに分類される。

- ・スモールホスト交換機
- ・ラージホスト交換機

図15に、スモールホスト交換機とラージホスト交換機の構成を示す。ASSWが構成の基本となる。スモールホスト交換機は、1つのASSW、BMPR、及びMOSから構成される。ラージホスト交換機は、複数のASSWと、1つのAISWと、1つのBMPRと、1つのMOSから構成される。ラージホスト交換機において、AISWは複数のASSW間を接続する。スモールホスト交換機からラージホスト交換機への移行は、サービスを中断させることなく行うことができる。

光リングバスは、広帯域交換システム及び狭帯域交換システムが1つのシステムに統合される場合に使用される。

なお、本実施例は、主にスモールホスト交換機を対象として説明している。

3. 3 ATM加入者スイッチ(ASSW)

ATM加入者スイッチ(ASSW)は、広帯域交換システムにおける基本的な構成要素である。図16に、ASSWの構成を示す。ASSWは、10Gbpsの容量のスループットを有し、以下の構成要素から構成される。

- ・ATMスイッチモジュール(ASM)

- ・加入者／ネットワークインタフェース
- ・広帯域シグナリングコントローラ（BSGC）
- ・SMDSメッセージハンドラ（SMDS-MH）
- ・広帯域コールプロセッサ（BCPR）

3. 3. 1 ATM スイッチモジュール（ASM）

広帯域交換機におけるATM スイッチモジュール（ASM）は、シングルステージ又はマルチステージのセルフルーティングモジュール（SRM）によって構成されている。SRMは、2.5 Gbpsのリンクスピードを有する $N \times N$ のスイッチングマトリックスにより構成される。図17に、SRMの原理を示す。SRMに流入されたATMセルは、各セルに付加されているタグに従って出力ポートへルーティングされる。

10

図18に、ASSWにおいて使用される 4×4 のSRMの構成を示す。 4×4 のSRMにおいて、セルは、4つの入力ポートと4つの出力ポートとの間で交換される。SRMは、特別に設計されたバイポーラCMOS大規模集積回路（VLSI）によって構成される。このSRMは、 2×2 のスイッチマトリックスを含む。それぞれのクロスポイントは、2.5 Gbpsのスイッチング容量を有する。

セルスイッチングの原理は次の通りである。ここでは、入力ハイウェイHW0から出力ハイウェイHW2へのセルスイッチングを例として説明する。

まず、各セルには、タグが付加されている。

例えば、HW0から入力されたセルには、タグ2が付加されると仮定する。それぞれのスイッチングエレメントは、タグ値をチェックし、出力ポート番号に等しいタグを有するセルのみをスイッチする。図18の例では、スイッチングエレメントSW02が該当する。もし、複数のセルが1つの出力ポートに出力される場合には、アクセス制御機構が、各クロスポイント内のバッファを用いることにより、セルの競合を回避する。

20

図19に、仮想チャネル識別子コンバータ（VCC）の位置を示す。タグは、加入者／ネットワークインタフェースなどの周辺装置に配置されているVCCにより、セルに付加される。VCCは、各セルのためのタグ値を特定する。タグ値は、呼接続における呼設定フェーズ又は半固定接続の設定フェーズにおいて処理されるソフトウェアテーブルに従って設定される。

タグ情報は、デマルチプレクサにおいても使用される。タグは、ATM スイッチモジュール及び周辺装置内のデマルチプレクサの出力ポートを特定する。

30

図20に、ASSWのATM スイッチモジュールの構成を示す。ASSWのATM スイッチモジュールは、上り用と下り用の2つに分離された各 4×4 のSRMにより構成される。加入者／ネットワークインタフェース、広帯域シグナリングコントローラ（BSGC）、SMDSメッセージハンドラ（SMDS-MH）などの周辺装置インタフェースは、622 Mbpsの容量を有する。全ての加入者／ネットワークインタフェースは、ATM スイッチモジュールの一方の側に集合させられる。ATM スイッチモジュールの他方の側には、ASSW内トラヒックをルーティングするループバックリンクが配置される。AISWが使用されるラージホスト交換機においては、AISWのインタフェースがループバックリンクに置き換えられる。

3. 3. 2 加入者／ネットワークインタフェース

40

図21に、本実施例の加入者インタフェース（SNI）／ネットワークインタフェース（ICI／ISSI）を説明する構成図を示す。同図に示すように、加入者インタフェース／ネットワークインタフェースとして以下の3つの速度を提供する。

- ・高速：622 Mbps 光インタフェース
- ・中速：156 Mbps 光インタフェース，45 Mbps メタルインタフェース
- ・低速：1.5 Mbps メタルインタフェース

上記3つの速度のインタフェースに対しては、それぞれ異なったシェルフが使用される。低速インタフェースの信号は、いったん8 Mbps リンクに多重化された後に、中速インタフェースのシェルフに収容される。中速インタフェースのシェルフは、輻輳を考慮し、2シェルフまでイモヅル式に接続することができる。加入者インタフェースとネットワ

50

ーク・インタフェースは共通であり、それら2つのシェルフを同一シェルフで構成できる。ただし、これらのシェルフはトラフィック集中が起こるので、加入者側とネットワーク側で異なるグレイドのサービスを要求するのであれば、それらシェルフを分離する必要がある。

加入者インタフェース／ネットワークインタフェースとしては、以下の4つのタイプに分類することができる。

- ・ B-I S D N (A T M)
- ・ S M D S
- ・ フレーム・リレー
- ・ サーキット・エミュレーション

10

上記各サービスに対して異なるインタフェース・カードが使用されるが、シェルフは共通とすることができる。これらインタフェース・カードは、サーキット・エミュレーションを除いて、加入者側とネットワーク側で異なる。

3. 3. 3 広帯域シグナリング・コントローラ (B S G C)

B S G C (B r o a d b a n d S i g n a l i n g C o n t r o l l e r) は A T M インタフェースとの H D L C (H i g h L e v e l D a t a L i n k P r o c e d u r e) ハンドラである。図22はA S S W内におけるB S G Cの位置を示す図である。B S G Cは、I N F (I n t e r f a c e) 経由でB C P R (B r o a d b a n d C a l l P r o c e s s o r) によって制御され、B-I S D N U N I および B-I S D N N N I のための L A P D (L i n k A c c e s s P r o c e s u r e D- 20
c h a n n e l) もしくは C C S 7 シグナリングを提供する。B S G Cは、B C P R と B R L C (B r o a d b a n d R e m o t e L i n e C o n c e n t r a t o r) との間の通信と行うとともに、B C P R と S N I インタフェース装置との間の内部通信も行う。

3. 3. 4 メッセージ・ハンドラ (S M D S)

S M D S-MH (S M D S メッセージ・ハンドラ) は、アドレス・スクリーニング、メッセージ・ルーティング、グループ・アドレス処理 (ポイント・トゥ・ポイント通信)、異常メッセージチェック、課金処理、データ・コレクション等の S M D S 対応機能を提供する。図23は、A S S W内における S M D S-MH の位置を示した図である。この実施例では、S M D S-MH として、以下の2つのタイプを示す。 30

- ・ S B M H (S u b s c r i b e r M e s s a g e H a n d l e : 加入者メッセージ・ハンドラ)
- ・ G W M H (G a t e w a y M e s s a g e H a n d l e : ゲートウェイ・メッセージ・ハンドラ)

S B M Hは、S N I のためのメッセージ処理を行う。一方、G W M Hは、I C I や I S S I などのスイッチ間インタフェースのためのメッセージ処理を行う。

3. 3. 5 広帯域コール・プロセッサ (B C P R)

図24にB C P R (B r o a d b a n d C a l l P r o c e s s o r) の構成を示す。B C P Rは、全てのS N I のための呼制御を行う。B C P Rは、以下の各ユニットを含む。 40

- ・ C P U
- ・ メインメモリ
- ・ イーサネット・インタフェース
- ・ I N F

イーサネット・インタフェースは、スモールホスト交換機内において、B C P R と B M P R (B r o a d b a n d M a i n P r o c e s s o r) との間の通信に使用される。I N F は、A T M スイッチモジュール、B S G C、S M D S-MH 等の各種A S S W内の装置とB C P Rとの間のインタフェースを提供する。

3. 3. 6 メンテナンス・アンド・オペレーション・システム (M O S)

M O S (M a i n t e n a n c e a n d O p e r a t i o n S y s t e m) は、 50

各種メンテナンス及びオペレーションを行う。図25にMOSの構成を示す。MOSは以下の各ユニットを含む。

- ・アラーム・パネル・ユニット
- ・アラーム・コントロール・ユニット
- ・オペレーション・アンド・メンテナンス・プロセッサ

広帯域スイッチのみのシステムでは、MOSは、イーサネット・インタフェースを介して直接BMPRに接続され、BMPRとの連携動作によってオペレーションおよびメンテナンス機能を提供する。狭帯域および広帯域スイッチからなるシステムでは、MOSは、狭帯域および広帯域スイッチング・システムに光リング・バスで接続され、広帯域システム用BMPRおよび狭帯域システム用メイン・プロセッサとの連携動作によってオペレーションおよびメンテナンス機能を提供する。

10

3. 3. 7 オペレーション・アンド・メンテナンス・プロセッサ (OMP)

OMP (Operation and Maintenance Processor) は、本実施例のフロントエンド・プロセッサである。OMPは、システム管理・制御、およびラインやトランクの試験に加えて、本システムに複数のOSを接続する。OMPのハードウェア構成 (図26参照) を以下に示す。

- ・CPU (メモリを含む)、ディスクドライブ、フロッピー・ディスクドライブ
- ・CRT ディスプレイ (GUI 使用)
- ・キーボード
- ・マウス
- ・ハードディスク
- ・カートリッジテープドライブ
- ・非同期通信サーバ
- ・プリンター
- ・X. 25 インタフェース

20

3. 3. 8 システム・インテグレーション・プロセッサ (SIP)

SIP (System Integration Processor) は、OMPを光リングバスに接続する場合に使われる。1つのOMPがSIPを介して光リングバスに接続されると、他のアプリケーション (狭帯域、広帯域、その他) で処理可能となる。

30

3. 4 広帯域遠隔集線装置 (BRLC)

BRLC (Broadband Remote Line Concentrator) の構成を図27に示す。BRLCは、ホスト交換機から遠隔地に加入者インタフェースを提供する。BRLCは、トラフィック集線を行うが、遠隔地での交換は行わない。オペレーション及びメンテナンス機能は、基本的にはホスト交換機から提供される。ネットワーク・インタフェースは、ホスト交換機とのアンビリカルからなる。このアンビリカルが切れた場合、BRLCは、スタンドアロンとして動作することはできない。

3. 5 広帯域遠隔交換装置 (BRSU)

BRSU (Broadband Remote Switching Unit) の構成を図28に示す。BRSUは、ホスト交換機からの遠隔地において、加入者インタフェース、ネットワーク・インタフェース、交換機能を提供する。BRSUは、AISWが設けられたラージ・ホスト交換機から制御される。オペレーションおよびメンテナンス機能は、基本的にはホスト交換機から提供されるが、一部機能はBRSU自身が有する。BRSUは、ホスト交換機と同じ加入者インタフェース／ネットワークインタフェースを提供する。ホスト交換機とのアンビリカルは、BRLCの場合のそれと類似するが、BRSUでは、もしそのアンビリカルが切断された場合でもスタンドアロンとして動作し、スイッチ間サービスを提供しつづけることができる。

40

3. 6 SMDSの実施態様

SMDSは、コネクションレス高速パケットデータサービスである。SMDSに関する装置を図29に示す。SMDSのトラフィックは、DS1/DS3 インタフェース部とS

50

MDSメッセージ・ハンドラ部で処理される。

- ・DS1/DS3 インタフェース部
- ・加入者インタフェース／ネットワークインタフェースのレベル1（物理レイヤ）の終端
- ・SNI level-2 のATM レイヤの終端
- ・パフォーマンス・モニタ
- ・メッセージ・ハンドラ
- ・SNI level-2 のSAR の終端
- ・SNI level-3 機能（フォーマット・チェック、アドレス・スクリーニング、ルーティング、フロー制御）
- ・データ・コレクション（ネットワーク・トラフィック管理、ネットワーク・データコレク

10

SMDSは、ターミナル・アダプタを介して、B-ISDN（ATM）加入者インタフェースを用いて構成することができる。この場合、DS1/DS3 インタフェースをターミナル・アダプタで提供する。

レイヤ構造のSNI のプロトコルを図30に示す。また、SMDSは、図31に示すレイヤ構成を採用している。さらに、図32に、SMDSシステムにおけるセルのルーティングを示す。

フロー制御は、以下の2カ所で実行される。

- ・DS1/DS3 インタフェース部でのユーザ・パラメータ・コントロール（UPC）
- ・GWMHでのトラフィック・シェイピング

20

3.7 トラフィック管理

トラフィック管理は、以下のメカニズムによって実現される。

- ・呼受付制御
- ・使用量制御
- ・セル・ルーティングの優先度

3.7.1 呼受付制御

サービスの要求品質（たとえば、セル廃棄率やセル伝送遅延）を保証するために、システムは帯域を管理し、呼の受け付け時点で各呼ごとに要求された帯域が守られていることをチェックする。呼に対する処理は、ピーク値、平均値、およびサービスの要求品質等に従って実行する。

30

システム内での帯域は、以下の3地点で仮想パス（Virtual Path）ごとに管理される。

- ・加入者インタフェース
- ・ネットワーク・インタフェース
- ・システム内の622 Mbps

上記仮想パスの容量は、以下の2点で管理される。

- ・各呼のクラスの帯域（W1）：各呼のクラスに対して割り当てられ、管理される帯域
- ・共通帯域（W2）：呼のクラスとは無関係に割り当てられ、管理される帯域

なお、W2領域は、W1からオーバーフローした呼、W1において設定されていない呼によって利用される。

40

3.7.2 ユーザ・パラメータ・コントロール（UPC）

UPC（User Parameter Control）は、各呼の実際のトラフィックを管理する。上記設定値を越えた呼が検出された場合には、システムは、その呼のセルを廃棄するか、そのセルに対して設定値を越えたことを示すタグを付与する。

UPCは、仮想チャネル（VC）、仮想パス、またはそれら両者に対して実行される。加入者線に対しては、UPCは加入者インタフェース部において仮想チャネル毎に行われる。上記設定値を越えたセルに対しては、以下の処理がなされる。

- ・B-ISDN：廃棄または設定値を越えたことを示すタグの付与
- ・SMDS：廃棄

ネットワーク側（たとえば、他の交換機やBRSU/BRLCとのインタフェース）で

50

は、ネットワーク・インタフェース部において、各仮想パス（または仮想チャネル）ごとに実行される。

3. 7. 3 セル・ルーティングの優先度

セル・ルーティングの優先度の制御は、システム内のMUX/DMUX部およびATMスイッチにおけるバッファで行われる。その制御は、以下に示す2つのスレッシュホルド値を用いてキュー（待ち行列）で実現される。

- ・重要でない加入者セルを廃棄するためのスレッシュホルド値
- ・CLP (cell loss priority) = 1 のセルを廃棄に関するスレッシュホルド値

3. 8 データ・コレクション

本実施例のシステムでは、以下のデータを収集する。

- ・AMA (Automatic Message Accounting) データ
- ・パフォーマンス・モニタリング・データ
- ・ネットワーク・トラフィック管理データ
- ・NDC (ネットワーク・データ・コレクション) データ

AMA データは、例えば、BMPRまたはSIP の記憶装置に格納され、OSに転送される。

パフォーマンス・モニタリング・データは、15分間隔または24時間間隔で収集される。このデータは、BMPRの記憶装置に格納され、OSから要求があった場合に、OMP を介してOSに転送される。

ネットワーク・トラフィック管理データは、輻輳の検出・通知のために使用され、その輻輳レベルが所定のスレッシュホルド・レベルを越えたときに収集される。また、所定間隔（5分）での収集も行われ、OMP を介してリアルタイムでOSに転送される。

NDC データは、長期的な予測のために使用される。このデータは、OSからの要求があったときに、OMP を介してBMPRの記憶装置に格納される。

4. その他

以上説明した本実施例の全体構成のうち、例えば図8に示されるDS3-SMDSインタフェース(DS3)、SIFSH、ASSWSH、SBMESH、GWMESH、及びBSGC SHの詳細について、以下のパート2～7で説明する。その後、パート8において、本発明に特に関連する構成及び機能等について説明する。なお、DS1-SMDSインタフェース(DS1)については、伝送速度が異なるだけで、基本的な機能はDS3-SMDSインタフェースと同様であるため、その詳細については省略する。

【0006】

<パート2>

パート2では、DS3-SMDSインタフェースの詳細について説明する。

1. 概略説明

DS3-SMDSインタフェースは、DS3 伝送路を使用してSMDSサービスを行うための回線インタフェースとして使用される。また、DS3-SMDSインタフェースは、BRLC (Broadband Remote Line Concentrator : 広帯域遠隔回線集線装置) を接続してアンビカルリンクを実現するためのインタフェースとして使用される。

SMDS (Switched Megabit Data Service) とは、高速のコネクションレスデータサービスの一種であり、LAN とLAN とを接続してデータを交換するサービスとして機能することを期待されている。

図33は、DS3-SMDSインタフェースを中心としたシステム構成の概略を示す図である。また、図34は、交換機1にBRLC2が接続される構成を示した図である。

図33に示されるDS3-SMDSインタフェース1、3は、SIFSH (Subscriber Interface Shelf) 6に搭載される。また、図34に示されるDS3-SMDSインタフェース3 (図ではDS3-ATM と記載されている)

は、交換機1内のSIFSH 7又はBRLC2内のRMXSH (Remote Mul

10

20

30

40

50

triplexer Shelf) 7に搭載される。DS3-SMDSインタフェースは、それがSIFSHに搭載される場合、最大で8リンク分までSIFSHに搭載することができる。SIFSHは、ATMスイッチとのインタフェース部分である2重化された構成を有する共通部(SIFSH-COM or SIFSH Common)と、1重化された構成を有する回線個別部より構成される。DS3-SMDSインタフェースは、回線個別部に搭載される。また、SIFSHは、最大で2シェルフまでカスケードに接続され、4:1の集線化を行う。

図33において、DS3-SMDSインタフェース1は、SMDSサービスを提供するためのDS3伝送路2上のDS3レイヤーを終端し、DS3伝送路2から入力されるDS3フレームのインフォメーションペイロード部に収容されているPLCPレイヤーのフレームを取り出す。そして、DS3-SMDSインタフェース1は、取り出したPLCPレイヤーのフレームからL2プロトコルデータユニット(L2-PDU)を抜き出し、L2-PDUヘッダのHCS(HEC)チェックを行った後、53オクテットのL2-PDRUからATMスイッチ5内で処理可能な54オクテットのATMセルへの変換(53/54オクテット変換)を行い、そのATMセルを、622Mbps(メガビット/秒)の伝送速度を有する高速上りハイウェイ(Upward Highway)に多重して、ATMスイッチ3に送出する。

10

逆に、DS3-SMDSインタフェース1は、ATMスイッチ3から伸びている高速下りハイウェイ(Downward Highway)から分離したATMセルから、上述した手順と逆の手順によりDS3フレームを組み立て、それをDS3伝送路2に送出する。

20

一方、図34に示されるように、DS3伝送路4にBRLC(Broadband Remote Line Concentrator:広帯域遠隔回線集線装置)が接続される場合には、DS3-SMDSインタフェース3は、アンビリカルリンクを実現する。この場合、図34において、交換機1内のDS3-SMDSインタフェース3は、DS3伝送路4によってBRLC2内のDS3-SMDSインタフェース5と接続される。

2. 回線インタフェースの説明

2.1 DS3 回線インタフェース

2.1.1 ペイロードマッピング

DS3回線インタフェースにおいて、ATMスイッチ側のデータフォーマットであるATMセルと伝送路側のデータフォーマットであるDS3フォーマットとの間のマッピングを、図35に示す。

30

2.1.2 DS3 フレームフォーマット

図33において、DS3-SMDSインタフェース1は、伝送路2上のフレームフォーマットである図35に示される非同期DS3フレームフォーマット(Asynchronous DS3 FRAME FORMAT)(M13 Format)を終端する。このフレームフォーマットの更に詳細な構成を、図36に示す。

1つのマルチフレーム(Multiframe)は、7つのサブフレーム(Subframe)によって構成される。1つのサブフレームは更に、それぞれ85ビットからなる8個のブロックによって構成される。1つのブロック内の85ビットのうち、最初の1ビットはDS3オーバーヘッド部であり、残りの84ビットが情報ペイロード部(INFO. PAYLOAD)である。

40

DS3回線インタフェースにおいては、44.736MHzのビットレートで、1つのマルチフレームが、106.4μsec(マイクロ秒)の周期で伝送される。

3. PLCPフレームフォーマット

3.1 DS3 PLCPフレームフォーマット

図37に、図35に示されるPLCPレイヤ(PLCP LAYER)に対応するDS3 PLCPフレームのフォーマットを示す。DS3 PLCPフレームは、図35に示される非同期DS3フレームフォーマットにおけるサブフレーム内のインフォメーションペイロード(INFO. PAYLOAD)を使って伝送される。この場合、フレーム内の

50

各オクテット (octets) は、4ビットからなるニブル (nibble) という単位で、順に伝送される。なお、図35に示されるDS3 フレームフォーマットのマルチフレーム又はサブフレームの先頭とDS3 PLCPフレームの先頭は、同期している必要はない。

4. DS3-SMDSインタフェース L2-PDUフォーマット

4.1 DS3-SMDS L2-PDU フォーマット

図38に、図35又は図37のPLCPフレームに挿入されるDS3-SMDS L2-PDU (L2 Protocol Data Unit) のフォーマットを示す。図38又は図35に示されるように、DS3-SMDS L2-PDU は、7オクテット (octets) のヘッダ (HEADER) と、44オクテットのインフォメーションフィールド (INFO. FIELD)、及び2オクテットのトレーラ部 (TRAILER) によって構成されている。

10

まず、図38のヘッダ (HEADER) 内のアクセスコントロールフィールド (Access Control、又は図35のACF) は、DS3-SMDSインタフェースが終端する伝送路上におけるL2-PDUの伝送状態を検出するために使用される。DS3-SMDSインタフェースが終端する伝送路が、SNI (加入者-ネットワークインタフェース。例えば図33の伝送路2) である場合と、NNI (ネットワーク-ノードインタフェース。例えば図33の伝送路4) である場合のそれぞれ、並びに上り伝送路及び下り伝送路のそれぞれにおけるアクセスコントロールフィールドの内容を、図39に示す。

20

図39において、DS3-SMDSインタフェースが終端する伝送路がSNI である場合には、BUSYビットは、そのビットが含まれるL2-PDUが情報を含んでいるか否かを示す。また、DS3-SMDSインタフェースが終端する伝送路がSNI で、かつその伝送路が上り伝送路 (ATMスイッチ側に入力する伝送路) である場合には、REQ0、REQ1、REQ2の各ビットは優先レベルを示す。一方、DS3-SMDSインタフェースが終端する伝送路がNNI である場合には、BUSYビットは、そのビットが含まれるL2-PDUが有効なセルであるか否かを示す。

4.2 ネットワークコントロールインフォメーション

図38に示されるヘッダ部内のネットワークコントロールインフォメーションフィールド (NETWORK CONTROL INFO 又は図35のNCI) は、32ビットのデータであって、図40に示されるように、20ビットのVCI、2ビットのPT、2ビットのSP、及び8ビットのHCS によって構成される。図40に示されるように、VCI (Virtual Channel Identifier) は、L2-PDU内に情報が有る場合には全て“1”であり、そうでない場合には全て“0”である。PT (Payload Type) 及びSP (Segment Priority) は、DS3-SMDS SNI (Subscriber Network Interface) において将来使用されるデータであり、現在は共に“00”である。

30

HCS (Header Check Sequence) は、ネットワークコントロールインフォメーションフィールド内のVCI、PT、SPからなる3オクテットのデータ部に対する生成多項式 ($G(x) = X^8 + X^2 + X + 1$) を用いた計算によって得られる値である。この値を用いることにより、ネットワークコントロールインフォメーションフィールドのエラーチェックが行われる。VCI、PT、SPからなる3オクテットは、図40に示されるように2種類の固定値を採るだけである。従って、HCS は、L2-PDU内に情報が有る場合は“00100010”の値を採り、そうでない場合は“00000000”の値をとる。

40

4.3 セグメントタイプ

図38に示されるヘッダ部内のセグメントタイプ (SEGMENT TYPE、又は図35のSEGT) の組合せを図41に示す。L2-PDUの種類が、COM (CONTINUATION MESSAGE) であるか、EOM (END OF MESSAGE) であるか、BOM (BEGINNING OF MESSAGE) であるか、S

50

SM (SINGLE SEGMENT MESSAGE) であるかによって、セグメントタイプは、“00”、“01”、“10”、“11”の何れかの2ビットの値を採る。

4.4 メッセージ識別子

図38に示されるヘッダ部内のメッセージ識別子(MESSAGE IDENTIFIER、又は図35のMID)はL3-PDUに関連するデータである。これについては、後述する。

4.5 セグメンテーションユニット

図38において、インフォメーションフィールド(INFO. FIELD)であるセグメンテーションユニット(SEGMENTATION UNIT、又は図35のSEG. UNIT) には、SMD SサービスにおけるL3-PDU(L3 プロトコルデータユニット) が格納される (後述する図42参照)。

10

4.6 ペイロードレングス

図38に示されるトレーラ部(TRAILER) 内のペイロードレングス(PAYLOAD LENGTH、又は図35のPLEN)には、上記セグメンテーションユニットに含まれる有効データの長さが格納される。L2-PDUがBOM 又はCOM である場合はPAYLOAD LENGTH = 44 であり、L2-PDUがEOM 又はSSM である場合はPAYLOAD LENGTH ≤ 44 であり、L2-PDUに情報が含まれていない場合は、PAYLOAD LENGTH = 00 となる。

4.7 ペイロードCRC

図38に示されるペイロードCRC(PAYLOAD CRC 又は図35のPCRC) は、図5に示されるSEGMENT TYPE、MESSAGE IDENTIFIER、SEGMENTATION UNIT、PAYLOAD LENGTH、及びPAYLOAD CRC からなる48オクテットのデータ部に対する生成多項式($G(x) = X^{10} + X^9 + X^5 + X^4 + X + 1$) を用いた計算によって得られる値である。この値を用いることにより、上記48オクテットのデータ部のエラーチェックが行われる。なお、L2-PDUに情報がない場合には、PAYLOAD CRC = 00 である。

20

5. L2-PDUとATM セルとの関係

図33に示されるDS3-SMD Sインタフェース1は、4.2 において説明したように、伝送路2から入力されたL2-PDUのヘッダに対してHCS (HEC) チェックを実行した後、53オクテットのL2-PDRU からATM スイッチ5内で処理可能な54オクテットのATM セルへの変換を行う。この場合、図35に示されるように、L2-PDUのヘッダ部に含まれるセグメントタイプ(SEGT)とメッセージ識別子(MID)、並びに、L2-PDUのペイロード部に含まれるセグメンテーションユニット(SEG. UNIT)、ペイロードレングス(PLEN)、及びペイロードCRC(PCRC) が、ATM セルのペイロード部(ATM CELL PAYLOAD)に格納される。また、L2-PDUのヘッダ部内のネットワークコントロールインフォメーションフィールド(NCI) に含まれる全てのビット (20ビット) が“1”であるVCI は、DS3-SMD SインタフェースとSIFSH Commonとのインタフェースとして規定される値：VPI = 3F, VCI = 03FFに変換されて、そのVPI/VCI がATM セルのヘッダ部に付加される。

30

40

以上説明したようにして、図33のDS3-SMD Sインタフェースは、伝送路1上のDS3 フォーマットと、SIFSH 6内の共通部(COM) で処理可能なATM セルフォーマットとの間で、相互に変換を行う。この場合、SMD Sサービスにおけるユーザデータを伝送するL3-PDU(L3 プロトコルデータユニット) は、上記両フォーマットを用いて伝送されるL2-PDUのペイロード部内のセグメンテーションユニットに格納されて伝送される。

即ち、図42に示されるように、DS3 伝送路を使って通信を行う送信側ユーザ端末においては、まず、通信データ (ユーザデータ) が、SMD Sサービスにおいて規定されるL3-PDUのペイロード部に格納される。次に、送信側ユーザ端末においては、L

50

3-PDUが、それぞれ44オクテットからなる1つ又は複数のセグメントに分割される。次に、その1つ又は複数のセグメントのそれぞれが各ペイロード部内のセグメンテーションユニットに格納された1つ又は複数のL2-PDUが組み立てられる。この場合、1つのL3-PDUから生成される1つ又は複数のL2-PDUには、同じ値を有するMID(Message Identifier, or Multiplexing Identification) と呼ばれる識別子 (図35、図38参照) が付与される。これは、SMDサービスを提供するための後述するSBMESH(Subscriber Message Handler Shelf, 図8参照) が、L3-PDUを認識することはせずにL2-PDUのヘッダ部のみをリアルタイムで認識してSMDSのデータを処理するために、必要な情報である。なお、ユーザは、1つのSNI(Subscriber Network Interface) 上において、同時に16種類のMID値を使用することができる。即ち、ユーザは、1つのSNI 上で同時に16種類のSMDSメッセージを通信することができる。続いて、送信側ユーザ端末においては、L2-PDUからPLCPフレームが組み立てられ、更にDS3 フレームのサブフレームが組み立てられ、最後にDS3 フレームのマルチフレームが組み立てられる (図35参照)。このようにして送信側ユーザ端末で組み立てられたDS3 フレームが、DS3 伝送路に送出される。そして、DS3-SMDSインタフェースは、前述のよう

10

20

にして、DS3 フレームからPLCPフレームを抽出し、PLCPフレームからL2-PDUを抽出し、L2-PDUをATM セルに変換して、SIFSH Commonに送出する。このように、DS3-SMDSインタフェースは、SMDSサービスにおけるL3-PDUは一切認識する必要はない。

SIFSH Commonは、DS3-SMDSインタフェースから入力されたペイロード部にSMDSサービスのL2-PDUを含むATM セルのヘッダ部に付加されているVPI/VC I の値を、DS3-SMDSインタフェースで付加された値：VPI=3F, VC I=03FFから、SIFSH CommonとSBMESH (図8参照) の間に張られるPVC(Permanent Virtual Circuit: 相手固定接続) を特定すると同時に、そのATM セルを送出したDS3-SMDSインタフェースが終端するDS3 伝送路であるSNI を特定するVPI/VC I の値に、付け替える。従って、SIFSH CommonとSBMESHの間に張られるPVC には、そのSIFSH Commonに接続されSMDSサービスに使用されるDS3-SMDSインタフェースを始めとする個別部が終端するSNI の数に対応する数のVPI/VC I の値が割り当てられることになる。また、SIFSH Commonは、そのATM セルの先頭に、そのATM セルがATM スイッチ内で自律的にスイッチングされてSBMESHに転送されるようにするための、タグを付加する。

30

ATM スイッチ(ASWSH)に接続されSMDSサービスを提供する後述するSBMESH (図8参照) 等は、ATM スイッチから入力されるのATM セルのうち、ヘッダ部にSMDSサービスに使用されるPVC に対応する特定のVPI/VC I 値が付加されているATM セルを受信し、図42に示されるように、そのATM セルのペイロード部に格納されているL2-PDUを処理する。なお、ATM セルは、レイヤ2(L2)内のATM レイヤのプロトコル階層を有し、L2-PDUはレイヤ2(L2)のAAL(ATM Adaptation Layer) 内のSAR(Segmentation and Reassembly Sublayer) のプロトコル階層を有する。この場合、パート5等において後述するように、SBMESH等は、レイヤ3(L3)のプロトコル階層を有し、SMDSサービスにおけるユーザ情報(User data) が実際に格納されて伝送されるL3-PDU (図42) を認識すること

40

50

ム性という特徴を損なわずにコネクションレスサービスである S M D S サービスを提供することが可能となる。

一方、D S 3 伝送路を使って通信を行う受信側ユーザ端末では、まず、D S 3 伝送路から受信された D S 3 フレームから P L C P フレームが抽出され、P L C P フレームから L 2 - P D U が抽出される。そして、L 2 - P D U のペイロード部内のセグメンテーションユニットの内容が抽出され、L 2 - P D U のヘッダ部に付加されている M I D に基づいて L 3 - P D U が組み立てられる。最後に、その L 3 - P D U のペイロード部から通信データ（ユーザデータ）が抽出される。

6. D S 3 アンビリカルリンクフォーマット

図 3 4 に示されるように、D S 3 伝送路 4 に B R L C (B r o a d b a n d R e m o t e L i n e C o n c e n t r a t o r : 広帯域遠隔回線集線装置) が接続される場合には、D S 3 - S M D S インタフェース 3 は、アンビリカルリンクを実現する。

この場合、伝送路 4 上のデータは、図 4 3 に示される 5 3 オクテットからなるデータフォーマットにより伝送される。即ち、伝送路 4 上のデータは、通常の A T M セルとして伝送される。

図 4 3 に示されるように、ヘッダ部 (H E A D E R) には、V P I (V i r t u a l P a s s I d e n t i f i e r) 、V C I (V i r t u a l C h a n n e l I d e n t i f i e r) 、P T I (P a y l o a d T y p e) 、C L P (C e l l L o s s P r i o r i t y) 、及び H E C (H e a d e r E r r o r C h e c k) からなる 5 オクテットのデータによって構成される。

H E C (H e a d e r E r r o r C h e c k) 部は、上記ヘッダ部に対する生成多項式 $(G(x) = X^8 + X^2 + X + 1)$ を用いた計算によって得られる値である。

この値を用いることによって、ヘッダ部のエラーチェックが行われる。このエラーチェックの結果が正常である場合は、図 4 4 に示されるように、V I P と V C I の値が全て “ 0 ” であるか否かが判定されることにより、処理対象の A T M セルが無効セル (U N A S S I G N E D C E L L) であるか有効セル (A S S I D N E D C E L L) であるかが判定される。

また、エラーチェックの結果、1 ビット誤りが検出された場合にはその誤りが訂正され、2 ビット誤り以上の誤りが検出された場合にはその誤りは訂正されずにその誤りの検出のみが行われる。

D S 3 - S M D S インタフェース 3 は、伝送路 4 から受信した A T M セルについて、そのヘッダ部の 1 オクテットの H E C を除去すると共に 2 オクテットのタグを付加することにより、伝送路 4 上で 5 3 オクテットからなる A T M セルを A T M スイッチ内で処理可能な 5 4 オクテットからなる A T M セルに変換する。

この場合に、S M D S サービスにおける L 2 - P D U は、図 4 3 に示される A T M セルのペイロード部 (P A Y L O A D) に格納される。

7. ハードウェアコンフィギュレーション

7. 1 概略説明

ここまで説明してきた D S 3 - S M D S 機能は、図 3 3 に示される D S 3 - S M D S インタフェース 1、3 と、図 8 に示される S B M E S H (S u b s c r i b e r M e s s a g e H a n d l e r S h e l f) 及び G W M E S H (G a t e w a y M e s s a g e H a n d l e r S h e l f) によって実現される。

これらの各部分の機能の分担は、以下の通りである。

1. D S 3 - S M D S インタフェース部

- a. D S 3 レイヤ終端機能
- b. D S 3 P L C P レイヤ終端機能
- b. L 2 - P D U ヘッダ終端機能

2. S B M E S H / G W M E S H インタフェース部

- a. L 2 - P D U ペイロード終端機能
- b. L 3 - P D U 終端機能

10

20

30

40

50

DS3-SMDSインタフェース部に搭載される機能を更に細分化して示すと、以下の通りになる。

- a. DS3 レイヤ終端機能
- b. DS3 PLCPレイヤ終端機能
- c. 受信L2-PDUヘッダチェック機能 (HCS)
- d. L2-PDUヘッダパターン生成機能
- e. DQDB (Distributed Queue Dual Bus) シーケンス機能 (REQビット処理機能)
- f. DS3 レイヤパフォーマンスモニタ機能
- g. PLCPレイヤパフォーマンスモニタ機能
- h. 受信L2-PDUデータ変換機能 (45Mbps→156Mbps)
- i. 送信L2-PDUデータビットレート変換機能 (156Mbps→45Mbps)
- j. MSD/MSCN情報のLAP 終端機能
- k. SIFSH Commonに対するインタフェース機能 (53オクテット 8ビットパラレル-54オクテット 16ビットパラレル)
- l. DS3-SMDS L2-PDU セル及びLAP セルのマルチプレクス/デマルチプレクス機能
- m. 特定VPI/VCI セルのループバック機能
- n. MSCNデータのマルチプレクス機能
- o. MSD データドロップ機能

10

20

図45に、DS3-SMDSインタフェースの機能構成ブロック図を示す。

7. 2 DS3 レイヤ終端機能

DS3-SMDSインタフェース部に搭載される機能の1つであるDS3 レイヤ終端機能では、2. 1. 2において図35を用いて前述した、DS3 フレームフォーマットの終端処理が実行される。

より具体的には、以下の処理が実行される。

A. 受信側

- a. PCM ライン符号 (B3ZS符号) に対する違反監視及びエラーカウント
- b. フレーミングビット (FO/F1/MO/M1 : 図36参照) に対する同期確立及びエラーカウント
- c. Pビット (パリティビット : 図36参照) の確認及びそれに対するエラーカウント
- d. AISパターン (図36参照) の確認
- e. イエローアラームビット (Xビット : 図36参照) の確認

30

B. 送信側

- a. フレーミングビット (FO/F1/MO/M1 : 図36参照) の生成
- b. Pビット (パリティビット : 図36参照) の生成
- c. AISパターン (図36参照) の生成 (ループバック指定時)
- d. レッドCGA アラーム時におけるイエローアラームビット (Xビット : 図39参照) の設定
- e. PCM ライン符号 (B3ZS符号) の変換

40

7. 2. 1 回線障害処理

DS3-SMDSインタフェースは、回線障害を監視しており、障害発生時には障害を交換機システムへ通知する。この障害通知は、障害の復旧にともない自動的に正常通知に復旧する。障害監視中に複数の障害が検出された場合は、その根本原因となる障害に対してのみ監視処理が実行され、その障害に起因する他の障害に対しては監視処理は実行されない。

図46に、DS3 レイヤにおけるアラームのシーケンスを示す。まず、図46(a)において、伝送路上で障害が発生すると(1.)、DS3-SMDSインタフェースAは、レッドCGA (Carrier Group Alarm)を宣言し(2.)、続いて

50

イエローアラームを送信する(3.)。この結果、DS3-SMDSインタフェースBは、イエローCFA(Carrier Failure Alarm)を宣言する(4.)。次に、図46(b)において、DS3-SMDSインタフェースAは、折り返し試験状態になると(1.)、AIS(Alarm Indication Signal)を送信し(2.)、この結果、DS3-SMDSインタフェースBはAIS受信宣言を行う。

図47は、DS3レイヤにおけるアラームの優先度を示す。例えば、LOS(Loss Of Signal)が検出されると、AIS(Alarm Indication Signal)、OOF(Out Of Frame)、YEL(Yellow Signal)、POOF(PLCP Out Of Frame)、及びPYEL(PLCP Yellow Signal)の各アラームがマスクされる。 10

7.2.2 各種アラームの検出・復旧条件

図48に、各種アラームの検出・復旧条件を示す。また、図49に、アラームが宣言されるタイミングを示す。

7.3 DS3 PLCPレイヤ終端機能

DS3-SMDSインタフェース部に搭載される機能の1つであるDS3 PLCPレイヤ終端機能では、3.1において図37を用いて前述した、DS3 PLCPフレームフォーマットの終端処理が実行される。

より具体的には、以下の処理が実行される。

A. 受信側 20

a. フレーミングビット(A1/A2 : 図37参照)に対する同期確立及びエラーカウント

b. PLCP BIP-8(B1 : 図37参照)の確認及びそれに対するエラーカウント

c. PLCPパステータス(G1 : 図37参照)の確認及びそれに対するエラーカウント

B. 送信側

a. フレーミングビット(A1/A2 : 図37参照)の生成

b. PLCP BIP-8(B1 : 図37参照)の生成

c. PLCPパステータス(G1 : 図37参照)の生成 30

d. サイクル/スタッフカウンタ(C1 : 図37参照)の生成

e. SIPレベル1コントロールインフォメーション(M1/M2 : 図37参照)の生成

7.3.1 PLCP障害処理

DS3-SMDSインタフェースは、PLCP障害を監視しており、障害発生時には障害を交換機システムへ通知する。この障害通知は、障害の復旧にともない自動的に正常通知に復旧する。障害監視中に複数の障害が検出された場合は、その根本原因となる障害に対してのみ監視処理が実行され、その障害に起因する他の障害については監視処理は実行されない。

図50に、DS3 PLCPレイヤにおけるアラームのシーケンスを示す。図50において、まず、DS3-SMDSインタフェースBにおいてPLCPフレームの送信障害が発生すると(1.)、DS3-SMDSインタフェースAはPLCPフレームの同期外れを検出した後にイエローシグナルを送信する。この結果、DS3-SMDSインタフェースBはイエローシグナルの受信宣言を行う。 40

7.3.2 各種アラームの検出・復旧条件

図51に、各種アラームの検出・復旧条件を示す。また、図52に、アラームが宣言されるタイミングを示す。

7.4 L2-PDUヘッダチェック機能(HCS)

前述の図33に示されるように、DS3-SMDSインタフェース1がSMDSサービスを提供するためのDS3伝送路2上のDS3レイヤーを終端する場合、DS3-SM 50

DS インタフェース 1 は、DS 3 伝送路 2 から入力される DS 3 フレームのインフォメーションペイロード部に収容されている PLC プレイヤーのフレームを取り出す。そして、DS 3-SMDS インタフェース 1 は、取り出した PLC プレイヤーのフレームから L2 プロトコルデータユニット (L2-PDU) を抜き出す (図 35 参照)。更に、DS 3-SMDS インタフェース 1 は、L2-PDU のヘッダ内のアクセスコントロールフィールド (ACF、図 38、図 39、図 35 参照) に含まれる BUSY ビットを参照することによって、L2-PDU が有効セルの可能性があるか無効セルの可能性があるかを判定する。L2-PDU が有効セルの可能性がある場合、DS 3-SMDS インタフェース 1 は、L2-PDU のヘッダ内のネットワークコントロールインフォメーションフィールド (NCI、図 38、図 35 参照) の値が、図 40 に示されるように、11111111 11111111 11110000 00100010 であるかオール“0”であるかを判定する。NCI の値が11111111 11111111 11110000 00100010 である場合には、DS 3-SMDS インタフェース 1 は、対象となっている L2-PDU を真に有効なセルとして処理する。逆に、NCI の値がオール“0”である場合には、DS 3-SMDS インタフェース 1 は、HCS エラーのカウント値をインクリメントし、プロトコルモニタ処理を実行する。

一方、前述の図 34 に示されるように、DS 3 伝送路 4 に BRLC が接続され、DS 3-SMDS インタフェース 3 がアンビカルリンクを実現している場合には、DS 3-SMDS インタフェース 3 は、ATM ヘッダ部の HEC (図 43 参照) を計算し、その計算の結果 ATM ヘッダ部でエラーが発生していないと判定した場合には、更に、対象となっている ATM セルが空セルであるか否かをチェックした後に、対象となっている ATM セルが有効なセルであるか否かを決定する。また、DS 3-SMDS インタフェース 3 は、上記 HEC 計算の結果 ATM ヘッダ部でエラーが発生していると判定した場合には、HEC エラーのカウント値をインクリメントし、プロトコルモニタ処理を実行する。

7. 5 L2-PDU ヘッダパターン生成機能

前述の図 33 に示されるように、DS 3-SMDS インタフェース 1 が SMDS サービスを提供するための DS 3 伝送路 2 上の DS 3 レイヤーを終端する場合、DS 3-SMDS インタフェース 1 は、図 33 の ATM スイッチ (ASSWSH) 5 の側から転送されてくる ATM セルが有効セルである場合、図 35 に示されるようにその ATM セルのペイロード部に含まれている情報の前部に、11111111 11111111 11110000 00100010 の値を有するネットワークコントロールインフォメーションフィールド (NCI) を付加し (図 40 参照)、更にその前部にアクセスコントロールフィールド (ACF) を付加することにより L2-PDU を構築する。また、DS 3-SMDS インタフェース 1 は、図 33 の ATM スイッチ (ASSWSH) 5 の側から転送されてくる ATM セルが無効セルである場合は、図 35 に示されるようにその ATM セルのペイロード部に含まれている情報の前部に、オール“0”である NCI を付加し (図 40 参照)、更にその前部にアクセスコントロールフィールド (ACF) を付加することにより L2-PDU を構築する。このように、ATM セルが L2-PDU に変換される際には、ATM セルのヘッダ情報 (VPI/VCI 等) は破棄される。その後、図 35 に示されるように、上述のようにして構築された L2-PDU に基づいて PLC プレイヤーのフレームが構築され、更にこの PLC プレイヤーのフレームに基づいて DS 3 フレームが構築され、その DS 3 フレームが図 33 の DS 3 伝送路 2 に送出される。

一方、前述の図 34 に示されるように、DS 3 伝送路 4 に BRLC が接続され、DS 3-SMDS インタフェース 3 がアンビカルリンクを実現している場合には、DS 3-SMDS インタフェース 3 は、ATM スイッチ (ASSWSH) の側から転送されてくる ATM セルに対して、そのヘッダ部の付替えは行わずに、そのヘッダ部に対する HEC 計算のみを行いその結果得られる HEC (図 43 参照) をそのヘッダ部に付加した後に、その ATM セルを図 34 の伝送路 4 に送出する。

10

20

30

40

50

7.6 DQDB (Distributed Queue Dual Bus) シーケンス機能

前述の図33に示されるように、DS3-SMDSインタフェース1がSMDSサービスを提供するためのDS3伝送路2上のDS3レイヤを終端する場合において、そのDS3伝送路2に接続されているユーザ端末であるCPE (Customer Premise Equipment) が例えばLANに接続されるマルチCPEである場合に、次のような制御が行われる。即ち、CPEが空セルを捕捉できなかった場合に、そのCPEは、伝送路上のL2-PDUのヘッダ内のアクセスコントロールフィールド(ACF、図38、図35参照)に含まれるREQ0-REQ2のビット(図39参照)をオンすることにより、空セルを要求する。そして、図33に示されるDS3-SMDSインタフェース1は、CPEから上記要求ビットを受信した場合に、空セルを送出する。

10

7.7 DS3レイヤ/PLCPレイヤパフォーマンスモニタ機能

DS3-SMDSインタフェースは、回線のパフォーマンスをモニタしており、単位時間(15分及び1日)間隔で、各種パフォーマンスパラメータの積算及びその結果得られる積算値に対する閾値アラームを交換機システムに通知する。

交換機システムは、閾値アラームの通知を受けても、そのアラームに対応する回線を閉塞せずにそのアラームを単なる警報として扱い、その事実を以後の保守計画に反映させる。パフォーマンスパラメータは、DS3レイヤに関するものとPLCPレイヤに関するものに大きく分類される。DS3レイヤに関しては更に、回線に関する情報とパスに関する情報とに分類することができる。

20

DS3レイヤにおける回線に関する情報としては、以下の3種類のパラメータについての観測が行われる。

1. LCV : Line Code Violation
2. LES : Line Errorred Second
3. LSES : Line Severly Errorred Second

DS3レイヤにおけるパスに関する情報としては、以下の6種類のパラメータについての測定が行われる。

4. CV : P-bit Parity Code Violation
5. ES : Errorred Second
6. SES : Severly Errorred Second
7. SEFS : Severly Errorred Second
8. UAS : Unavailable Second
9. AISS : Alarm Indication Signal Second

30

PLCPレイヤに関する情報としては、以下の5種類のパラメータについての測定が行われる。

10. PLCP CV : PLCP Code Violation
11. PLCP ES : PLCP Errorred Second
12. PLCP SES : PLCP Severly Errorred Second

40

13. PLCP OOF : PLCP Out Of Frame
14. PLCP UAS : PLCP Unavailable Second

DS3-SMDSインタフェースは、15分毎に得られる過去1回分の測定結果を保持する。この測定結果は、交換機システムによって15分時間毎に読み出される。交換機システムは、15分毎に得られるその測定結果を、1日あたり過去32回分(8時間分)保持し、更に過去7日分保持する。

また、PLCPフレームフォーマット内のG1ビット(図37参照)を用いて伝送されるFar End Block Error (FEBE)を使用したFAR ENDのパフォーマンスモニタ機能も提供される。この機能における閾値は、デフォルト値であって、ユーザが自由に設定できる。

50

7. 7. 1 DS3 レイヤ

図53に、DS3 レイヤに関するパフォーマンスパラメータの種類と、各パラメータの積算値のカウントアップ条件を示す。

7. 7. 2 DS3-PLCPレイヤ

図54に、DS3-PLCPレイヤに関するパフォーマンスパラメータの種類と、各パラメータの積算値のカウントアップ条件、各パラメータの積算値に対するアラート閾値を示す。

7. 8 受信L2-PDUデータ変換機能 (45Mbps→156Mbps)

7. 4で前述したL2-PDUヘッダチェック処理の結果、L2-PDUヘッダでエラーが発生しておらず、かつそのL2-PDUが有効セルであると判定された場合には、そのL2-PDUを変換して得られるATM セルが、SIFSH Commonを介してATM スイッチ(ASWSH)に送出される(図8参照)。この場合に、有効セルが連続的にユーザ側から送出されてくると、ATM スイッチで処理されるデータのバースト性が高くなり、ATM スイッチ内において輻輳が発生し、ATM スイッチ内においてセル紛失が発生する可能性がある。そのため、DS3-SMDSインタフェースは、バッファを用いることによって、45Mbpsのビットレートを有するDS3 伝送路から受信したL2-PDUをSIFSH Commonが終端する156Mbps のビットレートを有する交換機内ハイウェイに多重する場合に、そのハイウェイに多重される有効セルと無効セルの割合が3:1 となるようなシェーピングを行う。

7. 9 送信L2-PDUデータビットレート変換機能 (156Mbps→45Mbps)

SIFSH Commonより送出されるL2-PDUのビットレートは156Mbps である。このため、DS3-SMDSインタフェースは、156Mbps のビットレートを有するデータを、DS3 レイヤのビットレートである45Mbps のビットレートに変換する。

7. 10 SIFSH Commonに対するインタフェース機能

DS3-SMDS L2-PDU のセル長は53オクテットであり、SIFSH Common(SIFSH COM、図33参照) が処理するATM セルのセル長は54オクテットである。そのため、DS3-SMDSインタフェースとSIFSH Commonの間のインタフェースは、データ長の変換機能を有する必要がある。

DS3-SMDSインタフェースからSIFSH CommonへL2-PDUが転送される場合、DS3-SMDSインタフェースは、伝送路から入力されたL2-PDUのヘッダに対してHCS(HEC)チェックを実行した後、53オクテットのL2-PDUからATM スイッチ5内で処理可能な54オクテットのATM セルへの変換を行う。この場合に、図35に示されるように、L2-PDUのヘッダ部に含まれるセグメントタイプ(SEGT)とメッセージ識別子(MID)、並びに、L2-PDUのペイロード部に含まれるセグメンテーションユニット(SEG. UNIT)、ペイロードレングス(LEN)、及びペイロードCRC(PCRC) が、ATM セルのペイロード部(ATM CELL PAYLOAD)に格納される。また、L2-PDUのヘッダ部内のネットワークコントロールインフォメーションフィールド(NCI) に含まれる全てのビットが“1”であるVCI は、DS3 インタフェースとSIFSH Commonとのインタフェースとして規定される値: VPI=3F, VCI=03FFに変換され、そのVPI/VCI がATM セルのヘッダ部に付加される。また、ATM セルのヘッダ部には、それが各種多重化部及びATM スイッチ内で自律的にスイッチングされるための2オクテットからなるタグが付加される。

SIFSH CommonからDS3-SMDSインタフェースへATM セルが転送される場合は、DS3-SMDSインタフェースは、ATM セルにおける先頭のタグをチェックしその結果自身が出力すべきセルである場合にそのタグを削除する。その後、DS3-SMDSインタフェースは、DS3-SMDSインタフェースからSIFSH CommonへL2-PDUが転送される場合と全く逆の操作を行うことにより、54オクテ

10

20

30

40

50

ットからなるATMセルを53オクテットからなるL2-PDUに変換する。

図55は、以上の変換処理をまとめて示した図である。アクセスコントロールフィールド(ACF、図35、図38参照)についても、図55に示されるように変換される。また、共にオール“0”の値を有するペイロードタイプ(PT)及びセグメントプライオリティ(SP) (共に図40参照)は、そのまま転送される。

DS3-SMDSインタフェースがアンビカルリンクを実現する場合には、DS3-SMDSインタフェースは、伝送路から受信したATMセルについて、そのヘッダ部の1オクテットのHECを除去すると共に2オクテットのタグを付加することにより、伝送路4上で53オクテットからなるATMセルをATMスイッチ内で処理可能な54オクテットからなるATMセルに変換し、それをSIFSH Commonに送出する。即ち、VPI/VCIの変換は行われず、SIFSH CommonからDS3-SMDSインタフェースにATMセルが転送される場合には、上記の場合と全く逆の操作が行われる。

10

7.11 MSD/MSCN情報のLAP 終端機能

交換機システムからDS3-SMDSインタフェースへ転送される制御情報(MSD情報)と、DS3-SMDSインタフェースから交換機システムへ転送される、パフォーマンスモニタ閾値交差アラート、パフォーマンスモニタカウンタ値等のDS3レイヤ/PLCPレイヤ障害情報(MSCN)は、LAPD(Link Access Protocol)を用いて伝送される。そして、このLAPDは、タイプ3又は4のAAL(ATM Adaptation Layer) プロトコルタイプを用いてATMセルにマッピングされる。この結果、上記各情報は、ATMセルとして、ATMスイッチ(ASWSH)を通して、DS3-SMDSインタフェースと交換機システム側のBSGCSH(Broadband Signaling Group Controller Shelf、図8参照)との間を伝送されることになる。

20

なお、DS3-SMDSインタフェースのハードウェア障害(Parity Error等の障害)は、SIFSH CommonがLAPDを用いて交換機システムに通知する。交換機内を転送されるデータがL2-PDUデータであるかLAPDデータであるかの区別は、ATMセルのヘッダ部のタグ領域内の特定のビットの値により区別される。図56に、交換機内を転送されるATMセルのフォーマットを示す。交換機内を転送されるデータがL2-PDUデータであるかLAPDデータであるかの区別は、ATMセルの先頭に付加される2オクテットからなるタグ領域内のSIGビットの値により区別される。

30

このように、DS3-SMDSインタフェース及びSIFSH Commonなどを交換機システムのシステムバスに直接接続する必要がなくなるため、システムバスにかかる負荷を軽減させることができる。

7.12 DS3-SMDS L2-PDU セル及びLAP セルのマルチプレクス機能

DS3-SMDSインタフェースは、SIFSH Commonの方向へ転送するATMセルにおいて、L2-PDUデータに対してMSCN LAPDセルをマルチプレクスする。MSCN LAPDセルのマルチプレクスタイミングとして、交換機システム側よりMSD LAPDセルを用いてパフォーマンスモニタ情報等の要求があった時に、L2-PDUデータに対してMSCN LAPDセルがマルチプレクスされる。

40

7.13 DS3-SMDS L2-PDU セル及びLAP セルのデマルチプレクス機能

SIFSH CommonからDS3-SMDSインタフェースへ転送されてくるATMセルにおいては、L2-PDUデータに対してMSD LAPDセルがマルチプレクスされている。そのため、DS3-SMDSインタフェースは、MSD LAPD情報を処理するために、MSD LAPDセルをデマルチプレクスする必要がある。デマルチプレクス処理は、図56に示したATMセルのタグ領域内のSIGビットの値を判定し

50

て行われる。

7. 14 特定VPI/VCI セルのループバック機能

7. 14. 1 “0”ビットが付加されたセルのループバック機能

DS3-SMDSインタフェースには、メンテナンス機能として、図56に示されるATMセルのタグ領域の先頭に“0”ビットが付加された特定のセルをループバックする機能が搭載されている。

7. 14. 2 特定VPI/VCI が付加されたセルのループバック機能

DS3-SMDSインタフェースには、メンテナンス機能として、簡易LAPを用いて通知された特定VPI/VCI が付加されたセルのループバック機能が搭載される。このループバックは、簡易LAP フォーマットを用いてVPI/VCI 値が通知された後、E-MSD 情報によって起動される。但し、このループバック機能と、7. 14. 1に示した“0”ビットが付加されたセルのループバック機能は、ハードウェアの構成上、同時には起動されない。

10

7. 15 MSCNデータマルチプレクス機能

DS3-SMDSインタフェースからMSCN LAPD セルを用いて通知できないDS3-SMDSインタフェースのハードウェア障害(Parity Error等の障害) 情報は、SIFSH CommonがLAPDセルを用いて交換機システムに通知する。そのため、DS3-SMDSインタフェースからの障害情報は、1Mbpsのシリアルデータとして送出される。

7. 16 MSD データドロップ機能

20

SIFSH に搭載されるラインインタフェースに転送される共通的な情報は、SIFSH Commonで終端される。そのために、DS3-SMDSインタフェースへ転送される情報は、7. 15で説明した場合と同様に、1Mbpsのシリアルデータとして転送されてくる。DS3-SMDSインタフェースは、このようにして転送されてくるMSD データを処理する。

8. MSD (Maintenance Signal Driver) インタフェース

8. 1 MSD情報

交換機システムのソフトウェアからDS3-SMDSインタフェースへ通知される情報のうち以下に示すものは、局内制御通信を用いてBSGCSH (図8参照) 経由で、一旦、交換機システムのソフトウェアからSIFSH Commonに転送される。そして、SIFSH Commonが、これらの情報を、ソフトウェア処理によってDS3-SMDSインタフェースへ通知する。このような種類の情報は、E-MSDと称される。

30

1. 各種リセット信号

2. DS3-SMDSインタフェース状態制御情報

3. ソフトウェア障害検出回路の疑似障害設定情報

4. 時計情報等の、SIFSH CommonよりDS3-SMDSインタフェースをはじめとする各個別部へ同時に通知される情報

E-MSD 情報は2重化されたSIFSH Commonの両方の系で受信されるが、DS3-SMDSインタフェースは、アクティブなSIFSH Commonから転送されてきたE-MSD 情報を取り込む。ハードウェアの制限により、E-MSD 情報は、ビットスタック(stuck) 以外を検出する手段を持たない。このため、DS3-SMDSインタフェースは、SIFSH Commonの系の切替え時のクロック/フレームパルスの乱れに対処するため、受信したE-MSD 情報に対して保護処理を実行する。即ち、DS3-SMDSインタフェースは、SIFSH Commonから連続して2フレーム分の同じ情報を受信した場合に初めて、その情報を有効なデータとして処理する。

40

8. 1. 1 E-MSD ハードウェアインタフェース

E-MSD 情報の、SIFSH CommonとDS3-SMDSインタフェース間のインタフェースとは、クロック(1. 215MHz)、FP (フレームパルス)、データの3つの要素について規定される。E-MSD のデータ長は、256ビットであ

50

る。図57に、E-MSD 信号のタイミングチャートを示す。

8. 1. 2 DS3-SMDS インタフェースにおける E-MSD 収容表

図58に、DS3-SMDS インタフェースと SIFSH Common間を転送される E-MSD 情報の収容状態を表した表を示す。この表において、縦方向はバイト位置を示し、横方向はそれぞれのバイト位置内のビット位置を示す。SIFSH Common から転送されてくる E-MSD データは、DS3-SMDS インタフェースで、第000 バイト第D0ビット→第255 バイト第D7ビットの順序で、シリアルに受信される。このフォーマットにおいて第000 バイト領域は、SIFSH Commonで生成されるため、第001 バイトが設定されるデータの実質的な先頭になる。

DS3-SMDS インタフェースは、ハードウェアリセット信号を含む各種リセット信号を自動的に解除しないため、それらのリセット信号は、それらが設定された後は必ず解除される必要がある。

図59に、E-MSD 情報の各ビットの内容を示す。

8. 2 E-MSD 詳細説明

8. 2. 1 ハードウェアリセット

DS3-SMDS インタフェースにおいては、ハードウェア障害発生時のリセットタイミングとして、以下に示す2種類のリセットポイントが規定される。

1. SDFRST (ハードウェア障害リセット)

2. μPRST (マイクロプロセッサリセット)

これらのリセットは、ハードウェアによって自動的にそのリセットタイミングのエッジが生成されないため、セット時に“1”、リセット時に“0”が設定される必要がある。

8. 2. 2 ループバック

DS3-SMDS インタフェースにおいては、メンテナンスのために、以下に示す3種類の全セルに対するループバックの起動ポイントと、セル by セルのループバックの起動ポイントが規定される。

1. LOOP-1 (DS3-SMDS インタフェース入力部 (ASSW側) での全セルのループバック指示)

2. LOOP-2 (DS3-SMDS インタフェース出力部 (回線側) での全セルのループバック指示)

3. LOOP-3 (入力DS3 伝送路からの全セルの出力DS3 伝送路へのラインループバック指示)

4. O-LOOP (“0”ビットが付加されたセルのループバック指示)

5. V-LOOP (特定VPI/VCI が付加されたセルのループバック指示)

8. 2. 3 疑似障害ポイント

DS3-SMDS インタフェースが受信する E-MSD には、インタフェース内に設けられているハードウェアチェッカに対して指定される疑似障害ポイントが収容される。疑似障害ポイントとしては、以下に示す5種類が規定される。

1. PFK (クロック断チェッカに対する疑似障害ポイント)

2. PFK (セルフフレームパルス断チェッカに対する疑似障害ポイント)

3. PFPTY (データパリティチェッカに対する疑似障害ポイント)

4. PFWD (ウォッチドッグタイマチェッカに対する疑似障害ポイント)

5. PTYRST (データパリティエラーリセット)

これらのポイントに関しては、8. 2. 1で説明したリセットの場合と同様に、セット時に“1”、リセット時に“0”が設定される必要がある。但し、パリティエラーは、保持タイプの情報であるため、PTYRSTによってリセットされる必要がある。また、この疑似障害については、DS3-SMDS インタフェース内のPCB (Printed Circuit Board、プリント回路板) 内に設けられている全てのチェッカを起動させるために、疑似障害ポイントの全てがオンされる。

8. 2. 4 AIS 送出ポイント

DS3-SMDS インタフェースは、対向装置に対して障害閉塞等の閉塞を通知するため

に、ソフトウェア制御によってDS3 伝送路上にAIS パターン(AISSND)を送出する機能を有する。

9. MSCN (Maintenance SCaNeR) インタフェース

DS3-SMDSインタフェースより交換機システム側のソフトウェアへ通知される情報のうち以下に示すものは、ハードウェアにより一旦SIFSH Commonへ転送される。そして、SIFSH Commonが、局内制御通信を用いてBSGCSH (図8参照) 経由で、交換機システムのソフトウェアに通知する。このような種類のMSCN情報は、特にE-MSCN (Extended Maintenance Scanner) 情報と称される。

1. DS3-SMDSインタフェースとSIFSH Commonの間の信号線の障害情報 (パリティクロックロス、セルフフレームロス) の代表ポイント及び詳細情報 10
2. DS3-SMDSインタフェース自身のハードウェア障害情報の代表ポイント
3. DS3-SMDSインタフェースとBSGCSH間の局内制御通信が不可能となるような障害に関する代表ポイント及び詳細内容
4. DS3 レイヤ/PLCレイヤでのアラーム監視に基く回線障害の代表ポイント
5. DS3-SMDSインタフェースにおけるバッファ輻輳の発生時の品質制御情報の代表ポイント
6. MSD のエコーバック情報
7. その他、DS3-SMDSインタフェースとSIFSH Commonの間の保守・制御情報 20

E-MSCN情報は、DS3-SMDSインタフェースから2重化されたSIFSH Commonの両方の系に、同じ内容のものが送られる。E-MSCNを送出するためのクロックとフレームパルスは、アクティブなSIFSH Commonより供給されたものが使用される。

SIFSH Commonは、DS3-SMDSインタフェースより受け取った有効なE-MSCN情報について、自身が保持しているE-MSCN情報の最新の内容と比較して変化のあったものを、局内制御通信を用いてBSGCSH (図8参照) 経由で、交換機システムのソフトウェアに通知する。SIFSH Commonは、DS3-SMDSインタフェースからのE-MSCN情報以外にも、自身に接続されている各個別部からのE-MSCN情報を、局内制御通信を用いてBSGCSH経由で、交換機システムのソフトウェアに定期的に通知する。 30

9. 1. 1 E-MSCNのハードウェアインタフェース

E-MSCNを送出するためのクロック及びフレームパルスは、アクティブなSIFSH Commonより供給されたものが使用される。

図60に、DS3-SMDSインタフェースとSIFSH Commonの間の信号線のタイミングチャートを示す。

9. 1. 2 E-MSCN の詳細

図61に、DS3-SMDSインタフェースとSIFSH Common間を転送されるE-MSCN情報の収容状態を表した表を示す。この表において、縦方向はバイト位置を示し、横方向はそれぞれのバイト位置内のビット位置を示す。DS3-SMDSインタフェースから転送されてくるE-MSCNデータは、SIFSH Commonで、第000 バイト第D0ビット→第255 バイト第D7ビットの順序で、シリアルに受信される。 40

図62及び図63に、E-MSCN情報の各ビットの内容を示す。

9. 2 DS3-SMDSインタフェースでのE-MSCN処理

9. 2. 1 SIFSH Commonインタフェース障害

DS3-SMDSインタフェースは、SIFSH Commonインタフェース信号線の正常性監視を行っている。この正常性監視においては、SIFSH CommonからDS3-SMDSインタフェースの方向における、データパリティ (セルイネーブルも含む) 、クロック断、及びセルフフレーム断がチェックされる。これらの監視によって障害 50

の発生が検出された場合には、代表ポイントである P E O (# 0 系) 又は P E 1 (# 1 系) がオンされる。この代表ポイントがオンされた時の S I F S H C o m m o n インタフェース障害の詳細情報は、図 6 1 に示される第 0 1 8 バイトの内容として確認することができる。

この S I F S H C o m m o n インタフェース障害は、2 重化された S I F S H C o m m o n のそれぞれの系の S I F S H C o m m o n に互いに独立して接続されている信号線から入力される F R S T 信号によってリセットすることができる。また、このリセット操作の後に、S I F S H C o m m o n インタフェース障害が復旧していない場合には、上述した代表ポイント及び詳細情報ポイントが再びオンされる。

9. 2. 2 D S 3 - S M D S インタフェースハードウェア障害

10

D S 3 - S M D S インタフェースハードウェア障害としては、P C B (P r i n t e d C i r c u i t B o a r d 、プリント回路板) 内及び P C B 間のデータパリティ障害、クロック断、セルフフレーム断がある。ここで、D S 3 - S M D S インタフェースと B S G C S H (図 8 参照) の間の局内制御通信を用いて通知可能なハードウェア障害が発生した場合は、E - M S C N に收容されている代表ポイントである F E R R - 2 がオンされる。障害の詳細情報の通知は、D S 3 - S M D S インタフェースと B S G C S H 間の局内制御通信を用いて行われる。この詳細については、後述する 1 0 . で説明する。

この D S 3 - S M D S インタフェースハードウェア障害は、E - M S D に收容されている S D F R S T 情報及び S I F S H C o m m o n から通知される H R S T 情報によってリセットすることが可能である。また、このリセット操作後に D S 3 - S M D S インタフェースハードウェア障害が復旧していない場合には、F E R R - 2 ポイントが再びオンされる。

20

9. 2. 3 局内制御通信が不可能となる D S 3 - S M D S インタフェースハードウェア障害

D S 3 - S M D S インタフェースと B S G C S H 間の局内制御通信が不可能となるような D S 3 - S M D S インタフェースハードウェア障害としては、D S 3 - S M D S インタフェースから S I F S H C o m m o n の方向へのデータパリティ障害 (U H D P T) 、マスター 1 9 M クロック断 (U H 1 9 M) 、通信制御用 E G C L A D 障害 (E G P T Y) がある。これらの障害が発生した場合は、E - M S C N の代表ポイントである F E R R - 1 がオンされる。障害の詳細情報の通知は、局内制御通信が不可能であるため、E - M S C N 上の第 0 1 9 バイトに收容される。

30

この障害は、E - M S D に收容されている S D F R S T 情報及び S I F S H C o m m o n から通知される H R S T 情報によってリセットすることが可能である。また、このリセット操作後に上記障害が復旧していない場合は、F E R R - 1 ポイントが再びオンされる。

9. 2. 4 マイクロプロセッサ障害

D S 3 - S M D S インタフェースには、D S 3 / P L C プレイヤパフォーマンスモニタ機能及び局内制御通信機能 (簡易 L A P D) を処理するためにマイクロプロセッサが搭載されている。このマイクロプロセッサの障害及び暴走時には、E - M S C N の M P E ポイントがオンされる。

40

このマイクロプロセッサ障害は、E - M S D に收容されてる μ P R S T 情報及び S I F S H C o m m o n から通知される H R S T 情報によってリセットすることが可能である。また、このリセット操作の後にマイクロプロセッサ障害が復旧していない場合には、M P E ポイントが再びオンされる。

9. 2. 5 タイマ障害

D S 3 - S M D S インタフェースは、S I F S H C o m m o n に接続される専用の信号線を介して入力される 1 5 分及び 1 日のトリガーに基づいて、D S 3 / P L C プレイヤパフォーマンスモニタ等の処理を実行する。ところが、この専用線から入力されるべきトリガーが規定されているタイミングで入力しなくなった場合、即ち、前回の入力タイミングから 1 5 分 + 1 5 秒以内に新たなトリガーが入力しなくなった場合には、パフォーマンス

50

モニタ処理等の統計処理が実行できなくなる。このために、トリガーが規定通りに入力しなかった場合には、E-MSCNの代表ポイントであるTIMALMがオンされる。

このタイマ障害は、E-MSD に収容されているSDFRS T情報及びSIFSH Commonから通知されるHRST情報によってリセットすることが可能である。また、このリセット操作後にタイマ障害が復旧していない場合には、TIMALMポイントが再びオンされる。なお、この障害ポイントはハードウェアモニタに基づいて収容されるため、特別なソフトウェア処理は実行する必要性はない。

9. 2. 6 DS3 レイヤアラーム

DS3-SMDSインタフェースは、DS3/PLCプレイヤのキャリアグループアラーム(CGA) を監視している。このCGA アラームについては、複数のアラームがオンされる可能性がある。このため、CGA アラームは、共にE-MSCNの代表ポイントである、LIA LM とアラーム状態の変化を示すLIFLGの2ビットによって通知される。

10

制御方法は次の通りである。即ち、LIA LM ポイントは、DS3/PLCプレイヤアラームが検出されている時にオンされ、全てのアラームが復旧した時にオフされる。LIFLG ポイントは、DS3/PLCプレイヤアラームの状態が変化した時に、“0”から“1”又は“1”から“0”の交番形式で、その状態変化を通知する。

9. 2. 7 パフォーマンスモニタ閾値交差アラート

DS3-SMDSインタフェースは、DS3/PLCプレイヤ及びL2-PDUのネットワークコントロールインフォメーションフィールド内のHCS (Header Check Sequence) (図35、図38、図40参照) に関する閾値交差アラート(TCA) を監視している。このTCA は、15分及び1日の周期で監視対象値がそれに対して設定されている閾値を越えた時に通知される。従って、複数のTCA が同時にオンされる可能性がある。そのため、TCA は、共にE-MSCNの代表ポイントである、TCAALMとアラーム状態の変化を示すTCAFLGの2ビットによって通知される。

20

制御方法は次の通りである。即ち、TCAALMポイントは、DS3/PLCプレイヤのパフォーマンスモニタ値が閾値を越えた時にオンされ、15分及び1日を計時するタイマの状態が変化した時にオフされる。TCAFLGポイントは、DS3/PLCプレイヤのパフォーマンスモニタに関するTCA 状態が変化した時に、“0”から“1”又は“1”から“0”の交番形式で、その状態変化を通知する。但し、15分及び1日を計時するタイマの状態が変化した時は、TCAFLGポイントは前の状態を保持する。

30

9. 2. 8 DS3-SMDSインタフェースにおけるセル廃棄

DS3-SMDSインタフェースは、SIFSH Commonから転送されてくるATM セルの伝送レートを、SIFSH Commonにおける伝送レートである156Mbps からDS3 伝送路の伝送レートである45Mbpsセルに変換するために、その内部に112 セル分の容量を有するバッファを持っている。このバッファにおけるセルの輻輳の発生は、バッファ内のセル数とそのバッファに設定されているキュー(queue) 長の閾値を超えたか否かを判定することにより検出される。バッファは、バッファ内のセル数が上記閾値を超えた場合に、入力されるセルを廃棄する。そして、このような、バッファにおけるセルの輻輳状態は、共にE-MSCNの代表ポイントである、CLOSA Lとアラーム状態の変化を示すCLFLG の2ビットにより通知される。

40

制御方法は次の通りである。即ち、CLOSA Lポイントは、バッファにてセルの輻輳が検出されているときにオンされ、全てのセル廃棄状態が解除されたときにオフされる。また、CLFLG ポイントは、セル廃棄状態が変化した時に、“0”から“1”又は“1”から“0”の交番形式で、その状態変化を通知する。

9. 2. 9 診断結果通知

DS3-SMDSインタフェースは、ハードウェア機能の確認のために、自己診断機能を搭載している。この自己診断機能は、E-MSD に収容されているDS3 DEC ポイントをオンすることにより、起動される。また、その診断結果は、共にE-MSCN

50

に收容される代表ポイントであるT S T E N DとT S T I N Dによって通知される。T S T E N Dポイントは自己診断が終了した時点でオンされる。T S T I N Dポイントは、診断結果が正常であるときに“ 1 ”、異常であるときに“ 0 ”にされる。また、診断結果が異常の場合には、E - M S C Nに收容される第0 3 1 バイトを使って、異常が発生させられたフェーズナンバー及びテストナンバーを通知することができる。また、診断の終了後は、D S 3 - S M D S インタフェースは、リセット待ちの状態となるため、初期設定手順によって初期化される必要がある。

1 0 . D S 3 - S M D S インタフェース簡易L A P - D プロトコル

1 0 . 1 ソフトウエアインタフェース

図6 4に、D S 3 - S M D S インタフェースと交換機ソフトウェアの間のインタフェースの接続構成を示す。また、図6 5に、D S 3 - S M D S インタフェースと交換機ソフトウェアの間のインタフェースのプロトコルスタックを示す。ここで、交換機ソフトウェアとは、交換機全体の処理（呼処理、スイッチ制御処理等）を制御するプロセッサにおいて実行されるプログラムをいう。

1 0 . 2 ハードウエアインタフェース

D S 3 - S M D S インタフェースは、図8及び図6 4に示されるように、M D X 、A S S W S Hを経由するスイッチ内パスを通して、B S G C S Hとの間で簡易L A P 通信を行うことによって、交換機ソフトウェアと通信する。B S G C S Hは、I N F (I n t e r f a c e) によって交換機プロセッサと通信する。

主信号路（交換機内ハイウェイ）に対する局内制御通信セルの抽出／挿入及び簡易L A P の終端は、D S 3 - S M D S インタフェース内のE G - C L A D L S I（図4 5参照）によって行われる。

D S 3 - S M D S インタフェースとB S G C S H間のL A P リンクは、アクティブ系のA S S W S H（A T Mスイッチ）を経由してアクティブ系のB S G C S Hに対してのみ1本存在する。なお、パスは、図6 4のA及びBとして示されるように、アクティブ系とスタンバイ系の両方の系のA S S W S Hに対して設定される。B S G C S HからD S 3 - S M D S インタフェースへ向かう通信データはアクティブ系とスタンバイ系の両方の系のA S S W S Hに送出されるが、D S 3 - S M D S インタフェースはアクティブ系のA S S W S Hを通して通信データのみを選択する。一方、D S 3 - S M D S インタフェースからB S G C S Hへ向かう通信データもアクティブ系とスタンバイ系の両方の系のA S S W S Hに送出されるが、スタンバイ系のA S S W S Hを経由した通信データは、スタンバイ系のB S G C S Hの共通部で破棄される。スタンバイ系のB S G C S Hの共通部は、受信したセルのヘッダに付加されているタグの特定領域を参照することにより、局内制御通信セルを識別する。

D S 3 - S M D S インタフェースとB S G C S H間の通信リンクは、デフォルトでは、6 4 K b p s の帯域を有し、その帯域は交換機内で予め確保されている。なお、この帯域は、交換機ソフトウェアの指示によって、任意に設定可能である。

E G - C L A D L S I（図4 5参照）は、デフォルトでは、複数セルによって構成される局内通信用L A P のフレームの帯域を6 4 K b p s にシェーピングする。E G - C L A D L S Iは、主信号路（交換機内ハイウェイ）上を転送される局内通信用L A P

のフレームを構成するセルに対してドロップ／インサートを行うことにより、局外に自己インタフェース宛の局内通信用セルを流出させない。この場合に、D S 3 - S M D S インタフェースは、上流側（A S S W S H 側）で入出力される局内通信用セルに対してのみドロップ／インサートを行い、回線（D S 3 伝送路）側で入出力される局内通信用セルに対してはドロップ／インサートを行わない。また、図3 4に示されるように、D S 3 伝送路にB R L Cが接続されD S 3 - S M D S インタフェースがアンビリカルリンクを実現している場合には、B R L C内のR M X S H に搭載されるD S 3 - S M D S インタフェースも、上流側（局側）で入出力される局内通信用セルに対してのみドロップ／インサートを行い、加入者回線側で入出力される局内通信用セルに対してはドロップ／インサートを行わない。従って、D S 3 - S M D S インタフェースは、自分より下流側の装

10

20

30

40

50

置からBSGC SHに転送される局内通信用セルについては、それを通過させる。

なお、DS3-SMDSインタフェースとBSGCの間の局内通信用セルは、前述した図56に示されるフォーマットを有する。

10.3 VPI/VCI の設定

BSGC (図8) は、交換機ソフトウェアによって割り当てられたVPI/VCI値を使用して、DS3-SMDSインタフェースとの局内通信リンクを設定する。このVPI/VCI値としては、VPI = 00、VCI = 03FEが使用される。このVPI/VCI値は、局内通信のコネクションが確立されている間に変更されない。

図66に、DS3-SMDSインタフェースとBSGCの間の局内通信用セルのVPI/VCIの変換処理の概要を示す。DS3-SMDSインタフェースからBSGCに向かう局内通信用セルのルーティングに必要なタグ情報の付加は、SIFSH Common (図8参照) 内のVCC (仮想チャネルコンバータ) で行われる。逆に、BSGCからDS3-SMDSインタフェースに向かう局内通信用セルのルーティングに必要なタグ情報の付加は、BSGCの共通部内のVCCで行われる。

10

10.4 誤り監視

DS3-SMDSインタフェースは、それが受信した局内通信用セルに関しては、セルレベルでの異常監視は行わない。従って、DS3-SMDSインタフェースは、タグによって自インタフェースを指定しているセルを、全て自インタフェース宛の有効な局内通信用セルとして取り込み、そのセルを処理する。

10.5 AAL インタフェース

20

10.5.1 SAR-PDU フォーマット

図67に、局内通信用SAR-PDUのフォーマットを示す。

SAR-PDU フォーマットとしてはタイプ3又は4のAAL (ATM Adaptation Layer) プロトコルタイプが使用される。

ST (セグメントタイプ)、SN (シーケンス番号)、MID (局内制御通信用セルではdon't care)、ペイロード、LI (ペイロードバイト長表示)、及びCRC (ST, SN, MID, ペイロードに対するCRC-10) からなるSAR-PDUは、ATMセルのペイロードに格納され、その前部にATMヘッダが付加される。

なお、後述するパート3の4.も参照すること。

30

10.6 AAL の機能

局内通信に使用されるL2 (レイヤ2) フレームは、CS-PDU (パート3の4.2.2及び4.2.3を参照) を介して、SAR-PDUのペイロードにマッピングされる。DS3-SMDSインタフェースが実現するAAL処理は、(1)セルに対するL2フレームの分解・組立、(2)局内通信用セルの送信/受信、(3)受信セルのペイロード内ビット誤りの検出、(4)送信セルのペイロードに対するCRCの付与、の機能を有する。

10.7 誤り監視

AAL処理によってペイロードのビット誤りが検出されたセルは、破棄される。誤りはDS3-SMDSインタフェースで保持され、MSCNとして表示される。AAL処理によってSN異常又はSTのシーケンス異常が検出された場合、その異常が検出されたセルに関連する一連のセルは、全て破棄される。AAL処理では、ペイロードに誤りのないSSM (Single Segment Message) に対応するセル、又はペイロードに誤りが無いBOM (Beginning Of Message) からEOM (End Of Message) までの一連のシーケンス異常のないセルのみが、有効セルとして取り込まれる。検出されたシーケンス異常は、DS3-SMDSインタフェース内に保持されMSCNとして表示される。AAL処理では、検出された誤りの回復は行われない。

40

10.8 L2 インタフェース

10.8.1 L2の機能

50

局内通信で使用する L 2 のプロトコルである簡易 L A P は、(1) L 2 リンクの確立、(2) L 3 - P D U の送信及び受信、(3) L 2 リンクの状態監視、の機能のみをサポートする。

10. 8. 2 フレームフォーマット

図 6 8 に、局内通信用 L 2 フレームフォーマットを示す。このフレームは、図 6 7 に示される S A R - P D U のペイロードに格納されて伝送される。

10. 8. 3 コネクション設定手順

D S 3 - S M D S インタフェースと B S G C S H の間の L A P リンクは、D S 3 - S M D S インタフェースの電源投入／リセットの時、又は B S G C S H の電源投入／リセットの後に局データ上の D S 3 - S M D S インタフェースの実装が指定された時に確立する。それ以降は、D S 3 - S M D S インタフェースの I N S / O U S 状態に係わらず、D S 3 - S M D S インタフェースと B S G C S H の何れも、リンクを切断することはない。リンク確立時に B S G C S H が D S 3 - S M D S インタフェースに転送する S A B M (S e t A s y n c h r o n o u s B a l a n c e d M o d e) フレーム内でコネクションのレスポンス用 V P I / V C I 値が通知されるため、リンク確立のアクションは B S G C S H の責任で行われる。

10

10. 8. 4 リンクの状態監視

B S G C S H は、一定周期 (1 s e c 毎) に R R (R e c e i v e R e a d y) フレームを D S 3 - S M D S インタフェースに送信し、それに対する D S 3 - S M D S インタフェースからの R R フレームの返送を確認することによって、リンクの状態を監視する。D S 3 - S M D S インタフェースは、リンクの状態監視は行わない。従って、D S 3 - S M D S インタフェースは、障害によるリンクの切断は認識しない。

20

10. 8. 5 確認手順

簡易 L A P を用いた L 2 プロトコルでは、L 3 情報の転送は U I (U n n u m b e r e d I n f o r m a t i o n) フレームによって行われる。従って、L 3 情報の転送に対する L 2 での確認手順はない。L 3 情報の転送確認は、L 3 プロトコルで行われる。

10. 8. 6 障害監視

簡易 L A P プロトコルでは、転送情報の誤りは検出されない。

10. 9 L 3 インタフェース

10. 9. 1 L 3 フレームフォーマット

30

図 6 9 に、L 3 フレームフォーマットを示す。このフレームは、図 6 8 に示される L 2 フレームの情報フィールドに格納されて伝送される。

10. 9. 2 通信手順

L 3 プロトコルの手順は全て、交換機ソフトウェアを主、D S 3 - S M D S インタフェースを従としたコマンド／レスポンス形式で実行される。交換機ソフトウェアは、は送信したコマンドに対応するレスポンスを受信することにより、D S 3 - S M D S インタフェースによるコマンドの受信を確認する。D S 3 - S M D S インタフェースは、対応したレスポンスが存在しないコマンドに対しては、レスポンスの代わりに A C K を送信する。D S 3 - S M D S インタフェースは、送信する A C K の値を、受信したメッセージ番号に 8 0 0 0 (H E X) を加算することにより生成する。D S 3 - S M D S インタフェースは、送信した L 3 レスポンスが交換機ソフトウェアによって受信されたか否かの確認は行わない。アラームの通知等の自立的なアクションを必要とする情報は、M S C N を用いて D S 3 - S M D S インタフェースから交換機ソフトウェアへ通知される。

40

10. 9. 3 誤り制御

交換機内でのセルの紛失／誤挿入 (l o s s / i n s e r t i o n) に伴う誤りを検出するために、交換機ソフトウェアは各コマンドの L 3 フレームにシーケンス番号を付加してそれを送信し、D S 3 - S M D S インタフェースはその各シーケンス番号に対応させてレスポンスを返送することによって、コマンド／レスポンスの対応関係が確保される。

11. D S 3 - S M D S インタフェースの状態管理

11. 1 初期設定

50

DS3-SMDSインタフェースのPWCB (Printed Wiring Circuit Board、プリント配線回路板) が実装された時点又は電源が投入された時点を実機とした初期化処理としては、以下に示すものが必要である。

(1) DS3-SMDSインタフェースに対するSMDSモード (図33参照) 又はアンビカルリンクモード (図34参照) の設定

(2) DS3-SMDSインタフェースに対するSMDSのUNIモード又はICI, ISSIモードの設定

(3) 下り (Downward) DMUX-LSIバッファ閾値の設定 (必要時に設定される)

11.2 閉塞

10

以下の処理が実行される。

(1) 閉塞指定 (OUS) のセット

11.3 インササービス (In Service) 化

以下の処理が実行される。

(1) 閉塞指定 (OUS) のリセット

(2) マスタリセット (M-RST) のセット／リセット

(3) 初期設定

(4) E-MSCN上にインササービス完了表示 (INS) がセットされることの確認

(5) 各種初期設定データの転送

11.4 未実装化

20

以下の処理が実行される。

(1) 閉塞指定 (OUS) のセット

11.5 障害処理

11.5.1 障害監視

DS3-SMDSインタフェースに関する障害の監視は、DS3-SMDSインタフェースで検出されSIFSH Common経由で交換機ソフトウェアに通知されるD-MSCN、及びSIFSH Common自身によって検出されるDS3-SMDSインタフェースの障害に関するE-MSCNの双方のMSCNを常時監視することにより行われる。DS3-SMDSインタフェース自体又は回線系の障害に関するMSCNの常時監視においては、アクティブ系のSIFSH CommonからのMSCNが監視される。DS3-SMDSインタフェースとSIFSH Commonのインタフェース部分の障害に関するMSCNの常時監視においては、アクティブ系とスタンバイ系の両方の系のSIFSH CommonからのMSCNが照合される。後者の場合、両方の系のデータ到着の時間的ずれを考慮して、一方の系の障害検出時には、他方の系の障害情報に対して一定時間の待ち合わせが行われる。常時監視の対象となるMSCNの種類は、各種障害種別毎に設けられた代表NG-ORポイントの変化フラグを用いて通知される。

30

障害監視の対象となるMSCNには以下の種類があり、それぞれに応じて代表NG-ORポイントがある。また、下記に示す非保持型アラームについては、複数のアラームが発生する可能性があるため、状態変化フラグが設けられる。

(1) ハードウェア障害・・・・・・保持型

40

1. DS3-SMDSインタフェースの障害として特定可能なもの

2. SIFSH Commonの障害として特定可能なもの

3. SIFSH CommonとDS3-SMDSインタフェースとのインタフェース部分の障害

(2) 回線系アラーム・・・・・・非保持型

(3) 閾値交差アラート (DS3/PLCP レイヤ)・・・・・・非保持型

(4) DS3-SMDSバッファでのセル破棄開始アラート・・・・・・非保持型

保持型の障害表示ポイントについては、MSCN上の障害表示をリセットするためにMSD (SDFTRST) が設定される必要がある。また、非保持型の障害表示ポイントは、それぞれのポイントに固有の条件で、それぞれのポイントに対応するハードウェア自身

50

よってリセットされる。

11. 5. 2 障害検出時の処理

それぞれの代表NG-OR ポイントの障害表示が検出された場合の処理は、以下の(1)～(3)に示されるものとなる。なお、どの代表NG-OR ポイントに関しても、メッセージを表示させるために必要な障害の詳細要因を示す情報は、MSCNの別領域を参照することにより、又は局内制御通信を用いて個別部に直接問い合わせることにより、取り出す必要がある。

(1) ハードウェア障害の検出時

1. DS3-SMDSインタフェース内部の障害として特定可能なハードウェア障害の検出時には、DS3-SMDSインタフェースが閉塞される。 10

2. SIFSH Commonの障害として特定可能なハードウェア障害の検出時には、アクティブとなるべきASSWSHの系が切り替えられる。ASSWSHの系の切替えが不可能な時は、障害が検出されたハードウェアに対応するDS3-SMDSインタフェースは継続使用不能であるとして閉塞される。ASSWSHの系の切替え後に新たなアクティブ系において障害が存続している場合、又は新たにASSWSHの系の切替えの要因となる障害が検出された場合には、新たなアクティブ系のSIFSH Commonに対する障害監視が停止され、その系に対応するDS3-SMDSインタフェースは使用不能であるとして閉塞される。この場合、ASSWSHの系を元に戻すことは行われない。

3. SIFSH Commonとのインタフェース部分のハードウェア障害の検出時には、DS3-SMDSインタフェース及びSIFSH Commonの双方において検出・表示されるMSCNの情報に基づいて、以下のいずれかの判定がなされ、その判定に対応する処理が行われる。 20

(a) DS3-SMDSインタフェースの障害である可能性が高い障害

DS3-SMDSインタフェースが閉塞される。

(b) SIFSH Commonの障害である可能性の高い障害

アクティブ系となるべきASSWSHの系が切り替えられる。

(c) DS3-SMDSインタフェース又はSIFSH Commonのどちらの障害であるかの判定が難しい障害

DS3-SMDSインタフェースが閉塞される。

(2) 回線系アラームの検出時

DS3-SMDSインタフェースが閉塞される。 30

(3) 閾値交差アラート、バッファでのセル廃棄開始アラートの検出時

MSCNにはハードウェア内部における所定の統計処理に基づく表示がなされるので、この表示に基づいてメッセージが表示される。

11. 5. 3 障害の特定

(1) ASSWSHがOUS 化された時

障害系ASSWSHの自動診断によって障害が特定される。

(2) DS3-SMDSインタフェースが閉塞された時

DS3-SMDSインタフェースに対しオンライン診断が実行され障害が特定される。オンライン診断によって障害が確認されない時は、ASSWSHの系の切替え及びマニュアル診断が行われる。これらの一連の処理は全て人手により行われる。なお、ここでいうオンライン診断とは、DS3-SMDSインタフェースの状態にかかわらず、アクティブ系のCC (交換機プロセッサ) により実行される診断のことを言う。 40

11. 5. 4 復旧監視

(1) ASSWSH、DS3-SMDSインタフェース

これらの部分は、それぞれがOUS 状態からINS 状態に変化させられた時に、復旧される。2重化されたSIFSH Commonの両方の系で障害が検出されたためにアクティブ系が障害状態のまま運用されている時は、その系に対応するDS3-SMDSインタフェースがINS 化されたと同時に、アクティブ系のSIFSH Commonの障害監視が再開される。 50

(2) 回線系アラーム

M S C Nの監視により、常時、復旧監視が行われる。復旧時には、他に閉塞要因が無いときは、D S 3－S M D Sインタフェースの閉塞が解除される。

(3) 閾値交差アラート (D S 3 / P L C P レイヤ)

所定の時間毎に自動復旧するので、復旧監視は行われない。

(4) バッファでのセル廃棄開始アラート

M S C Nの監視により、常時、復旧監視が行われる。

1 1 . 6 各種処理シーケンス

図 7 0 ～ 図 8 1 に、以下に示される処理シーケンスを示す。

(1) D S 3－S M D Sインタフェースの初期設定

10

(2) D S 3－S M D Sインタフェースの I N S 化の手順

(3) D S 3－S M D Sインタフェースの O U S 化の手順

(4) D S 3－S M D Sインタフェースのハードウェア障害

1 . 局内制御通信が可能なハードウェア障害

2 . 局内制御通信が不可能なハードウェア障害

3 . マイクロプロセッサ障害

4 . S I F S H C o m m o n と D S 3－S M D Sインタフェースの間の交絡障害 (アクティブ系)

5 . S I F S H C o m m o n と D S 3－S M D Sインタフェースの間の交絡障害 (スタンバイ系)

20

(5) D S 3 / P L C P レイヤアラーム処理

(6) D S 3 / P L C P T C A (閾値交差アラート) の発生時における D / Q ータイマ (1 5 分及び1日をカウントするタイマ) の通知、P M データの収集

(7) D S 3－S M D Sインタフェースバッファアラームの発生時における D / Q ータイマの通知、バッファデータの収集

(8) P V C パス試験用特番 V P I / V C I セルの設定

1 2 . D S 3－S M D Sインタフェースバッファ輻輳制御

D S 3－S M D Sインタフェースの P W C B (P r i n t e d W i r i n g C i r c u i t B o a r d 、プリント配線回路板) がインタフェースする種類としては、以下のものがある。

30

(1) D S 3 S M D S U N I (U s e r N e t w o r k I n t e r f a c e) インタフェース

(3) D S 3 S M D S I C I (I n t e r - e x c h a n g e C a r r i e r I n t e r f a c e) インタフェース

(3) D S 3 S M D S I S S I (I n t e r - S w i t c h i n g S y s t e m I n t e r f a c e) インタフェース

(4) D S 3 アンビカルリンクインタフェース

これらのインタフェースのうち、(1) ～ (3) に示されるインタフェースが実現される場合には、D S 3－S M D Sインタフェースは S B M E S H H 及び G W M E S H

(図 8 参照) と接続される。従って、S M D S のアクセスクラスに合わせて送出される A T M セルに対してはシェーピングが行われるため、D S 3－S M D Sインタフェース内に設けられビットレートを 1 5 6 M b p s から 4 5 M p b s に変換するバッファにおいて、オーバーフローが発生することはない。

40

ところが、(4) に示される D S 3 アンビカルリンクインタフェースが実現される場合には、D S 1－S M D S、D S 1－フレームリレー等のラインが収容されるため、D S 3－S M D Sインタフェース内に設けられビットレートを 1 5 6 M b p s から 4 5 M p b s に変換するバッファにおいて、バーストデータが入力されることを原因として、オーバーフローが発生する可能性がある。

そのため、D S 3－S M D Sインタフェースは、図 5 6 に示されるフォーマットにおける A T M セルのヘッダ内のタグ領域に表示される P ビット及び C O N ビットの各値の

50

パターンに基づいて、156Mbps → 45Mbps 変換バッファの輻輳制御を行う。
このバッファの制御用のデータは、交換機ソフトウェアが、局内制御通信を用いた E-MSD 情報として設定する。このバッファの輻輳時の品質制御、優先制御を行うために、9 レベルの閾値を設定する必要がある。設定される閾値を、以下に示す。

- (1) Q0 : 物理的 FULL
- (2) Q1 : 論理的 FULL
- (3) QA : P ビット = “0”、CON ビット = “0” のセル廃棄処理開始閾値
- (4) QB : P ビット = “1”、CON ビット = “0” のセル廃棄処理開始閾値
- (5) QC : P ビット = “0”、CON ビット = “1” のセル廃棄処理開始閾値
- (6) QD : P ビット = “1”、CON ビット = “1” のセル廃棄処理開始閾値 10
- (7) QA' : P ビット = “0”、CON ビット = “0” のセル廃棄処理開始閾値
- (8) QB' : P ビット = “1”、CON ビット = “0” のセル廃棄処理開始閾値
- (9) QC' : P ビット = “0”、CON ビット = “1” のセル廃棄処理開始閾値
- (10) QD' : P ビット = “1”、CON ビット = “1” のセル廃棄処理開始閾値

図 8 2 に、バッファでの上述のセル廃棄処理開始／解除閾値を示す。

これらの閾値 Q1、QA、QB、QC、QD、QA'、QB'、QC'、QD' は、局内制御通信によって設定され、セル廃棄の設定、解除は、以下のように行われる。

(1) キュー (queue) 長が閾値を越えた場合、その状態が DS3-SMDS インタフェース内のマイクロプロセッサに通知され、セル廃棄が開始されたことが局内制御通信を用いて交換機ソフトウェアに通知される。なお、DS3-SMDS インタフェース PKG の挿入時及びハードウェアリセット時には、セル廃棄処理開始閾値は、初期設定値である最大のバッファ長が設定される。 20

(2) キュー (queue) 長がセル廃棄解除閾値まで回復した場合、その状態がマイクロプロセッサに通知され、セル廃棄解除が行われたことが局内制御通信を用いて交換機ソフトウェアに通知される。

(3) キュー (queue) 長が閾値 Q1 まで達した場合、障害が発生したことがマイクロプロセッサに通知されると同時に、有効セルであってもそのバッファに対する書き込みを停止するように制御が行われる。

(4) 各閾値は、以下に示される条件を満たすように局内制御通信を用いて設定される必要がある。 30

$$\begin{aligned} Q0 > Q1 > QA > QA' > 0 & \quad Q0 > Q1 > QB > QB' > 0 \\ Q0 > Q1 > QC > QC' > 0 & \quad Q0 > Q1 > QD > QD' > 0 \end{aligned}$$

13. 試験・保守

13.1 DS3-SMDS インタフェースが有するループバック機能

DS3-SMDS インタフェース PCB (Printed Circuit Board、プリント回路板) は、シーケンス・保守運用のために、以下に示す 4 つのループバック機能を有している。

- (1) タグ領域に “0” ビットが付加されたセルのループバック機能
- (2) 全セルのループバック機能
- (3) 特定 VPI/VCI が付加されたセルのループバック機能 40
- (4) Line Loopback 機能

図 8 3 に、DS3-SMDS インタフェース PCB における上述のループバック機能の実装位置を示す (図 4 5 参照)。

13.1.1 タグ領域に “0” ビットが付加されたセルのループバック機能

DS3-SMDS インタフェースは、図 8 3 の (1) として示される位置 (HAF00A、図 4 5 参照) に、タグ領域に “0” ビットが付加されたセルのループバック機能を有する。このタグ領域に “0” ビットが付加されたセルは、導通試験を目的として、TCG (テストセルジェネレータ) により生成される。なお、DS3-SMDS インタフェースはアクティブ系の ATM セルしか通過させないため、導通試験用セルは、アクティブ系の ASSWSH からのみ入力される。 30

このループバック機能の起動／停止は、図 5 8 及び図 5 9 に示される E－MSD 上の 0－LOOP ビットによって指示される。但し、ハードウェアの構成上、“0”ビットが付加されたセルのループバック機能と、特定 VPI／VCI セルが付加されたセルのループバック機能は、同時には起動されない。

1 3. 1. 2 全セルのループバック機能

DS3－SMDS インタフェースは、図 8 3 の (1) 又は (2) として示される位置 (HAF00A 又は HDT00A、図 4 5 参照) に、全セルのループバック機能を有する。このループバック機能は DS3－SMDS インタフェースを閉塞させてから起動される必要がある。

このループバック機能の起動は、SIFSH Common が終端する E－MSD を用いて、図 5 8 及び図 5 9 に示される LOOP－1 ビット ((1) の位置の場合) 又は LOOP－2 ビット ((2) の位置の場合) によって指示される。 10

このループバック機能を用いることによって、DS3／PLC プレイヤのデータを含む AMT セルの透過試験を行うことができる。但し、DS3－SMDS インタフェースが DS3－SMDS サービスを提供するモードで動作している場合 (図 3 3 に示される場合) には、DS3－SMDS インタフェースは VPI＝3F、VCI＝03FF である ATM セルしか透過しない (7. 1 0 及び図 5 5 参照)。このため、試験時に DS3－SMDS インタフェースに入力されるセルには、上記 VPI／VCI の値が設定される必要がある。

1 3. 1. 3 特定 VPI／VCI が付加されたセルのループバック機能 20

DS3－SMDS インタフェースは、図 8 3 の (3) として示される SIFSH Common からの伝送路が接続される位置 (HAF00A、図 4 5 参照) に、特定 VPI／VCI が付加されたセルのループバック機能を有する。

このループバック機能の起動時には、局内制御通信によって特定 VPI／VCI の値が通知される。また、このループバック機能により同時にループバックすることのできる ATM セルは、1 種類の VPI／VCI の値が設定された ATM セルのみである。このため、他の VPI／VCI の値について試験を行うためには、その VPI／VCI の値を設定してループバック機能を起動し直す必要がある。

このループバック機能の起動／停止は、図 5 8 及び図 5 9 に示される E－MSD 上の V－LOOP ビットによって指示される。 30

1 3. 1. 4 ラインループバック機能

DS3－SMDS インタフェースは、図 8 3 の (4) として示される位置 (HDT00A、図 4 5 参照) に、DS3 PCM ライン (DS3 伝送路) から入力される信号をループバックする機能を有する。

このループバック機能の起動は、図 5 8 及び図 5 9 に示される E－MSD 上の LOOP－3 ビットによって指示される。

このループバック機能は、工事試験等において DS3 PCM ラインの正常性を確認する目的で使用される。

1 3. 2 試験方法

上述した各種ループバック機能を利用した DS3－SMDS インタフェースの試験方法としては、以下の種類がある。 40

- (1) DS3－SMDS ラインループバック試験
- (2) アクティブ系オンデマンド (ON－Demand) 試験
- (3) PVC パス導通試験
- (4) DS3－SMDS インタフェース試験、診断

1 3. 2. 1 DS3－SMDS ラインループバック試験

DS3－SMDS インタフェースが実行するラインループバック試験としては、DSX－3 部分での手動ループバック試験と、RCL でのループバック試験の 2 種類がある。この試験としては、TCG からのテスト・セルを起動しての試験になる。

- (1) DSX－3 でのラインループバック試験 50

この試験では、配線盤であるDSX-3 (Digital Signal Cross-Connect) の部分において手動でループバックが起動されることによって、ATMセルの透過性及びラインの回線品質等が試験される。この試験を実現するために、TCG (テストセルジェネレータ) とDS3-SMDSインタフェース間にパスが設定された後、TCG においてランダムなテストパターンを有するテストセルが生成され、そのテストセルが上記パスに送出される。

図84に、DSX-3 でのラインループバック試験の概略を示す。

(2) RLC でのラインループバック試験

この試験では、RLC (Remote Line Concentrator : 広帯域遠隔回線集線装置、図34に示されるBRLCと同じ) において手動でループバックが起動されることによって、ATMセルの透過性及びラインの回線品質等が試験される。この試験を実現するために、(1) に示される試験の場合と同様に、TCG とDS3-SMDSインタフェース間にパスが設定された後、TCG においてランダムなテストパターンを有するテストセルが生成され、そのテストセルが上記パスに送出される。

図85に、RLC でのラインループバック試験の概略を示す。

13.2.2 アクティブ系オンデマンド (ON-Demand) 試験

アクティブ系のオンデマンド試験は、DS3-SMDSインタフェースの障害時に、保守者がコマンドを投入することによって障害箇所を特定する目的で行われる。この場合、13.1.1で説明したループバック機能が起動され、TCG においてタグ領域に“0”ビットが付加されたセルが生成され、DS3-SMDSインタフェースが“0”ビットが付加されているセルのみに対してループバックを行う。この状態がチェックされることにより、障害箇所が特定される。

13.2.3 PVC パス導通試験

DS3-SMDSインタフェースがDS3-SMDSサービスを提供するモードで動作している場合 (図33に示される場合) 、DS3-SMDSインタフェースとSBMHSH、GWMHSH間はPVC (Permanent Virtual Circuit : 相手固定接続) によって接続される。このPVC のパス導通試験を行うために、まず、DS3-SMDSインタフェースが閉塞される。その後、図58及び図59に示されるE-MSD 上のLOOP2 ビットにより13.1.2で説明したループバック機能が起動される。続いて、SBMHSH、GWMHSHがPVC に対応するVPI/VC I と同じVPI/VC I を付加したテストセルを生成し、DS3-SMDSインタフェースに向けて送出する。このようにして、PVC のパス導通が確認される。

図86に、DS3-SMDSインタフェースとSBMHSH、GWMHSHの間のPVC のパス導通試験の概略を示す。図86において、MH-COMが、SBMHSH又はGWMHSHに対応している。

13.2.4 DS3-SMDSインタフェース試験、診断

DS3-SMDSインタフェースのPCB (Printed Circuit Board 、プリント回路板) の試験、診断としては、以下に示す内容のものを行う必要がある。

(1) DS3-SMDSインタフェースPCB におけるATMセル透過試験

(2) DS3-SMDSインタフェースPCB におけるハードウェア正常性確認試験

13.2.4.1 DS3-SMDSインタフェースPCB におけるATMセル透過試験

DS3-SMDSインタフェースPCB におけるATMセルの透過試験を行うために、始めに、DS3-SMDSインタフェースが閉塞させられる。その後、図58及び図59に示されるE-MSD 上のLOOP-1ビット又はLOOP-2ビットにより13.1.2で説明したループバック機能が起動される。

以下に、DS3-SMDSインタフェースPCB におけるATMセルの透過試験の手順を示す。

(1) DS3-SMDSインタフェースPCB の閉塞 (OUS: Out of Se 50

r v i c e 化)

(2) S I F S H C o m m o n が E - M S D 上の L O O P - 1 又は L O O P - 2 を設定

(3) L O O P - 1 又は L O O P - 2 の設定の確認

(4) D S 3 - S M D S インタフェースと T C G の間のパスの設定

(5) T C G よりテストセルの送出

(6) D S 3 - S M D S インタフェースから T C G に戻ってくるテストセルの確認

(7) L O O P - 1 又は L O O P - 2 の解除

(8) L O O P - 1 又は L O O P - 2 の解除の確認

(9) D S 3 - S M D S インタフェースと T C G の間のパスの解除

10

1 3 . 2 . 4 . 2 D S 3 - S M D S インタフェース P C B におけるハードウェア正常性確認試験

D S 3 - S M D S インタフェース P C B は、そのハードウェアの正常性を確認するための自己診断機能を搭載している。この自己診断機能が起動されることにより、D S 3 - S M D S インタフェースの 1 重化部分 (交絡部は除く) のハードウェアの正常性を確認することができる。

D S 3 - S M D S インタフェース P C B でのハードウェアの自己診断としては、以下の内容のものが行われる。

(1) 初期設定

(2) S R A M のチェック

20

(3) デュアルポート R A M のチェック (簡易 L A P D 処理)

(4) D S 3 - S M D S インタフェースに搭載される各 L S I のリード/ライトチェック

(5) D S 3 - S M D S インタフェースに搭載される各チェッカに対する疑似障害チェック

この D S 3 - S M D S インタフェースの自己診断機能の起動は、図 5 8 及び図 5 9 に示される E - M S D 上の D S 3 D E C ビットによって指示される。自己診断の終了は、図 6 1 及び図 6 3 に示される E - M S C N 上の T S T E N D ビットによって示される。自己診断の結果は、同じく E - M S C N 上の T S T I N D ビットによって示される。自己診断の後には、D S 3 - S M D S インタフェースはリセット待ちの状態になり、その状態はハードリセット又はマイクロプロセッサリセットによって解除される。なお、自己診断機能は、図 5 8 及び図 5 9 に示される E - M S D 上の D S 3 D E C ビットによってのみ起動され、パワーオン等によって D S 3 - S M D S インタフェースがリセットされても起動されない。また、この D S 3 - S M D S インタフェースの自己診断時間は、D S 3 D E C ビットがオンされた後約 1 2 秒程度を要する。このため、D S 3 D E C ビットがオンされてから T S T E N D ビット及び T S T I N D ビットにより結果が表示されるまでに、約 1 5 秒程度が必要となる。

30

1 4 . 障害処理

1 4 . 1 障害検出ポイントと通知方式

S I F S H (S u b s c r i b e r I n t e r f a c e S h e l f) (図 8 参照)

40

内に搭載される D S 3 - S M D S インタフェースに関する障害処理について、障害モード毎に障害の検出・通知方式を以下に示す。

1 4 . 1 . 1 障害内容

(1) O B P 障害 (各パッケージに搭載される O B P の障害)

(2) パッケージ抜け障害

(3) ヒューズ断障害

(4) パッケージ誤挿入障害

(5) 個別部パッケージ障害 (1 重化部障害)

1 4 . 1 . 2 O B P 障害

S I F S H では、図 8 7 に示されるように、シェルフの左右に個別にパワースルーパッ

50

ケースが搭載され、半シェルフずつ独立に給電される。

14.1.3 個別部 (DS3-SMDSインタフェース) におけるOBP 障害
DS3-SMDSインタフェースに搭載されるOBP (電源) 障害の検出は、アクティブ系とスタンバイ系の両方の系のSIFSH Common (SIF-COM、共通部) において行われる。この障害検出は、SIFSH Common内の個別部OBP 障害レジスタの表示及びE-MSCNハイウェイにおけるスタックの発生を監視することによって行われる。

OBP のLED 出力端子の出力は、正常時に開放状態、異常時にグランド状態となる。このため、このLED 端子の出力がグランド状態になったときにOBP 障害レジスタに障害値が設定される。

10

図88に、個別部のOBP 監視機能の構成を示す。

(1) +5V OBP 障害

DS3-SMDSインタフェース個別部において+5V OBP 障害が発生すると、SIFSH Commonに向かうE-MSCN (Extended Maintenance Scanner) 情報のためのシリアルハイウェイがスタックしてしまう。このE-MSCN上には個別部のIDを示す代表ポイントがあって、このポイントに対するスタックの発生がSIFSH Commonにより監視される。従って、SIFSH Commonは、OBP 障害レジスタによる障害表示を検出し、かつE-MSCNハイウェイでのスタックの発生を検出した場合に、+5V OBP 障害を検出する。

(2) -5.2V OBP 障害

20

SIFSH Commonは、OBP 障害レジスタによる障害表示を検出し、かつ、E-MSCNハイウェイにおけるスタックの発生を検出しない場合に、-5.2V OBP 障害を検出する。

14.1.4 パッケージ抜け障害

DS3-SMDSインタフェースを構成するパッケージが抜けたという障害の検出は、アクティブ系とスタンバイ系の両方の系のSIFSH Commonにおいて行われる。この障害検出は、SIFSH Common内の個別部OBP 障害レジスタの表示及びE-MSCNハイウェイにおけるスタックの発生を監視することによって行われる。なお、個別部は複数枚のパッケージによって構成されている。そして、この複数枚のパッケージのうち1枚でも抜けがあると、個別部パッケージグループ全体に供給される+5V 電源が導通しない構成となっている。従って、SIFSH Commonに向かうE-MSCN上の個別部のIDポイントを示す項目がオール“H” (ハイレベル) となることがSIFSH Commonによって監視される。そして、SIFSH Commonは、アクティブ系とスタンバイ系の両方の系のSIFSH Commonからの「パッケージ抜け」通知を受信した場合においてのみ、「パッケージ抜け」を判定する。一方の系のSIFSH Commonからのみ「パッケージ抜け」が通知された場合は、SIFSH Commonは、個別部とSIFSH Common間のインタフェース障害が発生したと判定する。この状態は、系の切替えの対象とされる。

30

図89に、パッケージ抜け監視機能の構成を示す。

14.1.5 ヒューズ断障害

40

パワーパッケージに実装される個別部用ヒューズは、アクティブ系とスタンバイ系の両方の系のSIFSH Commonにおいて、個別に監視される。ヒューズ断による警報接点ループが、両方の系のSIFSH Commonにおいて監視される。

図90に、SIFSH Commonでのヒューズ断監視機能の構成を示す。

ヒューズ断により、該当する個別部からハイウェイスタックも同時に発生するためパッケージ抜けの障害発生も検出されるが、SIFSH Common内のファームウェアによってヒューズ断障害の検出が優先され、交換機ソフトウェアにはヒューズ断障害の発生のみが通知される。

14.1.6 パッケージ誤挿入障害

SIFSH は、個別部・SIFSH Common共に複数枚のパッケージにより構成

50

されるパッケージグループは、全てのパッケージが揃って挿入されて始めてO B P が活性化される構成を有する。従って、パッケージの誤挿入が発生しても、シェルフが動作しないだけであり、パッケージ及びその回路素子の破壊を引き起こすことはない。

14. 1. 7 DS3-SMDSインタフェース個別部のパッケージの障害

DS3-SMDSインタフェース個別部のパッケージにおけるハードウェア障害としては、以下に示すように2種類のタイプがある。

(1) SIFSH CommonからのE-MSCNを用いて局内制御通信により通知可能なハードウェア障害

(2) DS3-SMDSインタフェースからの局内制御通信により通知可能なハードウェア障害

10

まず、(1) に示される障害に関連する図61～図63に示されるE-MSCN上のポイントは、以下に示すものである。

1. MPE (マイクロプロセッサ障害)

2. FEER-1 (DS3-SMDSインタフェースPCB による局内制御通信が不可能であることを示す障害)

3. UH19M (SIFSH Common送信クロック障害)

4. UHDP T (上りハイウェイデータパリティエラー障害)

5. EGPTY (局内制御通信終端LSI 障害)

次に、(2) に示される障害に関連する図61～図63に示されるE-MSCN上のポイントは、以下に示すものである。SIFSH CommonはNG OR 条件を交換機ソフトウェアに通知するため、DS3-SMDSインタフェースは局内制御通信によって詳細データを読み出し交換機ソフトウェアに通知する必要がある。

20

1. FEER-2 (DS3-SMDSインタフェースPCB ハードウェア障害OR条件)

なお、SIFSH CommonからのE-MSCNを用いた局内制御通信によって交換機ソフトウェアに通知されるDS3-SMDSインタフェースハードウェア障害が発生した場合には、DS3-SMDSインタフェースは閉塞させられる。

15. 各PCB の機能

15. 1 各PCB の機能

15. 1. 1 HAFOOAの機能

30

HAFOOA (図45参照) の主機能は、SIFSH Commonとのインタフェース機能である。7. において前述したDS3-SMDSインタフェース機能のうち、以下の機能が搭載される。

(1) MSD/MSCN情報のLAP 終端機能

(2) SIFSH Commonに対するインタフェース機能

(3) DS3-SMDS L2-PDU セル及びLAP セルのマルチプレクス/デマルチプレクス機能

(4) 特定VPI/VCI セルのループバック機能

(5) MSCNデータのマルチプレクス機能

(6) MSD データドロップ機能

40

(7) アクティブコントロール機能

(8) マイクロプロセッサインタフェース機能

15. 1. 1. 1 MSD/MSCN情報のLAP 終端機能

これは、7. 11において説明した機能である。

この機能は、EGCLAD LSI (図45参照) とファームウェアによって実現されており、これらの機能分担は以下の通りである。

(1) EGCLAD LSIによる終端機能

1. L2-PDUセルとLAP セルのマルチプレクス/デマルチプレクス機能

2. SAR-PDU の終端機能

(2) ファームウェアによる終端機能

50

1. L2フレームインタフェースの終端機能

2. L3フレームインタフェースの終端機能

15. 1. 1. 2 SIFSH Commonに対するインタフェース機能

これは、7. 10において説明した機能である。

SIFSH CommonとDS3-SMDSインタフェースの間のL2-PDUセルに対するインタフェースは、19. 44Mbpsの伝送レートと8ビットパラレルのデータ幅を有する。DS3-SMDSインタフェースは、9. 72Mbpsの伝送レート及び16ビットパラレルのデータ幅で処理を行う。このため、HAF00Aは、上述の伝送レート及びデータ幅の変換を行う。

15. 1. 1. 3 DS3-SMDS L2-PDU セル及びLAP セルのマルチプレクス/デマルチプレクス 10

これらは、7. 12及び7. 13において説明した機能である。

この機能は、EGCLAD LSIによって実現される。

EGCLAD LSIは、LAP セルが送信される時にファームウェアによってEGCLAD LSI内のレジスタをオンする。これにより、EGCLAD LSIは、LAP セル送信クロック(64Kbps)に合わせて、L2-PDUセルとLAP セルをマルチプレクスする。

一方、デマルチプレクス時には、EGCLAD LSIは、受信したATM セルのタグ領域内のSIG ビット (図56参照) に基づいて、L2-PDUとLAP セルをデマルチプレクスし、LAP セルをデマルチプレクスしたタイムスロットには空きセル 20を挿入する。

15. 1. 1. 4 特定VPI/VC I が付加されたセルのループバック機能

DS3-SMDSインタフェースは、特定VPI/VC I が付加されたセルのループバック機能として、13. 1. 1で説明したタグ領域に“0”ビットが付加されたセルのループバック機能と、13. 1. 3で説明した特定VPI/VC I が付加されたセルのループバック機能を有している。

この機能は、SEL N1 LSI (図45参照) によって実現される。

15. 1. 1. 5 MSCNデータのマルチプレクス機能

これは、7. 15において説明した機能である。

この機能は、ファームウェア及びハードウェアによって実現されており、Dual Port RAM (図45参照) を介してファームウェアとハードウェアがインタフェースされる。図61～図63に示される第003 バイト以降に収容されているビットはファームウェアによって制御され、その制御結果がDual Port RAM へ書き込まれる。但し、第017 バイト内のMPE ビットはハードウェアにより処理される。

Dual Port RAM からのデータの読み出しは、SIFSH CommonからのMSCNインタフェースクロックによって動作するカウンタの出力をアドレスとしてシーケンシャルに行われる。そして、読み出されたデータに、図61～図63に示される第000 及び第002 バイトのコントロールビットが付加され、その結果得られるデータ群が、SIFSH CommonへMSCN情報として送出される。

15. 1. 1. 6 MSD データドロップ機能 40

これは、7. 16において説明した機能である。

この機能は、ファームウェア及びハードウェアによって実現されており、15. 1. 1. 1の場合と同様に、Dual Port RAM (図45参照) を介してファームウェアとハードウェアがインタフェースされる。SIFSH Commonから送られてくるMSD シリアルデータは、8ビットパラレルデータに変換されてDual Port RAM に書き込まれる。この書き込まれたデータは、ファームウェアによって、10msの周期で読み出される。そして、2周期連続して同じデータが読み出された場合に、そのデータがファームウェアに取り込まれる。

15. 1. 1. 7 アクティブコントロール機能

この機能においては、アクティブ系とスタンバイ系の両方の系のSIFSH Commo 50

nから転送されてくるACT 情報により、図91に示される制御が実行される。

15. 1. 1. 8 マイクロプロセッサインタフェース機能

HAF00A PCBは80C186プロセッサを搭載しており、HAF00Aのプロセッサインタフェース信号及び他のPCB のプロセッサインタフェース信号を出力する。

15. 1. 2 HLP01Aの機能

HLP01A (図45参照) の主機能は、DS3-SMDS固有の処理機能である。

7. で前述したDS3-SMDSインタフェース機能のうち、以下の機能が搭載される。

(1) 156Mbps → 45Mbps データ変換機能

(2) 45Mbps → 156Mbps データ変換機能

(3) DQDB (Distributed Queue Dual Bus) 処理機能 10

これらの機能の概略を以下に示し、また、機能構成を図92に示す。

15. 1. 2. 1 156Mbps → 45Mbps データ変換機能

これは、7. 9において説明した機能である。

SIFSH CommonからのL2-PDUセルは、ビットレート156Mbps で、8ビットパラレルデータとして送られてくる。このセルが、HAF00A LSIにおいて、ビットレート156Mbps で16ビットパラレルデータとして伝送されるセルに変換される。このセルは、更にHLP01Aにおいて、DS3 レイヤのビットレート45Mbpsで8ビットパラレルデータとして伝送されるセルに変換される。

この156Mbps → 45Mbps データ変換機能は、V2 FMUX LSI によって実現される。このV2 DMUX LSI は、12. で説明したように、DS3-SMDSインタフェースがDS3 アンビリカルリンクインタフェースを実現している場合における、156Mbps → 45Mbps 変換バッファの輻輳制御を行っている。この変換バッファは、HLP01A内のDMUX LSI (図45参照) によって実現されている。そして、このバッファに対する輻輳制御は、12. 及び図82で説明したように、9レベルの閾値を用いて行われている。 20

15. 1. 2. 2 45Mbps → 156Mbps データ変換機能

これは、7. 4において説明した機能である。

DS3 伝送路からのL2-PDUデータは、ビットレート45Mbpsで受信される。

次に、このデータは、HDT00A PCB (図45参照) において、ビットレート45Mbpsで8ビットパラレルデータとして伝送されるデータに変換され、その変換されたデータがHLP01Aに入力される。更に、このデータは、HLP01Aにおいて、ビットレート156Mbps で16ビットパラレルデータとして伝送されるデータに変換され、この変換されたデータがHAF00A (図45参照) に入力される。 30

この45Mbps → 156Mbps データ変換機能は、V2 DMUX LSI により実現される。

15. 1. 2. 3 DQDB処理機能

これは、7. 6において説明した機能である。

15. 1. 3 HDT00Aの機能

HDT00A (図45参照) の主機能は、DS3 伝送路とのインタフェース機能である。7. において前述したDS3-SMDSインタフェース機能のうち、以下の機能が 40
搭載される。

(1) DS3 レイヤ終端機能

(2) DS3 PLCPレイヤ終端機能

(3) 受信L2-PDUヘッダチェック機能(HCS)

(4) L2-PDUヘッダパターン生成機能

15. 1. 3. 1 DS3 レイヤ終端機能

これは、7. 2において説明した機能である。

15. 1. 3. 2 DS3 PLCPレイヤ終端機能

これは、7. 3において説明した機能である。

15. 1. 3. 3 受信L2-PDUヘッダチェック機能(HCS)

これは、7. 4において説明した機能であって、DS3-SMDSインタフェース1がSMDSサービスを実現する場合とアンビカルリンクを実現する場合とで、ヘッダチェック機能が切り換えられる。

15. 1. 3. 4 L2-PDUヘッダパターン生成機能

これは、7. 5において説明した機能であって、上述したヘッダチェック機能の場合と同様に、DS3-SMDSインタフェース1がSMDSサービスを実現する場合とアンビカルリンクを実現する場合とで、ヘッダパターン生成機能が切り換えられる。

16. ファームウェアインタフェース

16. 1 概略説明

DS3-SMDSインタフェースには、以下に示す機能を実現するために、80C186 10
プロセッサが搭載されている。

- (1) DS3 レイヤパフォーマンスモニタ処理
- (2) PLCPレイヤパフォーマンスモニタ処理
- (3) DS3 レイヤキャリアグループアラーム (CGA) 宣言及び解除処理
- (4) PLCPレイヤキャリアグループアラーム (CGA) 宣言及び解除処理
- (5) DS3-SMDSインタフェースハードウェアアラーム処理
- (7) 局内制御通信 (簡易LAPD) 処理

16. 2 ハードウェアとファームウェア間のインタフェースの概要

DS3-SMDSインタフェースにおけるハードウェアとファームウェア間のインタフェースは、80C186プロセッサからの制御チップセレクト (CS) を用いて実現されて 20
いる。

各インタフェースにおける制御チップセレクト条件を以下に示し、図93にDS3-SMDSインタフェースのメモリマップを示す。なお、随時、図45を参照すること。

- (1) SRAMエリア・・・LCS で制御
- (2) ROM エリア・・・UCS で制御
- (3) EGCLAD LSIディアルポートRAM エリア・・・MCS0で制御
- (4) EGCLAD LSIコントロールレジスタエリア・・・MCS1で制御
- (5) 下りDMUX LSIコントロールレジスタエリア・・・MCS2で制御
- (6) 上りDMUX LSIコントロールレジスタエリア・・・MCS2で制御
- (7) 下りSELN1 LSI コントロールレジスタエリア・・・PCS0で制御 30
- (8) 上りSELN1 LSI コントロールレジスタエリア・・・PCS0で制御
- (9) MAPLE2 LSIコントロールレジスタエリア・・・PCS1で制御
- (10) DS3 LSI コントロールレジスタエリア・・・PCS2で制御
- (11) DS3 LINE INF (HDT00A) コントロールレジスタエリア・・・PCS3で制御
- (12) デバッガインタフェース・・・PCS4で制御
- (13) DS3 SWITCH INF (HAF00A) コントロールレジスタエリア・・・PCS5で制御
- (14) DS3 CONTROL INF (HAF01A) コントロールレジスタエリア・・・PCS6で制御 40

なお、LCS、UCS、MCS0～3 はメモリ空間に、PCS0～6 はI/O空間に、それぞれ割り付けられる。

【0007】

<パート3>

パート3では、SIFSH (加入者インタフェースシェルフ) の詳細について説明する。

1. 概説

1. 1 SIFSHのシステム内における位置付け

図94に、図8に示されるSIFSHのシステム内における位置付けを示す。このSIFSHは、以下の説明ではSIFSH-Aと呼ぶ。 50

S I F S H A - A (S u b s c r i b e r I n t e r f a c e S h e l f t y p e A) は、A T M 交換機の加入者インタフェース回線を収容する個別部を、1シェルフあたり最大で8ユニット搭載することができる。

個別部ユニット (以下、単に個別部と呼ぶ) として、以下に掲げる5種類のものが収容可能である。

(1) O C 3 C (1 5 6 M b p s 光インターフェイスユニット) (1重化構成)

(2) D S - 3 (4 5 M b p s メタリックインターフェイスユニット) (1重化構成)

(パート2で説明したD S 3 - S M D S インタフェース)

10

(3) A D S 1 N F (A D S 1 S H 集線装置ユニット) (2重化構成)

(4) T C G A D P (T C G S H アダプタユニット)

(1重化構成: ユニットの接続されるT C G S Hは2系統)

(5) L O O P (1 5 6 M b p s ループユニット) (2重化構成)

O C 3 C、D S - 3、T C G A D Pの各ユニットは1重化された構成を有する。また、A D S 1 N F、L O O Pの各ユニットは2重化された構成を有し、それらがS I F S H - A に実装される場合には必ず2ユニットで1セットとして収容される。従って、A D S 1 N F、L O O Pの各ユニットは、1シェルフあたり最大で4セットが搭載可能である。

20

また、A D S 1 N F、L O O Pの各ユニットに対するアクティブ/スタンバイ制御は、S I F S H 共通部 (以下、S I F C O Mと呼ぶ) によって制御される。

図94において、S I F S H - A (S I F S H) がA S S W (A T M スイッチ) の右側に設置された場合は、そのS I F S H - A はL O O Pユニット搭載専用シェルフとして機能する。また、図94において、S I F S H - A がA S S Wの左側に設置された場合は、そのS I F S H - A は加入者終端用の個別部を搭載するためのシェルフとして機能する。

S I F S H - A 内のS I F C O Mは、局内のシグナリングを、B S G C S Hを介してA S S Wに接続されるB S G C (B r o a d b a n d S i g n a l i n g G r o u p C o n t r o l l e r S h e l f) との間で実行する。このB S G Cは、I N F T (I n t e r f a c e t y p e T) を経由して特には図示しない交換機プロセッサ (C C) が実行する交換機ソフトウェアから発行されたコマンドを局内シグナリング信号に変換し、その信号によってS I F C O Mを制御する。また、S I F C O Mで検出された障害と上記コマンドに対するレスポンスも、局内シグナリングとして、B S G Cに通知され、I N F Tを経由して交換機ソフトウェアに伝達される。

30

この局内シグナリングには、簡易L A P - D プロトコルが採用される。簡易L A P - D プロトコルは、L A P - D プロトコルを基本にして、ハードウェア及びファームウェアの機能を極力軽減する目的で開発されたプロトコルである。

S I F S H - A に収容される個別部のうち、O C - 3 C、D S - 3の各ユニットも簡易L A P - D プロトコルを用いてB S G Cとの間で通信を行う。T C G A D P、L O O P、A D S 1 N Fは、簡易L A P - D プロトコル終端機能は持たない。

40

S I F C O Mは、簡易L A P - D プロトコルを用いて受信したコマンドを解析し、その解析結果が個別部へのコマンドであれば、そのコマンドをE M S Dハイウェイに時分割多重し、個別部に通知する。

また、個別部からのS C N 情報は、E M S C N ハイウェイに時分割多重されて、S I F C O Mに通知される。S I F C O Mは、E M S C N 情報の各ビットの変化を検出し、変化が検出されたビットの信号のみを含むS C N 情報を、簡易L A P - D プロトコルを用いてB S G C経由で交換機ソフトウェアに通知する。

S I F C O Mは、A S S Wに接続されている6 2 2 M b p s の伝送レートを有する下りセルハイウェイから、各個別部に対応するA T M セルを分離し、それを各個別部に接続

50

される 156Mbps の伝送レートを有する下りセルハイウェイに送出する。

また、各個別部に接続される 156Mbps の上りセルハイウェイ上の ATM セルを、ASSWに接続される 622Mbps の上りセルハイウェイに多重する。セル多重方式には、6.1.2 等で後述するように、スケジューラ方式が採用される。スケジューラ方式は、各個別部からの上りセルが、到着順に、かつアクティブ系とスタンバイ系の両方の系の SIFCOMにおいて順序差が生じないように多重される方式である。この結果、ASSW及びSIFCOMの系の切り替えの発生時に、セルロスが最小限になるようにした状態で、系の切替えが実現できる。

SIFSH-A は 1 シェルフあたり最大で 8 ユニットの個別部を収容可能であるが、156Mbps のハイウェイから 622Mbps のハイウェイへのセルの多重の多重度を向上させる目的から、2つの SIFSH-A を縦続に接続することができる。このデ이지チェーン構成により、1本の 622Mbps セルハイウェイに 16本の 155Mbps セルハイウェイ上の ATM セルを多重することが可能となる。

1.2 機能概要

SIFSH-A の機能を以下に示す。

(1) セルの多重 (156Mbps セルハイウェイ→622Mbps セルハイウェイ)

- ・スケジューラ方式によるプライオリティ制御
- ・156Mbps セルハイウェイ毎の特定 VPI/VCI を有する ATM セルの通過数のカウント

- ・156Mbps セルハイウェイ毎の廃棄セル数のカウント
- ・156Mbps セルハイウェイ毎の全通過セル数のカウント
- ・156Mbps セルハイウェイ毎の 52セル分のセルバッファ FIFO
- ・セルバッファ量 (キュー (queue) 長) の監視
- ・P、COM ビットを用いたセルバッファに対する 4 レベルの輻輳制御

(2) セルの分離 (622Mbps セルハイウェイ→156Mbps セルハイウェイ)

- ・セルヘッダ内タグ比較方式によるセルの分離
- ・プロテクションラインスイッチングを考慮した比較用タグ値のダイナミックなアサイン
- ・156Mbps セルハイウェイ毎の特定 VPI/VCI を有する ATM セルの通過数のカウント

- ・156Mbps セルハイウェイ毎の廃棄セル数のカウント
- ・156Mbps セルハイウェイ毎の全通過セル数のカウント
- ・156Mbps セルハイウェイ毎の 112 セル分のセルバッファ FIFO
- ・セルバッファ量 (キュー (queue) 長) の監視
- ・P、COM ビットを用いたセルバッファに対する 4 レベルのヒステリシス輻輳制御

(3) ヘッダ変換機能 (VCC)

- ・156Mbps セルハイウェイ毎の VCC
- ・回線あたり 216 アドレス×28ビットのメモリ空間
- ・入力 VPI/VCI 値の変換アドレスのバウンダリ制御 (VPI/VCI = 0/1 6~8/8)

- ・VCC メモリの一括リセット

- ・INS 化組み込み時の他系への VCC メモリ内容のコピー

- ・"0" ビットを有する ATM セルの通過/変換のモード可変

(4) 個別部インターフェイス

- ・156Mbps セルハイウェイ上のセルの送受信
- ・156Mbps セルハイウェイ上のセルに対するパリティの生成とチェック
- ・スタンバイ系の個別部からのセルに対する透過・廃棄制御 ("0" ビットの監視)
- ・個別部抜け検出
- ・個別部へのスロットナンバーの指示

10

20

30

40

50

- ・ 2重化装置に対するアクティブ／スタンバイ切替指示 (M U X A C T D 信号)
 - ・ 2重化装置からのアクティブ／スタンバイ切替完了通知 (M U X A C T U 信号)
 - ・ E M S C N シリアルハイウエイからの E M S C N 情報 (256 バイト / 4 m s e c) の受信
 - ・ E M S D シリアルハイウエイへの E M S D 情報 (256 バイト / 4 m s e c) の送信
 - ・ ハードリセット信号の送出
 - ・ 64 K H z 基準信号の送出
 - (5) スイッチインタフェース
 - ・ 622 M b p s セルハイウエイインタフェース (78 M b p s × 8 ビットパラレル E C L 信号、50 芯同軸フラットケーブル) 10
 - ・ 622 M b p s セルハイウエイ上のセルに対するパリティの生成とチェック
 - ・ セルフフレーム及び 78 M クロック断の監視 (50 芯同軸フラットケーブル)
 - ・ 系切替え信号の受信 (20 芯ケーブル)
 - ・ 2.5 M H z クロックの監視による 20 芯ケーブル抜けの監視
 - (6) デイジーチェーン
 - ・ 622 M b p s セルハイウエイインタフェース (78 M b p s × 8 ビットパラレル E C L 信号、50 芯同軸フラットケーブル)
 - ・ 622 M b p s セルハイウエイ上のセルに対するパリティの生成とチェック
 - ・ 上位シェルフによる下位シェルフからのセルフフレーム及び 78 M クロック断の監視 (50 芯同軸フラットケーブル) 20
 - ・ 系切替え信号の送受信 (20 芯ケーブル)
 - ・ 上位→下位シェルフへの 2.5 M H z クロックの送信 (20 芯ケーブル)
 - ・ 上位→下位シェルフへの系切替え信号の送信 (20 芯ケーブル)
 - ・ スケジューラ制御信号の送受信
 - (7) 簡易 L A P - D による局内シグナリング
 - ・ 簡易局内 L A P - D プロトコル (A A L レイヤタイプ 3) の終端
 - ・ 11 セル分の受信セルバッファ
 - ・ 送信シェーピングクロックの選択
 - (8) 系交絡
 - ・ V C C コピー用アドレス・データバスの交絡 30
 - ・ V C C コピー用ゲート開閉制御レジスタの交絡
 - ・ S I C - L S I による交絡通信制御
 - ・ 上りシグナリングセルの両系へのマルチキャスト送信
 - (9) クロック
 - ・ S Y N S H からの基準クロックの抽出 (2 系統)
 - (10) 試験
 - ・ 156 M b p s セルハイウエイでの試験セルの折り返し (セル B Y セル / 一括の選択可能)
 - ・ 試験セル折り返し時の個別部への該当試験セル流出のストップ
 - ・ 各種自己診断機能 40
 - (11) 電源
 - ・ -48 V 5 系統 / 片側給電
 - ・ 各 S I F C O M 及び個別部へのオンボードパワーモジュール (O B P) の搭載
 - ・ パッケージ抜けによる同系の S I F C O M 及びその他パッケージの自動パワーダウン
2. シェルフ構成
- S I F S H - A は、H P F (H i g h P o w e r F r a m e) 架に搭載され、S I F S H - A の最大搭載シェルフ数は 3 段である。
2. 1 構成
- S I F C O M 部と個別部毎のパッケージ構成について説明する。
2. 1. 1 S I F C O M 50

S I F C O Mは、S I F S H - A に固定的に搭載され、図 9 5 に示されるように、1 つの系あたり 5 枚のパッケージで構成される。

S I F C O M内の H P T O 1 A パッケージが、- 4 8 V 電源を、1 つの系内の各ユニットに供給する。シェルフの中心から左右の各系には、別系統で給電が行われる。

2. 1. 2 個別部

S I F S H - A には、個別部を最大で 8 ユニット搭載することができる。

各個別部ユニットは、1 ユニットあたり 3 パッケージで構成される。これらのパッケージを収容するスロット名は、左からスロット A、B、C である。

2. 2 電源系統

S I F S H - A の電源は、- 4 8 V / C G 、S A B / S A B G、+ 5 V / E の 3 種類から構成される。但し、C G と E は完全に分離されており、E (アース) は、S G (シグナルアース) と接続される。 10

2. 2. 1 - 4 8 V / C G

0 系及び 1 系はシェルフの中心から左右に分離される。- 4 8 V / C G は、パワースルーパッケージから各個別部及び S I F C O M に、独立に給電される。パワースルーパッケージには、各個別部及び S I F C O M に対応して、保安機であるヒューズが搭載される。C G は、シェルフの中心から左右の系にそれぞれ独立に接続される。

2. 2. 2 S A B / S A B G

0 系及び 1 系は、- 4 8 V / C G の場合と同様に、シェルフの中心から左右に分離される。 20

また、S A B G は、架上のミスク板を経由して A L M S H と接続される。

2. 2. 3 + 5 V / E

+ 5 V は、個別部の各ユニット内で供給される。また、E アースは、0 系及び 1 系で共通である。

本シェルフ内の - 4 8 V / C G 電源及び S A B / S A B G 電源は、パワースルーパッケージにより供給される。

3. 物理インタフェース

S I F S H - A と他の装置との間のインタフェース及び信号タイミングについて説明する。

3. 1 スイッチインタフェース 30

S I F S H - A は、A T M スイッチ (A S S W) に対して、6 2 2 M b p s セルハイウエイ及び系切替え信号線のインタフェースを有する。図 9 6 に示されるように、S I F S H - A 内の M U X パッケージ (H M X 0 4 A) と A S S W 内の S W M D X (H M X 0 3 A、図 2 4 6 参照) の間で、5 0 芯フラット同軸ケーブルを使用して、6 2 2 M b p s セルハイウエイのインタフェースを確立する。また、S I F S H - A 内の P R C パッケージ (H S F 0 1 A) と A S S W 内の S W T I F、S W M D X、S W C N T、S W M X の何れかとの間で、T D バスケーブルを使用して、系切替え信号のインタフェースを確立する。この T D バスケーブルは、S I F S H - A 側が 2 0 芯、A S S W 側が 2 6 芯である。

3. 1. 1 6 2 2 M b p s セルハイウエイインタフェース 40

図 9 7 に、5 0 芯フラット同軸ケーブル上の 6 2 2 M b p s セルハイウエイに対するインタフェースタイミングを示す。I S I P T 及び O S I P T のパリティは、イネーブ信号を除いた 8 ビットのデータに対する垂直奇数パリティである。

3. 1. 2 系切替え信号

図 9 8 に、2 0 芯 T D バスケーブル上の系切替え信号に対するインタフェースタイミングを示す。

また、図 9 9 に、系切替え信号と S I F S H - A でのアクティブ系選択状態の関係を示す。

3. 2 S Y N S H インタフェース

S I F S H - A は、S Y N S H より、基準クロックを光リンクを経由して受信する。 50

S I F C O M内のP R C パッケージは、図100に示されるように、#0系及び#1系の両方の系のS Y N S H からの光リンク経由の8 M H zのクロックを取り込み、O L - 2回路からのアラーム情報をもとに、#0系又は#1系からの8 M H zクロックを選択する。従って、どちらかの8 M H zクロックに障害が発生した時は、自律的に選択系が切り替えられる。また、交換機ソフトウェアからのC O M - E - M S D コマンドによって、選択系を強制的に指定することも可能である。更に、選択されている系は、C O M - E - M S C N情報によって、交換機ソフトウェアに通知される。

図101に、各系における、C O M - E - M S D コマンドの指示状態、アラーム状態、及び選択された系の状態の関係を示す。

3. 3 個別部インタフェース

10

S I F S H - A に搭載されるS I F C O Mと個別部との、バックワイアリングボード (B W B) を介してのインタフェース及び信号タイミングについて説明する。なお、以下に説明するS I F C O Mと個別部の間のインタフェースポイントは全て、B W B 上での極性及びタイミングによって規定する。

3. 3. 1 156 M b p s セルハイウェイインタフェース

共通部-個別部間の156 M b p s セルハイウェイのインタフェースについて説明する。

図102に示されるように、156 M b p s 低速 (L o w) ハイウェイ上のA T M セルは、T T L レベル/8ビットパラレルの形態で伝送される。156 M b p s セルハイウェイ インタフェースとして、下記5種の信号が必要である。

20

- (1) クロック (C L K : 19.4 M b p s 、デューティ : 50%)
- (2) セルフレームパルス (C F P : セル先頭識別負パルス)
- (3) セルイネーブル (C E N : 有効セル時 " L " / 無効セル時 " H ")
- (4) データバス (D B 0 ~ 7)
- (5) パリティビット (P B : D B 0 ~ 7 及びC E N に対する奇数パリティ)

3. 3. 1. 1 上り156 M b p s セルハイウェイインタフェース

個別部からS I F C O Mへ向かう上りセルハイウェイからのA T M セルの受信タイミングは、図103に示す通りである。個別部は、S I F C O Mからのセル要求信号を受信することにより、上りセルを送出する。これは、S I F C O Mでのスケジューラによる管理上、各回線からの上りセルが同期化される必要があるためである。

30

3. 3. 1. 2 下り156 M b p s セルハイウェイインタフェース

S I F C O Mから個別部へ向かう下りセルハイウェイからのA T M セルの受信タイミングは、図104に示す通りである。S I F C O Mは、個別部からのセル要求信号を受信することにより、下りセルを送出する。これは、S I F C O Mの系の切り替え時に各個別部における下りセルの取り込み処理においてセルの重複・欠落が発生することを防止するために、両系のS I F C O Mにおける下りセルフレームの同期を確保するためである。

3. 3. 2 E - M S D / E - M S C N ハイウェイインタフェース

S I F C O Mと個別部の間のE M S D / E M S C N ハイウェイについて、その物理仕様及び論理仕様を説明する。

下り方向 (S I F C O M → 個別部) のデータハイウェイを、E M S D ハイウェイと定義する。E M S D は、簡易L A P - D を用いて交換機ソフトウェアからB S G C (図94参照) を経由してS I F C O Mに転送された後、E M S D ハイウェイに多重されて個別部にシリアル転送される。

40

上り方向 (個別部 → 共通部) のデータハイウェイを、E M S C N ハイウェイと定義する。E M S C N は、上記E M S D に対するエコーバック (個別部で正常受信されたE M S D がそのままE M S C N ハイウェイに折り返し送出されたもの)、及び個別部での障害・ステータス情報であり、このE M S C N がE M S C N ハイウェイに多重されてS I F C O Mにシリアル転送される。このE M S C N の各ビットは、S I F C O Mにおいてその変化が検出され、変化検出されたビットの信号のみが簡易L A P - D 通信によってB S G C 経由で交換機ソフトウェアに通知される。

50

3.3.2.1 系制御

個別部の内部回路は、アクティブ系の S I F C O M からの E M S D, C L K, F C K に基づいて動作する。E M S C N は、選択されたアクティブ系からのクロックに同期して、両系の S I F C O M に向けて送出される。図 1 0 5 に、# 0 系の S I F C O M がアクティブ系である場合における系制御を示す。

A C T コントローラによるアクティブ制御は、図 1 0 6 に示される論理に基づいて行われる。また、図 1 0 7 に、A C T コントローラの回路構成例を示す。個別部において A C T O / A C T 1 を受信する回路は、必ず P u l l - U P される。これは、A C T O / A C T 1 共に、" L " アクティブ制御を行うためである。

3.3.2.2 物理仕様

以下に、E - M S D / E - M S C N ハイウエイインタフェースの物理仕様を示す。

- (1) ビットレート : 512Kbps
- (2) フレーム長 : 256 バイト／フレーム (4msec/フレーム)
- (3) 伝送形式 : 同期式シリアル通信
- (4) 伝送順序 : MSB(D7ビット／第000 バイト) → LSB(D0ビット／第255 バイト)
- (5) 下り伝送信号 : クロック (CLK): 512KHz
フレームクロックパルス (FCK) : 4msec 周期、512KHz、1 ビット幅負パルス
EMSD データシリアルハイウエイ
- (6) 上り伝送信号 : EMSCN データシリアルハイウエイ
(ENSD シリアルハイウエイにビット／フレーム同期したもの)

ハイウエイ上では、各バイト内のビットデータは M S B → L S B の順番で伝送され、各バイトは若番→老番の順番で伝送される。以下、ビットナンバーは、ビット 0 (D 0 : L S B) ～ビット 7 (D 7 : M S B) とする。また、バイトナンバーは、第 0 0 0 バイト～第 2 5 5 バイトとする (図 5 8、図 6 1 参照)。

図 1 0 8 に、F C K 及び C L K と、E M S D データ、E M S C N データとの間の位相関係を示す。これら各データの仕様と、リセットに関する仕様を以下に示す。

- フレームクロック(FCK) : バックボード上、負論理とする
512KHz、1ビット幅、1.95 μ sec
第000 バイト/D7ビット(フレーム先頭)で負パルス発生。
- クロック(CLK) : 512KHz、デューティー:50%
FCK/データとの間の位相は立上りエッジに同期
- データ : MSB →LSB の順番
下りEMSDデータハイウエイと上りEMSCN データハイウエイは、ビット位置及びバイト位置が同期させられる。
- ハードリセット(HRST) : 個別部ハードリセット信号
BWB 上では "L" でリセット、非同期で出力
- フォールトリセット(FRST): 個別部障害リセット信号
BWB 上では "L" でリセット、非同期で出力

10

20

3. 3. 2. 3 論理仕様

3. 3. 2. 3. 1 個別部受信側仕様

個別部におけるEMSD受信処理の論理仕様について説明する。

受信側における、SIFCOMインタフェース障害 (EMSD等のノイズ、スタック障害等) に対する保護は、フレーム同期、パイロット信号チェック、及び2度読み処理によって実現される。

図112に、これらの処理に関する動作フローチャートを示す。また、図113に、これらの一連の処理を実行する個別部内の機能ブロック図を示す。

3. 3. 2. 3. 2 フレーム同期

図112のステップ1、図113の機能部分1に対応する機能である。

EMSDハイウエイに対するフレーム同期に対する保護段数は、前方1段/後方1段とする。また、FCKのスタック(L/Hスタック両方)も検出される。

図109に、フレーム同期処理の状態遷移図を示す。

具体的には、図110に示されるように、ハンティング状態において正常同期FCKが受信された場合には、それに対応するフレームからデータ取り込みが開始される。また、同期確立状態において1度でも異常FCKが受信されると、フレーム同期状態はハンティング状態に移行し、その時点からのデータは破棄され、次に同期が確立されるまでその時点の直前の受信データが保持される。ここで、正常FCKとは、CLK/FCKに基づいて動作する受信側カウンタ値(例えばキャリアウト)と次のFCKのタイミングが一致することを意味する。異常FCKとは、そのタイミングが一致しないことを意味する。

同期外れの検出は、0系、1系それぞれ独立に行われる。また、FCKの同期外れが検出されると、その旨がEMSCN(第002 バイト/ビットD7[SYNCF])、図58及び図59参照)によってSIFCOMに通知される。なお、この障害状態は、BWB上においては、"H"として表示される。

3. 3. 2. 3. 3 パイロット0/1 信号チェック (EMSDハイウエイのスタックの検出)

図112のステップ2、図113の機能部分2に対応する機能である。

パイロット0/1 信号は、ハイウエイスタック監視用のビットであり、BWB上では

30

40

50

、パイロット0 = "L"、パイロット1 = "H" が、SIFCOMから常時送出されている。パイロット0 信号のEMSD上での収容位置は第000 バイト／ビットD7、パイロット1 信号のEMSD上での収容位置は第000 バイト／ビットD7である（図58、図59参照）。

個別部は、パイロット0／1 信号の交番関係が崩れた場合に、EMSDハイウェイスタック障害を検出する。個別部は、図111に示されるように、異常の発生した時点からのデータを廃棄し、次に正常パイロット信号を検出するまでその時点の直前に受信されたデータを保持する。

スタック障害は、0系、1系それぞれ独立に検出される。

また、スタック障害は、EMSC（第002 バイト／ビットD6〔PLTF〕、図61、図62参照）によって、SIFCOMに通知される。 10

3.3.2.3.4 2度読み処理

3.3.2.3.2節で説明したフレーム同期処理、及び3.3.2.3.3節で説明したパイロット0／1 信号チェック処理の下で取り込まれるデータは、図113に示されるノイズ消去メモリ（Noise Erase Memory）4に記憶され、比較部3において、そのメモリ内のデータの内容と続いて取り込まれる新データの内容が比較される（図112のステップ3）。その処理の結果、2つのデータの一致が検出されれば、即ち2度連続して同じデータが受信されれば、そのデータが図113のデータメモリ5へ書き込まれ（図112のステップ5）、2つのデータが一致しなければ、そのデータは破棄される。 20

ここで、DTEN信号による保護処理も実行される（図112のステップ4）。このDTEN信号は、SIFCOM内のマイクロプロセッサによって、BWB 上で "L" となるように設定される。シェルフ内装置が一斉にパワーオンされた時に、SIFCOMと個別部に対するパワーオンリセットの解除後に立ち上がり時間の競合が発生し、EMSDハイウェイ上の値が不確定となる。DTEN信号は、このようなタイミングにおいて個別部がEMSDデータを取り込まないように制御するための信号である。従って、個別部は、DTEN信号が "H" である時には、全てのEMSDデータを無視する。なお、DTEN信号は、EMSDハイウェイの先頭ビット（第000 バイト／ビットD0）に収容される（図58、図59参照）。 30

3.3.2.3.5 個別部送信側仕様

個別部におけるEMSCN 送信処理の論理仕様について説明する。

アクティブ系のEMSCN としては、EMSD情報に対するエコーバックと、EMSDハイウェイスタック通知とが、送出される。

スタンバイ系のEMSCN としては、アクティブ系のEMSCN と同じ内容で、かつ同じタイミングで送出される。

EMSCN ハイウェイには、EMSDハイウェイと同じ収容位置に、パイロット0／1 信号が挿入される。この信号は、EMSCN ハイウェイのスタック監視用であるため、EMSD情報に対するエコーバックではない。

図114に、個別部内のEMSCN 送出回路のブロックを示す。

3.3.2.3.6 障害検出

図115に、SIFCOMと個別部の間のインターフェイス障害についての、個別部における検出方法及び通知方法、並びに、SIFCOMにおける検出方法及び認識される障害内容の一覧を示す。 40

3.4 クロックインタフェース

セルの流れに沿ったSIFCOM及び個別部内のクロック系統を示す。

SIFCOMでは、ASSW（ATM スイッチ）から転送されてくる77.76MHzのクロックを6分周して得られる12.96MHzのクロックに同期して、DMX-LSI 内部のDMUXバッファへのセルの書き込みが行われる。

図116に示されるように、DMX-LSI 内のDMUXバッファから個別部へのセルの読み出しは、個別部から転送されてくる19MHz（正確には19.44MHz）の 50

クロックに同期して行われる。この個別部からの19MHzのクロックは、次のようにして生成される。即ち、図116に示されるように、まず、SIFCOMにおいて光リンクを経由してSYNSHから受信された8MHzのクロックを128分周して得られる64KHzのクロックが、個別部に転送される。個別部内のPLLモジュールは、そのクロックに基づいて、156MHz（正確には155.52MHz）のクロックを生成する。そして、この156MHzのクロックが分周されることによって、上述の19MHzのクロックが生成される。

SIFCOM内のPLLモジュールも、SYNSHから受信された8MHzのクロックを128分周して得られる64KHzのクロックに基づいて156MHzのクロックを生成する。上りセルは、個別部から転送される19MHzのクロックに同期して、各回線に対応するMUX-LSI内のMUXバッファに書き込まれる。このMUXバッファからのセルの読み出しは、上述の156MHzのクロックを分周して得られる13MHz（正確には12.96MHz）のクロックに同期して行われる。読み出されたセルは、そのデータ形式がパラレルデータ形式からシリアルデータ形式に変換され、78MHz（正確には77.76MHz）のビットレートで、ASSWへ送出される。

4. ソフトウェアインタフェース

以下に、SIFCOMと交換機ソフトウェアの間のインタフェースである、ATM レイヤセルフフォーマット、SAR-PDU フォーマット、及びLAP-D レイヤ2（L2）フォーマットについて説明する。なお、LAP-D レイヤ3（L3）フォーマットについては、パート2の10.9において説明した。ここで、交換機ソフトウェアとは、交換機全体の処理（呼処理、スイッチ制御処理等）を制御するプロセッサにおいて実行されるプログラムをいう。

4.1 概要

SIFCOMは、ASSWSHを経由するスイッチ内パスを通して、BSGCとの間で簡易LAPを用いた局内制御通信を実行することによって、交換機ソフトウェアと通信する（図94参照）。BSGCは、INFT（Interface type T）によって交換機プロセッサと通信する。

簡易LAP-Dとは、ハードウェア及びファームウェアに対する負荷の軽減を目的として、本出願人が新規に開発したプロトコルである。特にハードウェアに対する負荷を重たくする要因である、レイヤ2における番号制フレームが廃止され、レイヤ2では非番号制フレームのみが処理される。しかし、メッセージの抜け・重複を避けるため、レイヤ3では番号制フレームが採用された。元来、番号管理機能はファームウェアに要求される必須の機能であるため、レイヤ3への番号制フレーム導入がファームウェアに対する負荷を増大させる要因とはならない。

このレイヤ2の簡易LAP-Dフレームは、54オクテットのデータ長を有するATMセルに分割して格納され、交換機内のハイウェイ上を転送される。この結果、In-Band局内通信が実現される。

このIn-Band化は、BRLC（Broadband Remote Line Concentrator：広帯域遠隔回線集線装置、図34参照）をホスト交換機に接続する際に要求される必須の技術である。ホスト交換機内でのIn-Band化は、BRLC及びホスト交換機での制御方式を統一でき、かつホスト内の制御バスとシェルフを接続するケーブルを削減できるという効果を有する。

4.2 局内制御通信のレイヤ構造

図117に、局内制御通信のレイヤ構造を示す。但し、CD-PDU（後述する）は省略されている。

4.2.1 ATM レイヤセルフフォーマット

図118に、簡易LAP-DにおけるATMレイヤのセルフフォーマットを示す。

4.2.2 SAR-PDU フォーマット

図119に、簡易LAP-DのためのSAR-PDUフォーマットを示す。

SAR-PDUフォーマットとしてはタイプ3又は4のAAL（ATM Adaption

10

20

30

40

50

tion Layer) プロトコルタイプが使用される。

ST (セグメントタイプ)、SN (シーケンス番号)、MID (局内制御通信用セルではdon't care)、ペイロード、LI (ペイロードバイト長表示)、及びCRC (ST, SN, MID, ペイロードに対するCRC-10) からなるSAR-PDUは、ATM セルのペイロードに格納され、その前部にATM ヘッダが付加される。

SAR-PDU のペイロードには、LAP-D メッセージが格納される。

LAP-D データのデータ長が44バイトである場合 (パート7の図749参照) には、このメッセージは1つのSAR-PDU のペイロードに格納される。この場合、SAR-PDU には、STとしてSSM (Single Segment Message) が設定され、LIとして44バイトが設定される。 10

LAP-D のデータ長が256 バイトである場合 (パート7の図750参照) は、このメッセージはそれぞれ44バイトからなるセグメントに分割され、そのセグメントが複数のSAR-PDU のペイロードに格納される。従って、そのLAP-D データは、複数のATM セルに分割して格納され、転送されることになる。この場合に、先頭のセグメントが格納されるSAR-PDU には、STとしてBOM (Beginning Of Message) が設定され、LIとして44バイトが設定される。また、中間のセグメントが格納されるSAR-PDU には、STとしてCOM (Continuation Of Message) が設定され、LIとして44バイトが設定される。更に、末尾のセグメントが格納されるSAR-PDUには、STとしてEOM (End 20 Of Message) が設定され、LIとして36バイト (パート7の図750参照) が設定される。

4. 2. 3 LAP-D フォーマット (レイヤ2)

図120に、レイヤ2のLAP-D フォーマットを示す。LAP-D フレームは、4. 2. 2で説明したように、適宜分割された上で、SAR-PDU のペイロードに格納される。

5. タグの割当

図121に、SIFSH-A で処理されるATM セルのフォーマットを示す。

本実施例では、ATM セルの先頭に付与されているタグを用いて、交換機内のルーティングが行われる。VPI (Virtual Pass Identifier) 領域の一部のビットがタグ領域として使用される。この結果、DS1 伝送路に対して定義可能なVPI は、最大で64となる。また、156Mbps の方路に対応するタグは全て、第2オクテット内に収容される。更に、方路がNNI (ネットワークノードインタフェース) を有している場合には、図121に示されるMUXM、ADS1-BLK、及びADS1-SELの計6ビットがVPI にアサインされる。 30

図122に、SIFSH-A で使用されるATM セルヘッダデータの構成を示す。また、図123に、SIFSH-A におけるATM セルヘッダデータの使用法を示す。

図124に、RMXSH (図34参照) で使用されるATM セルヘッダデータの構成を示す。また、図125に、RMXSH におけるATM セルヘッダデータの使用法を示した図である。 40

図126に、BSGCSH (図94参照) で使用されるATM セルヘッダデータの構成を示す。また、図127に、BSGCSHにおけるATM セルヘッダデータの使用法を示す。

図128に、SIFSH-A におけるSIG/ADS1-BLK/ADS1-SEL の使用法を示す。

図129に、図122、図123、及び図128により規定されるATM セルヘッダデータの、SIFSH-A 及びADS1SH (図8参照) における機能割当てを示す。

6. 機能

S I F C O M の機能について、ハードウェア構成の観点から説明する。

6. 1 M U X

6. 1. 1 概要

図 1 3 0 に、S I F S H - A 内での M U X の位置 (ハッチングされた部分) を示す。

M U X は、S I F S H - A 内に收容される # 0 ~ # 7 の個別部から転送されてくる A T M セル (V C C によってヘッダが変換された後のセル) と、S I F C O M 内の S i g n a l 処理部で生成されるシグナリングセルとを、A S S W へ向かう上りハイウェイに多重する。

S I F S H が縦続に接続される場合は、双方の M U X に対する多重制御は統一して行われ、2 シェルフ分のデータが 1 本の上りハイウェイに多重され、上位の S I F S H - A から A S S W に送出される。図 1 3 1 に、S I F S H - A の縦続接続の構成を示す。

6. 1. 2 M U X の構成

図 1 3 2 に、M U X の構成を示す。

M U X は、各個別部に接続される 1 5 6 M b p s の上りハイウェイ上のセルと、S I F C O M 内の S i g n a l 処理部 (図 1 3 0) で生成されるシグナリングセルとを、A S S W へ向かう 6 2 2 M b p s の上りハイウェイに多重する。なお、各個別部から転送されてくるセルは、V C C (図 1 3 0 参照) によって、そのヘッダが変換された後に M U X に入力される。

M U X は、各個別部に対応してそれぞれ 5 2 セル分のバッファを有し、このバッファには有効なセルのみが書き込まれる。各バッファは、セルが書き込まれる毎に、多重制御部 (スケジューラ) にセルの書き込みがあったことを通知する。そして、各バッファは、スケジューラから出力許可を受信した時に、バッファ内のセルを読み出すことにより、セルの多重を実現する。

6. 1. 3 多重制御方式

各個別部から伸びている 1 5 6 M b p s のハイウェイ上の A T M セルに関する多重制御は、スケジューラにより行われる。スケジューラは、1 本の上り 6 2 2 M b p s ハイウェイあたり 1 つが配置される。S I F S H - A が縦続に接続された場合は、下位の S I F S H - A 内のスケジューラは動作させられず、下位の S I F S H - A に対する多重制御は、上位の S I F S H - A 内のスケジューラによって行われる。

図 1 3 3 に、スケジューラの構成の概要を示す。

各回線に対応したバッファ (図 1 3 2) に有効セルが書き込まれると、各バッファ内の特には図示しない書き込み制御部からスケジューラに対して、1 5 6 M b p s のハイウェイ上の 1 つのセルの書き込みが完了したことを示す書き込み完了信号が送出される。スケジューラは、図 1 3 3 に示されるように、それが監視する回線 (個別部) の数に相当するビット幅 (1 8 ビット) を有する F I F O を内蔵し、各回線から受信した書き込み完了信号を、2 . 7 μ s e c の周期でサンプリングして、図 1 3 4 に示されるタイミングで、それらの書き込み完了信号を F I F O へ書き込む。ここで、周期 2 . 7 μ s e c は、1 5 6 M b p s のハイウェイ上における 1 つのセルの伝送時間に対応する。

F I F O の各ビット位置の出力は、優先制御回路 (P r i o r i t y C o n t r o l C i r c u i t) でその優先順位が決定された後、図 1 3 5 に示されるように、約 7 0 0 n s e c の周期で、何れかのバッファに対する出力許可信号として出力される。ここで、周期約 7 0 0 n s e c は、6 0 0 M b p s のハイウェイ上における 1 つのセルの伝送時間に対応する。

各個別部は 1 重化された構成を有し、S I F C O M は 2 重化された構成を有する。そして、A S S W (A T M スイッチ) を含めた 2 重化部分におけるアクティブ系とスタンバイ系の両方の系におけるセル順序を一致させ系切替え時のセルロスを極力低減する目的から、本スケジューラ多重制御方式が採用されている。

6. 1. 4 バッファ監視

MUX は、低速入力ハイウェイ上の ATM セルの高速入力ハイウェイへの多重処理用のバッファとして、1 回線（個別部）あたり 52 セル（8 ビット×54 オクテット×52 セル＝22464 ビット）分の容量を有するディアルポート RAM を持ち、それを FIFO として使用する。

6. 1. 5 書き込み制御

以下の条件が満たされた場合においてのみ、入力されたセルがバッファに書き込まれる。

- (1) 入力セルが有効セルである
- (2) バッファがフルでない
- (3) 輻輳制御が行われていない（6. 1. 9 を参照）

6. 1. 6 書き込み異常処理

以下の 6. 1. 6. 1 及び 6. 1. 6. 2 に示される異常セルが入力された場合、以下に掲げる書き込み異常処理が実行される。

6. 1. 6. 1 セル長が短い場合

図 136 に示されるように、入力したセルのデータ長が短い場合には、そのセルは廃棄され、バッファ内のそのセルに対応するアドレスに次に入力するセルが書き込まれる。

6. 1. 6. 2 セル長が長い場合

図 137 に示されるように、入力したセルのデータ長が長い場合には、バッファ内の指定されているアドレスにそのセルを構成する先頭の 54 オクテット分のデータが書き込まれ、そのセルを構成する残りのデータは無視される。

6. 1. 7 読み出し制御

各バッファは、スケジューラからそのバッファに対して、“H”である出力許可信号が入力された場合においてのみ、そのバッファからセルを読み出す。

6. 1. 8 読み出し異常処理

図 138 に示されるように、各バッファは、スケジューラからそのバッファに対して、出力許可信号が約 700 nsec（図 135 参照）以内の時間間隔で入力された場合に、短い時間間隔で入力された出力許可信号は無視し、スケジューラからの次の出力許可信号によって、そのバッファからセルを読み出す。

6. 1. 9 バッファ輻輳制御

MUX は、ATM セルのヘッダ内のタグ領域に表示される P ビット及び CON ビット（図 121 参照）の各値のパターンに基づいて、MUX 内の各バッファの輻輳制御を行う。

このバッファの輻輳制御用のデータは、交換機ソフトウェアが、局内制御通信を用いた EMSD 情報として設定する。この情報は、SIFCOM 内のマイクロプロセッサから DMUX 内の各バッファに通知される。このバッファの輻輳時の品質制御、優先制御を行うために、9 レベルの閾値を設定する必要がある。設定される閾値を、図 139 に示す。

SIFSH-A ハードウェアリセット時には、セル廃棄処理開始閾値として、初期設定値である最大のバッファ長が設定される。セル廃棄が開始されると、Qa、Qb、Qc、Qd の各閾値に対応して廃棄されたセルの数がカウントされる。

各閾値は、以下に示される条件を満たすように局内制御通信を用いて設定される必要がある。この条件は、ハードウェアによってはチェックされない。

$$\begin{aligned} Q0 \geq Q1 \geq Qa \geq Qa' > 0, & \quad Q0 \geq Q1 \geq Qb \geq Qb' > 0 \\ Q0 \geq Q1 \geq Qc \geq Qc' > 0, & \quad Q0 \geq Q1 \geq Qd \geq Qd' > 0 \end{aligned}$$

6. 2 DMUX

6. 2. 1 概要

図 140 に、SIFSH-A 内での DMUX の位置（ハッチングされた部分）を示す。

DMUX は、ASSW 又は縦続に接続された上位の SIFSH-A からの高速下りハイウェイ上の ATM セルを、SIFSH-A 内の各個別部へ向かう低速下りハイウェイに向かうセルと、SIFCOM 内の Signal 処理部に入力されるシグナリングセルに分離する。この分離は、各セルのヘッダ内のタグに基づいて行われる。

10

20

30

40

50

6. 2. 2 機能

図141にDMUXの構成を、図142に交換機内のセルフフォーマットを、また、図143に、DMUXにおいて使用されるヘッダのマッチングビットのロケーションを示す。DMUXは、セルヘッダ内のSIG、UL、TAGC、及びCOMの各データ（図142のハッチングされた部分）に基づいて、622Mbpsの高速下りハイウェイから、シェルフ内の最大で8個の個別部のそれぞれへ向かうセルと、シグナリングセルを分離する。そして、DMUXは、前者は各個別部に接続される156Mbpsの低速下りハイウェイに送出し、後者はSIFCOM内のSignal処理部（図140）に入力させる。この場合、DMUXは、図141に示されるように、各個別部に対応して112セル分のバッファを有する。

10

図141に示されるDMUX内の各個別部に対応するセルドロップ（Cell Drop）は、入力セルのヘッダ内のSIG、UL、TAGC、及びCOMの各データ（図142のハッチングされた部分）のパターンが、予め自装置に設定されているマッチングパターン（Shelf/Line ID）（図143参照）と一致するか否かを判定することにより、そのセルを自装置に接続されている156Mbpsの低速下りハイウェイにドロップさせるか否かを決定する。

6. 2. 3 ダイナミックタグマッチング

SIFCOMは、DMUXに対する図143に示されるマッチングパターンを、交換機ソフトウェアからの指示によって設定することができる、ダイナミックタグマッチング機能を有する。

20

ハードウェアによるデフォルトとしては、各ラインナンバーに応じたタグがハードウェアによって自律的に設定されるが、ホスト交換機とBRLC（図34参照）との間のアンビリアルリンクの設定時には、上述のダイナミックタグマッチング機能が必要となる。即ち、BRLCとの間に設定されるアンビリアルリンクを収容するSIFSH-Aには、9.において説明する回線プロテクション（N+1方式）と呼ばれる冗長構成が要求される。この場合には、図144に示されるように、交換機ソフトウェアからSIFCOM内のマイクロプロセッサを介して、アンビリアルリンクの本回線を収容する個別部に対応するDMUX 0にはコマンドAによってTAGC="100"が設定され、アンビリアルリンクの予備回線を収容する個別部に対応するDMUX 4にはコマンドBによってTAGC="000"が設定される。そして、本回線において障害が発生した場合には、DMUX 0とDMUX 4にそれぞれ設定されている2つのTAGCの値がスワップされることにより、本回線と予備回線が切り替えられる。

30

6. 2. 4 バッファ監視

DMUX内の各バッファ（図141参照）では、それがバッファリングしているセル数（キュー（queue）長）がモニタされることにより、以下に示される輻輳制御が実行される。

（1）現在のキュー長がマイクロプロセッサに通知される。

マイクロプロセッサからセル数の読み出し要求を受け付けると、セルカウント数がレジスタに移動させられると同時に、カウント数がリセットされる（リードリセット）。

（2）図145に示される9レベルの閾値によって、輻輳制御が実行される。

40

このバッファの輻輳制御用のデータは、交換機ソフトウェアが、局内制御通信を用いたEMSD情報として設定する。この情報は、SIFCOM内のマイクロプロセッサからDMUX内の各バッファに通知される。

SIFSH-Aハードウェアリセット時には、セル廃棄処理開始閾値として、初期設定値である最大のバッファ長が設定される。

各閾値と各バッファにおけるバッファリング動作との関係を、以下に示す。

（1）キュー長が閾値QAを越えた場合、バッファはその旨をマイクロプロセッサに通知すると同時に、マーキングセルの廃棄指示を、バッファ内の特には図示しないライトコントローラに通知する。マーキングセルとは、ヘッダ内のタグ領域に表示されるPビット及びCONビット（図142参照）がセットされているセルをいう。なお、マイ

50

クロプロセッサから優先制御、品質制御の指定がない時は、バッファは、自律的に輻輳制御を開始する。

(2) キュー長が閾値 $Q A'$ まで回復した場合、バッファはその旨をマイクロプロセッサに通知すると同時に、マーキングセルの廃棄の中止を、バッファ内のライトコントローラに通知する。なお、品質制御、優先制御が中止されるわけではなく、セルの廃棄のみが中止される。

(3) キュー長が閾値 $Q 1$ に達した場合、バッファは障害の発生をマイクロプロセッサに通知すると同時に、バッファに入力するセルが有効セルであってもバッファリング動作を中止するよう、ライトコントローラに通知する。

* 閾値 $Q B$ 、 $Q C$ 、 $Q D$ に関しても、上記 (1)、(2)、(3) と同様の輻輳制御が実行される。 10

(4) DMUXでは、優先制御と品質制御の間には特別な関係はない。即ち、優先制御、品質制御は、各々独立して行われ、各々の制御に対応する制御ビットを用いて行われる。

各閾値は、以下に示される条件を満たすように局内制御通信を用いて設定される必要がある。この条件は、ハードウェアによってはチェックされない。この条件が満足されない場合の、DMUXでのバッファリング動作は保証されない。

$$Q 0 > Q 1 > Q A > Q A' > 0 \qquad Q 0 > Q 1 > Q B > Q B' > 0$$

$$Q 0 > Q 1 > Q C > Q C' > 0 \qquad Q 0 > Q 1 > Q D > Q D' > 0$$

6. 3 VCC 20

6. 3. 1 VCC の位置

VCC (Virtual Channel Controller) は、入力した ATM セルに付与されている VPI/VCI (以下、入力 VPI/VCI と呼ぶ) に対応する VPI/VCI/TAG (以下、出力 VPI/VCI, TAG という) をテーブル上で検索し、その出力 VPI/VCI/TAG を ATM セルに付与する。

VCC の搭載位置は、2重化部である SIFCOM に搭載される。

VCC は、各回線毎に必要な機能であって本来は個別部に搭載されるべきであるが、下記に示される理由により、SIFCOM 部へ搭載される。

今、VCC が1重化された構成を有する個別部に搭載されると仮定する。また、図146に示されるように、加入者線 A (A sub) から送信されたセルは加入者線 B (B sub) で受信され、加入者線 C (C sub) から送信されたセルは加入者線 D (D sub) で受信されるものとする。 30

この仮定のもとで、図146に示されるように、加入円者 A (A sub) に対応する個別部内の VCC において障害が発生して、加入者線 A (A sub) から送信されたセルが加入者線 D (D sub) に転送されるルーティングが行われてしまうとする。この結果、ASSW内の特定の方路にセルが集中してしまい、ASSW内の●印 (図146) で示される位置で輻輳が発生して、スイッチ障害が発生する恐れがある。最悪の場合には、1つの加入者線に対応する VCC での障害が、64回線以上の回線に波及する恐れがある。

この場合、障害検出処理として、着信側における MC (モニタリングセル) に対するモニタリングを考えることができる。この処理においては、発信側の各加入者線でモニタリングセル (図146の MC1, MC2) が挿入され、そのセルが着信側の各加入者線上でモニタされることにより、障害が検出される。しかし、上述のスイッチ障害が発生した場合には、障害が発生した加入者線 A (A sub) 上で挿入されたモニタリングセル MC1 も障害が発生していない加入者線 C (C sub) 上で挿入されたモニタリングセル MC2 も共に、ASSW内で廃棄されてしまう。この結果、正常なモニタリングを行うことができなくなって、障害原因を特定することが困難となる。 40

また、スイッチ障害が発生した場合には、SIFCOM及びASSWの系が切り替えられるが、障害は1重化された構成を有する個別部内の VCC で発生しているため、新たにアクティブ系となった ASSW においても、すぐにスイッチ障害が発生してしまう。 50

一方、VCC が2重化された構成を有するSIFCOMに搭載された場合には、運用されるSIFCOMの系が、障害が発生しているVCCを含むSIFCOMの系から障害が発生していないVCCを含むSIFCOMの系に切り替えられることによって、障害を復旧させることができる。

また、系の切り替え後は、TCG (Test Cell Generator) 等を用いることにより、障害が発生したVCCを特定することも可能である。

以上に示した理由から、VCCはSIFCOM部へ搭載される。

6. 3. 2 VCC 用メモリ量

VCC 用メモリは、図147に示されるように、将来のVP (Virtual Pass) サービスを考慮して、2個のVCCテーブルを記憶する。

10

テーブル1 (Table-1) は、入力VPI (入力されたセルに付与されているVPI) をアドレスとして中間VPIを検索するためのテーブルである。本実施例では、VPサービスは行われないと仮定して、入力VPI値=中間VPI値である。

テーブル2 (Table-2) は、中間VPI+入力VCI (入力されたセルに付与されているVCI) をアドレスとして出力VPI/VCIを検索するためのテーブルである。

6. 3. 3 系間VCC コピー

6. 3. 3. 1 目的

OUS → INS 化手順で必要となる、系間コピーについて説明する。

6. 3. 3. 2 系間コピーの契機

20

系間コピーは、片系がアクティブ状態で片系がOUS状態である状態における、OUS → INS 化手順において実行される。

6. 3. 3. 3 コピー対象情報

VCC テーブル内に設定される全情報がコピー対象情報である。以下に、それらの情報を列記する。なお、括弧内は、それぞれの情報のビット数である。

- (1) VCC 設定の有効／無効指定 (1)
- (2) CLP (Cell Loss Priority) コピー制御 (1)
- (3) 出力方路指定タグフィールド (8)
- (4) シグナリング識別 (1)
- (5) 上位／下位識別 (1)
- (6) SIFCOM指定 (1)
- (7) MUX マルチキャスト表示 (1)
- (8) ADS1-SEL 識別 (1)
- (9) ADS1-BLK 識別 (1)
- (10) 品質クラス (1)
- (11) 装置内試験セル表示 (1)
- (12) 輻輳制御 (1)
- (13) 出力VPI (8)
- (14) 出力VCI (16)
- (15) 分配接続 ("0" 固定) (1)
- (16) ペイロードタイプ (3)
- (17) スイッチ IN/OUT表示 (1)

30

40

なお、VCC テーブル内にはパリティビットがあるが、これはVCC テーブルに対する読み出し動作時にチェックされ、書き込み動作時に生成されるものであるため、コピー対象情報ではない。

6. 3. 3. 4 INS 化処理手順

OUS 状態からINS 状態への状態の移行は、アクティブ系のVCC テーブルのOUS 系のVCC テーブルへのコピーを指示する "コピー開始コマンド" がCC (交換機プロセッサ) によって発行され、アクティブ系のVCC テーブルの内容が全てOUS 系のVCC テーブルにコピーされた後に、実行される。

50

また、 ”コピー開始コマンド” の発行前には、必ずOUS 系のSIFCOMに ”リセット要求コマンド” がCCによって発行され、OUS 系のSIFCOM内のVCC テーブルの内容がリセットされた後に、コピー処理が実行される。更に、OUS 系のSIFCOMは、リセット完了後に、 ”リセット完了通知ステータス” をCCに報告する。このリセット処理により、アクティブ系のSIFCOM内のVCC テーブルにおいて使用されているVPI/VCI のみをOUS 系のSIFCOM内のVCC テーブルにコピーすることが可能となり、コピー時間の短縮が図れる。

図148に、INS 化手順のアローダイアグラム (Arrow Diagram) を示す。以下、この図面に沿って説明する。

まず、コピーが正常に終了すると、両系のSIFCOMからCCにコピー終了ステータスが報告される。もし相手系SIFCOMの無応答などの系間通信障害等によってコピーが正常に終了しない場合は、コピー実行不可ステータスがCCに報告される。この結果、CCは、コピーが失敗したとみなして、OUS 系のSIFCOMを再度リセットする。両系のSIFCOMのどちらか一方からでもコピー実行不可ステータスが報告された場合に、OUS 系のSIFCOMが再度リセットされる。図149に、各系のステータスとCCの処理を示す。

通常、VCC テーブル内容の設定・解除コマンド (呼処理コマンド) は、CCから両系のSIFCOMに対して独立に発行される。また、SIFCOMは、VCC コピー時にも呼処理コマンドを受け付けることが可能なように構成される。但し、VCC コピー中は、CCから両系のSIFCOMにコマンドが発行されるのではなく、アクティブ系のSIFCOMに対してのみコマンドが発行される。なぜなら、 ”呼処理コマンド” が、OUS 系のSIFCOMに対してアクティブ系のSIFCOMに対してよりも速く到達しOUS 系のSIFCOM内のVCC テーブルが新しい内容に更新されている状態で、アクティブ系のSIFCOMからのVCC テーブルのコピーによりOUS 系のSIFCOM内のVCC テーブルの内容が古い内容に再設定されてしまう場合が想定されるからである。この矛盾状態の防止をハードウェアで行うことはプロトコルの複雑化とハードウェア規模の増大を招くため、アクティブ系のSIFCOMに対してのみ ”呼処理コマンド” が発行される。

従って、SIFCOMの状態がコピー状態から運用状態へ遷移する場合に、コマンド/ステータスのすれ違いによりCCから旧OUS 系のSIFCOMへの呼処理コマンドの指定が欠落してしまうことを防ぐプロトコルが必要となる。以下に、そのプロトコルの要点を列記する。

(1) アクティブ系のSIFCOMは、VCC テーブルのコピーの終了後、 ”コピー終了ステータス” を報告する。

(2) CCは、上記(1) のステータスを受信後、アクティブ系のSIFCOMに ”コピー終了通知コマンド” を発行する。

(3) アクティブ系のSIFCOMは、上記(2) のコマンドを受信する以前に受信した ”呼処理コマンド” は全て、他系にコピーする。上記(2) のコマンドを受信した後に受信した ”呼処理コマンド” は全て、自系に対してのみ実行し、他系へはコピーしない。

(4) OUS 系のSIFCOMは、アクティブ系のSIFCOMからコピー終了通知を受信すると、CCに ”コピー終了ステータス” を発行する。なお、上記(2) ~ (4) については、それらの時間的な前後関係は規定されない。

(5) CCは、上記(4) のステータスを受信後、OUS 系のSIFCOMに、 ”コピー終了通知コマンド” を発行する。

(6) CCは、上記(5) のコマンドを送信後、OUS 系のSIFCOMに ”オンラインモード設定コマンド” を発行する。

(7) CCは、上記(3) ~ (6) の処理が実行される間にキュー (queue) に新たなスタンバイ系への ”呼処理コマンド” が保持されていれば、直ちにそのコマンドを発行する。

10

20

30

40

50

上記の(7) の処理以降、CCは、アクティブ系及びスタンバイ系の各SIFCOMに対して独立に “呼処理コマンド” を発行する。

6. 3. 3. 5 コピー実行不可報告

両系のSIFCOMは、VCC テーブルのコピーが正常に終了するとコピー終了報告をCCに通知するが、それが正常に終了しない場合はコピー実行不可報告をCCに通知する。このコピー実行不可報告は、系間交絡における下記の障害が発生した時に通知される。

(1) タイムアウト

- ・アクティブ系のSIFCOMからのコピー開始要求に対して、OUS 系のSIFCOMからのコピー開始要求がない場合

- ・OUS 系のSIFCOMからのコピー開始要求に対して、アクティブ系からのコピー開始要求がない場合

- ・アクティブ系のSIFCOMからのコピー終了通知が無い場合

(2) パリティエラー検出

- ・転送中にパリティエラーが発生した場合

6. 3. 4 VCC とSMD Sサービスとの関係

SIFCOM内のVCC は、DS3-SMD Sインタフェース等の個別部から入力されたペイロード部にSMD SサービスのL2-PDUを含むATM セルのヘッダ部に付加されているVPI/VCI の値を、個別部で付加された特定値 (例えばVPI=3F, VCI=03FF) から、SIFCOMとSMD Sサービスを提供するSBMESH

(図8参照) の間に張られるPVC (Permanent Virtual Circuit: 相手固定接続) を特定すると同時に、そのATM セルを送出した個別部がが終端するSNI (Subscriber Network Interface) を特定するVPI/VCI の値に、付け替える。従って、SIFCOMとSBMESHの間に張られるPVC には、そのSIFCOMに接続されSMD Sサービスに使用される個別部が終端するSNI の数に対応する数のVPI/VCI の値が割り当てられることになる。また、SIFCOMは、そのATM セルの先頭に、そのATM セルがATM スイッチ内で自律的にスイッチングされてSBMESHに転送されるようにするための、タグを付加する。

6. 4 シグナリング処理 (EGCLAD)

6. 4. 1 概要

図150に、SIFSH-A 内でのSignal処理部 (EGCLAD) の位置を示す。

EGCLAD LSIは、SIFSH-A とBSGC (図94) の間の局内制御通信を実現させるために、簡易LAP-D に基づくフレームとATM セルとの間で相互に変換を行う。

マイクロプロセッサとEGCLAD LSIは、デュアルポートSRAM (図150に示されるDPRAM) を介して、LAP-D レイヤ2フレームの通信を行う。

6. 4. 2 EGCLAD LSIの機能

EGCLAD LSIは、シグナリングセルの分解、組み立てを行うために、以下の機能を有する。

6. 4. 2. 1 ATM ヘッダチェック機能

EGCLAD LSIは、BSGCからASSW (図94参照) を経由して転送されてきたシグナリングセルのヘッダのうち、図151に示されるハッチングされた部分の内容をチェックする。そして、EGCLAD LSIは、上述のチェック結果がグッドとなったセルに基づき、LAP-D フレームを組み立てる。EGCLAD LSIは、フレーム化されたデータをデュアルポートSRAMへ書き込み、受信完了フラグをセットすることにより受信フレームが存在することをマイクロプロセッサに通知する。

マイクロプロセッサは、そのフラグのセットを割り込み契機として、デュアルポートSRAMから受信フレームを読み出す。

6. 4. 2. 2 ATM ヘッダインサート機能

マイクロプロセッサは、L A P - D レイヤ2フレームをデュアルポート S R A Mに書き込み、書き込み完了をレジスタ経由で E G C L A D L S Iに通知する。

E G C L A D L S Iは、書き込み完了通知を受けた後、デュアルポート S R A M上の L A P - D レイヤ2フレームを読み出す。そして、E G C L A D L S Iは、そのフレームに図152に示されるハッチングされたヘッダ部及びトレイラ部を挿入することにより、そのフレームをシグナリングセルに変換する。E G C L A D L S Iは、このシグナリングセルを、外部から供給されるシェーピングクロックに同期して送出する。

7. 試験、保守

A T M スイッチの監視・試験方法としては、以下に示されるものがある。

(1) M C (モニタリングセル) によるパス品質の監視

10

(2) T C G (テストセルジェネレータ) による試験セルの導通試験

7. 1 M Cによるパス品質の監視

図153に示されるように、入力側 S I N F (S u b s c r i b e r I n t e r f a c e : 加入者用個別部) において、M C (モニタリングセル) が挿入される。M Cは、パス毎に所定のセル間隔で挿入する必要がある。また、出力側 S I N Fでは、出力 V P I / V C I 毎に所定のセル間隔で挿入されているM Cを監視する機能が必要である。

M Cを用いた監視は、アクティブ系に対してのみ有効である。なぜならば、スタンバイ系の A S S Wを経由してきたM Cは、全てスタンバイ系の出力側 S I F C O Mにおいて廃棄されてしまい、図153の破線で示されるように、出力側 S I N Fには到達しないためである。

20

従って、スタンバイ系のパス品質は、T C G によってのみ試験される。

また、M Cを用いたパス品質の監視は、全て S I N Fにおいて行われ、S I F C O Mでは行われない。

7. 2 T C Gによる試験セルの導通試験

T C Gによる導通試験は、以下の試験を契機にして起動される。

(1) アクティブ系装置に対する O n D e m a n d 試験

・アクティブ系での障害発生時における、保守者によるコマンド投入に基づく障害箇所の特定試験

(2) スタンバイ系装置に対する O n D e m a n d 試験

・系の切替え前の、オンラインソフトによる正常性確認試験

30

(3) O U S 系装置に対する O n D e m a n d 試験と診断試験

・スタンバイ系の障害発生→O U S 化時の、保守者によるコマンド投入に基づく障害箇所の特定試験

・診断試験

図154に示されるように、アクティブ系装置の障害箇所の特定試験及びスタンバイ系装置に対する系の切替え前の正常性確認試験のため、ユーザセルに対しては通常の処理を実行し T C G によって生成されたセルのみを折り返す ”セル B Y セル折り返し機能” が、S I N F及びS I F C O Mに搭載される。

”セル B Y セル折り返し機能” とは、V P I / V C I 毎の折り返しを意味する。

従って、交換機ソフトウェアは、S I F C O M又はS I N F等の、折り返し機能を持つ装置に対して、折り返されるセルの V P I / V C I 値を M S D によって通知する。

40

T C Gによるスタンバイ系又は又はO U S 系に対する試験は2重化部に対してしか行えないため、図154における点線部分の正常性は確認することができない。従って、点線部分の正常性は、ハードウェアによる監視機能 (パリティパイロット信号のループバック機能等) を用いて監視され、その部分で障害が発生した時にはM S C N情報によって通知される。

また、O U S 系装置は、アクティブ系装置及びスタンバイ系装置と同様に、”セル B Y セル折り返し機能” を持つが、”全セル一括折り返し機能” も起動することができる。この機能も、交換機ソフトウェアからのM S D 情報によって起動される。

8. 障害処理

50

8. 1 障害検出ポイントと通知方式

S I F S H - A に関する障害処理について、障害モード毎に障害の検出・通知方式を以下に示す。

8. 1. 1 障害モード

- (1) O B P 障害 (各パッケージに搭載されるO B P の障害)
- (2) パッケージ抜け障害
- (3) ヒューズ断障害
- (4) S I F C O Mパッケージ前面コネクタ抜け障害
- (5) パッケージ誤挿入障害
- (6) 個別部パッケージ障害 (1重化部障害)
- (7) S I F C O Mパッケージ障害 (2重化部障害)

10

a) 個別部インタフェース部障害

b) 共通部障害

- (8) 個別部-S I F C O Mインタフェース障害 (1重化/二重化交絡部障害)

8. 1. 2 O B P 障害

この障害については、パート2の14. 1. 2で説明した。

8. 1. 2. 1 個別部O B P 障害

この障害については、パート2の14. 1. 3で説明した。

8. 1. 2. 2 S I F C O MにおけるO B P 障害

この障害は、図155に示されるように、障害監視対象の系のS I F C O Mに対するメイト系のS I F C O Mにおいて、O B P 障害レジスタの値が監視されることによって、検出される。

20

O B P のL E D 出力端子の出力は、正常時に開放状態、異常時にグランド状態となる。このため、このL E D 端子の出力がグランド状態になったときにO B P 障害レジスタに障害値が設定される。

S I F C O Mは、4枚のパッケージによって構成され、それぞれのパッケージにO B P が搭載されているため、これら全てのO B P のL E D 出力端子を接続する信号線がメイト系S I F C O Mに接続される。

8. 1. 3 パッケージ抜け障害

8. 1. 3. 1 個別部パッケージ 抜け

30

この障害については、パート2の14. 1. 4で説明した。

8. 1. 3. 2 S I F C O Mパッケージ抜け

この障害は、図156に示されるように、障害監視対象の系のS I F C O Mに対するメイト系のS I F C O Mにおいて、監視信号線の電圧開放状態が検出されることによって、検出される。

8. 1. 3. 3 パワーパッケージ抜け

この障害は、図157に示されるように、障害監視対象の系のS I F C O Mに対するメイト系のS I F C O Mにおいて、ループ信号線の状態が監視されることによって、検出される。

8. 1. 4 ヒューズ断障害

40

8. 1. 4. 1 個別部用ヒューズ断障害

この障害については、パート2の14. 1. 5で説明した。

8. 1. 4. 2 S I F C O M用ヒューズ断障害

この障害は、図158に示されるように、障害監視対象の系のS I F C O Mに対するメイト系のS I F C O Mにおいて、S I F C O M用ヒューズに接続される信号線の状態が監視されることによって、検出される。

なお、この障害の検出時には、8. 1. 3. 2で説明したS I F C O Mパッケージ抜け障害も同時に検出されるが、S I F C O M内のファームウェアによってヒューズ断障害の検出が優先され、交換機ソフトウェアにはヒューズ断障害の発生のみが通知される。

8. 1. 5 S I F C O Mパッケージ前面コネクタ抜け障害

50

8. 1. 5. 1 50 芯同軸フラットケーブル障害

(1) A S S W → 上位シェルフ → 下位シェルフ

A S S W に接続される下り 50 芯同軸フラットケーブルの断障害として、78 Mb p s クロック及びセルフフレームパルス (C F P) の断が、図 1 5 9 に示される構成によって検出される。

検出された障害は、障害監視対象の系の S I F C O M に対するメイト系の S I F C O M を経由して、交換機ソフトウェアに通知される。

A S S W からの 78 Mb p s クロック及び C F P は下位のシェルフへも分配されるため、これらの障害は、上位のシェルフで検出されると同時に下位のシェルフでも検出され、下位のメイト系 S I F C O M から交換機ソフトウェアに通知される。

10

(2) 下位シェルフ → 上位シェルフ → A S S W

図 1 6 0 に示されるように、上記 (1) に関する図 1 5 9 と同様の検出手段が、上位シェルフ及び下位シェルフの双方に設けられる。但し、図 1 6 0 に示されるように、下位のシェルフの検出出力はマスク処理される。上位のシェルフにおいて検出されたクロック断障害は、自系 (監視対象の系) の S I F C O M から交換機ソフトウェアに通知される。

8. 1. 5. 2 50 芯 T D バスカーブル障害

このケーブルによって、上位シェルフから下位シェルフに、セルの書き込み通知信号及びセルの出力許可信号 (6. 1. 3 等を参照) が伝送される。このケーブルの障害は、図 1 6 1 に示されるように、ケーブル内の空きピンが上位シェルフにおいて接地され、そのピンの状態が下位シェルフで監視されることにより、検出される。

20

8. 1. 6 パッケージ 誤挿入障害

この障害については、パート 2 の 1 4. 1. 6 で説明した。

8. 1. 7 個別部パッケージ障害

この障害については、パート 2 の 1 4. 1. 7 で説明した。

8. 1. 8 S I F C O M パッケージ障害

S I F C O M 内の障害は、以下の 2 種類に大別される。

(1) 個別部インタフェース部障害

(2) 共通部障害

図 1 6 2 に障害が発生する構成部分について示し、図 1 6 3 に、障害ポイントと、検出論理・検出箇所、障害通知方法、及び検出周期を示す。

30

9. 回線プロテクション (N + 1 方式)

9. 1 N + 1 プロテクション方式の概要

B R C L (B r o a d b a n d R e m o t e L i n e C o n c e n t r a t o r : 広帯域遠隔回線集線装置、図 3 4 参照) 又は B R S U (B r o a d b a n d R e m o t e l i n e S w i t c h i n g U n i t : 広帯域遠隔回線交換装置) とホスト交換機との間の伝送路障害発生時における加入者パス張り替え制御方式として、N + 1 プロテクション方式が採用される。

本実施例では、ホスト交換機から B R L C 等を制御するためのインバンド局内制御通信 (I n - B a n d S i g n a l i n g) のルートが予め 2 本用意され、その 2 本のルートは異なる伝送路に収容される。この結果、1 つの伝送路での障害発生時にも、ホスト交換機から B R L C への制御の継続が可能となっている。

40

更に、本実施例では、図 1 6 4 に示されるように、ホスト交換機と B R L C とが N 本のアンビカル回線によって接続されている場合、この N 本の回線の何れかにおいて障害が発生しても、その回線を予備回線 (P 回線) に切り替えることができる。

9. 2 回線の切り替えのシーケンス

アンビカル回線の障害検出は全て、個別部 (O C 3 C 又は D S - 3、図 9 4 参照) において行われる。

検出された回線障害は、E M S C N 情報として個別部から S I F C O M に通知され、S I F C O M から B S G C を経由して交換機ソフトウェアへ通知される。

50

この E M S C N 通知は障害代表通知であり、障害詳細情報の読み出しは、交換機ソフトウェアから個別部へのコマンド要求に基づいて行われる。

個別部は、このコマンドに対するレスポンスとして、障害詳細情報を交換機ソフトウェアへ通知する。

図 1 6 5 に、回線プロテクション処理における回線の切り替えシーケンスを示す。

9. 3 予備回線への V C C の設定

N 本の本回線に対応する V C C テーブルと全く同じ内容の V C C テーブルが予め予備回線に設定されており、本回線の何れかに障害が発生した場合に、即座に予備回線に切り替えることができる。

従って、本回線及び予備回線共に同じハードウェア規模の V C C テーブルを有するため、アンビリアル回線にアサイン可能な V P I / V C I は、以下の制限を満足する必要がある。

(1) N 本の本回線に設定される各 V P I / V C I は、ユニークであること。

(2) N 本の本回線に設定される V P I / V C I の種別は、 2^{16} を超えないこと。

(3) 本回線への V C C 設定コマンドの発行と予備回線への V C C 設定コマンドの発行は同時に行われること。

なお、上述した制限は、ホスト側 S I F S H と B R L C 側 R M X S H の双方に対する制限である。

9. 4 予備回線への切り替え

この機能については、6. 2. 3 で説明した。

9. 5 切り替えコマンド

S I F C O M 及び R M X C O M 共に、縦続接続構成を採ることができ、この場合に、上位シェルフと下位シェルフはそれぞれ独立したマイクロプロセッサによって制御される。従って、本回線と予備回線が上位シェルフと下位シェルフにまたがって収容されることを想定すると、縦続接続が行われた場合と行われない場合とで本回線から予備回線への切り替えコマンドの効果が異ならないようにするために、図 1 6 6 に示されるコマンドフォーマットが採用される。

図 1 6 6 に示されるように、このコマンドは、タグ値の変更を行うユニットの識別番号 (U n i t N o .) とタグ値 (T A G C) のみの情報を有する。即ち、切り替え元及び切り替え先 (プロテクションライン) のそれぞれに対して、タグ値の切り替えコマンドが発行されることになる。

【0008】

<パート4>

パート4では、A T M スイッチである A S S W S H (A T M 加入者スイッチシェルフ) の詳細について説明する。

1. 概要

1. 1 機能の概略

A T M スイッチである図 8 に示される A S S W S H は、上り方向及び下り方向のそれぞれ毎に、1 面の 4×4 の A T M スイッチング機能を有する A S S W S H - A と、タイミング信号作成機能を有する C L K S H - A から構成される。

A S S W S H - A は、それぞれ 622 Mbps の伝送速度を有する 4 本の入力 A T M ハイウェイ上のセルを、同じくそれぞれ 622 Mbps の伝送速度を有する 4 本の出力 A T M ハイウェイの何れか 1 本にスイッチさせる能力をもっている。このスイッチングは、A T M セル内のタグ領域に書き込まれたルーティング情報に基づいて行われる。

2. 装置構成

2. 1 装置構成

図 1 6 7 に、A S S W S H - A の内部構成を示す。

図 1 6 7 において、S W M D X (H M X 0 3 A) は、S I F S H 、S B M E S H、又は B S G C S H (図 8 参照) に対するインタフェースである。

S W M X (H S R 0 0 A) は、スイッチマトリックス部分である。

SCLK (HTG02A) は、CLKSH-A (HTG00A) で生成されたタイミング信号を、SWMDX (HMX03A)、SWMX (HSR00A)、又はSWCNT (HSR01A) に供給する。

SWCNT (HSR01A) は、INFA (Interface type A) を介して特には図示しないシステムバスに接続され、SWMDX (HMX03A)、SWMX (HSR00A)、又はSCLK (HTG02A) とCC (交換機プロセッサ) の間の制御データの通信を中継する。

3. インタフェース

3.1 通話路系

図168に、通話路系の接続構成を示す。

10

通話路系の信号は、50芯フラット同軸ケーブルを使用してSWMDXと接続される。622MbpsのATMハイウェイ(HW)上の信号は、8ビットパラレルデータ(1ビットあたり72Mbpsの伝送速度を有する)と、そのデータのためのパリティ信号、78MHzのクロック、セルの先頭を示すセルフフレームパルス、セルの有効・無効を示すセルイネーブル信号からなる。これらの信号は全て、ECL(Emitter-Coupled Logic:エミッタ結合論理)の回路構成を有する平衡伝送を用いたインタフェースを有する。また、ケーブルの接続の有無を示すJSOUxN信号は、TTL(Transistor Transistor Logic:トランジスタートランジスタ論理)の回路構成を有する非平衡伝送を用いたインタフェースを有する。

パリティは、8ビットパラレルデータに対する奇数パリティであり、イネーブルは含まない。また、ATMスイッチの入力部では有効セルについてのみそのパリティがチェックされ、ATMスイッチの出力部でも有効セルについてのみパリティが付与される。無効セルの情報フィールド(ペイロード)のデータの内容は保証されない。

20

図169に、図168又は図167に示されるSWMDXと622MbpsのATMハイウェイの間のインタフェースにおける信号タイミングを示す。また、図170に、そのインタフェースにおけるセルフフォーマットを示す。

3.2 制御系

図167に示されるように、ASSWSH-A及びCLKSH-Aは、SWCNT(Switch Controller)及びINFA(Interface type A)を介して特には図示しないシステムバスと接続されることにより、特には図示しないCCによって制御される。

30

SWCNT(Switch Controller)(図167参照)は、アクティブ系及びスタンバイ系の両方の系のINFAとの間で、系間交絡インタフェースを有する。SWCNTとASSWSH-A内の各ブロックは、プロセッサデータバス及びアドレスバスによって接続される。

各ブロックに対する制御としては、障害監視が主となる。この場合、障害結果には、MSCNによってINF経由でCCへ通知されるものと、イベントによってCCに通知されるものの、2種類のものがある。

図171に、INFAとASSWSH-Aの間のインタフェースを示す。

また、SWCNTは、両方の系のINFAに対するインタフェースだけでなく、他方の系のSWCNTに対するインタフェースも有している。図172に、自系のSWCNTと他系のSWCNTの間のインタフェースを示す。

40

ASSWSH-Aの制御系機能としては、スイッチモジュール内の制御機能の他に、各端末装置に対するアクティブ/スタンバイ制御機能がある。図167及び図168に示されるように、SWCNTは、SWMDXを介して、SWMXの両サイド(side0, side1: SWMXの左右の位置)の32本の出力622Mbpsハイウェイに対応して32個の出力部を有しており、ここから図167等には特には図示しないSWTIFを介して、図173に示されるタイミングで系選択信号及びそのストローブ信号を送信する。なお、系選択信号は、アクティブ系/スタンバイ系を表示する信号ではないため、両系において同じ極性の信号として出力される。各端末装置は、系選択信号に関する図

50

174に示される系選択論理に基づいて、システム内のアクティブ系装置を選択する。

3. 3 クロック系

ASSWSH-A内の各装置は、図167に示されるSCLKが、CLKSH-A から受信された10.368MHz のクロックに基づいて作成する155.52MHz のクロックによって動作する。

それぞれ2つの系からなるASSWSH-AとCLKSH-A は系間交絡を有しており、何れの系のクロックがASSWSH-A内で使用されるかは、ASSWSH-A内において自律的に選択される。また、ASSWSH-A内において、片系のCLKSH-Aのクロックの断が検出されその系がマスター系であった場合には、自律的に系が切り替えられる。

10

ASSWSH-A内のクロック系統としては、SWMDX 及びSWMXの各ブロックに、155.52MHz のクロック及びその27クロックに1回のセルフフレームパルスが渡され、各ブロック内でのバッファ読み出しに使用される。

3. 4 ASSWSH-A内ブロック間インタフェース

以下に、ASSWSH-A内の各ブロック間のインタフェースを示す。

図175及び図176に、図167に示されるSWMXに関する外部インタフェースを示す。

図177及び図178に、図167に示されるSWMDX に関する外部インタフェースを示す。

図179及び図180に、図167に示されるSWCNT に関する外部インタフェースを示す。

20

4. 詳細機能

図181に、ASSWSH-Aを構成する各ブロックの詳細な機能を示す。

図182に、図167に示されるSWMDX を構成する各ブロックを示し、図183に、それら各ブロックの機能を示す。

図184に、図167に示されるSWMXを構成する各ブロックを示し、図185に、それら各ブロックの機能を示す。

図186に、図167に示されるSWCNT を構成する各ブロックを示し、図187に、それら各ブロックの機能を示す。

図188に、SWTIF (図167等には特には図示しない) を構成する各ブロックを示し、図189に、それら各ブロックの機能を示す。

30

図190に、図167に示されるSCLKを構成する各ブロックを示し、図191に、それら各ブロックの機能を示す。

5. トラヒックコントロール

5. 1 セル廃棄クラス

本実施例では、Assured サービスとNon-assured サービスを提供するため、交換機システム内では、図192に示されるセル廃棄クラスが規定される。

図192において、CLP、Pは、各々ATM セルのヘッダ内のCLP ビット、P ビットに対応しておりシステム内では、CLP ビットはAssured サービスの品質制御に使用され、P ビットはAssured サービスとNon-assured サービスを区別するために使用される。

40

ASSWSH-A内においては、Assured サービスとNon-assured サービスを区別する制御のみが行われ、従って、P ビットのみがその制御に使用される。輻輳時にはNon-assured サービスが指定されたセルは廃棄される

5. 2 輻輳制御

図192に示されるセル廃棄クラスの制御機能は、ASSWSH-A内では、SWMXと、SWMDX 内の2.4Gbps/622Mbps DMUX部に設けられる。輻輳制御として、LSI 内のセルバッファに対し閾値(Xp)が設定され、バッファにおけるキュー(queue) 長がその閾値(Xp)を越えた場合に、P ビットに1が設定されているセルが廃棄され、キュー長がその閾値(Xp)を下回った場合に上述のセル廃棄

50

が中止される。

5. 2. 1 SWMX内輻輳制御

図184に示されるように、SWMXはSWCNT LSI とATMSW LSI によって構成される。そして、ATMSW LSI 内のキュー長をSWCNT LSI が管理しており、SWCNT LSI は、そのキュー長が閾値を越えた場合に、ATMSW LSI に対して廃棄指示を出力する。

バッファの閾値は、初期設定手順において、CCによってSOコマンドを用いて設定される。この場合、ファームウェアの初期設定時には、上述の閾値として、デフォルト値 $Xp = A8$ (H) が設定される。SOコマンドのパラメータとしてサイドを指定することができるため、SWMXの両サイド (side0, side1: 図168におけるSWMXの左右の位置) で、独立した閾値を設定することが可能である。

10

5. 2. 2 SWMDX 内輻輳制御

SWMDX 内の $2.4\text{ Gbps} / 622\text{ Mbps}$ DMUX部は、図182に示されるADMUX LSI に設けられる。そして、このSLI に対して閾値が設定されることにより、輻輳制御が行われる。

SWMDX の場合と同様に、バッファの閾値は、初期設定手順において、CCによりSOコマンドを用いて設定される。この場合、ファームウェアの初期設定時には、上述の閾値として、デフォルト値 $Xp = 71$ (H) が設定される。同一のASSWSH-A内のSWMDX には、サイドに係わらず、同一の閾値 (SOコマンドにより指定された閾値) が設定される。

20

5. 2. 3 セル廃棄

輻輳、輻輳制御、又は障害等により、ASSWSH-A内でセル廃棄が発生する場合がある。このとき、セル廃棄の発生がCCに通知されるが、その通知処理は、SWMXとSWMDX とでは異なる。以下に、SWMXとSWMDX のそれぞれにおけるセル廃棄発生時の通知処理を示す。

SWMXにおいては、セル廃棄は障害とみなされる。セル廃棄発生時の通知時には、MSCN内の第22ビットの "SW内障害" がセットされると共に、詳細障害データ内にセル廃棄が発生したSRM (Self Rooting Module) の入力ハイウェイが表示される。障害データについては、7. において詳細に説明する。

SWMDX において、セル廃棄は障害とはみなされない。SWMDX 内の $622\text{ Mbps} / 2.4\text{ Gbps}$ MUX 部はSTM であるため廃棄は発生せず、廃棄箇所は $2.4\text{ Gbps} / 622\text{ Mbps}$ DMUX部に特定される。この部分での15分毎のセル廃棄数が、5. 3に示すトラヒック測定処理によってカウントされる。そして、このカウント値が、CCによって読み取られることにより、セル廃棄の発生が認識される。

30

5. 3 トラヒック測定処理

ASSWSH-A内では、ネットワークの態管理のため、パフォーマンスモニタに類似する機能として、 $2.4\text{ Gbps} / 622\text{ Mbps}$ DMUX部における以下に示されるセル数がカウントされる。

- (1) 各 622 Mbps ハイウェイ毎の通過セル数 ($P=0$)
- (2) 各 622 Mbps ハイウェイ毎の通過セル数 ($P=1$)
- (3) 各 622 Mbps ハイウェイ毎の廃棄セル数 ($P=0$)
- (4) 各 622 Mbps ハイウェイ毎の廃棄セル数 ($P=1$)

40

上述した各パラメータは、CCからの15分毎の通知をトリガとして、15分毎に収集される。

図193は、トラヒック測定回路のブロック図である。

セル数のカウントは、ADMUX LSI (図182) 1からの図193に示される出力L, V, H に基づいて行われ、外部のRAM 4、5に値が保持される。

トラヒックのカウントは、ハイウェイ毎に8ビットのカウンタ2、3により約 $25\mu\text{sec}$ の周期でカウントされる。カウント値は、セレクタ (SEL) 8及びアダー (ADD) 9を介して、RAM 4又は5の特定アドレスに格納される。次の周期には、RA

50

M 4又は5からセクタ (SEL) 6又は7を介して読み出されたカウント値と、セクタ (SEL) 8を介してカウンタ2又は3から読み出された次のカウント値とが、アダー (ADD) 9で加算され、上述の特定アドレスに再度格納される。TG10は、CCからの15分毎の通知を受信する毎に、セクタ (SEL) 6～8に切り替え指示を出力すると共に、カウント値の書き込みが行われるRAMをRAM 4又は5に切り替える。この結果、カウント値の書き込みが行われなくなったRAM 4又は5には、上記通知の直前の15分間のカウント値が保持される。次の15分間のカウントは、新たにカウント値の書き込みが行われるようになったRAM 4又は5を用いて行われる。CCからの15分毎の通知の後、ファームウェアによって、カウント値の書き込みが行われなくなったRAM 4又は5から、各カウント値が読み出される。読み出された各カウント値は、CCからSOコマンドによってカウント値の読み出しが要求されるまで、ファームウェアに保持される。

10

図194に、図193に示されるトラヒック測定回路の動作タイミングチャートを示す。図194に示される信号A～Eは、図193に示される信号A～Eに対応している。

6. ファームウェア機能

ASSWSH-Aは、スイッチ内制御機能、INFAインタフェース機能として、SWCNT内にファームウェアを有する。

以下に、ファームウェアの機能及びそれとハードウェアとのインタフェースを示す。

6. 1 INFAインタフェース

ASSWSH-AとINFAとのインタフェースは、データバス (SBO～SB77) 上に規定フォーマットを有する。

20

このフォーマットに基づく情報転送には、以下の種類がある。

- (1) CC アクセス (IN 命令)
- (2) CC アクセス (OUT 命令)
- (3) DMA アクセス (リード)
- (4) DMA アクセス (ライト)

図195に、CCアクセス (IN 命令) のタイミングチャート ((a) 図) 及びアドレス/データフォーマット ((b) 図) を示す。

図196に、CCアクセス (OUT 命令) のタイミングチャート ((a) 図) 及びアドレス/データフォーマット ((b) 図) を示す。

30

図197に、DMA アクセス (リード) のタイミングチャート ((a) 図) 及びアドレス/データフォーマット ((b) 図) を示す。

図198に、DMA アクセス (ライト) のタイミングチャート ((a) 図) 及びアドレス/データフォーマット ((b) 図) を示す。

また、ASSWSH-Aにおいて受信したオーダーは、そのアドレスの第4ワード目の下位4ビットの値によって、図199に示される各オーダーに分類される。各オーダーの受信時におけるASSWSH-A内での処理を以下に示す。

- ーコマンド起動 後述する7. 2. 1に示される手順が実行される。
- ーリトライ指示 DMA アクセスが禁止状態にある場合に、そのDMA アクセスがリトライされる。
 リトライ成功時にはDMA アクセス禁止が解除される。
 リトライ失敗時にはDMA アクセス禁止が保持される。
 DMA アクセスが禁止状態にない場合には、このオーダーは無視される。
- ーMSCNリード ASSWSH-A内のMSCNテーブル内容が返送され、テーブルがクリアされる。

10

6. 2 装置内ハードインタフェース

ファームウェアとASSWSH-A内の各ブロックとのインタフェースは、SWCNTからのデータバス上の特定フォーマットによるオーダー及びレスポンスにより行われる。

6. 3 障害処理

6. 3. 1 障害検出

SWCNT内のファームウェアの主な機能は、ASSWSH-A内の障害情報の収集と、その障害情報の上位装置(CC)への通知である。 20

図200に、MSCNにより通知が行われる場合における障害検出手順を示す。また、図201に、自律的にステータスが通知される場合における障害検出手順を示す。

ASSWSH-A内の何れかのブロックで障害が発生した場合に、そのブロックは、SWCNT内のファームウェアに対して割り込みをかけるとともに、6. 2に示したレスポンスを用いてその障害内容をそのファームウェアに通知する。

インタラプトハンドラ(INTOハンドラ)は、障害内容を障害処理タスクへ通知するための障害通知データ(メッセージボックス:MSG BOX)を作成して、障害処理タスクを起床させる。

障害処理タスクは、メッセージボックスの内容に基づいて詳細障害データを更新し、その内容がMSCN内の障害ならばMSCNテーブルも更新する。 30

上述した処理は、以下の(1)～(3)の処理モジュールによって実現される。

(1) アラーム割り込みハンドラ

- ー処理契機 障害発生時
- 障害レジスタ読込
- 障害カウンタ更新
- 障害通知データ(MSG BOX) の作成
- 障害処理タスクの起床

(2) 周期起動タスク

10

- ー処理契機 100msec 周期
- ー処理 障害カウンタの比較
- 障害カウンタのクリア

(3) 障害処理タスク

- ー処理契機 MSG BOX の受信
- ー処理 障害内容の上位への通知：詳細障害データの作成
- : MSCNテーブルの更新
- : 自律ステータスの作成、通知

20

各ブロックから障害が通知される毎に上記 (1) のアラーム割り込みハンドラにより障害カウンタ (後述する図 2 3 1 参照) が更新される。その障害が固定障害である場合には障害が通知される毎に障害カウンタがインクリメントされ、その障害が間欠障害である場合には障害カウンタはインクリメントされないか又はインクリメントの割合が少ない。従って、上記 (2) の周期起動タスクにおいて、障害カウンタの値が判定されることにより、各ブロックから通知される障害が間欠障害であるか固定障害であるかが判定される。

6. 3. 2 メッセージボックス

30

図 2 0 2 に、障害処理タスクが処理するメッセージボックスの基本フォーマットを示す。

(1) SCLK から片系クロックの断が通知される場合の図 2 0 2 に示されるフォーマットを有するメッセージボックスの内容は、以下の通りである。

回線アドレス : 0 x F F
 コントロールフィールド : 0 x 0 6
 MSCN 設定 b i t : 0 x 0 0
 付加情報 : 0 x 0 2 / 0 x 0 4 (0 系 / 1 系)
 障害内容 : 0 x 0 0 0 0 4 0 0 0
 メッセージボックスアドレス : 1 9 B B A (H)

(2) SWMX、SWMDX、SCLK などから片系断以外の通常障害が通知される場合の図 2 0 2 に示されるフォーマットを有するメッセージボックスの内容は、以下の通りである。

40

回線アドレス : 0 x F F
 コントロールフィールド : 0 x 0 3
 MSCN 設定 b i t : 障害内容による (既存値に OR で書き込み)
 付加情報 : 0 x 0 0
 障害内容 : 障害内容による (既存値に OR で書き込み)
 メッセージボックスアドレス : 1 9 B B A (H)

50

更に図203に、上記(2)に示される通常障害における図202に示されるフォーマットを有するメッセージボックス内の障害内容書き込みデータを示す。図203において、表示“内”又は“間”は、障害がパッケージ内のものであるかパッケージ間のものであるかを示す表示である。この識別は、6.2で示したフォーマットを用いて通知される各装置の障害内容に基づいて行われる。

6.4 自己診断

SWCNT内のファームウェアは、CC(交換機プロセッサ)から自己診断設定コマンドを受信すると、オーダーによって各障害監視機能の診断を行う。ファームウェアは、6.2において示したオーダー群のうち、以下に示されるオーダーを発行し、その結果を診断する。

- (1) SWMX 強制アラーム ハイウェイパリティエラー
- (2) SWMX 強制アラーム クロック断
- (3) SWMX 強制アラーム FIFOパリティエラー
- (4) SWMX 強制アラーム バッファFULL
- (5) SWMX 強制アラーム ハイウェイパリティエラー
- (6) SWMX 強制アラーム クロック断
- (7) SWMX 強制アラーム ハードエラー

自己診断は、ASSWSH-Aの状態が閉塞されている場合に有効であり、その他の場合にはコマンドイリガルの結果となる。また、ファームウェアは、自己診断設定コマンドを受信すると、ASSWSH-Aの状態を閉塞状態から自己診断状態へ移行させる。自行診断手順については、7.において説明する。

7. 保守運用

7.1 ソフトウェア-ハードウェアインタフェース

ASSWSH-Aの保守運用手順について、交換機ソフトウェアとASSWSH-Aのハードウェアとのインタフェースを含めて説明する。

CCとASSWSH-AのインタフェースはINF Aを介して行われる(図167参照)。そして、CCが実行する交換機ソフトウェアは、基本的には、コマンドの送受信及びステータスの送受信により、ASSWSH-Aを制御する。なお、ASSWSH-AとINF Aとのインタフェースは、6.で説明したファームウェアによって実現される。

7.2 運用処理

7.2.1 状態遷移

ASSWSH-Aは、以下の状態を有する。

- (1) 初期設定中 リセット信号が受信され、装置内ファームウェアの初期設定が行われている状態。
- (2) 閉塞中 リセット完了通知後の状態であって、初期設定用コマンドの実行が可能な状態。
- (3) 運用中 オンライン設定コマンドが受信され、本来の機能が実行されている状態。
- (4) 障害中 装置内障害が発生し、使用できない状態。
- (5) 自己診断中 初期設定が完了し、自己診断が行われている状態。

7.2.2 HMX03A 指定搭載

ASSWSH-A内に設けられMUX機能を有するHMX03A(SWMDX)(図167参照)は、HSR00A(SWMX)の両側のそれぞれのサイドに、最大で4枚、両サイド合わせて8枚まで実装可能である。HMX03Aは指定により搭載されるため、局条件に合わせて使用されるハイウェイ数分のHMX03Aを搭載するだけで、ASSWSH-Aを機能させることができる。

但し、ASSWSH-A内のファームウェアは、各パッケージにアクセスする際に必ずそのパッケージからのアンサ(応答)を期待するため、実装されていないHMX03Aスロットが存在する場合には、ファームウェアはそのスロットを意識してパッケージを制御する必要がある。

10

20

30

40

50

ファームウェアは、以下の手順に基づいて、指定によるHMX03Aの搭載を認識した装置内制御を実行する。

(1) ASSWSH-Aが初期設定中の状態にある場合に、ファームウェアは、各HMX03Aスロットに向けて個別リセットオーダーを送出し、そのアンサを待つ。

アンサが返ってきたスロットについてはHMX03Aが実装されていると認識し、アンサが返ってこなかったスロットについてはHMX03Aが実装されていないと認識する。

ファームウェアは、これ以降の全ての処理を、実装を認識したスロットに対してのみ実行する。

(2) 装置内初期設定が終了後、ASSWSH-Aの状態が、上位からシステム初期設定が行われる運用中状態に移行する。このとき、ファームウェアは、交換機ソフトウェアが保持する局データが表示するHMX03Aの実装状態を受信し、その状態を上記(1)の処理においてファームウェアが認識した実装状態と比較する。 10

(3) 上記(2)の比較処理において、ファームウェアによってHMX03Aが実装されていないと認識され、かつ局データによってHMX03Aが実装されていると表示されているスロットが存在した場合には、ファームウェアは、そのスロットに関して障害が発生したと認識する。この場合には、ファームウェアは、MSCNの第22ビットの”SW 内障害” をセットすると共に、詳細障害データにそのスロットを表示する。

(4) 上記(2)の比較処理において、ファームウェアによってHMX03Aが実装されていると認識され、かつ局データによってHMX03Aが実装されていないと表示されているスロットが存在した場合には、ファームウェアは、そのスロットに関しては障害は発生していないと認識する。この場合におけるその後の制御は、局情報に基づいて行われる。 20

7. 3 障害処理

ASSWSH-A は、以下に示される障害監視の仕様を有する。

(1) 冗長構成として、2重化構成が採用される (片系で1シェルフ)。

(2) 各種障害検出が実行され、この結果に基づいて系が切り換えられる (交換機ソフトウェアによる制御)。

(3) 障害監視については、間欠障害／固定障害が判別され、その判別結果がCCに通知される。判別方法として、0.1 ～ 1秒周期で連続3回障害が検出された場合に固定障害と判別され、その他の場合における間欠障害はCCには通知されない。 30

(4) 障害通知方法には、MSCNによるものと、イベントによるものがある。

(5) 障害が通知された場合、交換機ソフトウェアからの制御により、図示しない電源パッケージに搭載されているアラームLED が点灯させられる。

【0009】

<パート5>

パート5においては、加入者メッセージ・ハンドラ (SBMH) について詳細に説明する。

1. 概要

1. 1 概要

SBMESH (Subscriber Message Handler Shelf) は、SMD加入者のデータ交換を行う装置である。この交換は、メッセージフォーマットを意識しながら行うが、実際には、セル単位での交換である。プロトコル的には、SMD加入者のプロトコルであるSIP (SNI interface Protocol) のレベル2 (AAL-SAR) およびレベル3 (AAL-CS, CL) を終端する。なお、図中SBMESH-Aと示したところもあるが、同じものを示す。 40

1. 1. 1 システム内の位置付け

図204に、システム内におけるSBMESHの位置付を示す。この図は、本実施例のパート1の図8に示す全体構成の中の、SBMESH (および、パート6に後述するGWMESH) を中心にしめている。

SBMESHは、ASSWに接続されるハイウェイ毎に最大4個までいもづる式に接続可 50

能である。そのような1本のハイウェイに対して接続されているSBMESHのグループを、同図に示すように、SBMH (Subscriber Message Handler) と呼ぶ。

同図において、SNI (Subscriber Network Interface) の先には実際のSMD S端末が接続されている。また、ISSI (Inter Switching System Interface) の先には他のSS (Switching System) が接続されている。ICI (Inter Carrier Interface) の先には、他のLATAのSSが接続されている。

SBMESH (SBMH) は、S部およびR部に大別することができる。SNI からシステムに入力されたデータは、SBMESH (SBMH) のS部で処理され、SBMESH (SBMH) のR部で処理されたデータがシステムからSNI へ出力される。なお、GWMESH (GWMH) との接続については、パート6において説明する。

10

1. 1. 2 SMD Sデータ処理の概要

図205は、SNI - SNI 間でのSMD Sデータのルートを実験する図であり、以下の手順で処理される。

▲1▼ SNI からSIFSH 等を介してASSW (UP) に入力されたデータは、ASSW (UP) 内の固定パスまたは半固定パスによってSBMH (S) に転送される。ここでは、セルのヘッダ部に格納されているVPI / VCI が、上記SNI からSBMESHへのルーティングを示している。

20

▲2▼ SBMESHでは、データ内に格納されている送出先アドレス (DA) を解析し、送出先SNI を収容するSBMH (R) へのルートを検索し、ASSW (UP) へ送出する。

▲3▼ 上記データは、ASSW (UP)、LLP およびASSW (DOWN) を介して上記送出先SNI を収容するSBMH (R) に入力する。

▲4▼ SBMH (R) では、受信データ内の送出先アドレス (DA) を参照して自分が収容されているSNI へのデータのみを取り込み (フィルタリング)、送出先SNI へのルートを検索し、そのデータをASSW (DOWN) へ送出する。SBMH (R) と上記送出先SNI との間は、固定パスまたは半固定パスによって接続されている。

図206は、SNI からISSIまたはICI へのSMD Sデータの転送、図207は、ISSIまたはICI からSNI へのSMD Sデータの転送、図208は、ISSIまたはICI からISSIまたはICI へのSMD Sデータ転送時のルートを実験する図であり、それぞれ各図の太線に示される経路で転送される。

30

このように、SNI - SNI 間でのデータ転送の場合には、SBMHのみで処理が行われるが、他のSSや他のLATAのSSとの間でのデータ転送の場合には、SBMHおよびGWMHの処理によって行われる。なお、実際のルーティング制御、上記各ルートとVPI / VCI との関係等については、後述詳しく説明する。

1. 2 方式構成

図209は、SBMESHのブロック図である。

同図に示すように、SBMESHは、ASSWとの間のインタフェースを行うMH-COM部、および実際のスイッチング処理を行うLP部とに大別することができる。

40

MH-COM部は、SDMX, RDMX, SMUX, RMUXを有する。それらMUX, DMXの頭文字S およびR は、それぞれ図204に示すSBMH (S) 及びSBMH (R) に対応する。そして、例えば、SDMXは、ASSWの出力に複数個いもづる式に接続されているSBMESHのなかで、当該SBMESHの下流に接続されているSBMESHからのデータを多重化する。上記DMX は、ASSWから出力されたデータを自SBMESHに取り込み、MUX は、自SBMESHからASSWへデータを出力する。

尚、同図には示していないが、上記構成の他に、LAP (Link Access Procedure) 終端部、およびVCC (VCI Converter) を有してい

50

る。このVCCの設定は、LAPで行う。また、MH-COM部はチェック機能を有し、そこで検出された情報は、LAPまたはパート7で後述するBSGC(Broadband Signaling Controller)を介して、ソフトウェアとのインタフェースをとる。

LP部は、SMLP、RMLP、LP-COMを有する。SMLP、RMLPの各頭文字SおよびRは、それぞれ上述してSBMH(S)およびSBMH(R)に対応し、いずれも、データのスイッチングを行う。LP-COMは、SMLP、RMLPの制御を行う部分であり、INF(Interface)を介してソフトウェアとのインタフェースをとる。また、スイッチングに必要な局データ、加入者データや、LP部内の各チェック機能が検出する情報、課金情報などは、INFを介してソフトウェアとの

10

上述したように、ASSWの各ハイウェイ毎に最大4個までのSBMESHがいもづる式に接続可能である。そして、これらのSBMESHが授受するデータは、SDMX、RDMX、SMUX、RMUXによって分離・多重される。一方、LP部とINFとの接続は1:1接続で、例えば、4個のSBMESHがいもづる式に接続されている場合には、INFのための放路が4個必要になる。

1. 3 冗長構成

図210に示すように、MH-COM部およびLP部は、共に2重化構成(#0系、#1系)となっている。

MH-COM部は、ASSWにくくりつけのマスタ/スレイブ構成の2重化であり、LP部は、これとは独立したマスタ/スレイブ構成の2重化である。LP部のマスタ系(例えば、#0)とスレイブ系(例えば、#1)は、基本的には同一機能であり、スレイブ系でも実際のスイッチング動作を行う。ただし、その場合、スレイブ系でのスイッチによる課金情報はソフトウェアには通知されない。

20

2重化されているMH-COM部およびLP部の間、すなわち、MH-COM部#0とLP部#1との間、およびMH-COM部#1とLP部#0との間には、系間交絡が存在するが、LP部#0とINF#1との間、またはLP部#1とINF#0との間には系間交絡が存在しない。

LP部#0のRMLPには、MH-COM部#0のRDMXからのデータと、MH-COM部#1のRDMXからのデータが入力する。そして、RMLP内の入力部に存在する不図示のセレクトが、マスタ系であるMH-COM部からのデータを選択する。また、同様に、MH-COM部のSMUXには、LP部#0のSMLPからのデータとLP部#1のSMLPからのデータとが入力する。そして、そのSMUXの入力部に存在する不図示のセレクトが、マスタ系であるLP部からのデータを選択する。

30

2. 処理方法

2. 1 メッセージハンドラ (MH) 網の構成

SNIからの発信メッセージは、そのSNIからDT(Digital Terminal)等を介してSBMH内の所定のSMLPへ転送され、SNIへの着信メッセージは、SBMH内の所定のRMLPからそのSNIへ転送される。それらの転送は、ASSWを介して、PVC(Permanent Virtual Circuit or Permanent Virtual Channel)からなるパスを用いて行われる。ここで、各SMLP、RMLPは、それぞれ複数のSNIを収容するので、上記転送先の識別はVCIによって行う。

40

各MH-MH間(GWMHも含めて)は、図211に示すように、フルメッシュ接続されている。この接続は、ASSWを介するPVCである。ただし、各RMLP(着SBMH、GWMH)には、複数のSMLP(発SBMH、GWMH)からのメッセージが入力するので、その識別は各PVCを指定するVCIによって行う。

各PVCの帯域(平均、ピーク)は、SNIとMHの間では、たとえばDS1-SNIの場合2.1Mとし、DS3-SNIの場合38.88Mに設定する。また、各MH-MH間では、MHの個数に応じてシステム設定時に設定するが、システム保守者

50

等が任意に設定できるようにしてもよい。

I S S I または I C I への発信メッセージは、その I S S I または I C I を収容する GWMH 内の S M I P から該 I S S I または I C I へのルート、I S S I または I C I からの発信メッセージは、その I S S I または I C I から該 I S S I または I C I を収容する GWMH 内の R M I P へのルートを、それぞれ A S S W を介する P V C で接続する。ただし、各 GWMH 内の S M I P、R M I P では、複数の I S S I または I C I を収容するので、その識別は各 P V C を指定する V C I によって行う。

2. 2 ルーティング方式

ルーティング処理は、先ず、図 2 0 9 に示す S M L P 内で行われる。すなわち、加入者端末から発信されたデータは、P V C を介して S B M H に入力される。そして、その S B M H 内の S M L P において、その転送データの着信先のアドレス D A が識別され、その D A から着信先の加入者端末が収容されている M H を認識する。そして、その M H に対して一意に V C I を割り当てて、上記データを A S S W へ出力する。(S N I での V C I は、転送データが S M D S データであることを示す特定の固定値であるが、実際は、上記 S B M H と上記着信先の加入者端末が収容されている M H の R M L P との間に V C C が設けられており、その V C C において、該 M H への P V C を示す V C I に変換される)

一方、R M L P においても、上記 D A に基づいて着信先の加入者端末の S N I の識別を行う。そして、その R M L P と S N I との間に設けられている V C C において、該 S N I を指定する V C I が割りつけられる。このように、S M L P および R M L P におけるルーティング制御は、基本的には着信先アドレス D A に基づいて行われる。

着信先アドレス D A は、メッセージ単位 (L 3 - P D U 単位)、すなわちレイヤ 3 で規定される概念であるが、実際のスイッチングは、セル単位で行う。以下に、その制御方法を説明する。

レイヤ 2、レイヤ 3 におけるユーザ情報の分解・組立について、図 2 1 2 を参照しながら説明する。加入者端末から発信されたユーザ情報は、レイヤ 3 において、そのヘッダ部に着信先アドレス D A が書き込まれている。そして、レイヤ 2 の A A L / S A R において、データ転送単位である 5 3 バイト (実際は、L 2 - P D U 用のヘッダおよびトレイラを含めて 5 3 バイト) のセルに変換するとき、上記レイヤ 3 のメッセージは B O M (Beginning of Message), C O M (Continuation of Message), E O M (End of Message) に分解される。また、上記メッセージが小さく、その情報を 1 つのセル内に格納することが出来る場合には、そのメッセージは、1 種類のセル S S M (Single Segment Message) となる。

上記レイヤ 2 の A A L / S A R におけるデータ構成を図 2 1 3 に示す。同図に示すように、レイヤ 3 のメッセージにおいて指定されている着信先アドレス D A は、レイヤ 2 の A A T / S A R では、B O M (または、S S M) のペイロードに格納される。また、上記セルの種類 B O M, C O M, E O M, S S M は、セグメントタイプ S T として第 6 バイト目に格納される。M I D (Message Identifier) は、各メッセージ (または、各 S N I) に対して一意に割り当てられる識別子である。

S B M H は、B O M または S S M を受信すると、そのペイロードに格納されている D A を解析し、その D A から出力 V C I を決定する。そして、ヘッダ部の V C I をその決定した出力 V C I に書き換える。また、その出力 V C I に対して利用されていない M I D を検索し、入力セルに格納されている M I D (入 M I D) を上記検索した M I D (出 M I D) に書き換える。さらに B O M の場合は、後続の C O M, E O M のために、入力 V C I / M I D と出力 V C I / M I D との対応関係をルーティング用メモリに記憶させる。

S B M H は、C O M または E O M を受信すると、そのセルの入力 V C I / M I D をキーとして上記ルーティングメモリを検索して出力 V C I / M I D を読み出し、そのセルの所定位置に書き込む。図 2 1 4 に上記出力 V C I / M I D に決定方法をまとめた表

10

20

30

40

50

を示す。

次に、個々のルーティングに付いて説明する。

(a) 発 S N I から発 S B M H へのルーティング

発 S N I から出力されるセルの V C I は、前述したように特定の固定値であるが、発 S N I と発 S B M H との間にある S I F S H 内に設けられた V C C において、上記発 S N I に対して予め設定されている V C I に変換される。そして、そのセルには、そのセルが該発 S N I が収容されている S B M E S H へ転送されるようなタグ情報が付与される。そして、発 S B M H では、上記付与されたタグに従って、所定の S M L P への振り分けが行われる。

このように、発 S N I から発 S B M H へのルーティングにおいては、上記 V C I によって決定されるルート、すなわち、予め設定されている P V C を介してセルの転送が行われる。なお、上記ルーティングは、上記発 S N I が D S 3 - D T カードに収容されている場合の例である。

(b) 発 S B M E S H (S B M H) から着 S B M H へのルーティング

発 S B M E S H においては、B O M または S S M の場合は入力セルに格納されている D A から、C O M または E O M の場合はそのセルの入力 V C I / M I D から、それぞれ着 S B M H を決定する。そして、発 S B M E S H において、上記発 S B M E S H とその着 S B M H との間に予め設定されている P V C 用の V C I / M I D を該セルに付与する。さらに、そのセルには、そのセルが該着 S B M H へ転送されるようなタグが付与される。着 S B M H においては、B O M または S S M の場合は上記 D A に基づいて、C O M または E O M の場合は着 S B M H への入力セルの入力 V C I / M I D に基づいて出力 V C I / M I D を取り出し、それぞれ所定の R M L P へルーティング情報として付与して出力する。

(c) 着 S B M E S H から着 S N I へのルーティング

着 S B M E S H では、R M L P において、B O M または S S M の場合は上記 D A に基づいて、C O M または E O M の場合は着 S B M H への入力セルの入力 V C I / M I D に基づいてそれぞれ着 S N I を決定する。そして、R M L P は、該着 S B M E S H とその着 S N I との間に予め設定されている P V C 用の V C I / M I D を該セルに付与する。さらに、そのセルには、そのセルが該着 S N I へ転送されるようなタグが付与される。尚、上記ルーティングは、上記着 S N I が D S 3 - D T カードの収容されている場合の例である。

以上のルーティング処理をまとめて表したものを図 2 1 5 に示す。

2. 3 V P I / V C I および M I D の割り当て方法

2. 3. 1 V P I / V C I の割り当て方法

V P I / V C I は、原則としてデータ転送方向にかかわらず、同一 P V C 上では同じ値を割り当てる。

(1) S N I と S B M H との間の割当方法

S N I 上および B - U N I 上での V P I / V C I は、固定値である。

S N I 上で加入者から A S S W へ向かうセルの V P I / V C I

(a) M S B 8 b i t は任意

(b) 続く 2 0 b i t は、" f f f f f (h) "

S N I 上で A S S W から加入者へ向かうセルの V P I / V C I

" 0 0 f f f f f (h) "

B - U N I 上で加入者から A S S W へ向かう S M D S 用のセルの V P I / V C I

(a) M S B 4 b i t は任意 (G F C f i e l d)

(b) 続く 2 4 b i t は、" 0 0 0 0 0 f (h) "

B - U N I 上で A S S W から加入者へ向かう S M D S 用のセルの V P I / V C I

" 0 0 0 0 0 0 f (h) "

A S S W - S B M E S H 間の V C I は、S M L P において S N I の識別ができるように、図 2 1 6 に示すように、各 S N I に一意に対応させて V P I / V C I を割り当

10

20

30

40

50

てる。

以上説明した S N I と S B M H との間での V P I / V C I の割り当て方法を、図 2 1 7 および図 2 1 8 に示す。一例として、図 2 1 7 の中段に示す「S N I から S M L P へ（上り）」での V P I / V C I の割り当てを説明する。

同図に示すように、S N I 上では、固定値 " x x f f f f f (h) " がセルのヘッダ部に付与されている。そして、D T (例えば、パート 2 で説明した D S 3 - E S D S インタフェース) は、その固定値 " x x f f f f f (h) " を持ったセルを S N I から受信すると、ハード的にその値を " 0 3 f 0 3 f f (h) " に変換する。さらに、S I F - C O M において、その V P I / V C I を " 0 3 f 0 3 0 7 (h) " に変換する。ここで、下位ビットによって表される " 0 7 " は、S N I 番号 # 7 に対応した値である。そして、V P I / V C I として " 0 3 f 0 3 f f (h) " が割り当てられたセルが S B M H へ転送される。

10

S B M H では、上記セルを受信すると、その V P I / V C I から、該セルが S N I # 7 から出力された S M D S データであることを認識することができる。

(2) M H 間での割当方法 (局内の M H 間)

S M L P から S M L P 出力 V C C の V C までの間

V P I は、" 0 3 f (h) "、V C I は、" 0 3 0 0 ~ 0 3 f f (h) " を用いる

受信側の M H を識別するための番号を、V C I の下位 8 ビットに設定する

S M L P 出力 V C C から受信側 A S S W の V C C までの間

20

この間の V P I / V C I については、ここでは規定しない。

受信側 A S S W の V C C から R M L P, S M I P までの間

V P I は、" 0 3 f (h) "、V C I は、" 0 3 0 0 ~ 0 3 f f (h) " を用いる

送信側の M H を識別するための番号を、V C I 下位 8 ビットに設定する。

図 2 1 9 に、上記 M H 間での V P I / V C I の割り当て方法をまとめた表を示す。また、図 2 2 0 に、上記 M H 間での V P I / V C I の割り当ての例を示す。

図 2 2 0 に示すように、S B M H # 4 から S B M H # 3 への転送の場合は、V P I / V C I として " 0 3 f 0 3 0 3 (h) " が付与され、その下位 8 ビットが受信側 M H である S B M H # 3 を示している。そして、そのセルがスイッチ (A I S W) 等を介して S B M H # 3 に接続されている S I F - C O M の入力されると、該セルの V P I / V C I は " 0 3 f 0 3 0 4 (h) " に変換され、その下位 8 ビットが送信側 M H である S B M H # 4 を示す。このようにして、V P I / V C I によって、送信・受信側の M H を認識することができる。

30

2. 3. 2 M I D の割り当て方法

(1) S N I と S B M H との間

S N I から S B M H へ転送されるセルの M I D の付与方法は、接続されている加入者端末の構成に依存する。したがって、S M L P は、全てのパターンの M I D を受信可能な構成とする。また、M I D は、各 S N I に対して同時に 1 6 種類の値をとることが出来る。S B M H から S N I へ転送されるセルの M I D は、" 0 0 0 ~ 1 f f (h) " とする。

40

(2) M H 相互間

S M L P において、着 M H に対して送出するセルの M I D は、各 V C I 当たり (即ち、各着 M H 当たり) 2 5 6 個とする。前述したように、着 M H では、受信セルの V C I を用いて発 M H の識別を行う。ここで、同一の発 M H に属する複数の S M L P (たとえば、1 つの S B M H が、複数の S B M E S H をいもづる接続した構成であった場合、各 S B M E S H がそれぞれ S M L P を有する) が、同一の M I D を使用したとすると、着 M H において S M L P を特定することができない。このため、同一の発 M H に属する各 S M L P に対して割り当てる M I D の範囲を図 2 2 1 に示すように規定する。同図における S M L P # 0 は、最大 4 台までいもづる式に接続される S B M E S H のうち、最上流の S B

50

MESH内に設けられたSMLPを意味し、以下順番に、#1、#2、#3と下流に向かう。

2. 4 グループアドレス

着信先アドレスDAが、グループアドレスの場合には、そのDAによって転送されるメッセージは、発SBMHにおいて、局内の全ての着SBMHおよび全ての発GWMHに対して複写転送される。着SBMHでは、受信したグループアドレスに属するSNIを収容するRMLPがそのメッセージを取り込む。そして、RMLPは、そのグループアドレスに属するSNIの数を認識し、そのSNI数だけ複写を行い、各SNIに対してその複写したメッセージを転送する。図222にグループアドレスを用いたデータ分配を示す。

10

2. 5 多重化処理について

SMLP、RMLPは、それぞれ複数のSNIを収容することができる。したがって、セル毎に各SNIの識別ができるようにする。また、SMLP、RMLPは、複数のL3-PDUを同時に扱うので、各セルが属するL3-PDUの識別を行うために、VPI/VCIDおよびMIDを用いる。図223に、各セルが送受信されるSNIおよび各セルが属するL3-PDUを識別するために用いる情報をまとめた表を示す。

2. 6 機能概略

図224は、SBMESHの機能ブロック図である。同図に示す各ブロックに関する説明は後述する。なお、図224においては、図面を見やすくするために、PWCB分割は示していない。

20

3. SMLP

3. 1 処理概要

SMLP部では、MH-COM部でDMUXされて入力してきたセルに対して、SIP L2 & SIP L3のプロトコル・パフォーマンスチェックを行う。また、該セル中の着信先アドレスDA（相手先アドレス）を解析し、対応するSNI（加入者）を収容するSBMHや対応するISSI、ICIを収容するGWMHに向けて該セルを送出する。さらに、SIP L3フォーマットをISSI L3フォーマット（half Encapsulation）に変換する機能も有する。

3. 2 構成

SMLP部の全体構成を図225に示す。

30

SMLP部は、HMH03A～HMH06Aの4枚のPWCB（Printed Wiring Circuit Board）から構成される。HMH03A、HMH04Aでは、主にプロトコル・パフォーマンスチェックを行う。該チェックにおいてエラーと判別されたセルは、そのセルデータと並列に転送されるエラーフラグに各種表示が行われ、最終的には、HMH06Aの出力部で廃棄される。HMH05Aでは、主にDA解析・送出先MH決定処理であるルーティング処理を行う。HMH06Aでは、主にSMLP-RMLP間のPVCの帯域制限処理を行う。各ブロックの機能概要及び、エラーセル、保守用セルとの関係を図226～図228に示す。

（1）エラーセル

エラーセルは、マスターエラーフラグ（EF1 MS）がNG（ON）になっているセルであり、廃棄する必要がある。SMLP部内では様々な用途のためにメモリを使用しているが、エラーセルの場合には、メモリへのライトアクセスをスキップする。

40

（2）CRC-10 エラーセル

CRC-10エラーとは、SIP-L2のデータに誤りがあることを示す。

データに誤りがある場合、その誤ったデータを使用してプロトコル・パフォーマンスチェックを行うと、更にそのエラーによって他のエラーが発生する可能性がある。また、L3-PDU（または、SIP-L3メッセージ）は、他のL3-PDUとの識別をMIDで行うため、MID値が誤っていた場合には、あるSIP-L3メッセージで発生したエラーが他のSIP-L3メッセージに対するエラーとみなされる可能性がある。この為、CRC-10エラーを検出した場合は、それ以降のプロトコル・パフォーマンスチェッ

50

クは行わない。

(3) LP試験セル (診断)

SBMESHの診断において、HLP02Aから試験セルを送出し、それをSMLP部内の各処理部を通してHLP02Aに送り返し、エラーフラグを見る試験等を行う。

本診断は、SMLP部が、OUS 状態 (アウト・オブ・サービス状態) の時に行う。各SNI に対応する試験のための加入者データは、実際のデータ転送に使用されるテーブルに設定し、試験用のテーブルは持たない。このため、エラーフラグが立たない様なLP試験セルは、廃棄されずにMH-COM部のMUX へ転送されてしまうが、この診断中は、本SMLP部はマスター状態ではない (OUS 状態であるため) ので、上記試験セルはMUX の入力部におけるセレクトで廃棄される。

10

(4) PVC 試験

▲1▼ SBMESH-MH 間のPVC 試験

この試験では、まず、当該SBMESHのHLP02A (HLP02Aは、後述するLP-COM部内のPWCBである) が、SMLP部に試験セルを送出する。SMLP部は、ASSWを通して転送先のMHのRMLP部に上記試験セルを送出する。そのRMLP部は、上記試験セルを該MH内のHLP02Aに送り、セルの正常性をチェックする。このようにして、当該SBMESHと転送先MHとの間のPVC の試験を行う。尚、上記試験セルは特定のVCI 値でHLP02Aから送出される。

SMLP部では、VCI 中の試験セル識別ビット (このビットについては、後述するが、「O (オー) ビット」もしくは「bit-7 」と呼ぶ) が“1”の場合、上記試験セルであると認識し、その試験に対応する処理を行う。この試験はINS 状態 (イン・サービス状態) で行う為、通常のメッセージに影響を及ぼさない様にプロトコル・パフォーマンスチェックは行わない。

20

▲2▼ SNI-SBMESH間の PVC試験

この試験では、HLP02AがRMLP部に試験セルを送出する。上記試験セルは、SNI (この実施例では、SIFSH) にて折り返されSMLP部に入力する。SMLP部内の各チェッカは、この試験セルに対して、通常のセルと同等の処理を行う。ルーティング部では、DAを元に試験セルの判別を行い、試験セルの場合は、VCI = "FF (h)" としてHLP02Aに送出する。この試験は、試験対象のSNI を閉塞して行う。

3. 3 各機能ブロックとエラーフラグの対応

30

図229～図232に、各機能ブロック毎に操作するエラーフラグ (EF)、および、各機能ブロックが動作する条件を示す。同図に示す表の読み方を以下に説明する。

縦軸は機能ブロックを示す

横軸はエラーフラグEF (EF1, EF2) と、MESH間PVC 試験の状態を示す。

各項目内は、上段・下段に別れており、上段は、機能ブロックのチェックによりNGになるEFを示し、NGの場合は「ON」と記述してあるEFを制御する。一方、下段は、機能ブロックを動作 (チェッカの場合はチェック) させるかどうか、もしくはチェック結果をEFに反映させるかどうかの条件を示す。

また、図233～図237にエラーフラグ (EF) とエラー名称 (TR での名前) の対応関係及び、セル内でのEFの位置を示す。

40

3. 4 各ブロックの処理

この章の図面において、「自」の表示がある処理は、ハードウェア自律による読み書きメモリを示す。

(1) 交絡セレクトS

HLP02Aによって設定されるスイッチのact 情報 (SWACTA : home系SW ACT = 'L'、mate系SW ACT = 'H') に基づき、アクティブ系データをセレクトする。スイッチ部のACT コントロール、すなわち「昔ACT 保持」等の制御はHLP02Aで行う。また、home系およびmate系スイッチからのデータは、セルの先頭位置が互いに揃っていない (互いにタイミングがあっていない) ので、

50

一度バッファに書き込みんだ後にhome系およびmate系から各々のセルの位相を合わせて読み出す。

アクティブ系のSWが切り替わった時、実際にデータのセレクトを切り換える。タイミングは、セルの切れ目で行う。そのタイミングを図238に示す。

SMLPには、ATM レイヤのスイッチング試験を行うためのTCG セル（テスト・セル・ジェネレータ・セル）が、通常のデータに混ざって入力されるため、該TCGセルを無効にしなければならない。TCG セルの識別は、タグ領域の第14bit 目にある「Oビット」を用いて行う。本ブロックでは、イネーブルが有効で、この「Oビット」が「1」のセルは、イネーブルを無効側にする処理も合わせて行う。また、イネーブルを無効にした場合パリティも合わせて修正する。図239に、セルのフォーマットを示す。同図において「Oビット」を網かけで示している。

10

(2) 試験セル多重S

試験セル多重部は、回線の空セルのタイミングで、HLP02Aからの試験セルを多重する。HLP02Aからは、試験セルを送出したいときに任意のタイミングで送出してくる。本ブロックでは、回線側が空きセル状態のとき（イネーブル（ENB）=Hの時）、試験セルを多重して送出し、HLP02Aに対して「試験セル多重OK?」を示す信号（TSOK）で結果を通知する。もし、回線側が有効セルをたんそうしているタイミングであった場合は、該信号をNG側にする。通常の試験セルとして、有効セルを受信しなかった時は、TSOKをNG側にしておく。

また、LP部（LP-COM, SMLP, RMLP）が、自己診断（診断中はOUS 状態である）を行う時は、回線系のセルを全て無効側にマスクして、HLP02Aからの試験セルのみを多重する構成となる。LP部自己診断の指定は、HMH03A内のMSD で設定する。以上の関係を、図240にまとめて示す。

20

(3) CRC-10チェックS

セルのペイロードをCRC 除算することによってエラーのチェックを行う。CRC多項式が0以外の時に、EFCを「L」にする。（L2 Payload CRC Violation）

セルの02ワード目の試験ビットが「1」（MESH間PVC 試験セル）のものは処理対象なので、エラー編集ISでマスクする。また、EFIRM をL2ヘッダがNGという意味で「L」にする。上記関係を図241の表に示す。

30

(4) PL長チェックS

セル（セグメントタイプ毎）の有効ペイロード長のチェックを行う。

図242に示す表の条件の時、EFPを「L」にする。（L2 ペイロードレンジエラー）セルの02ワード目の試験ビットが「1」（MESH間PVC 試験セル）のものは処理対象外である。このMESH間のPVC 試験セルの場合、チェックは行うが、結果はエラー編集ISでマスクされる。また、EFIRM をL2ヘッダがNGという意味で「L」にする。

(5) MID 値チェックS

BOM, EOM, SSM でエラーの時、E2のEFIM を「L」にする。また、COM でエラーの時、E1 KEFIMを「L」にする。（BOM/SSM/with Invalid MID Error）

40

セルの02ワード目の試験ビットが「1」（MESH間PVC 試験セル）のものは処理対象外なので、エラー編集ISでマスクする。また、EFIRM をL2ヘッダがNGという意味で「L」にする。上記試験におけるエラー条件を図243に示す。

(6) MID チェックS

BOM ではVCI/MID がNo Active な否か、COM, EOM ではVCI/MID がActiveか否かチェックを行う。

・BOM 到着時にVCI/MID をアドレス（キー）としてメモリから読み出し。

▲1▼ used（'1'）であれば、エラーフラグ（EF2のEFMA）をたて（MID Currently Active）、エラーとなるのは前メッセージなので

50

、マスタフラグ (E F M S) を立たないようにする。

▲2▼ non-used (` 0 ') であればOKとする。

▲3▼メモリにused (` 1 ') を書き込む。

・COM 到着時にV C I / M I D をアドレスとしてメモリから読み出す。

▲1▼ non-used (` 0 ') であればエラーフラグ (E F I のE F M A) をたてる。

▲2▼ used (` 1 ') であればOKとする。

▲3▼上記▲1▼の時はnon-used (` 0 ' ) を、上記▲2▼の時はused ( ` 1 ') をメモリに書き込む。

・EOM 到着時にV C I / M I D をアドレスとしてメモリから読み出す。

10

▲1▼ non-used (` 0 ') であれば、エラーフラグ (E F 2 のE F M A) をたてる (EOM with Unappraved Mid) 。

▲2▼ used (` 1 ') であればOKとする。

▲3▼メモリに、non-used (` 0 ') を書き込む。

・SSM は処理対象外

1. セルの02ワード目の試験ビットが " 1 " (MESH間PVC 試験セル)

2. CRC-10チェック, PL長チェック, MID 値チェックエラー。

3. 回線セルのENB がDSB (無効) 。

上記1, 2, 3 の内、1つでも該当するセルは、メモリへのアクセスはしない。また、上記の1 に該当するセルのエラーフラグは、OK側にする。図244に、上記 MID 20

チェックの関係を示す。

(7) SNチェックS

BON, SSMでSN (シーケンス・ナンバー) を初期化し、COM, EOMでその

SNの順序性をチェックする。

・BOM, SSM到着時にV C I / M I D をアドレス (キー) としてメモリをリードする。

▲1▼自SNとリード値が一致してもしなくてもエラーフラグ (E F S N) は立てない。

▲2▼自SN+1 とした値をV C I / M I D をアドレスとしてメモリにライトする。

・COM, EOM到着時にV C I / M I D をアドレスとしてメモリをリードする。

▲1▼自SNとリード値が一致すれば、OKとしてエラーフラグ (E F S N) は立てない 30

。▲2▼自SNとリード値が一致しなければ、NGとしてエラーフラグ (E F S N) を立てる。

▲3▼自SN+1 とした値をV C I / M I D をアドレスとしてメモリにライトする。

1. セルの02ワード目の試験ビットが " 1 " (MESH間PVC 試験セル)

2. MID がNo Active 。

3. 回線セルのENB がDSB (無効) 。

・上記1, 2, 3 の内1つでも該当するセルは、メモリへのアクセスはしない。

EFRMがNG (CRC-10 チェック、PL長チェック、MID 値チェックエラー) の場合もメモリへのアクセスを行わない。

40

・上記の1 に該当するセルのエラーフラグ (E F 2 M A, E F 1 M A) は、エラー編集 I Sでマスクする。

上記SNチェックをまとめたものを、図245に示す。

(8) アドレスフォーマットチェックS

SIP のヘッダのSA, DAアドレスのフォーマットチェックを行う。

SA, DA アドレスフィールド内のアドレスタイプ4ビットが、図246に示す条件の時にエラーとなる。また、セルの02ワード目の試験ビットが " 1 " (MESH間PVC 試験セル) のものは処理対象外なのでエラー編集 I Sでマスクする。

(9) DAチェックS

自己折り返しセルをはじく。

50

・ BOM, SSM 到着時、DAをアドレスとしてCAM に入力する。

1. マッチが取れなかった時

セルの02ワード目の台15bit 目に"0" (ルーティング処理部でルート検索が必要)

2. マッチが取れた時

マッチアドレスがSNI IDと等しければ、エラーフラグ(EFSA)をたてる。

・COM, EOMはチェック対象外。

・セルの02ワード目の試験ビットが"1" (MESH間PVC 試験セル) のものは処理対象外なのでエラー編集 I Sでマスクする。

但し、グループアドレスはチェック対象外だが、CAM でマッチが取れない。

10

上記DAチェックをまとめたものを図247に示す。

(10) BAサイズチェックS

SIP L3 (L3-PDU)のBAサイズが正しいかどうかチェックを行う。

エラーの時、EFBAを"L" にする。但し、セルの02ワード目の試験ビットが"1" (MESH間PVC 試験セル) のものは処理対象外なので、エラー編集 I Sでマスクする。図248に、BAサイズチェックのエラーの条件を示す。

(11) イングレス流量チェックS

各SNI のDS3 クラスに対して、アクセスクラスを5段階に分け、制限速度が守られているかチェックする。

加入者毎にある固定容量のリーキパケット(9192 oct)から、クラス毎の一定のオクテット数をインクリメントし、BOM, SSMの到着時にリーキパケットにBA sizeが許容可能かどうかでチェックする。

20

・32セルフフレーム毎(SNI は、#0~#31までである)に、SNI 毎のリーキパケットから一定のoctet 数をインクリメントする(1加入者のインクリメント処理)

・1セルフフレーム内では、1つの SNIのインクリメント処理を行った後、到着BOM に対するSNI に関してBA size許容可能かどうかの判断をする。

・アクセスクラスワード"0", "5" ("0" はDS1, "5" はDS3 フル使用) に関してはインクリメント流量チェックは不要だが、インクリメント・オクテット数をall1とすることによりインクリメント処理を行う。

30

・各SNI に対するインクリメント・オクテット数とバッファ容量(9192:一定値)は、ファームウェアが設定する。

実際の処理としては、

▲1▼ インクリメント処理(1セルフフレーム毎に、1加入者の処理を行う)

SNI ID(SNI 番号)をアドレス(キー)として、インクリメントoctet 数メモリからインクリメントoctet 数をリードする。

SNI IDをアドレスとして、リーキパケットメモリからバッファ容量をリードして、リード値とインデクリメントoctet 数を加算する。

ここで、加算値が9192より大きければ、バッファ容量を9192としてリーキパケットメモリにライトする。一方、加算値が9192以下であれば、その加算値をリーキパケットメモリにライトする。

40

▲2▼ BOM, SSM 受信時に、SNI IDをアドレスとして、リーキパケットメモリからデータをリードし、そのリード値から(BA size: 32) を減算する。

ここで、減算値が0より大きければ、バッファ容量として、この減算値をリーキパケットメモリにライトする。一方、減算値が0以下であれば、リーキパケットメモリからリードされたバッファ容量をそのまま(減算しない値)メモリにライトし、EF2AC を立てる。

1. COM, EOMは処理対象外。

2. セルの02ワード目の試験ビットが"1" (MESH間PVC 試験セル)。

3. EFIRM が"L"の場合(CRCエラー、PL長エラー、MID 値エラー

50

）とB A s i z eチェックはエラーは処理対象外。

4. 回線系セルのE N B がD S B （無効）。

上記1, 2, 3, 4のうち、1つでも該当するセルは、メモリへのアクセスを行わない。また、上記2に該当するセルのエラーフラグ（E F 2 A C）は、エラー編集 I Sでマスクする。

上記イングレス流量チェックを説明する図を、図249に示す。

（12） エラー編集 I S

各チェックでチェックされたエラーをエラーフラグの各位置に付与する。

エラーフラグE F 2 でフラグが立てば、E F 1 のE F M Sのフラグを立てる。但し、E F 2 M A でエラーが立っていてもE F M Sは立てない。

S T（セグメントタイプ：2ビット）とM I D（メッセージ識別子：10ビット）をセルの00ワード目にコピーする。入V C I（S N I 番号（S N I I D）を、その下位8ビットで示している）をセルの01ワード目にコピーする。

セルの02ワード目の試験ビットが”1”（M E S H間P V C 試験セル）のセルのエラーフラグをマスクする。

（13） 同時入力数チェック S

各S N I 毎に、同時に受け付けできるメッセージ数の制限を行う。もし、到着メッセージ数が制限数（1または16）を越えている時、その到着メッセージを廃棄する。

制限数（1／16）の区別に関して、初期設定の時、同時入力制限数メモリに、”0”または”1”（”0”：制限数=1、”1”：制限数=16）の設定を行う。

・B O M 到着時の処理

▲1▼ S N I に対する受信メッセージ数≠16（又は≠1）の時（通常動作）

次読み出しカウンタ+S N I I Dをアドレス（キー）として、R M I D管理テーブルからR M I Dをリードする。（R M I Dとは、後述するが、M I D とS N I 番号との組合せから得られる値であり、S N I および該S N I 上での各M I D に対して一意に割り当てられる値である）

このR M I Dをアドレスとして、R M I D変換C A M にV C I +M I D をライトする。

このR M I Dをセルの03ワード目（L S B 10b i t）に書き込む。

受信メッセージ数（16～0）をインクリメント（+1）する。

制限数が16（同時入力制限数メモリで判断）の時、次読み出しカウンタ（0～15）をインクリメント（+1）する。

▲2▼ S N I に対する受信メッセージ数=16（または、1）の時は、エラーフラグ（E 2 E M, E I M S）を立てる。

・S S M S到着時の処理

▲1▼ S N I に対する受信メッセージ数≠16または、≠1の時（通常動作）

次読み出しカウンタ+S N I I Dをアドレスとして、R M I D管理テーブルからR M I Dをリードする。

次書き込みカウンタ+S N I I Dをアドレスとして、このR M I DをR M I D管理テーブルにライトする。

このR M I Dをセルの03ワード目（L S B 10b i t）に書き込む。

制限数が16（同時入力制限数メモリで判断）の時、次読み出しカウンタ（0～15）と次書き込みカウンタをインクリメント（+1）する。

▲2▼ S N I に対する受信メッセージ数=16（または、1）の時は、エラーフラグ（E 2 E M, E 1 E S）を立てる。

・C O M 到着時には、R M I D変換C A M でV C I /M I D をマッチアドレスとしてマッチングを取る。

▲1▼ マッチ時

マッチアドレスをR M I Dとして、このR M I Dをセルの3ワード目（L S B 10b i t）に書き込む。

10

20

30

40

50

▲2▼ マッチしなかった時

エラーフラグ (E1RM, E1MS) を立てる。

・EOM 到着時には、RMID変換CAM でVCI/MID をマッチアドレスとしてマッチングを取る。

▲1▼ マッチ時

マッチアドレスをRMIDとする。

このRMIDをセルの3ワード目 (LSB 10bit) に書き込む。

次書き込みカウンタ+SNIIDをアドレスとして、このRMIDをRMID管理テーブルにライトする。

受信メッセージ数 (16 ~ 0) をデクリメント (-1) する。

10

制限数が16の時、次書き込みカウンタ (0 ~ 15) をインクリメント (+1) する。

▲2▼ マッチしなかった時

エラーフラグ (E1RM, E1MS) を立てる。

タイムアウトセル (EOM) が送出されているかの判断は、のエラーディスカード処理部のマスタ (MS) エラー付与memory (1bit) が1かどうかでわかる。タイムアウトセルが送出されていればエラーディスカード処理部でこのEOMセルを無効セルにする。

MESH 間PVC 試験セル (試験ビットが1) は処理を行わない。エラーセル (EF1MSが1) は処理を行う。

20

図250に、上記同時入力数チェックを説明する図を示す。

(14) MRI タイムアウト S

BOM 受信からEOM 受信までの時間を監視し、MRI タイムアウトを判別する。セル到着 (空きセルも含む) 毎に時刻をCAM に入力することにより、MRI タイムアウト・メッセージを発見する。

1. セルフフレーム毎に、used (0) +1 + 現時刻をマッチデータとしてMRI タイムCAM でマッチを取る。 (セルフフレーム毎の処理)

I. マッチ時

▲1▼ 空きセルの場合、タイムアウトセル (下記、注1参照) を生成し、RMID変換CAM とMRI タイムCAMに all 1をライトする。

30

▲2▼ 空きセル以外 (BOM, COM, EOM, SSM) の場合、マッチアドレスをアドレスとしてMRI タイムCAMにused (0) +1 + all 1をライトする。

II. アンマッチ時には、何も処理しない。

2. 上記セルフフレーム毎の処理を行った後、以下のセル毎の処理を行う。

・空きセル時

I. セルフフレーム毎の処理でMRI タイムCAMでマッチした時

上記 1 - ▲1▼と同じである。

II. セルフフレーム毎の処理でMRI タイムCAMでアンマッチの時、used (0) +0 + all 1 をマッチデータとしてMRI タイムCAM でマッチを取る

40

。

▲1▼ マッチ時、タイムアウトセル (注1 参照) を生成し、マッチアドレスとしてRMID変換CAM とMAI タイムCAM に all 1 をライトする。

▲2▼ アンマッチ時には、何も処理しない。

注1 : タイムアウトセルとしてエラーフラグ (E2MT) を立てたEOMセル (入VCI と入MID を書き込む) を生成する。入VCI と入MIDはマッチアドレスであるRMIDをアドレスとして、RMID変換CAM からVCI +MID をリードする。

この時、上記 (13) に記載した「同時入力数チェック S 処理」において以下の処理をする。すなわち、次書き込みカウンタ+SNIID (VCI) をアドレスとして、マ

50

ッチアドレスであるRMIDをRMID管理テーブルにライトする。そして、このSNI IDに対する受信メッセージ数(16〜0)をデクリメント(−1)する。さらに、制限数が16の時、このSNI IDに対する次書き込みカウンタ(0〜15)をインクリメント(+1)する。

・BOM 受信時

RMIDをアドレスとしてMRI Time CAMにused(0)+1+[タイムアウト時刻(現時刻+T)]をライトする。(例えば、 $T = 2.7 \mu s / \text{セル} \times 64k(16bit) = 177ms$)・EOM 受信時

▲1▼ 上記(13)に記載したRMID変換CAMでマッチした時、RMIDをアドレスとしてRMID変換CAMとMRI Time CAMにall 1をライトする。 10

▲2▼ 上記(13)に記載したRMID変換CAMでマッチしなかった時には、MRI タイムアウトとしての処理はなし。

- ・COM/SSMは、MRI タイムアウトSとしての処理はなし。
- ・MESH 間PVC 試験セル(試験ビットが1)は処理を行わない。
- ・エラーセル(EFIMSが1)は処理を行う。

上述のMRI タイムアウト処理を説明する図を示す。図251は、MRI Timeの算出を説明する図であり、図252は、RMID変換CAMと、MRI CAMへのリード/ライトデータを示す図であり、図253は、各セルのタイミングを説明する図である。また、図254は、同時入力数制限RMID獲得/MRI タイムアウトの処理を示すフローチャートである。 20

ここで、同時入力チェックS、MRI タイムアウトS、(および RMID 獲得)について補足説明をする。

RMID

まず、SMLP内の必要な処理容量を考えると、1SMLPにおけるSNI(加入者)の数は最大32であり、また、1SNIにおけるL3-PDUの同時入力制限数は最大16である。従って1SMLP内では、同時に存在するL3-PDUは最大512個となる($32SNI \times 16L3PDU = 512$)。

RMIDとは、SMLP内においてこの512個のL3-PDUに対して一意に割り当てる管理番号であり、VCIとMIDから生成する。このRMIDを用いることにより、各種テーブルのアドレスを $32VCI \times 1024MID = 32$ キロビットから、RMIDの512ビットに縮退することができ、テーブル容量の節約が可能となる。上記縮退を図255に示す。 30

RMIDは、以下の時に獲得(RMID変換テーブルに設定)する。

- ・正常なBOMの受信
- ・正常なSSMの受信(SSMの場合は、RMIDを獲得してもRMID変換テーブルには設定しない)

RMIDは、以下の時に解放(RMID変換テーブルをクリア)する。

- ・正常なEOMの受信時
- ・MRI T.O. EOM送信時(MRI タイムアウトに伴うEOM送信)
- ・正常なSSMの受信時(SSMの場合は、RMID変換テーブルには設定しないので、解放処理は必要ない)。

・エラー(MSONだが、RM OFF)のBOM, COM, EOM 受信時でRMIDが獲得されていた場合

COM/EOMでは、既に獲得されているRMIDをVCI+MIDを元に、RMID変換テーブルから読み出し(AMDCAMのマッチ機能を用いる)、RMIDを付与する。

RMID獲得部、同時入力制限、MRI T.O. 設定/解除における正常セルと異常セルの処理を図256に示す。

- 1) 入力MID 不定の場合

RMとは、EF1RM のことであり、入力時にこのRMがONの場合は以下のチェックでNGを検出したことを示す。

CRC-10

PL 長

MIDチェック

上記チェックの結果がNGの場合、MID 値が正しくない可能性があるので、RMID 獲得部（同時入力制限、MRI タイムアウトチェックも含む）では処理を全く行わない。

以下に示すブロックでは、RMIDをアドレスとしてメモリへのリード／ライトを行っている。RMID獲得部では、RMがONで、RMIDを獲得しなかった場合に、RMIDとして入力のMID を送出してしまい、正常なRMIDをアドレスとしてライトされたデータを破壊する可能性がある。これを防ぐため、RMIDを獲得（付与も含む）しなかった場合は、RMID値を‘11 1111 1111’ とし、メモリの未使用アドレスをアクセスする。

エラーディスカード部 S

ルーティング情報 S

GA コピー S

VC-SH 送出OK S

また、以下に示すブロックでも前記と同様の問題が発生する。これらは、RMがONの場合処理を行わないようにしている。本来は、前記のRMID値が、‘11 111111 11’ の場合はメモリの未使用アドレスをアクセスすることにより対処すべきである。RMを用いても問題はないが、整合性をとるため、どちらかに統一するようにしてもよい。

BA size マッチ、B Et ag マッチ、L eng thチェック

出MID 獲得

その他

BOM でRM ON、同一L3-PDUの COM, EOM では、RM OFFの場合、BOM の入力MIDは正しくない可能性があるので、COM EOM は、BOM がなかった場合と同様の処理となる。

EOM でRM ON の場合は、この入力MID は正しくない可能性があるので、RMID, MRI T. O. の解放、クリアは行わない。従って、MRI タイムアウトが発生する。2) マスターエラー NG の場合（RM はOFF）

入力メッセージがマスターエラーNG（EF1MS ON）の場合、BOM/COM/EOM/SSM のどの場合も、OKを示すメッセージと同様に、入力のVCI +MIDでRMIDを獲得済であるかチェックする。

獲得済の場合は、RMIDとして獲得済のRMID（RMID CAM のマッチアドレス）を付与する。また、MSがONなので、このL3-PDUの処理はストップする必要があるためRMIDを解放し、MRI T. O. もクリアする。

一方、未獲得の場合は、RMIDとして‘11 1111 1111’ を設定し、また、EF1RMをONにする。

3) OKの場合

OKメッセージの場合、BOM/COM/EOM/SSM のいずれの場合も、先ずRMIDが獲得されているかどうかをチェックする。

獲得済の場合

メッセージ毎の処理を行う。

▲1▼ BOM の場合： RMID を付与し、MRI T. O. を再設定する。

▲2▼ COM の場合： RMID を付与する。（正常状態）

▲3▼ EOM の場合： RMID を付与後、すぐ解放し、MRI T. O. をクリアする（正常状態）

▲4▼ SSM の場合： RMID を付与後、すぐ解放し、MRI T. O. をク

10

20

30

40

50

リアする。

未獲得の場合

▲1▼ BOM の場合： RMID を獲得し、MRI T. O. を設定する。（正常状態）

▲2▼ COM の場合： RMID を ‘ 1 1 1 1 1 1 1 1 ’ とし、MS, RMをONする。

▲3▼ EOM の場合： RMID を ‘ 1 1 1 1 1 1 1 1 ’ とし、MS, RMをONする。

▲4▼ SSM の場合： RMID を獲得後、すぐ解放する。（正常状態）。

4) 同時入力制限NGの場合

このブロックで同時入力制限のチェックを行う。

BOM/SSM 受信時に同時入力制限テーブルにファームウェアより設定される。同時入力制限数（制限数 1 の場合=0, 16 の場合=1 がテーブルに設定される）とBOMを受信済だが、EOMを受信していない（MRI T. O. も発生していない）L3-PDU数（受信メッセージ数）とを比較する。もし既に同時入力制限数と同じであればエラーフラグMSとEMをONにする。この時のRMIDとして‘ 1 1 1 1 1 1 1 1 ’を設定する。また、RMID獲得、MRI T. O. の設定を行わない。

受信数カウントアップは、BOM で、かつ、RMIDを新規に獲得する場合にのみ行う。

受信数カウントダウンは以下の時に行う。

EOM で正常終了した場合

タイムアウトEOM を送出した場合

BOM/COM/EOM でRMが OFF, MSが ON、かつRMIDが獲得済の場合

5) MRI タイムアウトチェックの場合

このブロックでMRI タイムアウトチェックを行う。

MRI タイムアウトの監視は、受信セルの有効/無効に関係なく、毎セルについて監視する。もし、タイムアウトしていた場合は、該当するRMIDをアドレスとして、MRI T. O. テーブルにタイムアウトパターンを設定する。

無効セルの場合、MRI T. O. テーブルにタイムアウトパターンの有無をチェックし、タイムアウトパターンがあった場合は、RMID変換テーブルより読み出してきたVCI + MID と、RMIDをT. O. EOM（タイムアウトEOM）に付与して送出する。この時、エラーフラグはMSとMTをONする。T. O. EOM送出後、RMIDの解放、MRI T. O. クリアを行う。

MRI T. O. テーブルのタイムアウト時刻の設定は、BOM でしかもRMIDを新規/獲得済にかかわらず設定した場合に行う。

MRI T. O. テーブルのタイムアウト時刻のクリアは以下の時に行う。

EOM で正常終了した場合

T. O. EOMを送出した場合

BOM/COM/EOM でRM OFF, MS ON 且つ、RMIDが獲得済の場合

6) PVC（MESH-MH間）の扱い

MESH-MH間 PVC試験セルの場合は、RMID獲得、同時入力制限、MRI T. O. の処理は一切行わない。RMIDの領域、エラーフラグともに、入力セルのデータをそのまま出力する。

(15) HELチェック S

Header Extension Length が3と設定されているかチェックを行い、3以外の値であれば、EFHEを”L”にする。

セルの02ワード目の試験ビットが”1”（MESH間PVC試験セル）のものは処

10

20

30

40

50

理対象外。

(16) HEフォーマットチェック S

Header Extensionの最初の3オクテット(第1の要素)が、それぞれ3(要素長)、0(要素タイプ)、1(要素値)に設定されているかチェックを行い、異なる値であれば、EFVEを”L”にする。

Header Extensionの第2の要素(次の3オクテット)において、2オクテット目の要素タイプ=1であれば、1オクテット目の要素長のチェックを行い、4、6、8以外の値であれば、EFC Sを”L”にする。

セルの02ワード目の試験ビットが”1”(MESH間PVC試験セル)のものは処理対象外。

10

図257に、上記HEフォーマットチェックをまとめた表を示す。

(17) SAチェック S

入力セルに格納されているSAが、送信SNIに登録してあるSAかどうかチェックを行う。

・ BOM, SSM 到着時、SAをCAMに入力する。

マッチが取れなければエラーフラグ(EFSA)を立てる。

マッチが取れた時、マッチアドレスがSNI IDと異なればエラーフラグ(EFSA)をたてる。

マッチが取れた時、マッチがSNI IDと等しければ何も処理しない。

・ COM, EOM はチェック対象外。

20

・ セルの02ワード目の試験ビットが”1”(MESH間PVC試験セル)のものは処理対象外。

図258に、上記SAチェックをまとめた表を示す。

(18) DAスクリーニング S

着SNIへの発信規制をかける。

・ BOM, SSM 到着時の処理

▲1▼ AT(アドレスタイプ)から、個別アドレス(IA)かグループアドレス(GA)かを判別し、SC属性メモリからAT(IAかGA)に対する属性を読み出す。

▲2▼ DAをマッチデータとしてDAスクリーニングCAMでマッチを取る。

SC属性とマッチ状況を示す図259を参照し、エラーとなればエラーフラグ(EFDA)を”L”にする。

30

・ COM, EOM は処理対象外

・ セルの02ワード目の試験ビットが”1”(MESH間PVC試験セル)のものは処理対象外。

(19) BEtag マッチ S

SIP(L3-PDU)のヘッダとトレイラにそれぞれ格納されているBEtagの一致をチェックする。

BOMのペイロード部に格納されているSIP L3-PDUのBEtagを記憶し、EOMを受信した時、上記記憶されているBEtagと、該EOMに格納されているBEtagと比較し、異なる値であればEFBEを”L”にする。

40

セルの02ワード目の試験ビットが”1”(MESH間PVC試験セル)のものは処理対象外。

図260に、上記BEtag マッチをまとめた表を示す。

(20) BAsize マッチチェック S

SIP(L3-PDU)のヘッダ部に格納されているBAsizeと、トレイラに格納されているレングス値との一致をチェックする。

BOMのペイロード部に格納されているBAsizeを記憶し、EOMを受信した時、上記記憶したBAsizeと、該EOMに格納されているレングス値と比較し、異なる値であればEFLEを”L”にする。

セルの02ワード目の試験ビットが”1”(MESH間PVC試験セル)のものは処

50

理対象外。

図261に、上記BAsizeマッチチェックをまとめた表を示す。

(21) 情報長チェック S

BAsizeと実際に受信したL3-PDUの情報長の一致をチェックする。

・ BOM到着時の処理

BAsize から、必要セル数と最終セル(EOM)に含まれる情報長(PL長)を算出する。その算出方法は、「 $BAsize \div 40oct = 商 + 余り$ 」を計算し、商=セルカウント数、余り+40oct=EOMのPL長となる。

RMIDをアドレス(キー)としてセルカウントメモリとPL長メモリに計算結果を書き込む。

10

・ COM 到着時には、RMIDをアドレスとしてセルカウントメモリから値を読み出す。

▲1▼ リード値が0の時、エラーフラグ(EFIL)をたてる。

▲2▼ リード値が0でない時、リード値をインクリメントしセルカウントメモリに書き込む。

・ EOM 到着時には、RMIDをアドレスとしてセルカウントメモリから値を読み出す。

▲1▼ リード値が0でない時、エラーフラグ(EFIL)を立てる。

▲2▼ リード値が0の時、RMIDをアドレスとしてPL長メモリからリードする。リード値とEOMの実際のペイロード長を比較し、異なる値であればエラーフラグ(EFIL)を立てる。

20

・ セルの02ワード目の試験ビットが"1" (MESH間PVC 試験セル)のものは処理対象外。

図262に、上記情報長チェックをまとめた表を示す。

(22) エラー編集 I I S

各チェックでチェックされたエラーをエラーフラグの各位置に付与する。

エラーフラグE2でフラグが立てば、EFMSのフラグを立てる。

(23) Errored L3-PDU コントロール&エンキャプセレーション S

(1) Errored L3-PDU コントロール

30

本ブロックでは、以下の2つの処理を行う。

▲1▼ L3-PDU単位のエラーメッセージ廃棄

マスタエラー(EFMS)がONのBOM または COMを受信した場合、それ以降受信した同一SNI/MID 値のCOM およびEOM は、たとえ正常なL2-PDUであっても、本ブロックでマスタエラーをONとする。図263に、上記L3-PDU単位のエラーメッセージ廃棄を説明する図を示す。

▲2▼ MRI タイムアウトEOM(疑似EOM 受信) 後に受信したメッセージの廃棄

MRI タイムアウトの場合、HMH04AのMRI タイムアウト部で疑似EOM を発生して送信する。MRI タイムアウト部以降のブロックでは、この疑似EOM を元にL3-PDU終了の処理を行う。また疑似EOM 以降に受信したセルは本ブロックで以下の処理が行われる。

40

・ COM: マスタフラグ(MS-FLAG)がonとなり以降はエラーセルとして処理される。

・ EOM: 無効セルとして廃棄される。この時、廃棄カウント数をカウントアップするための信号を出力する。

図264に、上記MRI タイムアウトEOM 後に受信したメッセージの廃棄を説明する図を示す。

上記処理▲1▼のエラーセル(マスタエラーフラグが立っている)のメッセージに対してマスタエラーフラグを立てる。

50

・ BOM到着時に、そのセルがエラーセルの場合、試験ビット+入VCI +入MID をアドレス（キー）としてエラーメモリにマスタエラー情報（以後、MS）をライト、タイムアウト情報（以後、DM）を初期化する。

エラーセルでない時は、同アドレスのMS， DMを初期化する。（図265の▲1▼および▲2▼を参照）。

・ COM 到着時に、試験ビット+入VCI +入MID をアドレスとして、メモリからMS， DMをリードする。（同▲3▼～▲7▼参照）

I. リード値のMSがエラーの場合、到着セルのマスタエラーフラグを立てる。（同▲4▼参照）

II. リード値のDMがエラーの場合、到着セルのマスタエラーフラグを立てる。（同▲5▼参照） 10

III. 到着セルがエラーセルの場合、同アドレスにMSをライトする。（同▲6▼および▲7▼参照）

・ EOM 到着時に、試験ビット+入VCI +入MID をアドレスとしてエラーメモリからMS， DMをリードする。（同▲8▼～○10参照）

I. リード値のMS， DMにエラーが無い場合、同アドレスにDMをライトする。（同▲8▼参照）

II. リード値のMSがエラーの場合、到着セルのマスタエラーフラグを立てる。また、同アドレスにDMをライトする。（同▲9▼参照）

III. リード値のDMがエラーの場合、このセルを無効セルにする。（同○10参照） 20

（2） エンキャプセレーション

処理▲2▼において、SIP L3-PDUからInter-MH inf. PDU（メッセージ・ハンドラ間インタフェース用プロトコル・データユニット）に変更（SIP BOMセルをコピーしてInter-MH BOMセルを作成）する。

・ エラー（マスタエラーフラグが立っている）セルは処理対象外

・ BOM， SSM到着時に、そのセルをバッファリングする。

・ 到着BOM， SSMをコピーし、エンキャプ BOM（Inter-MH inf 用BOM）を作成する。（ISSI ヘッダ〔ES: Explicit Selection〕とキャリアを付与）そして、エンキャプBOM セルを送出する。 30

・ 到着BOM は、セグメントタイプ（ST）をCOM にして、空きセル時に送出。

・ 到着SSM は、セグメントタイプ（ST）をEOM にして、空きセル時に送出。

・ COM， EOM到着時に

I. 同一メッセージ（RMID により判断）がバッファに残っている時、バッファ内のセルを先に送出（同一メッセージのセル順序の入替りを防止）する。

II. 同一メッセージ（RMID により判断）がバッファに残っていない時、このセルを送出。

・ バッファにセルを書き込むことが出来ない場合

▲1▼ そのセルは廃棄（無効セルとする）する。 40

▲2▼ 廃棄セル数をカウントするために、廃棄信号をセルフフレームに同期（1セルフフレーム内に1セル廃棄を示す）させてHMH06Aに通知する。

図266に、上記エンキャプセレーションをまとめた表を示す。また、図267に、Inter-MH inf用BOM に付与すべきISSIヘッダを説明する表、図268に、Inter-MH inf用BOM セルフォーマットを説明する図を示す。

（24） キャリアセレクション S

・ BOM， SSM到着時に

▲1▼ Header Extensionの第2エレメントにキャリアセレクションが無い時、ISSIヘッダのExplicit Selectionビットを"0" とする 50

S N I I Dをアドレスとしてメモリからキャリア I Dを読み出す。

このキャリア I Dを I S S I ヘッダのキャリア領域に書き込む。

▲2▼ Header Extensionの第2エレメントにキャリアセレクションがある時、I S S I ヘッダのExplicit Selectionビットを”1” とする

Header Extensionのキャリア I Dを I S S I ヘッダのキャリア領域に書く。

▲3▼ エラー（マスタエラーフラグが立っている）セルは処理対象外。

・ C O M, E O Mは処理対象外。

図 2 6 9 に、上記キャリアセレクションを説明する図を示す。

10

(25) ルーティング S

ルート情報を検索し、出 V C I （着 M H I D） を付与する。

・ B O M 到着時に、

I. グループアドレス（G A）の場合（D A のアドレスタイプが G A（1 1 1 0）の時）、局内の全 S B M H / G W M H へのブロードキャストを行う。

▲1▼ セルの02ワード目のBC領域にブロードキャストの指定を行う。また、V C I 領域に a l l “ 0 ” をライトする。

▲2▼ R M I Dをアドレスとして、ルーティング情報メモリにセルの02ワード目のBCと出 V C I をライトする。

I I. 個別アドレス（I A）の場合（D A のアドレスタイプが I A（1 1 0 0）の時）、D Aをマッチデータとして局内、局内局番、局外局番ルーティングテーブルに同時にリードする。但し、マッチ優先順位は、局内、局内局番、局外局番テーブルの順とする。

20

▲1▼ 局内ルーティングテーブルにおいてマッチが取れた時、S B M H指定 V C I の付与を行う。

・マッチアドレスをアドレスとして局内電番用 V C I 付与テーブルから出 V C I をリードし、セルの02ワード目の V C I 領域にライトする。また、BC領域にブロードキャストの指定を行う。

・ R M I D をアドレスとして、ルーティング情報メモリにセルの02ワード目のBCと出 V C I をライトする。

30

・ I S S I キャリア領域を a l l ‘ 0 ’ にする。

▲2▼ 局内局番テーブルにおいてマッチが取れた時、全 S B M Hへブロードキャストを行う。

・セルの02ワード目のBC領域にブロードキャストの指定を行う。また、V C I 領域に a l l ‘ 0 ’ をライトする。

・ R M I Dをアドレスとして、ルーティング情報メモリにセルの02ワード目のBCと出 V C I をライトする。

・ I S S I c a r r i e 領域を a l l 0 にする。

▲3▼ 局外局番テーブルにおいてマッチが取れた時には、G W M H指定 V C I の付与を行う。

40

・マッチアドレスをアドレスとして局外局番用 V C I 付与テーブルから出 V C I をリードし、セルの02ワード目の V C I 領域にライトする。また、BC領域にブロードキャストの指定を行う。

・ R M I Dをアドレスとして、ルーティング情報メモリにセルの02ワード目のBCと出 V C I をライトする。

▲4▼ 3つのルーティングテーブルでマッチが取れない時、L A T A内の全 G W M Hへブロードキャストを行う。

・セルの02ワード目のBC領域にブロードキャストの指定を行う。また、V C I 領域に a l l ‘ 0 ’ をライトする。

・ R M I Dをアドレスとして、ルーティング情報メモリにセルの02ワード目のBCと出

50

V C I をライトする。

・ C O M, E O M は、 R M I D をアドレスとして、ルーティング情報メモリからルート情報をリードし、セルの 0 2 ワード目の B C 領域、 V C I 領域にライトする。

図 2 7 0 に、上記ルーティングをまとめた表、図 2 7 1 に、上記ルーティングを説明する図を示す。

(26) キャリアクリーニング S

各 S M I 毎に指定されたキャリアへの発信規制をかける。

B O M, S S M 到着時に、 I S S I ヘッダの S M I I D + c a r r i e r をデータとして、キャリアスクリーニング C A M によりマッチの検出を行う。この時、マッチが検出された場合、 I S S I キャリア領域をクリア (a l l ` 0 ') するとともにエラーフ
ラグ (E F E B) を立てる。図 2 7 2 に、上記キャリアクリーニングおよびキャリアの状
態を説明する図を示す。

10

(27) G A コピー S

ブロードキャストセルを実装 M H に転送するために、実装 M H の数だけのセルのコピーと出 V C I の付与を行う

・セル到着時に、セルの 0 2 ワード目の B C 領域 (1 2, 1 3 ビット目) を見て、図 2 7 3 に示す条件に従って転送先 M H を決定する。

・ B O M 到着時の処理

▲ 1 ▼ バッファに空き領域がある時 (バッファ ≠ F u l l)

I F I F O ライト N G メモリに 0 を書き込み、バッファにセルを書き込む。

20

I I バッファからセルを読み出し、 B C 領域の指定でコピーメモリに書き込む。

I I I 出 V C I を付与し、さらに C P 領域に 0 を書き込んで送出する。 B C 領域が 0 0 の場合は、何も処理しないでそのまま送出する。

I V B C 領域に 1 が立って (2 b i t のうちのいずれか) いれば、バッファからのセルのリードを停止して、 M H I D は実装 / 未実装メモリのアドレス (アドレス 0 0 ~ I F が S B M H, 4 0 ~ 5 F を G W M H) に対応しており、コピーメモリをリード (セルをコピー) してアドレスの順番に出 V C I を付与する。

V コピーセルの場合は、 C P 領域に 1 を書き込む。

▲ 2 ▼ バッファに空き領域がない時 (バッファ = F u l l)

I そのセルは廃棄 (無効セルとする) する。

30

I I 廃棄セル数をカウントする (μ - P バスに直付けのデュアルポート R A M に書き込む)

I I I F I F O ライト N G メモリに 1 を書き込む。

・ C O M / E O M 到着時の処理

▲ 1 ▼ バッファに空き領域がある時 (バッファ ≠ F u l l)

I F I F O ライト N G メモリをリードし、 0 ならばバッファにセルを書き込む。

I I バッファからセルをリードし、 B C 領域の指定でコピーメモリに書き込む。

I I I 出 V C I を付与し、さらに C P 領域に 0 を書き込んで送出する。 B C 領域が 0 0 の場合は、何も処理しないでそのまま送出する。

I V B C 領域に 1 が立って (2 ビットのうちのいずれか) いれば、バッファからセルの
リードを停止して、 M H I D は実装 / 未実装メモリのアドレス (アドレス 0 0 ~ I
F を S N M H, 4 0 ~ 5 F を G W M H) に対応しており、コピーメモリをリード (セル
をコピー) してアドレスの順番に出 V C I を付与する。

40

V コピーセルの場合は、 C P 領域に 1 を書き込む。

▲ 2 ▼ バッファに空き領域がない時 (バッファ = F u l l) および、 F I F O ライト N G メモリ = 1

I そのセルは廃棄 (無効セルとする) する。

I I 廃棄セル数をカウントする。 (μ - P バスに直付けのデュアルポート R A M に書き込み)

I I I F I F O ライト N G メモリに 1 を書き込む。

50

・エラーセル（マスタエラーフラグが立ったもの）の場合の処理

▲1▼ BC領域が00の時は、何も処理しないでそのまま送出する。

▲2▼ BC領域に1が立って（2ビットのいずれか）の時は、

BOM以降がエラーセルの場合、出VCI付与のみ行いそのまま送出する。

COM/ EOM以降がエラーセルの場合、同一メッセージの最初のエラーセルのみCV領域に1をライトして通常のコピー動作を行うが、2番目以降のエラーセルはCV領域に0をライトして出VCI付与のみ行いそのまま送出する。

図274に、GAコピーを説明する図、図275に、ブロードキャスト後のセルフフォーマット、図276に、GAコピー処理フローチャートを示す。

（28）出力帯域制限 S

転送MH（32SBMH/32GWMH）毎に、出力（ピークレート）の制限を行う。バッファに空き領域が無いことによって廃棄されたメッセージ数のカウントを行う。図277に、上記出力帯域制限を説明する図を示す。

（29）出MID獲得 S

転送先MH毎にMID（異なるメッセージハンドラMHに対しては、同一MIDが存在する場合がある）を割り付ける。1つのMHIDに対して最大256個のMIDが設定できる。但し、MESH#0は0～255，MESH#1は256～511，MESH#2は512～755，MESH#3は756/1023を設定し、MESHIDの区別はファームウェアにより判定する。

・BOM到着時の処理

▲1▼ MHIDに対する獲得可能MID数≠0の時（次読出カウンタ≠次書込カウンタ）

次読出カウンタ+MHIDをアドレスとして、MID管理テーブルからMIDを読み出す。

セルのMHID+RMIDをアドレスとて、MID変換メモリにMIDを書き込む。

リードされたMIDをセルの3ワード目（LSB10ビット）に書き込む。

次読み出しカウンタ（0～255）をインクリメントする。

RMID+MHIDをアドレスとして、MID変換メモリのフラグ（1ビット）に1を書き込む。

▲2▼ MHIDに対する獲得可能MID数=0の時（次読出カウンタ=次書込カウンタ）

マスタエラーフラグ（EIMS）とエラーフラグ（E2MN）を立てる。

・COM到着時の処理

セルのMHID+RMIDをアドレスとして、MID変換メモリからMID+フラグを読み出す。

▲1▼ フラグリード値=1なら、リードされたMIDをセルの3ワード目（LSB10ビット）に書き込む。

▲2▼ フラグリード値=0ならマスタエラーフラグ（E1MS+E1MN）を立てる。

・EOM到着時に

セルのMHID+RMIDをアドレスとして、MID変換メモリからMID+フラグを読み出す。

▲1▼ フラグリード値=1なら、リードされたMIDをセルの3ワード目（LSB10ビット）に書き込む。

次のMID開放動作を行う。

次書き込みカウンタ+MHIDをアドレスとして、このMIDをMID管理テーブルに書き込む。

次書き込みカウンタ（0～255）をインクリメントする。

▲2▼ フラグリード値=0ならマスタエラーフラグ（E1MS+E1MN）を立てる。

10

20

30

40

50

てる。

・エラーセル（マスタエラーフラグ（MS）が立っているもの）は処理対象外。
但し、COM/EOM 到着時に、MID 変換メモリのフラグ＝1 の場合、MID 開放動作を行う。

図278に、上記出MID 獲得処理を説明する図、図279に、MID 獲得処理のフローチャートを示す。

（30） 廃棄カウント S

- ・ VC-SH LSI での廃棄セル数のカウントをする。
- ・ VC-HS LSI での廃棄メッセージ数のカウントをする。
- ・ GAコピー部での廃棄セル数のカウントをする。
- ・ エンキャプセレーション処理部での廃棄セル数のカウントをする。

10

（31） SN付与 S

BOM は、SNに対して1減算した値を付与する。

COM, EOMは、何も処理しない。

（32） エラーセル廃棄 S

エラーフラグのMS（Master Error）がNGのセルを廃棄する。

（33） VPI/VCI 付与 S

セル01ワード目（MSB側4ビット、LSB側4ビット）を0（H）、02ワード目（MSB側4ビット）を3（H）の値を付与する。

（34） μP インタフェース S

HLP02AよりMNG μp とのインタフェースを行う。

20

（35） タイミング S

HLP02Aより受信した19M クロックとセルフフレームを基に、9Mクロックとセルフフレームを作成する。

以上、SMLPの各ブロックについて詳細に説明してきたが、参考までに図280および図281に、SMLPテーブル一覧を示す。

4. RMLP

4.1 処理概要

メッセージ内の相手先アドレス（DA：Destination Address）を参照し、自分のRMLPに収容される加入者へのメッセージのみをフィルタリング（取込む）する。さらに、着信加入者へのルートを検索し、着信ラインへのVCI をセルヘッダへ書き込みSWへと送出する。

30

4.2 構成

RMLPの全体構成を図282に示す。また、図282の各ブロックの機能概要を図283および図284に示す。（項番と図中の01～23は対応する）

4.2.1 PVC試験

PVC 試験時の試験セルのルートを図285～図287に示す。図285はSNI 折り返しテスト、図286はMH間（特定DA使用）テスト、そして、図287はMH間（割付済DA使用）テストを示す。

4.2.2 MSCN

RMLP の MSCN を図288に示す。

40

4.2.3 MSD

RMLPのMSD を図289に示す。

4.2.4 各機能ブロックとエラーフラグの対応

RMLPの各機能ブロック毎に操作するエラーフラグ（EF）を図290の表に示す。また、同図の表中に機能ブロックが動作する条件も示す。

表の見方

－ 縦軸は機能ブロックを示す

－ 横軸はEF（EF1, EF2）とPVC 試験の状態を示す。

－ 項目内は、上段、下段に分かれており、上段は、機能ブロックのチェックによりNG

50

になるEFを示し、NGの場合は`ON'と記述してあるEFを制御する。一方、下段は、機能ブロックを動作（チェックの場合はチェック）させるかどうか、もしくはチェック結果をEFに反映させるかどうかの条件とする。

4. 2. 5 RMLP と L P C O M のデータインタフェース

RMLPとLP-COMのデータインタフェース、およびセルのフォーマットを図291～図295に示す。以下に、図291～図295のセルフォーマットの詳細について説明する。

I S T : I n t e r - M H インタフェースフォーマットのS T（セグメント・タイプ）

D M : H M H 0 0 A の D A - C T L L S I でのマッチ結果（1：マッチ、0：アンマッチ） 10

出M I D : 出M I D の下位5ビットのコピー

R D A : 0 0 ワード目のD. C. と出M I D ' を併せたエリアがR D A である。I n t e r - M H インタフェースフォーマットのD A に対するD A - I D が入る。H M H 0 0 A の D A C T L L S I で付与され、H M H 0 2 A の出M I D 獲得後にD. C. と出M I D ' に変更される。

入V C I : M D X から入力されたV C I のL S B 8ビットで発信MH番号を示す。1 5 - 1 2 はM S B の4ビット、0 3 - 0 0 はL S B の4ビット

B R L C : 着S N I が属するB R L C N o.（アンビリカルリンクI D）が入る。着S N I がH O S T S W のときは、0 20

出V C I : 着S N I を示す。試験セルでは、M S B 1ビットは1とする。

P T : ペイロードタイプ（処理部では、処理を行わない）

C L P : セルロスプライオリティ（処理部では、処理を行わない）

S S T : S I P のセグメントタイプ。エンキャプセレーションしたものは、I S T と同じ値が入る。

S N : シーケンス番号、処理部からP M 部／課金部へ元の値が送られる。

出M I D : メッセージ識別子

▲1▼ H M H 0 1 A のR M I D 獲得でV C I とM I D を縮退したR M I D が付与される。

▲2▼ H M H 0 2 A の出M I D 獲得で出M I D に変更される。 30

P L : S I P のP L が入る。

C R C : 課金部に対しては、付け替え後のP L が入る。

4. 3 H M H 0 0 A

H M H 0 0 A の機能ブロック図を図296に示す。また、図296に示す各ブロックの機能概要をまとめた表を図297に示す。

4. 3. 1 交絡セレクト R

M H - C O M からのデータを選択して処理部へと導く。

（1）機能概要

図298に交絡セレクトRの機能ブロック図を示し、図299に各ブロック機能概要をまとめた表を示す。 40

4. 3. 1 - 1, 2, 3 系交絡

H M H 0 0 A は、R M L P の入口となるため、他系R M L P との交絡を持つ。B. W. B より自系M D X からのデータを内部へ取り込むと同時にフロントコネクタB から他系に出力する。また、フロントコネクタA から他系のデータを取り込む。（図300）

4. 3. 1 - 4 3 9 M H z F I F O

自系、他系から非同期で取り込まれたデータを、V 1 D M X L S I を使用し、同一のクロック、C F で読み出すことにより、自系、他系の同期をとる。読み出しのC F はタイミングジェネレータR で生成されたものを使用する。（図301）

4. 3. 1 - 5 交絡データセレクト

F I F O から出力された自系、他系のデータを、S W A C T によりA C T 側をセレクト 50

トする。セレクトはセルフフレーム単位で行う。(図302)

4. 3. 1-7 アドレスフィルタ R Inf.

アドレスフィルタ R では、DACTL LSIを使用しているためCSPC-AD LSIを使用して、39M/16bit パラレル信号を、13M/48bit パラレル信号に変換する。また、CSPC-AD LSIでは、パリティにイネーブルを含んでいないためパリティの付け替えを行う。

(2) MSCN ポイント

図303に、交絡セレクト部に関するMSCNポイントを示す。極性は、`H`で障害とし、疑似障害も`H`で疑似障害とする。尚、表の項番(▲1▼~▲4▼)は図298に対応する。

10

4. 3. 2 タイミングジェネレータ

自系のHLP02Aよりクロック及びフレームパルスを受信し、RMLP内部で使用するクロックとセルフフレームの生成を行う。

(1) 機能概要

図304にタイミングジェネレータRの機能ブロック図を示し、それら各ブロックの機能概要をまとめた表を、図305に示す。

4. 3. 2-1 39MHz CF ジェネレータ

VI DMUX 読出CFは、home(自系)、mate(他系)から同じセルを読み出せるタイミングが必要である。読出CFが、home、mate書き込みCFの間にあると、1セルずれたセルを読み出してしまうことになる。そこで、生成したCFの前後6τの間に書き込みCF(home、mate)が来ると読出CFを9τ遅らせ、V1 DMUXへhome、mate共に書き込まれた後に読出CFとする。図306に、上記動作を説明する図を示す。

20

(2) MSCNポイント

図307にタイミングジェネレータRに関するMSCNポイントを示す。極性はすべて`H`で障害とし、疑似障害も`H`で疑似障害とする。尚、表の項番(▲1▼~▲3▼)は図304に対応する。

4. 3. 3 アドレスフィルタ R

自RMLPで処理すべきセルかどうかの判断を行い、155Mの処理部へと導く。

(1) 機能概要

30

図308にアドレスフィルタRの機能ブロック図を示し、図308の各ブロックの機能をまとめた表を図309に示す。

4. 3. 3-1 DA マッチャ

BOM, SSM到着時に、セルのDAとテーブル内部データとのマッチをとり、マッチ信号とマッチアドレスを出力するとともに、マッチしたセルを取り込み、タグ部にマッチ情報とマッチアドレスを付与する。COM, EOM到着時には動作しない。

4. 3. 3-2 VCI/MID マッチャ

DAマッチャでマッチしたBOMのVCI/MIDを利用してCOM, EOMをフィルタリングし、自MESHに対するメッセージのセルのみ取り込む。

4. 3. 3-3 イネーブルコントロール

40

DAマッチャ、VCI/MID マッチャでマッチしなかったセルと、TCG テストセルに対しイネーブルを無効にする。イネーブルを変換したデータに対しパリティの付け替えを行う。

図310に、VCI/MID マッチャ条件をまとめた表を示す。

(2) MSCNポイント

図311に、アドレスフィルタRに関するMSCNポイントを示す。極性はすべて`H`で障害とし、疑似障害も`H`で疑似障害とする。尚、表の項番(▲1▼~▲5▼)は図308に対応する

4. 4 HMH01A

HMH01Aの機能ブロック図を、図312に示す。また、図312の各ブロックの機

50

能概要を図 3 1 3 に示す。

4. 4. 1 試験セル多重 R, 9 M G R

回線側が空きセル時に、H L P 0 2 A からの試験セルを多重して処理部へと導く。また、H L P 0 2 A よりの 1 9 M C K と F P を元に、9 M C K を作成する。

(1) 機能概要

図 3 1 4 に、試験セル多重 R, 9 M G R の機能ブロック図およびその機能概要をまとめた表を示す。

(2) M S C N ポイント

図 3 1 5 に、試験セル多重 R, 9 M G R に関する M S C N ポイントを示す。極性はすべて `H` で障害とし、疑似障害も `H` で疑似障害とする。尚、表の項番号 (10
▲ 1 ▼, ▲ 2 ▼, ▲ 3 ▼) は図 3 1 4 に対応する。

4. 4. 2 M I D チェック R

セルデータに対して M I D チェックを行う。

(1) 機能概要

図 3 1 6 に、M I D チェック R の機能ブロック図およびそれら各ブロックの機能概要をまとめた表を示す。

(2) M I D チェック

本 M I D チェック R において、セグメントタイプ、D M, R A M 情報に基づいて、図 3 1 7 に示す処理を行う。

(3) エラーフラグ

本 M I D チェック R において、エラーを検出した場合は、セグメントタイプに従って、それぞれ図 3 1 8 に示すようにエラーフラグを `L` にする。ただし、テストセル (S N I 折り返し) は対象外である。

(4) M S C N ポイント

図 3 1 9 に、M I D チェック R 部に関する M S C N ポイントを示す。極性は全て `H` で障害とし、疑似障害も `H` で障害とする。尚、表の項番号 (▲ 1 ▼, ▲ 2 ▼) は図 3 1 6 に対応する。尚、S N チェック、エンキャプセレーションとメモリを共用している為、本 M S C N ポイントは S N チェック及びエンキャプセレーションと共用する。

4. 4. 3 S N チェック R

セルデータに対して S N チェックを行う。

(1) 機能概要

図 3 2 0 に、S N チェック R の機能ブロック図およびそれら各ブロックの機能概要をまとめた表を示す。尚、本処理部は、M I D チェック及びエンキャプセレーションと同時に処理を行う。

(2) エラーフラグ

本 S N チェック R において、エラーを検出した場合は、セグメントタイプに従って、それぞれ図 3 2 1 に示すようなエラーフラグを `L` にする。ただし、テストセル (S N I 折り返し) は対象外である。

(3) M S C N ポイント

図 3 2 2 に、S N チェック R 部に関する M S C N ポイントを示す。極性はすべて `H` で障害とし、疑似障害も `H` で障害とする。尚、本 M S C N ポイントは M I D チェック及びエンキャプセレーションと共用する。また、表の項番号 ▲ 1 ▼ は図 3 2 0 に対応する。

4. 4. 4 エンキャプセレーション R

I n t e r - M H i n f . P D U (メッセージハンドラ M H 間インタフェース・プロトコル・データ・ユニット) から S I P i n f . P D U (S I P インタフェース・プロトコル・データ・ユニット) を取り出しセグメントタイプ S T を変更する。

(1) 機能概要

図 3 2 3 に、エンキャプセレーション R の機能ブロックおよびそれら各ブロックの機能 50

概要をまとめた表を示す。尚、本処理部は、M I D チェック及びS Nチェックと同時に処理を行う。

(2) エラーフラグ

図324に、エンキャプセレーション部に関するエラーフラグを示す。極性はすべて`L`で障害とする。尚、テストセルは対象とする。

(3) M S C Nポイント

図325に、エンキャプセレーション部に関するM S C Nポイントを示す。極性はすべて`H`で障害とし、疑似障害も`H`で疑似障害とする。尚、表の項番▲1▼は図323に対応する。また、本M S C Nポイントは、S Nチェック及びM I D チェックと共用する。

10

4. 4. 5 エラー編集 I R

各チェックでチェックされたエラーをエラーフラグの各位置に付与する。

(1) 機能概要

図326に、エラー編集 I R の機能ブロック図およびそのブロックの機能概要を示す。

4. 4. 6 R M I D 獲得 R

V C I / M I D より内部処理用に圧縮する。

(1) 機能概要

図327に、R M I D 獲得 R の機能ブロック図を示し、図327の各ブロックの機能概要をまとめた表を図328に示す。

20

(2) エラーフラグ

図329に、R M I D 獲得 R 部に関するエラーフラグを示す。極性はすべて`L`で障害とする。

4. 4. 7 M R I タイムアウトチェック R

H M H 0 0 Aより受信したメッセージのM R I タイムアウトを判別する。

(1) 機能概要

図330に、M R I タイムアウトチェック R の機能ブロック図を示し、図330の各ブロックの機能概要をまとめた表を図331に示す。

(2) 機能詳細説明

1. セルのS T判別

30

M I D 圧縮のS T獲得部と共用する為、S T獲得部参照

2. セルカウンタ

全セルをカウントするモードと、有効セルだけカウントするモードの2種類のカウント方法がある。本モードの切り換えはM S D において行う。

M R I T E M : アドレス0218 , ビット03, 0 : 全セルカウント, 1 : 有効セルだけカウント

3. 空きパターン作成

M I D 圧縮の空きパターン部と共用する為、空きパターン部参照

4. M R I T I M E (A M D C A M)

▲1▼ B O M 時にセルカウンタから現時刻を書き込む

40

▲2▼ C O M , E O M時に書き込まれた時刻と現時刻とを比較する。

▲3▼ マッチなら、タイムアウトパターン作成からタイムアウトパターンをもらい書き込む。

▲4▼ アンマッチで、かつE O M ならば、空きパターン作成より空きパターンをもらう。

5. タイムアウトパターン作成

M R I T I M Eのマッチ信号よりタイムアウトパターンをM R I T I M Eに出力する。

6. T Oセル送出

無効セル時にタイムアウトセル(T Oセル)を作成し、送出する。T Oセルのヘッダフォ

50

ーマットを図332に示す。

なお、タイムアウトパターンでマッチしたアドレスが、RMIDを示している。GAコピー部で本RMIDを元に着SNIDを付与して送出する。従って、同図の「着SNID」は、正確には送出時「D. C. : Don't care」であり、GAコピー部より送出時に「着SNID」が付与される。

(3) エラーフラグ

図333に、MRI タイムアウトチェック部に関するエラーフラグを示す。極性はすべて「L」で障害とする。

4. 4. 8 GA コピー

GAで入力されたセルを、各加入者に出力する。

10

(1) 機能概要

図334に、GAコピーRの機能ブロック図を示し、図334の各ブロックの機能概要をまとめた表を図335に示す。

(2) エラーフラグ

図336に、GAコピー部に関するエラーフラグを示す。極性はすべて「L」で疑似障害とする。

(3) MSCNポイント

図337に、GAコピー部に関するMSCNポイントを示す。極性はすべて「H」で障害とし、疑似障害も「H」で疑似障害とする。尚、表の項番(▲1▼～▲5▼)は図334に対応する。

20

4. 4. 9 SNI 利用可能 R

SIPのDT障害、またはその他の受信不可能のときにセルを廃棄する。

(1) 機能概要

図338に、SNI 利用可能 Rの機能ブロック図およびそのブロックの機能概要を示す。

(2) エラーフラグ

本SNI 利用可能 Rにおいて、エラーを検出した場合は、セグメントタイプに従って、それぞれ図339に示すようなエラーフラグを「L」にする。尚、Inter-MH COM, EOM 及び着SNIDの最上位ビットが「1」ならチェック対象外。但し、エラーセルは対象とする。

30

(3) MSCNポイント

図340に、SNI 利用可能 R部に関するMSCNポイントを示す。極性は全て「H」で障害とし、疑似障害も「H」で疑似障害とする。

4. 4. 10 エラー編集 II R

各チェックでチェックされたエラーをエラーフラグの各位置に付与する。

(1) 機能概要

図341に、エラー編集II R機能ブロック図およびそのブロックの機能概要を説明する表を示す。

4. 4. 11 SAチェック R

GAメッセージに対して、自己への折り返しセルをはじく。

40

(1) 機能概要

図342に、SAチェックRの機能ブロック図およびそのブロックの機能概要を示す。

(2) エラーフラグ

本SAチェックRにおいて、エラーを検出した場合は、セグメントタイプに従って、それぞれ図343に示すようなエラーフラグを「L」にする。ただし、Inter-MH COM, Inter-MH COMはD. C.。着SNIDの最上位ビットが「1」ならチェック対象外。すでにEFMS(マスタフラグ)が立っているセルならチェック対象外。

(3) MSCNポイント

図344に、SAチェック部に関するMSCNポイントを示す。極性はすべて「H」で

50

障害とし、疑似障害も`H`で疑似障害とする。尚、表の項番（▲1▼，▲2▼）は図342に対応する。

4.5 HMH04A

HMH04Aは、RMLPにとっては、SAスクリーニングRの機能のみを実現する。9MGS、μPインタフェースSについてはSMLPと共通であるので、ここではその説明を省略する。

4.5.1 SAスクリーニングR

・機能概要

着SNIへの着信規制を行う。着信規制の方法としては2種類がある。

▲1▼ 登録アドレス（IA）からの着信を規制する。（SC属性=1）

10

▲2▼ 登録アドレス（IA）以外からの着信を規制する。（SC属性=0）

本着信規制の方法はSC属性メモリに示されている。

・BOM、SSM到着時の処理

▲1▼ SC属性メモリ（SMLPのDAスクリーニングと共用）のIAに対する属性をリードする。

▲2▼ SAをマッチデータとして、SAスクリーニングCAM（SMLPで使用しているDAスクリーニングCAMと物理的には同じLSI）でマッチを取る。

SC属性とのマッチ状況を示す図345の表を参照し、エラーであると判断すれば、エラーフラグ（EFS）を`L`にする。

・COM、EOMは処理対象外

20

・着SNI-IDの最上位ビット（02ワード目のビット11）が1の場合、MESH-MH間のPVC試験セルであるので、処理対象外である。

4.6 HMH02A

HMH02Aは、SBMESH-RMLP部における帯域制御及びメッセージ送出数の制限を行う。図346に、HMH02Aの全体構成を表すブロック図を示す。

4.6.1 構成概要

図347に、HMH02Aの機能ブロック図を示す。同図において、横方向の接続は主にハイウェイHWデータ系を表し、縦方向の接続は、主に制御データ及び制御信号を示す。

4.6.2 機能概要

図348に、図347に示した各ブロックの機能をまとめた表を示す。

30

4.6.3 インタフェースI/F概要

図349に、HMH02AのインタフェースI/F状況を示す。横方向の接続は、主にHWデータ系を表し、縦方向の接続は、主に制御データ及び制御信号を示す。

4.6.4 詳細説明

前述の概要に沿って機能詳細を順次記述する。

4.6.4.1 メッセージ制御

図350に、メッセージ制御の内容をまとめた表を示す。

（1）同時送出数制限

SNI毎に受信したメッセージを管理し、同時に送出するメッセージの数（SNI毎のMID数の対応する）を制御する。制限数を越えるメッセージと、エラーを含むセルはHWより分離する。

40

図351に、上記同時送出数制限部の詳細ブロック図を示す。

同時送出数制限部は、メッセージ送出数と制限数の比較結果を元に送出管理を行う。メッセージが到着した時点において、送出数が制限数を下回る場合は、そのメッセージは送出可能となり送出数に加算を行う。一方、送出数が制限数と既に同数の場合は、到着したメッセージは送出不可とする。送出不可となった最初のメッセージについては、バッファリング（バッファリングについては、後述する）を行う。それ以外の送出不可なメッセージは、エラーフラグをセットして無効メッセージとして扱い、同時送出数制限以降の処理は行わない。同時送出制限数としては、1個または16個を規定する。

（1）-1 送出数管理

50

送出数は、S N I 毎に管理を行う。図 3 5 2 に、特定 S N I に対する送出数管理を説明する表を示す。

(1) - 2 エラーセル分離

通過するセルのエラーフラグを監視し、エラーを持つセルは無効セルとして扱い、同時送出数制限以降の処理部に渡さないよう、処理の流れから分離を行う。また、無効セルが発見された場合、そのセルが属するメッセージもその時点から無効メッセージとして扱う。エラーを持つセルは、最終的に、エラーの種別による統計を取り、分析を行う為に L P - C O M 部に向け送信される。

(1) - 3 バッファリングコントロール

バッファリング可能なメッセージに属するセルを識別し、セルメモリに対してアクセスするとともに、そのセル数を管理し、メッセージ単位でのバッファリングコントロールを行う。 10

バッファリングは、同時送出不可でありセルメモリが未使用である場合に限り行われる。バッファリングはメッセージ単位で行うが、実際に到着する時は様々なメッセージがセル単位で混在してくる為、セル単位の制御が必要となる。

バッファリング可・不可についての判断は、I B O M 通過時に行い、バッファリング可能と判断された場合それを登録する。後続のセル群は自分の属するメッセージの登録状況を検索し、それに従う。

▲ 1 ▼ メッセージライトコントロール

到着したセルがバッファリング可能なメッセージに属する場合、セルメモリに対し書き込みを行う。また、セルメッセージに書き込んだセルの個数は、S N I 毎に集計し、メッセージ毎に管理する。 20

▲ 2 ▼ メッセージリードコントロール

バッファリングされたメッセージは、その着 S N I への同時送出数が制限数を下回った時に、バッファリード可能と判断される。バッファリード可能と判断されたメッセージは、セルメモリよりセル単位での読み出しを行い、空きセルが通過するタイミングで送出される。また、その時メモリから読み出したセルの個数の集計も ▲ 1 ▼ 同様に行い、リードカウントとし管理する。

上記 ▲ 1 ▼ と ▲ 2 ▼ との比較により、メッセージの状況を監視する。そして、▲ 2 ▼ が小さい時はセルメモリにセルが残存することを示し、同数であればそれは読み出しが終了したことを示す。 30

図 3 5 3 に、バッファリング管理を説明する概念図を示す。

(2) 出 M I D 獲得

R M I D は、H M H 0 1 A 内部にて、S N I と組み合わせることによって圧縮された M I D である為、これをそのまま M D X 部に送ることは出来ない。したがって、R M I D を元に出 M I D を獲得し置き換える。M I D は、同一 V C I (S N I) に対して転送される異なる複数種類のメッセージを識別する為のものであり、この M I D を用いることによって、セル単位でもメッセージ別の識別も可能となる。図 3 5 4 に、出 M I D 獲得部のブロック図を示す。

出 M I D 獲得は、図 3 5 5 に示すように、I B O M 到着時にその I B O M の V C I と R M I D を元に行われる。到着した I B O M セルの V C I をキーとして、出 M I D 獲得テーブル(図 3 5 4 に示すメモリ)を参照する。ここで、上記 I B O M セルの V C I は、特定の S N I を示している。そして、上記 I B O M セルの V C I に対応する S N I を持つデータのアドレスに所定の固定データを加えて出 M I D とする。さらに、そのアドレスの斜線領域に R M I D の書き込みを行うことによりメッセージの登録とする。このメッセージの登録をもって「出 M I D の獲得」と呼ぶ。 40

上記 I B O M の後続のセル群は、上記 I B O M の「出 M I D 獲得」処理において書き込まれた V C I / R M I D を、自己の持つ V C I / R M I D をキーとして検索し、その結果得られたアドレスに所定の固定データを加えて出 M I D とする。すなわち、I B O M の後続のセル群では、I B O M 到着時に作成した出 M I D 獲得テーブルを利用することに 50

より、自己の持つV C I / R M I Dをキーとしてそのテーブルを検索するだけで、出M I D を得ることができる。

I E O Mまたはエラーセルが到着した場合は、「出M I D の獲得」処理において上記出M I D 獲得テーブルに書き込まれたR M I Dを削除することによって獲得されたM I Dを解放する。

(3) エグレス流量制限

エグレス流量制限部は、受信したメッセージをS N I 毎に分類し、予め規定された帯域に基づいた出力帯域制御を行う。

帯域制御は、セル送出の時間間隔を管理・制御して行う。これは送出するセルとセルとの間隔を小さく採ればセル流量は増加し、反対に間隔を大きく採れば流量は減少する、というA T M の基本概念に基づいた方式である。

10

具体的には、帯域により規定されているタイムパラメータを基にセル送出の時間間隔制御を行い、また、その時間情報を各S N I 対応のタイムテーブルに常時記録・管理することにより実現している。帯域制御の為のパラメータは、加入者の契約帯域に基づいて生成され、S B M E S H内部ではL P - C O M部のH L P O 2 Aに搭載されているμ P 部によりテーブル操作及び設定など一括管理される。図3 5 6に、エグレス流量制限部のブロック図を示す。

(4) 廃棄カウンタ

「エグレス流量制限」による帯域制御によって廃棄されたセルのカウントを行い、またP M部(H L M O 1 A)にその情報を送る。

20

カウンタはR A M による2面構成のメモリを持ち、H L M O 1 Aからのデータ要求に対して片面を開放、残りの一方で廃棄カウントを行う。R A M の面切り換えは、H L M O 1 AからのR A M C H G信号により制御される。図3 5 7に、廃棄カウンタ部のブロック図を示す。

(5) C R C - 1 0 生成

C R C - 1 0 生成部は、データの正常性と品質保証の為、セルペイロード部をC R C による管理対象とする。C R C - 1 0を生成付加することにより、1ビットエラーの判定及び修復、複数ビットエラー発生の判別が可能となる。図3 5 8に、C R C - 1 0生成部のブロック図を示す。また、図3 5 9に、C R C - 1 0生成部が生成する C R C - 1 0 の多項式、およびセル内における C R C - 1 0 多項式の格納位置を示す。

30

4. 6. 4. 2 クロック生成部

マスタクロックを受信し、それを基にR M L P内部におけるハイウェイH Wデータ処理及び外部I / F の為の9 M H z . クロックを生成する。

マスタクロックは、S B M E S H内部クロックをシステムとして統一し、また、同種クロックの複数伝送により、B W B 等の資質を無駄に浪費することを防ぐ目的を持ち、H L P O 2 Aより分配をうける。また、作成するクロックの立ち上がり、立ち下がり等を一律とする為、同期用のフレームパルス(F P)も同様に分配される。マスタクロックを基に作成する9 M H z クロックは、F Pにより位相の同期を行い、その後は自走体制に入る。

(F P による同期は常時受け付ける) 図3 6 0に、クロック生成部のブロック図を示す。また、図3 6 1に、クロック生成方法を説明する図を示す。

40

4. 6. 4. 3 μ P I / F

H L P O 2 Aに設けられたμ P 部より各種アドレス、データ帯制御信号等の受信とデータの送信を行い、内部の各機能の制御並びに管理等を行う。図3 6 2に、μ P I / F の内容を示す。

5. M H - C O M 部

5. 1 概要

M H - C O M 部は、以下の機能を有する。

- ▲ 1 ▼ A T M スイッチより流入して来るデータをD M U XしてL P 部へ与える。
- ▲ 2 ▼ L P 部からのデータをM U X してA T M スイッチへ送出する。
- ▲ 3 ▼ L A P によるシグナリングの終端を行う。

50

MH-COM部は、ATM スイッチの系にくくりつけの二重化構成であり、系間にはシグナリング及びVCC コピー用の交絡を持つ。MH-COM部は、図363に示した4枚のPWCBよりなる。各PWCBの機能は、同図に示す通りである。

5.2 RDMX/SMUX機能(HMX10A)

図204に示したように、SBMESHは、ATM スイッチ(ASSW)のサイド0, サイド1の両方に接続されている。そして、物理的には、ASSW up 側サイド0とSBMESH間、及びASSW down 側サイド0とSBMESH間とは同一ケーブルを用いている。本ケーブルは、HMX10A PWCB のA-connn. に接続される。(B-connn. からは、イモズル接続のためのケーブルが伸びる)

図204に示すように、本ケーブルを通るデータは以下の2つである。

- ・ SBMESHのS 側、すなわち、SMLP部からASSWに向かうもの
- ・ ASSWよりSBMESHのR 側、すなわち、RMLP部に向かうもの

よって、HMX10Aは、以下の機能を有する。

- ・ SMLP→ASSW方向のデータの多重化機能(SMUX 機能)
- ・ ASSW→RMLP方向のデータの分解機能(RDMX 機能)

図364に、HMX10Aのブロック図を示す。また、図365及び図366に、上記HMX10Aの監視項目を示す。

実際のRDMX機能は、グループアドレスGAのブロードキャストを考えると、タグ情報による分解ではなく、着信先アドレスDAによるRMLP部への「引き込み」を行う。よって、HMX10Aには、真の意味の多重化機能はなく、その機能は、RMLP部で行われる。HMX10Aは、ASSWからのデータをRMLP部へ中継する。なお、図中のDMUX LSIはテストセル用である。

5.3 SDMX/RMUX機能(HMX11A)

図204に示したように、SBMESHはATM スイッチ(ASSW)のサイド0, サイド1の両方に接続されており、物理的にはASSW up 側サイド1とSBMESH間、及びASSW down 側サイド1とSBMESH間とは同一ケーブルを用いている。

本ケーブルはHMX11A PWCB のA-connn. に接続される。(B-connn. からは、イモズル接続のためのケーブルが伸びる。)

図204に示したように、本ケーブルを通るデータは以下の2つである。

- ・ SBMESHのR 側、すなわち、RMLP部からASSWに向かうもの
- ・ ASSWからSBMESHのS 側、すなわち、SMLP部に向かうもの

よって、HMX11Aは、以下の機能を有する。

- ・ RMLP→ASSW方向のデータの多重化機能(RMUX 機能)
- ・ ASSW→SMLP方向のデータの分解機能(SDMX 機能)

また、HMX11Aは、LAP によるシグナリングデータの多重化機能、分解機能も有する。

図367にHMX11Aのブロック図を示す。また、図368～図370にHMX11Aの監視項目を示す。

HMX11A PWCBの分解機能は、HMX10Aのそれとは違い、タグ情報によるものである。よって、テストセルのみならず、SMLP部へ渡すデータも図367に示すDMUX LSIで抽出する。

5.4 VCC 機能/テストセル多重化機能/スケジュール機能(HMX12A)

5.4.1 VCC 機能

図371にHMX12AのVCC 機能を中心としたブロック図、図372にHMX12Aのスケジューラ機能を中心としたブロック図を示す。また、図373～図375に、HMX12Aの障害処理に関する監視項目を示す。

SMLP, RMLP部からのセルデータとTCG セルのヘッダ部の変換を行う。ヘッダ変換は、図371に示すVCIP-LSI(SMLP 側VCIP, RMLP側VCIP)で行う。

10

20

30

40

50

VCC 値の設定は、LAP によって、BSGCからHSF05A経由でVCIPLSIのRAMに書き込むことによって行う。VCIPLSIはヘッダ部の情報を読み取り、さらに上記RAMに書き込まれている情報に従ってヘッダ値に変換を行う。

5. 4. 2 テストセル多重化機能

SMLPからのデータセルと、HMX10AからのTCGセルとを多重化するSEL-N1-LSI、および、RMLPからのデータセルと、HMX11AからのTCGセルを多重化するSEL-N1-LSIがある。SEL-N1-LSIでは、SMLP/RMLPからのセルの場合はそのまま多重化を行うが、TCGセルの場合はヘッダ部の情報を読み取り、TCGセルであることが認識されると多重化を行う。

5. 4. 3 スケジュール機能 (multiplex-LSI制御)

HMX10A、HMX11A内に設けられているmultiplex-LSIの多重化制御を行う。

スケジューラの機能は、HMX12AのLCA内部にあり、HMX10Aの多重化機能を制御するLCA、HMX11Aの多重化機能を制御するLCAの2個のLCAがある。

LCAの機能(スケジューラ機能)は、ASSWの高速ハイウェイHWに串刺しの状態で各MUX-LSIからの書き込み通知信号を元に、各MUX-LSIに読み出し許可信号を送出する。

HMX12Aは、その前面にコネクタを4個有するが、その内2個はシグナリングデータの系間交絡用で、残りの2個はスケジューラ機能用信号のイモヅル接続用である。

5. 5 LAP 終端・始端クロック分配 (HSF05A)

5. 5. 1 LAP 終端・始端

図376に、HSF05Aの機能ブロック図を示す。また、図377に上記HSF05Aの障害処理に関する監視項目を示す。

BSGC経由でLAPによって転送されてくるシグナリングセルを、図376に示すEGCLADにて終端を行い、μPにてシグナリングデータの処理をする。処理内容としては、MSCNの収集、MSDの設定、LSIの設定・監視、VCCコピー、障害の監視等を行う。また、MH-COM内/外で起こった障害などの情報を通知する。

(1) MSCN/MSD

MSCNは、各パッケージPKG単位で別れており、CK/CF、パリティ、OBPの電圧異常、ヒューズ監視やその他の監視の為の機能である。また、MSDは、MSCNのチェックポイントに疑似障害をかける。

(2) LSI の設定・通知

LAP 経由でμPを用いてLSIの設定を行う。また、エラー監視、セル廃棄等の監視を行う。

(3) VCC コピー

VCC コピーは、OUS だった系をINSにする際に、現在アクティブ系である側のVCC情報を、次にアクティブ系となる系にコピーする機能である。

(4) 他系通信

SICにて、VCCコピーの開始/終了等の情報や障害情報等を他系に通知する機能である。

5. 5. 2 クロック分配

HSF05Aでは、SYNSHからソースクロックを受信し、64KHzをMH-COM内とLP-COMで使用する。また、MH-COMでは、155.52MHzを生成し、そのクロックにて各種タイミング信号を生成する。図378に、SBMESHのクロック系統図を示す。

6. プロトコル・パフォーマンス・モニタ

6. 1 概要

SBMESHでは、レイヤ2のL2-PDU、レイヤ3のL3-PDUに対するプロトコル・パフォーマンス監視を行う。本プロトコル・パフォーマンス・モニタは、概ねベル

10

20

30

40

50

・コミュニケーション・リサーチ社発行のTR-TSV-000774 Issue 1, (以下、単にTR-774と記す)に準拠する。

本プロトコル・パフォーマンス・モニタ機能は上述したHLM01Aにて実現する。なお、HLM01Aは、後述するデータ・コレクション機能も行う。

図379にHLM01Aの機能ブロック図を示す。また、図380および図381に上記HLM01Aの各ブロックの機能概略を示す。さらに、図382および図383に上記HLM01Aにおいて行われるチェック一覧を示す。なお、図382および図383に示した「チェック名」は、図379に示した名称に対応する。

上記チェックの結果は、図379に示されるMSCNレジスタに書き込まれ、HLP02Aへ通知される。また、上述していない以下の項目の結果も、MSCNレジスタに書き込まれる。すなわち、

- ・ 初期設定中
- ・ LCA コンフィギュレーション中
- ・ 交絡ケーブル抜け
- ・ mate系フューズアラーム
- ・ mate系HLP02Aのウォッチドッグ・タイマのタイムアウト

図382および図383において、チェック名=PCc よりも下段に示したチェックでは、各項目毎に記載した条件を満たしていない場合にはチェックを行わない。また、有効セルでない場合にも、チェックを行わない。

6. 2 レイヤ2・プロトコル・パフォーマンス・モニタ

SBMESHでは、以下の各レイヤ2のパラメータについてのプロトコル・パフォーマンス・モニタを行う。

- (1) ペイロードCRC violation
- (2) ペイロード長エラー
- (3) 無効シーケンス・ナンバー
- (4) MID カレントリー・アクティブ
- (5) 無効 MIDを有するBOMs / SSMs
- (6) 未承認 MIDを有するEOMs

SBMESHのHLM01Aにおいて、SMLP部からのエラー通知（その詳細は後述する）を受信すると、上記(1)～(6)の各パラメータについて、入力SNI 毎に Sum-of-Errors アルゴリズムを適用したレイヤ2・プロトコル・パフォーマンス・モニタを行う。Sum-of-Errors アルゴリズムのための閾値は、加入者データの一部としてソフトウェアよりSNI 毎に設定する。

TR-774では上記閾値を $1 \sim (2^{2^2} - 1)$ の間で可変であることと規定している。SBMESHのHLM01Aにおいては、加入者データの一部としてソフトウェアによって、上記閾値を $(2^X - 1)$ のに含まれるものとしてとらえ、ソフトウェアによって設定される8桁の値は、 $(2^X - 1)$ の指数部Xをバイナリで表す。

Sum-of-Errors アルゴリズムにおけるカウント値と上記閾値との比較は、ハードウェア自律で行い、カウント値が閾値を超過した場合は、ファームウェアに対してフラグとして通知する。ファームウェアは、このフラグを定期的に監視しており、オン状態を検出するとソフトウェアへ通知する。そして、ソフトウェアはこれにより通知を受信すると、TCA を発生する。

TR-774では、Sum-of-Errors アルゴリズムの一環として、カレント15分カウンタ(Current 15-minute counter)を1個、プレビウス15分レジスタ(Previous 15-minute register)を32個用意する様に規定している。

SBMESHでは、15分カウンタを2個用意し、面切替えを行う。ソフトウェアは面切替え指示後、15分以内にその時のプレビウス15分レジスタに対応する側の15分カウンタからカウント値を吸い上げ記憶する。すなわち、TR-774の32個のプレビウス15分レジスタをソフトウェアが用意する。

10

20

30

40

50

TR-774では、上記(1)～(6)のパラメータについての各々のエラーカウン
トも規定している。具体的には、Sum-of-Errors アルゴリズムと同様に、
各パラメータについてのカレント15分カウンタ1個、プレビウス15分レジスタ32個
の用意を規定している。

これに対して、SBMESHでは、上述したケースと同様に、15分カウンタを2個用意
し、面切替えで使用し、TR-774の32個のプレビウス15分レジスタをソフトウェ
アが用意する。

カウンタ、レジスタの桁数についての規定は、SBMESHでは、Sum-of-Err
ors アルゴリズムとして要求されているそれらの桁数に準拠する。

TR-774では、上記(1)のペイロードCRC violation とHCS violation 10
を同一カウンタでカウントし、プレビウス15分レジスタも両パラ
メータで共用する様に規定している。SBMESHでは、上記(1)のペイロードCR
C violation はSBMESN自身がチェックし、HCS violation はDT側でチェックする。また、SBMESHでは、上記(3)無効シーケンスナ
ンバー、および(4)MID カレントリ・アクティブの各パラメータについては、R
MLP部からのエラー通知(その詳細は後述する)を受けて各々カウントする。(R
MLP部においては、上記の各チェックを行い、エラー検出時には廃棄するので、一応カ
ウントを行う。尚、各カウンタの桁数はやはりSum-of-Errors アルゴリズム
として要求されているものに準拠する。)

上記カウント動作は、errored L2-PDUを送出してきたMH毎に行う。この 20
場合もSBMESHでは、15分カウンタを2個用意し、面切替えで使用する。

6.3 レイヤ3・プロトコル・パフォーマンス・モニタ

SBMESHでは、以下の各レイヤ3のパラメータについてのプロトコル・パフォーマ
ンス・モニタを行う。

- (1) 無効 BA サイズ・フィールド値
- (2) 無効 HELフィールド値
- (3) 無効ヘッダ・イクステンション・バージョン・エレメント
- (4) 無効ヘッダ・イクステンション・キャリア・セレクション・エレメント
- (5) B E t a g ミスマッチ
- (6) B A s i z eフィールドとL e n g t hフィールドとの不一致 30
- (7) インコレクト・レンクス
- (8) M R I タイムアウト
- (9) 無効 DA タイプ
- (10) 無効 SA タイプ
- (11) オリジナルSNI に付与された無効 DA

SBMESHのHLM01Aにおいて、SMLP部からのエラー通知(詳細は後述する)
を受信すると、上記(1)～(8)の各パラメータについて、入力SNI 毎にSu
m-of-Errorsアルゴリズム、Bursty Errorアルゴリズムを適用し
たレイヤ3のプロトコル・パフォーマンス・モニタを行う。

Sum-of-Errors アルゴリズム用の閾値は、レイヤ2の場合と同様に加入者 40
データの一部としてソフトウェアよりSNI 毎に設定する。また、エラー通知のカウン
ト値が上記閾値を越えたことをソフトウェアに通知手法としてファームウェアを介するこ
ともレイヤ2で説明した通りである。また、レイヤ3においても、レイヤ2の場合と同様
に、SBMESHは15分カウンタを2個用意し、面切替えで使用する。また、TR-7
74の32個のプレビウス15分レジスタをソフトウェアが用意する。

上記(1)～(8)の各パラメータに関するエラー発生時のログの内容としては、以
下のものがある。

- (a) エラー検出の日時(年、月、日、時、分、秒)
- (b) SNI
- (c) 送信元アドレス

(d) 着信先アドレス（アドレスタイプを含む）

(e) 発生した特殊状態

ハードウェアでは、ログ対象エラーが発生すると、(b) ～ (e) をログレジスタへ設定する。firmwareは、該レジスタよりログ内容を読み出し、ソフトウェアへ通知する。(a) の内容はハードウェアよりfirmwareに対しては渡さない。これらは、firmwareが(a) 以外のログ内容を取り込んだ時に、firmwareが管理している時間情報を付与する。ただし、ソフトウェアへの通知内容には年・月・日は含まれていない。これらについては、ソフトウェアが管理する。また、SBMESHでは、ログの検索機能をソフトウェアで実現する。

Bursty Errorアルゴリズム用の閾値も、レイヤ2の場合と同様に加入者データの一部分としてソフトウェアよりSBMESN-Aへ送られてくるが、これらはSNI毎に設定する必要はなく、firmwareが蓄積・管理する。

TR-774では、この閾値は1～100の間で可変と規定されているが、SBMESHでは、これをソフトウェアによってバイナリ8桁で指定する。また、Bursty Errorアルゴリズムで使用するNi, Nbも加入者データの一部分としてソフトウェアより送られてくるが、これらはSNI毎に設定する。

TR-774によれば、Ni, Nbは $1 \sim (2^{2^2} - 1)$ の間で可変と規定されているが、これを 2^x のバリエーションとしてとらえ、SBMESHでは、ソフトウェアより指定された8桁が上式の指数部X をバイナリで表すものとして扱う。

尚、TR-774ではNi, Nb共にSSNE毎に設定できれば良いとの規定ではあるが、上述の様にSNI毎に（同じ値を）設定する。

Bursty Errorアルゴリズムの詳細はTR-774を参照のこと。簡単に言うと、

- ・ L3-PDUをNi個受信すると、インターバル・カウンタをインクリメントする
 - ・ その時、その間で受信したerrored L3-PDUの個数がNb個以上の場合は、バッド・インターバル・カウンタをインクリメントする。
 - ・ 15分毎に、バッド・インターバル・カウンタとインターバル・カウンタのそれとの比を求め、それが閾値を超過していた場合はTCA を発生する。
- というものである。

以上の手順において、上記2つのカウンタのインクリメントは、ハードウェア自律で行う。ファームウェアは15分毎の比率計算を行い、その比が閾値を超過していた場合、ソフトウェアへ通知する。ソフトウェアは、TCA 発生を行う。

TR-774では、バッド・インターバル、インターバル、およびそれらの比について、それぞれ1個のカレント15分カウンタを設け、さらにバッド・インターバル、インターバルについては、それぞれ32個のプレビアス15分レジスタを用意することを要求している。SBMESHでは、バッド・インターバル、インターバルについては、それぞれ15分カウンタを2個ずつ用意し、それぞれ面切替えて使用する。また、Sum-of-Errors アルゴリズム同様に、SBMESHでは、32個のプレビアス15分レジスタをソフトウェアが用意する。また、上記比をカウントするためのカレント15分カウンタは存在しない。

TR-774では、前記(9) ～ (11)のパラメータについては各々のエラーカウンタを規定している。上記カウンタおよびレジスタの構成は、Sum-of-Errors アルゴリズムと同様である。

SBMESHでは、上記(10)のMRI タイムアウトについては、RMLP部からのエラー通知（詳細は後述する）を受けてカウントする。（RMLP 部においては上記チェックを行い、エラー検出時には廃棄するので、一応カウントを行う。桁数は、Sum-of-Errors アルゴリズムとして要求されているものに準拠する）。本カウントは、発MH毎に行われる。SBMESHでは、15分カウンタを2個用意し、面切替えて使用する。

6. 4 Ingress部におけるプロトコル・パフォーマンス・モニタ

6. 4. 1 処理方式

TR-774を元に、Ingress 部（イングレス部）におけるチェック項目、NG 検出時のアクション、チェック処理手順をまとめたものを図384に示す。ただし、SBMESHに係わる項目を追加してある。

「群」としてはパラメータのグループ分けを示しており、アルファベット順に各パラメータをチェックする。例えば、A 群に属するパラメータのチェックでNGを検出した場合は、B 群以降の各パラメータに対するチェック（NG 検出時のアクションを含む）は不要とする。同一群内に複数パラメータがある場合は、そのパラメータ間でのチェック順は自由で良い。

「No」については後述する。

10

A 群のMRI タイムアウトは、NGの時のカウント、ログを含む。

O 群はSBMESH独自仕様である。

MID Assigned ErrorはSBMESH内部処理におけるエラーであり、End User Blocking はキャリアスクリーニングエラーである。

TR-774に規定されている無効BASIZEフィールド、無効ヘッダイクステンション・エレメント・レンクスが示されているが、上表には示していない。

B ～D 群に属する各パラメータは、DT部でチェックするので、SBMESHでは、チェック対象外である。

L 群2項、M群4～6項の各パラメータは、NDC（ネットワーク・データ・コレクション）であり、トラフィック測定に関するものであるので、プロトコル・パフォーマンス・モニタには関係しない。（ただし、Noは付与する。これについて後述する）

20

J 群、K群 2項、3項の各パラメータはSMLP側でチェックを行わない。よって、エラー通知されることはないが、本PWCBでは、エラーカウントを行う領域は確保してある。

本処理を行うのは、前述の様に、HLM01Aであるが、これも前述の様にIngress 部にける各種チェックのエラー通知はSMLP部より受信する。

HLM01Aは、この他に、SMLP部からデータ、セルフフレーム、イネーブルの信号を受信する。それらの各信号のタイムチャートを図385に、各信号の説明を図386にそれぞれ示す。

図385に示したように、データは16ビットパラレルのセルフフォーマットでSMLP部より入力してくる。交換機（SBMESHを含む）内では、1セル＝54オクテットのイメージで扱っているので、入力データの1セルは 9M クロックで27τの長さとなる。

30

1セルは、ATM ヘッダに相当する部分3τ（この部分のフォーマットはSBMESHの内部フォーマットであり、一般的なATM ヘッダフォーマットとは、完全には合致しない。図示した様に、本部の中に該セルの送出元SNI を示す部分（発SNI ID）が含まれている。）とその他24τからなる。尚、図385に示したセルの内容は、該セルがSIP-BOM であった場合の例である。

図379のST識別ブロックにおけるセルセグメントタイプの識別方法を、図387に示す。このように、図385に示したSST とIST に格納されている値の組み合わせにより、セグメントタイプSTを識別することができる。

40

同図において、Inter-BOM は、SMLP部においてハーフエンキャプセレーション処理を行い増えたBOM である。但し、本処理はエラーセルであった場合には行われない。したがって、Inter-BOM を受信することはない。その場合のSIP-BOM , SIP-SSM のIST は、それぞれ‘1 0’ ‘1 1’ となる。

図379のエラー解析ブロックにおけるエラーの判別方法を下記に示す。

図385では、9M クロックの上に括弧で括って0～26までの数字を示している。これは、上記の様に、1セル＝27τであるが、あるセルの1τ目に0が対応し、以降1ずつインクリメントし、27τ目に26が対応する。

50

これらの数が、図384に示した各種チェック項目の「No」に対応する。すなわち、エラー通知信号(2) によるエラー種別の通知方法であるが、図385では括弧の中の数字の6に対応する部分でエラー通知信号が「L」、すなわちエラーであるとの例を示している。

図384の「No 6」 に対応するのは、無効シーケンスナンバーである。すなわち、本例は、SMLP部での各種チェックの結果、該セルが上記エラーを有することを示している。尚、本信号は括弧の中の数字の26に対応する部分では、そのセル内のエラーの有無にかかわらず常に「L」となる。これはエラー通知用ではなく本信号のスタック監視用である。エラー通知信号としては、0は未使用である。

上記の方法でエラー種別を判定する。ただし有効セルの場合のみである。尚、SMLP部では1セルの中に複数個のエラーがある場合は、その分のエラー通知を全て行う。ただし、図384は、チェック処理順にチェック項目を並べ、その順に「No」を付与したので、本ブロックではエラー通知信号が最初に「L」となったものに対応するエラーのみの処理を行う。

図379に示すSA/DA 蓄積RAM であるが、有効Inter-BOM(エラーセルでハーフエンキャプセレーションしない場合は、SIP-BOM もしくはSIP-SSM)が流入してきた場合は、該セル内部にあるSA, DAを蓄積する。SA, DAの蓄積の理由を以下に示す。

レイヤ3プロトコル・パフォーマンス・モニタの対象パラメータは、前述した6.3章の冒頭に示してある11項目であるが、この中の(1) ～(8) についてはエラー検出時のログが要求されている。SA, DA は、Inter-BOM(SIP-BOM, SIP-SSMにも同じものが入っている) に含まれるので、エラーが、SIP-BOM, SIP-SSMで生じた場合は特に蓄積の必要は無いが、例えば、Betag ミスマッチエラー等の場合は、そのエラーはEOM 受信時点で判明するで、当該L3-PDUのInter-BOM 内にあるSA, DAを蓄積しておく。

SA, DAの蓄積方法であるが、L3-PDUの識別は、セル内の発SN I IDと入M I D との組み合わせ(RM I Dに対応する)により行う。よって、(発SN I ID + M I D) をアドレス(キー)としRAM に保持する。但し、図385に示した様に、発SN I ID フィールドは6ビットであるが、各SBMESHが収容するSN I 数は32であるので、該フィールドは下位5ビットのみ使用し、入M I D フィールド用の10ビットと、合わせて計15ビットすなわち、 2^{15} のアドレスを有するRAM を使用する。

図384のG 群については、そのセルがSIP-BOM であればM I D カレントリ・アクティブとして、EOM であれば未承認 M I Dとして別にカウントする。

MR I タイムアウトは、EOM セルがSMLP部へ届かずにタイムアウトするというエラーを検出することであるが、その時はSMLP部にて疑似EOM セルを生成し、該セルと共にMR I タイムアウトを示すエラー通知を行う。該疑似EOM セル内の発SN I I D, 入M I D は、後述する理由により対応するBOM のそれと同じものである。

エラー解析ブロックにおいて、当該項目のエラーと判定した場合は、それぞれプロトコル・パフォーマンス・モニタとしての処理は中断する。また、ログを要するエラーであれば、ログ内容をレジスタ(図379のIngress LOG-Reg.)に格納する。

図385の「試」は、このセルがMESH-MH 間PVC 試験用セルであるか否かを表すフィールドであり、そのフィールドの値が「1」であった場合は、Ingress プロトコル・パフォーマンス・モニタに関する処理を一切行わない。

図385の「CP」は、SMLP部でGAコピー処理が実行された際にコピーされたセルであることを表す。このフィールドの値が「1」であった場合もIngress プロトコル・パフォーマンス・モニタに関する処理を一切行わない。

図379に示す各カウンタは、カウント値を(SN I 毎、エラー種別毎等に)RAMに格納し、必要なカウント値を読み出してカウントアップし、またRAM に格納することで

実現する。該RAM はデュアルポートRAM を使用する。また、該RAM の内部を大きくは2面に区分し、片面をハードウェア側アクセスのカレント・カウンタとして使用し、もう片面をファームウェア側アクセスのプレビウスレジスタとして使用する。ただし、その面割り付けは、RAM アドレスに固定したものとせず、15分毎にファームウェアからの面切替え指示により入れ替わる。上記RAMであるが、図379に示すように、それぞれL2/3 Sum of Err. カウント値用、L2/3 個別Err. カウント値用、L3 Bursty Err. カウント値用のチップが設けられている。

該RAM のハードウェア側からのアクセスを制御するのが、図379の各RAM & カウンタ制御ブロックである。また、該RAM のクリアはハードウェア自律で行う（例えば、パワーオン時等）。

10

実際にあるセルでエラーがあった場合の処理（カウントアップ等）は、次のセル受信中に行う。これは、例えばEnd User Blocking の場合は、そのエラー種別が確定するのが、そのセルのほとんど末尾であるからである。図388に、エラー発生時の処理を説明するタイムチャートを示す。

前述したように、各種カウント値はRAM に格納されている。カウントアップのためには、該RAM からのカウント値の読み出し、外部でのカウントアップした後に再度該RAM への格納する。

レイヤ3 Bursty Err. 処理では、最悪PDU カウント、Errored PDU カウント、無効カウント、バッド・インターバル・カウントの4値についてのアクセスがある。これらはシリアルに行われる。

20

カウントアップは、Errored PDU カウント以下は条件付けカウントアップであり、条件が整わない時はカウントアップは行わない。レイヤ3 Bursty Err. 処理に限らないが、カウント値がハードが用意しているカウンタのMax. 値に到達した場合は、以降のカウント動作を行わない。

6. 4. 2 処理詳細

▲1▼ L2/3 Sum of Err. カウント

L2/3 Sum of Err. に関するエラーが通知された場合は、

(1) カウント値格納RAM よりカウント値を読み出してカウントアップ（+1）を行う。また、この動作と同時に、スレッシュールドRAM より閾値を読み出す。

(2) 上記(1) でカウントアップしたカウント値と閾値とを比較し、その結果がカウント値>閾値の場合はErr. flag-Reg. のフラグをオンとし、ファームウェアに通知する。

30

(3) カウントアップしたカウント値をRAM に格納する。

カウント値は24ビットであるが、RAM へのリード／ライトは8ビットずつ3回に分けて行う。カウントアップ、閾値比較、flag-on は発SNI 単位に行う。

6. 4. 1章で前述したように、上記(1) においてカウント値がMax であった場合にはカウントアップ（+1）を行わない。また、閾値の読み出し時にパリティチェックを行い、カウント値格納時にパリティ生成を行い、さらにカウント値の読み出し時にパリティチェックを行う。

図389に、閾値とカウント値のアクセスのタイミングを説明するタイムチャート示す。

40

▲2▼ L2/3 個別エラーカウント

個別にカウントすべきエラーが通知されたときには、以下の処理を行う。

(1) カウント値格納RAM からカウント値を読み出し、カウントアップ（+1）を行う。

(2) カウントアップしたカウント値をRAM に格納する。

図390にL2/3 個別エラーカウント処理を説明するタイムチャートを示す。

▲3▼ レイヤ3 Bursty Err. 関連

レイヤ3 Bursty Err. に関するエラーが通知された場合は、以下の処理を行う。

(1) カウント値格納RAM よりErrored-PDU カウント値を読み出し

50

、カウントアップ（+1）を行う。

（2）カウントアップした `Errorred-PDU` カウント値を `RAM` に格納する。
一方、`SIP-BOM`、`SSM`を受信した場合は、以下の処理を行う。

（1） カウント値格納 `RAM` より `PDU` カウント値、`Errorred-PDU` カウント値、インターバル・カウント値、バッド・インターバル・カウント値を読み出し、`PDU` カウントのみをカウントアップ（+1）すると同時に、`Ni`、`Nb`格納 `RAM` より `Ni`、`Nb`を読み出す。

（2） 上記（1） でカウントアップした `PDU` カウントと `Ni` とを比較し、その結果が `PDU` カウント値 = `Ni` の場合は、

（a） 上記（1） で読み出したインターバル・カウント値をカウントアップ（+1） 10
する。

（b） `Errorred-PDU` カウント値と `Nb` とを比較し、`Errorred-PDU` カウント値 $\geq$ `Nb` の場合のみ上記（1） で読み出したバッド・インターバル・カウント値をカウントアップする。

（c） `PDU` カウント値、`Errorred-PDU` カウント値をクリアし（all 0）、`RAM` に格納する。（a） でカウントアップしたインターバルカウント値を `RAM` に格納し、（b） でカウントアップした場合のみバッド・インターバル・カウント値を `RAM` に格納する。

上記（2） の結果が `PDU` カウント値 = `Ni` でなかった場合は、（1） でカウントアップした `PDU` カウント値のみを `RAM` に格納する。 20

各カウントアップ、`Ni`/`Nb` 比較は、発 `SNI` 単位に行う。`Ni`、`Nb` 読み出し時にパリティチェックを行い、各カウント値格納時にパリティ生成を行い、各カウント値の読み出し時にパリティチェックを行う。

図391に、レイヤ3 `Bursty Err.` 処理を説明するタイムチャートを示す。
前述の `Errorred-PDU` のカウントは、1つの `L3-PDU` に対して複数のエラーがあっても1回カウントを行うが、`SMLP`からはエラーがある度にエラー通知を行う。これに対しては、発 `SNI` + `MID` をアドレス（キー）とする `RAM`（`E-PDU flag RAM`）に `Bursty`エラー（バーストエラー）に関連するエラーがあった場合には、`1` を書き込む。また、`EOM` を受信した時に `RAM` を読み、`1` であった場合のみ `Errorred-PDU` をカウントアップする。 30

図392に、`E-PDU flag RAM`へのアクセス方法を示す。

6. 5 `Egress` 部におけるプロトコルパフォーマンス・モニタ

6. 5. 1 処理方式

`TR-774`を元に、`Egress`部におけるチェック項目、`NG`検出時のアクション、チェック処理手順をまとめたものを、図393に示す。なお、同図には、`TR-774`に対して `SBMESH`の独自使用を追記してある。

「群」、「`No.`」については、図384と同様の使用法である。また、群の分類およびその配置は、`E`、`F`については `TR-774`に従い、その他は図384と同じである。

`B`群、`G`群の各パラメータは `RMLP`側でチェックを行わない。よってエラー通知される 40
ことはないが、本 `PWCB`ではエラーカウントを行う領域は確保してある。

本処理を行うのも、前述の様に `HLM01A PWCB` であるが、これも前述の様に `Egress`部における各種チェックのエラー通知は `RMLP`部より受信する。

`HLM01A`は `PMLP`部よりこの他にデータ、セルフフレーム、イネーブルの信号を受信するが、それらの各信号のタイムチャートを図394に、各信号の説明を図395にそれぞれ示す。（`Ingress`部におけるプロトコル・パフォーマンス・モニタのために `SMLP`部より受信する各信号と同等である。）

`Egress`部での処理は、基本的に前述した `Ingress` 部におけるプロトコル・パフォーマンス・モニタのために `SMLP`部より受信する各信号と同等である。

`ATM` ヘッダに相当する部分 3 π のフォーマットは、`SBMESH`の内部フォーマッ 50

トであり、一般的なA T M ヘッダフォーマットとは完全には合致しない。同図に示すように、該セルは該セルの送出元M Hを示すフィールド（ 発M H I D）と着信先のS N Iを示すフィールド（ 着S N I I D）を有している。尚、図3 9 4に示すセルはS I P-B O Mの例である。

M R I タイムアウトの場合のエラー通知方法もI n g r e s s 部におけるそれと同等であり、R M L P部にて疑似E O M セルを生成し、該セルと共にM R I タイムアウトとあるエラー通知を行う。また、該疑似E O M セル内の着S N I I Dは対応B O Mのそれと同じものである。

図3 9 6に、図3 7 9のS T識別ブロックにおけるセルのセグメントタイプの識別方法を示す。このように、図3 9 4に示したI S T とS S T との組み合わせによりセルのセグメントタイプを識別することができる。

10

その他の図3 7 9に示す各ブロックについては、I n g r e s s 部におけるそれらと同等の機能を有し、同等の動作を行う。

図3 9 4の1 1 1目のデータ1 5の「試」はM E S H-M H 間 P V C試験用セルであるか否かを表すフィールドである。S N I-S B M E S H間 P V C試験用セル又はM E S H-M H 間 P V C試験用セルであった場合は、E g r e s sプロトコルP e r f o r m a n c e M o n i t o r に関する全ての処理を行わない。

6. 5. 2 処理詳細

基本的に、イングレス部での処理を同じであるので、ここでは、L 2 / 3 個別E r r . カウント処理のタイムチャートを図3 9 7に示すにとどめる。

20

7. ネットワーク・データ・コレクション

7. 1 概要

S B M E S Hでは、L 2-P D U, L 3-P D Uに対するデータ・コレクションを行う。本データ・コレクションは、概ねT R-7 7 4に準拠する。また、本データ・コレクション機能は、H L M O 1 Aにて実現する。

7. 2 ネットワーク・データ・コレクション・パラメータ

S B M E S Hでは、以下の各パラメータについて、S N I 毎に、ネットワーク・データ・コレクションを行う。

(1) T o t a l o r i g i n a t i n g i n d i v i d u a l l y a d d r e s s e d L 3 P D U s

30

(2) T o t a l T e r m i n a t i n g i n d i v i d u a l l y a d d r e s s e d L 3 P D U s

(3) T o t a l o r i g i n a t i n g L 2 P D U s

(4) T o t a l T e r m i n a t i n g L 2 P D U s

(5) T o t a l o r i g i n a t i n g g r o u p a d d r e s s e d L 3 P D U s

(6) T o t a l T e r m i n a t i n g g r o u p a d d r e s s e d L 3 P D U s

(7) A c c e s s C l a s s V i o l a t i o n s に起因する廃棄L 3 P D U s

40

(8) I n g r e s s 部における、データユニット数が所定最大値を越えたことに起因する廃棄L 3 P D U s

(9) E g r e s s 部における、データユニット数が所定最大値を越えたことに起因する廃棄L 3 P D U s

(10) S A スクリーニングV i o l a t i o n s に起因する廃棄L 3 P D U s

(11) D A スクリーニングV i o l a t i o n s に起因する廃棄L 3 P D U s

(12) 発S N I にS Aが割り当てられていないことに起因する廃棄L 3 P D U s

(13) 着S N I U n a v a i l a b l e に起因する廃棄L 3 P D U s

上記(1) ~ (6) は、各L 2, L 3 P D U数のカウントであり、廃棄されたL 3 P D U数も含みカウントする。(7) 以降は各種要因により廃棄されたL 3 P D U

50

数のカウントである。

TR-774においては、L3 PDU数のカウントについては、以下を要求する。

Total originating (terminating) L3 PDUs 数

Total originating (terminating) group addressed L3 PDUs 数

これに対して、SBMESHでは、以下を計数し、ソフトウェアが下記両者の加算を行って、「全数」を導く。

Total originating (terminating) individually addressed L3 PDUs 数

Total originating (terminating) group addressed L3 PDUs 数 10

SBMESHのHLMOLAにおいて、SMLP部、もしくはRMLP部からのエラー通知を受けると、前記(1)～(13)の各パラメータについてネットワーク・データ・コレクションを行う。

TR-774では、1インターバルを15分とし、少なくとも過去2インターバル期間の各種データの保持を規定している。

SBMESHでは、プロトコル・パフォーマンス・モニタの構成と同様に、15分カウンタを2個用意し、面切替えで使用する。そして、ソフトウェアは面切替え指示後、15分以内にその時のプレビウス15分レジスタに相当する15分カウンタからカウント値を吸い上げ記憶する。すなわち、少なくとも過去2インターバル期間の各種データの保持はソフトウェアが行う。 20

また、TR-774では、前記(7)～(13)の各パラメータについては、エラー発生時のログも要求している。

ログ内容としては、以下が要求されている。

- (a) 送信元アドレス
- (b) 着信先アドレス(アドレスタイプを含む)
- (c) SNI
- (d) 状態コード
- (e) エラー検出の日時(年、月、日、時、分、秒)
- (f) アドレス・スクリーニング

30

ハードウェアでは、ログ対象エラーが発生すると、上記(a)～(d)をログ・レジスタへ設定する。ファームウェアは、該レジスタからログ内容を読み出し、ソフトウェアへ通知する。(e)の内容は、ハードウェアからファームウェアに対しては渡さない。これらは、ファームウェアが、(e)，(f)以外のログ内容を取り込んだ時に、ファームウェアが管理している時間情報を付与する。ただし、ソフトウェアへの通知内容には年・月・日は含まれていない。これらについては、ソフトウェアが管理する。(f)についてはソフトウェアが付与する。また、ログ内容の各種管理機能はソフトウェアで実現する。

7. 3 Ingress部におけるネットワークデータコレクション

7. 3. 1 処理方式

40

前記のネットワーク・データ・コレクション対象のパラメータ(1)～(13)の中で、Ingress部において処理するのは(1)，(3)，(5)，(7)，(8)，(11)，(12)の7項目である。この内、(7)以降の4項目はエラーに関連するものであり、6. 4章に示したIngress部におけるプロトコル・パフォーマンス・モニタ処理におけるエラーの扱いと同等である。

(1)，(3)，(5)のL2，L3 PDU数のカウントであるが、該L2 PDU内もしくは該L3 PDU内のエラーの有無に関わらずカウントを行う。

本処理を行うのは、前述の様にHLMOLAであるが、Ingress部における各種チェックのエラー通知はSMLP部より受信する。そして、そのエラー通知は、プロトコル・パフォーマンス・モニタ処理におけるそれと兼用である。また、その処理方式もプロ 50

トコル・パフォーマンス・モニタ処理と同様である。

S B M E S Hでは、セルフフォーマットでデータを受信するので、S N I 毎のL 2 P D U数のカウントは容易であり、該L 2 P D UのS T部を解析し、S I P-S S M またはS I P-B O M の場合は、L 3 P D U数のカウントアップを行う。このとき、同時にS Aを解析して、i n d i v i d u a l l y a d d r e s s e d L 3 P D U 可否かの判定を行う。尚、既述の様にS M L P部からはh a l f e n c a p s u l a t i o nしたセルが流入するが、h a l f e n c a p s u l a t i o nすることにより増えたセルはカウント対象外である。

また、プロトコル・パフォーマンス・モニタと同様に、M E S H-M H 間 P V C 試験用セルであった場合と、G Aコピー処理によってコピーされたセルであった場合は、I n g r e s s ネットワークデータコレクションに関する全ての処理は行わない。 10

タイミング生成、S N I 識別、S A/D A 識別、エラー解析、R A M & カウンタの各ブロックとS A/D A 蓄積R A M は、プロトコル・パフォーマンス・モニタ処理におけるそれと兼用である。また、各カウンタは、プロトコル・パフォーマンス・モニタ処理におけるそれと同様である。

図398に、イングレス部におけるネットワーク・データ・コレクションの処理を説明するタイムチャートを示す。

7. 3. 2 処理詳細

h a l f e n c a p s u l a t i o nによって増えた I n t e r-B O M以外の有効セルを受信した場合は、以下の処理を行う。 20

(1) カウント値格納R A M よりL 2 P D Uカウント値を読み出し、カウントアップ(+1)を行う。

(2) カウントアップしたL 2 P D Uカウント値をR A M に格納する。

S I P-B O M もしくは、S I P-S S M を受信した場合は、以下の処理を行う。

(1) カウント値格納R A M よりL 3 P D Uカウント値を読み出し、カウントアップ(+1)を行う。その際、S A部を解析しi n d i v i d u a l l y a d d r e s s e d L 3 P D U かグループアドレスL 3 P D Uかを判別し、それぞれ個別にカウントアップする。

(2) カウントアップしたL 3 P D Uカウント値をR A M に格納する。

ネットワーク・データ・コレクションで個別にカウントすべきエラーが通知された場合は、以下の処理を行う。 30

(1) カウント値格納R A M より各エラーカウント値を読み出し、カウントアップ(+1)を行う。

(2) カウントアップした各エラーカウント値をR A M に格納する。

カウント値は32ビットであるが、R A M へのリード/ライトは16ビットずつ2回に分けて行う。カウントアップは発S N I 単位で行う。また、各カウントアップは、(1)においてカウント値がM a x であった場合は行わない。

前述したように、L 2, L 3 P D Uのカウントはエラーの有無にかかわらずカウントする。また、上記のエラーカウントはエラーがあった場合のみの処理である。カウント値格納時にパリティ生成を行い、その読み出し時にパリティチェックを行う。図399にデータ・コレクション処理を説明するタイムチャートを示す。 40

7. 4 E g r e s s 部におけるネットワークデータコレクション

7. 4. 1 処理方式

前記のネットワークデータコレクション対象パラメータ(1) ~ (13)の中でE g r e s s 部において処理するのは、(2), (4), (6), (9), (10), (13)の6項目である。この内、(9)以降の3項目はエラーに関連するものであり、6. 4章に示したE g r e s s 部におけるプロトコル・パフォーマンス・モニタ処理におけるエラーの扱いと同等である。

(2), (4), (6)のL 2, L 3 P D U数のカウントであるが、該L 2 P D U内もしくは該L 3 P D U内のエラーの有無に関わらずカウントを行う。また、本 50

処理を行うのも前述の様にHLM01A PWC B であるが、Egress部における各種チェックのエラー通知はRMLP部より受信する。

本エラー通知は、プロトコル・パフォーマンス・モニタ処理におけるそれと兼用である。また、その他の処理方式も、プロトコル・パフォーマンス・モニタ処理と同様である（プロトコル・パフォーマンス・モニタ処理は、発MH毎に行っているが、ネットワーク・データ・コレクション処理は、着SNI 毎に行う・また、ログ通知の為にエラー種別を蓄積する点異なる。）

エラー種別の蓄積の理由は以下の通りである。すなわち、前記（９），（１０），（１３）については、エラー検出時のログが要求されており、その要求の中には該エラーのエラー種別も含まれる。そして、エラー種別はInter-BOM で判別されるが、有効SA, DAはSIP-BOM 受信時点で判明するので、エラー種別を蓄積しておく必要がある。

10

SBMESHでは、セルフォーマットでデータを受信するので、SNI 毎のL2 PDU数のカウントは容易であり、該L2 PDUのST部を解析し、SIP-SSM or SIP-BOMの場合はL3 PDU数のカウントアップを行う。（同時にSA部を解析して、individually addressed L3 PDU かグループアドレスL3 PDUかの判定を行う。尚、既述の様にRMLP部からはhalf encapsulationしたセルが流入する。half encapsulationすることにより「増えた」セルはカウント対象外である。）

プロトコル・パフォーマンス・モニタと同様に、SNI-SBMESH間 PVC試験用セルであった場合、およびMESH-MH 間 PVC試験用セルであった場合は、Egressネットワークデータコレクションに関する全ての処理は行わない。

20

7. 4. 2 処理説明

着SNI 単位にカウントする以外は、Ingress 部におけるネットワークデータコレクション処理と同じである。

8. 課金機能

8. 1 概要

課金については、TR-775（ベル・コミュニケーション・リサーチ社発行）に規定があるが、SBMESHでは正常に伝送されたL3-PDUに関する課金処理のみを行う。本課金機能は、HLM00Aにて実現する。

30

8. 2 課金処理

図400に、課金部のブロック図を示す。本課金部は、RMLP部からの通知により課金処理を行う。

課金処理用としてRMLP部から課金部に流入する信号は、セルフォーマットであるが、課金処理用として流入するセルとしてはエラーを有するセルを含まない。すなわち、RMLP部はエラーを検出すると、そのセルおよびそのセルに関連するセルは課金部に対して送出不し。例えば、エラーがあったセルがL3-PDUのBOM だった場合は、そのL3-PDUの以降のCOM, EOMを課金部に対して送出不し。したがって、課金部では、流入するセルは全てエラーを持たない正常セルと見なして課金動作を行う。なお、課金部に流入するセルは全てハーフエンキャプセレーションした後のものであり、そのBOM には元のL3-PDU内にあるSAとキャリアに関連する情報が、そのEOM には元のL3-PDU内にあるデータ長に関する情報が含まれている。

40

概要に示した様に、正常L3-PDU（または、その正常L3-PDUを分解したセル）に対しての課金動作を行うが、TR-775では、以下の記録を要求している。

- (1) 着信先アドレス DA
- (2) 送信元アドレス SA
- (3) SNIアドレス
- (4) 状態コード
- (5) セグメント・カウント (L2-PDU 数)
- (6) パケット・カウント (L3-PDU数)

50

課金は着側で行う。SNI アドレスについては、着信先アドレスDAを解析すれば一意に求めることができる。したがって、ソフトウェアがDAを解析してSNI アドレスを求める。状態コードは、正常L3-PDUの課金データなのか、部分的に伝送されたL3-PDUに対するそれなのか等を示すものであるが、これも前述の様に正常L3-PDUの課金動作した行わないので一通りである。

図400に示す、L2 PDU, L3 PDU, SA, キャリア蓄積RAM に、それぞれのパラメータが蓄積される。そして、ファームウェアが上記から各種データを吸い上げてソフトウェアへ送付する。以下、図401に示すセルフォーマットを参照しながら、課金動作の概要を説明する。

課金部に対し、ハーフエンキャプセレーション後のBOM が流入すると、その中の送信元アドレス SA 64ビット, キャリア情報50ビットを、図401のSA, キャリア蓄積RAM (図401においては、I/O が個別の様に示したがこれはあくまでイメージであり、実際はI/O 共通である) に格納する。

キャリア情報50ビットとは、後述するICI Carrier ID 16 bit, Incoming Network ID 16 bit, Incoming ICI TPS ID 16 bit, IIT 2 bit のことである。

格納するための上記蓄積RAM のアドレスは、該BOM 中の着SNI ID 5 bit, MIE 5 bit を元に示す。

RMLP部からのセルフォーマットの中で、着SNI IDは8ビット分のフィールドである。しかし、各SBMESHが収容するSNI 数を最大32個と設定した場合は、そのフィールドのうちの下位5ビットのみを使用する。

課金部に対しハーフエンキャプセレーション前のBOM が流入すると、その中に格納されている64ビットの DA を9ビットに圧縮したRDA 及び「D 」ビットをSA, キャリア, RDA蓄積RAM に格納する。

DA を9ビットに圧縮する理由、「D 」ビットについては後述する。

格納するためのアドレスは、上記と同様に、該セルの中の着SNI ID, MID をキーとして決定する。

以上より、上記情報を格納するためには、 2^{10} (=1k) ×128 ビットの容量を有するRAM が必要となる。物理的には、64k ×16 bit のRAM を1個で充分であるが、RAM アクセスにおけるハードウェアを32 bit 動作させる為、64k ×16 bit のRAM を2個使用する。図402に、SA, キャリア, RDA蓄積RAM に格納されるデータを模式的に示す。

着信先アドレス DA を9ビットに圧縮したが、これは、各SNI 当たりの個別アドレス(IA)とグループアドレス(GA)を共に8個制限した場合である。すなわち、SNI を32個とすると、合計512個のアドレスを管理することになり、よって9ビットで表すことができる。

GA を考えると、複数SNI において同一 DA が定義されうる。すなわち、通常のCAM の使用法では複数マッチが生ずる可能性がある。したがって、CAM 内部を各SNI 対応の8IA+8GAの計16マッチパターンを1個のブロックとする様にブロック分割し、どのブロックでマッチ動作を行うか否かをSNI IDにて指定する。そのCAM 内部のマッチパターンは、加入者データ受信時にファームウェアが設定する。ファームウェアとのインタフェースはコマンドメモリ・レスポンスメモリ経由である。

図403に、DA 圧縮CAM のイメージを示す。DA 圧縮CAM は、図400に示すように、64ビットの着信先アドレス DA を受信して、9ビットのRDA を生成するときに利用される。ファームウェアはRDA とSNI ID, DAの対応を記憶する。流入セルに対して上記マッチパターンのどれともマッチしなかった場合は「D 」ビットというDA圧縮マッチ有無を示すビットを設け、それをDA, キャリア, RDA蓄積RAM へ格納する。そして、「D 」ビット=1(マッチ有)の時は課金処理を行い、「D 」ビット=0(マッチ無)の時は課金処理は行わない。

10

20

30

40

50

本課金部は、RDA 蓄積後はハーフエンキャプセレーション後のEOM が流入するまで動作は停止する。L2 PDU数のカウントは必要であるが、実はBOM 流入時にも(SA 等の蓄積は行うものの) L2 PDU数のカウントは行っていない。L2 PDU数のカウントについては後述する。

EOM が流入してきた場合の動作を、図404を参照しながら説明する。

まず、該EOM 中に含まれるL3-PDUのデータ長情報「レングス」からL2 PDU数を求める。「レングス」とL2 PDU数とは一意に対応している。したがって、課金部にEOM が流入すると、そのEOM に格納されているレングスを図400に示したように、レングスアドレスとして出力する。同図では、レングス16 bitをROM アドレスとして与えているが、レングスの最大値が分かっている場合には、その最大値 10
に従って適当な数のビット数を用いればよい。また、このレングスアドレスには、正常性チェックのためにパリティを付与し、ROM からのリード時にチェックを行えるようにしている。

上記動作と並列に、該EOM の着SNI IDとMID をアドレスとして、予め(該EOMに相当するBOM 流入時等に) SA, キャリア・RDA 蓄積RAM に格納しておいたSA, キャリア, RDAをリードする。

まず、64ビットの送信元アドレスSAを、図400に示すSA圧縮CAM にて圧縮する。ここは256個のマッチパターンを管理するので、圧縮後のSA(RSA) は8ビットである。

尚、SA, キャリア圧縮CAM にデータを入力する時にはセルフフォーマットにする必要 20
がある。このセル化は、図400に示すCLFMが実行する。そして、SA, キャリア圧縮CAM において、8ビットのRSA と50ビットのキャリアからなる合計58ビットを更に圧縮する。ここでは、256マッチパターンを管理するので圧縮後のSA, キャリア(RSAC)は8ビットとなる。以上のSA圧縮CAM, SA, キャリア圧縮CAM はハードウェア自律の動作を行う。

具体的には、入力SA, キャリアパターンと内部に保持しているマッチパターンとのマッチングを行い、マッチした場合はそのレジスタ番号をRSA, RSAC として出力し、マッチしなかった場合は空きレジスタに入力SA, キャリアパターンを登録し、そのレジスタ番号をRSA, RSAC として出力する。ファームウェアとのインタフェースは行わない。(ただし、保守用としてはインタフェースをとる) 30

以上で得られたRSAC 8bit とRDA 9 bit の計17 bit をアドレスとし、図示のL2 PDU, L3 PDU, SA, キャリア蓄積RAM に対するアクセスが行われる。(このRAMもI/O 個別イメージで示したが、実際はI/O 共通である)

該アドレスを用いて、それまでのL2 PDU数をリードし、そのL2 PDU数と当該EOM に対応するL3 PDUを構成するL2 PDU数とを加算して、その加算値をL2 PDU, L3

PDU, SA, キャリア蓄積RAM に再格納する。

また図示していないが、それまでのL3 PDU数もリードし、その値をインクリメントして、L2 PDU, L3 PDU, SA, キャリア蓄積RAM に再格納する。 40

同時に、64ビットの SA 50ビットのキャリアも格納される。そして、このL2 PDU, L3 PDU, SA, キャリア蓄積RAM をファームウェアがアクセスし、課金情報を収拾する。具体的には、本RAM を二面構成とし、ある一定時間(例えば、1分)毎に、ファームウェアによって面切り換え指示を行う。片面では上記ハードウェアよりアクセスが行われ、もう片面よりファームウェアが各種データを吸い上げる。

該RAM のL2 PDU数、L3 PDU数のビット幅は、上記の一定時間(1分)に流入する個数より求める。

本課金部へはハーフエンキャプセレーションして流入してくるので、SSM であっても2セルとなる。そして、1セルは2.7 μ s であるので、1分で約11M 個となり、ビット幅としては24ビットが必要となる。また、L3 PDU数のビット幅はそれ以 50

下である。

以上まとめると、片面当たり 2^{17} (128k) $\times$ 128 bit のRAM 容量となる。物理的には512k $\times$ 8bitのRAM を片面当たり8 個使用する。図405に、課金関連データを蓄積するRAM のイメージを示す。上記RAM は、 μ P のバスに直結する。また、該RAM は二面構成であるが、もう一面では、そのバンク番号にそれぞれ+10を加算して呼ぶ。

図405には、パリティビットが示されているが、これはハードウェアが上記RAM にアクセスする時の正常性チェック用であり、ファームウェアからのリード時は無視し、クリア時は'1'を設定する。

課金データの吸い上げは、ファームウェアは、着SNI IDの有無、その中でのDA割り付けを認識可能であるので、有効な情報のみを読み出すことによってその時間の短縮を行う。

更に言えば、本ハードウェア構成では、着SNI IDとDAとのそれぞれの組み合わせに対し、SA、キャリアの組み合わせが256通り割り当てられている。(ただし、ある着SNI IDとDAとの組み合わせに対して割り当てられた256通りと、別の着SNI IDとDAとの組み合わせに対するそれとが異なることはできない。全ての着SNI IDとDAとの組み合わせに対し共通して256通りの組み合わせとなる)そして、この値が最大値であり、実際に何通りの組み合わせが存在するかは、図400に示すSA、キャリア圧縮CAM から、その内部に何通りのマッチパターンが(ハードウェア自律で)登録されたかを読み出すことにより判明する。

これを利用することによって、アドレス下位のRSACを全てアクセスすることを避け、更にデータ吸い上げ時間の短縮を図る。

8.3 チェック機能

課金部内での各種チェック機能について図406を参照しながら説明する。

図406では、以下に示すチェック出力を示している。

- ・ μ P 部のチェッカとして、ウォッチドッグタイマ、コマンド/レスポンス、16M clock check を行う。(図中の、WDTO, CRNG、CLKa)
- ・RMLP部からの受信部にてパリティチェック、クロックチェック、CFチェックを行う。(図中の、PCa、CLKb、CLKc)
- ・各CAM から入力される圧縮データのパリティチェックを行う。(図中のPCb、PCd、PCf)
- ・各CAMから出力される圧縮データのパリティチェックを行う。(図中のPCc、Pce、PCg)
- ・各RAM、ROM からリードした時は、パリティチェックを行う。(図中のPci、PCj)

L2 PDU, L3 PDU, SA、キャリア蓄積RAM は、ハードウェア、ファームウェアの双方からのアクセスがあるが、上記パリティチェックはハードウェアアクセス時のみ有効であり、ファームウェアアクセス時はパリティチェックは行わない。

本RAM は二面構成であり、ファームウェアが面切り換え制御を行い、ハードウェアがアクセスしている面とは逆の面よりデータを吸い上げる。各CAM は、ファームウェアとのインタフェースを設けてあるので、診断時にライト/リード等を行う。各CAM による圧縮の正常性やAdd によるPDU 数の加算処理については、上記チェックを行わず、診断時に試験セル生成部より試験セルを流し込み、詳細にチェックを行う。

9. LPCOM 部 (INF インタフェース部)

9.1 概要

LPCOM部は、以下の機能を有する。

- (1) INF とインタフェースし、SMLP部・RMLP部の制御
- (2) 課金処理
- (3) パフォーマンス・モニタ、データ・コレクション(トラフィック・モニタ)

物理的には、以下の3枚のPWCBよりなる。

10

20

30

40

50

- (a) H L P 0 2 A
- (b) H L M 0 0 A
- (c) H L M 0 1 A

上記機能 (1) ~ (3) は、それぞれ (a) ~ (c) に示した P W C B に対応する。

課金処理については 8 章で、パフォーマンス・モニタについては 6 章で、データ・コレクションについては 7 章で説明した通りである。ここでは、I N F とのインタフェース機能、S M L P 部・R M L P 部の制御機能、即ち H L P 0 2 A について示す。

9. 2 機能概要

図 4 0 7 に、H L P 0 2 A のブロック図を示す。また、図 4 0 8 および図 4 0 9 に上記 H L P 0 2 A の各ブロックの機能を示す。 10

H L P 0 2 A の詳細な機能説明は、図 4 0 8 および図 4 0 9 に示した通りであるが、その主機能としては、I N F とのインタフェース、L P 部および各テーブルの設定・管理、L P 部および L P - C O M 部のエラー監視、状態制御を行う。

9. 3 I N F インタフェース制御手順

9. 3. 1 I N F インタフェース制御

S B M E S H (M N G - F i r m) と B C P R 間の I N F を使用したインタフェースの制御手順について以下に示す。

a. I N F コマンド起動

(1) C P U (マイクロプロセッサ) に D M A 設定を行う。 20

(2) B C P R は、I N F オーダでコマンド起動するとき、M M アドレスを 2 b i t 右シフト (0, 4, 8 が 0, 1, 2 となる) したイメージで指定して行く。よって、I N F 受信時、S B M E S H は以下の動作を行う。

▲ 1 ▼ コマンド起動を認識すると、S B I F L S I のポート A から M M アドレス、コマンド数を受け取る。

▲ 2 ▼ S B I F L S I のポート B に、M M アドレスの上中下位をひねって設定する。

▲ 3 ▼ S B I F L S I のポート F に、転送長 (コマンド数 × 4 ワード) を設定する。

▲ 4 ▼ S B I F L S I のポート C に、D M A リードスタートを設定する。 30

b. I N F ステータス通知

ステータス通知に指定する M M アドレスは、2 b i t 右シフト (0, 4, 8 が 0, 1, 2 となる) したものであり、受信バッファ通知で指定されたままのものである。

メッセージ長も B C P R メモリ上で左が M S B 、右が L S B である。

S B M E S H は以下の動作を行う。

(1) S B I F L S I のポート B に、M M アドレスの上中下位をひねって設定する。

(2) S B I F L S I のポート F に、転送長 (コマンド数 × 4 ワード) を設定する。 40

(3) S B I F L S I のポート C に、D M A ライトスタートを設定する。

コマンドとステータスに指定する M M アドレスとメッセージ長に関しては、以下の通りである。

(1) コマンドで指定するデータの M M アドレスは、2 b i t 右シフトのものを指定する。

(2) メッセージ長は、B C P R メモリ上で左が M S B 、右が L S B であるステータス通知においても、M M アドレスは受信バッファ通知で指定されたものと同じである。

ステータスキューアドレス・受信バッファアドレスの通知に関しては、以下の通りである。

(1) BCPRは、SBMESHへ予めステータスキュー及び、受信バッファのMMアドレスを通知する。

(2) MMアドレスは2bit右シフトのものを指定する。

(3) メッセージ長としてはバイト長を指定する。

9.3.2 IPFインタフェース割り込み制御

SBMESH内INFインタフェース制御における割り込み制御について以下に説明する。

a. コマンド起動

コマンド起動は、外部割り込みINTOで処理する。INTO割り込みはポートAの3ワードリードでリセットされる。

10

b. ステータス送信

ACCFirmより1分周期で発生する課金ステータスを送信する。また、MSRfirmより発生するログステータス(ログ対象エリア発生時)を送信する。

c. DMA 制御

CPU内部のDMAコントローラで行う。使用するDMAチャンネルは0とする。DMA終了は、割り込みとlookinの2種を使い分ける。割り込みは、CPU内DMAコントロールレジスタのINTビットで制御する。

INFのDMA転送速度は、4Mbyte/secなので、4byteのDMAリード(テイルポインタ、ルックイン等)はCPUクロックが8MHzなら、1μsで終了する。よってDMA終了割り込みは使用せずlookinで行う。

20

9.4 SMLP/RMLP制御

SMLP/RMLPに対する制御を以下に示す。

HLP02Aより、SMLP/RMLPに対して与える状態制御情報を以下に示す。

- ・ 自系のACT/SBY(アクティブ/スタンバイ)状態
- ・ 自ShelfのShelfNo.(0~3)(シェルフ番号)
- ・ 初期設定時のリセット
- ・ 各種チェッカへの障害リセット
- ・ 各種MSDテーブルに対する設定
- ・ 各種MSDテーブルに対するリセット
- ・ ハードウェア・インヒビット状態信号(ハードウェア動作をマスク)

30

HLP02Aは、この他にSMLP/RMLPの各パッケージより、MSCAN情報を収拾し、状態監視を行っている。

10. 各種インタフェース

10.1 概要

本章ではSBMESHの各ブロック間(SBMESHとATMスイッチASSW間を含む)の論理的インタフェースについて示す。

10.2 ASSW→SDMUX(HMX11A)

図410に、ASSWからSDMUXへ入力するセル(ヘッダ部)のフォーマットを示す。(ルートは、図209を参照)

ASSWからSDMUXへ入力するセルとしては、以下の3種類がある。

40

▲1▼ TCGよりのテストセル

▲2▼ BSGCよりのシグナリング用セル

▲3▼ 通常のユーザセル

上記3種のいずれのセルであっても、TAGA部およびTAGB部が、対応するSBMHが接続される622Mハイウェイを指定する。また、TAGC部が、SBMH内のSBMESHを指定(例えば、ASSWより近い順に0, 1, 2, 3)する。このように、タグ部の内容は上記3種のいずれのセルに関しても同じ方法で付与されるが、その他の部分については、種別毎の付与となる。以下に示す。

▲1▼ TCGよりのテストセル

- ・ O : 1 (これは「O(オー)ビット」である)

50

- ・ U L : 0
- ・ C O M : 0
- ・ S I G : 0
- ・ V P I : 0 0 0 (H)
- ・ V C I : 0 3 F A (H) o r 0 3 F B (H)

▲2▼ B S G C よりのシグナリング用セル

- ・ O : 0
- ・ U L : 0
- ・ C O M : 1
- ・ S I G : 1
- ・ V P I : 0 0 0 (H)
- ・ V C I : 0 3 F C (H) o r 0 3 F D (H)

10

▲3▼ 通常のユーザセル

- ・ O : 0
- ・ U L : 0
- ・ C O M : 0
- ・ S I G : 0
- ・ V P I : 0 3 F (H)
- ・ V C I : 0 3 x y (H) (ここで、x y は、S N I ナンバーを示し、例えば、S N I ナンバーが0のときは、x y = 0 0、・・・S N I ナンバーが3 1のときは、x y = 1 F (H) と指定する。)

20

1 0 . 3 S D M U X (H M H 1 1 A) → S M L P (a) (H M H 0 3 A)

図4 1 1に、S D M U X からS M L P (a) へ入力するセルのフォーマットを示す。同図においては、S M L P (a) が参照する部分のみを示している。(ルートは、図2 0 9参照)

S D M U X よりS M L P (a) へ入力するセルは、以下の2種類である。

▲1▼ T C G よりのテストセル

▲2▼ 通常のユーザセル

なお、B S G Cよりのシグナリング用セルはS M L P (a) へは入力しない。

第1バイトの6ビット目「O (オー) ビット」に設定されている値が1、すなわち、T C G よりのテストセルであった場合には、そのテストセルはS M L P (a) において廃棄され、処理対象外となる。一方、同ビットが0、すなわち、通常のユーザセルであった場合、そのセルはS M L P (a) において処理対象となる。そして、その通常のユーザセルの V P I / V C I を以下に示す。

30

- ・ V P I : 0 3 F (H)
- ・ V C I : 0 3 x y (H) x y は、S N I ナンバーを示す。(1 0 . 2 章と同じ)

このように、通常のユーザセルの V P I / V C I は、A S S WよりS D M U X に入力した状態に対して書換えられずにそのままS M L P (a) に入力される。したがって、S M L P (a) では、V C I より該セルの発S N I を識別可能である。また、S T , S N , M I D は、発加入者よりのものが(S D M U X がA S S Wより受けたものが)そのまま入力する。

40

尚、S M L P (a) では、通常のユーザセルと、S N I - S B M E S H間P V C 試験用の試験セルとを区別することなく処理を行う。

1 0 . 4 L P - C O M (H L P 0 2 A) → S M L P (a) (H M H 0 3 A)

図4 1 2に、L P - C O MよりS M L P (a) へ入力するセルのフォーマットを示す。同図においてもS M L P (a) が参照する部分のみを示す。(ルートは、図2 0 9参照)

L P - C O MよりS M L P (a) へ入力するセルは試験セルであり以下の2種類がある。

50

▲1▼ MESH-MH 間PVC 試験

▲2▼ 診断

上記▲1▼はマスタ時に、▲2▼はOUS 時（アウト・オブ・サービス状態）にそれぞれ行われる。

▲1▼ MESH-MH 間PVC 試験時

- ・ VPI : 03F (H)
- ・ VCI : 03FF (H)

▲2▼ 診断時

- ・ VPI : 03F (H)
- ・ VCI : 03xy (H) xy は、SNI ナンバーを示す。(10. 2 10

章と同じ)

なお、第1バイトの6ビット目に設定は、0である。

上記▲1▼の場合は、VCI の値を、通常のユーザセルとしては使用しない特定の値とし、SMLP (a) 内で識別している。その特定VCI の値としては、たとえば、03FF (H) すなわち0000 0011 1111 1111 (B) と設定し、下線部が1であることで、本テストセルであることを認識する。

▲2▼の場合は、診断用セルをあたかも任意のSNI からの通常のユーザセルであるかのように振る舞わせるため、このような VPI/VCI を設定している。

また、上記▲1▼および▲2▼のいずれの場合も、ST, SN, MID は適当なものを付与するが、▲1▼のMESH, MH間PVC 試験時のMID は“10 20 0000 0000”に設定する。(SSM の場合も同様)

10. 5 SMLP (a) (HMH03A) → SMLP (b) (HMH04A)

図413に、SMLP (a) (HMH03A) からSMLP (b) (HMH04A)

へ入力するセルのフォーマットを示す。(ルートは、図225参照)

SMLP (a) Mにおいては、ヘッダ部に対して以下の各種の加工が行われる。

ST, SN, MID は、SMLP (a) がSDMUX もしくはLP-COM部から入力した状態を書き換えることなくそのままである。

SST, 入MID は、それぞれST, MID をコピーしたものである。RVP Iは、SMLP (a) がSDMUX もしくはLP-COMより受けたVPI 12 bit の下位8 bit である。また、RVC Iは、SMLP (a) が受けたVCI 30 16 bit の下位8 bit である。SNI-ID (1) は、RVC Iの上位4 bit であり、SNI-ID (2) はRVC Iの下位4 bit である。

SMLP (a) 内では、各セル毎にDAチェックを行い、その一環として、該セルを自MESHにルーティングすべきかどうか (該セルの DA が自MESH配下のSNI に割り当てられたものかどうか) の判定を行う。ここで、自MESHにルーティングすべきセルの場合は同図に示すX は1であり、自MESHにルーティングすべきでないセルの場合はX は0である。但し、この処理は、SMLP (c) での処理は行いが、SMLP (d) (HMH05A) での自MESHルーティング処理は行わない。

前述したように、MESH-MH 間PVC 試験のLP-COMよりのセルの場合は、同図のRVC I、SNI-ID (1) の各MSB は1である。(SMLP (b) で 40 識別する) 同様に、MID のMSB も1である。尚、通常ユーザセル (SNI-MESH-MH間PVC 試験セルも含む) の場合は、診断時のLP-COMからのセル (SNIからのセルと見せ掛けたもの) として特に識別していない。

10. 6 SMLP (b) (HMH04A) → SMLP (c) (HMH05A)

図414に、SMLP (b) (HMH04A) → SMLP (c) (HMH05A) へ入力するセルのフォーマットを示す。(ルートは、図225参照)

10. 5章との差異は、RMIDである。すなわち、MSLP (b) は、SMLP (a) より受けたRVC I (この場合、発SNI ナンバーを示している) と、MID (SNI 内で一意) よりRMID (自SMLP内でユニーク) を作成する点である。

尚、RMID フィールドは10ビットであるが、実際は下位の9ビットが有効である 50

。(RMID としては0-511(D)まで)また、MESH-MH 間PVC 試験のLP-COMよりのセルの場合は、RMIDを獲得しない。

前述したように、MESH-MH 間PVC 試験のLP-COMよりのセルの場合は、上表のRVC I, SNI-ID(1)の各MSB は1である。(SMLP(c)で識別している) この場合RMIDを獲得しないので、LPCOM はRMID 0~511(H)と重ならない値512(H)をMID に付与する。

10.7 SMLP(b)(HMH04A) → SMLP(HMH05A):MRI
タイムアウト・ダミーセル

図415に、SMLP(b)(HMH04A) からSMLP(HMH05A)に入力するタイムアウト・ダミーセルのフォーマットを示す。

10

SMLP(b) 内では、MRI タイムアウトチェックを行っている。このチェックにおいて NG を検出した場合は、NGを通知する等の目的でdummy セルを送出する。

同図において、空白部は「don't care」である。また、ヘッダ部に続く領域の内容も「don't care」である。

ST, SST はEOM を示している。また、その他の入MID、SNI-ID(1)・(2)、X, RMID については、本来のEOM に付けべきものと同じものが付いている。10.8 SMLP(c)(HMH05A) → SMLP(d)(HMH06A)

図416に、SMLP(c)(HMH05A) からSMLP(d)(HMH06A)へ入力するセルのフォーマットを示す。(ルートは、図225参照)

20

10.6章との差異は、BC, RVC I', IST の3点である。以下に示す。

SMLP(c) は、エンキャプセレーションを行う。(エラーセルに対しては行わない)

SIP-L3 PDUに対しては、ヘッダが1セル分付加されるイメージである。したがって、付加されたセル(I-BOM) のIST はBOM を示す値となり、元の BOM(S-BOM)のそれはCOM となる。元々が SSM(S-SSM) の時は、そのIST はEOM となる。

SST は書換えられず、SIP-L2 PDUとしてのSTを保持する。(I-BOMのSST はBOM)

30

SMLP(c) では、ルーティング処理も行い、その結果がBC, RVC I' に反映さる。(エラーセルでもルーティング処理は一応行う。)

BCはbroadcast の略であり、SMLP(d) 内でのセルのコピーの有無、コピー対象MHを指定するものである。詳細は以下の通り。

- ・ BC=11(B) : 全MH(全SBMH+全GWMH) へのコピー要
- ・ BC=01(B) : 全SBMHへのコピー要
- ・ BC=10(B) : 全GWMHへのコピー要
- ・ BC=00(B) : コピー不要(着MHが特定できた場合)

RVC I' にはルーティング処理結果等が反映されている。以下に示す。

- ・ ルーティング処理結果、着MHが特定できた場合：着MH ID を入れる。(SBMHは00-IF, (コピー不要の場合) GWMHは40-5F) 40
- ・ ルーティング処理結果、着MHが特定不可の場合：00(コピー不要の場合)
- ・ SNI-SBMESH間PVC 試験セルの場合：FF(この時BC=00、本セルの場合はエンキャプセレーション処理は受けている。本試験PDU のDAが試験DAであることをSMLP(c) が識別してRVC I' をFFとする。)

このように、MESH-MH 間PVC 試験のLP-COMよりのセルの場合は、同図のSNI-ID(1) のMSB は1である。ただし、SMLP(c) では特に意識せず、通常のユーザセルと同様にエンキャプセレーション処理、ルーティング処理を行う。

10.9 SMLP(c)(HMH05A) → SMLP(d)(HMH06A) : 50

I-BOM

図417に、SMLP(c) (HMH05A) からSMLP(d) (HMH06A) へ入力するI-BOMのセルフォーマットを示す。I-BOMは、SMLP(c) においてエンキャプセレーション処理の結果として生成されるセルである。

第00バイト～07バイトの内容は、10.8章と同じである。また、第08～43バイト、第52および53バイトの内容は、I-BOMを生成するためのオリジナルとなるS-BOM、S-SSMの同部分のままである。したがって、第44～52バイトが、以下のように書換えられる。

IIT = 01 (H)

INID = 0000 (H)

IITPS = 0000 (H)

とする。これはSNI 発信であることを意味している。

RV = a11 0

とする。これは固定値である。

ESは、SIP-L3 PDUのヘッダ・イクステンション内のエレメントタイプが1の時(キャリアセレクションを意味している) に1であり、それぞれ以外の際は0である。

同図のcarrier は、キャリアセレクション時はSIP-L3 PDUのヘッダ・イクステンション内のキャリアが入り、それ以外の際は、プレ・セレクトッド・キャリアが入る。ただし、キャリア・スクリーニングでNGを検出した時は本領域は0000 (H) である。

エラーセルの場合は上記処理は行われず、スルーとなる。(元々エンキャプセレーション処理も受けていない)

10.10 SMLP(d) (HMH06A) → SMUX (HMX12A)

図418に、SMLP(d) (HMH06A) からSMUX (HMX12A) へ入力するセルのフォーマットを示す。(ルートは、図209の SMLP → SMUX) ここでは、SMLP(d) がSMLP(c) から受けた内容をスルーするのが殆どである。(SST, 入MID, RVP, ISTについては、10.8章の説明と同じである)

SNI-ID(1) ・(2) やX, BC の領域が同図にしめす図示の様に特定パターンに設定されている。

RVC I" は、着MH ID である。(SMLP(d) 入力時点(RVC I')) においてはコピーを要するセルでは00 (H) であったが、SMLP(d) 内でコピー後、各セル毎に着MH ID を付与する) 尚、SNI-SBMESH間PVC 試験セルの場合は、RVC I" はFF (H) である。(SMLP(d) がSMLP(c) より受けたものがスルーする)

出MID は、着MH ID 毎に一意的なものが付与される。エラーセルの時は付与しない。尚、出MID のためのフィールドは10ビット確保してあるが、実際には発MESH当たり256種までのサポートである。そして、着MH側において、発MESHの識別が可能な様に、各発MHを構成する最大4つの発MESHでは使用MID 領域を区別している。以下に示す。

発MESH 0 (ASSW に直結される発MESH) : 使用MID 000
- FF (H)

発MESH 1 (0の次にASSWに近い発MESH) : 使用MID 100
- 1FF (H)

発MESH 2 (1の次にASSWに近い発MESH) : 使用MID 200
- 2FF (H)

発MESH 3 (2の次にASSWに近い発MESH) : 使用MID 300
- 3FF (H)

SMLP(c) におけるエンキャプセレーション処理で生成されるI-BOMのSN 50

10

20

30

40

は、元の S-BOM または S-SSMのそののコピーである。

MESH-MH 間PVC 試験セルは、SMLP(d) では特に意識せず、通常のユーザセルと同等の処理を受ける。

同図に示す0000+RVPIがVPI に相当する。RVPIは、MSLP(a) が、SDMUX または LP-COM より受けたVPI 12 bitの下位8 bit であるから、結局SMLP(d) よりSMUXに渡すセルのVPI は03F(H)となる。

一方、同図に示す0000+0011+RVCI"がVCI に相当する。RVCI"は上述の様に着MH ID であり、10.8章にも示した様に、着MH ID としてはSBMHが00-IF、GWMH が40-5F であるので、結局SMLP(d) 10よりSMUXに渡すセルのVCI は以下となる。

VCI : 03xy(H) xyは着MH ID を示す。(SBMH ナンバーが0のとき、xy=00、・・・SBMH ナンバーが31のとき、xy=1F、GWMH ナンバーが0のとき、xy=40、・・・GWMH ナンバーが31のとき、xy=5F)

SNI =SBMESH間PVC 試験セルについては、SMUX においてこれを廃棄し、ASSWに出力しない。

10.11 SMLP(d)(HMH06A)→LP-COM(HLP02A, HLMO1A)

図419に、SMLP(d)(HMH06A)からLP-COM(HLP02A, H 20LMO1A)へ入力するセルのフォーマットを示す。

ここでは、SMLP(d) がMSLP(c) より受けたものをスルーするのが殆どである。すなわち、SST, 入MID, RVPI, RVCI", SN, 出MID については、10.10章と同じである。

10.10章との差異を以下に示す。

CPは、original:0、copied:1 である。

エラーであった場合でも、HMH06Aは制御を行う。また、HLMO1Aは、L3, L2, エラー, GA, についてoriginalの場合のみカウントを行う。

HLP02Aにとっては、SNI-SBMESH間PVC 試験セルのみ必要であるが、通常のユーザセルも送出される。また、前述したが、ユーザセルの場合、RVCI"は着 30MH ID(00-IF, 40-5F) であり、前記試験セルの場合はRVCI"はFFなので、これで識別する。

HLMO1Aは、プロトコル・パフォーマンス・モニタのためのエラーカウントや、ネットワーク・NWデータコレクションのためのPDU カウントを行っている。これらは、発SNI 対応のカウントとなるが、前述の様にSNI-IDより発SNI No. が判るので、これを手掛かりとしてカウントを行う。

また、エラーログのためには、発SNI ナンバーだけでなく、該発SNI よりの個々のセルの識別も必要である。このため、入MID は、発SNI より送られてきたPDU のMID を用いて解析する。

尚、SNI-SBMESH間PVC 試験セルの場合は、そのRVCI"がFFであるこ 40とは上述の通りである。また、MESH-MH 間PVC 試験セルの場合は、前述の様にSNI-ID(1) のMSB が1である。

10.12 SMUX(HMX12A)→ASSW

図420に、SMUXからASSWへ出力されるセルのフォーマットを示す。(ルートは、図209参照)

SMUXからASSWへ出力されるセルとしては、以下の2種類がある。

▲1▼ TCG へのテストセル

▲2▼ 通常のユーザセル

通常のユーザセルは、SMLP(d) からSMUXへ入力し、SMUX内のVCC にて各種付与・変換が行われ、同図に示すフォーマットとなる。各パラメータの値は、SB 50

MESHとしては関知しないので、ここでは特に規定していない。尚、MESH-MH間PVC試験セルも通常のユーザセルと同等である。

TCGへのテストセルは、RDMUXよりSMUXへ入力し、やはりSMUX内のVCCにて各種付与・変換が行われ同図のフォーマットとなる。

10. 13 ASSW → RDMUX (HMX10A)

図421に、ASSWからRDMUXへ入力するセルのフォーマットを示す。(ルートは、図209参照)

ASSWからRDMUXへ入力するセルとしては、以下の2種類がある。

▲1▼ TCGよりのテストセル

▲2▼ 通常のユーザセル

10

上記2種のいずれであっても、TAGA部、TAGB部にて対応するSBMHが接続される622Mハイウェイを指定する。また、TAGC部は、種別によって異なり、他パラメータと共に以下に示す。

▲1▼ TCGよりのテストセル

- ・ O : 1 (「O(オー)ビット」)
- ・ UL : 0
- ・ COM : 0
- ・ SIG : 0
- ・ VPI : 000 (H)
- ・ VCI : 03FA (H) or 03FB (H)
- ・ TAGC : 対応するSBMESHに応じて決定する (ASSWより近い順に0, 1, 2, 3)

20

▲2▼ 通常のユーザセル

- ・ O : 0
- ・ UL : 0
- ・ COM : 0
- ・ SIG : 0
- ・ VPI : 03F (H)
- ・ VCI : 03xy (H) xyは発MH IDを示す (SBMH : 00-1F, GWMF : 40-5F)
- ・ TAGC : all 0

30

尚、MESH-MH間PVC試験セルも通常のユーザセルと同等である。

10. 14 RDMUX (HMX10A) → RMLP (a) (HMH00A)

図422に、RDMUX (HMX10A)からRMLP (a) (HMH00A)へ入力するセルのフォーマットを示す。(ルートは、図209参照)

RDMUXは、ASSWとのインタフェース用に設けられているだけであり、ASSWからRDMUXが受けた内容を書き換えることなく、RMLP (a)へ送る。

TCGからのテストセルも、RMLP (a)に入力するが、廃棄され、処理対象外となる。一方、0bitが0である通常のユーザセル(MESH-MH間PVC試験セルを含む)は、RMLP (a)の処理対象セルであり、そのVPI, VCIを下に示す。

40

- ・ VPI : 03F (H)
- ・ VCI : 03xy (H) xyは発MH IDを示す (SBMH : 00-1F, GWMF : 40-5F)

VCIにて発MHが特定可能である。また、ST, SN, MIDは発MHにて付与されたものがそのまま入力する。

10. 15 RMLP (a) (HMH00A) → RMLP (b) (HMH01A)

図423に、RMLP (a) (HMH00A)からRMLP (b) (HMH01A)へ入力するセルのフォーマットを示す。(ルートは、図282参照)

ここでは、RMLP (a)がRDMUXより受けた内容をほとんど書き換えることな

50

くスルーする。RMLP (a) で書き換える内容は、IST, DM, RDA である。

IST はSTのコピーである。

RMLP (a) では、入力PDU のDAを参照し、自MESHに取り込むべきものかどうかを判定している。本判定は、I-BOM (I-SSM も) の中のDAで行う。そして、その結果がDM, RDA に反映される。以下に示す。

・自MESHに取り込むべきIBOM, ISSMの場合

DM = 1

RDA : 自MESH内部に使用するためのもの(自MESH内DA ID イメージ)

・自MESHに取り込まないIBOM, ISSMの場合

DM = 0

RDA : don't care

以上はIBOM, ISSMに対してのものである。ICOM, IEOMではDM, RDA 共に(取り込む、取り込まないに関わらず)「don't care」である。

MESH-MH 間PVC 試験用のセルには、特定試験DAを用いたものと、割付け済DAを用いたものの2種がある。前者の試験セルのIBOMのRDA は、ここではIFF (H)となる。

10.16 LP-COM (HLP02A) → RMLP (b) (HMH01A)

図424に、LP-COM (HLP02A) からRMLP (b) (HMH01A) へ入力するセルのフォーマット示す。(ルートは、図209参照)

LP-COMからRMLP (b) へ入力するのは試験セルであり、以下の2種類がある。

▲1▼ SNI-SBMESH間PVC 試験

▲2▼ 診断

▲1▼はマスタ時、▲2▼はOUS 時(アウト・オブ・サービス状態)にそれぞれ行われる。

VPI, VCIについて以下に示す。

▲1▼ SNI-SBMESH間PVC 試験時

・ VPI : 03F (H)

・ VCI : 03FF (H)

▲2▼ 診断時

・ VPI : 03F (H)

・ VCI : 03xy (H) xyは、MH ID を示す。(SBMH : 00-1F, GWMH : 40-5F)

▲1▼の場合は特定VCI とし、RMLP (b) 内で識別する。具体的には、VCI を03FF (H) = 0000 0011 1111 1111 (B) ト設定し、下線部が1であることで認識している。

▲2▼の時は、そのセルが、あたかもある発 MH から発信された通常のユーザセルであるようにみせかける。

10.17 RMLP (b) (HMH01A) → RMLP (c) (HMH04A)

図425に、RMLP (b) (HMH01A) からRMLP (c) (HMH04A)

へ入力するセルのフォーマットを示す。(ルートは、図282参照)

RMLP (b) においては、同図に示すように、セルのヘッダ部に対して、以下に示す各種の加工が行われる。

IST, DM, SN は、RMLP (b) が受けたものをスルーしている。

PLは、L2 PDU内有効データ長を示すペイロードレングスフィールド(6 bit) の上位4ビットの内容である。RDA は、10 bitの中の下位9 bit が有効であり、これがRDA'である。

発MH ID (1)・(2) を用いて、発MH ID を示す。10.16章で示したVCI の下位8 bit が、通常の場合はこれを示している。本8 bit の上位

10

20

30

40

50

4 b i t が発MH I D (1) であり、下位 4 b i t が発H I D (2) である。

B R L C フィールドには、R M L P (b) で求められた、本セルが向かうべきB R L C ナンバー (正確には、アンビリカル・リンク・ナンバー) が付与されている。

R V C I には、同様に、本セルの着S N I I D が付与されている。尚、M E S H - M H 間 P V C 試験 (特定D A を使用したもの) のセルの場合は、R V C I はF F (H) となる。

S S T は、エンキャプセレーションをはずした場合 (S I P に戻した場合) のS T が付与されている。

R M L P (b) では、受信したV C I (発MH I D に対応している) とM I D (10 発MH 内でユニーク) よりR M I D (自R M L P 内でユニーク) を作成し、付与する。尚、R M I D を付与できない場合 (E F M N or E F M D がon) は、R M I D は「d o n ' t c a r e」であり、R V C I をE O (H) とする。

1 0 . 1 8 R M L P (b) (H M H 0 1 A) → R M L P (c) (H M H 0 4 A) : M R I タイムアウト・ダミーセル

図4 2 6 に、R M L P (b) (H M H 0 1 A) からR M L P (c) (H M H 0 4 A) で転送されるタイムアウト・ダミーセルのフォーマットを示す。(ルートは、図2 8 2 参照)

R M L P (b) 内では、M R I タイムアウトチェックを行っている。そして、そのチェックにおいてN G 検出時には、N G 通知等の目的でダミーセルを送出する。 20

R V C I には、着S N I I D が入っている。(上位5 b i t は a l l 0)

また、R M I D は、1 0 . 1 7 章と同様である。

同図において、空白部、及びヘッダ部に続く領域の内容は「d o n ' t c a r e」である。

1 0 . 1 9 R M L P (c) (H M H 0 4 A) → R M L P (d) (H M H 0 2 A)

図4 2 7 に、R M L P (c) (H M H 0 4 A) からR M L P (d) (H M H 0 2 A) へ入力するセルのフォーマットを示す。(ルートは、図2 8 2 参照)

同図に示す各パラメータは、R M L P (c) においてスルーされる。したがって、R M L P (b) から出力された内容がそのままR M L P (d) に受け継がれる。(上記のM R I タイムアウト・ダミーセルもスルーである) 30

1 0 . 2 0 R M L P (d) (H M H 0 2 A) → L P - C O M (H L P 0 2 A , H L M 0 0 A)

図4 2 8 に、R M L P (d) (H M H 0 2 A) からL P - C O M (H L P 0 2 A , H L M 0 0 A) へ入力するセルのフォーマットを示す。

H L P 0 2 A は、診断、M E S H - M H 間 P V C 試験 (割付け済D A 使用時) の試験セルを要している。エラーセルはR M L P (d) からは出力されない。

出M I D は、着S N I I D に対して一意の値となる様に付与される。出M I D のための領域は1 0 ビットであるが、使用されるのは下位5 ビットであり、上位5 ビットはa l l 0 である。(S - S S M となるものに対しては、下位5 ビットも a l l 0 を付与する) そして、この下位5 ビットが出M I D ' である。 40

本部はまだエンキャプセレーションされたままである。

M E S H - M H 間 P V C 試験の特定D A を使用した場合は、R D A (R M L P (d) 入力ではR D A ') がI F F (H) である。この場合R V C I はF F (H) である。

そして、これがR M L P (d) 内で判定され、該セルは出力させない。

H L P 0 2 A は、診断、M E S H - M H 間 P V C 試験 (割付け済D A 使用時) の試験セルを受信する必要がある。診断時は、A S S W からR M L P 部に入力するユーザセルを遮断するので、それなりに試験可能である。(R V C I を見て取り込む) また、M E S H - M H 間 P V C 試験 (割付け済D A 使用時) の場合もR V C I を見て取り込むが、これは着S N I I D である。

H L M 0 0 A は、課金用にセルを受信する必要がある。課金データには着S N I ナンバ 50

ーが含まれるが、これはRVC Iで判定する。

診断時には流入セルに対する課金動作を行うが、診断時はMESHとしてOUS であり問題はない。また、SNI-SBMESH間PVC 試験用セルでも課金動作を行うが、この時はSNI は閉塞されているので、課金データは無視される。

MESH-MH間PVC 試験（割付け済DA使用時）セルでも課金動作を行うが、特定SAがついているので、これを手掛かりに課金データは無視する。

10. 21 RMLP (d) (HMH02A) → LP-COM (HLP02A, HLM01A)

図429に、RMLP (d) (HMH02A) からLP-COM (HLP02A, HLM01A) へ入力するセルのフォーマットを示す。

10

HLP02Aは、診断用の試験セル、MESH-MH 間PVC 試験（特定DA使用時）の試験セルを要しており、HLM01Aは、PM/TM 用セルを要している。この部分のインタフェースには、エラーセルも含む全セル（エンキャプセレーションのまま）が出力される。

同図に示す部分は、RMLP (d) 入力と同じである。

HLP02Aは、診断、MESH-MH 間PVC 試験（特定DA使用時）の試験セルを受信する必要がある。診断時は、ASSWよりRMLP部に入力するユーザセルを遮断することによって、試験を行う。（RVC Iを見て、試験セルを取り込む）

前述したように、MESH-MH 間PVC 試験の特定DAを使用した場合は、RDA (RMLP (d) 入力ではRDA') が1FF (H) である。この場合、RVC Iは

20

FF (H) である。
MESH-MH 間PVC 試験（割付け済DA使用時）の時もセルが流入するが、HLP02Aが本セルを受信するモードでは動作していない。また、SNI-SBMESH間PVC 試験用セルでもセルが流入するが、同様に、HLP02Aが本セルを受信するモードでは動作していない。

HLM01Aは、PM/TM 用にセルを受信する必要がある。PMでは、発MHを、TMでは着SNI を単位とするが、それぞれ発MH ID (1)・(2)、RMC Iを手掛かりとする。

診断時には流入セルに対する各種動作を行うが、診断時はMESHとしてOUS であり問題はない。

30

RMLP (b) 入力のVC I の下位8 bit が発MH ID (1)・(2) にコピーされている。SNI-SBMESH間PVC 試験用セルでPM/TM 動作を行わないために、該試験セルの発MH ID (1)のMSB を1とする。

MESH-MH 間 PVC試験（特定DA使用時）の時はRVC IがFF (H) である。PM/TM 動作はこれを手掛かりにマスクする。

10. 22 RMLP (d) (HMH02) → RMUX (HMX12A)

図430に、RMLP (d) (HMH02) からRMUX (HMX12A) へ入力するセルのフォーマットを示す。（ルートは、図209参照）

ここでのインタフェースでは、エンキャプセレーションは外されている。またエラーセルも出力されない。

40

ここでのセルは、10. 20章とほぼ同様であるが、発MH ID (1)・(2) およびBRLCの領域が図示の様に特定パラメータとなっている。

0000 0011 1111の領域がVPI に相当する。すなわち03F (H) である。また、0000 0011 RVC Iが VC Iに相当する。

RVC Iは、着SNI IDである。すなわち、0300-031F の範囲の値となる。

MESH-MH 間PVC 試験セルは、このインタフェース部では、送出しない。具体的には、RVC IのMSB が1であることで検出して、該試験セルであることを認識している。割付け済DAの場合はRMUXへ送出され、そのセルはASSWにも出力されてしまうが、本試験時はSNI を閉塞する。

50

10. 23 RMUX (HMX12A) → ASSW

図431に RMUX (HMX12A) からASSWへ出力されるセルのフォーマットを示す。(ルートは、図209参照)

RMUXからASSWへ出力するセルには、以下の3種類がある。

▲1▼ TCB へのテストセル

▲2▼ BSGCへのシグナリング用セル

▲3▼ 通常のユーザセル

通常のユーザセルは、RMLP (d) からRMUXへ入力し、RMUX内のVCCにて各種付与・変換が行われ図431に示すフォーマットとなる。各パラメータの値はSBMESHとしては関知しないことなので、ここでは特に規定しない。(SNI-SBME 10
SH 間PVC試験セルも同等)

TCG へのテストセルは、SDMUX からRMUXへ入力し、やはりRMUX内のVCCにて各種付与・変換が行われ同図のフォーマットとなる。各パラメータの値は、やはりSBMESHとしては関知しないことなので規定していない。

BSGCへのシグナリング用セルについてもSBMESHとしては特に関知しないので規定はしない。

10. 24 エラーフラグ (SMLP 側)

図432に、SMLP 側におけるエラーフラグを示す。

10. 25 エラーフラグ (RMLP 側)

図433に、RMLP 側におけるエラーフラグを示す。 20

11. ソフトウェアインタフェース

11. 1 初期設定

SBMESH に関してソフトウェアが行う初期設定には、以下の2つがある。

▲1▼ MH-COM部の初期設定

▲2▼ LP部の初期設定

▲1▼はLAP 経由で、▲2▼はINF 経由でそれぞれ行う。そして、SBMESH 全体として初期設定する場合は、▲1▼、▲2▼の順に行う。

以下に各々の場合について説明する。

11. 1. 1 MH-COM 部の初期設定

(1) MH-COMの初期設定手順 30

図434に、MH-COMの初期設定を説明するフローを示す。

MH-COM部の初期設定は、以下の手順で行う。

▲1▼ ACT/SBY 同時に局内LAP を確立する。

▲2▼ ACT/SBY それぞれに自系リセット要求 (ROW0:D6) を発行する。同時にリセット時タイマ (タイムアウト時間: 1分) をスタートする。

▲3▼ MH-COM部は、リセット状態となり、局内LAP は切断されるため、BCPRは局内通信リンク断を検出する。但し、リセット時タイマがタイムアウトしない期間は、BCPRは局内通信リンク確立要求を送出し続ける (BSGC からは、SABMが送出され続ける)

▲4▼ MH-COMは、自身のリセットが完了した後に受信したSABMに対してUAを返送する。これにより局内通信リンクが再び確立する。 40

▲5▼ BCPRは、COM-EMSCN 読出要求コマンド (COM-EMSCN-RD-RQ) を発行する。これに対するレスポンスが、MH-COMより返送される (COM-EMSCN-DAT-RP)。この時点では、E-EMSCNは全てマスクとなっているので、BCPRの受信するEMSCN ビットは、all OKである。

▲6▼ BCPRはCOM-E-MSD によりマスクパターンの設定を行う (ROW 180~195)。

▲7▼ BCPRは、必要に応じて、COM-E-MSD により閾値の設定を行う (ROW 36 ~51)。

▲8▼ リセットが完了する前にリセット時タイマがタイムアウトした場合は、再設定 50

は行わず障害とする。

(2) 局内通信

図435を参照しながら、局内通信について説明する。また、図436に局内通信用セルのVPI/VC I 値の例を示す。

局内通信には簡易LAP 手順を用いる。MH-COMに関するE-MSD/E-MSCN、装置制御は、全てこの簡易LAP 手順によって処理される。LP, LP-COMの制御は一切行わない。

BSGC-MH-COM 間には、論理的には1本の通信リンクが設定される。但し、MH-COMは二重化されているので、両系がそれぞれ1本ずつの通信リンクを持つ。

同図に示すように、BSGC→MH-COM, MH-COM→BSGCともに、片系のハイウェイに両系の局内通信用セル（簡易LAP をATM セル化したもの）が流れている。 10

BSGC→MH-COMのセルは、両系でVC I 値が異なっている。この値は系によって固定の値となっている。MH-COMは、VC I 値により自系用局内通信セルのみを取り込み、他系用セルは廃棄される。

MH-COM→BSGCのセルは両系で同一のVC I 値をもつが、ATM ヘッダ内のCOM bit が系により異なっている（あるハイウェイに対して、その系用の局内通信セルであればCOM = 1、他系用セルであればCOM = 0）。BSGCは、COM bit により自分が終端すべきセルのみを終端し、他系用セルは廃棄される。

BSGCは、ASSWのサイド0, 1 両方に収容可能である。SBMESHは、ASSWのサイド0, 1 両方に接続されているが、局内通信リンクが設定されるのは、サイド0 のBSGCに対してのみである。図437にその様子を示す。 20

SBMESHは、1本の622Mbps ハイウェイに最高4台までカスケード接続（いもづる接続）される。1ハイウェイに対して複数のSBMESHが接続される場合、局内通信リンクはSBMESH毎に設定される。この時、BSGC→MH-COMの局内通信用セルのVPI/VC I 値は全て同じであるが、TAGC値が装置毎に異なる。

MH-COMは、自分が収容されているSBMESHのシェルフ・ナンバーにより自分の取り込むべきセルのTAGC値（タグ C）を得て、該当するセルのみを取り込む。

以上のように、MH-COMは、TAGC値によりカスケード接続時の動作を決定する。

ATM 制御内のULは使用しない（“0”固定とする） 30

SBMESHのシェルフ・ナンバーは、SBMESH1台の単独構成の場合をshelf No. = 0とし、以下、SBMESHを1台拡張する毎に+1 した値を割り当てる。シェルフ・ナンバーとそのシェルフに関するBSGC→MH-COM局内通信用セルのTAGC値は、図438に示すように、一致する。

(3) 専用線の設定

SN I →MESH間、MESH→MH間、MESH→SN I 間は全て専用線（PVC）で接続する。専用線の設定は初期設定終了直後に行う。専用線のVPI, VC I については2章に示してあるので、以下にタグ部について示す。

・ SN I →MESH間

この部分は、タグにより該SN I を収容するSBMESHを「狙い撃ち」にする。（TAGA, TAGBにて、所定のSBMESHが接続されている600Mハイウェイを指定しているものとする。） 40

図439に、SBMESHを指定するMESH入力セルのタグ部を示す。BRLC内のSN I からは、所定のタグを用いてホストまで導き、ホスト内でMESHに導く時に上記タグを付与する。

・ MESH→MH間

この部分は、SBMESH（0～3）の「狙い撃ち」ではなく、SBMHの「狙い撃ち」である。すなわち、TAGA, TAGBにて対応するSBMHの600Mハイウェイを指定する。図440に、特定のSBMHを指定するセルのタグ部を示す。

・ MESH→SN I 間

この部分は、タグにより S N I を「狙い撃ち」にする。詳細は省略する。

上記以外にタグを使用した定期試験用パスのための V C C 設定も必要となる。この試験に用いる試験セル用パスの V C C 設定については試験開始・終了時に、その都度設定・開放が行われる。

1 1 . 1 . 2 L P 部の初期設定

L P 部は、オンライン動作起動を受けて各種処理を開始する。これに対し、加入者データ等が L P 部に送られるのはその後である。従って、この間に各種エラー（ハード的なものではなく、プロトコルパフォーマンスモニタ等に関するもの）が生ずる可能性がある。これを防ぐために、ソフト的な処理を行う。以下、該処理について、図 4 4 1 を参照しながら説明する。

同図に示す統計時刻情報登録▲ 1 ▼は、L P 部からのオンライン動作応答ステータスに対して送られるものであり、同▲ 2 ▼は、1 5 分毎に送られるものである。なお、▲ 2 ▼以降は図示していないが 1 5 分毎に送られる。また、▲ 1 ▼と▲ 2 ▼の間は 0 分以上、1 5 分未満で可変である。

上述の様に、オンライン動作起動から加入者データ、各種局データの登録が完了するまでの期間（同図の期間 3 においては、正常なセルが S B M E S H に対し入力しているにも関わらず、加入者データ、局データが設定されていないために、プロトコル・パフォーマンス・モニタやネットワーク・データコレクションに関するエラーが生ずる可能性があり、エラーカウントが行われ、それが T C A を発生する可能性がある。エラーの種類によってはそのエラー・ログがファームウェアからソフトに対して送出される可能性もある。したがって、ソフトは、期間 3 でのエラー・ログを無視し、期間 5 のエラー・ログを正しい記録として処理する。

また、期間 3 におけるエラーカウントは信用出来ないので、統計時刻情報登録▲ 2 ▼（正確には収集面切り換え）までの間（同図の期間 4）における各種カウント値、T C A も無視すること。

・ 加入者データ登録について

加入者データ登録コマンドは、S N I を単位としており、ある S B M E S H に対してはそれが収容している S N I 数分（max . 3 2 回）送られる。

ファームウェアは、デフォルトとして全 S N I 閉塞とする。そして、本コマンドを送ってきた加入者に対しては、自 S B M H に収容されている加入者であるものとして、閉塞を解除する。これは、処理要求が「追加・変更」を示している時の処理であり、運用中に処理要求が「削除」である本コマンドを受信した場合は、対応 S N I を閉塞する。尚、1 個で複数 S N I の閉塞・閉塞解除が指定可能な S N I 閉塞登録コマンド・S N I 閉塞解除コマンドもある。これらのコマンドも受け付け、それなりに S N I の閉塞・閉塞解除を行うのが、これらのコマンドは原則して S N I の削除・追加時には使用せず、運用中に何かの要因で一時的に S N I を閉塞する時、またはそれを解除する時に使用する。また、本コマンドでは 1 S N I 当たり、1 6 種の個別アドレス、4 8 種のグループアドレス、1 2 8 種のスクリーニングアドレス、1 6 種のブロッキングキャリアを設定可能である。

G A I D は、S N I にまたがって（更に言えば、M E S H , M H にもまたがって同一 S S 内で）同一 G A であれば、同一 G A I D を付与する。

初期設定時には、上述の様に収容全 S N I 分の設定を行うが、運用中の S N I の追加・削除時には、対応する S N I に関するもののみを本コマンドにより設定する。また、運用中のある S N I に対する各種パラメータ変更時も、対応する S N I に関するもののみを本コマンドにより設定する（該コマンドは、変更すべきパラメータは変更し、そうでないパラメータは書き換えることなく送出する）が、個別アドレス、グループアドレスの削除時に注意点があるので以下に示す。

一例として、個別アドレスとして A , B , C , D を登録していた時に C を削除する場合の例を図 4 4 2 に示す。

通常なら、C に対応していた箇所に D を詰めるイメージとなるが、実際は、同図の様

10

20

30

40

50

に削除するCの部分はa l l 0に入れて送出する。この制約は、個別アドレス、グループアドレスに対するものであり、スクリーニングアドレス、ブロッキングキャリアに関しては削除時は「詰める」。

上記制約は課金部に起因している。前例でCをa l l 0とせず、即座にDを詰めた場合は、課金部のハードの構成より、それ以降、次の課金データのソフトへの送出までの間、Cに対する課金データとDに対するそれとの区別がつかなくなるためである。逆の見方をすれば、一旦Cをa l l 0とし、Cに対する課金データを吸い上げた後では、a l l 0としていた部分に新たなアドレスを登録することは可能である。運用中に加入者データ登録コマンドによりS N Iの追加・削除・既存S N Iの個別アドレス等のパラメータ変更を行った場合も、初期設定時と同様にプロトコルパフォーマンスモニタ等に関するエラーが生ずる可能性があり、これによりT C Aが発生したり、種別によってはログが上がることもある。このため、初期設定時のエラーはソフト的に無視する。

これに対し、上記の運用中の追加・削除等の場合は、ある意味ではエラーとなって当たり前であり、そう大量のエラーも発生しないであろうことより、これはそのままエラーと認識し、T C Aやログも容認するものとする。

・ 各種局データ登録について

局データの登録は、以下のコマンドを用いて行う。

- (1) 局データ(個別)登録コマンド
- (2) 局データ(グループ)登録コマンド
- (3) 局データ(MH)登録コマンド
- (4) 局データ(GWMH)登録コマンド
- (5) 局データ(局内局番)登録コマンド
- (6) 局データ(β)登録コマンド
- (1) 局データ(個別)登録コマンド

本コマンドの単位はS B M E S Hであり、コマンド内のパラメータ(M H A T + M H I D + M E S H I D)で特定されるS B M E S Hがサポートしてる個別アドレスが通知される。よって、あるS B M E S Hの初期設定時には、該S B M E S Hに対して該S B M E S Hも含めてS S内の全てのS B M E S Hに関する本コマンドを送出する。S S内に32個のMHが有り、各MHがそれぞれ4個のS B M E S Hのイモヅル構成の時は、該S B M E S Hに対し128回のコマンド送出となり、システムとしての初期設定では全部で128²回の送出となる。

あるS B M E S Hに収容されるS N Iの個別アドレスについて変更が生じた場合は、全S B M E S Hに対し本コマンドで変更を通知する。

複数のコマンドの中でパラメータ(M H A T + M H I D + M E S H I D)、加入者識別子が使用されるが、この様に複数のコマンドの中で共通して使用されるパラメータは、共通した認識で付与する。

アドレス識別子は、(M H A T + M H I D + M E S H I D + 加入者識別子)で指定されるS N Iに割り付けた個別アドレスに対する識別子である。

加入者データ登録コマンドの中の個別アドレス指定部では、16個の個別アドレスを指定可能であるが、該S N Iに対する該コマンドメッセージ内で最初に指定する個別アドレスの識別子を0とし、以下指定順に1, 2, ..., 15とする。

尚、本コマンドは、S M L Pの中のルーティングテーブルの設定に使用する。この場合、1つの方法として、ルーティングテーブルにおいて全D Aの解析を行う。ここで、システム構成によっては、コマンド送出回数を減らすことができる。たとえば、ルーティングテーブルが、4 S B M H $\times$ 4 S B M E S H $\times$ 32 S N I $\times$ 4 I A分のサポートしか行わない場合を考える。

システムが32 S B M Hを収容し、各S B M Hが4 S B M E S Hからなっているとしても、M H I Dが0~3のものとししかテーブルに設定されないのであるから、あるS B M E S Hには4 S B M E $\times$ 4 S B M E S H = 16回のコマンド送出だけでいいはずであり、システ

10

20

30

40

50

ムトータルとしても 16×128 回のコマンド送出で良い。各コマンドで定義する個別アドレス数も $32 \text{ SNI} \times 4 \text{ IA} = 128$ 個で良い。

また、例えばシステム内に A, B, C, D, E, F の 6 つの SBMH があり、それらの中では A, B, C, D のグループ内、E, F のグループ内でのトラフィックが多く、両グループ間でのそれは余り多くない場合があったとする。この場合、機械的に全 MH に対して A, B, C, D の 4 つの SBMH に関する IA を本コマンドで送ると、A, B, C, D グループ内のものは DA の「狙い撃ち」が可能だが、E, F グループ内のものはそれが出来ずにブロードキャストになる。この様な時は、A, B, C, D に対しては A, B, C, D, の 4 つの SBMH に関する IA を本コマンドで送り、E, F に関しては E, F の 2 つの SBMH に関する IA を本コマンドで送ると、E, F グループ内のものも「狙い撃ち」が可能となり、全体としてブロードキャストを減らすことができる。

10

(2) 局データ (グループ) 登録コマンドについて

本コマンドは、GAID とグループアドレスの対応を通知する。ただし、SBMESH では本を使用しないので、SBMESH には送出する必要はない。

(3) 局データ (MH) 登録コマンドについて

本コマンドは、ある SBMESH に対し、該 SBMESH と各 (自分も含む) SBMH, GWMH との間 (SMLP → RMLP のイメージ) での帯域を与えるものである。

(同時に、各 SBMH, GWMH の実装/未実装情報も与える) また、1 SBMESH には 1 回の送出となる。

ある SBMESH に送出する本コマンドと、別の SBMESH に送出する本コマンドでは、各 SBMH, GWMH の実装/未実装情報の部分は同一になるが、帯域を与える部分は通常は異なる。

20

帯域に変更が生じた時は、関係 SBMESH にのみ本コマンドで通知する。本コマンドでは変更部のみの通知は出来ないので、必然的に変更のない部分についても通知する。また、SBMH, GWMH の増減設があった場合は、全 SBMESH に本コマンドで通知する。

初期においては、ソフトは MESH-MH 間の帯域制御を行わず、全バスが 155M フル帯域となるが、その場合でもそれなりに本コマンドを送出する。本コマンドでは帯域のみならず、MH の実装情報についても MESH へ通知するので、ファームウェアがデフォルトで動作することはできない。

30

(4) 局データ (GWMH) 登録コマンドについて

本コマンドは、GWMH とその GWMH 配下の LAT A 内局番 (及びその LAT A 内局番 ID) の対応を通知するものであり、全 SBMESH に対して同一の内容のコマンドが送出される。ここで、GWMH 配下の LAT A 内局番とは、同一 LAT A 内ではあるが、別 SS に割り付けられている局番である。自 SS 内の局番は含まない。その様な局番は次項に示す局内局番として定義する。

本コマンドは、各 SBMESH に対して 1 回の送出となる。また、変更が生じた場合は、全 SBMESH に対して変更分を通知する。尚、本コマンドでも SMLP 中のルーティングテーブルの設定に使用する。1 コマンドで、最大 512 種の LAT A 内局番を通知することが可能で、該 512 種と GWMH ID との対応は自由であるコマンド・フォーマットとしている。ただし、ルーティングテーブルがサポートする局番の数が少ない場合には、コマンド長の削減を行うことも可能である。

40

(5) 局データ (局内局番) 登録コマンドについて

本コマンドは、局内局番とその局内局番 ID の対応を通知するものであり、全 SBMESH に対して同一内容のコマンドが送出される。

本コマンドは、各 SBMESH に対して 1 回の送出となる。また、変更が生じた場合は、全 SBMESH に対して変更分を通知する。

(6) 局データ (β) 登録コマンドについて

本コマンドは、ある SBMESH に論理的に収容されている SNI が、物理的には BRLC 配下にある場合、BRLC ナンバー、アンビリカル・リンク・ナンバーと該アンビリ

50

カルリンク上のトラフィックの規制値である β の対応を通知するものである。

本コマンドは、各SBMESHに対して1回の送出となるが、個々のSBMESHへの通知内容は異なる。また、変更が生じた場合は、関連SBMESHに対して変更分を通知する。本設定がない場合は、SBMESHはデフォルト値($\beta = 1$)で動作する。

11.2 INS 処理 (インサービス化処理)

本項では、MH-COM部のINS 処理とLP部のINS 処理についてそれぞれ示す。ここで言うINS 処理とは、OUS (アウトオブサービス状態)だった系を、INS (インサービス状態)に組み込む処理である。

11.2.1 MH-COMのINS 処理

MH-COMのINS 処理を、図443を参照しながら説明する。

10

MH-COMのINS 処理は、マスタ系VCC テーブルの内容を、INS 化される系のVCCへコピーする操作が主な処理である。以下にその手順を示す。INS 化に際し、組み込み診断は行わない。なお、INS 処理は、これからINS 化するOUS系に障害がない状態で行う。また、初期設定は完了し、局内通信リンクは確立しているものとする。

▲1▼ BCPRは、ACT, OUS両系に対して、VCC コピー要求コマンド (VCC-CPY-RQ) を発行する。

▲2▼ ACT 系MH-COMは、VCC-CPY-RQ受信後自系 $\mu P-bus$ をOUS系にも接続し、SIC経由の系間通信によりOUS系に対してVCC コピー要求を通知する。更に、BCPRに対してVCC-CPY-RQに対するACK を返

20

送する。OUS系MH-COMは、BCPRからVCC-CPY-RQを受信し、更に系間通信によりACT系よりVCC コピー要求を受信すると、自系VCC をバスより分離する (これによりACT系 $\mu P-bus$ のI/O空間にOUS系VCCが見えるようになる)。その後、BCPRへACKを返送する。

▲3▼ ACT系 μP は、VCC コピーを開始する (自系VCCの設定内容を順次リードし自系busに見えている他系VCCにライトする)。コピー元のVCCのリード内容がテーブル未設定となっていればそのアドレスについてはコピーを行わず、次のアドレスをリードする。

BCPRは、両系のMH-COMからVCC-CPY-RQに対するACKを受信した後は (つまり、VCC コピー中) ACT系VCCに対してのみ、VCC-SET-RQを送出する (通常は、両系同時発行である)。

30

▲4▼ VCC コピーが終了すると、ACT系MH-COMは、BCPRに対してVCC コピー完了通知 (VCC-CPY-CMP) を送出する。VCC-CPY-CMPに対するACKをACT系MH-COMが受信すると、OUS系MH-COMへ系間通信によりVCC コピー終了通知を行う。

BCPRは、ACT系MH-COMからのVCC-CPY-CMPを受信し、それに対するACKを発行した直後から両系に対してVCC-CPY-RQを発行する。

▲5▼ OUS系MH-COMは、系間通信によりACT系MH-COMからVCC コピー終了通知を受信した後、BCPRに対してVCC-CPY-CMPを送出する。BCPRからVCC-CPY-RQに対するACKが受信された後、自系VCCを自系 $\mu P-bus$ 配下は切り戻し、系間通信でACT系MH-COMに対してVCC コピー終了通知を発行する。ACT系MH-COMはOUS系からのVCC コピー終了通知を受信した後、自系busを他系busから切り離す。

40

上記▲1▼～▲5▼の処理により、OUS系はINS 状態となる。

11.2.2 LP部のINS 処理

本手順は「11.1.2 LP部の初期設定手順」において、両系に行っていた手順をINS 化しようとしている系に対してのみ行うものであり、障害監視の開始時期等については11.1.2章に示したものと同一である。

11.3 障害監視・系切り換え

50

S B M E S H に関してソフトウェアが検出する障害には以下の 5 種がある。

- ▲ 1 ▼ M H - C O M 部との間の L A P リンクに関するもの
- ▲ 2 ▼ L P 部との間の I N F を使用した通信に関するもの
- ▲ 3 ▼ M H - C O M 部内の M S C N
- ▲ 4 ▼ L P 部内の M S C N
- ▲ 5 ▼ L P 部ヘルスチェックに関するもの

以下に各々の場合について説明し、系切り換えについてはその後でまとめて示す。

1 1 . 3 . 1 M H - C O M 部の障害監視

M H - C O M の障害は、全て局内通信用 L A P により B S G C 経由で B C P R へ通知される。簡易 L A P 経由で通知される障害情報を E - M S C N と呼ぶ。

10

M H - C O M の障害には、自系 E - M S C N により B C P R へ通知を行う種類のものと、他系 E - M S C N 経由で通知を行うものがある。自系 E - M S C N では通知のしようのない障害、または通知しても信用できない障害に関しては、他系 E - M S C N に収容される。この種の障害としては、以下の 3 つがある。

- ・ μ P 障害（ウォッチドッグタイマ）
- ・ 電源障害（フューズ断／O B P 異常）
- ・ 局内通信処理部障害（E G C L A D - L S I 障害／シグナリング D M X 障害）

A C T 系（アクティブ系）で障害が発生した場合は、A S S W の系切り換えを行い、旧 A C T 系を障害閉塞すると同時に、診断を起動する。一方、S B Y 系（スタンバイ系）で障害が発生した場合は、A S S W の系切り換えを行わず、S B Y 系を障害閉塞すると同時に、診断を起動する。図 4 4 4 に、M H - C O M 部の障害時の動作について示す。

20

1 1 . 3 . 2 M H - C O M 障害通知・処理のシーケンス

以下に、M H - C O M の障害通知・処理シーケンスについて述べる。

（1）差分通知

M H - C O M の障害は、E - M S C N にて差分通知で行われる。B C P R は、たとえば定期的に E - M S C N リードコマンドを送出して自分から E - M S C N データを収集するのではなく、障害の発生した時に個々の障害発生に基づいて、M H - C O M から通知が行われる。障害が復旧した場合も同様である。つまり、E - M S C N のビットに変化が発生した時にのみ、B C P R に対して通知を行う。また、E - M S C N にはマスクパターン（E - M S D により B C P R から設定される）もあり、マスクされている E - M S C N ビットに関しては変化が発生しても通知を行わない。

30

但し、B C P R から任意の時刻で E - M S C N を読み出すことを可能とするために、C O M - E - M S C N - D A T - R Q コマンドも用意されている。本コマンドによりリードされる E - M S C N に関してはマスクがかからない。

（2）障害処理シーケンス

障害処理のシーケンスは、その障害が自系 E - M S C N で通知されるものか、他系 E - M S C N で通知されるものか、障害発生系は A C T か S B Y かにより異なってくる。以下に各場合の障害処理シーケンスを図示する。

- ▲ 1 ▼ 自系 E - M S C N で通知される障害が、S B Y 系で発生した場合
 - ▲ 2 ▼ 自系 E - M S C N で通知される障害が、A C T 系で発生した場合
 - ▲ 3 ▼ 他系 E - M S C N で通知される障害が、S B Y 系で発生した場合
 - ▲ 4 ▼ 他系 E - M S C N で通知される障害が、A C T 系で発生した場合
- 上記 ▲ 1 ▼ ～ ▲ 4 ▼ を、それぞれ図 4 4 5 ～ 図 4 4 8 に示す。

40

1 1 . 3 . 3 L P 部との間の I N F を使用した通信に関する障害

S B M E S H - A と B C P R 間は、図 4 4 9 に示すように、I N F T, I N F A 経由でインタフェースする。

ここで言う障害は、上記 S B M E S H と I N F A の間でのものであり、B C P R, I N F T, I N F A （S B M E S H に対向している部分以外）の正常性は保証されているものとする。

50

以下に対処概念を示す。尚、DMA に関する障害に関しては、INF MSCNに表示される。基本的にはソフトウェアとBSGCとのINF を使用した通信に関する障害監視と同等であり、OUS, ALM lamp の制御タイミングについても同等となる。

・マスタ系LP部との間での通信に関して障害を検出した場合
SBMESHのLP部の系切り換えを行う。旧マスタ系LP部はOUS とし、診断を起動する。

・スレイブ系LP部との間での通信に関して障害を検出した場合
スレイブ系LP部をOUS とし、診断を起動する。

ソフトからのコマンドに対してSBMESHが返送するステータスには、その中に要因コードを含むものがあるが、BSハード的な障害を本パラメータにて通知することはしない。

11.3.4 LP部内のMSCNにて発見する障害

LP部内にある各種チェッカのチェック結果はINF 経由でソフトウェアに通知する。

MSCNポイントとしては、大きく分けると、以下の4点がある。

▲1▼ MH-COM部、LP部の系間交絡に関するポイント

▲2▼ ▲1▼以外のNGまたはポイント

▲3▼ ▲1▼、▲2▼以外のポイント

▲4▼ 詳細ポイント

上記▲1▼, ▲2▼, ▲3▼は、INF MSCN 32 bit に収容されている。INF MSCN 32 bit を図450に示す。▲4▼はINF MSCNではなく、詳細MSCNである。

INF MSCN 32 bit 中で障害等を通知する場合は、CC(ソフト)に対してはINF割り込みが発生する。

上記▲1▼は系間交絡に関するチェック結果である。このチェックの概念を図451に示す。

MH-COM部のDMUXよりLP部に対する交絡は、MH-COM部より両系のLP部へ、それぞれ独立してデータ、クロックを送出するのが本来の形態であるが、物理的制約(コネクタネック等)により、図451に示す方式をとっている。

MH-COM部のDMUXブロックより、LP部に伝送されたデータ、クロックについてのチェッカが図中のCKaH, CKaMである。末尾のH, M は、それぞれ自系(Home)MH-COM部・他系(Mate)MH-COM部からのデータ、クロックについてのものであることを示している。

INF MSCN中のビット・ナンバーとの対応は以下の通りである。

CKaH: bit 21, 20, 13, 12

CKaM: bit 19, 18, 11, 10

LP部より、MH-COM部のMUX ブロックに伝送されたデータ、クロックについてのチェッカが図中のCKbH, CKbM である。末尾のH, M の意味付けは上と同様である。これらのチェッカはMH-COM部内に存在するが、そのチェック結果は該データ、クロックの送出元のLP部に送り返され(例えば、MH-COM部 #0 CKbM でのチェック結果はLP部 #1 へ送り返される)、INF MSCNに収容される。

INF MSCN中のビット・ナンバーとの対応は以下の通りである。

CKbH: bit 17, 16, 09, 08

CKbM: bit 15, 14, 07, 06

LP部のクロックはLP部の中のPLL にて作成するが、これは最終的にはMH-COM部のクロックに同期する必要がある。このため、MH-COM部よりLP部内のPLL にソースクロック(64k) を与えており、本クロックの系間交絡が存在する。そして、LP部にて両系のMH-COM部からのソースクロックをそれぞれチェックしている。

INF MSCN中のビット・ナンバーとの対応は以下の通りである。

10

20

30

40

50

CKaH:bit 01

CKaM:bit 00

上記▲1▼に係するbit は、前述したように、各SMBESH片系当たり18ビットあり、両系では36ビットになる。そして、これら36ビットを以下に示す4ビットずつの9グループに分け、個々のグループにて判定を行う。

グループ(1) 0系、1系のbit 17, 15

グループ(2) 0系、1系のbit 16, 14

グループ(3) 0系、1系のbit 09, 07

グループ(4) 0系、1系のbit 08, 06

グループ(5) 0系、1系のbit 21, 19

グループ(6) 0系、1系のbit 20, 18

グループ(7) 0系、1系のbit 13, 11

グループ(8) 0系、1系のbit 12, 10

グループ(9) 0系、1系のbit 01, 00

通常の障害であれば、同時に2つ以上のグループにまたがったNGが発生することはない。ただし、MH-COM部のパワー障害の場合は、これが有りうる。例えば、MH-COM部 #0 のパワー障害であれば、該部へのLAP リンクが切れる。もしくはMH-COM部 #1 経由のMSCNで判明するので、そちらを参照の上で処理を行う。以下に各グループに分けて系再構成について示す。

・グループ(1) の場合

図452(a) に示すように、あるMH-COM部(#0)内の2個のポイントがNGの場合は、該MH-COM部の障害と考える。したがって、該MH-COM部がマスタの場合はMH-COM部の系切り換えを行い、旧マスタ系をOUS とし、診断を起動する。該MH-COM部がスレーブの場合はOUS とし、診断を起動する。

図452(b) に示すように、あるLP部(#0)に対応する2個のポイントがNGの場合は、該LP部の障害と考える。したがって、該LP部がマスタの場合は、LP部の系切り換えを行い、旧マスタ系をOUS とし、診断を起動する。該LP部がスレーブの場合はOUS とし、診断を起動する。

図452(c) に示すように、LP部、MH-COM部のそれぞれにおいて1個のポイントのみがNGの場合は、その障害の原因がLP部、MH-COM部のいずれにあるのか判定はつかない。同図の例では、MH-COM部 #0、LP部 #0 をOUS とし、それぞれ診断を起動する。元々MH-COM部 #0 がマスタ、もしくはLP部 #0 がマスタだった場合は系切り換えを伴う。

同図では、LP部 #0 bit 17 NG, bit 15 OKであるが、これが bit 17 OK, bit 15 NGとすると、MH-COM部 #1、LP部 #0 をOUS 化して診断を行う。ただし、この場合、LP部 #1 も被疑範囲であり、診断結果解析時に考慮する。

以上、図452に示した例は、MH-COM部が両系INS モード時で4ポイント参照が可能な場合である。

図453に、MH-COM部の片系が既にSBY または OUSであり、マスタ系の2ポイントしか参照できない時の例を示す。また、LP部の片系が既にOUS の時は、それに対応する2ポイントの参照は禁止する。さらに交絡の物理構成よりもう1ポイントも参照を禁止する。

図453(a) は、MH-COM部 #1 がINS 以外の状態(すなわち、SBY or OUS)であり、その中の2ポイントが参照不可の場合である。この時、MH-COM部 #0 の中の2ポイントがNGとする。この場合、MH-COM部 #0 の障害ではあるが、メッセージ出力のみとする。

図453(b) は、MH-COM部 #1 がINS 以外の状態でその中の2ポイントが参照不可の場合であり、かつMH-COM部 #0 の中の1ポイントがNGの場合の例である。この場合、MH-COM部、LP部のいずれの障害かの判定はつかない。M

10

20

30

40

50

H-COM側は再構成不可なので、図453(b)の例では、LP部 #0 をOUSとし、診断を起動する。元々LP部 #0 がマスタのはあいは系切り換えを伴う。尚、図453(b)では、LP部 #0 bit 17 NG、LP部 #1 bit 15 OKであるが、これが逆の時はLP部 #1 をOUS化して診断を行う。ただし、LP部 #0 被疑範囲であり、診断結果解析時に考慮する。

図454(a)は、LP部 #1 がOUS状態で、対応するLP部 #1 内の2ポイントと、OUSであるLP部を経由して結果が得られる1ポイントの系3ポイントが参照不可の場合である。そして、残り1ポイントがNGであるとする。この場合は、再構成不可としメッセージ出力のみとする。

図454(b)は、LP部 #1 がOUS状態で、NH-COM部 #0 がINS以外の状態の場合である。この時は4ポイント全てが参照できない。このような状態は、二重障害であると判断する。

・ グループ(2)の場合

グループ(1)の場合と同様である。

bit 対応は bit 17 → bit 16、bit 15 → bit 14である。

・ グループ(3)の場合

グループ(1)の場合と同様である。

bit 対応は bit 17 → bit 09、bit 15 → bit 07である。

・ グループ(4)の場合

グループ(1)の場合と同様である。

bit 対応は bit 17 → bit 08、bit 15 → bit 06である。

・ グループ(5)の場合

図455(a)は、あるLP部(#0)内の2個のポイントがNGの場合の例であり、この場合は、該LP部の障害と考える。したがって、該LP部がマスタの場合はLP部の系切り換えを行い、旧マスタ系をOUSとし、診断を起動する。一方、該LP部がスレーブの場合はOUSとし、診断を起動する。

図455(b)は、あるMH-COM部(#0)に対応する2個のポイントがNGの場合の例であり、この場合は、該MH-COM部、及びそれに直結するLP部のいずれが障害かの判定はつかない。そして、MH-COM部 #0、LP部 #0 をOUSとして、それぞれ診断を起動する。一方、元々MH-COM部 #0 がマスタ、もしくはLP部 #0 がマスタだった場合は系切り換えを伴う。

図455(c)は、1個のポイントのみがNGの場合の例であり、この場合は、LP部の障害と考える。したがって、該LP部がマスタ部の場合はLP部の系切り換えを行い、旧マスタ系をOUSとし、診断を起動する。一方、該LP部がスレーブの場合はOUS化し、診断を起動する。尚、図455(c)においてはLP部 #0 bit 21 NG, bit 19 OKであるが、これが逆の場合も、同様にOUS化、診断を行うが、この場合LP部 #1 も被疑範囲であり、診断結果解析時に考慮する。

以上、図455に示した例は、LP部が両系INSで4ポイント参照が可能な場合の例である。

以下では、図456を参照しながら、LP部の片系が既にOUSである時の例を示す。この場合は、OUS系の2ポイントは参照不可であり、さらに、交絡の物理構成よりもう1ポイントも参照を禁止する。また、MH-COM部の片系が既にOUSの時は、それに対応する2ポイントの参照は禁止する。

図456(a)は、LP部 #1 がOUS状態であり、その中の2ポイントと、OUSであるLP部を経由している1ポイントの系3ポイントが参照禁止の場合である。このとき、残りの1ポイントがNGとする。この場合は再構成不可としメッセージ出力のみとする。

図456(b)は、MH-COM部 #1 がOUS状態で、対応する2ポイントが参照禁止の場合である。この時、残り2ポイントと共にNGとする。この場合も再構成不可としてメッセージ出力のみとする。

図456(c) は、MH-COM部 #1 がOUS 状態で、対応する2ポイントが参照禁止の場合である。この時、残り2ポイントの内1ポイントのみがNGとする。この場合はLP部の障害と考える。したがって、該LP部がマスタの場合はLP部の系切り換えを行い、旧マスタ系をOUS とし、診断を起動する。一方、該LP部がスレーブの場合はOUS とし、診断を起動する。図456(c) では、LP部 #0 bit 21 NG, LP部 #1 bit 19 OK であるが、これが逆の場合はLP部 #1 のOUS 化、診断となる。ただしLP部 #0 も被疑範囲であり、診断結果解析時に考慮する。

図456(d) は、LP部 #0 がOUS 状態で、MH-COM部 #1 がOUS 状態の場合である。この時は、4ポイント全てが参照できない。このような状態は、10

・ グループ(6) の場合

グループ(5) の場合と同様である。

bit 対応は bit 21→bit 20、bit 19→bit 18である。

・ グループ(7) の場合

グループ(5) の場合と同様である。

bit 対応は bit 21→bit 13、bit 19→bit 11である。

・ グループ(8) の場合

グループ(5) の場合と同様である。

bit 対応は bit 21→bit 12、bit 19→bit 10である。20

・ グループ(9) の場合

グループ(5) の場合と同様である。

bit 対応は bit 21→bit 01、bit 19→bit 00である。

11. 3. 5 LP部のヘルスチェック

実運用に入った後に、ソフトウェアと SBMESH LP部との間で送受されるのは、以下の情報などである。

▲1▼ 課金情報

▲2▼ プロトコル・パフォーマンス・モニタ情報

▲3▼ ネットワーク・データコレクション情報

▲4▼ ▲2▼、▲3▼に関するエラーログ情報 30

▲5▼ 統計時刻情報

上記▲1▼、▲4▼は、LP部から自律的にソフトへ送出するものであるが、ソフトへ通知すべき情報が無い場合は送出されず、ソフトも上記▲1▼が定期的に送受されているか否かは特にチェックしていない。上記▲2▼、▲3▼、▲5▼に関しては、15分に1回の送受が行われる。このため、実運用中にINF 通信に関する障害が発生したとすると、次に、▲2▼、▲3▼、▲5▼の送受が行われるまで、最悪15分間はその障害が潜在することになる。これを防止するためにLP部(マスタ、スレーブ両方)に対してヘルスチェックを行う。図457にヘルスチェックの概念を示す。

ソフトウェアは、定期的(例えば、5秒毎)にLP部に対してヘルスチェックコマンドを発行し、それと同時に、例えば2秒のタイマを起動する。そして、そのタイマがタイムアウトする前にヘルスチェック応答があった場合は正常と判断する。一方、タイムアウトした場合は、その障害を認識する方法はドライバ・ソフトに任せる。(たとえば、ドライバ・ソフトは2秒間隔で、3回リトライし、それでもNGの時は障害とすると認識する)
マスタ系LP部が障害と認識した場合は、LP部系切り換えを行い、旧マスタ系LPをOUS とし、診断を起動する。スレーブ系LP部が障害と認識した場合は、その系をOUS とし、診断を起動する。40

尚、BSGCでも同様にヘルスチェックを行っており、上の方式に加えて、BSGC側においてソフトが正常に動作しているか否か(定期的にヘルスチェックコマンドを送出しているか否か)のチェックを可能としている。

11. 3. 6 系切り換え

50

S B M E S Hの系切り換えには、以下の2種類がある。

- (1) M H - C O M 部の系切り換え
- (2) L P 部の系切り換え

以下に個々について示す。

- (1) M H C O Mの系切り換え

M H - C O Mの系は、A S S Wの系にくくりつけである。また、M H - C O Mの系はL Pの系と独立である。M H - C O Mは、A S S Wから前面ケーブル経由でA C T 信号を受信する。M H - C O Mに対するA C T 信号は局内通信L A P 経由ではなく、専用線で分配される。

それぞれの系のM H - C O Mに対するA C T 信号は、その信号を受信している系に対しA C T / S B Y を通知する意味づけの信号ではなく、現在のA C T 系が# 0系か、或いは# 1系かを通知する信号である。従って、定常状態（系切り換え中の過渡的状态でない）において、図4 5 8に示すA C T 信号受信部が受信する情報は両系で一致している。

系切り換えが生じた場合、A S S WからのA C T 信号は論理的には同時に変化し、新しいA C T 系を表示する。しかし、実際に両系のA C T 信号が同時に変化することではなく、過渡的状态として、M H - C O M # 0 の受信するA C T 信号は# 1系がA C T であるといい、M H - C O M # 1 の受信するA C T 信号は# 0系がA C T であるという（あるいはその逆の場合もある）ように見える瞬間が必ず存在する。

この過渡的状态の時にM H - C O Mの系がの状態が不安定にならないよに、M H - C O M内にはA C T 判定部があり、ここで両系の受信したA C T 信号を監視して、両系でA C T信号の内容が一致するまではA C T 信号が変化する以前の系状態を保持する論理をとる。

また、上記のA C T 信号を伝送するケーブルがA C T 系で抜け、その系のA C T 信号受信部がA C T にスタックすると、B C P Rがケーブル抜けを検出し（A C Tケーブル抜けはE - M S C NによりB C P Rへ通知される）A C T 信号を変化させて系を切り換えることができない場合がある。これを防ぐために、A C T ケーブル抜けを検出したA C T 信号受信部は、他系がA C T であるという信号を受信したものとして動作する。この系切り換えは、M H - C O Mの両系に発行するコマンドが一致している状態で行う。また、系切り換え中はコマンド発行、障害監視は行わない。

- (2) L P 部の系切り換え

この系切り換えは、I N F AのA C T 変更により行う。

1 1 . 4 試験・診断

S B M E S Hに関する試験としては以下の3種がある。

▲ 1 ▼ T C G を用いた試験

▲ 2 ▼ S N I - S B M E S H間のP V C 試験

▲ 3 ▼ M E S H - M H 間のP V C 試験

基本的には、上記▲ 1 ▼は定期的に行われる試験であり、▲ 2 ▼、▲ 3 ▼は加入者からの要求や苦情等を契機とし、オンデマンドで行われる試験である。また、上記▲ 1 ▼を行っている時に▲ 2 ▼、▲ 3 ▼のいずれか一種の試験を行うことは可能である。但し、その場合、上記▲ 2 ▼または▲ 3 ▼の試験を行っている期間に、▲ 1 ▼の試験を待ち合わせる必要があることもある。

以下に各々の試験について示し、最後に診断について示す。

1 1 . 4 . 1 T C G を用いた試験

S B M E S Hは、S I F S H 等と同様に、D M U X直後の1 5 6 Mレベルでのテストセル折り返しし機能を有する。図4 5 9に、S B M E S Hの折り返し試験を説明する図を示す。

実際の「折り返し」は図中に太線で示したルートで行う。例えば、A S S W (U P) のサイド1からS B M E S HのS D M Xに流入したテストセルは、図示の様にR M U Xへ「折り返され」、A S S W (D O W N) のサイド1へと送出される。同様に、A S S W

10

20

30

40

50

(DOWN) のサイド0からSBMESHへ流入したテストデータは、ASSW (UP) のサイド0へと送出される。

例えば、(SINF/DS3 を搭載する)SIFSH は、両スイッチASSWのサイド0側にしか接続されず、必然的にASSW (DOWN) のサイド0から流入したテストデータは、ASSW (UP) のサイド0へと送出されることとなる。TCG を用いたSBMESHの折り返し試験は、このイメージを合わせたものである。

尚、SBMESH内部では、MH-COM部(図中、SMUX, SDMX, RMUX, SDMX)とLP部(同じく、SMLPとRMLP)はそれぞれ二重化されており、それぞれ別のマスタ/スレーブ運用形態であり、その間には系間交絡がある。ただし、上記テストセルは例えば#0系のRDMXに流入したものは#0系のSMUXから送出されるというように、系間交絡ルートは通らず、マスタ/スレーブには無関係に同一系よりの入出力となる。

10

本試験は、マスタ系でもスレーブ系でもそれぞれ定期的に行い、その目的は以下の2つである。

(1) ASSW交点のスイッチングの正常性の確認。

(2) 各シェルフ(この場合、SBMESH)のDMUX, MUX 機能の確認。

例えば、SIFSH では、SIF-COM 配下に8個の個別部が存在し、各個別部に対してDMUXした直後で「折り返し」MUX する構成となっている。図460に、SIFSHに収容される個別部での折り返しのイメージを示す。

SIFSH の場合、上記(1) の確認のためには、任意の個別部に対して折り返しテストを行えばよいので、個別部0対応の「折り返し」機能を使用する。一方、上記(2)

20

の確認のためには、残りの個別部1~7対応の「折り返し」機能を使用する。どの「折り返し」機能を使用するかは、送出するテストセルのタグ情報(TAGC部)で制御する。

SBMESHの場合は、上記SIFSH の場合と対応づけて考えると、MH-COM部配下に個別部(この場合LP部)が1個だけ収容されているイメージである。但し、SBMESHは、ASSWからのハイウェイに4個までイモヅル接続される。そして個々のシェルフが個別部に対応するイメージとなる。図461に、各SBMESHのLP部での折り返しのイメージを示す。

SBMESHの場合、上記(1) の確認のためには、シェルフ0対応の「折り返し」機能を使用し、(2) の確認のために残りのシェルフ1~3対応の「折り返し」機能を使用する。どの「折り返し」機能を使用するかは、テストセルのタグ情報(TAGC部)で制御する。

30

図462に、TCG からSBMESH方向に送出されるテストセルの(SBMESH入力時の)タグ情報について示す。ただし、TAGA, TAGBにて、当該SBMESHが接続される600Mハイウェイが指定されているものとする。

上記テストセルのVPI はall 0、VCI は03FA (H)または03FB (H) であるが、SBMESHとしてはそれらは特にチェックせず、「Obit」=1の条件で折り返している。(「Obit」とは、例えば、図411のセルフフォーマットの第1バイトの6ビットがこれに相当する)

40

上記テストセルは、例えばRDMX→SMUXへとMH-COM部内で折り返すイメージであるが、その時、RDMXからRMLP部へもテストセルを入力し、SDMX→RMUXへの折り返し時にはSMLP部へも入力するものの、それぞれRMLP部・SMLP部内において、「Obit」=1の条件を見て廃棄される。

上記テストセルは、折り返し処理の後、SBMESH内VCC でタグが与えられ、ASSW経由でTCG へ戻るが、折り返し処理に際しては、該テストセルのタグ部、VPI, VCI には変化は生じない。すなわち、テストセルは、SBMESHへの入力時のTAG部、VPI, VCI の状態のまま、書き換えられることなくSBMESH内のVCC に入力される。このイメージを、図463に示す。なお、同図では、SDMX→RMUXのみ示しているが、RDMX→SMUXについても同じである。

50

S B M E S Hは、S D M X→R M U Xの折り返しルートと、R D M X→S M U Xの折り返しルートを有する。これは、A S S Wのサイド0に接続されるT C G 用の折り返しルートと、A S S Wのサイド1に接続されるT C G 用の折り返しルートに対応する。

本試験の目的にはA S S Wの確認と、S B M E S HにおけるD M U X, M U X 機能の確認の2つがあると前述した。このうち、第一の目的（A S S Wの確認）のために、サイド0またはサイド1のいずれの（あるいは両方の）T C G を用いるかについては本設計要項では規定しない。一方、第二の目的（S B M E S HのD M U X, M U X 機能の確認）のためには、サイド0のT C G を使用した試験、サイド1のT C G を用いた試験の両方を行う。図464は、S B M E S HのD M U X, M U X 機能の確認のためのテストのイメージである。

10

既述の様に、S D M Xは、タグ情報に従って、D M U X（すなわち、放路の指定）を行う。よって、本試験はそのD M U X機能を試験していることになる。（同時に、A S S Wとの間の接続、イモヅル接続、R M U X機能の試験も行っていることになる）

これに対し、R D M Xは、タグ情報に従ったD M U Xではなく、着信先アドレスD Aに従ったD M U Xである。よって、本試験ではR D M X機能の試験は出来ないのであるが、A S S Wとの接続、イモヅル接続、S M U X機能の試験は行える。

11.4.2 S B M E S Hでの折り返し試験

この試験は、T R - 7 7 4に規定されている方法と同じであり、ここでは詳細な説明は行わず、以下の概略を述べる。

まず、S N I に接続される装置より試験P D U を出力し、それを交換機側で折り返して送出元の装置で折り返ってきた試験P D U をチェックするというものである。交換機側では、試験P D U であることをD Aにより認識（D Aは既知に設定しておく）し、D AとS Aを入れ替えて、該試験P D U を折り返す。

20

11.4.3 S N I - S B M E S H間のP V C 試験

本試験は、加入者コンプレイン（要求・苦情）等を契機とし、オンデマンドで行う試験である。この試験は、P V C の試験であるので、試験用セルのV P I, V C Iはその試験を行うP V C のそれと同一である。すなわち、試験に当たってV C C の設定をする必要はない。図465に、S N I - S B M E S H間のP V C 試験を説明する図を示す。

同図の例では、S I F S H 内のS I N Fを試験する。

試験用セルは、S B M E S Hが生成して出力する。この例では、S B M E S HのR M L P 部内の生成部（g e n.）にて試験用セルを発生させる。そして、その試験セルを、試験すべきP V C を介してS I N Fへ転送し、S I N Fにて折り返し処理を受ける。試験セルは、上記P V C を介して返送され、S B M E S Hがこれを受信する。そして、S B M E S H内のS M L P部に設けられているチェック部（c h e c k）にてチェックされる。

30

試験時のS I N F, D Tの閉塞の有無、折り返し手段について、図466に示す。（S I N F, D T としては閉塞しないものもあるが、S N I としては閉塞する）

同図に示すように、本試験を行う時は、試験対象装置が、T C G からのテストセルをT C G に対して折り返す機能が無効となる。即ち、本試験を行う時にはT C G による定期試験は停止する必要がある。

40

本試験を行う時は試験対象S N I を閉塞する。よって、被試験S N I 以外のS N I から、被試験S N I へ向かうべきP D U がS B M E S Hに流入しても、それは被試験S N I に送出しない。また、この時上記P D U に関するプロトコル・パフォーマンス・モニタ等関連でエラーカウントが生ずるが、これは許容する。

以下に、上記P V C 試験の手順を示す。この試験では、基本的に、マスタ系に各コマンドを発行する。また、スレーブ系に発行してもそれなりに処理は行われるが、P V C 試験結果要求コマンドに対する応答ステータスはマスタ系よりのものを使用してチェックする。

（1） S B M E S HにS N I 閉塞登録コマンドを発行し、被試験S N I 閉塞を通知する。また図466に示した表に従って、被試験S N I を収容しているブロック（D T

50

）の閉塞を行う。

（２） 図４６６に示した表に従って、被試験ＳＮＩ を收容しているブロック（ＤＴ，ＳＩＮＦ）に折り返し指示を行う。

（３） ＳＢＭＥＳＨにＰＶＣ 試験開始指示コマンドを発行する。

被試験種別は「０１」を指定し、被試験ＰＶＣ 、加入者識別子は共に被試験ＳＮＩ ナンバーを指定する。

試験セル用ＤＡは、未使用の個別アドレスタイプのものを指定する。

試験セル用ＳＡも、未使用の個別アドレスタイプのものを指定する。

（４） ５秒以上のタイミングをとる。

（５） ＳＢＭＥＳＨにＰＶＣ 試験終了指示コマンドを発行する。

10

（６） ＳＢＭＥＳＨにＰＶＣ 試験結果要求コマンドを発行し、それに対する応答ステータスの試験結果をチェックする。

（７） 上記（２） で指示した折り返しを解除する。

（８） 上記（１） で指示した閉塞を解除する。

このように、ＰＶＣ 試験開始指示コマンド、ＰＶＣ 試験終了指示コマンド、ＰＶＣ 試験結果要求コマンドがセットになっている。

ＳＢＭＥＳＨ側では、これらコマンドの論理チェックを行う。例えば、ＰＶＣ 試験開始指示コマンドを受信していないのに、ＰＶＣ 試験終了指示コマンドやＰＶＣ 試験結果要求コマンドを受信した場合、もしくは、ＰＶＣ 試験開始指示コマンドは受信したが、ＰＶＣ 試験終了指示コマンドを受信せずにＰＶＣ 試験結果要求コマンドを受信した場合などのように、セットがくずれたと認識した場合は論理チェックＮＧと見なす。具体的には（セットをくずした）コマンドに対するステータスの要因コードを「異常終了」とする。尚、ＳＢＭＥＳＨ内においては、試験結果はＰＶＣ 試験結果要求コマンドに対するステータスの返送後に消去される。

20

ＳＢＭＥＳＨに対して、試験手順として何らかのコマンドを発行した時は、該コマンドに対するステータスを確認してから次の手順に進む。コマンド群は組まない。（上記手順でも示したが、試験用ＳＡを誤課金防止の目的でＳＢＭＥＳＨに通知している。しかし、本通知は、ＳＢＭＥＳＨ ＬＰ 部管理用ファームが一旦受信し、その後で課金管理用ファームに通知される。これは、コマンド群が組まれ、コマンドが連続してＳＢＭＥＳＨに与えられると、ＬＰ部管理用ファームよりの通知を元に、課金用ファームが試験用ＳＡを認識する前に、試験用セルが到着し、誤課金される可能性があるためである。）

30

以上のコマンドの論理チェックから試験手順のコマンド群禁止までの処理は、次項に示すＭＥＳＨ－ＭＨ 間 ＰＶＣ試験でも同様である。

11.4.4 ＭＥＳＨ－ＭＨ 間のＰＶＣ 試験

本試験は、加入者コンプレイン等を契機としオンデマンドで行う試験である。また、ＰＶＣ の試験であるので、試験用セルのＰＶＩ， ＶＣＩはその試験を実施するＰＶＣのそれと同一である。すなわち、試験に当たってＶＣＣ の設定は必要無い。

図４６７を参照しながら、ＭＥＳＨ－ＭＨ 間のＰＶＣ 試験について説明する。

同図に示す例では、ＳＢＭＥＳＨ（ｂ） およびＳＢＭＥＳＨ（ｃ） が同一ＭＨ（ＭＨ１）内に設けられている。そして、ＳＢＭＥＳＨ（ａ） は、ＰＶＣ 介して上記ＭＨ１に接続されている。ここでは、ＳＢＭＥＳＨ（ａ） とＭＨとの間のＰＶＣ を試験する例を示す。

40

ＳＢＭＥＳＨ（ａ） のＳＭＬＰ部内の生成部（ｇｅｎ．）が試験用セルを発生し、該試験用セルは、ＰＶＣ に沿ってＳＢＭＥＳＨ（ｂ） ， （ｃ） を收容するＭＨ１へ転送される。ＳＢＭＥＳＨ（ｂ） ， （ｃ） では、該試験用セルのＤＡをチェックし、自シェルフに取り込むべきものであれば取り込む。そして、該試験用セルは、ＲＭＬＰ内のチェック部（ｃｈｅｃｋ）にてチェックされる。このように、ＤＡに基づいて、自シェルフへ取込みを行うか否かを判断するので、タグ情報を用いた試験ではチェック出来ないＲＤＭＸの機能もチェック可能となる。

尚、図４６７では、試験用セルを発生するＳＢＭＥＳＨと、それを受信するＳＢＭＥＳＨ

50

とが別シェルフに存在するイメージで示しているが、MESH-MH間のPVCには発MESHが着MHに含まれているものも存在する。すなわち、試験用セルを発生するSBMESHと、それを受信するSBMESHとが同一シェルフの場合もありうる。

また、試験用セルを受けるのは、1つのシェルフとは限らない。複数シェルフとなることもある。そして、それらが同一MHに收容されるとも限らない。更に、図467では試験用セルを受けるシェルフをSBMESHと示したが、これに限定されるものではなく、GWESHの場合もある。よって以下では、単にMESHと示す。

詳細は後述するが、本試験では発着両MESHに対して使用DAを指定する。本試験用DAとして、以下の2通りの指定方法がある。

(1) 未使用のDAを指定する。

10

(2) 着MESHがそれまで扱っているDAを指定する。(SBMESHの場合は、該SBMESHに收容されているSNIに既に割り付けられているアドレスを指定する) 上記(1)は、主にMESH-MH間のPVCをメインに試験するものである。例えば、あるMESHから他のSBMESHの配下のどの加入者への通信も正常に行えない様なときに実行する試験である。以下、この場合のDAを「特定試験DA」と言うことにする。

上記(2)は、PVC試験というよりも、DA試験をメインにしている。例えば上記あるMESHから上記他のSBMESH配下の加入者への通信はほぼ正常に行えるのであるが、唯一あるDAだけには正常に行えない様な時に実行する試験である。この場合のDAを「割付け済DA」と以下では言う。

20

また、試験用DAは、個別アドレスタイプ、グループアドレスのいずれでも指定可能である。図468に、DAの指定法とそのタイプ指定での試験についてまとめたものを示す。本試験を行う時はMESHを閉塞する必要はない。また、特定試験DAを使用した試験の場合、試験用セルは着MESHからは出力されない。これに対し、割付け済DAを使用した試験の場合、試験用セルが該DAを含む着SNIに送出される。よって、この場合は、該当する着SNIは閉塞する。このように、着SNIを閉塞するので、あるSNIから、上記閉塞された着SNIへ向かうべきPDUがSBMESHに流入しても、それは該SNIが收容する着加入者には届かない。

以下に、MESH-MH間のPVC試験の手順を示す。この試験は、基本的にマスタ系に各コマンドを発行する。また、スレーブ系に発行してもそれなりに処理は行われるが、PVC試験結果要求コマンドに対する応答ステータスはマスタ系よりのものを使用してチェックする。なお、以下で「don't care」と示したものは、たとえば、all 0とする。

30

(1) 割付け済DAを使用した試験の場合は、SBMESHにSNI閉塞登録コマンドを発行し、被試験SNI閉塞を通知する。(該SNIがSMDS DS1/DS3に收容されている時はそのDTも閉塞する)

(2) 着MESHにPVC試験開始指示コマンドを発行する。複数着MESHの場合は、それぞれ発行する。尚、発着が同一MESHのものには(3)で指定する。

被試験種別は、図468に示したケースA、Bの時は「02」を指定し、ケースC、Dの時は「03」を指定する。

40

送受信識別は「02」を指定する。

被試験PVCは「don't care」とする。

加入者識別子は、ケースA、Bの時は「don't care」とし、ケースC、Dの時は試験セル用DAを含む着SNIのSNIナンバーを指定する。

試験セル用DAは、ケースA、Bの時は未使用の個別アドレスタイプ/グループアドレスタイプのものを指定し、ケースC、Dの時は試験対象DAを指定する。

試験セル用SAは、ケースA、Bの時は「don't care」とし、ケースC、Dの時は未使用の個別アドレスタイプのものを指定(誤課金防止のため)する。

(3) 発MESHに対してPVC試験開始指示コマンドを発行する。

被試験種別は、ケースA、Bの時は「02」を指定し、ケースC、Dの時は「03」

50

を指定する。

送受信識別は、通常は「01」を指定し、自分が着MESHでもある時は「03」を指定する。

被試験PVCは、ケースA、Cの時は送出先MHのMHIDを指定し、ケースB、Dの時は「don't care」とする。

加入者識別子は、通常は「don't care」とする。ただし、自分が着MESHでもある場合で、ケースA、Bの時は「don't care」とし、ケースC、Dの時は試験セル用DAを含む着SNIのSNIナンバーを指定する。

試験セル用DAは、ケースA、Bの時は未使用の個別アドレスタイプ／グループアドレスタイプのものを指定し、ケースC、Dの時は試験対象DAを指定する。

10

試験セル用SAは、ケースA、Bの時は「don't care」とし、ケースC、Dの時は未使用の個別アドレスタイプのものを指定（誤課金防止のため）する。

(4) 5秒以上のタイミングをとる。

(5) 発MESHにPVC試験終了指示コマンドを発行する。

(6) 発MESHにPVC試験結果要求コマンドを発行し、それに対する応答ステータスの試験結果をチェックする。自分が着MESHでもある時は、着MESHとしてのチェックも行う。

(7) 着MESHにPVC試験終了指示コマンドを発行する。複数着MESHの場合はそれぞれ発行する。

(8) 着MESHにPVC試験結果要求コマンドを発行し、それに対する応答ステータスの試験結果をチェックする。複数着MESHの場合はそれぞれ発行し、それぞれチェックする。

20

(9) 上記(1)で示した閉塞を解除する。

ケースDの場合は、着MESHにおいても試験用セルが試験セル用DAを含む着SNI全てに送出されるべくコピーされるが、この内チェック可能なのはPVC試験開始指示コマンド内の加入者識別子で指定された着SNIに対するものだけである。よって、この場合に全着SNIに対する試験を行うためには、上記の(2)～(8)を全着SNIの分繰り返すことになる。

11.4.5 PVC試験結果のチェック

PVC試験結果要求コマンドに対する応答ステータスに含まれるPVC試験結果表示部を図469に示す。

30

PVC試験には、2種（詳細には3種）あるが、どの試験時でも同一フォーマットである。また、図469の表はプリントアウトした場合の例を示しており、試験NG時に、同図に示すような表をプリントアウトする。ただし、例えばSNI-SBMESH間PVC試験を行ったのであれば、MESH-MH間PVC試験結果表示エリア（特定試験DA使用時、割付け済DA使用時共に）はプリントアウトしなくとも良い。

テストセル送出部障害表示エリア16bitは、テストセル送出部がテストセル送出不能状態にあるか否かを表す領域であり、送出不能の時はその要因を示す。送出が不能か否かは、以下のようにして表す。

16bitがall 0パターン : 送出不能状態ではない(O.K.)

40

16bitがall 0以外のパターン : 送出不能状態である(NG)

図470に一例を示す。同図において、Bが1とは、テストセル送出が終了していないことを示す。尚、MESH-MH間のPVC試験時の、自分が発MESHでないMESHの場合は、本部16bitはall 0である。

テストセル受信部障害表示エリア16bitは、テストセル受信部がテストセル受信不能状態にあるか否かを表す領域であり、受信不能のときはその要因を示す。受信不能か否かを、以下のようにして表す。

16bitがall 0パターン : 受信不能状態ではない(O.K.)

16bitがall 0以外のパターン : 受信不能状態である(NG)

図471に一例を示す。尚、MESH-MH間のPVC試験時の、自分が着MESH

50

でないMESHの場合は、本部 16 bit は all 0である。

SN I-SBMESH間 PVC試験結果表示エリアは、図469の上段4行に示すように、1ブロック 4bit ×32ブロック（図では、cell 0-cell 31と表示）に分割される。ハード的には、テストセル受信部の容量は 32 cell分であり、本試験時はテストセルのみが受信される。各ブロック 4bit にて、テストセルを受信したか否か、及び受信した時はその内容の妥当性を示す。各ブロックのビットパターンが表す内容の概要を以下に示す。

4 bitが all 0パターン : 受信し、内容も正常

4 bitが `0001` パターン : 受信したが、内容が異常

4 bitが `1000` パターン : 受信していない

10

尚、1回の試験ではテストセルは6個有り、本部のcell 0-cell 5の領域に各結果が上記の様に表示される。それ以外のcell 6-cell 31のブロックは all 0である。

また、MESH-MH間のPVC試験時には、通常、本アドレス全体としてall 0とする。換言すれば、以下のことが言える。

全ブロックがall 0パターン : O. K.

どこかにall 0以外のパターンがある: NG

MESH-MH間PVC試験結果表示エリア（特定試験DA使用時）も同様である。

尚、SN I-SBMESH間のPVC試験時、もしくは、割付け済DAを使用したMESH-MH間のPVC試験時は、本エリアは全体としてall 0である。また、特定試験DAを使用したMESH-MH間のPVC試験時であっても、自分が着MESHでないMESHの場合も本エリアは全体としてall 0である。

20

MESH-MH間PVC試験結果表示エリア（割付け済DA使用時）も同様に32ブロックに分割される。ただし、割付け済DAを使用した試験なので、テストセルのみが受信されるとは限らない。たとえば、試験に無関係なMESHから試験対象割付け済DAでPDUが来ると、これもテストセル受信部で受信してしまう。テストセルは6個であるが、上記の様にテストセルのみの受信ではないので、cell 0-cell 31の全ブロックをチェック対象とする。

各ブロック 4bitにてテストセルを受信したか否かを表し、受信した時はその内容の妥当性を、また、非試験MESHからのcellの受信かどうかを示す。概要を以下に示す。

30

4 bitが all 0パターン : テストセルを受信し、内容も正常

4 bitが `0001` パターン : テストセルを受信したが、内容が異常

4 bitが `1000` パターン : テストセルも、非試験MESHよりのセルも受信していない。

4 bitが all 1パターン : 非試験MESHよりのセルを受信

尚、SN I-SBMESH間のPVC試験時、もしくは、特定試験DAを使用したMESH-MH間のPVC試験時は、本エリアは全体としてall 0である。また、割付け済DAを使用したMESH-MH間のPVC試験時であっても、自分が着MESHでないMESHの場合も本エリア全体としてall 0である。本試験の場合は、非試験MESHよりのセルのためにテストセルが受信できないことがある。このため、この試験では、他試験にはないリトライという概念がある。

40

以下に、試験種別毎にチェック方式を詳細に示す。

・SN I-SBMESH間のPVC試験時

本試験に関連するMESHは1個のみである。この時は該MESHは発MESHであり、かつ、着MESHでもある。

試験結果でソフトがチェックすべきは、テストセル送出部障害表示エリア、テスト受信部障害表示エリア、SN I-SBMESH間PVC試験結果表示エリアである。それ以外のエリアは無効であり、ソフト的にチェックの対象外とする。ただし、該無効エリアのall 0は保証している。本試験の場合は、チェック対象エリアが all 0であれ

50

ばO. K. であり、それ以外のパターンがどこかにあればNGである。図472に、本試験の結果のプリントアウトイメージを示す。

・ MESH-MH 間のPVC 試験時（特定試験DA使用時）

本試験に関連する発MESHは1個のみであるが、着MESHは複数個の場合がありうる。また、発MESHが着MESHの中の1個であることもあり得る。

試験結果でソフトがチェックすべきは、発MESHにおいてはテストセル送出部障害表示エリアであり、着MESHにおいてはテストセル受信部障害表示エリア、MESH-MH間のPVC 試験結果表示エリア（特定試験DA使用時）である。それ以外のエリアは無効であり、ソフト的にチェックの対象外とする。ただし、該無効エリアの all 0は保証している。本試験の場合、チェック対象エリアが all 0であればO. K. であり、それ以外のパターンがどこかにあればNGである。図473に、本試験のプリントアウトイメージを下に示す。

・ MESH-MH 間のPVC 試験時（割付け済DA使用時）

本試験の場合も、関連する発MESHは1個のみであるが、着MESHは複数個の場合がありうる。また、発MESHが着MESHの中の1個であることもありうる。

試験結果でソフトがチェックすべきは、発MESHにおいてはテストセル送出部障害表示エリアであり、着MESHにおいてはテストセル受信部障害表示エリア、MESH-MH間のPVC 試験結果表示エリア（割付け済DA使用時）である。それ以外のエリアは無効であり、ソフト的にチェックの対象外とする。但し、該無効エリアの all 0は保証している。

本試験の場合は、テストエリア送出部障害表示エリア、テストセル受信部障害表示エリアについては all 0であればO. K. であり、それ以外のパターンがどこかにあればNGである。ただし、MESH-MH間のPVC 試験結果表示エリア（割付け済DA使用時）に関しては少し複雑であり、具体例を下に示す。

・ リトライ

本エリアが all 1 の場合。これはテストセル受信部で受信した 32 cell が全て非試験MESHからのものであることを示している。

・ O. K.

本エリアが all 1 パターンのブロックと all 0 パターンのそれとの混在であること。すなわち、少なくとも1個以上の正常なテストセルの受信部があり、その他は非試験MESHからのセルで埋め尽くされた状態を示す。

・ NG

1回の試験に関わるテストセルの個数は6個である。そして、試験NGの場合の本エリアのパターンは、32ブロックの中の all 0 であるブロックが6個未満であり、かつ、`1000`パターンであるブロックが1個以上存在するというものである。（その他に、all 1 パターンであるブロックが存在しても、しなくても同等の扱いとする）これはテストセル受信部に32 cell の受信がなく、かつ、テストセルを規定個数受信していないこと（テストセルに欠落があること）を示している。これ以外にも、内容が異常であるテストセルを1個以上受信した時もNGである。この場合の本エリアのパターンは、32ブロックの中に`0001`パターンであるブロックが1個以上存在するというものである。（それ以外のブロックについては「don't care」）図474に、本試験のプリントアウトイメージを示す。

11. 4. 6 MH-COMの診断

(1) MH-COMの診断機能

MH-COMの診断機能としては、以下のものがある。

(a) 自己診断

▲1▼ 試験課用自己診断

▲2▼ 工事(P-ON)診断

▲3▼ BCPRからの診断起動による自己診断

上記▲1▼から▲3▼の診断プログラムはほぼ同一である。

(b) TCG を用いた導通試験

TCG によりテストセルを発生させ、MH-COM部からいったんASSWにおいて当該MH-COMにスイッチし、さらにMH-COMにてそのテストセルを折り返してTCG へ戻すことにより導通試験を行う。

SBMESHは、ASSWのside 0, 1 双方とインタフェースしているため、折り返しパターンにも、以下の2つがある。

▲1▼ SDMX側で取り込んだテストセルをRMUXへ折り返す

▲2▼ RDMX側で取り込んだテストセルをSMUXへ折り返す

上記▲1▼、▲2▼の同時指定もある。

MH-COMは受信したテストセルの透明性を完全に守って折り返す。通過するTCGセルに対しては、処理を行わない。以下に、テストセルのDEMUX/MUX について説明する。 10

(1) S → R 方向

・テストセルは、SDMX部のSMLPデータをデマックスするDMUX-LSIで取り込まれる。従って、テストセルは、SMLPへのデータと同じタグ値を持つ。VPI/VCI 値はSMLPへのセルとテストセルで異なる。

・SMLPでは、VPI/VCI 値によりSMLPへのデータセルのみを取り込み、テストセルは廃棄する。

・R 側SEL-N1では、SDMXでデマックスされたセル (SMLP へのセルとテストセルが混在) の中から、「Oビット」がセットされているセル (テストセルだけが 「Oビット」がセットされている) だけをRMLPから受信したハイウェイへと多重する。つまり、SEL-N1ではVPI/VCI 値は「don't care」である。 20

・RMLPからのハイウェイに多重されたテストセルは、RVCCによりVCI 変換されてTCG へと戻る。

(2) R → S 方向

・テストセルは、RDMX部のテストセル専用DMUX-LSI (R-TCG DMUX) によるASSWからの 622 Mbps ハイウェイより分離される。但し、分離はタグ値のみによって行われる (「Oビット」には無関係) ので、分離されたセルデータは、テストセルだけとは限らない。

・RMLPでは、VPI/VCI 値によりRMLPへのデータセルのみを取り込み、テストセルは廃棄する。 30

・S 側SEL-N1では、R-TCG でDMUXされたセル (RMLP へのセルとテストセルが混在) の中から、「Oビット」がセットされているセルだけを、SMLPから受信したハイウェイへと多重する。つまり、SEL-N1ではVPI/VCI 値は「don't care」である。

・SMLPからのハイウェイに多重されたテストセルは、SVCCによりVCI 変換されてTCG へと戻る。

(2) MHCOM 自己診断の概要

図475に、MH-COMの自己診断機能に関する概要をまとめる。

(2)-1 TP について

TPには、一試TP、三試TP、交事TPの3種類がある。TPは、電源投入時・HSF05A前面のリセットスイッチ押下により起動されるが、どのTPが起動されるかはHSF05A上のディップスイッチの設定による。TPによる診断結果は、HSF05A上の7 seg. LEDにより表示される。 40

(2)-2 DP について

オンライン診断は、ACT 系よりOUS 系に対して起動される場合と、OUS 系に直接起動される場合とがある。起動の契機は以下の通りである。

起動 i) ACT系よりOUS 系に対して起動される場合

▲1▼他系障害検出後 (診断結果は、ACT 系に通知され、ACT 系COM-E-MSCNにてソフト通知) 50

i i) OUS系に直接起動される場合

▲1▼ 自系障害検出後

▲2▼ 診断コマンド入力（診断結果は、OUS系LAPで、COM-E-MSCNにてソフト通知）

(3) 診断結果通知

(3)-1 DP 実行結果

DP実行後、図476に示すように、DP結果、(OK/NG, レングス、詳細) を自系起動の場合は自系COM-E-MSCNにて通知し、他系から起動された場合は、系間通信により他系に通知し、その他系のCOM-E-MSCNにてソフト通知する。

i) RESULT : 被疑PWCB(NG PWCB) を設定する。(図477参照) 10

i i) レングス : 診断NBの詳細情報を何バイトで示すかを明記する。(図478参照)

i i i) 結果 : レングスで示された長さの詳細NG情報を示す。(図479参照)

11.4.7 LP部の診断

LP部の診断について以下に示す。

この診断の主な項目を以下を示す。

▲1▼ INF インタフェース試験

▲2▼ LP部機能試験

上記▲1▼は、診断プログラムが行うものであり、BSGCの診断の冒頭で行われるINF 20
インタフェース試験と同等のものである。

▲1▼は、大きく分けると、以下の2つからなる。

(1) CC アクセス ライト/リード試験

(2) DMA 転送試験

それら試験の詳細パフォーマンスを図480に示す。なお、同図には、純粋に結果を表示している部分のみを示している。また、APID等の部分は除いてある。同図において、「*1」が診断がO.K.かNGかを示すエリアである。その領域は8ビットであり、all 0 パターンがO.K.を示し、all 1 パターンがNGを示す。診断がO.K.の場合は、「*1」以外のエリアは「don't care」扱いとする。一方、上記診断がNGの場合は、「*1」以外のエリアが意味を持つ。 30

フェーズ・ナンバー・エリア、サブフェーズ・ナンバー・エリア、テストナンバー・エリアには、NGとなったフェーズ・ナンバー、サブフェーズ・ナンバー、およびテストナンバーがそれぞれ二進、bit 右詰めで表示される。

尚、フェーズ・ナンバーは、自律診断としてのフェーズ・ナンバーであり、SBMESH LP 部の診断としてのそれではない。

被疑プライオリティ表示エリアは、図480に示すように、home系とmate系に大別され、更に各PWCB対応(4 bit 毎)に分割される。例えば、#0系に診断をかけている場合、home系とは#0系であり、mate系とは#1系である。前述したように、LP部とMH-COM部との間には系間交絡があるので、mate系のPWCBが被疑PWCBとなることもある。各PWCB対応に被疑PWCBか否か、被疑PWCBの場合はその被疑プライオリティが二進、bit 右詰めで表示される。 40

同エリアにおいて、all 0 は被疑PWCBでは無いことを意味する。十進で表現した場合、1が最も疑わしいこと(被疑プライオリティが最も高い)を意味し、以下2, 3, ...と続く。ただし、中にはプライオリティをつけることができない場合もあり、その場合は同一プライオリティでの通知を行っている。タイムアウト時は、LP部よりの診断結果通知ステータス待ち状態を解除し、被疑PWCBの指摘を行う。

尚、前述したが、LP部のINF MSCNのNG bitパターンによっては(LP部・MH-COM部のいずれが障害かの判定がつかないので)、LP部・MH-COM部の両者に対して診断を行う場合がある。

LP部はINF 経由で、MH-COM部はLAP 経由でそれぞれ診断を行うことにな 50

るが、上記の様に両者に対して行う場合は、両者同時に診断を行わない。すなわち、いずれかの診断を先に行い、該診断が終わるまで残った方の診断は起動しない。

この理由は、以下の例で説明する。たとえば、MH-COM部の診断の中の一環として、LP部へ送出されるデータのパリティをくずす様な疑似障害試験が行われる。（これは、MH-COM部内のパリティチェッカがNGを検出することを確認するものであるが、そのデータがLP部にも送出されてしまう）このとき、同時にLP部の診断が行われており、その一環としてのMH-COM部よりのデータのパリティチェックがO.K.であることを期待したテストが行われていたとすると、そのテストがNGとなってしまうためである。

上記▲1▼でNGがあった場合は、上記▲2▼を行わない。また、▲1▼は（1）と（2）にわかれるが、（1）でNGの場合は（2）を行わない。 10

上記▲2▼は、LP部のμPが行う自律診断であり、複数のフェーズ、サブフェーズ、テストよりなるが、あるテストでNGとなると、その時点で自律診断は打ち切れ、診断結果通知ステータスが送出される。

11.5 MSCN

SBMESHに関するMSCNとしては、以下の2つがある。

▲1▼ MH-COM部に関するもの

▲2▼ LP部に関するもの

上記▲1▼はLAP経由で、▲2▼はINF経由でソフトにインタフェースする。以下に各々について示す。 20

11.5.1 MH-COMのMSCN

前述したように、MH-COMのMSCNは、簡易LAP経由で通知されるE-MSCNである。E-MSCNは、基本的に差分通知によりBCPRへと送られる。

SBMESHの場合、E-MSCNに收容される障害は全てMH-COMに関するものである。LPに関する障害情報は一切含まない。MH-COMの障害情報だけということは、SBMESHのMSCNは全て共通部E-MSCN（COM-E-MSCN）であることを意味する。すなわち、個別部情報はない。MH-COMのE-MSCNには、NG-OR／詳細の区別はない。（全てが詳細ポイントである）BCPRは、個々のポイントの内容に応じてアクションをとる。

▲1▼ MH-COM E-MSCN のフォーマット 30

MH-COMのE-MSCNは、図481に示すように、256 row × 8 bit map である。そして、256のrowはいくつかの領域に分割され、BCPRにとって障害発生時のアクション種別毎にまとまって收容されている。E-MSCNは差分通知であるが、同図に示すフォーマットのなかのどれか1ビットでも変化したならば、256 row 全てをBCPRへ通知する。

E-MSCNは、E-MSDにより1ワード（2 rows）単位でマスクの指定が可能である。マスクされたビットが変化しても通知は行わない。また、マスクされていないビットの変化によりマスクされたビットも同時に送出される場合（通常、そのような場合が多い）、そのビットは「OK」として通知される。

E-MSCNの極性は、「OK」で”0”、「NG」で”1”とする（NGでセットされる）。表中の”あき”領域の極性は”0”に保証されている。 40

障害情報表示のE-MSCNポイントは、MH-COMを構成する各PWCBに配置されたチェッカの出力をHSF05AのμPで編集した結果として表示される。各チェッカでは保護はとっておらず、一度でもNGが検出されたならばμPよりのフォールト・リセット（fault reset）指示かくるまで結果を保持する。一方、μPはこれらのチェッカを一定周期で監視しており、チェック結果をリードしてフォールト・リセットをかける動作を繰り返している。この監視法で二回連続してNGが検出されたならば、そのチェッカのある箇所で障害が発生したと認識して、そのチェッカの関係するE-MSCNポイントを「NG」にセットする。チェッカの監視周期はチェッカの内容に応じて異なる。

以下に、個々の領域について、その詳細内容を示す。

(1) MH-COM制御MSD エコーバック領域 (0 ~ 35 ROW)

本領域には、MH-COM制御用MSD (E-MSD) のエコーバックが收容される。收容時の極性は反転しない (E-MSD と同じ極性) 。

(2) 装置状態表示領域 (36 ~ 39 ROW)

本領域では、MH-COMの障害情報ではなく、ACT の状態やクロック選択などの装置状態に関する情報を收容する。

(3) 他系障害表示領域 (40 ~ 45 ROW)

本領域は、他系MH-COMの障害情報が收容されている。他系障害情報は、MH-COM間の系間通信リンク、あるいは別線で通知される。本領域に收容される障害が発生し、その系がACT である場合は、ASSWの系切り換え契機となる。

(4) 自系障害表示領域 (46 ~ 55 ROW)

本領域は、自系MH-COMの障害情報が收容されている。本領域に收容される障害が発生し、その系がACT である場合は、ASSWの系切り換え契機となる。

(5) warning 表示領域 (72 ~ 83 ROW)

本領域には、MH-COM内の警報情報が收容される。主に、MH-COM内のハイウェイデータを蓄積するバッファに関するバッファ full/cell 廃棄発生表示である。本領域に收容されるビットのセットは、ACT 系であっても、直接ASSWの系切り換え契機とはならない。

(6) 診断結果表示領域 (84 ~ 99 ROW)

本領域には、MH-COMに対するオンライン DP の実行結果が收容される。

(7) 統計情報表示領域 (100 ~ 119 ROW)

本領域には、MH-COM内の各種統計データが收容される。統計データは主に各マルチプレクサ/デマルチプレクサでのセル通知数・廃棄数である。

11.5.2 LP部の MSCN

LP部の MSCN には、以下の2種類がある。

(1) INF MSCN

(2) 詳細 MSCN

前述したように、SBMESHのLP部において障害が発生すると、INF 割り込みでソフトに通知される。ソフトは、その割り込みに対してMSCN読み取りコマンドを発行するが、そのコマンドに対する応答で得られるのが、図450に示したINF MSCN 32 bit である。

ソフトは、このデータから障害種別を認識するが、その時、必要に応じて、更に詳細な情報を得るために、詳細障害問い合わせコマンドを発行する。このコマンドに対する応答として得られるが、詳細MSCNである。

・詳細MSCN

図482に、詳細MSCN收容概念を示す。

LP部は、HMH00A-HMH06A, HLM00A, HLM01A, HLP02A の10枚のPWCBよりなる。各PWCBにはそれぞれ128ビットが割り付けられ、同図の順でならんでいる。

各PWCBのエリアは、同図に示すように、各種チェッカのチェック結果が收容されているMSCNエリア64ビットと、該チェッカに対する疑似障害ポイントのエコー・バックが收容されているMSD エコー・バックエリア64ビットよりなる。

MSCNエリア64ビットは上記のように、16 bit × 4 ブロックに区分される。

11.6 MSD

SBMESHに関するMSD としては、以下の2種類がある。

▲1▼ MH-COM部に関するもの

▲2▼ LP部に関するもの

上記▲1▼は、LAP 経由でソフトとインタフェースととり、上記▲2▼は、INF 経由でソフトをインタフェースをとる。

10

20

30

40

50

11.6.1 MH-COMのMSD

MH-COMに関するMSDは、局内通信LAPに收容され、BCPRからBSGCを介してMH-COM上のMSDテーブルをアクセスする。局内通信LAPによるMSDをE-MSDと呼ぶ。SBMESHに対するE-MSDは、MH-COMに関するMSDポイントのみを收容する。

▲1▼ MH-COM E-MSDのフォーマット

MH-COMのE-MSDは、図483に示すように、256row×8bitmapである。256のrowはいくつかの領域に分割され、各々のE-MSDポイントの意味づけに応じて区別して收容されている。BCPRは、E-MSDに対する操作を行う時は、操作対象ビットだけでなく、256row×8bit全ての領域をMH-COMに対して、COM-E-MSDコマンドによって送出する。コマンドを受信したMH-COMは、受信したE-MSDテーブルを前回受信したものと比較し、変化している部分全てを新しい設定と認識する。従って、BCPRは、操作対象でないポイントに対しては、前回送出したE-MSDテーブルと同じ値をセットする。

E-MSDの極性は、“0”でリセッし、“1”でセットである。E-MSDテーブルの一部の領域はE-MSCNヘエコー・バックされる。この時もE-MSDの極性は保たれる。以下に、図483に示すMH-COME-MSDの個々の領域について、その詳細を示す。

(1) MH-COM制御E-MSD領域(0～35ROW)

本領域には、MH-COM制御用E-MSDが收容される。本領域はE-MSCNヘエコー・バックされる。図484に本領域の收容を示す。また、図485および図486に本領域の各ポイントの内容を示す。

(2) 統計用閾値設計領域(36～51ROW)

本領域には、MH-COM内の各種統計機能に対する閾値を收容する。図487に本領域の收容を示す。また、図488および図489に、本領域の各ポイントの内容を示す。

(3) COM-E-MSCNマスクパターン設定領域(180～195ROW)

本領域にはE-MSCNに対するマスクパターンが收容される。マスクは1ワード(=2row=16bit)単位で、E-MSCNの全ての領域に対して設定・解除ができる。マスクを指定されたE-MSCNポイントは「OK」に固定される。また、マスクを指定されたE-MSCNポイントに関して障害が発生、あるいはそのポイントの極性が反転すべき事象が発生しても、E-MSCN通知(差分通知)は行わない。但し、マスクされているポイントであっても、E-MSCN読み出し要求コマンド(COM-EMSCN-DAT-RQ)に対しては、マスクはないものとして、その時点でのカレントデータを返送する。また、初期設定直後、BCPRよりマスクパターンの指定があるまでは、E-MSCNの全フィールドに対してマスクがかかっている状態となる。

図490に、本領域の收容を示す。また、図491に、本領域のマスク指定ポイントの内容を示す。

11.6.2 LP部のMSD

LP部は、HMH00A～HMH06A, HLM00A, HLM01A, HLP02Aの10枚のPWCBよりなる。各PWCBには、それぞれ16ビット分のエリアが割り付けられている。各PWCB共にほとんどのMSDポイントは診断時に使用する疑似障害用である。したがって、LP部のMSDポイントの診断は、μpが自律で行うものなので、ファームウェアだけが制御可能であればよく、ソフトよりは制御不可としている。

11.7 課金・統計処理

11.7.1 概要

SBMESHに関する上記処理としては、以下の5つがある。

▲1▼ MH-COM部における統計処理

▲2▼ LP部における課金処理

▲3▼ LP部におけるプロトコルパフォーマンスモニタ処理

10

20

30

40

50

▲4▼ LP部におけるネットワークデータコレクション処理

▲5▼ LP部における各種セル数の処理（トラフィック制御）

上記▲1▼は、LAP 経由でソフトとのインタフェースを行い、上記▲2▼以降は、INF 経由でソフトにインタフェースする。

▲1▼ MH-COMの統計処理

MH-COMにおける統計処理は、下記の位置について行うことが出来る。

(1) SDMX部（デマックス機能 600Mbps→155Mbps 部）

SBMESHにおいては、MH-COMでデマルチプレクスは行わないため、RDMX部の統計処理はない。

(2) SMUX RMUX 部（マックス機能、155Mbps→600Mbps 部） 10

(3) LAP 終端 DOWN側（デマックス機能 600Mbps→155Mbps 部）

(4) LAP 終端 UP 側（マックス機能 155Mbps→600Mbps 部）

(5) R-TCG 部（テストセル・マックス／デマックス部）

図492に、統計処理のシーケンスを示す。

(1) 統計処理シーケンス

統計情報の収集・通知は、COM-E-MSD 指示／COM-E-MSCN 通知による。統計契機は、時計設定（15分）指示でカウントデータ退避、その後読出要求により 20 BCP Rへ通知する。以下にシーケンスを示す。

(1) バッファ閾値設計を各回線マックス／デマックス毎に行う。

(2) 統計開始指示（各回線マックス／デマックス毎）により統計開始。

(3) 面切替え（15分）指示によりカウントデータ退避、同時にカウンタリセット。

(4) 統計情報読出要求により統計データを通知する。

(5) 上記(3)～(4)を繰り返す。

(2) 統計情報収集異常について

統計処理において局内通信に簡易LAPDプロトコルを使用する上で注意すべき点を説明する。

リンクリセットが生じた場合、NS（ソフトコマンドの番号チェック用シーケンスナンバー）が初期化される。この為、同一コマンドの二重設定といった弊害が生じる。図493 30 に、MH-COMの統計処理の収集が異常となる例を示す。

BCP Rは、時計設定のACK が返送されないためにUIタイムアウトとなりリンク再確立後、再び時計設定のコマンドを送出する。この時、NSは初期化され、装置側でのNS番号チェックも初期化されているので、装置側ではコマンドの重複とはみなせず二重設定してしまう。この面切替えの二重設定が生じると、15分間隔の統計データの収集に誤差が生じてしまう。そこで以下の様な保護をMH-COMの統計処理のアプリケーションで取ることとする。

(1) 統計処理開始後、面切替え指示の後に読出要求が無い場合、次の面切替え指示は無視する。 40

(2) ソフトは、統計処理を行っている回線に対しては、面切替え指示後必ず統計情報読出要求を発行すること。

図494に、統計処理異常時の処理シーケンスを示す。

次に、上記▲2▼～▲5▼についてのシーケンスを説明する。

図836は、上記(2)～(5)についてのシーケンスを説明する図である。

プロトコル・パフォーマンス・モニタ、ネットワーク・データコレクション等の各種カウンタは、ハード的には二面構成であり、ソフトよりの収集面切替え要求コマンドにより、そのハードアクセス面が切り替えられる。

上記カウントでは、ソフトは毎時00分、15分、30分、45分にSBMESH LP 50 部に対して収集面切替え要求コマンドを発行し、本切替えより次の切替えまでの15分

以内に、各種カウント値を読み出す。

尚、上記では、パフォーマンス情報要求コマンド、トラフィック・メジャーメント情報要求コマンド、廃棄セル数要求コマンドの順で示したが、この順序は単なる1例であり、規定するものではない。ただし、各コマンド（収集面切替え要求コマンドも含む）は「秒単位」の間隔をおいて発行すること。（コマンド群として集中して発行されると、ファームウェアが輻輳するため）

統計時刻情報コマンドも上記の様に15分毎に発行する。本コマンドでは、ファームウェアが管理している時計を補正するのみである。他コマンドとの位相関係に特に規定はない。（ただし、他コマンドとの間隔は「秒単位」とする）

以上は全てソフトよりの制御になるが、この他にハード自律でソフトに送出されるステータスとしては、以下の4つがある。 10

- (1) 課金データ通知
- (2) プロトコル・パフォーマンス・ログ通知
- (3) トラフィック・メジャーメント・ログ通知
- (4) プロトコル・パフォーマンスモニタに関する T C A 通知

(1) は、基本的には1分毎に送出される。(2) および(3) は、ログを要するエラーが発生する毎に送出される。ただし、ハード的にある程度のフィルタがかかっており、最も頻繁にログが通知されるときでもその間隔は「秒単位」となる。(4) は、エラーカウントが閾値を超過する毎に送出される。

11.7.2 課金処理 20

課金データは、基本的には1分毎に課金データ通知ステータスにより、ハード自律でソフトへ通知される。ただし、その1分間にセルの着信が一切無く、従ってソフトへ通知すべき課金データも無い場合は、課金データ通知ステータスは送出されない。

TR-775では課金に際して、以下の各データを収集するように指示している。

- (1) D A
- (2) S A
- (3) S N I アドレス
- (4) c o n d i t i o n c o d e
- (5) L 2 P D U カウント
- (6) L 3 P D U カウント 30
- (7) データ収集時刻

また、将来のL A T A間通信を考慮し、キャリアに関する情報も収集する。

上記(1) ~ (7) の個々のパラメータおよびキャリアに関する情報と、課金データ通知ステータス内のパラメータとの対応を以下に示す。

上記(1) のD Aはステータス中には独立パラメータとしては定義されていない。また、ステータス中のM H A T, M H I D, M E S H I D, S N I, I D, アドレスI Dよりソフトが求める。

上記(2) のS Aは、S Aそのものがステータスに含まれている。

上記(3) のS N I アドレスは、TR-775に示されている求め方に従ってソフトが求める。（ステータス中には独立パラメータとしては定義されていない） 40

上記(4) のc o n d i t i o n c o d eは、エラー無L 3 - P D Uでは「0」で、エラー有L 3 - P D Uでは、エラー種別に従ってTR-775に定義されているが、S B M E S Hのハードはエラー無L 3 - P D Uに対しのみ課金処理を行うので、該コードを「0」とする。該コードはソフトが付与する。

上記(5) ~ (7) のL 2 / L 3 P D U カウント、データ収集時刻、及びキャリアに関する情報はそれら情報そのものがステータスに含まれている。

全体のデータ量は、直前の1分間でのセル着信数等に依存し、一定量とはならない。よって、それらデータが課金データ通知ステータスの1つのメッセージに収まりきれない場合は、複数の前記ステータスが送出される。

ハード的には、課金データ蓄積R A M は二面構成であり、ソフトに送出されるものは、 50

その時点でのハード非アクセス面（凍結面）に蓄積されているデータである。課金データ通知ステータス中には、二面の内のいずれの面に蓄積されていたデータなのかを示すパラメータがある（ブロック・ナンバー）。また、上記の様に全体としての課金データが複数個のステータスで通知されうるため、シーケンス・ナンバーもパラメータとして存在する（0～4095が使用される）。

全ての課金データ送出後にファームウェアより課金転送終了ステータスが送出される。この課金転送終了ステータスに対し、ソフトより課金受信終了コマンドが送出され、更に、そのコマンドに対して課金受信終了応答ステータスをファームウェアが送出することで一連の課金データの送受が完了する。

正確には、ソフトよりの課金受信終了コマンド中には受信結果パラメータがあり、それがACKを示している時は「O. K.」であり、ファームウェアが課金受信終了応答ステータスを送出して完了となる。ファームウェアは、更に課金データ蓄積RAMの送出完了面のクリアを行う。

課金受信終了コマンド中の受信結果パラメータがNCKを示している時は「NG」であり、課金データの再送を行う。本再送では全ての課金データが再送される。（これに限らず、何の契機での再送であっても、全課金データの再送となる）

また、ソフトが課金データ通知ステータス受信中にシーケンス・ナンバーの異常（抜け）を検出した場合は、それを契機とし（課金転送終了ステータス受信前でも）受信結果パラメータがNCKである課金受信終了コマンドを送出する。ファームウェアは、そのコマンドを受信すると、課金データの再送を行う。また、ファームウェアは、課金転送終了ステータスを送出すると、200msのタイマを起動し、ソフトよりの課金受信終了コマンドを待つ。

タイムアウトした場合は課金データの再送を行う。その再送においてもタイムアウトした場合は、以降同様に無限回のリトライを行う。ただし、基本的には1分周期の課金データ送出であるので、再送処理はこれを越すことはせずに打ち切ることになる。

前記の様に、課金データ通知ステータスの中にはデータ収集時刻パラメータが含まれているが、再送する場合のそれは、再送前の（以前に送った）課金データ通知ステータスのそれと同じ値である。

課金転送終了ステータス中にもデータ収集開始時刻パラメータがあるが、その値は、該課金転送終了ステータスに先立つ課金データ通知ステータス中のデータ収集時刻パラメータの値より1分以内である。

課金部のハード構成より、「SA+キャリア情報」の組み合わせは256種までの対応となっている。これを超過する場合は、直前の課金データ蓄積RAMの面切り替え時から1分が経過していなくとも面切り替えを行い、課金データ通知ステータスの送出を行う。以上はファームウェア自律での課金データ送出についてであるが、この他にソフトよりの問い合わせによるものがある。例えば、ある電番を削除することに伴う精算処理用である。

この場合は、ソフトより課金精算データ転送要求コマンドを発行する。本コマンド化には精算対象電番がパラメータとして含まれている。ファームウェアは、これを受けても直ちに対応課金データを送出することはせず、課金精算データ転送応答ステータスを送出するだけである。対応課金データを送出するのは、本コマンド受信後の初めての課金データ蓄積RAMの面切り替えを行った後である。

通常の課金データ通知ステータス送出に先立ち、対応課金データを課金精算データ通知ステータスとして送出する。1分以内に複数個の電番の精算を要求されていた場合は、それらの対応課金データはこの時まとめて送出される。また、対応課金データが0であった場合は、対応課金データが無いことを示す情報を送出する。

本ステップにおいても、課金データ通知ステータスと同様に、ブロック・ナンバー、シーケンス・ナンバーのパラメータがあり（シーケンス・ナンバーは、本ステータスの後に送出される課金データ通知ステータスのそれと通番として付与される）複数メッセージにもなりうる。ここで、課金精算データとしての最終なのか、そうでないかは、終了通知パラ

10

20

30

40

50

メータに反映される。また、精算対象電番もパラメータとして含まれている。

再送に関する考え方は通常の場合と同じであり、精算データも含めた全データの再送となる。課金データのソフトに対する送出領域であるが、基本的には I N F 初期データ登録コマンドで通知された領域を使用する。ファームウェアが、この領域が不足したと認識すると、ソフトに対して課金バッファ要求ステータスを送出し、ソフトより課金バッファ登録コマンドにて通知された領域を使用する。

課金バッファ要求ステータスに対して、ソフトから課金バッファ登録コマンドによる領域通知が無い場合は課金データは廃棄される。ファームウェアは、課金バッファ要求ステータス送出と同時に 10 秒のタイマをはる。タイムアウト時は一度だけリトライする。それでもソフトよりの通知が無いと廃棄とする。

10

11. 7. 3 プロトコル・パフォーマンスモニタ処理

S B M E S H では、T R - 7 7 4 に従ったプロトコルパフォーマンスモニタ処理を行っている。この処理については、6 章に示したが、若干の追加説明を行う。プロトコル・パフォーマンスモニタ処理に関しては、以下の 3 つが必要となる。

- (1) 15 分毎の各種カウント値の保存
- (2) エラーカウント値が閾値を超えた場合の T C A 発生
- (3) エラーログの発生

ハード的には、各種カウンタはそれぞれ二面構成であり、ソフトよりの収集面切替え要求コマンドにより面切替えが行われる。そして、ソフトは次の該コマンド発行までの 15 分間に、それまでの 15 分間でのカウント値をパフォーマンス情報要求コマンドにより吸い上げる。T R - 7 7 4 で規定されている 15 分毎の各種カウント値の保存はソフトで行う。

20

パフォーマンス情報要求コマンドに対する応答ステータスの処理では、L 2 に関するバースティエラールゴリズムは行わず、L 2 # B a d i n t e r v a l s , L 2 # i n t e r v a l s , L 2 B u r s t y E r r o r Q u o t i e n t は「d o n ' t c a r e」として扱う。また、T R - 7 7 4 において具体的に規定していない部分を、以下のようにする。

L 3 - P D U T r a n s f e r r e d C o u n t (発側) : ネットワークデータコレクションの一環としてカウントしている値

E r r o r e d L 3 - P D U c o u n t (発側) : プロトコル・パフォーマンスモニタの一環としてカウントしている L 3 の S u m o f E r r o r s カウント値と個別カウント値の和

30

L 2 - P D U T r a n s f e r r e d C o u n t (発側) : ネットワーク・データコレクションの一環としてカウントしている値

E r r o r e d L 2 - P D U c o u n t (発側) : プロトコル・パフォーマンスモニタの一環としてカウントしている L 2 の S u m o f E r r o r s カウント値

L 3 - P D U T r a n s f e r r e d C o u n t (着側) : ネットワーク・データコレクションの一環としてカウントしている値

E r r o r e s L 3 - P D U c o u n t (着側) : 0

L 2 - P D U T r a n s f e r r e d C o u n t (着側) : ネットワーク・データコレクションの一環としてカウントしている値

40

E r r o r e s L 2 - P D U c o u n t (着側) : 0

L 3 - P D U T r a n s f e r r e d C o u n t に関しては、ネットワーク・データコレクションでは D A が個別アドレスのものと、グループアドレスのものに分けてカウントしているが、ここではその和を通知する。

L 3 - P D U T r a n s f e r r e d C o u n t , L 2 - P D U T r a n s f e r r e d C o u n t 共に、そのカウント値は正常 P D U のものだけでなく、e r r o r e d P D の分も含む。

E r r o r e d P D U c o u n t であるが、本ステータスで通知するからにはプロトコル・パフォーマンスモニタに関するエラー個数である。

50

着側では、エラー個数を0とする。一方、発側では、L2, L3共に各種チェックを行う。L2の場合は、各エラーは個別にもカウントし、Sum of Errors としてもカウントする。よって、Sum of Errors カウント値を通知する。L3の場合は、個別にカウントするエラーとSum of Errors としてカウントするものが異なる。よって、両者の和を通知する。

エラーカウント値が閾値を超えた場合のTCA 発生に関する処理であるが、ファームウェアがエラーカウント値の閾値に対する超過を検出すると自律でソフトに対しステータスを発生する。これは、Sum of errors アルゴリズムに関するものである。L2, L3に対応して自律ステータスも2種ある。

ソフトは、自律ステータスを受けTCA メッセージを発生することになるが、該メッセージにはSNI ナンバーが含まれている必要がある。SBMESHは、32 SNIを収容するが、上記自律ステータス中に、32 SNIのそれぞれに対応する32ビットの領域があり、各ビットのon/offで対応するSNI における「超過」の有無を示す。そして、ソフトは bit 番号からSNI ナンバーを求める。ただし、以下に示す注意が必要である。

ハードのエラーカウンタは二面有り、ソフトよりの収集面切替要求コマンドにより面切替えが行われ、新たなハードアクセス面では0からのカウントアップが行われる。Sum of errors の場合、カウントが進み超過が生じる(SNI xが超過したと仮定する) とソフトに対して自律ステータスを発生する。このステータスでは、SNI x のみが超過との情報が送られる。

そして、更に時間が経過し(ただし次の収集面切替要求コマンドよりは前)、SNI y が超過したとする。この場合、再び自律ステータスが発生するが、その中では新たに超過したSNI y と、それ以前に超過していたSNI x とが超過との情報が送られる。このとき、ソフトは例えばlast look 等の方法を適用し、新たに超過したSNI y のSum of error TCAのみを発生する。

Bursty error (バースト・エラー)に関しては、ハード的にはカウントのみを行っており、ソフトよりの収集面切替要求コマンドをトリガとし、ファームウェアが比の計算を行い、これが閾値を超過していると、自律ステータス(上記のL2, L3のSum of errors に関するものとは別種)でソフトへ通知する。Sum of errors に関する自律ステータスと同様に、32 SNIのそれぞれに対応する32 bitの領域があり、各ビットのon/offで対応するSNI における「超過」の有無を示している。

尚、SBMESHのハードが正常であれば、0系で超過する時には、1系でも超過する筈であるが、自律ステータスはマスタ系よりのみ発行される。

TR-774によれば、プロトコル・パフォーマンスモニタに関し、閾値の変更・現カウント値の読み出し、現カウント値のクリアが要求されている。これらはそれぞれ、規制値変更要求コマンド、カレント・パフォーマンス情報要求コマンド、カレント・パフォーマンス・カウンタ・クリア要求コマンドによりそれぞれ実現可能である。

ロギングが要求されているエラーが生じた時は、プロトコル・パフォーマンスログ通知ステータスにて通知される。本データ(及び、上記のTCA 関連の自律ステータス)のソフトに対する送出領域であるが、基本的にはINF 初期データ登録コマンドで通知された領域を使用する。ファームウェアが、この領域が不足したと認識すると、ソフトに対してロギングバッファ要求ステータスを送出し、ソフトよりロギングバッファ登録コマンドにて通知された領域を使用する。ロギングバッファ要求ステータスに対して、ソフトよりロギングバッファ登録コマンドにての領域通知が無かった場合は、ロギングデータは廃棄される。課金バッファの場合と違い、本ロギングバッファの場合はタイマは起動せず、また、リトライも行わない。

11. 7. 4 ネットワーク・データコレクション処理

SBMESHでは、TR-774に従ったネットワーク、データコレクション処理を行っている。詳細は7章に記載したが、ここで若干の追加説明を行う。ネットワーク・データ

10

20

30

40

50

コレクション処理に関しては、以下の2つが必要となる。

- (1) 15分毎の各種カウント値の保存
- (2) エラーログの発生

ハード的には、各種カウンタは二面構成であり、ソフトよりの収集面切替え要求コマンドにより面切替えが行われる。ソフトは、次の該コマンド発行までの15分間に、それまでの15分間でのカウント値をトラフィック・メジャーメント情報要求コマンドにより吸い上げる。ここで、15分毎の各種カウント値の保存はソフトが行う。

これに対する応答ステータスであるが、以下に示す注意が必要である。

Total Originating L3-PDUs ~ Total Terminating Group addressed L3-PDUsの6種のカウント値であるが、それぞれ正常PDU数だけではなく、errored PDU数も含んでいる。また、Total Originating/Terminating L3-PDUsの2種のカウント値は、DAが個別アドレスタイプのL3-PDUに対するものであり、真の意味での総和は、本カウント値とTotal Originating/Terminating Group addressed L3-PDUsの和である。また、L3-PDUs discarded by congestion controls以下の4種のカウント値であるが、今回のハードはカウントしておらず、これらは「don't care」として扱う。 10

プロトコル・パフォーマンスモニタ処理と同様に、現カウント値の読み出し、現カウント値のクリアが、それぞれカレント・トラフィック情報要求コマンド、カレント・トラフィック・カウンタ・クリア要求コマンドによりそれぞれ実現可能である。 20

TR-774によりロギングが要求されているエラーが生じた時は、トラフィック・メジャーメント・ログ通知ステータスにて通知される。本データのソフトに対する送出領域であるが、基本的にはINF 初期データ登録コマンドで通知された領域を使用する。ファームウェアが、この領域が不足していると認識すると、ソフトに対してロギングバッファ要求ステータスを送出し、ソフトからロギングバッファ登録コマンドにて通知された領域を使用する。(プロトコルパフォーマンスログと共用)

ロギングバッファ要求ステータスに対する、ソフトよりのロギングバッファ登録コマンドにての領域通知が無かった場合は、ロギングデータは廃棄される。ただし、課金バッファの場合とは違い、本ロギングバッファの場合はタイマは起動せず、また、リトライも行わない。 30

11.7.5 各種セル数の処理

ソフトが廃棄セル数要求コマンドを送出すると、その応答としてSMLP, RMLPそれぞれの出力部にあるVC-shaper (シェーピング機能を実行するブロック)におけるL2-PDU, L3-PDUの廃棄数等が得られる。このカウント値は、システム全体のトラフィック制御(特にSBMESHの増減設時)に使用されるものである。具体的な使用法はトラフィックWGの決定に従う。

プロトコル・パフォーマンスモニタ処理と同様に、現カウント値の読み出し、現カウント値のクリアが、それぞれカレント廃棄セル数要求コマンド、カレント廃棄セル数クリア要求コマンドによりそれぞれ実現可能である。 40

SBMESHでは、各種エラーカウントを行っている。これらは独自カウント情報要求コマンドに対する応答として得られる。そして、これらのエラーが生じた場合はエラーセルは廃棄するので、その数をカウントする。これらのエラーカウント値は、保守者が投入するコマンドで読み出せるだけでなく、障害処理に使用することもできる。

これらのカウント値に対しても、現カウント値の読み出し、現カウント値のクリアが、それぞれカレント独自カウント情報要求コマンド、カレント独自カウントクリア要求コマンドによりそれぞれ実現可能である。

【0010】

<パート6>

パート6では、ゲートウェイ・メッセージ・ハンドラ(GWMH)について詳細に説明す 50

る。

1. 概要

1. 1 概要

GWME SH (Gateway Message Handler Shelf) は、SMD S 交換機間のデータ交換を行う装置である。この交換は、メッセージのフォーマットを意識するものの、実際にはセル単位の交換を行うものである。プロトコル的には、SMD S の加入者プロトコルである SIP (SNI interface Protocol) のレベル 2 (AAL-SAR) およびレベル 3 (AAL-CS, CL) を終端する。

1. 1. 1 システム内の位置付け

10

図 496 は、1つのスイッチングシステムを表しており、そのシステム内における GWME SH の位置付けを示す。この図は、本実施例のパート 1 の図 8 に示す全体構成の中の、GWME SH (および、前述した SBME SH) を中心に示している。DS3 などを持つ SIFSH はパート 2 及びパート 3 で説明した。また、LLP を有する SIFSH は、パート 1 の図 9 に示した SIFSH である。

GWME SH は、ASSW に接続される各ハイウェイ毎に、最大 4 個までいもづる式 (デイジー・チェーン) に接続可能である。そのような 1 本のハイウェイに対して接続されている GWME SH のグループを GWMH と呼ぶ。GWME SH と GWMH の関係は、SBME SH と SBMH の関係と同じである。

図 496 において、SNI は加入者・ネットワーク・インタフェースであり、この先に実際の SMD S 加入者が接続されている。また、ISSI はスイッチング・システム間インタフェースであり、この先には他の SS (スイッチング・システム) が接続されている。さらに、ICI はキャリア間インタフェースであり、この先にはキャリア経由で他の LAT A が接続されている。

20

GWME SH (GWMH) は、Incoming (IC) 部と、Outgoing (OG) 部に大別される。ISSI または ICI を介して入力されてきたデータは、GWME SH の IC 部で処理され、GWME SH の OG 部で処理されたデータが、ISSI または ICI へ出力される。

1. 1. 2 SMD S データ処理のルート

図 497 ~ 591 に、SBME SH および GWME SH における、SMD S データのルーティング処理の概要を説明する。ここでの説明は、SBME SH の説明と一部重複する。図 497 は、当該スイッチング・システムに収容される SNI - SNI 間での SMD S データの処理を示す図である。

30

同図に示すように、SNI - 1 から SNI - 2 に対してデータ転送を行うときは、SNI - 1 から出力されたデータ (メッセージ) は、いったん SIFSH 11 で終端され、1 つまたは複数のセルに分解されて、上記 SIFSH 11 と SBMH (S) との間に設定されている固定パスまたは半固定パス (PVC) を介して SBMH (S) に入力される。このときのセルのヘッダ部には上記 PVC を指定する VPI / VCI が書き込まれている。

SBMH (S) は、そのセルに格納されているアドレス情報 (着信先アドレス DA) から、そのセルの着信先の加入者が自スイッチング・システム内に収容されていることを認識し、該セルの VPI / VCI として、SBMH (S) と SBMH (R) との間に設定されている PVC を示す値を書き込んで出力する。

40

上記 SBMH (S) から SBMH (R) へのパスは、実際には同図に示すように SIFSH 12 を介している。SIFSH 12 の構成は、図 9 に示す通りであり、本実施例のパート 3 で説明した SIFSH と同様にその SIF-COM 部に VCC が設けられている。そして、上記データ転送の場合、SBMH (S) から出力されたセルは、いったん SIFSH 12 に転送され、SIFSH 12 内の VCC を介して SBMH (R) へ出力される。これらのパスも PVC で接続されている。

そして、そのセルを受信した SBMH (R) は、同様に、そのセルに格納されているア

50

ドレス情報から SNI-2 が収容されている SIFSH (SIFSH 11) を認識し、SBMH(R) と上記 SIFSH 11 との間に設定されている PVC を示す VPI/VCI を書き込んで出力する。

このように、同一スイッチング・システム内に収容されている SNI-SNI 間での SMD S データの処理においては、GWMSH は使用されず、SBMH(S) および SBMH(R) のみを介してルーティングされる。

ここで、パスの指定方法について簡単に説明する。

SBMH(S) または SBMH(R) における VPI/VCI の指定は、セルに格納されているアドレス情報(DA)をもとに行うが、この指定は、全てのセルに対して行わず、SNI-1 から出力されたメッセージ毎に行う。すなわち、そのメッセージを複数のセルに分解した場合、該メッセージの DA は、BOM のペイロード内の所定位置に格納(そのメッセージが1つのセルに変換された場合は、SSM)されており、SBMH(S) または SBMH(R) は、その BOM (SSM) 受信時に、上記アドレス情報に基づいて、入力 VPI/VCI 及び入力 MID と出力 VPI/VCI との対応関係を自身のテーブルに設定する。そして、SBMH(S) または SBMH(R) は、上記 BOM に続く COM, EOM を受信すると、それら COM, EOM が有する入力 VPI/VCI および入力 MID をキーとして上記テーブルを検索することにより、セルに書き込むべき VPI/VCI を獲得し、その値を付与して出力する。

このように、任意の長さのメッセージのルーティング処理をセル単位で行う。このとき、COM, EOM のルーティング処理では、入力 VPI/VCI および入力 MID のみに基づいてハード的に行い、ソフトウェア処理が必要なレイヤ3(またはレイヤ3よりも高いレイヤ)での処理が含まれないため、高速で実行される。また、上記は、SBMH(S) または SBMH(R) について説明したが、GWMH(I) または GWMH(O) についても同様である。

図498は、SNI → ISSI または ICI の場合の SMD S データの処理を示す図である。同図において、SNI から出力されたメッセージがセル分解されて SBMH(S) に入力されるところまでは、図497の例と同じであるが、ここでは、このメッセージの着信先加入者が他のスイッチング・システムに収容されているので、GWMH が使用される。即ち、SBMH(S) において、SBMH(S) と上記着信先加入者を収容している GWMH(O) との間に設定されている PVC を指定する VPI/VCI をセルのヘッダ部に書き込んでそのセルを出力する。(ここでも、実際は、SIFSH 12 を介して転送される)そして、該セルを受信した GWMH(O) は、GWMH(O) と上記他のスイッチング・システムの GWMH(I) との間に設定されている PVC を指定する VPI/VCI をセルのヘッダ部に書き込んでそのセルを出力する。

図499は、ISSI または ICI → SNI の場合の SMD S データの処理を示す図である。同図に示すように、他のスイッチング・システムから当該スイッチングシステムに入力されてきたセルは GWMH(I) に入力される。この場合、上記他のスイッチング・システムの GWMH(O) が、その GWMH(O) と当該システムの GWMH(I) との間の PVC を示す VPI/VCI をセルのヘッダ部に書き込んで出力している。上記 GWMH(I) は、受信したセルの着信先が当該システムに収容されている加入者であることを認識すると、GWMH(I) と SBMH(R) との間の PVC を示す VPI/VCI をセルのヘッダ部に書き込んで出力する。(ここでも、実際は、SIFSH 12 を介して転送される)そして、その SBMH(R) が、着信先加入者に対して上記セルを転送する。

図500は、ISSI または ICI → ISSI または ICI の場合の SMD S データの処理を示す図である。これは、他のスイッチング・システムに収容される加入者からさらに別のスイッチング・システムに収容される加入者へのデータ(メッセージ)転送時において、当該システムが中継の役割をする場合である。

同図に示すように、他のスイッチング・システムから当該スイッチングシステムに入力さ

10

20

30

40

50

れてきたセルがGWMH (I)に入力される場所は、図499での説明と同じである。そして、GWMH (I)は、そのセルの着信先が上記別のスイッチング・システムであることを認識すると、GWMH (I)とGWMH (O)との間のPVCを指定するVPI/VCIをセルのヘッダ部に書き込んで出力する。そして、GWMH (O)は、上記着信先加入者が収容されているスイッチング・システムのGWMH (I)との間に設定されているPVCを示すVPI/VCIをセルのヘッダ部に書き込んで出力する。(ここでも、実際は、SIFSH 12を介して転送される)

次に、アドレスに応じたSMD Sデータ処理について説明をする。

(1) 個別アドレス、GAA以外のグループアドレス(自スイッチング・システムがそのGAのエージェントではない)、Embodied-SACの場合
ICI, ISSIからのデータは、ASSW(UP)の固定パスまたは半固体パス(PVC)によって、GWMesh (I)に転送される。GWMesh (I)では、データ内のアドレスタイプ、着信先アドレス(DA: E164アドレス)を解析することによって、送出先SNI, ICI, ISSIを収容するSBMH (R), GWMH (O)へのルートを検索し、その検索したルートを出力データに付加して、ASSW(UP)へ出力する。ここで、各GWMesh (I)とSBMH (R), GWMH (O)との間は、PVCで接続されている。

該データは、ASSW(UP), LLP, ASSW(DOWN)を介して、所定のSBMH (R)またはGWMH (O)に入力する。SBMH (R)またはGWMH (O)は、データ内のDAを参照し、当該スイッチング・システムに収容されるSNI (SBMeshの場合)またはICI, ISSI (GWMeshの場合)へのデータのみをフィルタリング(取り込み)し、着信先SNIまたはICI, ISSIへのルートを検索し、ASSW(DOWN)へ出力する。ここで、SBMH (R)またはGWMH (O)と、SNIまたはICI, ISSIとの間は、PVCで接続されている。

(2) GAAであるグループアドレスの場合

ICI, ISSIからのデータが当該システムに入力され、所定のSBMH (R)またはGWMH (O)に入力されるまでの処理は、上記(1)と同じである。SBMH (R)またはGWMH (O)は、取り込んだデータのDAを参照し、自スイッチング・システムがそのGAのGAAであると認識すると、以下の処理を行う。

自スイッチング・システムが収容するSNIに接続されている加入者に対してはSBMH (R)が該加入者の数だけデータコピーを行い、さらに、上記GAを各加入者の個別アドレスに変換して各コピーしたデータに付与して転送を実行する。

ICI, ISSI経由で他のスイッチング・システムにデータ転送を行う場合は、GWMH (O)がデータコピーを行い、さらに上記GAから個別アドレスへの変換を行って転送を実行する。

1.2 方式構成

図501に示すように、GWMeshは、ASSWをインタフェースするMH-COM部および実際のスイッチング処理を行うLP部とに大別される。

MH-COM部は、SDMX, RDMX, SMUX, RMUXを有する。頭文字に「S」が付くものはGWMesh (I)に対応し、「R」が付くものはGWMesh (O)に対応する。DMXはASSWからのデータを分解して自シェルフへ取り込む機能であり、MUXは自シェルフからのデータを多重化してASSWへ送出する機能である。GWMeshは、この他に不図示のLAP 終端部、VCCを有する。VCCの設定はBSGCからLAPで行われる。また、MH-COM部内の各チェッカーの情報も、LAPによってBSGC経由でソフトウェアをインタフェースをとる。

LP部は、Incoming, Outgoing, LP-COMに大別される。Incoming, OutgoingはそれぞれGWMesh (I)およびGWMesh (O)に対応しており、いずれもデータのスイッチング機能である。LP-COMは、

10

20

30

40

50

IncomingおよびOutgoingの制御部であり、INFでソフトウェアとインタフェースをとる。スイッチングの必要な各種局データ、加入者データ、LP部内各チャッカーの情報、課金情報などはINFでソフトウェアとインタフェースをとる。なお、以降では、LP部のIncomingを「ICLP」、Outgoingを「OGLP」と呼ぶ場合がある。

ASSWの各ハイウェイに最大4個までのGWMeshをいもづる式に接続できることは前述したが、LP部とINFの接続は、1対1である。したがって、たとえば、あるハイウェイに4個のGWMeshがいもづる式に接続されているときには、INF（正確には、INF A）からの放路が4本必要である。

1. 3 冗長構成

10

図502に、GWMeshの冗長構成を示す。

MH-COM部、LP部は、それぞれ2重化されている。MH-COM部は、ASSWにくくりつけのマスタ/スレイブ形式の2重化系であり、LP部は、これと独立した2重化系である。スレイブ系のLP部においても、スイッチング動作は行っているが、スレイブ系からは課金情報がソフトウェアへ通知されない。

2重化されているMH-COM部とLP部との間には系間交絡が存在する。即ち、MH-COM部の#0とLP部#1との間、およびMH-COM部の#1とLP部#0との間で情報の授受を行うことができる。LP部とINFとの間には系間交絡が存在しない。

たとえば、LP部#0のOutgoingには、MH-COM部#0のRDMXおよびMH-COM部#1のRDMXの双方からデータ入力する。そして、LP部#0のOutgoingにおいて、その入力部に設けられた不図示のセクタが、上記#0、#1のうちのマスタ系の方のRDMXからのデータを選択する。同様に、MH-COM部#0のSMUXには、LP部#0のIncoming及びLP部#1のIncomingの双方からデータが入力する。そして、MH-COM部#0のSMUXにおいて、その入力部に設けられた不図示のセクタが、上記#0、#1のうちのマスタ系の方のIncomingからのデータを選択する。

20

2. 処理方法

2. 1 ネットワーク構成

図503に、SMDネットワーク構成の一例を示す。同図に示すように、加入者端末（CPEに対応）は、SNIを介してスイッチング・システムSSに收容されている。各SSは、1つのネットワーク内（同図の、LEC、BOC、ILECに対応）では、ISSIを介して互いに接続されている。そして、他のネットワークに收容されているSSとの通信の場合は、ICIを介して行われる。ここで、図496に示したシステムは、各SS毎に設けられる。

30

2. 2 ルーティング方式

図504に、個別アドレスを用いてデータ転送をする場合のルーティング処理の例を示す。また、図504に示す4種類の通信経路の例を、ネットワーク構成と共に示したものが図505である。この場合、各SSでは、DAを参照して着信先を判断する。

(1) SS内通信は、同一SS1に收容されるCPE(A)(Customer Premise Equipment)とCPE(B)との間の通信である。この場合、SS1は、図497に示した処理を行う。

40

(2) LEC内通信は、SS1に收容されるCPE(A)からSS2に收容されるCPE(C)への通信である。この場合、SS1は図498に示した処理を行い、SS2は図499に示した処理を行う。

(3) LEC外LATA内通信は、SS1に收容されるCPE(A)から、SS1と同じLATA内の他のLEC内のSS5に收容されているCPE(D)への通信である。SS1とSS3とが同一LEC内においてISSIを介して接続され、SS4とSS5とが他の同一LEC内においてISSIを介して接続されている。また、SS3とSS4とがICIを介して接続されている。この場合、SS1は図498に示した処理を行い、SS5は図499に示した処理を行い、SS3およびSS4は図50

50

0 に示した処理を行う。

(4) L A T A 外通信は、S S 1 に收容される C P E (A) から、S S 1 が收容されている L A T A のネットワーク内の S S 8 に收容される C P E (F) への通信である。そして、S S 1 と S S 6 とが同一 L E C 内において I S S I を介して接続され、S S 7 と S S 8 とが他の同一 L E C 内において I S S I を介して接続されている。さらに、S S 6 と S S 7 とが、I C ネットワークを介して I C I で接続されている。この場合、S S 1 は図 4 9 8 に示した処理を行い、S S 8 は図 4 9 9 に示した処理を行い、S S 6 および S S 7 は図 5 0 0 に示した処理を行う。

2. 3 グループアドレスの処理

図 5 0 6 に、グループアドレスを用いてデータ転送をする場合の処理の例を示す。また、図 5 0 6 に示す 3 種類の通信経路の例をネットワーク構成と共に示したものが、それぞれ図 5 0 7 ~ 図 5 0 9 である。この場合、各 S S では D A (ここでは、G A) を参照し、自 S S がその G A が指定するエリア内であると判断すると、該 S S に收容されている S B M E S H または G W M E S H が入力データをコピーし、すべての S S に転送する。なお、上記 G A が指定するエリア G A A への入力までの転送は、図 5 0 4 に示した個別アドレスを持ったデータの転送の場合と同じである。

(1) 自 L E C が G A A である場合とは、G A が指定するエリア G A A 内の S S 1 に收容される C P E (A) がデータ送信元である通信である。この場合、S S 1 に收容されている S B M H においてデータコピーが行われ、図 5 0 7 に示すように、他のすべての S S に対してそのデータが転送される。

(2) L A T A 内の他の I L E C が G A A である場合とは、データ送信元の C P E (E) が S S 2 に收容され、その S S 2 が設けられている I L E C が、G A の指定するエリア G A A (図 5 0 8 の、L E C N e t w o r k (G A A) とする) 外であり、かつ、S S 2 と G A A が同一 L A T A 内である通信である。ここで、C P E (E) から S S 4 に至る転送は、個別アドレスが指定されている場合と同じである。そして、S S 4 に收容されている G W M H においてデータコピーが行われ、図 5 0 8 に示すように、他のすべての S S に対してそのデータが転送される。

(3) L A T A 外に G A A がある場合とは、データ送信元の C P E (G) が S S 5 に收容され、その S S 5 が設けられている I L E C が、G A の指定するエリア G A A (図 5 0 9 の、L E C N e t w o r k (G A A) とする) が属する L A T A の外である (I C I を介して接続される) 通信である。ここで、C P E (G) から S S 7 に至る転送は、個別アドレスが指定されている場合と同じである。そして、S S 7 に收容されている G W M H においてデータコピーが行われ、図 5 0 9 に示すように、他のすべての S S に対してそのデータが転送される。

2. 4 ロード・スプリッティング

ロード・スプリッティングとは、2 つの S S 間を結合する I S S I 上に、または S S と他のキャリア (例えば、電話会社) の P O P を結合する I C I 上に、物理リンク (または、論理リンク) が 2 本以上ある場合に、各リンク上にかかる負荷を分割させることである。ただし、S S 間の経路が複数ある場合、すなわち、別々の中継 S S を挟んで 2 つの S S が結合されている場合には、双方の経路への負荷分散は行わない。図 5 1 0 に、上記リンクのイメージを示す。

原則として、同じ D A , S A の組みを持つメッセージは、リンクの状態が変わらない限り、同一のリンクを用いる。これにより、同一 D A , S A のメッセージ間の転送順序は保証される。また、D A , S A がランダムの場合には、各リンクにかかる負荷が均衡する方式をとる。このことを実現するため、ロード・スプリッティングは以下の 2 つの処理から構成される。

・キー生成

メッセージの D A , S A (計 1 2 8 ビット) から、ある範囲内 (キー空間) の値への写像 (キー) を生成する。

・キー割当

10

20

30

40

50

メッセージのキーから、実際のリンクにメッセージを割り当てる。

2. 4. 1 ロード・スプリッティングの特徴

同一キャリアのネットワーク内のSS間を結合するISSI、または、SS-POP間を結合するICI、すなわち、同一のISSI (ICI) リンク・セットに属するISSI (ICI) を全て同一のGWMHに収容する。同一GWMH内の複数のGWME SH間でのロード・スプリッティングも実現する。(図511参照)

IAデータ(個別アドレスが指定されているデータ)、および各SS(GWMH)でコピーしないグループアドレスGAデータの場合は、以下に示すロード・スプリッティング・アルゴリズムを適用し、該当するGWME SHにおいて処理する。このロード・スプリッティング・アルゴリズムは、既知のアルゴリズム(例えば、TR-1059, Issue 2の9章)に従う。一方、各SSで同一リンク・セットに複数のコピーを送出するGAデータ(即ち、IAに展開するデータ)の場合は、付与するIA毎に、各ISSI (ICI) リンクを割り当てる。

以下では、上記コピーしない場合に適用されるロード・スプリッティング・アルゴリズムについて述べる。

2. 4. 2 キー生成

キー生成は、DA, SA のビットストリングに対してCRC-16の除算を行うことにより、16ビットキーを生成する。これは、データ毎に行われるため、ハードで実現する。以下に、キー生成の手順を示す。

(a) 多項式 $L(x) = x^{15} + x^{14} + x^{13} + \dots + x + 1$ および

生成多項式 $G(x) = x^{16} + x^{12} + x^5 + 1$ とする。

(b) DA, SA の組に対して、DAのMSB がMSB 側、SAのLSB がLSB 側となるような128ビットのビット・ストリング $F(x)$ を生成する。即ち、DAのビット・ストリングを $D(x)$ 、SAのビット・ストリングを $S(x)$ とすると、

$F(x) = x^{64} \cdot D(x) + S(x)$ である。

(c) $F(x) \cdot x^{16} + L(x) \cdot x^{128}$ を上記生成多項式 $G(x)$ で剰余した余り $R(x)$ をロード・スプリッティング・キーとする。

2. 4. 3 キー割当

キー割当においては、上述のようにして生成されたキーに従って、各アクティブなリンクに対してメッセージを割り当てる。即ち、キー空間を分割し、その分割されたキー空間をアクティブなリンクにそれぞれ割り当て、メッセージに対して生成されたキーが、リンクに割り当てたキーの範囲に入るときに、そのリンクを用いてメッセージの転送を行う。

割り当てるキーの範囲についてのデフォルト値は、ISSI/ICIリンク帯域に比例した値とする。また、コマンドによって、その値を変更することができる。ただし、これらの割当は、GWME SH間に跨る場合も考慮に入れて、ソフトで実行し、ハード側にリンク毎のキーの通知を行う。そして、ハードにおいて、生成されたキーに基づき、GWME SHでの処理判別および所定のリンクでのデータを実現する。

図512にロード・スプリッティング・アルゴリズムを説明する図を示す。

3. ICLP

3. 1 処理概要

ICLP部は、図501に示すIncomingに対応し、MH-COM部において、セルのヘッダ部に付加されたタグ情報に基づいてDMUXされ、156Mbpsのデータとして入力してきたセルに対して、ICIP/ISSIP L2 & L3のプロトコル・パフォーマンス・チェックを行う。また、該セル中のDA(相手先アドレス)を解析し、対応するSNI(加入者)を収容するSBMHや、対応するISSI/ICIを収容するGWMHに向けて該セルを送出する。

3. 2 構成

図513に、ICLP部の全体構成ブロック図を示す。同図に示すように、ICLP部は

10

20

30

40

50

、HMH 1 1 A～HMH 1 3 Aの3枚のPWC Bより構成される。

HMH 1 1 Aでは、主にプロトコル・パフォーマンス・チェックを行う。エラーとなったセルは、該セルに並走して転送されるエラーフラグに各種表示が行われ、そのエラーフラグの内容に対して所定の処理が実行された後に、最終的にはHMH 1 3 Aの出力部で廃棄される。HMH 1 2 Aでは、主にDA解析・送出先MH決定処理であるルーティング処理を行う。HMH 1 3 Aでは、主にICLPと RMLP/OGLPとの間のPVC の帯域制限処理を行う。図5 1 4に、ICLP部の各ブロックの機能をまとめた表を示す。

また、図5 1 4に補足的にICLP部の機能を以下を示す。

(1) チェック順序

プロトコル・パフォーマンス・チェックは、図5 1 5および図5 1 6に記載されている順序に従って処理を行う。 10

チェックの初期でCRC-10エラーが発生した場合、それはICIP/ISSIP L 2 のデータに誤りがある事を意味するため、その場合その誤ったデータを使用してプロトコル・パフォーマンス・チェックを行うと、更にエラーが生じる可能性がある。この為、CRC-10エラーを検出した場合は、それ以降の特にテーブルを変更するようなプロトコル・パフォーマンス・チェックは行わない。

例えば、MID 値が誤っていた場合、他のICIP/ISSIP L 3 メッセージとみなす可能性がある。また、ペイロード・レンジス・エラーやエンキャプスレイション・エラーの場合も同様である。したがって、CRC-10エラーが発生した場合は、このようなチェックは行わない。 20

(2) エラー・セルによる廃棄処理

エラー・セルは、マスターエラーフラグ(EF1 MS)が NG (この場合、 NG のときにフラグがオンにセットされる)になっているもので、廃棄する必要がある。ただし、BOM with Unexpected MID (所定の値以外のMID を持ったBOM)の場合は、セル廃棄しない。なお、ICLP部内では、様々の用途のためにメモリーを使用しているが、エラーの場合にはメモリーへのライトアクセスをスキップする機能ブロックがある。

(3) LP試験セル(診断)

GWESHの診断において、HLP07A(HLP07Aは、LP-COM 部内にある)から試験セルを送出し、それをICLP部内の各処理部を通してHLP07Aに送り返し、エラーフラグを見る試験等を行う。 30

本診断は、ICLP部がOUS 状態(アウトオブサービス状態)の時にを行う。各リンクに対応する試験の為の加入者データは実際のテーブルに設定し、試験用のテーブルは持たない。従って、エラーフラグが立たない様なLP試験セルは廃棄されずにMH-COM部のMUX へ送出してしまが、本ICLP部はマスター状態では無い(すなわち、OUS 状態である)為、上記試験セルはMUX の入力部におけるセレクトにて廃棄される。

(4) PVC試験

▲1▼ MESH-MH 間PVC 試験

本試験では、HLP07AがICLP部に試験セルを送出する。ICLP部からASSWを通して対象のSMLP/OGLP 部に本試験セルを送出する。OGLP部では本試験セルをHLP07Aに送り、セルの正常性をチェックする。 40

本試験セルは、特定のVCI 値(FF)でDA等を設定し、HLP07Aから送出される。ICLP部では、VCI 中の試験セル識別ビット(ビット7)が'1' の場合、本試験セルであると認識し、その試験に対応する処理を行う。なお、本試験はINS 状態(インサービス状態)で行う為、通常のメッセージに影響を及ぼさない様にプロトコル・パフォーマンス・チェックは行わない。

本試験で割付済DA試験の場合は、着MHのSNI/リンクを閉塞して行う。詳細は、図5 1 5および図5 1 6のエラーフラグ対応表を参照。

▲2▼ Link-GWESH 間PVC 試験

本試験では、HLP07AがOGLP部に試験セルを送出する。本試験セルは、試験対象 50

のリンクにて折り返され I C L P 部に入力する。I C L P 部内の各チェッカーでは、本セルに対し、通常のセルと同等の処理を行う。ルーティング部では、D A を元に試験セルの判別を行い、試験セルの場合は V C I = ' F F ' (h) として H L P 0 7 A に送出する。

本試験は、リンクを閉塞して行う。詳細は、図 5 1 5 および図 5 1 6 のエラーフラグ対応表を参照。

▲ 3 ▼ ループバック試験

本試験では、H L P 0 7 A が O G L P 部に試験セルを送出する。本試験セルは、指定 S S にて折り返され I C L P 部に入力する。I C L P 部内の各チェッカーでは、本セルに対して通常のセルと同等の処理を行う。ルーティング部では、サービスタイプと D A を元に時

10

3. 3 各機能ブロックとエラーフラグの対応

I C L P の各機能ブロック毎に操作するエラーフラグ (E F) は、前述の図 5 1 5 および図 5 1 6 に示されている。また、同図には、各機能ブロックが動作する条件も示してある。以下に、同図に示されている表の見方を示す。

- ・縦軸は、機能ブロックを示す。
- ・横軸は、エラーフラグ E F (E F 1 , E F 2) と、M E S H 間 P V C 試験の状態を示す。

・項目内は、上段・下段に別れている。上段は、機能ブロックのチェックにより N G になる E F を示し、N G の場合は ' O N ' と記述してある E F を制御する。下段は、機能ブロックを動作 (チェッカーの場合はチェック) させるかどうか、もしくはチェック結果を E F に反映させるかどうかの条件を示す。

20

エラーフラグ (E F) とエラー名称 (T R での名前) の対応及び、E F の位置は 5 章の L P - C O M 部を参照のこと。

3. 4 I C L P 入出力フォーマット

図 5 1 7 ~ 図 5 2 2 に I C L P 部への入力セルのフォーマットを示す。

図 5 2 3 ~ 図 5 2 8 に I C L P 部からの出力セルのフォーマットを示す。

図 5 2 9 および図 5 3 0 に、I C L P 部の H M H 1 2 A の入出力セルのフォーマットを示す。

30

図 5 3 1 ~ 図 5 4 2 に I C L P 部の H M H 1 3 A の入出力セルのフォーマットを示す。

3. 5 I C L P 処理フロー

図 5 4 3 に、I C L P 部がメッセージを受信したときのチェックフローを示す。また、図 5 4 4 および図 5 4 5 に、I C L P 部におけるメッセージ・ルーティング処理フローを示す。なお、図 5 4 4 および図 5 4 5 に示す符号 ▲ 1 ▼ ~ ▲ 6 ▼ は、それぞれ対応した処理である。

3. 6 各 P K G ブロック

3. 6. 1 H M H 1 1 A

3. 6. 1. 1 機能概要

図 5 4 6 に、H M H 1 1 A のブロック図を示す。H M H 1 1 A は、以下のような機能を有する。

40

- (1) I C I から入ってきたメッセージの整合性をチェックする機能
- (2) I S S I から入ってきたメッセージの整合性をチェックする機能
- (3) メッセージ消失時に、装置内各部機能の開放を行うための疑似 E O M を作成する機能

(4) I C I / I S S I のセルフォーマットを M E S H 間インタフェース用セルフォーマットに変換する機能

3. 6. 1. 2 外部端子

図 5 4 7 に、H M H 1 1 A の外部端子をまとめた表を示す。

3. 6. 1. 3 機能図及び機能説明

50

図548～図553に、HMH11Aの要部の回路図を示す。また、図554～図560に、メッセージ・チェックに関するタイミングを説明する図を示す。

3.6.2 HMH12A

図561に、HMH12Aのブロック図を示す。

図562に、HMH12Aのルーティング機能の処理フローを示す。

図563に、HMH12Aのブロードキャスト機能の処理フローを示す。

図564及び図565に、HMH12Aのコピー制御の処理フローを示す。

図566に、疑似EOM 送出の処理フローを示す。

3.6.3 HMH13A

図567に、HMH13Aのブロック図を示す。HMH13Aは、以下の機能を有する。 10

▲1▼出力帯域制御

▲2▼出力MID 獲得

▲3▼VPI/VCI 付替え

▲4▼廃棄セル数カウント

3.6.3.1 出力帯域制限

バースト・トラヒックに対しては、バッファ・メモリを使用して定期的に読出しを行うことによりバースト性を吸収し、ICLPからOGLPまたはRMLPへの出力帯域をコントロールする。本機能は、図567に示すVC-SH LSI により実現する。出力帯域の制御を行うVC-SH LSI およびその周辺の回路構成を図568に示す。

3.6.3.2 出力MID 獲得

出力MID 獲得部は、出VCI 対応のMID 付与を行う。本機能は、図567に示すMOCTL LSI により実現する。図569に出力MID 獲得部の回路構成を示す図を、図570に出力MID 獲得処理に使用テーブルの構成を、図571に出VIC 確保の処理フローを示す。 20

ところで、ある L3-PDU のEOM が損失し、そのEOM がHMH13Aに入力されない場合、L3-PDU毎に確保した出MID が図570に示したテーブルから開放されない。このような状態を回避するために、MOCTL LSI では、タイム・アウト監視を行っている。図572にタイム・アウト監視の処理フローを示す。

3.6.3.3 VPI/VCI 付替え

図573に、VPI/VCI 付替えのフォーマットを示す。また、図574にVPI/VCI 付替えを実行するハードウェア構成を示す。 30

3.6.3.4 廃棄セル数カウント

ICLP内のGAコピー部(HMH12A)、出力帯域制限部(HMH13A)では、使用するバッファ・サイズが有限な為、バースト・データの大きさによっては、バッファがオーバーフローすることによってセル廃棄が発生する。廃棄セル数カウント部では、HMH12Aから受け取った廃棄セル信号から廃棄セル数の積算を行い、出力帯域制限部での廃棄セル数と逐次加算していき、DP-RAM(図567に示す、廃棄数書き込みテーブルに対応し、2面構成のRAM である)に記録する。HLM03Aは、このDP-RAMをアクセスしNDC 処理を行う。

3.6.3.5 障害監視について

HMH13Aは、二重化されたMH-COM両方とつながる。その為、自系障害監視機能と他系障害監視とをもつ。図575に自系障害監視構成を、図576に他系障害監視構成を示す。 40

4. OGLP

4.1 処理概要

OGLP部では、MH-COM部から入力して来たメッセージ内の着信先アドレスDAを参照し、自MESH宛のメッセージのみをフィルタリング(取り込む)する。そして、ICIP/ISSIP L2 & L3プロトコル・パフォーマンス・チェックを行う。また、VCI値に基づいて出リンクの決定を行い、SA, DAの値に基づいてロード・スプリッティングを行い、更にGA処理をして各リンクに対してセルを送出する。 50

4. 2 構成

図577に、OGLP部の概略機能ブロック図を示す。また、図578に、OGLP部の詳細機能ブロック図を示す。さらに、図579は、OGLP部のIC配置を示すブロック図である。

OGLP部は、HMH07A～HMH10Aの4枚のPWCBより構成される。

HMH07Aでは、主にDAフィルタリング、すなわち、着信先アドレスDAに従って入力データを取り込むか否かを判断する。HMH08Aでは、主にロード・スプリッティング、すなわち、負荷分散の制御を行う。HMH09Aでは、主にGAをIAに展開する処理、すなわち、入力データのグループアドレスGAに基づいて、そのGAが示す個別アドレスIAへの展開を行う。HMH10Aでは、主にOGLP-ISSI/ICI間のPVCの帯域制限処理を行う。

10

図580に、OGLP部の各ブロックの機能概要及び、エラーセル、保守用セルとの関係を示す。また、図580に補足的にOGLP部の機能を以下を示す。

(1) エラーセル

エラーセルは、マスターエラー・フラグ(EFIMS)がNG(ON)になっているものであり、廃棄する必要がある。OGLP部内では、様々な用途のためにメモリを使用しているが、エラーセルの場合には、メモリへのライト・アクセスをスキップする。詳細は、図580の機能概要参照。

(2) LP試験セル(診断)

GWMSHの診断において、HLP07Aから試験セルを送出し、それをOGLP部内の各処理部を通してHLP07Aに送り返し、エラー・フラグを見る試験等を行う。

20

本診断は、OGLP部がOUS状態の時に行う。各リンクに対応する試験の為の加入者データは実際に使用するテーブル上に設定し、試験用のテーブルは持たない。したがって、エラー・フラグが立たない様なLP試験セルは廃棄されずにMH-COMのMUXへ送出してしまうが、本診断を行うときには、OGLP部はマスター状態では無い(OUS状態である)為、上記試験セルはMUXの入力部におけるセレクターにて廃棄される。

(3) PCV 試験

▲1▼MESH-MH間PVC 試験

本試験では、HLP07AがICLP部に試験セルを送出する。ICLP部からは、ASSWを通してOGLP部に本試験セルを送出する。OGLP部では、本試験セルをHLP07Aに送り、セルの正常性をチェックする。

30

本試験セルは、特定のVCI値(FF)が設定されて、HLP07から送出される。ICLP部では、入力セルのVCI中の試験セル識別ビット(ビット7)が'1'の場合、本試験セルであると認識し、その試験に対応する処理を行う。

具体的には、本試験はINS状態で行う為、通常のメッセージに影響を及ぼさない様にプロトコル・パフォーマンス・チェックは行わない。詳細は、図580の機能概要に示す。

▲2▼Link-GWMSH間PVC 試験

本試験では、HLP07AがOGLP部に試験セルを送出する。本試験セルはリンクにて折り返されてICLP部に入力する。ICLP部内の各チェッカーでは、本試験セルに対して通常のセルと同等の処理を行う。ルーティング部では、入力セルのDAを元に試験セルの判別を行い、試験セルの場合は、VCI='FF'(h)としてHLP07Aに対して送出する。なお、本試験はリンクを閉塞して行う。詳細は、図580の機能概要に示す。

40

4. 3 各機能ブロックとエラーフラグの対応

図581に・LP部の各機能ブロック毎に操作するエラーフラグ(EF)を示す。また、同図に各機能ブロックが動作する条件も示す。以下、表の読み方を示す。

縦軸は、機能ブロックを示す。

・横軸は、エラーフラグEF(EF1, EF2)とMESH間PVC試験の状態を示

50

す。

・項目内は上段、下段に別れている。上段は、機能ブロックのチェックによりNGになるEFを示し、NGの場合は”ON”と記述してあるEFを制御する。下段は、機能ブロックを動作（チェッカーの場合はチェック）させるかどうか、もしくはチェック結果をEFに反映させようかどうかの条件とする。

4. 4 セル・フォーマット

図582～図628に、OGLP内の各部での各セグメント・タイプのセルのフォーマットを示す。

4. 5 処理フロー

図629に、GWME SHにおけるOut goingのルーティング処理のフローを示す 10
。また、図630に、図629に示すフローチャート内のGAデータ転送のフローを示す。
図631～図633には、図629および図630のフローチャートの各ステップで利用するテーブルの例を示す。

4. 6 各PKG ブロック

4. 6. 1 HMH07A

図634および図635に、HMH07Aの回路構成を示す。図634は、図578に示した全体ブロック図の「交絡セレクト」及びその周辺に対応し、図635は「DAフィルタリング」及びその周辺に対応する。

図636および図637に、図634のFIFOへの書き込みタイミングを示す。また、
図638～図640にHMH07Aが処理する信号のタイムチャートを示す。 20

4. 6. 2 HMH08A

図641および図642に、HMH08Aの回路構成を示す。図641は、図578に示した全体ブロック図の「ロード・スプリッティング」「DMUX」及びその周辺に対応し、
図642は「試験セル多重」及びその周辺に対応している。

4. 6. 3 HMH09A

図643に、HMH09Aの回路構成を示す。同図は、図578に示した全体ブロック図の「GAコピー」「IC/I L E C U n a v a i l a b l e 」及びその周辺に対応している。

図644および図645に、HMH09AにおけるGAコピー処理のフローを示す。図644は、書き込み制御のフローチャートであり、図645は、読み出し制御のフローチャートである。 30

4. 6. 4 HMH10A

HMH10Aでは、GWME SHのOut going (GWME SH (OG)) 部において、MRI タイムアウト判別、MID 変換、出力帯域制限、各種エラーカウント、フォーマット変換等を行う。

図646に、HMH10Aの回路構成を示す。また、図647に、HMH10Aの各ブロックの機能を示す。以下、各機能について詳細に説明する。

(1) パリティチェック

HMH09Aから入力される、16本のデータ信号及びイネーブル信号に対して、パリティチェックを行う。パリティは奇パリティとする。チェック結果がエラーの場合、ODP 40
C (エラー時”H”) を出力しMSCN部へ引き渡す。疑似障害入力により、強制エラーを発生する機能を有する。本機能はTOCTL LSIにて実現する。図648にパリティ・チェック部とその周辺との接続を表す機能ブロック図を示す。

(2) MRI タイムアウト

各メッセージ毎に、BOM からEOM までのMRI タイムアウト判別を行う。BOM 到来時、「現在時刻」+「タイムアウト時刻」を書き込む。セル到来毎に時間を参照し、マッチした時刻をタイムアウトとみなす。本機能は、TOCTL LSIで実現する。

空きパターン作成：MRI TIME (AMD-CAM) に初期設定を与える。

MRI TIME (AMD-CAM) : BOM 時に空きパターンを送る。毎セル毎にタ 50

タイムアウトか否かをチェックする。

TO パターン作成 : タイムアウト時にMRI TIME (AMD-CAM) にTOパターンを出力し、MID を開放する。

TO セル送出 : 設定ピンOTTO "H" によりタイムアウトしたメッセージの BOM の代わりにタイムアウトを出力する。

セルカウンタ : セル(すべての種類のセルを含む)が来るたびにカウントするモード、有効セルだけをカウントするモードがある。試験時は、有効セルのみをカウントする。設定は、MSD により行う。

図649に、MRI タイムアウト部の機能ブロックを示す。

10

(3) MID 変換

入VPI, 入VCI, 入MID から、出VCI, 出MID への変換を行う。

BOM セル到来時、入VPI, 入VCI, 入MID をAMD CAM (Am9910a) に書き込む。

COM, EOMセル到来時、入VPI, 入VCI, 入MID をAMD CAM に与え、上記BOM セル到来時に書き込んだ値とマッチした場合、マッチアドレスを出VCI, 出VPI, 出MID としてMID の変換を行う。尚、変換の有無はモードピン(DIVM)で実施し、変換ビットの割り付けEOM の場合開放処理を行う。本機能はTO CTL LSIにて実現する。

図650に、MID 変換部の機能ブロックを示す。

20

(4) セル遅延

セル遅延部は、タイムアウト判別処理、及びMID 変換処理に要する遅延に合わせ、主信号の遅延を行う。本機能はTO CTL LSIにて実現する。図651にセル遅延部の機能ブロックを示す。

(5) エラーセル廃棄

エラーフラグを識別し、エラーフラグ(マスターエラー)が"L" であれば対象セルを廃棄する。本機能はTO CTL LSIにて実現する。以下に各 PWCB におけるセル廃棄条件を示す。

HMH08Aでの廃棄条件

- ・BOM Unexpected MID
- ・COM Unexpected MID
- ・EOM Unexpected MID
- ・エンキャプスレクション・エラー
- ・Unexpectedシーケンス番号エラー

30

HMH09Aでの廃棄条件

- ・GAビット・エラー
- ・GA active error
- ・ISSI/ICI Unavailable

HMH10Aでの廃棄条件

- ・MRI タイムアウト・エラー
- ・Exceed maximum number of CDU
- ・CDU アクティブ・エラー

40

図652に、エラーセル廃棄部の機能ブロックを示す。

(6) 出力帯域制限

各メッセージを、予め規定された帯域に基づいて、出力帯域の制限を行う。帯域制限は、同一メッセージのセルの単位時間当たりの間隔を管理制限することによって実現する。単位時間当たり同一メッセージの、セルとセルの間隔を小さくすれば流量が増加し、反対に間隔を大きくすれば流量が減少する。帯域制限のためのパラメータは、加入者毎の契約に基づいて生成され、LP-COM部のμp 部により与えられ、テーブル操作及び設定など一括管理される。なお、流量制限の機能は、VC-SH LSI にて実現する。

50

図 6 5 3 に、出力帯域制限部の機能ブロックを示す。また、図 6 5 4 に出力帯域制限を実行する V C - S H L S I およびその周辺の回路構成を示す。

(7) フォーマット変換

セルのセグメント・タイプ S T (P I) を識別し、 I S S I 或いは、 I C I のフォーマットにセルを変換する。本機能は、 M H 1 0 A L C A にて実現する。

図 6 5 5 に、フォーマット変換部の機能ブロックを示す。また、図 6 5 6 に、フォーマット変換処理をまとめた表を示す。

(8) C R C - 1 0 生成付与

データの正常性を確認するため、ペイロード部に対して C R C の演算を行い、演算結果を付加し送出行う。 C R C チェックは別の P W C B で行う。そして、その P W C B でエラー発生 の 判別を行 う。本機能は、 M H 1 0 A L C A にて実現する。図 6 5 7 に、 C R C - 1 0 生成付与部の機能ブロックを示す。また、図 6 5 8 に、 C R C - 1 0 演算を説明する図を示す。

(9) 廃棄カウント

出力帯域制限による帯域制限により抑制制御されたセルのカウント、 H M H 0 8 A からの廃棄信号のカウント、 H M H 0 9 A からの廃棄信号のカウントを行い、 L P - C O M 部にその情報を送る。上記カウント動作に利用するカウンタは、2面構成の R A M を用い、 L P - C O M 部からのデータ要求に対して片面を開放、残りの面で廃棄カウントを行う。 R A M の面切替えは、 L P - C O M からの R A M C H G 信号により制御される。本機能は M H 1 0 B L C A にて実現する。図 6 5 9 に廃棄カウント部の機能ブロックを示す

5. M H - C O M 部

5. 1 概要

M H - C O M 部は、4枚の P W C B (H M X 1 0 A, H M X 1 1 A, H M X 1 2 A, H S F 0 5 A) から構成されており以下の機能を有す。 M H - C O M 部は、 A T M スイッチ (A S S W) の系にくくりつけの2重化構成であり、系間にはシグナリング及び V C C コピー用の交絡を持つ。 M H - C O M 部の主な機能は、以下の3つである。

▲ 1 ▼ A T M スイッチから流入して来るデータをデマックス (分解) して L P 部へ与える。

▲ 2 ▼ L P 部からのデータをマックス (多重) して A T M スイッチへ送出する。

▲ 3 ▼ L A P によるシグナリングの終端を行う。

G W M E S H の M H - C O M 部は、 S B M E S H の M H - C O M 部と同一なので、ここでは詳細な説明は行わず、各 P W C B の機能概略のみを示す。

5. 2 H M X 1 0 A

図 6 6 0 に H M X 1 0 A にブロック図を示す。 H M X 1 0 A は、以下の機能を有する。

▲ 1 ▼ H M X 1 2 A からのスケジューラ制御により、 I C L P (L P 部の I n c o m i n g) からのデータを 6 2 2 M b p s ハイウェイに多重して A S S W に出力する機能 (I M U X 機能) 。

▲ 2 ▼ A S S W の出力側の 6 2 2 M b p s ハイウェイから入力されるデータ (セル) をそのデータの着信先アドレス D A に基づいて分離し、 O G L P (L P 部の O u t g o i n g) へデータを送り出す機能 (O D M X 機能) 。実際には、 B O M のセルで D A をチェックし、分離するデータであれば M I D 情報を記録しておき、 C O M, E O M のセルが入力した場合に、上記記録した M I D を参照して分離処理をしている。

▲ 3 ▼ A S S W の出力側の 6 2 2 M b p s ハイウェイから入力されるの「 O (オー) ビット」の値に基づいて、 T C G (テストセル生成部) からの試験セルを分離する機能。(▲ 2 ▼ とは別の機能として分離)

A S S W と G W M E S H 間では、 A S S W から I C L P へ向かうデータ、 O G L P から A S S W へ向かうデータは、物理的に1本の50芯同軸フラット・ケーブルに収容されており、このケーブルは H M X 1 0 A の A コネクタに接続される。 H M X 1 0 A の B コネクタはイモズル接続の場合、下流の G W M E S H へハイウェイを接続するケーブルがつながる。

10

20

30

40

50

5. 3 HMX11A

図661に、HMX11Aのブロック図を示す。HMX11Aは、以下の機能を有する。

▲1▼HMX12Aからのスケジューラ制御により、OGLPからのデータを622Mbps ハイウェイに多重してASSWに出力する機能（OMUX 機能）。

▲2▼ASSWの出力側の622Mbps ハイウェイからのデータ（セル）をそのセルのタグ情報に基づいて分離し、ICLPへデータを送出する。また、上記「Oビット」の値に基づいてTCG からの試験セルを分離する機能（IDMX 機能）。

▲3▼EZLAPによるシグナリング・データのマックス機能、デマックス機能。

ASSWとGWME SH間では、ASSWからOGLPへ向かうデータ、ICLPからASSWへ向かうデータは、物理的に1本の50芯同軸フラット・ケーブルに収容されており、このケーブルはHMX11AのA コネクタに接続される。HMX11AのB コネクタはイモズル接続の場合、下流のGWME SHへハイウェイを接続するケーブルがつながる。

10

5. 4 HMX12A

HMX12Aは、以下の機能をもっている。

▲1▼ HMX10A, HMX11A で多重するセルに対して、VPI/VCI の変換及びスイッチング・タグ情報の付与機能（VCC機能）。

▲2▼ HMX10A, HMX11A で分離したTCG からの試験セルをそれぞれ HMX10A, HMX11A のマックス・ハイウェイに多重する機能。

▲3▼ HMX10A, HMX11A で多重を行う為のスケジューラ機能。

20

図662に、VCC 機能を中心としたブロック図を、図663に、スケジューラ機能を中心としたブロック図をそれぞれ示す。

HMX12Aの前面コネクタのうちA, C コネクタはシグナリング・データの系間交絡用、B, D コネクタスケジューラ機能用信号のイモズル接続用である。

5. 5 HSF05A

HSF05Aは、以下の機能を有する。

▲1▼BSGC経由で、VCC 設定、MH-COM部内MSCN監視、MSD 制御等のLAP 信号の終端機能。

▲2▼SYNSH からのソース・クロック（8MHz）を基に、MH-COM内で使用する各種タイミング信号を生成する機能。

30

図664に、HSF05Aのブロック図を、図665に、SBME SHのクロック系統図をそれぞれ示す。

6. プロトコル・パフォーマンス・モニタ

6. 1 概要

GWME SHでは、L2-PDU、L3-PDUに対するプロトコル・パフォーマンス・モニタを行う。本プロトコル・パフォーマンス・モニタは、Bell Communication Research 社発行のTR-TSV-1061 及びTR-TSV-1063（以下では、単にTR-1061, TR-1063 と記す）にほぼ準拠する。また、本プロトコル・パフォーマンス・モニタ機能は、HLM03A PWCB にて実現する。なお、GWME SHのプロトコル・パフォーマンス・モニタ機能は、SBME S

40

Hでのそれと、基本的には同じである。
図666に、プロトコル・パフォーマンス・モニタ機能を実行するHLM03Aのブロック図を示す。HLM03Aは、後述するLP-COM部に設けられている。また、HLM03Aは、後述するデータ・コレクション機能も実行する。また、図667および768に、HLM03Aの各ブロックの機能概要を示す。

HLM03Aでは、図669（表中のチェック名は、HLM03A機能ブロック図の名称に対応している）に示すチェックを行っている。チェック結果は、図666に示すMSCNレジスタに表示され、HLP07A（これも、LP-COM部に設けられている）へ通知する。

HLM03Aでは、図669に示すチェックの他に、以下の結果のMSCNレジスタに表

50

示する。

- ・初期設定中
- ・L C A コンフィギュレーション中
- ・交絡ケーブル抜け
- ・m a t e系電源障害
- ・m a t e系ヒューズアラーム
- ・m a t e系 H L P 0 7 A のウォッチドッグ・タイマのタイムアウト

図669のチェック名=P C d 以降は条件付きチェック項目であり、条件を満たしていない場合はチェックを行わない。それら条件とは、対象となるセルが有効セルであること、及び、図670に示す各チェック項目毎の条件である。

10

6. 2 L 2 プロトコル・パフォーマンス・モニタ

G W M E S Hでは、以下の各L 2パラメータについてのプロトコル・パフォーマンス・モニタを行う。

- (1) M R I タイムアウト
- (2) 無効ペイロードC R C コード
- (3) ペイロード長エラー
- (4) M I D カレントリ・アクティブ
- (5) アンアプルーブドM I D を持ったE O M
- (6) アンイクスペクテッド・シーケンス番号エラー

H L M 0 3 Aでは、I C L P部からのエラー通知（その詳細は後述する）を受けた場合、上記(1) ～ (6) の各パラメータについて、入力リンク毎にS u m - o f - e r r o r s アルゴリズムを適用したL 2プロトコル・パフォーマンス・モニタを行う。

20

S u m - o f - e r r o r s アルゴリズム用の閾値の設定方法、T R - 1 0 6 1, 1 0 6 3で規定されているカウンタやレジスタの実現方法は、S B M E S Hに関する説明と基本的には同じであるので、ここではその説明を省略する。

また、G W M E S HのH L M 0 3 Aにおいては、O G L P部からのエラー通知（その詳細は後述する）を受けた場合、上記(1), (4), (5) の各パラメータについて、各々のエラーカウンタが規定されている。ここでのエラーカウンタに利用するカウンタ、レジスタの実現方法もS B M E S Hに関する説明において記載したので省略する。

上記エラーカウンタは、エラー状態の1 2 - P D Uを送出して来たメッセージ・ハンドラ M H毎に行う。

30

6. 3 L 3 プロトコル・パフォーマンス・モニタ

G W M E S Hでは、以下の各L 3パラメータについてのプロトコル・パフォーマンス・モニタを行う。

- (1) 無効 B A サイズ・フィールド値
- (2) 無効 D A タイプ
- (3) 無効 S A タイプ
- (4) 無効プロトコルI D
- (5) 無効サービス・タイプ
- (6) 無効プロトコル・ディスクリミネータ
- (7) ホップ・カウンタ=0
- (8) 無効イングレス・インタフェース・タイプ
- (9) B Eタグ・ミスマッチ
- (10) B Aサイズ・フィールドとレングス・フィールドとの不一致
- (11) I S S I / I C Iのアンアベイラブル

40

G W M E S HのH L M 0 3 Aでは、I C L P部からのエラー通知（その詳細は後述する）を受けると、上記(1) ～ (10) の各パラメータについて入力リンク毎にS u m - o f - E r r o r s アルゴリズムを適用したL 3プロトコル・パフォーマンス・モニタを行う。

S u m - o f - E r r o r s アルゴリズム用の閾値の設定方法、S u m - o f - E r r

50

ors アルゴリズムに利用するカウンタやレジスタの実現方法は、SBMESHでの説明と基本的には同じであるので、ここでは省略する。

また、TR-1061, 1063では、前記(2) ~ (8) の各パラメータについてのエラー発生時のログを要求している。それらログの内容としては、以下のものがある。

- (a) エラー検出の日時(年、月、日、時、分、秒)
- (b) リンク ID
- (c) 送信元アドレス(アドレスタイプを含む)
- (d) 着信先アドレス(アドレスタイプを含む)
- (e) 発生した特殊状態

本実施例のシステムでは、ログ対象エラーが発生すると、上記(b) ~ (e) をハード的にログレジスタへ設定する。ファームウェアは、該レジスタからログ内容を読み出し、ソフトウェアへ通知する。上記(a) の内容は、ハードウェアからファームウェアに対しては渡さない。これらは、ファームウェアが上記(a) 以外のログ内容を取り込んだ時に、ファームウェアが管理している時間を付与する。ただし、ソフトウェアへの通知内容には年・月・日は含まれていない。これらについては、ソフトウェアが管理する。また、GWMeshでは、エラー検出毎にそのログをソフトウェアに対し通知し、ログの検索機能等をソフトウェアで実現する。

TR-1061, 1063では、前記(2)(3)(9)(10) のパラメータについての各々のエラーカウントを規定している。本実施例におけるこれらのカウント動作は、Sum-of-Errors アルゴリズムと同様であり、そのカウント動作に利用するカウンタ、レジスタに実現方法も同じである。

6.4 Incoming 部におけるプロトコル・パフォーマンス・モニタ

6.4.1 処理方法

Incoming 部におけるチェック項目、NG検出時の動作、チェック処理手順について図671にまとめる。

同図において、「群」とはパラメータのグループ分けを示す。G 群は、TR-1061, 1063には規定されていないGWMesh独自仕様であり、GWMesh内部処理におけるエラーである。

本処理を行うのは、前述の様に、HLM03Aであるが、Incoming 部における各種チェックのエラー通知はICLP部から受信する。HLM03Aは、OCLP部からこの他にデータ、セルフフレーム、イネイブルの信号を受信する。それらの各信号のタイムチャートを図672に、各信号の説明を図673にそれぞれ示す。

図672に示した様に、データは16ビットパラレルのセルフフォーマットでICLP部から入力される。交換機(GWMeshを含む)内では1セル=54オクテットのイメージで扱っているので、入力データの1セルは 9M クロックで27τの長さになる。

1セルは、ATM ヘッダに相当する部分3τ(この部分のフォーマットはGWMeshの内部フォーマットであり、一般的なATM ヘッダ・フォーマットとは合致しない。図示した様に、本部の中に該セルの送出元リンクIDを示す部分(発リンクID)が含まれている)とその他27τからなる。なお、図672に示したセルの内容は、該セルがインターBOM であった場合の例である。

図666に示したST識別ブロックにおけるセル・セグメント・タイプの識別方法を下記に示す。セグメント・タイプの識別は、図672に示したSST とIST との組み合わせにより行う。その組合せとセグメント・タイプとの関係を図674に示す。なお、インターBOM は、SMLP部においてハーフ・エンキャプシュレーション処理を行い増えたBOM である。

図666に示したエラー解析ブロックにおけるエラーの判別方法は、基本的にSBMeshについて説明した内容と同じであるので、ここではその説明を省略する。ただし、SBMeshにおいては、エラー解析時にSNI の識別を行うのに対し、GWMeshではリンクの識別を行う。図675に、エラー解析ブロックの処理のタイムチャートを示す。

6.4.2 処理詳細

10

20

30

40

50

▲1▼ L2／3 Sum of Err. カウント

▲2▼ L2／3 個別 Err. カウント

上記▲1▼および▲2▼の処理は、SBMESHについて説明した内容と基本的に同じであるので、その説明を省略する。ただし、SBMESHにおいては、カウントアップ動作、閾値の比較、フラグの設定をSNI 単位で行っていたが、GWMeshでは発リンク単位で行う。

6.5 Outgoing 部におけるプロトコル・パフォーマンス・モニタ

6.5.1 処理方法

Outgoing 部におけるチェック項目、NG検出時の動作、チェック処理手順について図676にまとめる。

「群」については、前述した通りである。また、E 群は、GWMeshの内部処理における独自仕様である。

プロトコル・パフォーマンス・モニタとしては、個々のパラメータに関するエラーカウントを行う。このカウント動作は、発MH毎に行う。ただし、ISSI/ICI Unavailableについてはログ対象エラーとする。

本処理も、前述の様にHLM03Aで実行されるうが、Outgoing 部における各種チェックのエラー通知はOLP部から受信する。HLM03Aは、この他に、OLP部からデータ、セルフフレーム、イネイブル信号を受信するが、それらの各信号のタイムチャートを図677に示す。なお、そのタイムチャートに示す各信号の説明は、図673に示した通りである。

Outgoing 部が受信する信号は、基本的にIncoming 部におけるプロトコル・パフォーマンス・モニタのためにICLP部より受信する各信号と同等である。

ATM ヘッダに相当する部分3τのフォーマットは、GWMeshの内部フォーマットであり、一般的なATM ヘッダ・フォーマットとは合致しない。図677に示した様に、本部の中に該セルの送出元MHを示す部分（発MH ID）と着信先のリンクを示す部分（着リンクID）がある。尚、図677はインターBOM の例である。

MRI タイムアウトの場合のエラー通知方法もIncoming 部におけるそれと同等であり、OLP部にて疑似EOM セルを生成し、該セルと共にMRI タイムアウトであることを示すエラー通知を行う。そして、該疑似EOM セル内の着リンクIDは対応するBOM のそれと同じものである。また、セル・セグメント・タイプの識別方法もIncoming 部と同じであり、図674に示す通りである。その他、図666に示す各ブロックについては、Incoming 部におけるそれらと同等の機能を有し、同等の動作を行う。

なお、図677の1τ目のデータ15の「試」は、LINK-GWMesh 間PVC 試験用セルであるか否かを表すフィールドであり、2τ目のデータ11「試」は、Mesh-MH間PVC 試験用セルであるか否かを表すフィールドである。また、LINK-GWMesh 間PVC 試験用セル又はMesh-MH 間PVC 試験用セルであった場合は、Outgoingプロトコル・パフォーマンス・モニタに関する全ての処理を行わない。

6.5.2 処理詳細

L2／3 個別エラー・カウントに関する処理は、SBMESHに関して説明したものと基本的に同じであるので、ここでは省略し、図678にタイムチャートを示すのみにとどめる。

7. ネットワーク・データ・コレクション

7.1 概要

GWMeshでは、L2-PDU, L3-PDU に対するデータ・コレクションを行う。このデータ・コレクションは、TR-1061, 1063にほぼ準拠する。本データ・コレクション機能は、HLM03Aにて実現する。HLM03Aのブロック図および各ブロックの機能は、図666～図668に示した通りである。

7.2 ネットワーク・データ・コレクション・パラメータ

GW MESHでは、以下の各パラメータについてのネットワーク・データ・コレクション（スケジュール化された測定であり、リンク毎に行う）を行う。

- (1) Total originating L2 PDUs
- (2) Total terminating L2 PDUs
- (3) Total originating individually addressed L3 PDUs
- (4) Total terminating individually addressed L3 PDUs
- (5) Total originating group addressed L3 PDUs
- (6) Total terminating group addressed L3 PDUs

10

上記(1) ～ (6) は、各L2, L3 PDU 数のカウントである。

GW MESHでは、上記の様に、

Total originating (terminating) individually addressed L3 PDUs 数

Total originating (terminating) group addressed L3 PDUs 数

を計数しており、「全 L3 PDU 数」を算出する場合には、ソフトウェアがこの両者の加算を行う。

20

TR-1061, 1063では、1インターバル＝15分とし、少なくとも過去2インターバル分の各種データの保持を規定している。この規定に基づき、本実施例のGW MESHでは、プロトコル・パフォーマンス・モニタと同様に、15分カウンタを2個用意し、面切替えで使用する。そして、ソフトウェアは面切替え指示後、15分以内にその時のプレビアス15分レジスタに相当する15分カウンタからカウント値を取り出した記憶する。すなわち、少なくとも過去2インターバル分の各種データの保持はソフトウェアが行う。

7.3 Incoming 部におけるネットワーク・データ・コレクション

7.3.1 処理方式

前記のネットワーク・データ・コレクション対象パラメーター(1) ～ (6) の中で、Incoming 部において処理するのは(1), (3), (5) の3項目である。

30

(1), (3), (5) のL2, L3 PDU数のカウントは、該L2 PDU内もしくは該L3 PDU内のエラーの有無に係わらず行う。

Incoming 部ではセルフフォーマットでデータを受信するので、リンク毎のL2 PDU数のカウントは容易であり、該L2 PDUのSTを解析し、Inter-BOMの場合はL3 PDU数のカウントアップを行う。また、DA部を解析し、individually addressed L3 PDU か group addressed L3 PDUかの判定を行う。

ネットワーク・データ・コレクションでは、プロトコル・パフォーマンス・モニタと同様に、MESH-MH 間PVC 試験用セルであった場合と、GAコピー処理によりコピーされたセルであった場合はインGRES・ネットワーク・データ・コレクションに関する全ての処理は行わない。

40

タイミング生成、リンク識別、SA/DA 識別、RAM & カウンタの各ブロックとSA/DA 蓄積RAM はプロトコル・パフォーマンス・モニタ処理におけるそれと兼用である。また、各カウンタは、プロトコル・パフォーマンス・モニタ処理におけるそれと同様に、図666に示すように、カウント値を（リンク毎、L2, L3 PDU 毎等に）デュアルポートRAM に格納し、必要なカウント値を読みだしてカウントアップし、またRAM に格納する事で実現する。

図679に、Incoming 部におけるネットワーク・データ・コレクションに係わるタイムチャートを示す。

50

7. 3. 2 処理詳細

有効セルを受信した場合の処理は以下の通りである。

(1) カウント値格納RAM からL2 PDUカウント値を読み出し、カウントアップ(+1)を行う。

(2) カウントアップしたL2 PDUカウント値をRAM に格納する。

有効なInter-BOMを受信した場合の処理は以下の通りである。

(1) カウント値格納RAM からL3 PDUカウント値を読み出し、カウントアップ(+1)を行う。その際、DA部を解析し、個別アドレスL3 PDUかグループアドレスL3 PDUかを判別し、それぞれカウントアップする。

(2) カウントアップしたL3 PDUカウント値をRAM に格納する。

10

カウント値は32ビットであるが、RAM へのリード／ライトは16ビットずつ2回に分けて行う。カウントアップは、発リンク単位に行う。各カウントアップは、(1)においてカウント値がマックスであった場合は行わない。また、前述したように、L2, L3 PDUのカウントはエラーの有無にかかわらず行う。

カウント値格納時には、パリティ生成を行い、カウント値を読み出すときに、パリティ・チェックを行う。図680に、Incoming部でのネットワーク・データコレクションに関するカウント値のリード／ライトのタイムチャートを示す。

7. 4 Outgoing 部におけるネットワーク・データ・コレクション

7. 4. 1 処理方式

前記のネットワーク・データ・コレクション対象パラメーター(1)～(6)の中で、Outgoing部において処理するのは、(2), (4), (6)の3項目である。

20

(2), (4), (6)のL2, L3 PDU数のカウントは、エラーの無い正常な該L2 PDUもしくは該L3 PDUのみに対して行う。

Outgoing部へは、セルフフォーマットでデータが入力されるので、リンク毎のL2 PDU数のカウントは容易であり、該L2 PDUのST部を解析し、Inter-BOMの場合はL3 PDU数のカウントアップを行う。また、同時に、DA部を解析して、個別アドレスL3 PDUかグループアドレスL3 PDUかの判定を行う。

LINK-SBMESH間PVC試験用セルであった場合とMESH-MH間PVC試験用セルであった場合は、Outgoingネットワーク・データ・コレクションに関する全ての処理は行わない。尚、HLM03AのOutgoing NDC部(ネットワーク・データ・コレクション部)では、課金データ用のL2 PDU, L3 PDUのカウントも行う。ただし、課金データ用のL3 PDUのカウントに関しては、Total terminating L3 PDUsのみに対して行う。

30

7. 4. 2 処理詳細

エラーのない正常なセルを受信した場合の処理は以下の通りである。

(1) NDC カウント値格納RAM からL2 PDUカウント値を読み出し、カウントアップ(+1)を行う。

(2) カウントアップしたL2 PDUカウント値をRAM に格納する。

(3) 課金データカウント値格納RAM からL2 PDUカウント値を読み出し、カウントアップ(+1)を行う。

40

(4) カウントアップしたL2 PDUカウント値をRAM に格納する。

正常Inter-BOMを受信した場合の処理は以下の通りである。

(1) NDC カウント値格納RAM からL3 PDUカウント値を読み出し、カウントアップ(+1)を行う。その際、DA部を解析し、個別アドレスL3 PDUかグループアドレスL3 PDUかを判別し、それぞれカウントアップする。

(2) カウントアップしたL3 PDUカウント値をRAM に格納する。

(3) 課金データカウント値格納RAM からL3 PDUカウント値を読み出し、カウントアップ(+1)を行う。

(4) カウントアップしたL3 PDUカウント値をRAM に格納する。

50

カウント値は32ビットであるが、RAM へのリード／ライトは16ビットずつ2回に分けて行う。カウントアップは、着リンク単位に行う。各カウントアップは、上記(1)においてカウント値が最大値であった場合は行わない。また、カウント値格納時には、パリティ生成を行い、カウント値を読み出すときに、パリティ・チェックを行う。図681に、Outgoing部でのネットワーク・データコレクションに関するカウント値のリード／ライトのタイムチャートを示す。

8. 課金

課金(Billing)処理においては、LEC(Local Exchange Carrier)網において、XA-SMDS及びBCC-ILEC間のように、キャリア間にまたがるSMDSに対する課金機能をサポートするために必要なusage information(使用量情報)の生成やusage measurement(使用量計測)処理を行う。図682に、課金の機能分類と処理手順を示す。

8.1 Data Generating(データ生成)

(1) 個別アドレスデータ転送に対する生成

- ・課金ポイント(図683参照)

▲1▼発側LEC網で他のLEC網や選択されたIC網へ直接ICIP L3 PDUを転送するスイッチング・システムSS。

▲2▼着側LEC網で着信先SNIへ直接SIP L3 PDUを転送するSS。ただし、各SBMHは、局内SMDSに対する課金機能を内蔵しており、機能の共通化のため、終端使用量情報の生成はSBMHで行う。

- ・課金対象

プロトコル・チェックやfeature processingの結果などから、正常に転送された(successfully transmitted) L3 PDUであると判断されたデータに対してのみ課金を行う。

- ・課金情報

図684に示す内容を含む使用量情報をパケット単位に生成する。

(2) グループアドレスデータ転送に対する生成

- ・課金ポイント

▲1▼他のLEC網や選択されたIC網へ直接GA及びそのコピーの各ICIP L3 PDUを転送するSS。

▲2▼着信先SNIへGAに基づいたのコピーSIP L3 PDUを直接転送するSS。

- ・課金対象

プロトコル・チェックやfeature processingの結果などから、正常に転送された(successfully transmitted) L3 PDUであると判断されたデータに対してのみ課金を行う。

- ・課金情報

図684に示す内容を含む使用量情報をパケット単位に生成する。

(3) 使用量情報の内容

- ・着信先アドレス

アドレス・タイプとアドレス・サブフィールドから成る着信アドレス。

アドレス・タイプ='1100': 個別アドレス

= '1110': グループアドレス

- ・発信元アドレス

アドレス・タイプとアドレス・サブフィールドから成る発信アドレス。

アドレス・タイプ='1100': 個別アドレス

- ・SNI アドレス

LECがGA Agentの場合、GAメンバーの個別アドレスを設定する。

LECがGA Agentでない場合、グループアドレスを設定する。

- ・状態コード

10

20

30

40

50

ICIPまたはSIP L3 PDUの転送状態。"1" が正常転送を示す。

・Out goingネットワークの識別

ICIP L3 PDU の送出先キャリア (LEC, IC) 。

・Out going ICI転送パス設定の識別

ICIP L3 PDU を送出したICI 転送パスのID。

・Incomingネットワーク識別

ICIP L3 PDU の送出元キャリア (LEC, IC)

・Incoming ICI転送パス設定の識別

ICIP L3 PDU を受信したICI 転送パスのID。

・キャリア識別

10

TR-1060 の5.5.1 章で述べたL3 PDUヘッダのサービス・スペシフィック部で与えられるICを設定する。

・セグメント・カウント

転送したL2 PDU数。

・パケット・カウント

転送したL3 PDU数。

・イングレス・インタフェース・タイプ

Incoming/Out going ネットワーク識別内のコードの判別。相手先がICの場合は" CIC "、相手先がILECの場合は" NECA "

キャリア間SMD Sに対してLEC 網で生成する使用量情報をまとめたものを、図684に示している。

20

8.2 Data Aggregation (データ集計)

特定のSAとDAの間で転送されたSuccessfully transmitted L3 PDU (正常に転送された L3 PDU)に対して、LEC 網で規定された時間間隔で網間SMD Sの使用量情報を加算する。

・時間間隔=1 分 (SBMH と同じ)

・使用量情報の組み合わせ=64K (Max.)

・セル及びパケットカウント数=24ビット (Max.)

課金データを収集する為に必要な使用量情報の組み合わせを考えると、SAとDAの組み合わせだけでも、SA, DAがそれぞれ64ビットで表されているので、その組合せ数は、 $2^{64} \times 2^{64}$ ビットとなり、膨大なメモリ量になってしまう。このため、使用量情報の組み合わせの最大数を64K と規定し、メモリの分配を以下のようにする。

30

$RDA(SIP) + RDA(ICIP) + RSA + RCA = 64K \times (SA_{64bit} + DA(SIP)_{64bit} + DA(ICIP)_{64bit} + \text{キャリア情報}_{37bit})$

ここでキャリア情報とは、Incoming NW ID16ビット、Incoming ICI TPS16ビット、Out going ICI TPS16ビット、Ingress inf type8ビットである。

ところが、GWMESHがサポートするISSI/ICIのリンク数は8本くりつけがあるので、Out going NW IDとOut going ICI TPSを合わせて3ビットで表すことができる。また、Ingress inf typeでは下位2ビットのみを使用する。従って、キャリア情報は合わせて37ビットとなる。図685に、SA, DA(SIP), DA(ICIP), キャリア情報圧縮メモリイメージを示す。

40

課金関連データ蓄積メモリに、上記アドレス毎に L2-PDU、L3-PDU数を合わせて書き込む。そして、その課金関連データ蓄積メモリをファームウェアがアクセスし、課金情報を収集する。具体的には、本メモリを二面構成として、一定時間(1分)毎にファームウェアから面切り換え指示を行う。なお、一定時間が来る前にメモリがフルになった場合、即時に面切り換えを行う。片面ではハードウェアからのアクセスが行われ、もう片面からファームウェアが各種データを取り出す。尚、課金に関するソフト処理を容易

50

にするために、出リンク対応に L2-PDU、L3-PDU数を課金データ蓄積メモリに書き込むようにしてもよい。図686に、そのメモリーイメージを示す。

上記課金機能は、ネットワーク・データ・コレクション部、すなわち、HLM03Aにおいて実現する。

9. LP-COM部 (INF部)

9. 1 概要

LP-COM部は、以下の機能を行う。

- (1) INFとインタフェースし、ICLP部・OGLP部の制御
- (2) 課金処理
- (3) パフォーマンス・モニタ、データ・コレクション (traffic monitor) 10

また、物理的には、以下の3枚のPWCBからなる。

- (a) HLP07A
- (b) HLM02A
- (c) HLM03A

上記(1)～(3)に示す機能は、それぞれ上記(a)～(c)に示したPWCBにおいて実行される。また、HLM02Aは、SBMESHでのHLM00Aを用いるが、実際の課金としての操作は行わない。

課金処理については8章で、パフォーマンス・モニタについては6章で、データ・コレクションについては7章で述べた通りである。 20

本章では、INFとのインタフェース機能、SMLP部・RMLP部の制御機能、すなわち、HLP07Aについて説明する。

9. 2 機能概要

図687に、HLP07Aのブロック図を示す。また、図688および図689に、HLP07Aの各ブロックの機能を示す。

HLP07Aは、その主機能として以下を行う。

- ・ INFとのインタフェース
- ・ LP部、各テーブルの設定及び管理
- ・ LP部、LP-COM部のエラー監視
- ・ 状態制御 30

9. 3 INFインタフェース制御手段

9. 3. 1 INFインタフェース制御

GWMesh (MNG-Firm)とBCPR間のINFを使用したインタフェースの制御手順について以下に示す。

a. INF コマンド起動

- (1) CPU (マイクロプロセッサ)にDMA 設定を行う。
- (2) BCPRは、INF オーダーでコマンド起動するとき、MMアドレスを2ビット右シフト(0, 4, 8が0, 1, 2となる)したイメージで指定してくる。よって、INF受信時、SBMESHは以下の動作を行う。

▲1▼コマンド起動を認識すると、SBIF LSIのポートA からMMアドレス、コマンド数を受け取る。 40

▲2▼ SBIF LSI のポートB に、MMアドレス上中下位をひねって設定する。

▲3▼ SBIF LSI のポートF に転送長(コマンド数×4ワード)を設定する。

▲4▼ SBIF LSI のポートC に、DMA リードスタートを設定する。

b. INF ステータス通知

ステータス通知に指定するMMアドレスは、2ビット右シフト(0, 4, 8が0, 1, 2となる)したものであり、受信バッファ通知で指定されたままのものである。メッセージ長は、BCPRメモリ上で左がMSB, 右LSBである。GWMeshは、以下の動 50

作を行う。

- (1) S B I F L S I のポート B に、MMアドレス上中下位をひねって設定する。
- (2) S B I F L S I のポート F に、転送長（コマンド数×4ワード）を設定する。

。

- (3) S B I F L S I のポート C に、DMA ライトスタートを設定する。

ここで、コマンドとステータスに指定するMMアドレスとメッセージ長は、以下に従う。

- (1) コマンドで指定するデータのMMアドレスは、2ビット右シフトのものを指定する。

- (2) メッセージ長は、B C P Rメモリ上で左がMSB、右LSBである。

- (3) MMアドレス以外は全てインタフェース仕様書で規定する。

10

なお、ステータス通知も同様である。また、MMアドレスは受信バッファ通知で指定されたものと同じである。

ステータスキュー・アドレス、受信バッファアドレスの通知は、以下の通りである。

- (1) B C P Rは、G W M E S Hに対して、予めステータスキューおよび受信バッファのMMアドレスを通知する。

- (2) MMアドレスは、2ビット右シフトのものを指定する。

- (3) メッセージ長は、バイト長を指定する。（メッセージ有効長が必要）

9. 3. 2 I N F インタフェース割り込み制御

G W M E S H内の I N F インタフェース制御における割り込み制御について、以下に示す。

20

a. コマンド起動

コマンド起動は割り込みで処理する。外部割り込み I N T Oである。I N T O割り込みは、ポート A の3ワードリードでリセットされる。

b. ステータス送信

ログ対象エラーが発生した場合、M S R - f i r mから発生するログステータスを送信する。

c. DMA制御

C P U 内部のDMA コントローラーで行う。使用するDMA チャンネルは0。DMA 終了は、割り込みと l o o k i n の2種を使い分ける。割り込みは、C P U 内DMA コントロールレジスタの I N T ビットで制御。

30

I N F のDMA 転送速度は4 M b y t e / s e cなので、4 b y t e のDMA リード（テイルポインタ・ルックイン等）は、C P U クロックが8 M H zなら1 μ秒で終了する。よってDMA終了割り込みは使用せず l o o k i n で行う。

9. 4 I C L P / O G L P 制御

I C L P / O G L P に対する制御、具体的には、H L P 0 7 Aから I C L P / O G L P に対して与える状態制御情報を以下に示す。

- ・自系の A C T / S B Y 状態（アクティブ／スタンバイ状態）
- ・自 S h e l f の S h e l f N o . （0～3）（シェルフ番号）
- ・初期設定時のリセット
- ・各種チェッカへの障害リセット
- ・各種M S D テーブルに対する設定
- ・各種M S D テーブルに対するリセット
- ・ハードウェア I N H B I T 状態信号（インヒビット状態信号によって、ハードウェア動作をマスクする）

40

H L P 0 7 Aは、この他に、I C L P / O G L P の各パッケージ P K G から、M S C A N 情報を収拾し、状態監視を行う。

10. ソフト・インタフェース

10. 1 初期設定

ソフトは、G W M E S Hの初期設定として、以下の2つを行う。

▲ 1 ▼ M H - C O M 部の初期設定

50

▲2▼LP部の初期設定

ソフトは、最初に上記▲1▼をLAP 経由で行い、次に上記▲2▼をINF 経由で行う。

10.1.1 MH-COM部の初期設定

MH-COM部に関するE-MSD / E-MSCNの装置制御は、簡易LAP (EZ LAP) を使用した局内通信で行う。局内通信におけるVPI / VCI 値としては、図690に示す固定値を用いる。

BSGC-MHCOM部間には、0系、1系それぞれ1本のEZ LAP リンクが張られ、各リンク内部には0系用、1系用局内通信セルが両方とも入力される。

MH-COM部では、自分あてのスイッチング・タグ情報をもったセルをIDMX部にて取り込む。0系用、1系用局内通信セルは、VCI 値がそれぞれ異なる為、自系で処理すべきセルはVCI 値で識別し、他系分は廃棄してしまう。 10

一方、BSGC側では、0系用、1系用局内通信セルのVCI 値が互いに同じであるが、自系で取り込むセルはCOM-bit が"1" で、他系分はCOM-bit が"0" であることで識別を行い (図410に関する説明を参照)、自系へのセルを取り込み、他系へのセルは廃棄する。

10.1.2 LP部の初期設定

LP部の初期設定はINF 経由で行う。

10.2 INS 処理

GWESHでは、MH-COM部当とLP部では独立に系構成が可能である。この為、INS化処理 (インサービス化処理) もMH-COM部とLP部では異なる。 20

10.2.1 MH-COM部のINS 化処理

MH-COM部の制御は、EZ LAP を使用して行う。MH-COM部のINS 化時の主な処理はVCC のコピーである。

10.2.2 LP部のINS 化

LP部のINS 化はINF 経由で初期設定のみが行われる。

10.3 系切替え

GWESHの系切替えとしては、以下の2つがある。

▲1▼ スイッチくりつけのMH-COM部の系切替え

▲2▼ MH-COM部とは独立のLP部の系切替え 30

10.3.1 MH-COM部の系切替え

MH-COM部はスイッチとくりつけになっており、系切替え信号はASSWSH経由で受け取る。したがって、MH-COM部の系切替え手順は、ASSWSHの系切替え手順と同様である。

10.3.2 LP部の系切替え

INF AのACT 変更を行う。

10.4 障害監視

10.4.1 MH-COM部の障害監視

MH-COM部の障害は、すべてEZ LAP を使用してMSCNの形式でBCPRに通知される。MSCNの中には、自系監視情報と他系監視情報とがあり、それぞれ処理が異なる。図691にMH-COM部の障害時の動作を示す。 40

10.4.2 INF 通信に関する障害監視

INF 通信に関する障害監視については、BSGCに処理に準ずるので、ここでは詳細説明は省略する。

10.5 試験・診断

GWESHに関する試験としては、SBMESHと全く同様な機能をもっており以下の4種がある。

▲1▼ TCG を用いた試験

▲2▼ ICI / ISSI-GWESH間のPVC 試験

▲3▼ SBMESHまたはGWESHとGWESHとの間のPVC 試験 50

▲4▼ 局間折り返し試験

基本的には、上記▲1▼は定期的に行われる試験であり、▲2▼、▲3▼、▲4▼は加入者からの要求・苦情（クレーム）等により、オンデマンドで行われる試験である。

10. 5. 1 TCG を用いた試験

GWME SHは、他のASSWのハイウェイに接続される SIF SH、BSGC SH、SBME SH等と同様に、ASSWから入ってきた試験セルを自動的にDMUX直後の155Mハイウェイのところで再びMUX してASSWに折り返す機能を有している。TCG で生成されて出力される試験セルは、そのヘッダ部として、図692に示す情報を有している。同図の右端は「0（オー）ビット」であり、このビットの値が“1”であることが本試験の試験セルであることを表している。

10

GWME SHにおけるTCG セルによる折り返し試験の例を、図693および図694に示す機能イメージ図を参照しながら説明する。

GWME SHのIDMX（ODMX）では、以下の（1）（2）の処理を行う。

（1）TAGC情報の一致でのデータ取り込む

（2）TAGC 情報の一致、かつ「0ビット」=1の条件でのデータ取り込む

上記（1）の条件で取り込まれたセルは、ICLP（OGLP）に送られ、「0ビット」=1のセルが廃棄され、それ以外のセルは通常のルーティング処理が行われる。一方、上記（2）の条件で取り込まれたセルは、上記「0ビット」の値に従い、GWME SH内の折り返される。そして、GWME SHが有するVCC を経た後にMUX されてASSWに送り返される。MUX 側で試験セルに対応するVCC が設定されていない場合は、この折り返し処理は行われず。図693では、一方の系のみの機能イメージを示しているが、2重化されたGWME SHでも同じイメージである。本試験は、ASSW交点のスイッチングの正常性の確認、およびGWME SH、SIF SH のDMUX部・MUX 部の正常性の確認を行っている。

20

図693に示す試験の動作を説明する。まず、TCG SH で生成・出力される試験セルは、ルーティング情報として VCI₁ を有し、また「0ビット」=1である。上記VCI₁ は、TCG SH とGWME SHのIDMXとの間のパスを指定している。その試験セルは、上記（1）および（2）の条件で取り込まれ、（2）の条件で取り込まれた試験セルは、「0ビット」=1であるので、OMUX に折り返される。

OMUXの入力側にはVCC が設けられており、該試験セルのルーティング情報は、VCI₁ → VCI₂ の変換がなされて、ASSWに出力される。VCI₂ は、GWME SHのOMUXとSIF SH のDMX との間のパスを指定している。SIF SH 内では、GWME SHと同様に、「0ビット」=1であることに従って、該試験セルをMUX に折り返す。そして、その試験セルに対してはSIF SH のMUX の入力側に設けられているVCC で VCI₂ → VCI₃ の変換がなされて、再びASSWに出力される。VCI₃ は、SIF SH のMUX とGWME SHのIDMXとの間のパスを指定している。

30

GWME SHでは、上述したように、その試験セルが OMUX に折り返されるが、今度は、VCI₃ → VCI₄ の変換がなされて、ASSWに出力される。VCI₄ は、GWME SHのOMUXとTCG SH との間のパスを指定している。

40

このようにして、TCG SH は、TCG SH 自身が出力した試験セルを受信することによって、GWME SHのIDMXおよびOMUX（SIF SH のDMX およびMUX も）の正常性を確認できる。

図694に示す試験の動作は、基本的に図693で説明した動作と同じであるが、この試験では、SIF SH の代わりに同図に示す「LOOPS」を利用し、GWME SHのIMUXおよびODMXの正常性を確認している。なお、上記「LOOPS」は、図9に示したLLP に対応する。

10. 5. 2 ICI/ISSIとGWME SHとの間のPVC 試験

ICI/ISSI等のトランクは、基本的には他のMHでも使用している可能性があるため、回線をOUS（Out-of-Service）状態しての試験は行わず、INS

50

(In-Service) 状態で試験を行う。ICI/ISSIとGWMeshとの間のPVC 試験時におけるGWMeshの機能イメージを図695に示す。

この試験は、ソフトからの試験指示により、ファームウェアがVC I = x x F F (h) (x は任意の数)を有する試験セルをOGLP部へ送り出す。OGLP内部では、入力セルのVC I 値がVC I = x x x x x x x x 1 x x x x x x x (b)であった場合にそのセルを試験セルであると判定し、該試験セルに対して通常のユーザ・セルと同様のルーティング処理を行い、要求(クレーム)のあったトランクに向けてその試験セルを送り出す。ただし、その試験セルに対しては、下記の▲1▼および▲2▼を行わない。
▲1▼ BAサイズまたはLENGTHに関する所定の演算(セルのセグメント・タイプに基づいて、所定の値を減算する処理)

10

▲2▼L2のプロトコル・チェック

GWMeshから出力され、ASSW(down)を通り、SIFSH に到達した試験セルは、SIFSH の所定のトランクにて折り返され、そのトランク対応のGWMeshのICLP部に向けて出力される。ここで、上記SIFSH の所定のトランクは、このPVC 試験のセルであることを示すVPI/VC I を持ったセルを折り返す機能を有している。

ICLPに入ってきたセルのうち、サービス・タイプが"48"または"60"ものものはBEタグのコピーは行わない。また、DAが自SS局番を示しており、かつサービス・タイプが"48"または"60"のものは、BAサイズ、レンジに関する所定の演算は行わない。そして、上記セルのVC I 値をVC I = x x F F (h) に変換し、MSC Nにて試験セルの受信をファームウェアに通知する。

20

ファームウェア受信部へは、VC I = x x F F (h) のセルのみがフィルタリングされて取り込まれる。ファームウェアでは、受信した試験セルデータの格納位置を通知し、ソフトにより試験結果をチェックしてもらう。一方、そのままハイウェイを流れていった試験セルはそのVC I 値が通常セルと異なり、VCC に格納されていないため、該VCC において廃棄される。

PVC 試験では、使用するVPI/VC I は実際のサービス・セルと同じものを使用する。したがって、この試験中は、試験VPI/VC I 以外のVPI/VC I を有するセルはサービスに使用出来るが、試験VPI/VC I を有するセルはサービスに使用できない。即ち、該試験VPI/VC I が指定するパスを介して所望のサービスを受けることは出来ない。尚、GWMeshでは、VPI = 03F(h)とし、VC I = "0300"(h) ~ "0307"(h)(ISSI) およびVC I = "0310"(h) ~ "0317"(h)(ICI)がサービスに使用するVPI/VC I 値である。

30

10.5.3 SBMesh / GEMesh とGWMeshとの間のPVC 試験本機能は、SBMeshのもつMesh-MH 間のPVC 試験機能と同一である。

SBMesh とGWMeshの組合せは、以下の4通りである。

- (a) SMLP-RMLP
- (b) SMLP-OGLP
- (c) ICLP-RMLP
- (d) ICLP-OGLP

40

SBMesh / GEMesh とGWMeshとの間のPVC 試験のイメージを図696に示す。

この試験は、ソフトからの試験指示によって、ファームウェアが、試験セルのVC I 値をVC I = x x F F (h) でICLP部へ送り出す。ICLP内部では、入力セルのVC I 値がVC I = x x x x x x x x 1 x x x x x x x であつた場合に、そのセルをこの試験の試験セルであると判定し、その試験セルに対しては通常のユーザセルを同様にしてDAでルーティングを行い、要求(クレーム)のあったSBMH、GWMHに向けてその試験セルを送り出す。ただし、その試験セルに対しては、BEタグのコピー、および、レイヤ2, 3のプロトコル・チェックは行わない。

50

図696に示すS I F S H 内のL L P で折り返された試験セルは、P V C の設定されているS B M H、G W M Hに転送され、試験セル内に記述されているD A（着信先アドレス）を基にして、該当するR M L PもしくはO G L Pに着信する。R M L PもしくはO G L Pに入力されたセルのうち、予めファームウェアから指示されている試験D A値をもつものはV C I = x x F F (h) に変換される。

ファームウェア受信部へは、V C I = x x F F (h) のセルのみフィルタリングされて取り込まれる。ファームウェアでは、受信した試験セルデータの格納位置を通知し、ソフトにより試験結果をチェックしてもらう。一方、そのままハイウェイを流れていった試験セルはV C I 値が通常セルと異なり、その値がV C C に格納されていないので廃棄される。

10

本試験時に使用するD A値について、以下の2種類を使用できる。

▲1▼割付済D A値を使用する

▲2▼試験用に特別に決めた特定D A値を使用する

上記▲1▼の場合、使用するV P I / V C I として実際のサービス・セルと同じものを使用するので、V P I / V C I では試験セルと通常セルとの区別は出来ない。その為、試験中は、試験V P I / V C I 同じV P I / V C I を有するセルはサービスに使用できない。

上記▲2▼の場合は、上記特定D Aのセルのために専用の内部V C I 値を定義する。このため、この試験セルを通常のサービス・セルから区別可能となり、この試験中でもサービス・セルには影響を与えない。

20

なお、G W M E S Hでは、V P I = 0 3 F (h)、V C I = " 0 3 4 0 " (h) ~ " 0 3 5 F " (h) がサービスに使用されるV P I / V C I 値である。

10. 5. 4 局間試験

局間試験におけるG W M E S Hの機能イメージを図697に示す。

この試験は、ソフトからの試験指示により、ファームウェアがV C I = x x F F (h) を有する試験セルをO G L P部へ送り出す。O G L P部では、入力セルのV C I の値がV C I = x x x x x x x x 1 x x x x x x x であった場合、該セルをこの試験の試験セルであると判断し、該試験セルに対しては通常のユーザー・セルと同様にルーティング処理を行い、局間インタフェース(I S S I, I C I)に転送される。ただし、B Aサイズ、レンジスに関する所定の演算、レイヤ2のプロトコル・チェックは行わない。

30

局間の伝送路を介して相手局に入力された試験セルは、P V C の設定されているG W M EのI C L P部に転送される。I C L Pに入力されてきたセルのうち、サービス・タイプが" 4 8 "または" 6 0 "のものはB Eタグのコピーはしない。D Aが自S S局番を示しており、かつサービス・タイプが" 4 8 "または" 6 0 "のものは、B Aサイズ、レンジスに起案する所定の演算は行わず、そのセルのV C I をx x F F (h) に変換して、M S C Nにて試験セルの受信をファームウェアに通知する。

ファームウェアは、M S C Nにより試験セルの受信を認識し、V C I = x x F F (h)

のセルのみフィルタがかけられ取り込まれる。ファームウェアでは、受信した試験セルデータの格納位置をソフトに通知し、ソフト処理によってD A / S A を入れ換え、試験セルをその発信元に返送する。そして、その結果はファームウェア経由でソフトに通知される。このようにして、局間にまたがってのループバック試験を行う。なお、この試験はP V C 試験であるので、使用するV P I / V C I は実際のサービス・セルと同じものを使用する。試験セルと通常セルとの識別は、サービス・タイプで行うので、この試験をサービス中に行うことの可能である。

40

尚、G W M E S Hでは、V P I = 0 3 F (h)、V C I = " 0 3 0 0 " (h) ~ " 0 3 0 7 " (h) (I S S I)、V C I = " 0 3 1 0 " (h) ~ " 0 3 1 7 " (h)

(I C I) がサービスに使用されるV P I / V C I 値である。また、O G L Pでは他のユーザー・セルと同様のE S, H o p c o u n t I D, キャリアI Dはハード内部でロテーションしてしまう為、ファームウェアからのこれらの値の設定はハードで

50

ロテーションして正解値となるように逆にロテーションしておく。

10.5.5 各部の試験用機能

この章で説明した試験に必要な各部の機能を以下にまとめる。

▲1▼ICLP側

- ・サービス・タイプが " 48 " または " 60 " の時
 - (1) B E t a g のコピーは行わない
- ・DAが自SS局版でサービス・タイプが " 48 " または " 60 " の時
 - (1) V C I を x x F F (h) に変換
 - (2) M S C N に通知
 - (3) B A s i z e , L e n g t h に関する所定の処理は行わない
- ・V C I 値が " x x x x x x x x 1 x x x x x x x " の時
 - (1) プロトコル・チェックはマスク (レイヤ2, 3)
 - (2) DAでルーティング (ユーザ・セルと同じ)
 - (3) B E t a g のコピーは行わない

10

▲2▼OGLP側

- ・DAがファームウェアから通知される試験DAの時
 - (1) V C I を x x F F (h) に変換
- ・V C I 値が " x x x x x x x x 1 x x x x x x x " の時
 - (1) プロトコル・チェックはマスク (レイヤ2)
 - (2) B A s i z e , L e n g t h に関する所定の演算は行わない

20

▲3▼Firm側

- ・E S , H o p c o u n t I D , キャリア I D は、ハード内部でロテーションすることを考慮して事前に逆ロテーションする

10.5.6 自己診断

自己診断としては、MH-COM部の自己診断とLP部の自己診断とがある。

MH-COM部の自己診断は、障害監視系の正常性確認を行う。すなわち、通常状態でMSCN上の障害フラグが立っていないことの確認と、MSDの疑似障害ポイントに対して所定の処理を行うことにより、その処理に対応するMSCN上の障害フラグが立つことを確認する。

LP部の自己診断は、障害監視系の正常性確認と試験セルによるLP部内のデータ透過試験を行う。

30

障害監視系の正常性試験は、通常状態でMSCN上障害フラグが立っていないことの確認と、MSDの疑似障害ポイントに対して所定の処理を行うことにより、その処理に対応するMSCN上の障害フラグが立つことを確認する。

LP部内のデータ透過試験は、ICLP部、OGLP部それぞれの試験セル多重部から試験セルを出力し、I n c o m i n g 処理、O u t g o i n g 処理を終わったあとのセル及びNDCデータ(ネットワーク・データ・コレクション・データ)、課金データの確認を行う。

【0011】

<パート7>

40

パート7では、B S G C (広帯域シグナリンググループコントローラ)の詳細について説明する。

1. 概説

B S G C (B r o a d b a n d S i g n a l i n g G r o u p C o n t r o l l e r S h e l f) は、交換機プロセッサであるB C P R (広帯域コールプロセッサ、図698参照)の制御下において、各加入者端末及び各局内装置との制御情報の通信におけるレイヤ2プロトコルを終端する装置である。1つのB S G Cは、256~1024ポートのL A P D通信ポートを終端することができる。

また、B S G C S Hは、片系あたり6個のB S G Cを収容することができる。このため、1つのB S G C S Hあたり2048~8192のL A P D通信ポートを収容することがで

50

きる。

1. 1 BSGCSH及びBSGCの交換機システム内での位置

図698に、本実施例が対象とする交換機システム内におけるBSGCSH及びBSGCの位置（ハッチングされた部分）を示す。

図699に、局内LAPD通信の終端ポイントを示す。

図700に、加入者LAPD通信の終端ポイントを示す。

1. 2 BSGCの機能分担

BSGCは、以下に示される4つ大きな機能を分担する。

(1) INF を介してBCPRと通信すること。

(2) BCPRの制御下で、各通信制御のレイヤ2を終端すること。

10

(3) 局内通信リンクに関するポートの初期設定及び監視を行うこと。

(4) BSGCに搭載されるCARP LSIの機能とVCC 機能によって、ATMスイッチとの間でインタフェースを確立すること。

1. 2. 1 INFの機能

交換機プロセッサであるBCPRとBSGC（図698参照）の間の通信は、INF（Interface）と呼ばれる装置によりインタフェースされる。PIFは、図698に示されるように、INFT（Interface type T）とINF A（Interface type A）とから構成される。

INFTは、システムバス（TOX-BUS、図698参照）に接続されるインタフェース装置であり、BCPRの配下の装置とのインタフェースを実現する。このインタフェースは、ECL（Emitter-Coupled Logic：エミッタ結合論理）平衡伝送方式（32MHz、1ビットデータシリアル）である。INFTは、4個のインタフェース端子を有し、最大で、4個の下位装置と4本のTDケーブルによって接続される。なお、1本のTDケーブル上には、4方路分の信号が多重されている。

20

INF Aは、通話路装置インタフェース機能を拡張するために、INFTの配下に位置し、BCPRと通話路装置（BSGC）との間のインタフェースを制御する。このインタフェースは、V. 11平衡伝送方式（4MHz、8ビットデータシリアル）である。INFTによって4方路分の信号が多重された32Mbpsインタフェースが、各方路毎の4Mbpsインタフェースに分離される。

1つのINFTあたり4つのINF Aを接続することができ、1のINF Aあたり4つのBSGCを接続することができる。

30

1. 2. 2 LAPDの機能

BSGCは、BCPRの制御下で、各加入者端末及び各局内装置との制御情報の通信におけるレイヤ2プロトコルを終端する

ここで加入者端末とは、UNI（User Network Interface）上のB-ISDN端末、又はSVC 時のFR（Frame Relay）端末をいう。

また、局内制御装置とは、SIFSH（パート3参照）、RMXSH（Remote Multiplex Shelf、図34等参照）、MESH（Message handler Shelf；SBMHSH 及びGWMHSH、パート5、6参照）、SINF（Subscriber Line Interface）、DS3（DS3-SMDSインタフェース、パート2参照）、FR（Frame Relayインタフェース）等をいう。

40

1. 2. 3 局内制御通信リンク

BSGCは、BCPRと全ての局内装置の間の制御データの通信におけるレイヤ2を終端する。通信プロトコルとしては、UIフレームを用いた簡易LAPDが用いられる。信号の抜けを防ぐため、BCPR及び各局内装置は、レイヤ3メッセージ抜けの監視を行う。簡易LAPDプロトコルは、各局内装置のLAPD通信に対する負荷を軽減する目的で採用される。

局内制御通信には、1重化装置用通信と2重化装置用通信の2種類がある。

1重化装置用通信では、アクティブ系とスタンバイ系の両方の系のASSW（ATM

50

スイッチ) 内にアクティブ系の信号を通過させる信号方式が採用される。この通信の対象となる装置は、SINF、DS3、DS1FR (DS1 Frame Relay インタフェース) などの各局内装置である。この通信方式は、加入者端末との間のシグナリング方式と同様である。

一方、2重化装置用通信には、アクティブ系とスタンバイ系の各系のASSW (ATM スイッチ) 内に各系の信号を通過させる信号方式が採用される。この通信は、各2重化装置のアクティブ系及びスタンバイ系の両方と、BSGCのアクティブ系用の2つのポートを使用して行われる。これは、2重化装置の交絡部の障害によって両方の系で障害が発生してしまうことを防ぐために、通信リンクを2重にすることによって信頼度を向上させるためである。この通信の対象となる装置は、SIFSH-A 内のSIFCOM (10
パート3参照)、MESH (Message handler Shelf; SBMHS
SH 及びGWMHSH、パート5、6参照)、RMXSH (Remote Multi-
plex Shelf、図34等参照) などの装置である。

1. 2. 4 ATM スイッチとのインタフェース

パート2の10. 3で説明したように、BSGCは、交換機ソフトウェアによって割り当てられたVPI/VCI 値を使用して、DS3-SMDSインタフェースとの局内通信リンクを設定する。

SIFSH からBSGCに向かう局内通信用セルのルーティングに必要なタグ情報の付加は、SIFCOM (図8参照) 内のVCC (仮想チャネルコンバータ) で行われる。逆に、BSGCからSIFSH に向かう局内通信用セルのルーティングに必要なタ
20
グ情報の付加は、BSGCの共通部 (BSGC-COM) 内のVCC で行われる。

但し、BSGCがMESH又はLLP と通信するとき (図699参照) は、BSGCは双方向のVCC 変換を実行する。

VCC は、SIFSH、BSGC SH、及びMESHの2重化部にそれぞれ搭載される。

1. 2. 5 メタシグナリング (Meta-signaling) 通信

BSGCは、UNI (User Network Interface) 端末 (加入者端末) との間のシグナリング通信であるメタシグナリング通信用のポートを提供する。但し、BSGCとUNI 端末の間のメタシグナリング通信手順におけるVPI/VCI
30
の割り当て及びその通信は、BCPRの機能であって、BSGCはメタシグナリング用信号のメッセージ解析は行わない。

1. 3 BSGCのポートの数と割当の条件

BSGCのポート種別と1つのBCPRあたりのポート数を以下に示す。

1. 3. 1 最大ポート数

(1) 局内制御通信用LAPDポート

局内制御通信用ポートには、2重化装置用通信ポートと、1重化装置用通信ポートがある。

(a) 2重化装置用通信ポート

SIFSH 2 (daisy chain) × 14 (highway) × 2 (ACT/SBY) = 56
40

(loop用SIFSHを含む)

MESH 4 (daisy chain) × 2 (highway) × 2 (ACT/SBY) = 16

RMXSH 16 (RMXSH) × 2 (ACT/SBY) × 2 (redundancy) = 64

(b) 1重化装置用通信ポート

SINF 8 (SINF) × 2 (SIFSH) × 14 (highway) = 224

DS3 8 (daisy chain) × 2 (SIFSH) × 14 (highway) = 224
50

$FR \quad 4(DSI) \times 8(DTC) \times 4(MUX) \times 2(SIFSH) \times 14$
 $(highway) = 3584$

RMXSHが収容するFR

$4(DSI) \times 8(DTC) \times 4(MUX) \times 2(SIFSH) \times 16(RMXSH)$
 $= 4096$

(2) 加入者制御通信用LAPDポート

(a) UNI B-ISDN端末 $20(TE) \times 8(SINF) \times 2(SIFSH) \times 14(highway) = 4480$

(b) SVC 時のFR (1) (b) のFR (3584)、RMXSH が収容するFR (4096) と同じ

10

(c) メタシグナリング (1) (b) のSINF (224) と同じ

1. 3. 2 必要ポート数

(1) 共通部

SIFCOM 局内制御通信用に2ポート (ACT/SBY)

MESH共通部 局内制御通信用に2ポート (ACT/SBY)

RMXSH 共通部 局内制御通信用に4ポート (ACT/SBY とSIFSH の両側)

(2) 個別部

SINF 局内制御通信用とメタシグナリング用に2ポート

20

更に、接続端末数に対応するnポート

DS3 局内制御通信用に1ポート

FR/SMDS 局内制御通信用に1ポート

SVC が行われるなら更に1ポート

1. 3. 3 BSGCと他の装置の間の転送速度

(1) BSGCとBCPR (INFA) の間の転送速度は、 4 Mbyte/sec である。実行速度は、 2 Mbyte/sec 程度である。

(2) ATM スイッチ制御用LSI のクロックレートは 2 Mbyte/sec である。

30

(3) ATM スイッチに対する帯域は 1 Mbyte/sec である。

(4) BSGCとATM スイッチ間の通信は、BSGC内に信号が停滞しないようにBCPR (BSGC) と各局内装置の間で通信手順が確立されて実行される。BSGC内に信号が停滞しないようにするには、BSGCが収容することのできるポート数は以下のようになる (ピークレートアサインの場合) 。

(a) 16 Kbps のポートなら1024ポートが収容可能。

(b) 64 Kbps のポートなら256ポートが収容可能。

(c) 128 Kbps のポートなら128ポートが収容可能。

(d) 256 Kbps のポートなら64ポートが収容可能。

40

なお、局内制御通信リンクの通信速度は全て 64 Kbps とする。但し、RMXSH の集線比を考慮すると帯域不足が考えられるので、この通信速度はBCPRからコマンドによって変更可能とされる。

1. 3. 4 BSGCの処理能力とポートの割当条件

BSGCの処理能力は、1秒あたり約200 メッセージである。

BSGCが収容するポートは、BSGCの処理能力及び1. 3. 3で示した転送速度を考慮して割り当てる必要がある。メタシグナリングにおける加入者シグナリングの帯域も、同様に割り当てられる。

2. BSGCSH機能概要

2. 1 緒元

50

図701に、BSGC SHの機能の概要を示す。

2. 2 上位インタフェース (INFインタフェース)

1. 2. 1で説明したように、BSGCはBCPRとの通信をINFを介して行う。

2. 2. 1 INF (周辺装置インタフェース) 制御におけるハードウェア構成

図702に、BCPR—INF—BSGC間のハードウェアの接続構成を示す。

2. 2. 2 INF インタフェース制御手順

BCPRによる周辺装置 (INF) インタフェース制御には、オーダ及びDMA転送によるものがある。

オーダ機能は、主にBSGC内SBIF LSIの機能として実現される。オーダのうちBSGCに関連するものには、以下のものがある。

- (1) BSGCのアクティブ系／スタンバイ系を指定するための個別系指定
- (2) BSGCリセット
- (3) BSGCへの命令
 - (a) コマンド起動 : BCPRで作成されたコマンド群の通知要求
 - (b) リトライ指示 : DMAアクセスエラーが発生した場合の再送要求
 - (c) MSCN読み取り : MSCN読み取り要求
 - (d) 試験用折り返し : 試験用折り返しデータの書き込み要求
 - (e) 試験用折り返しデータ読出 : 試験用折り返しデータの読み取り要求

図703に、BSGC—BCPR間の制御シーケンスを示す。

DMA転送はコマンド起動オーダによって起動される (ステップ2)。その後、BCPRからコマンドによって通知されたBCPR内メモリのアドレスに記憶されているコマンド群 (ステップ1) が、BSGC内SBIF LSI及び80186 DMA機能によって、BSGCの主導のもとで、BSGC内のメモリにDMA転送され (ステップ3)、各コマンドが処理される (ステップ4)。ここで、転送されるコマンド群は、コマンドを複数個含み、コマンドはBCPRからBSGCへの各種要求を指示する。コマンド群は、8 msecの周期で、BCPRからBSGCへ通知される。コマンド群の転送が終了すると、BSGCからBCPRへ、コマンド群受信通知がDMA転送される (ステップ5)。

一方、BSGCは、BCPRへ通知するイベントが発生するとステータスを作成し (ステップ6)、8 msecの周期で複数のステータスをまとめてステータス群としてBCPRへ通知する (ステップ7)。BCPRは、通知されたステータスに対する受信処理を実行する (ステップ8)。この通知も、BSGC内メモリから予めコマンドで指定されたBCPR内メモリのアドレスへのDMA転送である。

2. 3 スイッチインタフェース (CARP及びVCCインタフェース)

スイッチ内レイヤ1制御は、BSGCに搭載されるCARP LSIによって実行される。このLSIは、タイプ3、4、又は5のAAL (ATM Adaptation Layer) プロトコルタイプのフレームの分解及び組み立て機能を有する。

スイッチ内の方路は、図704などに示されるように、BSGC内のBSGC—COM (BSGC共通部) に搭載されるVCC、SIFSH内のSIFCOMに搭載されるVCC、及びMESH内の共通部に搭載されるVCCにより決定される。これらのVCCの内容は、BCPRが実行する交換機ソフトウェアによって設定される。

2. 3. 1 スイッチ内2重化装置制御ハードウェア構成

図704に、スイッチ内2重化装置制御ハードウェアの構成を示す。

2. 3. 2 スイッチ内信号制御

BCPRは、BSGCに、各ポートの属性及びVPI/VCIを予め通知する。BSGCは、指定された情報に基づいて、各ポートを初期設定する。

CARPは、指定されたVPI/VCIに基づいて、ATMセルヘッダを設定する。BCPRが実行する交換機ソフトウェアは、スイッチ内の方路を決定するために、BSGC内のBSGC—COMに搭載されるVCC、SIFSH内のSIFCOMに搭載されるVCC、及びMESH内の共通部に搭載されるVCCの内容を設定する。

10

20

30

40

50

これらのVCCの機能を、以下に示す。

(1) VCCの設定は、BCPRの指示に基づき、BSGC、SIFSH、及びMESHが行う。

(2) VCCは、2重化されたBSGC、SIFSH、及びMESH内に配置され、2つの系間のVCCテーブルのコピーは、各装置によって実行される。

(3) BSGCによるVCC制御は、最も番号が若いBSGCによってのみ行われる。

スイッチ内制御方式としては、アクティブ系及びスタンバイ系のATMスイッチにそれぞれ同じ信号が送出されることによりATMスイッチの系の切り替えによるセルロスを少なくする方式が、採用される。

10

以下に、その信号方式をモデル化する。

2. 3. 2. 1 シグナリング用信号制御モデル (1重化装置を含む)

このモデルにおいては、アクティブ系とスタンバイ系の両方の系のATMスイッチ内を、1重化装置及び加入者に関する制御信号が転送される。

図705に、端末からスイッチに向かう方向のシグナリング用信号制御モデルを示す。この図では、#0系がアクティブ系であるとする。

例えば、端末からの信号は、1重化されたADS1装置から、2重化されたDTCのアクティブ系とスタンバイ系の両方の系に分配される。アクティブ系とスタンバイ系のDTCに分配された端末からの信号は、それぞれ、2重化されたADSINFのアクティブ系とスタンバイ系に分配される。次に、2重化されたSIFCOMのアクティブ系とスタンバイ系の両方の系は、アクティブ系(#0系)のADSINFに分配された端末からの信号を取り込む。アクティブ系とスタンバイ系のSIFCOMによって取り込まれた端末からの信号は、それぞれ、2重化されたASSWのアクティブ系とスタンバイ系に分配する。BSGC SHにおいては、スタンバイ系のASSWからの信号はBSGC-COMによって廃棄される。廃棄されるべき信号セルは、それに付加されているタグによって識別される。この廃棄処理については、2. 3. 4で説明する。

20

次に、図706に、スイッチから端末に向かう方向のシグナリング用信号制御モデルを示す。この図でも、#0系がアクティブ系であるとする。

例えば、BSGCからの信号は、BSGC-COMを介して、2重化されたASSWのアクティブ系とスタンバイ系の両方の系に分配される。アクティブ系とスタンバイ系のASSWに分配されたBSGCからの信号は、それぞれ、2重化されたSIFCOMのアクティブ系とスタンバイ系に分配される。次に、2重化されたADSINFのアクティブ系とスタンバイ系の両方の系は、アクティブ系(#0系)のASSWに分配されたBSGCからの信号を取り込む。アクティブ系とスタンバイ系のADSINFによって取り込まれたBSGCからの信号は、それぞれ、2重化されたDTCのアクティブ系とスタンバイ系に分配される。

30

2. 3. 2. 2 2重化装置用信号制御モデル (共通部用)

このモデルにおいては、アクティブ系とスタンバイ系の各系のATMスイッチ内を、2重化された装置の各系に関する信号が転送される。

この通信は、各2重化装置のアクティブ系及びスタンバイ系の両方と、BSGCのアクティブ系用の2つのポートを使用して行われる。それぞれ2つの系からなるBSGCとBSGC-COMは交絡が可能であるため、スタンバイ系スイッチポートがスタンバイ系のBSGCに収容されると、スタンバイ系のBSGCがOUS(Out of Service)状態になった場合にATMスイッチ内のスタンバイ系のルートが閉鎖されることになってしまう。このような状態を回避すべく、アクティブ系のBSGCの2つのポートが2重化された装置のアクティブ系とスタンバイ系に接続される。

40

例えば、図707に示されるように、アクティブ系のSIFSH(SIF)からBSGCへ転送される信号はアクティブ系のASSWへ送出され、スタンバイ系のSIFSH(SIF)からBSGCへ転送される信号はスタンバイ系のASSWへ送出される。

アクティブ系の装置からBSGCに入力される信号とスタンバイ系の装置からBSGCに

50

入力される信号は、それぞれが入力されるBSGC上のポートが異なるため、それらの信号セルに付与されるタグは異なっている。但し、アクティブ系のBSGCとスタンバイ系のBSGCとは、それぞれに対して指定されるタグは同じである。

BSGC-COMは、2つの通信ポート宛てのセルをBSGC-COMに入力される各信号セルに付与されているタグによって識別し、該ポート宛ての信号セルならばそれを廃棄せずにBSGCへ送信する。この処理の詳細は、4.において説明する。

SIFSHはアクティブ系とスタンバイ系の両方の系のASSWに信号を送信する。このとき、スタンバイ系に送信される信号セルには、BSGC-COMがそれを廃棄できるためのタグが付与される。

図708に示されるように、BSGCが2重化された例えばSIFSHに信号を送出する場合には、BSGCは、2つのポートのそれぞれからアクティブ系とスタンバイ系のASSWに信号を送出する。両方の系に送出される信号セルには、それぞれ固定のVCIが付与される。各系のSIFSHは、系が一致するASSWからの信号のみを受信する。

10

2. 3. 3 局内制御通信用VPI/VCIについて

SIFSHからBSGCに信号が転送される場合、図709(a)に示されるように、SIFCOM内のVCC(パート3の6.3参照)は、加入者に割り当てられているVPI/VCIを入力VPI/VCIとして、BSGCを特定する出力VPI/VCI/TAGを決定する。SIFCOM内のVCCは、そのSIFCOMが含まれるSIFSH内のSINF(個別部)毎に配置される。

20

一方、BSGCからSIFSHに信号が転送される場合、図709(b)に示されるように、BSGC-COM内のVCCは、それに接続されるBSGCカード/ポート番号を入力VPI/VCIとして、転送先の各装置・端末を特定する出力VPI/VCI/TAGを決定する。このVPI/VCIには、メタシグナリングによって決定された加入者端末用VPI/VCIを含む。BSGCカードがVPIに、BSGCポートがVCIに、それぞれ対応付けられる。従って、BCPR-BSGC間のソフトウェアインタフェースは、上述のVCIを用いて確立される。

なお、BSGCとRMXSHとの間で通信が行われる場合、RMXSH内の各装置には、SINFの配下の端末と同様のVPI/VCIが割り当てられるが、これらは、装置番号に対応して固定的な値が割り当てられる。

30

図710に、VPI/VCIの割り当ての一覧を示す。

2. 3. 4 BSGC-COMにおけるセル廃棄手段

図711に、BSGC-COMにおけるセル廃棄機能を示す。

BSGC-COM内のDMUX-LSIは、入力される信号セルの先頭に付与されているタグであるSIG/UL/TAGCパターンが予め設定されたパターンに一致する信号セルのみを取り込む。更に、2.3.2.1で説明したように、BSGC-COM内のDMUX-LSIは、スタンバイ系のASSWから入力された1重化装置からの信号も、予め設定されているスタンバイ条件を判定することにより、廃棄する。

2. 4 BSGC 装置制御

BSGC内の各装置は、全て2重化され、通常はマスタ/スレーブ状態で運用される。BSGCのアクティブ系指定は、BCPRによる周辺装置インタフェース制御における個別系指定に従属する。また、BSGC-COMのアクティブ系指定は、そのBSGC-COMに接続されるASSWのアクティブ系指定に従属する(図704参照)。

40

2. 4. 1 BSGCの装置状態

マスタ系のBSGC内のメモリの内容は、BCPRからの指示により、スレーブ系のBSGC内のメモリへコピーされる。マスタ系のBSGC-COMに搭載されるVCCテーブルの内容も、スレーブ系のBSGC-COM内のVCCテーブルにコピーされる。メモリコピー動作の後には、BCPRからのオーダは全て両系のBSGC内のメモリへ書き込まれる。

図712に示されるように、BSGCは、BCPRの制御下で、OUS/INS(マスタ

50

・スレーブ) / スタンバイの3つの状態を採り得る。

(1) OUS (O U t o f S e r v i c e) 状態

B S G Cにおけるリセット処理が完了し、B C P RからのI N S / S B Y 起動を待っている状態。B S G C・A T M スwitchの診断は、本状態でのみ行うことができる。

(2) I N S (I N S e r v i c e) 状態

アクティブ系のB S G C及びスタンバイ系のB S G Cの両方での初期設定が終了し、運用可能な状態。アクティブ系のB S G Cは、ポートの初期設定が完了しているため、各局内装置・加入者端末と通信を行うことができる。

(3) スタンバイ (S B Y) 状態

I N S 組み込み処理中のB S G Cの状態である。

10

次に、アクティブ系及びスタンバイ系のB S G Cにおける動作状態を列挙する。

(1) マスタ・スレーブ状態

両系ともI N S 状態である場合に、マスタ系からスレーブ系へのメモリコピーが完了し、2重化同期運転が行われている状態。マスタ系B S G Cは、スレーブ系B S G Cの障害監視を行う。

(2) マスタスタンバイ状態

スタンバイ系B S G CをI N S 組み込み処理中の状態。

(3) マスタOUS 状態

スタンバイ系B S G CのO U S 状態。マスタ系B S G Cは、O U S 系B S G Cの障害監視を行わない。

20

以上の状態管理は、全てB C P Rによって行われる。

2. 4. 2 B S G C障害処理

B S G Cプロセッサ部及びB S G C-C O M (スウィッチ部) の各系の障害は、B C P Rによって監視される。B S G C内にはこの監視を行うハードウェアが配置され、検出された障害は、I N F への割り込みを伴って、B C P Rへ通知される。B C P Rは、I N F への割り込みが発生すると、I N F オーダによりM S C Nを読み出し、障害内容を解析し障害処理を実行する。

B S G CとB S G C-C O M間の障害によってB S G Cが切り替えられる時には、B S G CのP h-A切替え (中断点再開) によって行われる。

アクティブ系/スタンバイ系の交絡部の障害は、B S G Cがマスタ/スレーブ同期運転中である場合においてのみ、マスタB S G CのファームウェアがスレーブB S G Cを周期的に監視することによって検出する。また、スレーブB S G Cは、マスタB S G Cのパワー断を監視する。

30

B S G C-C O M障害については、その障害が検出された後はその障害に対する監視は停止され、A S S W I N S 化 (V C C コピー開始) を契機に障害監視が再開される。B S G C障害が検出された後は、B S G Cは、リセット待ちの状態になる。

B S G C障害/B S G C-C O M障害ともに、障害が発生した後はO U S 状態となり、次の組み込み時の自動診断の結果がO Kとなることによりその障害が復旧する。

2. 5 通信制御

B S G CによるL A P D制御は、B S G C内のファームウェアの機能として実現される。L A P D制御における同時最大接続数は、C A R Pポート数 (例えば256) に等しい。

40

B S G Cが実現するL A P D制御には、加入者端末との間のL A P D通信と、局内装置との間の通信である簡易L A P 通信 (局内制御通信) がある。

2. 5. 1 Q. 922からの差分

L A P Dのレイヤ2制御においては、C C I T T (現I T U-T) 勧告Q. 922 (L A P F) を基本とした改版L A P Dが適用される。

図713に、改版L A P Dのフレームフォーマットを示す。

Q. 922勧告から削除される機能は、以下の通りである。

(1) F パターン

50

- (2) CRC 生成／誤りチェック
- (3) " 0 " 挿入／削除
- (4) DLCI 多重
- (5) ECN, DE, D/Cビット指定
- (6) XIDフレーム
- (7) ダイナミックウィンドウ制御
- (8) I レスポンス受信
- (9) FRMRレスポンス

DLCI 部及び ECN 部には、" 0 " (固定) が設定される。また、レイヤ 2 多重 (マルチ LAP) も行われない。但し、受信側では " 0 " はチェックされない。

10

2. 5. 2 局内 LAPD 通信 (局内制御通信)

局内 LAPD 通信制御においては、局内装置と BSGC の間のリンクの確立と、周期監視のみが実行される。通信メッセージとしては、レイヤ 3 において確認手順を有するプロトコルが適用されるようにするために、UI フレームが使用される。BSGC においては、メッセージのシーケンスチェックは行われない。

局内制御通信のリンクに関しては、BCPR からの情報に基づいてそのリンクのレイヤ 2 まだが BSGC によって自律的に確立される。

この機能は、BCPR/BSGC の動作再開時における INF 転送による負荷を軽減する目的で実現されている。従って、この機能は BCPR/BSGC の動作再開時においてのみ有効で、リンク確立失敗時又はリンク切断後は BCPR からのリンク確立要求が個別に必要である。

20

2 重化装置用の 2 つの通信ポートに対応するリンクは、両方とも同時に確立される。

図 7 1 4 に、局内制御通信リンクの確立手順を示す。また、図 7 1 5 に、BRLC に関する局内制御通信リンクの確立手順を示す。

2. 6 診断機能

BSGC は、BSGC SH 自身の診断機能と、ASSW 等の局内 2 重化装置を診断するための通信リンクの提供機能を有する。

2. 6. 1 診断対象項目

BSGC SH 自身の診断機能について、以下に説明する。

- (1) INF インタフェース i) CC アクセス リード／ライト 30
- i i) DMA 転送 リード／ライト
- (2) BSGC パッケージ内機能 i) 現 SGC 診断より機能無項目を削除 (MACH-1. 2)

して追加機能を入れる。

(CPU からアクセスできる箇所全てを診断する = 自己診断)

- (3) BSGC-SW INF 間 i) BSGC SH と SW INF 30
- F の間でループを設定して送／受信セルをテスト
- (4) VCC メモリテスト i) 最若番の BSGC カードから順に、
- VCC テーブルメモリに対するリード／ライトテスト

- (5) BSGC SH i) BSGC SH と他装置の間 40
- の LAP リンクの確立テスト

- (6) TCG を用いた BSGC-COM でのセル BY セルループ試験 → 9. 2 参照

2. 6. 2 局内 2 重化装置診断用通信リンク

局内装置診断用通信リンクは、アクティブ系 BSGC オンライン制御手順と同様の手順により、確立される。この機能を実現するため、オンライン動作起動コマンドのパラメータとして、0: オンライン、1: 診断の何れかを指定できる。

オンライン診断時の BSGC 起動シーケンスは、5. 2 で説明する。

2. 7 プログラムモジュールの構成

図 7 1 6 に、BSGC 内におけるプログラムモジュール構成を示す。

50

INF 制御部 (INF-I OCS) 1 は、INF (INF A、INF T) を介した BSGC と BCPR との間の通信を制御する。

装置制御部 2 は、VCC の設定を含む装置管理を行う。

パトロール制御部 3 は、BCPR と BSGC の間のヘルスチェックを行う。

系間通信制御部 4 は、アクティブ系又はスタンバイ系における系間の通信を制御する。

メモリコピー制御部 5 は、CPU メモリ内容のコピーを実行する。

メモリリード／ライト制御部 6 は、コマンドに基づいてメモリに対するリード／ライト処理を実行する。

系切替え制御部 7 は、アクティブ系とスタンバイ系の系の切り替えを制御する。

watch dog 制御部 8 は、BSGC の正常動作の確認制御を行う。

10

LAPD 管理部 9 は、局内 LAP の確立を含む LAP リンクを管理する。

LAPD 制御部 10 は、Q. 922 勧告に準拠 (2. 5. 1 参照) したレイヤ 2 制御を実行する。

CARP ハンドラ 11 は、VPI/VCI 変換を実行する。

スイッチ制御部 12 は、CARP を制御する。

3. INF インタフェース

3. 1 ハードウェア構成

BSGC による INF の制御は、主に、BSGC 内の SBIF LSI の機能として実現される。図 717 に、INF に関するハードウェア構成を示す。

3. 2 DMA ビット配列

20

DMA アクセス (ライト／リード) 時におけるビット配列の関係は、BCPR、INF、及び BSGC の間で、以下に示される通りである。

3. 2. 1 DAM 転送データのビット配列

図 718 に、DMA 転送されるデータの MM (主記憶装置) - BSGC 間のビット配列を示す。

3. 3 INF 制御手順

本出願人は、BCPR と BSGC の間の INF 制御において、INF T、INF A を介した DMA 転送を最低限に抑え、BSGC の負荷を軽減する方法を確立した。

3. 3. 1 コマンドキューとステータスキュー

(1) 受信バッファは、ブロック単位で予め通知される。

30

BSGC 内には、常時最大で 2 ブロック分の受信バッファが確保され、1 ブロックが使用されると BCPR の主導によってブロックが補給される。

(2) ステータスキューは、イベントが発生する毎に通知される。

BSGC はステータスキューの未使用ポインタを独自に有する。そのポインタの更新は、全ステータスキューが使用されている場合においてのみ BCPR 内のステータスキューに対するテールポインタの値を読むことにより行われる。

ステータスキューの空きがなくなったら、128 msec の周期で空きの監視 (テールポインタのリード) が行われる。

(3) コマンド終了の通知は、ステータス通知による負荷を倍増させるため、以下の処理によって代用される。

40

i) コマンド群内 I フレームの DMA 転送を含む処理が全て完了した時に、コマンド応答 "7 f" がなされる。コマンド群全体に異常があった時は、コマンド応答 "5 5" がなされる。

i i) 同時に、各コマンドに対してビット対応の終了情報が設けられ、BSGC 内で何らかの要因によって信号が廃棄された時にその終了情報として NG 応答がなされる。NG 応答の要因としては、BSGC 内受信バッファの不足がある。

終了情報が NG の時は、コマンド群全体は正常であるため、コマンド応答 "7 F" がなされる。

i i i) BCPR は、上記応答を契機として、コマンド終了処理を実行する。

(4) コマンド群の長さは、BSGC の処理能力を考慮し、最大で 64 個とされる。

50

(5) 一度に送信されるステータス群の長さは、DMA 転送の競合を考慮して、最大で8個である。

3. 3. 2 コマンド起動とステータス起動の競合

コマンドが起動された場合及びステータスが起動された場合のどちらにおいても、BSGCの主導で、DMA 転送が起動される。その手順を以下に示す。

(1) コマンド起動

コマンドキューのDMA 転送及びコマンドキュー内で指定されるDAM 転送が完了し"7F"がライトされるまでが、一連の処理として実行される。BCPRからのコマンド起動は、BSGC内割り込みとして処理される。

(2) ステータス起動

I フレームのDMA 転送、ステータスのDMA 転送、及びヘッドポインタ更新のためのDMA 転送までが、一連の処理として実行される。BCPR へのステータス起動は、8 msec の周期で実行される。8 msec 以内に発生したイベントがまとめてDMA 転送される。但し、I フレームのDAM 転送が、イベント発生毎に、他の転送に先行して実行される。コマンド競合時を除いて、ステータスキューに通知されるべきステータスが存在する時は、それらが繰り返し送信される。

コマンド・ステータス共に、BSGC内割り込み又はルックイン処理として、DMA 転送の終了処理が実行される。

(3) 競合制御

上記(1)、(2)の一連の処理の途中では、それぞれ競合・中断は発生しない。

起動時の競合制御は、以下の基準に従って実行される。

i) BSGC内優先制御は、INF 転送が空くことなくDMA 転送が起動されるように実行される。

ii) BSGCが受理したコマンドのBSGC内部処理を完了するまで、次のコマンドはBSGC内論理によって待ち合わされる。

3. 3. 3 輻輳制御

BSGCで実行される輻輳制御には、受信系輻輳制御、送信系輻輳制御、BSGC輻輳制御の、3つがある。

3. 3. 3. 1 受信系輻輳制御

各リンク毎に、受信バッファの輻輳制御が実行される。

受信バッファの輻輳が発生したら、リンク毎にRNR が送信される。

受信バッファは、ATM スイッチとのインタフェースを制御するCARP LSIに、全ポート分がchainingして使用される。従って、BSGCにおいては、受信バッファの輻輳制御は、図719に示されるように、スイッチ制御部(CARP IOCS)

1、LAPD制御部2、及びINF 制御部(INF IOCS)の間で行われる(図716も参照)。

受信バッファビジーによりCARP IOCS 1が受信バッファをハントできず、受信バッファをCARPに接続できない場合には、CARPはアンダーラインとなるのみである。但し、L2情報のみの処理は輻輳中でも必要なため、CARPが最低限必要なバッファ数(最大制御チャンネル数)は、CARP IOCS 1とLAPD制御部の間の処理において必須である。

BSGCでの受信バッファ輻輳は、BCPRのトランザクションビジー等によって、INF を介してBCPRヘータを送信できないために発生する。なお、BSGC自身の要因で発生する輻輳制御は、3. 3. 3. 3で説明する。

3. 3. 3. 2 送信系輻輳制御

各リンク毎に、送信バッファの輻輳制御が実行される。

送信バッファの輻輳が発生すると、その輻輳が1次、2次、3次の何れの輻輳であるかが、BCPRへ通知される。

1次、2次、及び3次輻輳は、送信バッファの使用率が、それぞれ、70%、80%、及び100%となったときに発生する。なお、1次輻輳は、BSGC内で一定時間輻輳が

10

20

30

40

50

継続した場合においてのみ通知される。

< 1 次輻輳が発生した場合の制御 >

1 次輻輳が発生した場合には、B C P R は、新たな呼は受け付けない。

1 次輻輳の発生以降は、B S G C の信号処理数は維持され下降することはないように制御される。

< 2 次輻輳が発生した場合の制御 >

2 次輻輳が発生した場合には、B C P R は、局内 L A P D 等の必要最低限の信号のみが送信される。U I フレームを使用するポートにおいては、送信された U I フレームに対する A C K (応答) 待ち処理が行われなため、U I フレームが B S G C 内に停滞する時間はきわめて短い。

B S G C は、図 7 1 6 に示される I N F 制御部 1 とスイッチ制御部 1 2 との間で、受信バッファに対する輻輳制御と同様の輻輳制御 (バッファ数カウント) を、ポート毎に行う。更に、B S G C は、I N F 制御部 1 (図 7 1 6) がポート番号をコマンドフィールドでゲットしてから、送信バッファの D M A 転送を行うので、送信バッファの管理をポート単位に行うことができる。従って、上述した 1 次及び 2 次の輻輳制御に基づく規制にも関わらず規制の対象であるポートの送信バッファが不足した場合、他のポートのバッファを使い込むことなく、新たな輻輳制御を行うことができる。この輻輳制御が、3 次輻輳制御である。

< 3 次輻輳が発生した場合の制御 >

(1) B S G C は、送信バッファのない回線を対象とするバッファ付きコマンドを受信した場合、I N F のコマンド群終了情報として N G 応答を B C P R に応答する。

(2) B C P R は、コマンド群終了情報が N G 応答のときに、B S G C の対応する回線に、D L - E S T - R Q (リンクリセット要求) を送出する。B S G C は、コマンド終了情報 N G を通知した後、D L - E S T - R Q (リンクリセット要求) を受信するまで、対応するポートに対する I フレーム送信要求に対して、コマンド終了情報 N G を応答し続ける。

(3) リンクリセットにより B S G C 内リンクに停滞している信号は全て廃棄され、新しい情報の通信が可能になる。

(4) B C P R は、リンクリセットを契機に、B C P R と端末又は局内装置の間の整合処理を行う。

3 次輻輳が発生した場合には、以下の (a) ~ (c) に示される理由により、B S G C が正常動作しているとは考え難いため、リトライ処理は実行されない。

(a) 3 次輻輳は、1 次及び 2 次輻輳制御による規制の後に発生している。

(b) B S G C 内論理によって、I フレームは、それが例えば 2 0 0 時間以上 B S G C 内に停滞している場合は、自律的に対応するリンクがリセットされる。但し、この論理は U I フレームには適用されない。

(c) 通信量が B S G C の処理能力を超えた場合は、3 . 3 . 3 . 3 で説明する B S G C 輻輳制御により 1 次輻輳制御が実行される。B S G C に対するコマンドシーケンスは通信量が B S G C の処理能力を超えないように設計されているため、3 次輻輳が発生した場合は、やはり B S G C は正常状態であるとは言えない。

3 . 3 . 3 . 3 B S G C 輻輳制御

B S G C は、その内部の C P U の使用率を 1 0 s e c 毎にモニタし、1 分毎及び 1 5 分毎の各平均を計測している。この平均 C P U 使用率が 9 0 % となる状態が所定の閾値時間以上継続した時に、B S G C は B C P R へ輻輳通知を行う。

B C P R は、この通知を受信すると、B S G C 内の全てのポートにおいて 1 次輻輳が発生したと判定して、新たな呼の設定を規制する。

図 7 2 0 に、以上説明した輻輳制御のもとでの B S G C の信号処理数のモデルを示す。

3 . 4 I N F の初期設定

B C P R は、I N F (I N F T 、 I N F A) を介して B S G C と通信するため、まず、以下に示される手順に従って、B S G C に I N F 制御情報を通知する。

10

20

30

40

50

(1) INF 制御情報の初期設定時には、BCPRからは、初期設定コマンドのみが送出される。

(2) 初期設定コマンドには、ステータスキューの登録・受信バッファの登録等の INF インタフェース情報を格納した INF 初期情報設定テーブルのアドレスが設定され、BSGCはそのテーブルから INF インタフェース情報を獲得する。なお、INF 初期情報設定テーブルは、連続な物理メモリ空間に用意される。

(3) 図721に、初期設定コマンド及び INF 初期情報設定テーブルのフォーマットを示す。

3.5 INF の優先制御

BSGCとBCPRが実行する交換機ソフトウェアの間の信号処理において、SIFSH 10
等からの障害処理を優先処理させるために、以下の処理方式が採用される。この場合、BSGCから交換機ソフトウェアへ送信されるメッセージのための送信キューが複数設けられ、BSGCにて受信された信号は、その信号に設定されている優先度に基づいて、何れかのキューに振り分けられる。

4. スイッチインタフェース

4.1 タグ割当

4.1.1 タグ割当の概念

タグ割当の概念については、パート3の5.において説明した (図121、図126、図129等を参照) 。

4.1.2 BSGCからASSW方向への通信におけるタグ割当

20

図722に、BSGCからSIFSH 方向への通信におけるSIFSH によるタグSIG/UL/TAGC の使用方法を示す。

図723に、BSGCからRMXSH 方向への通信におけるSIFSH によるタグSIG/UL/ADSLBLK/ADSLSELの使用法を示す。

図7231に、BSGCからSIFSH 方向への通信におけるSIFSH によるタグSIG/UL/TAGC の使用方法を示す。

4.1.3 ASSWからBSGC方向への通信におけるタグ割当

図725に、ASSWからBSGC方向への通信におけるBSGC SHによるタグSIG/UL/TAGC の使用方法を示す。なお、BSGC SHは、上記タグの識別を、BSGC-COMに搭載されるDMUX-LSIにおいて行う。

30

4.2 CARP制御手順

ASSW(ATMスイッチ) インタフェースにおけるレイヤ1制御は、CARP LSIにより実行される。このLSI は、タイプ3、4、又は5のAAL(ATM Adaptation Layer) プロトコルタイプのフレームの分解及び組み立て機能を有する。

CARP LSIは、CARP1 とCARP2 からなり、CPU(80186 系)の制御によって、最大で1024チャンネル (但し、BSGC自体ではファームウェアの制限により最大で256 チャンネル) 分のセルの、分解及び組み立てを同時に行う。プロトコルタイプ3、4、又は5は、ポート毎に設定可能であり、各タイプをBSGC内に混在させることが可能である。この設定は、交換機ソフトウェアによって行われる。

40

4.2.1 フレームフォーマット

図726に、プロトコルタイプ3 (タイプ4も同じ) のSAR-PDU 及びそれが格納されるATM セルのヘッダ部の構成を示す。また、図727に、プロトコルタイプ5のフレーム(CPAAL5-PDU)を示す。なお、パート3の4.2等も参照すること。なお、図726に示されるATM ヘッダの内容は、BSGC-COM内のVCC において設定される。この場合、ATM ヘッダにおいて、VCI としてはBSGCの識別番号が、VPI としてはBSGC内のポート番号が設定され、それ以外のフィールドは全て0が設定される。

図726に示されるプロトコルタイプ3のSAR-PDU のペイロードには、LAPDメッセージが格納される。

50

LAPDデータのデータ長が44バイトである場合（図749参照）は、このメッセージは1つのSAR-PDUのペイロードに格納される。この場合、SAR-PDUには、STとしてSSM（Single Segment Message）が設定され、LIとして44バイトが設定される。

LAPDのデータ長が256バイトである場合（図750参照）には、このメッセージはそれぞれ44バイトからなるセグメントに分割され、そのセグメントが複数のSAR-PDUのペイロードに格納される。従って、そのLAPDデータは、複数のATMセルに分割して格納され、転送されることになる。この場合には、先頭のセグメントが格納されるSAR-PDUには、STとしてBOM（Beginning Of Message）が設定され、LIとして44バイトが設定される。また、中間のセグメントが格納されるSAR-PDUには、STとしてCOM（Continuation Of Message）が設定され、LIとして44バイトが設定される。更に、末尾のセグメントが格納されるSAR-PDUには、STとしてEOM（End Of Message）が設定され、LIとして36バイト（図750参照）が設定される。

図727に示されるプロトコルタイプ5のフレームは、それぞれ48バイトからなるセグメントに分割され、そのセグメントが複数のATMセルのペイロードに格納される。

4.2.2 CARP LSI の機能

CARP LSI の送信機能として、以下のものがある。

- (1) 送信セルの書き込み
- (2) SAR-PDU ヘッダの生成（番号制御）

CARP LSI の受信機能として、以下のものがある。

- (1) ヘッダチェック
- (2) ロングフレーム／ショートフレームのチェック

なお、BSGCは、HEC チェックは行わない。

4.2.3 統計機能

通過セル数及び廃棄セル数は、MUX／DMUX LSIによってカウントされ、また、CRC エラー数は、CARP LSIによってカウントされる。

4.3 VCC 設定手順及びVCC コピー手順

BSGCは、BCPRからVCC コピー開始要求、又はVCC 設定要求（両系指定）を受信したときから、両系のVCC に対してデータの書き込みを行う。

また、ATM スイッチがOUS 化された場合等において、BCPRから片系VCC 設定要求を受信すると、片系のVCC に対してデータの書き込みを行う。

VCC の書込方路（メイト系／ホーム系）は、BCPRによってCOM INS 通知として指定される。

図728に、VCC 設定手順を示す。また、図729に、VCC コピー開始手順を示す。更に、図730に、VCC コピー停止手順を示す。

5. BSGC装置制御手順

5.1 BSGC障害監視

BSGCにおける障害処理の対象としては、以下の3種類がある。

- (1) BSGC自身の障害
 - (2) INF インタフェース障害：両系のINF へそれぞれ割り込みを伴って通知
 - (3) アクティブ系BSGCが検出する障害
 - (a) スイッチの障害
 - (b) スタンバイ系系間交絡障害：ステータスによって通知される。
- （メイトBSGC OBP障害を含む）

マスタ系BSGCの障害は、緊急性を伴うので、INF への割り込みによって通知される。BSGC自身の障害が発生した場合、それがアクティブ系であるなら系の切替後に障害系がOUS 状態とされ、それがスタンバイ系であるならアクティブ系に対しISOL 設定が実行され、障害系がOUS 状態とされる（図731の（1）（2））。

ASSWで障害が発生した時は、ASSWの障害処理に従う。但し、系切替え時のBSG

10

20

30

40

50

C-COMに対しては、多数決論理は適用されない（図731の（3））。

図731の（2）に示される障害が発生した場合、障害がBSGCにあるかBSGC-COMにあるかを特定することができない。そこで、BCPRは、割り込みが発生したBSGC番号（#0～#5）の両系のBSGCから障害要因を読み出し正常なルートを割り出すことによって、障害処理を行う。

5. 1. 1 BSGC SHの障害箇所

図731に、障害範囲モデルを示す。

図において、障害（1）は、BSGC自身の障害（Watch dogタイマオーバー、DRAMパリティエラー等）である。また、障害（2）は、BSGCとBSGC-COM間のデータパリティエラー、クロック／セルフフレームの断等である。更に、障害（3）は、BSGC-COM内のDMUX、MUX等のLSIからのアラーム、パッケージ間通信におけるデータパリティエラー等である。

交換機ソフトウェアへの通知は、障害を検出した系のBSGCからINFへの割り込みによって行われる。図731の各障害（1）、（2）、（3）のそれぞれ毎に、MSCNを用いて通知される。

5. 1. 2 障害発生時の系管理

（1）BSGC障害

（図731の障害（1）、図745で右端欄が（1）である障害）

アクティブ系BSGCからINF割り込みが発生した場合には、BSGC系が切り替えられる。

スタンバイ系BSGCからINF割り込みが発生した場合は、アクティブ系に対しISOL設定が実行され、障害系がOUS状態とされる。

（2）BSGCとBSGC-COM間の障害

（図731の障害（2）、図745で右端欄が（2）である障害）

この障害は、アクティブ系BSGC及びスタンバイ系BSGCのそれぞれからINF割り込みによって通知される。

各障害検出ポイントからの通知に対する系管理は、図733以降に示される。

（3）BSGC-COM障害

（図731の障害（3）、図745で右端欄が（3）である障害）

この障害は、アクティブ系BSGC及びスタンバイ系BSGCのそれぞれからINF割り込みによって通知される。

障害が発生した系のBSGC-COMがOUS化され、障害が発生していない系のBSGC-COMがアクティブ化される。なお、BSGC-COMのアクティブ／スタンバイ状態はASSWのアクティブ／スタンバイ状態に従属するため、上述の場合は、ASSWの系が切り換えられることを意味する。

図732に、BSGCによるBSGC SH-COM障害の検出方法、及びその障害の交換機ソフトウェアへの通知方法を示す。図732に示されるように、BSGCは、BSGC-COMの障害ポイント毎に、自系／他系用の2ビットの情報を有する。但し、BSGC-COM共通障害ポイント（片系BSGC-COMに1箇所だけある障害ポイント）

は、最若番のBSGCのみが自系／他系用の2ビットの情報を有する。

以下に、BSGCとBSGC-COM間で障害が発生した時の系管理方法を示す。

（1）BSGCからBSGC-COMへのデータ送出においてBSGC-COM内のチェックによって検出される障害

図733に、BSGCからBSGC-COMへのデータ送出においてBSGC-COM内のチェックによって検出される障害の検出ポイントを示す。

（1）-1 図733の（a）～（b）'において、1ビットのみの障害検出ビットがセットされた場合（1箇所障害が発生した場合）

図733の障害ポイント（a）において障害が発生したと仮定すると、#0系BSGCが送出している2系統のデータ（#0系BSGC→#0系BSGC-COM、#0系BSGC→#1系BSGC-COM）のうち1系統のデータで障害が発生している。しか

10

20

30

40

50

し、#1系BSGCが送出している2系統のデータでは障害は発生していない。従って、#1系BSGCがアクティブにされ、#0系BSGCがOUS状態にされる。これと同様に考えて、図734に、図733の各障害ポイント(a)、(a)'、(b)、(b)'のうちの1箇所では障害が検出された場合の状態を示す。なお、OUS系BSGCに対して、障害箇所を特定するための診断処理(DP)が実行される。

なお、図734の(注1)に関して、2重化通信を行うためには、上記表のごとくBSGCの系切替えで対象できるが、BSGCにおいてそれがOUS状態とされた後に起動される診断処理(DP)においてBSGC-COM側のチェッカで障害が検出された場合には、障害系BSGC-COMがOUS状態とされた後に、保守が行われる。

(1)-2 図733の(a)~(b)'において、2ビットの障害検出ビットがセットされた場合(2箇所では障害が発生した場合) 10

この場合としては、以下の2つの場合が考えられる。

i) 障害ポイント(a)と(b)の2つで障害が検出された場合、若しくは、障害ポイント(a)'と(b)'の2つで障害が検出された場合のごとく、同一のBSGCからの送出データ等が障害となる場合。

ii) 障害ポイント(a)と(a)'の2つで障害が検出された場合、若しくは、障害ポイント(b)と(b)'の2つで障害が検出された場合のごとく、同一のBSGC-COMのチェッカから2つの障害が検出される場合。

上記i)の場合において、例えば図733の障害ポイント(a)と(b)の2つで障害が検出された場合には、#0系BSGCが障害であると判定され、#0系BSGCがOUS状態、#1系BSGCがアクティブ状態とされる。また、障害ポイント(a)'と(b)'の2つで障害が検出された場合には、#1系BSGCが障害であると判定され、#1系BSGCがOUS状態、#0系BSGCがアクティブ状態とされる。 20

上記ii)の場合において、例えば図733の障害ポイント(a)と(a)'の2つで障害が検出された場合は、#0系BSGC-COMが障害であると判定される。BSGC-COMの系の設定はASSWの系の設定に従属するため、#0系ASSWがマスタ系である時はASSWの系が切り替えられ、#0系ASSWがOUS状態とされ、#1系ASSWがマスタ系とされる。#0系ASSWがスレーブ系である時は、系の切り替えは不要で、#0系のASSWがOUS状態とされる。また、障害ポイント(b)と(b)'の2つで障害が検出された場合は、#1系BSGC-COMが障害であると判定される。BSGC-COMの系の設定はASSWの系の設定に従属するため、#1系ASSWがマスタ系である時はASSWの系が切り替えられ、#1系ASSWがOUS状態とされ、#0系ASSWがマスタ系とされる。#1系ASSWがスレーブ系である時は、系の切り替えは不要で、#1系のASSWがOUS状態とされる。 30

図735に、図733の各障害ポイント(a)、(a)'、(b)、(b)'のうちの2箇所では障害が検出された場合の状態を示す。なお、OUS系BSGCに対して、障害箇所を特定するための診断処理(DP)が実行される。

図736に、図735の(注1)で示される障害が検出され、診断処理が実行された後に、BSGC-COM内チェッカの障害と判定される場合を示す。

図737に、図735の(注2)で示される障害が検出され、診断が実行された後に、BSGC-COM内チェッカの障害と判定される場合を示す。 40

図735の(注3)又は(注4)で示される障害が検出された場合は、局内2重化装置とのスタンバイ系リンクが断となった場合である。この障害が発生した場合には、診断処理(DP)は実行されず、以下の判定基準に従って障害が発生した系の該当するBSGC-COMパッケージが交換される。

障害ポイント(a)と(a)'又は障害ポイント(b)と(b)'で障害が検出された場合には、障害箇所として以下の4通りが考えられる。

i) BSGC-COMパッケージのみに障害要因がある場合。

ii) BSGCの送信機能とBSGC-COMの受信機能の双方に障害要因があり、BSGCの送信機能+BSGC-COM受信機能の1ルートのみで障害が発生している場合。 50

i i i) 上記 i i) と同じ障害要因があり、上記 i i) のルートとは異なる他方のルートのみで障害が発生している場合。

i v) # 0 系及び # 1 系の双方の B S G C の送信機能に障害要因がある場合。

上記 i) の場合には、B S G C - C O M パッケージを交換することにより、障害復旧が可能である。上記 i i) 又は i i i) の場合には、B S G C - C O M の交換後は 1 ビットの障害検出ビットのみがセットされる状態になるため、保守処理が実行可能となる。上述の i v) の場合には、B S G C - C O M を交換しても再度同一の障害が発生するため、# 0 系と # 1 系の双方の B S G C が交換される。

障害ポイント (a) と (a) ' の 2 つで障害が検出された場合に、障害箇所が B S G C であるか B S G C - C O M であるかを特定するためには、以下の手順が必要である。

10

前提条件：# 0 系 B S G C がアクティブ系で # 1 系 B S G C がスレーブ系であるとする。

手順 1：# 1 系 B S G C がスレーブ系であるため、# 1 系 B S G C が O U S 化され、診断処理 (D P) が実行される。# 1 系 B S G C と # 0 系 B S G C - C O M の間で障害ポイント (a) ' の障害に関する障害箇所の特定が可能となる。

手順 2：次に、# 0 と # 1 系の B S G C の状態が切り換えられる。即ち、# 1 系 B S G C が O U S 状態とされ続いてスレーブ系にさせられた後に、# 0 系と # 1 系の B S G C のマスタ / スレーブが切り換えられる。最後に、# 0 系 B S G C がスレーブ系にさせられた後に O U S 状態とされる。以後、診断処理 (D P) が実行され、障害ポイント (a) に関する障害箇所の特定が可能となる。

障害ポイント (b) と (b) ' の 2 つで障害が検出された場合も、上述の手順と同様の手順によって、障害箇所が B S G C であるか B S G C - C O M であるかを特定することができる。

20

以上説明した 2 ビットの障害検出ビットがセットされた場合の組合せ以外の組合せが発生した場合、若しくは、3 ビット以上の障害検出ビットがセットされた場合には、2 重障害が発生したとみなされ、系の再構築処理は実行されない。但し、障害メッセージの出力は必要で、その内容は上述した障害の発生時の出力メッセージとは異なるパターンとされる。この場合、両系の B S G C から収集された詳細障害内容が全て出力される。

(2) B S G C - C O M から B S G C へのデータ送出において B S G C 内のチェッカによって検出される障害

図 7 3 8 に、B S G C - C O M から B S G C へのデータ送出において B S G C 内のチェッカによって検出される障害の検出ポイントを示す。

30

(2) - 1 図 7 3 8 の (a) ~ (b) ' において、1 ビットのための障害検出ビットがセットされた場合 (1 箇所では障害が発生した場合)

図 7 3 3 の障害ポイント (a) で障害が発生したと仮定すると、# 0 系の B S G C - C O M が送出している 1 系統のデータ (# 0 系 B S G C - C O M → # 0 系 B S G C) で障害が発生しているように見える。しかし、障害要因としては、# 0 系 B S G C - C O M の送信機能と、# 0 系 B S G C の受信機能の 2 つが考えられる。本障害の発生時には、まず、# 0 系 B S G C の受信機能に問題があると想定して、# 0 系 B S G C が O U S 状態とされ、# 1 系 B S G C がアクティブ状態とされる。その後、診断処理 (D P) が起動され、障害箇所が B S G C - C O M であるか B S G C であるかが特定される。もし、# 0 系 B S G C - C O M の送信機能に問題があることが判明した時は、# 0 系 B S G C - C O M が O U S 状態とされ (# 0 系 A S S W が O U S 状態とされ)、# 1 系 B S G C - C O M がアクティブ状態にされて (# 1 系 A S S W がアクティブ状態とされて)、保守処理が実行される。

40

図 7 3 9 に、図 7 3 8 の各障害ポイント (a)、(a) '、(b)、(b) ' のうちの 1 箇所では障害が検出された場合の状態を示す。

(2) - 2 図 7 3 8 の (a) ~ (b) ' において、2 ビットの障害検出ビットがセットされた場合 (2 箇所では障害が発生した場合)

この場合としては、以下の 2 つの場合が考えられる。

i) 障害ポイント (a) と (b) の 2 つで障害が検出された場合、若しくは、障害ポ

50

イント (a) ' と (b) ' の 2 つで障害が検出された場合のごとく、同一の B S G C - C O M からの送出データ等が障害となる場合。

i i) 障害ポイント (a) ' と (a) ' の 2 つで障害が検出された場合、若しくは、障害ポイント (b) ' と (b) ' の 2 つで障害が検出された場合のごとく、同一の B S G C のチェッカから 2 つの障害が検出される場合。

上記 i) の場合において、例えば図 7 3 8 の障害ポイント (a) ' と (b) ' の 2 つで障害が検出された場合は、# 0 系 B S G C - C O M が障害であると判定される。B S G C - C O M の系の設定は A S S W の系の設定に従属するため、# 0 系 A S S W がマスタ系である時は A S S W の系が切り替えられ、# 0 系 A S S W が O U S 状態とされ、# 1 系 A S S W がマスタ系とされる。# 0 系 A S S W がスレーブ系である時には、系の切り替えは不要で、# 0 系の A S S W が O U S 状態とされる。また、障害ポイント (a) ' と (b) ' の 2 つで障害が検出された場合は、# 1 系 B S G C - C O M が障害であると判定される。B S G C - C O M の系の設定は A S S W の系の設定に従属するため、# 1 系 A S S W がマスタ系である時は A S S W の系が切り替えられ、# 1 系 A S S W が O U S 状態とされ、# 0 系 A S S W がマスタ系とされる。# 1 系 A S S W がスレーブ系である時は、系の切り替えは不要で、# 1 系の A S S W が O U S 状態とされる。

上記 i i) の場合において、例えば図 7 3 3 の障害ポイント (a) ' と (a) ' の 2 つで障害が検出された場合は、# 0 系 B S G C が障害であると判定され、# 0 系 B S G C が O U S 状態、# 1 系 B S G C がアクティブ状態とされる。また、障害ポイント (b) ' と (b) ' の 2 つで障害が検出された場合には、# 1 系 B S G C が障害であると判定され、# 1 系 B S G C が O U S 状態、# 0 系 B S G C がアクティブ状態とされる。

図 7 4 0 に、図 7 3 8 の各障害ポイント (a) ' 、(a) ' 、(b) ' 、(b) ' のうちの 2 箇所て障害が検出された場合の状態を示す。なお、O U S 系 B S G C に対して、障害箇所を特定するための診断処理 (D P) が実行される。

図 7 4 1 に、図 7 4 0 の (注 3) で示される障害が検出され、診断処理が実行された後に、B S G C - C O M 内チェッカの障害と判定される場合を示す。

図 7 4 2 に、図 7 4 0 の (注 4) で示される障害が検出され、診断が実行された後に、B S G C - C O M 内チェッカの障害と判定される場合を示す。

図 7 4 0 の (注 1) 又は (注 2) で示される障害が検出された場合は、局内 2 重化装置とのスタンバイリンクが断となった場合である。この障害が発生した場合には、診断処理 (D P) は実行されず、以下の判定基準に従って障害が発生した系の該当する B S G C - C O M パッケージが交換される。

障害ポイント (a) ' と (b) ' 又は障害ポイント (a) ' と (b) ' で障害が検出された場合には、障害箇所として以下の 4 通りが考えられる。

i) B S G C - C O M パッケージのみに障害要因がある場合。

i i) B S G C - C O M の送信機能と B S G C の受信機能の双方に障害要因があり、B S G C - C O M の送信機能 + B S G C 受信機能の 1 ルートのみで障害が発生している場合。

i i i) 上記 i i) と同じ障害要因があり、上記 i i) のルートとは異なる他方のルートのみで障害が発生している場合。

i v) # 0 系及び # 1 系の双方の B S G C の受信機能に障害要因がある場合。

上記 i) の場合には、B S G C - C O M パッケージを交換することにより、障害復旧が可能である。上記 i i) 又は i i i) の場合には、B S G C - C O M の交換後は 1 ビットの障害検出ビットのみがセットされる状態になるため、保守処理が実行可能となる。上述の i v) の場合には、B S G C - C O M を交換しても再度同一の障害が発生するため、# 0 系と # 1 系の双方の B S G C が交換される。

障害ポイント (a) ' と (b) ' の 2 つで障害が検出された場合に、障害箇所が B S G C であるか B S G C - C O M であるかを特定するためには、以下の手順が必要である。

前提条件：# 0 系 B S G C がアクティブ系で # 1 系 B S G C がスレーブ系であるとする。

手順 1：# 1 系 B S G C がスレーブ系であるため、# 1 系 B S G C が O U S 化され、診断処理 (D P) が実行される。# 1 系 B S G C と # 0 系 B S G C - C O M の間で障害ポイ

10

20

30

40

50

ント (b) の障害に関する障害箇所の特定が可能となる。

手順2：次に、#0と#1系のBSGCの状態が切り換えられる。即ち、#1系BSGCがOUS状態とされ続いてスレーブ系にさせられた後に、#0系と#1系のBSGCのマスタ／スレーブが切り換えられる。最後に、#0系BSGCがスレーブ系にさせられた後にOUS状態とされる。以後、診断処理(DP)が実行され、障害ポイント(a)に関する障害箇所の特定が可能となる。

障害ポイント(a)'と(b)'の2つで障害が検出された場合も、上述の手順と同様の手順によって、障害箇所がBSGCであるかBSGC-COMであるかを特定することができる。

以上説明した2ビットの障害検出ビットがセットされた場合の組合せ以外の組合せが発生した場合、若しくは、3ビット以上の障害検出ビットがセットされた場合には、2重障害が発生したとみなされ、系の再構築処理は実行されない。但し、障害メッセージの出力は必要で、その内容は上述した障害の発生時の出力メッセージとは異なるパターンとされる。この場合、両系のBSGCから収集された詳細障害内容が全て出力される。

5. 1. 3 BSGCへの通知手段

図743に、障害通知モデルを示す。

BSGC-COM<障害検出ポイント>からBSGCへの通知は、レベル信号によって行われる。

BSGC-COM<障害検出ポイント>の障害は、全てSBIF LSI (3. 1及び図717参照) で終端され、INF割り込みによって交換機ソフトウェアへ通知される。

交換機ソフトウェアは、上記割り込みに対して、MSCN読み取りオーダによって詳細障害情報を読み取る。

MSCN読み取りオーダによって、BSGC内のMSCNレイヤがリセットされ、更に障害発生箇所のアラームが無効とされる。

5. 1. 4 復旧監視

5. 1. 4. 1 BSGCにおける復旧監視

BSGCでは、障害の復旧監視は行われない。装置組み込み診断処理の結果がOKとなった時点で、障害が復旧したとみなされる。

5. 1. 4. 2 交換機ソフトウェアにおける復旧監視

交換機ソフトウェアは、5. 4の冒頭で示した(1)、(2)、(3)の障害(アクティブ系及びスタンバイ系の両方)の復旧監視を行う。この復旧監視がBSGCで行われるとすると、BSGCの系切替え及びASSWの系切替え(=BSGC-COMの系切替え)の全てをBSGCで管理する必要がある、BSGCによるそのような復旧監視は不可能であるため、その復旧監視は交換機ソフトウェアによって行われる。

5. 1. 5 BSGCハードウェアが検出する障害

BSGCハードウェアが検出する障害には、INFにおける障害、及びBSGC自身の障害がある。その障害は、割り込みによってBCPR、及びBSGCのファームウェアに通知される。この障害は、アクティブ系及びスタンバイ系のそれぞれのBSGCハードウェアによって検出され、通知される。

図744に、詳細障害要因を示す。

BSGCによって検出されるINFインタフェース上の障害は、MSCN読み取りコマンドによってその詳細を直接確認することが可能であるが、BSGC自身の障害は、MSCN上では代表ポイントとなっている。このため、MSCNリードシーケンスによって、その障害の詳細を収集する必要がある。

図745に、BSGC MSCN 収容図を示す。

MSCN上では、各障害発生箇所は、代表ポイントによって表示される。障害発生箇所については、図731に示した。

図745に示されるMSCNの各ビットと、図733及び図738に示される障害ポイント(a)、(a)'、(b)、及び(b)'との関係を以下に示す。

10

20

30

40

50

図 7 4 5 と図 7 3 3 との対応関係

0 系 B S G C の M S C N データ → (a) : ビット 1 5、1 4 (b) : ビット 1 2、1 1

1 系 B S G C の M S C N データ → (a) ' : ビット 1 2、1 1 (b) ' : ビット 1 5、1 4

図 7 4 5 と図 7 3 4 との対応関係

0 系 B S G C の M S C N データ → (a) : ビット 0 9、0 8 (a) ' : ビット 0 6、0 5

1 系 B S G C の M S C N データ → (b) : ビット 0 9、0 8 (b) ' : ビット 0 6、0 5

10

図 7 4 6 に示される B S G C 障害の詳細要因は、T M セーブによって B C P R へ通知される。

図 7 4 7 に、M S C N 詳細読み取りコマンドによって通知される詳細障害要因を示す。

5. 1. 6 B S G C ファームウェアが検出する障害

B S G C ファームウェアは、以下の 2 種類の障害監視を行う。

(1) 両系の B S G C - C O M のハードウェア障害 (B S G C と B S G C - C O M 間のハードウェア障害を含む)。

(2) スタンバイ系 B S G C の障害。なお、この障害は、アクティブ系 B S G C ファームウェアによって監視される。

上記障害 (1) は、その障害を検出した B S G C から I N F への割り込みによって通知される。この詳細は、5. 4. 6. 1 で説明する。 20

上記障害 (2) は、アクティブ系 B S G C からステータスとして通知される。この詳細は、5. 4. 6. 2 で説明する。

5. 1. 6. 1 B S G C - C O M における障害 (B S G C 自身の障害を除く)

図 7 4 8 に、B S G C - C O M における障害の検出シーケンスを示す。

この障害は、B S G C ハードウェアが検出した状態を B S G C ファームウェアが 8 m s e c の周期のルックイン処理において検出することによって、検出される。その後、I N F 割り込みレジスタがセットされる。B C P R は、I N F 割り込みが発生すると、最大で 1 6 m s e c のタイマを設定しそのタイマがタイムアウトした後に (図 7 4 8 参照)、M S C N 読み取りコマンドを発行することによって、障害発生ポイントを特定する 30。更に、B C P R は、詳細情報を収集するために、割り込みを発生させた B S G C M に M S C N 詳細読み取りコマンドを発行する。B S G C は、このコマンドを受信すると、レジスタに保持している障害データを通知する。B C P R は、M S C N データと M S C N 詳細読み取りコマンドに対する応答データから、5. 4. 2 で説明した系管理処理を実行する。

5. 1. 6. 2 スタンバイ系 B S G C における障害

この障害は、スタンバイ系 B S G C の 2 重化制御部の障害をアクティブ系 B S G C が周期的に監視することにより、検出される。監視周期は 2 s e c である。この監視は、アクティブ系がスタンバイ系と同期して運用されている場合においてのみ実行される。この障害は、アクティブ系 B S G C からステータスとして通知される。 40

5. 2 T M セーブ方式

B S G C では、プロセッサ障害が発生した場合に、障害情報を自系メモリ内にセーブする。これを T M セーブ処理と呼ぶ。B C P R は、B S G C プロセッサ障害を I N F 割り込みによって検出する。障害情報の詳細情報は、I N F 割り込みの後に B C P R から B S G C に発行される M S C N 読み取りコマンドと M S C N 詳細読み取りコマンドによって、B S G C 内の上記メモリから読み出され B C P R に転送される。

5. 3 統計機能

B S G C 統計機能は、以下に示される 2 種類の方法として提供される。

(A) B C P R からの指示に基づいて B S G C のファームウェアが収集する機能である。B C P R からの 1 5 分毎の通知によって、統計データの読み出しが行われる。統計 50

項目は、以下の３種類である。

- (１) BSGC CPU使用率
- (２) L2送信フレーム数とオクテット数 (ポート単位)
- (３) CRC エラー数

(B) BSGC-COMに搭載されるD-MUX/MUX LSI の統計機能によって得られるセル統計が収集される。統計項目は、以下の３種類である。BCPRは、BSGC-COMへ統計読み出し・書き込み要求を発行することに、下記の３種類の統計データを読み出す。

- (１) 通知セル数
- (２) 廃棄セル数
- (３) 特定VPI/VCI 通過セル数

10

6. 通信制御

6. 1 局内制御通信の制御

BSGCにおいて必要な局内制御通信のためのインタフェースについて説明する。レイヤ1は、タイプ3のAAL (ATM Adaptation Layer) プロトコルタイプに準拠する (4. 2. 1等を参照)。レイヤ2は、改版LAPDに準拠する。改版LAPDとの差分については、6. 1. 2で説明する。

6. 1. 1 シグナリングセルフォーマット

シグナリング情報としてI フィールドが転送される場合は、図749に示されるように、I フィールドが格納されるLAPDレイヤ3 (L3) のデータ長は、SSM (Single Segment Message) に対応する41オクテットである。この場合、41オクテットのI フィールドのうち、4 オクテットは交換機ソフトウェアのアプリケーションで使用され、残りの37オクテットがデータフィールドとされる。この41オクテットのI フィールドに、LAPDレイヤ2 (L2) の情報が付加され、その外側にAAL タイプ3の情報が付加され、更にその外側にATM セルの情報が付加される (図726も参照)。

20

シグナリング情報としてMSD/MSCNが転送される場合には、図750に示されるように、MSD/MSCNが格納されるLAPDレイヤ3 (L3) のデータ長は、253オクテットの固定長である。この場合、253 オクテットのMSD/MSCNデータに、3 オクテットのLAPDレイヤ2 (L2) の情報が付加されて256 オクテットのデータとされ、この256 オクテットのデータが44オクテットからなるセグメントに分割され、各セグメントの外側にAAL タイプ3の情報が付加され、更にその外側にATM セルの情報が付加される (図726も参照)。従って、上記256 オクテットのLAPDデータは、6個のATM セルによって転送される。この場合、最終セルのペイロード中の有効データ長は、 $44 - (6 \times 44 - 256) = 36$ オクテットとなる。

30

6. 1. 2 改版LAPDとの差分

局内装置独自の処理を、以下に示す。

(１) 情報転送には、UIフレームが用いられる。LAPFのアドレスとしてオール0のDLCIが使用される。

40

(２) 信号の優先制御

BSGCからBCPRが実行する交換機ソフトウェアへの送信信号の優先制御を行うため、局内装置からの信号には優先度を表示する必要がある。これは、LAPFのアドレス内の輻輳制御用ビットを用いて行われる。図751に、UIフォーマットを示す。

(３) 情報フィールドについて

情報フィールドは、BCPRと各装置との間で定義される。図752に、各装置における共通フィールドの定義を示す。このフォーマットにおいて、各装置に対するAPID/MESGの値は、交換機ソフトウェアによって一元的に管理される。

また、このフォーマットは、簡易LAP とフルLAPDとでは、以下の点において若干異なる。

50

(a) 最大メッセージ長は、簡易LAP では509 バイトである。

(b) NSフィールドは、フルLAPDでは0固定である。

7. BSGC-COM

7.1 BSGC-COMのハードウェア構成

図753～図755に、BSGC-COMハードウェアの機能ブロックを示す。

7.2 BSGC-COMの機能ブロック説明

図756に、BSGC-COM内のHMX00Aパッケージの機能を示す。

図757に、BSGC-COM内のHMX01Aパッケージの機能を示す。

図758に、BSGC-COM内のHSF00A/HSF04A パッケージの機能を示す。

10

7.3 スイッチインタフェース

図759に、BSGC-COM内HMX00AパッケージからASSWSH内SWMDX (HMX03A) パッケージ (図167参照) に転送される信号のインタフェースを示す。

図760に、ASSWSH内SWMDX (HMX03A) パッケージからBSGC-COM内HMX00Aパッケージに転送される信号のインタフェースを示す。

7.4 SWTIFインタフェース

図761(a) 及び(b) に、BSGC-COM内HSF04AパッケージとASSWSH内SWTIF (HNC00A) パッケージ (パート4参照) の間を転送される信号のインタフェースを示す。

20

7.5 BSGCSHの上位/下位シェルフ構成

BSGCSHは、最大で2シェルフをダイジーチェーン接続することができる。図762に、BSGCSHのダイジーチェーン接続を示す。

7.6 BSGC-COMループバック構成

7.6.1 BSGC、BSGC-COMともINS 状態でのセルループバック

図763に、BSGC、BSGC-COMともINS 状態でのセルループバック構成を示す。ループの設定時には、図763の位置Aにおいて、セルイネーブル信号の状態がゲートによって阻止されていた状態からスルー状態に変更される。図764に、図763に対応するループバック構成に対応するループバックの設定論理を示す。

7.6.2 BSGC、BSGC-COMともOUS 状態でのセルループバック

30

図765に、BSGC、BSGC-COMともOUS 状態でのセルループバック構成を示す。

ループポイントは、図765の位置(1) と(2) の2箇所である。

ループポイント(1) でのループバック時における制御手順

ループポイント(1) でのループバックの設定時には、位置(1) において、セルイネーブル信号の状態がゲートによって阻止されていた状態からスルー状態に変更される。図766に、図765のループポイント(1) でのループバック構成に対応するループバックの設定論理を示す。

ループポイント(1) でのループバック時におけるセルルートとして、HSF00/04Aにおける上り方向(BSGC→ASSW) の2/1 セルを、強制的に試験系に向ける必要がある。図767に、ループポイント(1) でのループバック時におけるセルルート設定論理を示す。

40

図768に、ループポイント(1) でのループバック時におけるVCC の設定論理を示す。

ループポイント(2) でのループバック時における制御手順

ループポイント(2) でのループの設定時には、位置(2) において、CSPC-ADPのリセット端子の論理が"1" とされる。この状態は、BSGCパッケージ内I/O レジスタによって設定される。図769に、図765のループポイント(2) でのループバック構成に対応するループバックの設定論理を示す。

ループポイント(2) でのループバック時におけるセルルートは、ループポイント(1)

50

）でのループバック時と同様に設定される。

ループポイント（２）でのループバック時におけるVCCの設定論理は、ループポイント（１）でのループバック時と同様である。

8. 2 重化制御

8. 1 ハードウェア構成

8. 1. 1 BSGCハードウェア構成

図770に、BSGCのハードウェア構成を示す。

8. 1. 2 BSGCハードウェアの概要説明

図771に、BSGCハードウェアの概要を示す。

8. 1. 3 メモリマップ

図772に、BSGCにおけるメモリマップを示す。

8. 1. 4 I/Oマップ

図773に、BSGCにおけるI/Oマップを示す。

9. 保守・運用

BSGCSHにおける保守・運用について説明する。

9. 1 診断機能

9. 1. 1 診断対象項目

診断対象項目は、以下の通りである。

(1) INF インタフェース 1)CCアクセス リード／ライト

11)DMA 転送 リード／ライト

(2) BSGCパッケージ内機能 現SGC 診断より機能無項目を削除

(MACH-1.2)として追加機能を入れる。

(CPUからアクセスできる箇所全てを診断する＝自己診断)

(3) BSGC-SWINF間 1)BSGCとSWINF の間でループが設定され、送／受信セルテスト

(4) VCCメモリテスト 最若番BSGCカードからVCC 用テーブルメモリのリード／ライトテスト

(5) BSGCSH 他装置間LAP リンク確立テスト

(6) TCG を用いたBSGC-COMでのセル BY セルループ試験（9. 2参照）

9. 1. 2 詳細

以下に、各診断項目における詳細を示す。

9. 1. 2. 1 INF インタフェース→BCPRアクセス リード／ライト診断

図774に、BCPRアクセス リード／ライトを示す。

9. 1. 2. 2 INF インタフェース→DMA 転送 リード／ライト診断

DMA 転送試験時には、1)コマンド起動、2)リトライ指示も合わせて行れる。

コマンド起動によってBSGC内へ入力されるコマンドに、診断用のDMA ライト動作を行わせるコマンドが用意される。その場合に必要な情報としては、（１）MM転送先アドレス、（２）転送ワード数、及び（３）転送データパターンである。このうち、（１）及び（２）は、コマンドに格納されて直接BSGCへ通知される。また、（３）としては、図775に示される２つのパターンが用意される。

9. 1. 2. 3 BSGC内機能診断

BSGC内機能は、自己診断される。

9. 1. 2. 4 BSGCとBSGC-COM間診断

この機能試験も、9. 1. 2. 3のBSGC自己診断の1フェーズとして実行される。図776に、BSGCとBSGC-COM間診断におけるループ位置を示す。図において、

10

20

30

40

50

B S G CとB S G C－C O M間のループ試験としては、位置（２） における対自系B S G C－C O Mループ試験、位置（３） における対他系B S G C－C O Mループ試験の２種類がある。なお、位置（１） におけるループ試験は、C A R P－L S Iの自己ループ試験である。

9. 1. 2. 5 V C C メモリテスト

このテストは、B S G C内自己診断の１フェーズとして実行される。但し、この試験フェーズは、最若番B S G Cからのみ実行される。なお、このフェーズが行えるのは、＃０系又は＃１系の何れかの系のB S G C－C O MがO U S 状態である時である。従って、試験開始前にB S G C－C O M （A S S W） のO U S／アクティブ／スタンバイ情報の通知が必要である。本試験前に、V C C セレクタ強制指定レジスタによってV C C の手前に位置する２－１ セレクタにその出力を試験B S G C側に強制的に向けさせる必要がある。図７７７に、＃１系B S G CがO U S 状態で診断を実行している場合におけるV C C リード／ライト試験状態を示す。

10

9. 1. 2. 6 B S G C－他装置間L A P リンク確立テスト

スタンバイ系B S G C－C O Mのセレクタ（B S G C 信号を選択するセレクタ） の出力を強制的に診断実行B S G Cに向けさせるためのコマンドが用意される。

<試験方法>

装置制御ソフトが行う装置間L A P リンク確立手順に準拠する。従って、B S G Cに対して、診断用のL A P リンク確立プログラムは、特別には用意されない。

9. 2 T C 機能

20

T C G を用いた導通試験におけるB S G C S Hの機能について説明する。

9. 2. 1 基本方針

図７７８に、B S G C S Hにおけるアクティブ系／スタンバイ系／O U S 状態での導通試験の基本方針を示す。

9. 2. 2 セル B Y セル折り返しについて（O U S 状態）

以下に示される２つの方式がある。

（１） B S G C－C O Mにおいて実現される。折り返しポイントは、B S G Cに対応する伝送速度を有する位置とされる。即ち、6 2 2 M b p s の伝送速度のもとでの折り返しは行われない。折り返しには、以下の条件が必要である（図７８２を参照）。

<条件>

30

（a） セル B Y セルの折り返しは、A H M 使用S E L N－１ L S I で実現される。

（b） セル B Y セルの折り返しは、タグの” 0 ” ビットを判定してループする機能のみとする。

（c） T C （テストセル） のタグ（T C G→B S G C S H） は、スタンバイ系２重化装置におけるタグと同様とする。スタンバイ系B S G C－C O Mでドロップさせないためである。

（２） B S G Cでは実現しない。

スタンバイ系B S G C－C O MにおけるB S G C→A S S W方向セレクタの出力を強制的にスタンバイ系B S G Cへ向けさせる必要がある。しかし、スタンバイ系B S G Cからのセルを送出しようとする、アクティブ系B S G Cの２重化装置スタンバイ側セルがストップしてしまうため、B S G Cでは実現しないこととする。

40

9. 2. 3 セル B Y セル折り返し位置

図７７９に、B S G C S H－C O Mでのセル B Y セル折り返し位置を示す。折り返し位置は、B S G C単位（即ち、D M U X単位） に設定される。

9. 2. 4 O U S 試験時におけるアクティブ系B S G CでのT Cストップ 機能

図７８０に、O U S 試験時におけるアクティブ系B S G CでのT Cストップ 機能のハードウェア構成を示す。

B S G Cは、アクティブ系とスタンバイ系の両方の系からのセルを受信するため、M U X を搭載している。但し、片系がO U S 状態である場合においてスタンバイ系A S S W

50

からのTC（テストセル）は、アクティブ系BSGCに受信されてはいけなないので、MUXへの入力の前でOUS状態であるBSGC-COMからのセルがストップされる。セルのストップは、アクティブ系BSGCのI/Oレジスタが設定されることにより行われる。

図781に、BSGCから2重化装置又は1重化装置への送信シグナリングルートを示す。

図782に、2重化装置又は1重化装置からBSGCへの受信シグナリングルート及びテストセルルートを示す。

【0012】

<パート8>

パート8では、本発明に特に関連する構成および機能等について説明する。

図783に、本実施例のシステムに係わるレイヤ2およびレイヤ3のプロトコルデータユニット（L2-PDU, L3-PDU）を示す。

L3-PDU（詳しいフォーマットは後述する）は、そのヘッダ部に着信先アドレスDAおよび送信元アドレスSAを有している。このL3-PDUを転送する場合には、着信先アドレスDAに基づいて交換先が決定される。そして、そのヘッダ部に続いて、可変長のデータが格納される。

このL3-PDUを、図8に示したATMスイッチング・ネットワーク（ASSW）を利用したSMDSで転送する場合には、53バイトを基本としたセル形式に変換する。このとき、L3-PDUは、L2-PDUに変換される。L3-PDUからL2-PDUを生成する場合、L2-PDUは、前述したように、BOMセル、COMセル、およびEOMセルに分解される。（ただし、L3-PDUを1つのL2-PDUに変換する場合には、SSMセル）

図783に示すL2-PDUは、BOMセルの例である。BOMセルの先頭5バイトはヘッダ部であり、ルーティング情報等が格納されている。詳しくは前述した通りである。ヘッダ部に続く2バイトには、セグメントタイプST、シーケンス番号SNおよびメッセージ識別子MID（あるいは、多重化識別子）が格納されている。

セグメントタイプSTは2ビットのフィールドであり、この2ビットでBOM, COM, EOM, SSMを表示する。シーケンス番号SNは、転送するセルに順番に付与する番号であり、セルの損失や誤挿入などの検出に使用される。メッセージ識別子MIDは10ビットのフィールドであり、各SNIごとにL3-PDUを識別する情報である。このため、1つのL3-PDUから生成された複数のL2-PDUには、同一のメッセージ識別子MIDが付与されている。このメッセージ識別子MIDは、各SNIにおいて重複することではなく、本実施例のシステムでは、各SNI毎に同時に最大16個までのメッセージ識別子MIDを付けることができる。

上記各情報に続いて、44バイトのユーザ情報部（ペイロード）が設けらる。このユーザ情報部には、BOMまたはCOMの場合、L3-PDUの着信先アドレスDAおよび送信元アドレスSAが格納されることになる。さらに、ユーザ情報部に続いて、情報長表示（LI: Length Indication）および循環符号検査CRC格納される。情報長表示LIは、セルの有効情報を表示するビットであり、BOM, COMでは44であり、EOM, SSMではセル毎に異なる。

次に、ルーティング処理について説明する。ルーティング処理は、パート5で詳細に説明したSBMESH（SBMESH）およびパート6で詳細に説明したGWMESH（GWMESSH）において実行される。

SBMESH（または、GWMESSH）は、図784に示すような、入力セル（図8に示すようなASSWを利用したシステムの場合、SBMESHにはATMセル形式で入力するが、SBMESH内ではL2-PDUで処理される。以下では、説明を簡単にするために、両者をセルと呼ぶことがある）のMID「入MID」をキーとして、出力時にそのセルに付与するタグ情報および出MIDを取り出すテーブルを作成する。このテーブルの作成方法、およびこのテーブルを利用したルーティング処理を図785に示すフロ

10

20

30

40

50

ーチャートを参照しながら説明する。

S B M E S H（または、G W M E S H）にセルが入力すると、ステップ S 1 0 で、そのセルのセグメントタイプ S T を調べる。入力セルが B O M であった場合には、ステップ S 1 1 において、その B O M のペイロード部に格納されている L 3 - P D U の着信先アドレス D A を抽出し、その D A から着信先へのルートを決する。実際は、当該 S B M E S H と着信先との間には予め P V C が設定されており、上記取り出した D A に対応づけて格納されているタグ情報を検索する。このタグ情報は、例えば図 4 2 0 に示すような、タグ A, B, C を含む 2 バイトの情報である。

続いて、ステップ S 1 2 で、出 M I D の獲得を行う。この出 M I D は、転送先のメッセージハンドラにおいて重複することがないように決定される。詳しくは、パート 5 の 3 章 4 節内の (2 9) を参照のこと。そして、ステップ S 3 1 で、獲得したタグ情報および出 M I D を、上記 B O M に付与して出力する。また、ステップ S 1 4 において、上記 B O M が入力時に有していた M I D 「入 M I D 」をキーとして、上記取り出したタグ情報および出 M I D を格納したテーブルを作成する。

ステップ S 1 0 において、入力セルが S S M であった場合には、ステップ S 2 1 ~ S 2 3 の処理を行う。ステップ S 2 1 ~ S 2 3 は、ステップ S 1 1 ~ S 1 3 の処理と同じである。この後、ステップ S 2 4 で、出 M I D を開放する。

ステップ S 1 0 において、入力セルが C O M であった場合には、ステップ S 3 1 で該 C O M の入力時の M I D をキーとして上記テーブルを検索する。そして、ステップ S 3 2 で、該テーブルから取り出したタグ情報および出 M I D その C O M 付与して出力する。

ステップ S 1 0 において、入力セルが E O M であった場合には、C O M の場合と同様に、ステップ S 4 1, S 4 2 で入 M I D をキーとして上記テーブルから取り出したタグ情報および出 M I D その E O M 付与して出力する。その後、ステップ S 4 3 において、出 M I D を開放する。

このように、B O M, S S M の場合は、そのペイロード部に格納されている L 3 - P D U の D A を用いてルーティングを行い、C O M, E O M の場合は、1 つの L 3 - P D U を分解した複数のセルに対して同じ値が設定されているメッセージ識別子 M I D を用いてルーティング情報を取り出す。このように、どのセグメントタイプのセルにおいても、セル単位でルーティング処理を行う。このように、L 3 - P D U を組み立てることなく L 2 - P D U 単位でルーティング処理を行う。

次に、エラーログの収集に関して説明する。

本実施例のシステムにおいては、では L 2 - P D U 単位（セル単位）でエラーログを収集する。このエラーログは、S B M E S H（または、G W M E S H）によって行われる。

S B M E S H（または、G W M E S H）は、M I D および S N I 番号をキー（アドレス）としたテーブル（R A M ）を有する。このテーブルの作成方法は、上記ルーティング処理に用いたテーブルと基本的に同じである。ただし、このエラーログ収集用にテーブルは、入 M I D および S N I 番号をキーとし、L 3 - P D U の着信先アドレス D A および送信元アドレス S A を格納している。

前述したように、入 M I D は、1 つの S N I に対して重複することがないように割り当てられている。このため、1 つの S N I に 2 以上のユーザが存在し、それらが同時にデータの送受をしても、それらを識別することができる。ところが、この実施例の S B M E S H は、複数の S N I （最大 3 2 個）を収容することができるので、すべての L 3 - P D U を識別するためには、S N I 番号を識別する必要がある。本システムでは、図 2 1 7 に示すように、S N I 番号の識別を V C I で行う。

エラーログ対象チェック N G 検出時には、その L 2 - P D U のセグメントタイプに係わらず、該 L 2 - P D U の入 M I D および S N I 番号をキーとし上記テーブルを検索する。これにより、それら L 2 - P D U に対応する L 3 - P D U の D A および S A が得られるので、S N I 番号、エラー種別と共に、該エラーが発生した D A および S A をソフトウェアへのインタフェース・レジスタへ格納する。

10

20

30

40

50

ソフトウェアのエラーログ収集トリガは、例えば以下である。

(a) 上記インタフェース・レジスタへの各パラメータ設定後、ソフトウェアに割り込みを行う。ソフトウェアは割り込みによりログ収集を開始する。

(b) 上記インタフェース・レジスタへの各パラメータ設定後、ソフトウェアへのフラグをONする。ソフトウェアは本フラグを常時監視 (look in) しており、フラグONでログ収集を開始する。

(c) エラー種別 '0' には特にエラー種別を割り当てない。そして、ソフトウェアは上記インタフェース・レジスタのエラー種別フィールドを常時監視し、該フィールドが '0' でないことによりログ収集を開始する (この場合は該レジスタへのパラメータ設定にあたってはエラー種別を一番後に行うことになる)。

10

上記 (a) ~ (c) のいずれの方法でログ収集を行った場合でも、ソフトウェアはログ収集完了後は上記インタフェース・レジスタをクリアする (また、例えば上記 (b) を採用した場合はフラグのオフも行う)。以上により、一連のログ収集作業が完了する。尚、以上ではインタフェース・レジスタにはあるタイミングにおいては、一種類のエラーログ用パラメータの設定しか出来ないイメージで示したが、実際は、ソフトウェアの処理能力とエラー発生確率より計算した深さのFIFOで本レジスタを設ければ、同時に複数種類のエラーログ用パラメータを設定してエラーログの収集を行う。

以上に示した方式では、DA, SAを格納しておくテーブルの容量が相当なものになる。すなわち、MID は10ビットの情報であり、SNI 番号についても10ビットが確保されている。このため、単純にMID とSNI 番号とを組み合わせると、合計20ビットが必要になる。そして、この20ビットをアドレスとすると、アドレスは $2^{20} = 1$ メガとなる。一方、DA, SAは共に64ビットである。従って、上記テーブルの「キー」として、MID とSNI 番号とを単純に組み合わせものを使用した場合、該

20

テーブルを構成するRAM の容量は非常に大きなものになる。このため、本実施例では、任意のSNI 上で同時に送受されるL3-PDU数 (SNI 毎のMID 数) が最大16との規定を利用する。すなわち、MID を表すフィールドとしては10ビットが割り当てられているが、上記規定に従えば、任意のSNI 上で同時に送受される各L3-PDUの識別を4ビットで行うことができる。

よって、MID とSNI 番号とを単純に組み合わせ場合の $2^{20} = 1$ M だったアドレスが、本方式では $2^{14} = 16$ kで済む。上記変換では、MID とSNI 番号のパターンマッチャ (変換テーブル) を用い、10ビットで表されたMID がそのSNI 上で何番目のMID であるか (上述したように、各SNI 上では同時に16までのMID しか許容されない)ので、1番目~16番目までのいずれかの値となる)を導き出す。上記変換以降の処理は、前述したエラーログ収集を同様の処理を行う。

30

上述した方法においては、DA, SAを格納するテーブル (RAM) が設けられ、エラーログ対象チェックNG検出時は該テーブルからDA, SAを読み出し、SNI 番号およびエラー種別と共に、ソフトウェアへのインタフェース・レジスタへ格納している。

これに対し、DA, SA格納用テーブルSNI 番号、エラー種別も格納出来るようにして、本テーブル自体をソフトウェアへのインタフェースにすることもできる。すなわち、BOM 到着毎に該BOM のMID およびSNI 番号 (または、それらを上述のようにして変換した値) をアドレスとして、該BOM のDA, SAをテーブルに格納する。そして、エラーログ対象チェックNG検出時には、いずれのセグメントタイプのL2-PDUに対しても、そのL2-PDUのMID およびSNI 番号をキー (アドレス) として上記テーブルにSNI 番号およびエラー種別を書き込む。

40

ソフトウェアのログ収集トリガとしては、上記 (a) ~ (c) のいずれでも可能であるが、(c) が最適である。

このように、この実施例のエラーログ収集方式では、L2-PDU毎に発生するエラー情報を、L3-PDUに組み立てることなく、L3-PDU単位で収集する。また、MID とSNI 番号の組合せに対して所定の変換を行うことによって、エラーログ収集に必

50

要なテーブルの容量を大幅に小さくしている。

次に、加入者端末から実行する局間ループバック試験について説明する。

この試験は、加入者自身が、ネットワーク内の所定交換局間の伝送路の品質・正常性を確認するものである。図 7 8 6 を参照しながら、この試験方式の概要を説明する。なお、ここでは、図 7 8 6 において、加入者端末 2 から、加入者端末 2 が収容されている S W 局 3 と S W 局 6 との間の伝送路の試験を行う。

まず、加入者端末 2 から S W 局 3 に対して試験開始要求パケットを発行する。この試験開始要求パケットは、通常のデータ伝送用のパケットとの識別をするために、ヘッダ部に試験開始要求を示す特定の I D が設定されている。具体的には、試験要求用の特定の D A が設定されている。

10

S W 局 3 は、上記試験開始要求パケットを受信すると、試験パケットを生成し、S W 局 6 に対して出力する。このとき、試験パケットの着信先アドレス D A は S W 局 6 を示し、送信元アドレス S A は S W 局 3 を示す。試験パケットは、S W 局 4 および S W 局 5 で中継されて S W 局 6 に到着する。S W 局 6 では、試験パケットの D A と S A を入れ換えて S W 局 3 へ返送する。

S W 局 3 では、試験パケットを受信すると、試験結果を収集する。すなわち、S W 局 3 （発局）では、試験パケット生成時にそのペイロード部に時刻を書き込み、S W 局 6 （終着局）では試験パケットの受信時にそのペイロード部に時刻を書き込むので、S W 局 3 が返送されてきた試験パケットを受信すると、S W 局 3 と S W 局 6 との間の伝送路でデータが伝送されたことを確認できると同時に、その間の伝送時間（伝送遅延）も知ることができる。S W 局 3 は、この試験結果を加入者端末 2 へ通知する。このようにして、加入者自身が所定の伝送路の試験を行い、かつその結果を知ることができる。

20

上記試験方法を図 7 8 7 を参照しながら詳細に説明する。図 7 8 7 に示す C P E （加入者宅内装置）1 0 は、図 7 8 6 の加入者端末 2 の相当する。また、C L S - S U B （加入者線制御コネクションレスサーバ）2 0 および C L S - T R K （トランク制御コネクションレスサーバ）3 0 は、例えば図 7 8 6 の S W 局 3 に設けられるサーバである。C P R （コールプロセッサ）4 0 は、該サーバがアクセスするプロセッサである。

まず、試験の起動時は、C P E 1 0 内のループバック試験制御部 1 1 において試験開始要求メッセージパケットを生成し、の要求パケットを通常のユーザパケットと同様にネットワークに転送する。ここで、この試験開始要求メッセージパケット上のレベル 3 ヘッダ部分に設定される電番（D A）は、予めネットワークとの間で規定された特殊電番（特定 D A）である。

30

試験開始要求メッセージパケットは、C L S - S U B 2 0 内の L 3 ヘッダ分析部 2 1 で終端される。L 3 ヘッダ分析部 2 1 は、受信したパケットのヘッダ部を解析し、そのパケットが有する D A が上記特定 D A かどうか判断する。特定 D A でなければ、通常のユーザパケットとして通常のルーティング処理を行う。特定 D A であれば、受信セルが試験開始要求メッセージパケットであると認識し、C L S - S U B 2 0 内の特定パケット制御部 2 2 へと送られる。

この試験開始要求メッセージパケットのペイロード部分には、この試験を起動した加入者の I D、ループバック終着局の局番、タイムスタンプ等が格納されており、C L S - S U B 2 0 はこれらの情報を C P R 4 0 に渡す。C P R 4 0 は、これらの情報をもとに既存の局間ループバック試験を起動するのと同様な手順で C L S - T R K 3 0 に試験開始要求を転送し、加入者からの局間ループバック試験を起動する。

40

C L S - T R K 3 0 では、上記試験開始要求を受信すると、パケット生成部 3 1 が試験パケットを生成して出力する。この試験パケットは、試験開始要求メッセージパケットに格納されていたループバック終着局の局番を D A とし、C L S - T R K 3 0 または C P E 1 0 の I D を指示する値を S A とする。

ループバック終着局は、C L S - T R K 3 0 と同様のサーバを有している。終着局の C L S - T R K 3 0 が試験パケットを受信した時、該試験パケットの D A が自分であることを認識すると、D A / S A 反転部 3 2 で D A と S A とを入れ換える。また、終着局の

50

C L S - T R K 30が試験パケットを受信した時刻をその試験パケットに書き込む。さらに、その終着局でループバック処理を行ったことを表示（「復路」表示）する。このような処理をした後に、該試験パケットを、上記D AとS Aとの入換えによって設定されたS Aに対する出力する。

試験用パケットが終着局においてループバックされた戻ってきたときの加入者への通知は以下の通りである。すなわち、図787に示すC L S - T R K 30が、試験パケットを受信すると、ループバックされた戻ってきたことを「復路」表示から認識し、その試験パケットの内容をC P R 40に転送することによって、試験結果（遅延時間など）をC P R 40に通知する。C P R 40は、パケット内容を分析して該当する加入者を収容するC L S - S U B を選定して試験結果通知パケット発行要求を行う。C L S - S U B 20は、該要求を受けると、試験結果通知用パケットを生成してC P E 10に送出する。この試験結果通知用パケットに設定するS Aは、予めネットワークとの間で規定された特殊電番（特定S A）をであり、これをC P E 10のループバック試験制御部11が認識して試験情報を抽出する。また、この試験結果通知用パケット内には、上記試験結果として遅延時間を格納している。

上記手順中、試験用パケットの判別を特定D Aにて行うこととしているが、レベル3ヘッダの別のフィールド部分にそのためのデータ部分を設け、その内容により判別を行うようにしてもよい。また、上記手順中、C P E 10が試験開始要求を発行してから一定時間内にC L S - T R K 30に試験パケットが戻らなかった場合に、パケット伝送が正常でないことを示すパケットを生成してその旨をC P E 10に知らせるようにしてもよい。さらに、上記試験方式をS M D Sを利用したコネクションレス通信に適用することもできる。この場合、C L S - S U B 20およびC L S - T R K 30をS M D S処理用サーバで実現し、特定D Aの代わりに特定の識別子をL 2 - P D Uのヘッダ部の設定する。次に、S M D Sを利用したコネクションレス通信システムにおいて設定されるP V Cの試験方法について説明する。

まず、従来技術として参照した図899を用いて、任意のP V C の障害による波及範囲について示す。ここでは、P V C を以下の3種類に分類して考察する。

▲1▼ 発S M D S加入者（a）（b）－S M D SサポートモジュールS 部（P V C 1, 2）

▲2▼ S M D SサポートモジュールS 部－S M D SサポートモジュールR 部（P V C 3）

▲3▼ S M D SサポートモジュールR 部－着S M D S加入者（x）（y）（P V C 4, 5）

▲1▼のP V C に障害が生じた場合、該発S M D S加入者（a）（b）は、どの着S M D S加入者との通信も出来なくなる。発S M D S加入者（a）と（b）との間の通信もできない。

▲2▼のP V C に障害が生じた場合は、該P V C の発端であるS M D SサポートモジュールS 部に収容されている全ての発S M D S加入者と、該P V C の着端であるS M D SサポートモジュールR 部に収容されている全ての着S M D S加入者との通信が不可となる。すなわち、発S M D S加入者（a）（b）と着S M D S加入者（x）（y）との間の通信ができない。

▲3▼のP V C が障害の場合は、該着S M D S加入者に対するどの発S M D S加入者との通信が不可となる。たとえば、P V C 4に障害が発生すれば、着S M D S加入者（x）に関する通信が出来なくなる。

P V C の検証には、以下の2つが考えられる。

（1） 加入者コンプレイン（要求、苦情）を契機として行う。

（2） 障害の混在化防止のために定期的に行う。

（2） の場合は、上記▲1▼～▲3▼の検証を自動的に行えばよい。

（1） の場合は、コンプレインを分析することによりある程度障害箇所の絞り込みが可能であり、それを行った後に対応P V C の検証を行う。このアルゴリズムを図788に

10

20

30

40

50

示す。

加入者からの苦情（コンプレイン）が発生すると、ステップS1において、苦情が単一発SMD S加入者からのものか調べる。複数発SMD S加入者からの苦情であった場合には、ステップS2で、苦情の内容が「単一着SMD S加入者への通信不通」であるか調べる。ステップS2がYESの場合は、上記▲3▼のPVCの障害であるとする。ステップS2がNOの場合は、上記▲2▼のPVCの障害であるとする。

ステップS1において、苦情が単一発SMD S加入者からのものであった場合には、ステップS3でその苦情が「どの着SMD S加入者とも通信不可」であるのか調べる。ステップS3がYESの場合は、上記▲1▼の障害であるとする。一方、ステップS3がNOの場合は、ステップS4で苦情の内容が「単一着SMD S加入者への通信不通」であるか調べる。ステップS2がYESの場合は、上記▲3▼のPVCの障害であるとする。ステップS2がNOの場合は、上記▲2▼のPVCの障害であるとする。

このように、加入者からの苦情があった場合には、その苦情を分析し、障害箇所を限定してから、以下に説明するPVC試験を行うようにすると、復旧時間を短縮できる。上記アルゴリズム、すなわち障害の分析を人手で行ってもよいが、苦情をシステムに入力し、自動的に分析させても良い。この場合は、分析結果を元に、自動的に検証処理を行うことも可能となる。

PVCの検証方法としては、試験すべきPVCに試験用メッセージを送出し、受信メッセージと送信メッセージが同一であることを確認する方法が考えられる。例えば、図899の発SMD S加入者(a)とSMD SサポートモジュールS部間のPVCの検証のためには、発SMD S加入者(a)に試験メッセージジェネレータを、SMD SサポートモジュールS部に試験メッセージチェッカをそれぞれ設け、試験メッセージを送受して検証する方法が考えられる。また、SMD SサポートモジュールR部と着SND S加入者(x)間のPVCの検証のためには、着SND S加入者(x)に試験メッセージチェッカを、SMD SサポートモジュールR部に試験メッセージジェネレータをそれぞれ設け、試験メッセージを送受して検証する方法が考えられる。

しかし、このような方式はSMD S加入者毎に試験メッセージジェネレータや試験メッセージチェッカを具備する必要があるので、本実施例の方式では、以下の構成とする。

図789にSMD Sを利用したシステム構成を示す。この構成は、従来技術として参照した図899と同じである。図899では、SMD S加入者と発側と着側とに分けていたが、実際は発信専用の加入者又は着信専用の加入者は存在せず、(a)、(b)はSMD Sサポートモジュールに対応する着SND S加入者、(x)、(y)は同じく発SMD S加入者でもある。したがって、図899で示した構成は、図789に示したイメージとなる。

前記▲1▼と▲3▼のPVC、すなわち、SMD S加入者とSMD Sサポートモジュール間のPVCの障害の検証のためには、SMD Sサポートモジュール側に試験メッセージ生成部（試験メッセージジェネレータ）および試験メッセージチェック部（試験メッセージチェッカ）を設ける。これにより、試験メッセージ生成部および試験メッセージチェック部を集中配置することが可能となり、低コスト化が実現される。

SMD S加入者側には試験メッセージの折り返し機能を設ける。この機能は、以下の2つによって実現される。

- ・試験メッセージであることをVPI/VC Iで判定し、試験メッセージだけを折り返す。

- ・すべての入力メッセージを折り返す。

図789に示すSMD S加入者が、純粹にSMD S専用の場合は後者の方法で折り返しを行えばよいが、該SMD S加入者がSMD Sの他に通常のATMセルデータも扱うような場合は、前者の方法が望ましい。SMD SメッセージとATMセルデータとではVPI/VC Iが異なるので、SMD Sメッセージのみを選択的に折り返すことが可能である。また、本検証中もATMセルデータに対するサービスの続行が可能であり、トータル面で見たサービスの向上となる。

10

20

30

40

50

また、S M D S 加入者側での折り返しの方法としても、以下の2方式がある。

- ・ S M D S 加入者側にて入手等により設定する。
 - ・ S M D S 加入者に対し、システム側（S W 側）からの折り返し指示を可能とする。
- 図790に上記▲1▼（ただし、S M D S 加入者（a）が発端）のP V C の試験イメージを示す。また、図791に前記▲3▼（ただし、S M D S 加入者（x）が着端）のP V C の試験イメージを示す。（図示の太線に沿って試験メッセージが流れる。）いずれも同一の方式で試験可能である。すなわち、S M D S サポートモジュールR部に試験メッセージ生成部を設け、そこで生成した試験メッセージを図示の太線のルートに沿ってS M D S 加入者に送る。そして、S M D S 加入者において折り返されて図示の太線のルートに沿ってS M D S サポートモジュールS 部に戻ってきたものを、該S 部に設けら

10

れた試験メッセージチェック部でチェックする。

S M D S サポートモジュールR 部において、試験メッセージを通常のS M D S メッセージに多重化する位置であるが、図792に示す2通り考えられる。1つは、同図（a）に示すように、試験メッセージをS Wからの通常のS M D S メッセージと多重化してから各種チェック等を行う方式であり、他方は、同図（b）に示すように、各種チェック等の「途中」で多重する方式である。純粋にP V C 試験に特化するのであれば、両方式には差異はない。ただし、同図（a）の方式とした場合は、S M D S サポートモジュールR部の内部の試験も行えるという利点がある。

図中の多重化の方法であるが、以下の3つの方式がある。

- ・ 通常のS M D S メッセージと試験メッセージを単に選択する方式
- ・ 多重化ブロックにおいて通常のS M D S メッセージの空きタイミングを検出し、そのタイミングを試験メッセージ生成部に通知して、試験メッセージの送出を指示する方式
- ・ 試験メッセージ生成部は単に試験メッセージを送出し、多重化ブロックにおいてこれをバッファリングしておいて、通常のS M D S メッセージの空きタイミングを検出して多重化する方式

20

第1の方式は、試験時は試験メッセージのみを送出し、通常のS M D S メッセージは流すことができないので、試験対象以外の加入者への影響が出る。第2、第3の方式では、試験対象以外の加入者からの通常のS M D S メッセージも流しつつ、その空き時間に試験メッセージを流すことができる。

一方、S M D S サポートモジュールS 部での、試験メッセージの通常のS M D S メッセージからの分離箇所であるが、これにも複数種類が存在する。図793（a）に示す方式では、試験メッセージを受信した直後に試験メッセージチェック部を設け、図793（b）に示した方式では、各種チェック等を受けた後に通常のS M D S メッセージと試験メッセージを分離して試験メッセージをチェックする。（この他にもD A解析、各種チェック等の「途中」で分離する方式も考えられる。）

30

この場合も、純粋にP V C 試験に特化するのであれば、両方式には差異はない。ただし、図793（b）の方式とした場合は、S M D S サポートモジュールS部の内部の試験も行えるという利点がある。なお、試験メッセージチェッカには、試験対象P V C / V C I を有するメッセージのみを取り込む機能を有している。

以上示した様に、▲1▼、▲3▼のP V C 試験においては、S M D S サポートモジュールR 部に試験メッセージ生成部を、S M D S サポートモジュールS 部に試験メッセージチェッカをそれぞれ設けていた。

40

上記▲2▼のP V C の試験、すなわちS M D S サポートモジュール間のP V C の試験のためには、逆にS M D S サポートモジュールS 部に試験メッセージジェネレータを、S M D S サポートモジュールR 部に試験メッセージチェッカをそれぞれ設ける。該試験のイメージを図794に示す。同図に示す図の太線に沿って試験メッセージの送受を行い、確認する。

S M D S サポートモジュールS 部における試験メッセージの多重化の箇所、S M D S サポートモジュールR 部における試験メッセージの分離箇所についても、図793または図794に示した各種構成とすることができる。図示はしないが、どの方式であれ、純粋

50

にPVC 試験に特化するのであれば差異はない。ただし、各種チェック等の前で多重化し、あるいは各種チェック等の後ろで分離する様にすれば、SMD Sサポートモジュール内部の試験も行えるという利点がある。

例えば、図795に示すように、SMD SサポートモジュールR 部において、上記▲1▼、▲3▼のPVC の試験のための試験メッセージを各種チェック等の前で多重化し、上記▲2▼のPVC の試験のための試験メッセージを各種チェック等の後で分離する構成をとったとする。この場合、PVC 試験のために設けた試験メッセージ生成部やチェッカにより、自モジュールのみで自モジュール内の各種チェック等の機能の試験が可能となる。なお、このことは、SMD SサポートモジュールS 部においても全く同様である。

10

次の、より具体的な試験方法について示す。

上記▲1▼～▲3▼PVC のいずれの試験を行う場合でも、試験メッセージ生成部に試験メッセージが用意され、試験開始が指示される。そして、試験メッセージに被試験PVC 対応のVPI, VCI が付加され送出される。(あるいは試験メッセージを用意する時点で、試験メッセージの一部として被試験PVC 対応のVPI, VCI を書き込んでおく方式もある。この場合は試験開始により、そのまま試験メッセージが送出される。)

試験メッセージは被試験PVC に沿って流れてゆき、試験メッセージチェッカに入力する。(既述の様に試験メッセージチェッカには被試験PVC 対応のVPI, VCI が指示されており、該VPI, VCI を有するメッセージのみが入力・蓄積される様に制御されている。)試験開始指示によりある一定時間後(試験メッセージ生成部から試験メッセージチェッカに試験メッセージが到着するのに論理的に必要な時間以上)に試験メッセージチェッカ内に蓄積されている試験メッセージが読み出され、その内容チェックを受ける。(試験メッセージチェッカ内の蓄積部は試験開始に先立ってクリアされている。)

20

試験メッセージの個数は1個のみとする方式もあるが、一般的には複数個とする。(ただし、物理的制約より有限個となる。)この場合、このPVC 試験では、試験メッセージの個数のチェックおよびその内容チェックを行う。

上記▲1▼、▲3▼のPVC の試験の場合は、被試験PVC 対応のSMD S加入者は折返しモードとなっている。ここで、任意のSMD S加入者からこのモードの被試験PVC 対応のSMD S加入者へ着信があったと仮定する。

30

前述した「試験メッセージと通常メッセージとを単に選択する方式」の場合は、通常のSMD Sメッセージは全て廃棄されるので、上記SMD Sメッセージは被試験PVC 対応のSMD S加入者へは流れて行かず、試験に支障は生じない。ところが、「通常メッセージの空きタイミングに試験メッセージを挿入する方式」の場合は、上記SMD Sメッセージが被試験PVC 対応のSMD S加入者へ送出される。この時のVPI/VCI は被試験PVC 対応のそれと同一であり、試験メッセージとの区別が付かない状態である。これに対しては、以下の2つの対応策が考えられる。

第1の方式は、多重化部にて被試験PVC 対応のVPI/VCI を認識し、通常のSMD SメッセージのVPI/VCI をチェックし、被試験PVC 対応のそれと同一のものが入力してきたら該メッセージを廃棄する。

40

第2の方式では、特にハード的な対処は行わず、試験メッセージに識別情報等を予め付与しておき、試験メッセージチェッカが読み出した時点で判断するというものである。この第2の方式について更に詳細に示す。

試験メッセージを1個のみとした試験方式の場合は、まず、試験メッセージチェッカに1個のメッセージの蓄積があるか否かの判定を行う。

0個の場合は試験NGと認定する。

1個の場合は、それを読み出し、試験メッセージか否かの判定を行う。そして、試験メッセージの場合は内容チェックを行い、OK/NG の判定を行う。一方、試験メッセージで無かった場合は試験リトライを行う。ここで、無限リトライを防止するため、一定回数

50

のリトライ後には試験不能と判定するアルゴリズムを持たせる。

試験メッセージを n 個とした試験方式の場合は、まず、試験メッセージチェッカに n 個のメッセージの蓄積があるか否かの判定を行う。

これが n 個未満の場合は試験NGと認定する。

n 個の場合は、まず1個目のメッセージを読み出し、試験メッセージか否かの判定を行う。試験メッセージの場合は、内容チェックを行い、OK/NGの判定を行う。この判定で、NGの場合はその時点で（全体としての）試験結果をNGと認定する。OKの場合は2個目のメッセージの処理に移行する。一方、1個目のメッセージが試験メッセージで無かった場合は2個目のメッセージの処理に移行する。

以降、同様に繰り返し n 個の判定を行う。そして、試験メッセージを m 個（ $m \leq n$ ）受信しており、その内容も全てOKであれば、（全体としての）試験OKと認定する。なお、上記 n 個のうちの試験メッセージの数が所定値 m よりも小さい場合にはリトライを行うが、（ m は任意に設定可とする）無限リトライを防止するため、一定回数のリトライ後には試験不能と判定するというアルゴリズムを持たせる。 10

なお、この方式は、上記▲2▼のPVCの試験の場合にも適用できる。

次に、SMDSのデータの正常性を確認するレイヤ3のBETag, BAsizeチェック、およびレイヤ2のlengthチェックについて説明する。これらのチェックは、本実施例では、SBMESH（またはGWMesh）において行う。具体的には、例えばSBMESHのHMH04Aにおいて行う。

図796に、L3-PDUのフォーマットを示す。同図に示すように、L3-PDUの先頭Rsvdフィールドは1オクテットであり、フォーマットの規定を行うために設けられている領域である（現在は未使用）。BETagフィールドは、1オクテットであり、L3-PDUのトレイラに書き込まれるBETagと合わせて1組とし、受信側でそれら2つの値の一致を確認することでデータの正常性を調べる情報である。BAsizeフィールドは1オクテットであり、このデータを受信する側にバッファサイズを通知するための情報である。DA, SAフィールドは、それぞれ8オクテットが割り当てられており。SAフィールド以降のInfoフィールドまでのデータは、この実施例には特に関係がない。 20

Infoフィールドは、実際の転送データが格納される領域であり、9188オクテットを最大長とする可変長である。トレイラ部のRsvd, BETag, Lengthフィールドが、それぞれL3-PDUの先頭に格納されているRsvd, BETag, BAsizeフィールドと同じ情報が格納されている。 30

L2-PDUとL3-PDU相互関係について、図797を参照しながら説明する。同図示すように、L3-PDUのBAsizeとは、L3-PDUの全長から、L3-PDUの先頭4オクテット（Rsvd, BETag, BAsizeフィールド）およびトレイラ部4オクテット（Rsvd, BETag, Lengthフィールド）を除いた値である。また、L2-PDUのペイロード長は、L2-PDUの全長（53バイト）からヘッダ7オクテットおよびトレイラ2オクテットを除いた値である。ただし、ここでいうL2-PDUのペイロード長とは、有効ペイロード長を意味している。したがって、BOM, COMのペイロード長は44オクテットであるが、EOM, SSMのペイロード長は可変となる。 40

ここで、L3-PDUのBAsizeが100であったと仮定し、このL3-PDUをL2-PDUに変換した場合について以下に説明する。

L2-PDU BOMには、L3-PDUのヘッダ部および情報部のデータの一部、合計44オクテットが格納される。L2-PDU COMには、L3-PDUの情報部の44オクテットが格納される。L2-PDU EOMには、L3-PDUの情報部のデータおよびトレイラ部のデータ、合計20オクテットが格納される。したがって、この例では、L2-PDU EOMの有効ペイロード長は20オクテットとなる。

次に、本実施例で行う3つのチェックの説明を行うが、これらのチェックには「エラーは、SSM, EOMの時にしか立ててはいけない」「L2ペイロード長チェックの結果が 50

NGの時にはBASize, BEtagはNGとはしない」という制約を設ける。
本実施例で行う3つのチェックは、以下である。

1. SSM, EOM時におけるL2-PDUペイロードレングスチェック
2. L3-PDU BEtagチェック
3. L3-PDU BAsize チェック

これらのチェックについて説明する前に、データフォーマットについて若干の説明をする。
L3-PDUは、前述してように、図796に示すフォーマットをしている。ここで、
L3-PDUの長さは必ず4の倍数のオクテット長となる。しかし、交換機内での処理ではL2-PDUのフォーマットが取られる。この時、L2-PDUのセグメントタイプには分割されたL3-PDUのどこの部分のデータがセグメンテーション・ユニットに入っているかが示される。また、以下では、SNI + MID をRMIDと称することとする。

10

- (1) SSM, EOM 時におけるL2-PDUペイロードレングスチェック (図798)

このチェックでは、L3-PDUのBASizeからBOM, COM, EOM (またはSSM) 毎に所定の値を減算してゆき、EOM (またはSSM) の有効ペイロード長と比較し、その一致・不一致によってデータの正常性を確認する。

まず、L3-PDUフォーマットのBASizeを抽出する。このBASizeは、受信したBOMに格納されている。そして、該BOMのRMIDをキー(アドレス)としてBASizeをテーブルに格納する。その後、いったんBASizeを取り出し、BASize値から9を減算して再度上記テーブルに書き込む。(BOMを受信したときには、実際は36オクテットを減算する。ところが、上述したように、L3-PDUの長さは4の倍数のオクテット長であるので、計算を簡単にするために、BASize値を含め、すべての値を4で割った値を用いて記載する)

20

続いて上記BOMと同じRMIDのCOMを受信すると、そのRMIDをキーとして上記テーブルをリードし、その読みだした値から11を減算して再度テーブルに書き込む。COMが複数個ある場合は、この処理を繰り返す。

上記BOMと同じRMIDのEOMを受信した場合は、そのRMIDをキーとして上記テーブルをリードする。その値が“0”であった場合、またはその値が該EOMの有効ペイロード長を一致しなかった場合にはエラーであると判断する。一致した場合には、L2-PDUペイロード長が正常であると判断する。

30

SSMを受信した場合には、該SSMに格納されているL3-PDUのBASizeを抽出し、そのBASizeから8を減算した値と、自身の有効ペイロード長とを比較する。この比較が一致すればL2-PDUペイロード長が正常であると判断する。

処理上の注意点

カウント値とL2-PDUペイロード長とが一致しないことがある。例えばL2-PDUが1つ損失した場合である。これは、L2-PDUが損失した時には、BASizeのカウントダウンが行われなかったためである。この時には、エラーフラグはL2 LengthのみNGとし、L3-PDU BEtagチェック、L3-PDU BAsize チェックはNGとはしない。このことは、何らかの理由でL2-PDUが増加してしまった場合も同様である。

40

カウンタによる減算処理であるが、減算回路を用いても良い。また、処理しやすくするためにデータ長が4の倍数という特徴を生かし、11、9、8という数を減算しているが、44、36、32という数を使用してもよい。

- (2) L2-PDU BEtagチェック (図799)

このチェックでは、L3-PDUフォーマットのヘッダ部とトレイラ部にあるBEtagを比較し、その一致・不一致によりデータ伝送が正しく行われているかを監視する。

まず、BOMを受信すると、そのペイロード部に格納されているL3-PDUのヘッダ部のBEtagを取り出す。そして、該BOMのRMIDをキーとして上記BEtagをRAMに格納する。COMを受信したときには何も処理をしない。EOMを

50

受信したときには該EOMのRMIDをキーとして上記RAMをリードし、その読み出したBEtagと該EOMのペイロード部に格納されているL3-PDUのトレイラ部のBEtagとを比較する。この比較が一致すればSMD Sのデータ伝送が正常であると判断し、不一致であれば異常とする。

SSMを受信した場合には、該SSMペイロード部に格納されているL3-PDUのヘッダ部のBEtagとL3-PDUのトレイラ部のBEtagとを比較する。

(3) L3-PDU BAsize チェック (図800)

このチェックでは、L3-PDUフォーマットのヘッダ部のBAsizeとトレイラ部のLENGTHとを比較し、その一致・不一致によりデータ伝送が正しく行われているか監視する。

10

まず、BOMを受信すると、そのペイロード部に格納されているL3-PDUのBAsizeを取り出す。そして、該BOMのRMIDをキーとして上記BAsizeをRAMに格納する。COMを受信したときには何も処理をしない。EOMを受信したときには、該EOMのRMIDをキーとして上記RAMをリードし、その読み出したBAsizeと該EOMのペイロード部に格納されているL3-PDUののLENGTHとを比較する。この比較が一致すればSMD Sのデータ伝送が正常であると判断し、不一致であれば異常とする。

SSMを受信した場合には、該SSMペイロード部に格納されているL3-PDUののBAsizeとL3-PDUののLENGTHとを比較する。

図801に、上記各チェックを実現するブロック図を示す。

20

SMD SデータとしてL2-PDUを受信すると、セグメントタイプ検出部1が、BOM、COM、EOM、SSMのいずれであるのかを検出する。また、同時に、RAMアドレス生成部2は該L2-PDUのSNI、MIDからRMIDを求め、その値をRAM10へのアクセスアドレスとする。

BEtag、BAsize (LENGTH)、L2-Payload-LENGTHの検出は、それぞれBEtag検出部3、BAsize検出部4、L2-LENGTH検出部5が検出し、その検出値は、RAM10上のRAMアドレス生成部2が生成したアドレスに書き込まれる。ダウンカウンタ6は、RAM10から読み出した値に対して所定の演算(減算)を行い、計算結果は再びRAM10に書き込まれる。BEtag比較部7、BAsize比較部8、L2-LENGTH比較部9は、それぞれ上記説明した比較動作を行い、その結果を出力する。

30

次に、コネクションレスデータ処理用サーバ間を専用線で接続したシステムについて説明する。

図802は、この実施例のシステム構成図である。同図において、SW1-1~1-4はスイッチ(交換機)であり、ATMスイッチで実現することができる。CPR2-1~2-4はコールプロセッサであり、CLS3-1~3-4はコネクションレス処理用サーバである。CPR2-1~2-4とCLS3-1~3-4とはそれぞれ情報を授受しながら各種処理を行う。専用線5は、たとえば高速バスである。

同図において、SW1-1に収容される加入者1からSW1-4に収容される加入者4はコネクションレス通信を行う場合のデータの転送されるルートを示す。この場合、まず、加入者1から出力されたコネクションレスデータは、SW1-1を介してCLS3-1に転送される。この間の転送は、たとえばPVCを介して行われる。CLS3-1では、CPR2-1との連携動作によりメッセージ解釈や呼種別判定等が行われる。そして、その呼通信形態がコネクションレス通信であり、その転送先がCLS3-4に接続された加入者4であると認識すると、上記コネクションレスデータを専用線5を介してCLS3-4に転送する。そして、CLS3-4からSW1-4を介して加入者4へ該データが渡される。

40

このように、CLS間のコネクションレスデータの転送は、SWで交換されることなく、専用線を介して転送される。

図803は、上記CPRおよびCLSのブロック図である。CPR10は、メッセ

50

ージ解釈装置 11、呼種別判定装置 12、加入者データ装置 13を有する。CLS 20は、宛先判定装置 21、自CLS 管理装置 22、他CLS データ管理装置 23を有する。また、図804(a) は、自CLS 管理装置 22が管理するテーブルの例であり、図804(b) は、他CLS データ管理装置 23管理するテーブルの例である。

以下、CPR 10およびCLS 20のルーティング動作を図805のフローチャートを参照しながら説明する。ここでは、スイッチをATM スイッチとし、コネクションレス通信方式をSMD Sとする。

スイッチからメッセージを受信すると、ステップS1で、メッセージ解釈を行う。この処理は、CPR 10のメッセージ解釈装置 11が行う。続いて、ステップS2において、受信したメッセージがコネクションレスサービスか否かを判定する。この判定は、呼種別判定装置 12が加入者データ装置 13を検索し、該装置 13内において上記発呼した加入者がコネクションレスサービス加入者として登録されているかを調べる。あるいは、上記メッセージのVPI/VCI がSMD Sセルであることを示す特定の値であることを調べる。

10

コネクションサービスの場合は、ステップS3においてその処理を行う。コネクションレスサービスであった場合には、ステップS4で、CLS 20の管理データを検索する。まず、自CLS 管理装置 22が管理するテーブルを検索し、データの着信先が自CLS に接続される端末か否かを判断(ステップS5)し、自CLS であればステップS6でルーティング処理を行う。

一方、データの着信先が自CLS に接続されない端末の場合は、他CLS データ管理装置 23管理するテーブルを検索する。データの着信先がこのテーブル内にあれば、そのCLS 識別番号に基づいて、専用線5を介してコネクションレスデータを転送する。もし、データの着信先がこのテーブル内になければ、該データを廃棄する。

20

このルーティング方式をSMD Sのセル単位で行う場合、図805に示した処理は、BOM (または、SSM) に対してのみ行えばよい。そして、BOM に対する処理によって得られたルーティンフ情報を、該BOM のMID (または、MID + SNI) をキーとして格納しておき、COM, EOMを受信したときには、そのMID (またはMID + SNI) をキーとして上記ルーティング情報を取り出す。

なお、上記専用線上での伝送方式としては、固定時間スロット割当方式、可変時間スロットランダム割当方式、可変時間スロット制御割当方式で実現する。

30

図806は、発明に関連する他の特徴的構成であり、局内LAPD通信の終端ポイントを示している。図中、CC (交換機プロセッサ) 1は、交換機を制御するメインCPUで、そのプログラムはMM2に格納される。

入出力制御部4は、システムバス3に接続され、CC1によって制御される。入出力制御部4は、LAP 制御装置(BSGC)5、ATM スイッチ6と接続され、各装置とシステムバス3を介したCC1の間の制御情報の通信をインタフェースする。

CC1は、入出力制御部4を経由して、LAP 制御装置5又はATM スイッチ6へ制御情報を送信し、その制御データを受信した各装置は、MM2からデータを読み取る必要がある場合は必要に応じて入出力制御部4に対してDMA 要求を依頼する。入出力制御部4は、これらの要求を順番に受け付け、MM2上の制御情報をDMA を用いて各装置へ転送する。

40

LAP 制御装置5と入出力制御部4、並びに、ATM スイッチ6と入出力制御装置4は、ケーブルによって直接接続される。

LAP 制御装置5は、各局内装置7、8とLAP に基づくインタフェースを有し、入出力制御部4から受信したデータをLAP フレームに組み立て、そのフレームを各局内装置へ転送する。局内装置 (SINF) 7は、例えばパート2のDS3-SMD Sインタフェースとして説明したように、加入者セルを制御する装置であって、局内装置 (SIFSH) 8の配下の装置である。局内装置7と8は、ケーブルで接続される。局内装置 (SIFSH) 8は、パート3で説明したように、配下の各局内装置7を集線する機能と、加入者セルと局内制御通信用セル (シグナリングセル) を識別する機能、及び

50

局内制御通信用セルをL A P フレームに変換する機能を有する。A T M スイッチ (A S S W S H) 6 は、パート4で説明したように、加入者セル及び局内制御通信用セルを、各セルに付与されているタグ情報に応じてルーティングする機能を有する。

局内制御通信については、パート7において詳細に説明していると共に、例えば、パート2の10.、パート3の4.又は6.などにおいて詳細に説明している。

図807は、発明に関連する他の特徴的構成である。

端末装置 (T E R M) 14の制御においては、1つのメモリの分割された領域について書き込み／読み取りが行われるDMA (D i r e c t M e m o r y A c c e s s) 方式が採用され、図807に示されるように、このメモリである主記憶装置 (M M) 7が、交換機の内部に配置される。

図808に、MM7の分割形態と制御情報フォーマットを示す。図808に示されるように、MM7は、DM1及びDM2という2つの領域に大きく分割されている。そして、一方の領域DM1に対しては、T E R M 14による制御情報の書き込み動作が実行され、メインプロセッサ (M P R) 1による制御情報の読み出し動作が実行される。他方の領域DM2に対しては、M P R 1による制御情報の書き込み動作が実行され、T E R M 14による制御情報の読み出し動作が実行される。DM1には、T E R M 14からのステータス、例えば障害情報やコマンド受信に対するアンサなどの制御情報が書き込まれる。そして、M P R 1が、この制御情報を読み出すことによって、T E R M 14の状態を認識する。逆に、DM2には、M P R 1からのコマンドが書き込まれる。そして、T E R M 14が、このコマンドを読み出すことによって、そのコマンドに対応する制御処理を実行する。

図809の(a)に、制御情報フォーマットを示す。制御情報フォーマットは2ワード(1ワードは32ビット)の構成になっており、その構成はコマンドとステータスで同じである。1ワード目の先頭の8ビットは、コマンド内容もしくはステータス内容を示し、例えば障害情報読み取りコマンドであれば、01(H)というように定義され、内容は全T E R M 14について統一される。1ワード目の先頭の8ビット以外の領域はアドレスであり、アクセスされるべきMM7上のアドレスが設定される。2ワード目は、データ領域であり、ここにMM7に書き込まれるべき情報が設定される。例えば障害情報通知のステータスであるならば、図809の(b)に示されるフォーマットで障害情報内容が設定される。図809の(a)に示される制御情報が、図809の(c)に示されるフォーマットで、制御セルに格納される。この制御セルのV P I / V C I としては、局内でユニークなものが割り当てられる。

実際の制御は、以下のようにして実行される。

まず、図807において、各T E R M 14には特定のV P I / V C I が割り当てられ、多重装置であるC M U X 12には、上記各V P I / V C I 毎にタグ (T A G) が設定される。

M P R 1からT E R M 14に制御情報が送出される場合には、M P R 1は、コマンド等の制御情報をMM7上の或るアドレスに書き込み、コマンド送信の必要があることをT E R M 14へ通知する。この通知には特定のコマンドコードが使用され、このコマンドコードを格納したセルに、送信先のT E R M 14に対応するV P I / V C I 及びそのT E R M 14へのルーティングを指示するタグを設定し、そのセルをC M U X 12に向けて送出する。

S R M 11は、上記セルを、そのセルに付与されているタグに基づいてルーティングする。T E R M 14は、到着したセルのV P I / V C I が制御セルを示すものであることを認識すると、MM7に対する読み取り処理を開始する。M P R 1から送信されるコマンド送信通知用制御セルのデータ領域には、コマンドが書き込まれているMM7上のアドレスとコマンド数(ワード数)が指定されている。

T E R M 14は、それが送信する制御セル内のアドレス領域に上記M P R 1からの制御セルによって指定されたアドレスを設定し、制御セル用のV P I / V C I を付与し、その制御セルをC M U X 12へ送出する。

10

20

30

40

50

CMUX12内のVCCは、入力した制御セルに、そのセルに付加されている入力VPI/VCIを出力VPI/VCIに付け換えると共に、入力VPI/VCIに対応する特定のタグを設定する。この制御セルが他のユーザセルと共にSRM11に入力される。

タグ比較部(TAGCMP)10は、制御セルに対応するタグを有するセルが入力されたタイミングで、その旨をアドレスデコーダ(ADDRESS DEC)9に通知する。

ADDRESS DEC9は、制御セルからアドレスデータを取り出し、そのアドレスをアドレスバス5へ出力する。MM7は、図808に示したようにDM1とDM2の2つの領域に分割されており、TERM14から見た場合に、MM7上のアドレス値の大きい領域が読み出し領域、MM7上のアドレス値の小さい領域が書き込み領域となる。従って、ADDRESS DEC9は、制御セル内のアドレスの上位ビットをデコードすることによって、MM7に読み出し/書き込みイネーブル信号を供給する。

上述のようにTERM14が、MM7からのコマンドの読み出しを指示する制御セルを送出した場合、ADDRESS DEC9は、入力された制御セルに格納されている読み出しアドレスをアドレスバス5に出力すると共に、MM7に読み出しイネーブル信号を出力する。この結果、MM7からデータバス4に、MPR1によってMM7上の領域DM2に書き込まれているコマンド群が読み出される。

ATMインタフェース装置(ATMIF)6は、データバス4上に読み出されたコマンド群を取り込んでATMセルに格納し、それをCMUX12に入力させる。この結果、コマンド群が格納されたATMセルは、CMUS12から下り方向のSRM11を介してTERM14に転送される。

TERM14において障害発生時等においてステータス送信の必要が生じた場合、TERM14は制御セルを発生させCMUX12へ送出する。この制御セルには、MM7上の領域DM1をアクセスするアドレスが設定されている。

この制御セルの到着は、TAGCMP10で検出される。ADDRESS DEC9は、入力された制御セルに格納されているアドレスの上位ビットを判定することにより、そのアドレスが書き込みアドレスであることを判定し、その書き込みアドレスをアドレスバス5に出力すると共に、MM7に書き込みイネーブル信号を出力する。

また、制御セルに格納されているステータス情報は、データコンバータ(DTCV)8によって取り出され、データバス4に送出される。

この結果、制御セルに格納されているステータス情報が、データバス4からMM7上の領域DM1に書き込まれる。

ここで、MPR1とTERM14の間の通信が常時正常であるか否かを監視すべく、一定周期毎にヘルスチェックが実行される。ATMIF6は、ヘルスチェック用のアイドルパターンを生成する機能を有し、一定周期毎に各TERM14に向けてこのヘルスチェック用セルを送出する。TERM14は、この一定周期で到着するセルを受信するとアンサ用セルを返送する。このアンサ用セルには、制御情報としてDM1上の所定のアドレスに特定パターンを書き込む指定がなされており、MPR1は、一定周期毎に各TERM14毎に分割されたDM1(図808参照)上のアドレスを監視することにより、MPR1とTERM14の間の通信が正常であるか否かを監視することができる。

図810に、図807示されるTAGCMP10の回路構成を示し、図811にその動作タイミングチャートを示す。

図812に、図807に示されるADDRESS DEC9の回路構成を示し、図813にその動作タイミングチャートを示す。

図814に、図807に示されるATMIF6の回路構成を示し、図815にその動作タイミングチャートを示す。

図816は、発明に関連する他の特徴的構成である。

まず、マルチプレクサ(MUX)9の出力及びデマルチプレクサ(DMUX)5の入力にセルのループバックを行わせる治具4が接続される。つぎに、マイクロプロセッサがI/Oレジスタ11を介してセクタ6に、或は、単独の機能によってセクタ7に、ル

10

20

30

40

50

ープバックが指定される。

次に、マイクロプロセッサ 1 は、RAM 10 等に記憶されているテストプログラムを実行する。この結果、例えば、図 8 1 6 の破線で示される試験ルートで試験セルが転送される。

即ち、まず、LAP 通信制御部 (LAP) 2 から MUX 9 に試験セルが送出され、その後、試験セルは、MUX 9 → 治具 4 (ループバック) → DMUX 5 → セレクタ 6 又はセレクタ 7 (ループバック) → ルーティング符号付加機能部 (VCC) 8 → MUX 9 → 治具 4 (ループバック) → DMUX 5 → LAP 2 というルートで転送される。LAP 2 から送出された試験セルがテストプログラムによって監視される一定時間内に LAP 2 で受信された場合に、設定された試験ルートが正常であることが判定され、RAM 10 にその旨を示す情報が記録される。

10

ここで、マイクロプロセッサ 1 は、テストプログラムによって、そのマイクロプロセッサの制御下にある図 8 1 6 に示される各種装置の障害チェックを併せて行うように構成することもできる。

図 8 1 7 及び図 8 1 8 は、発明に関連する他の特徴的構成である。図 8 1 7 は、全体イメージを示しており、図 8 1 8 は、ソフトウェア制御のイメージを示している。

試験は、発局 (ATM 交換機) 1 に接続されている保守運用端末 3 から試験コマンド 5 を入力することにより、開始される。試験コマンド 5 の入力情報は、着局 (ATM 交換機) の局電番である。

試験コマンド 5 を受けた試験セル送出プログラム 8 は、自局の電番を読み出して、試験セルを作成する。試験セルには往路情報、着局の着局電番、発局の発局電番が試験セル情報として設定される。

20

この試験セルは、局間のデータ交換を行う局間接続装置 9 に直接挿入されて、局間に送出される。局間接続装置 9 は、電番を認識する機能を備えている。

着局において、局間接続装置 9 が、試験セル内の着局電番を自局の電番と認識すると、その試験セルによって試験セル受信プログラム 11 が起動される。

試験セル受信プログラム 11 は、試験セルに格納されている試験セル情報である往路・復路情報を判別する。

試験セル受信プログラム 11 は、試験セル情報である往路情報を判定すると、試験セルが到着したことを保守者に通知するため、自律メッセージによりセル受信情報 6 を出力する。

30

その後、試験セル受信プログラム 11 は、応答のための試験セルを作成する。その試験セルには、試験セル情報として、復路情報、着局電番 (受信した試験セルに付加されていた発局電番)、及び発局電番 (受信した試験に付加されていた着局電番) が設定される。

試験セル受信プログラム 11 が作成した試験セルは、着局の局間接続装置 10 に挿入され、局間に送出される。試験コマンドが入力された発局に試験セルが着信すると、局間接続装置 9 が試験セルを抽出し、試験セル受信プログラム 12 が起動される。試験セル受信プログラム 12 は、試験セルに格納されている試験セル情報である復路情報を判定されると、セル受信情報 7 を出力して試験を完了する。

40

図 8 1 9 は、発明に関連する他の特徴的構成である。この構成は、パート 4 の 5. 3 : ASSWSH におけるトラヒック測定処理において説明した図 1 9 3 と同じ回路構成である。

即ち、ATM スイッチ (ASSWSH) 内では、ネットワークの状態管理のため、パフォーマンスモニタに類似する機能として、2. 4 Gbps / 6 2 2 Mbps の ATM スイッチ部又は DMUX 部における以下に示されるセル数がカウントされる。

- (1) 各 6 2 2 Mbps ハイウェイ毎の通過セル数 (P = 0)
- (2) 各 6 2 2 Mbps ハイウェイ毎の通過セル数 (P = 1)
- (3) 各 6 2 2 Mbps ハイウェイ毎の廃棄セル数 (P = 0)
- (4) 各 6 2 2 Mbps ハイウェイ毎の廃棄セル数 (P = 1)

50

上述した各パラメータは、C C （交換機プロセッサ）からの15分毎の通知をトリガとして、15分毎に収集される。

セル数のカウントは、例えばDMUX部が対象の場合はADMUX LSI（図182参照）1からの図819に示される出力L、V、Hに基づいて行われ、外部のRAM 4、5に値が保持される。

トラヒックのカウントは、ハイウェイ毎に8ビットのカウンタ2、3により約25 μ secの周期でカウントされる。カウント値は、セクタ（SEL）8及びアダー（ADD）9を介して、RAM 4又は5の特定アドレスに格納される。次の周期には、RAM 4又は5からセクタ（SEL）6又は7を介して読み出されたカウント値と、セクタ（SEL）8を介してカウンタ2又は3から読み出された次のカウント値とが、アダー（ADD）9で加算され、上述の特定アドレスに再度格納される。TG10は、C Cからの15分毎の通知を受信する毎に、セクタ（SEL）6～8に切り替え指示を出力すると共に、カウント値の書き込みが行われるRAMをRAM 4又は5に切り替える。この結果、カウント値の書き込みが行われなくなったRAM 4又は5には、上記通知の直前の15分間のカウント値が保持される。次の15分間のカウントは、新たにカウント値の書き込みが行われるようになったRAM 4又は5を用いて行われる。

C Cからの15分毎の通知の後、ファームウェアによって、カウント値の書き込みが行われなくなったRAM 4又は5から、各カウント値が読み出される。読み出された各カウント値は、C CからSOコマンドによってカウント値の読み出しが要求されるまで、ファームウェアに保持される。

ATM スイッチ部又はDMUX部の通過、廃棄セル数をカウントしようとした場合、ATM スイッチ部又はDMUX部内は高速で動作し2.4 Gbpsの伝送速度を有している。そして、ATM スイッチ部又はDMUX部内の全てのセルが有効セルであった場合、若しくはその全てのセルが廃棄された場合、最高で28ビットのカウンタが必要であり、これを各情報単位におくことはハードウェアとして大きな構成になってしまう。そこで、本実施例では、カウンタ2、3及びセクタ8からなるCNT R部に、4ビット又は8ビットの容量を有する小さなカウンタが配置され、この出力が短い時間内に前回のカウント値に加算されることにより、長時間のカウント動作が実現される。

ATM スイッチ部を対象として、そのハイウェイ速度を2.4 Gbps、CNT R部内のカウンタ2、3の容量を8ビット、RAM 4、5のデータ方向領域を8ビット、RAM 4、5の切り換え単位時間を15分とした場合における、図819のRAM 4、5のメモリマップ、CNT R部の回路構成、及びADD 9の回路構成を、図820、図821、及び図822に示す。

図820に示されるRAM 4、5内メモリマップにおいて、前述したようにカウント値のためのビット数は28ビット必要である。従って、RAM 4、5のデータ方向領域を8ビットとした場合、1カウント値あたりのアドレスは4アドレス必要で、各カウント値がアドレス00Hから4アドレスずつ割り当てられる。

図821は、図819のCNT R部の回路構成図である。CNT R部は、セルの通過数、廃棄数をカウントするための8ビットカウンタ1（図819のカウンタ2又は3に対応する）を有し、ATM スイッチ部又はDMUX部からの有効セル通知若しくは廃棄通知が入力された場合に、その通知に従ってカウンタ1をインクリメントする。各々のカウント値は、セクタ2（図819のセクタ8に対応する）に入力され、図819のTG10からの制御信号に基づいて多重され、出力される。

図822は図819のADD 9の構成図である。ADD 9は、上位4ビット、下位4ビットの加算器1及び2によって構成され、両者間には桁上げがあった場合のC0の信号がある。この場合、1情報が4アドレスであるため加算は4回行われるが、実際に加算されるのは最下位アドレスのみであり、残り3アドレスについては桁上げ計算のみが実行される。従って、図819において、ADD 9に入力されたCNT R部からのカウント値は4分割され、先頭の1ブロックだけが実際のカウント値であり、残りは0にマスクされる。この加算器1の出力ADD Vが図819におけるADD 9の出力となる。

10

20

30

40

50

図823に、図819のTG10の構成を示す。TG10は、内部に8ビットのカウンタを内蔵しており、これにより全てのタイミング及びRAMを制御する。図824にタイミングチャートを示す。TG10は、CCからの15分毎の通知によって、RAM 4、5の切り換えを行う。

以上の構成により、長時間のカウント動作が実現される。また、ATMセルのヘッダ内にはセルの優先度を表示するCLPビットがあるが、ATMスイッチ又はDMUX部からのヘッダ情報の中からこのビットが取り出され、図819のCNT R部のカウンタのイネーブル条件に付加され、カウンタを4個とされ、TG10からの制御信号をSL1、SL2の2本とされ、更にRAM 4、5のマップが4種類に増やされることにより、各優先度単位のセルの通過数、廃棄数のカウントも可能となる。

10

この場合におけるCNT R部の構成を図825に示し、TG10の構成は図823に示す。

図819の構成は、セルヘッダの情報を使用する方法によって、DMUX部にも適用できる。DMUX処理は、基本的にセルの先頭に付与されるタグ情報に基づいて行われるが、この情報をDMUX部から受信することにより、デマルチプレクスされた出線単位のセルの通過数、廃棄数のカウントも可能である。但し、優先度の場合と同様にCNT R部のカウンタのイネーブルの条件、RAM 4、5のマップ、TG10のアドレスカウンタの増設及び制御信号の増加が必要である。DMUX部を対象とした図819のCNT R部の構成を図826に、TG10の構成は図823に、更に、ADD 9の構成は図822に示す。

20

図827は、発明に関連する他の特徴的構成である。

なお、以下の説明では、既に説明した図813～図816を、特には言及しない場合であっても適宜参照しているものとする。

ここで解決しようとする課題は、前述のように、125 μ secの期間において、PLCPマルチフレーム中のビット数が、トレイラ長が13ニブルの時に5524ビット、トレイラ長が14ニブルの時に5528ビットとなり、一方、DS3ペイロードによって伝送されるビット数が $5592 \times 84 / 85 = 5526.211 \dots$ となるため、PLCPマルチフレームが送出されるときに、13ニブル又は14ニブルの2種類の長さを取り得るトレイラ長をどのような規則で選択したらよいか、というものである。特に、トレイラ長を表示するためにC1バイトのサイクルスタフカウンタを使用するという前提

30

がある場合に、C1バイトは3つのマルチフレーム周期でサイクリックに変化させられるが（図815参照）、この場合に、3番目のマルチフレームのトレイラ長が13ニブルであるパターンPと、3番目のマルチフレームのトレイラ長が14ニブルであるパターンQとを、どのような規則で混在させたらよいかということが、ここで解決しようとする具体的な課題である。

上述の課題を解決する第1の構成について説明する。

まず、前述したように、トレイラのニブル数のパターンは、3番目のマルチフレームのトレイラ長が13ニブルであるパターンPにおいては13→14→13のパターンになり、3番目のマルチフレームのトレイラ長が14ニブルであるパターンQにおいては13→14→14のパターンになる。

40

ここで、パターンPとパターンQの混在比をa:bとすると、トレイラ長が13ニブルであるマルチフレームとトレイラ長が14ニブルであるマルチフレームの混在比m:nは、次式のようになる。

【数2】

$$m:n = (2a+b) : (a+2b)$$

また、mとnを使用すると、PLCPマルチフレームの平均ビット数は、次式で表すことができる。

【数3】

$$(Mm+Nn) / (m+n)$$

ここで、Mはトレイラ長が13ニブルであるマルチフレームのビット数であり、前述した

50

ように $M = 5524$ ビットである。また、 N はトレイラ長が14ニブルであるマルチフレームのビット数であり、前述したように $N = 5528$ ビットである。

更に、前述したように、 $125 \mu\text{sec}$ の期間においてDS3ペイロードによって伝送されるビット数を X とすると、

【数4】

$$X = 5592 \times 84 / 85 \text{ ビット}$$

である。

よって、このビット数 X がPLCPマルチフレームの平均ビット数に等しくなればよい。ため、数3式と数4式から、次式が成立する。

【数5】

$$(Mm + Nn) / (m + n) = X$$

この関係と数2式より、 $a : b$ は、次式で表すことができる。

【数6】

$$a : b = 29 : 56$$

この数6式より、パターンPとパターンQの比率が29 : 56であれば、 $125 \mu\text{sec}$ の期間においてDS3ペイロードによって伝送されるビット数とPLCPマルチフレームの平均ビット数が等しくなり、PLCPマルチフレームを $125 \mu\text{sec}$ の期間におけるDS3ペイロードによって過不足なく伝送することができる。

ここで、上述の条件を満たすパターンPとQが混在する最小の周期は $29 + 56 = 85$

PLCPマルチフレームであることを利用し、85の N 倍（ N は1以上の整数）のPLCPマルチフレーム周期毎に、パターンPを $29 \times N$ 回、パターンQを $56 \times N$ 回送出するようにした構成が、図827及び図828に示されている。また、これらの構成に対応する動作説明図が図829に示されている。

パターンPとQのPLCPフレーム生成部1、2は、ATMセル又はL2-PDUセルを、PLCPペイロードに格納し、PLCPヘッダ及びトレイラを付加することにより、PLCPフレームを組み立てる。パターンP PLCPフレーム生成部1においては、ニブル数が13、14、13の3周期で繰り返すトレイラが付加され、パターンQ PLCPフレーム生成部2においては、ニブル数が13、14、14の3周期で繰り返すトレイラが付加される。

図827の送出パターン選択部4に対応する図828に示される構成において、セクタ2には、 $29 \times N$ 個の"0"入力値と、 $56 \times N$ 個の"1"入力値とからなる、合計で $85 \times N$ 個の入力値が入力されている。そして、 $85 \times N$ 分周カウンタは、PLCPマルチフレームの周期に同期して、セクタ2に対して、それへ入力している $85 \times N$ 個の入力値を順次サイクリックに選択させ、その入力値をパターン切替信号として図827に示されるセクタ3に出力させる。

セクタ3は、上述のパターン切替え信号に基づき、入力A1、A2を選択する。即ち、セクタ3は、パターン切替え信号の値が、"0"の時はパターンPを選択し、"1"の時はパターンQを選択する。

DS3インタフェース部5は、伝送速度44.736MHzに同期して、PLCPフレームをDS3ペイロードに挿入し、DS3ヘッダを付加することにより、DS3フレームを組み立てて送出する。

以上説明した図827及び図828からなる構成によって、図829に示されるように、セクタ3から出力されるPLCPマルチフレームにおけるパターンPとパターンQの比率が29 : 56となるため、PLCPマルチフレームを $125 \mu\text{sec}$ の期間におけるDS3ペイロードによって過不足なく伝送することができる。

次に、前述した課題を解決する第2の構成について説明する。

前述した数6式で規定されるパターンPとパターンQの比率29 : 56の関係において、パターンPの比率29から1を引くと、パターンQの比率56の $1/2$ になる。これを利用すると、パターンPとパターンQとが混在する周期を85マルチフレームとすれば、送出されるPLCPマルチフレームのパターンを、以下に示されるように、同一の繰り返

10

20

30

40

50

しパターン×28回と、最後に付加される1つのパターンPの組合せによって、数6式の条件を満足することができる。

	1	2	3	・・・	28	
組合せ例1	PQQ	PQQ	PQQ	・・・	PQQ	P
組合せ例2	QQP	QQP	QQP	・・・	QQP	P
組合せ例3	QPQ	QPQ	QPQ	・・・	QPQ	P

＊全体で85マルチフレーム周期となる。

以上の組合せによって、送信されるPLCPマルチフレームの偏差を小さくすることが可能となる。このような組合せを実現する構成が、図827及び図830に示されている。また、これらの構成に対応する動作説明図が図831に示されている。

図827の送出パターン選択部4に対応する図830に示される構成において、セクタ2には、例えば上述の組合せ例3に対応して、28組の”101”入力値群と、1つの”0”入力値とからなる、合計で85個の入力値が入力されている。そして、85分周カウンタは、PLCPマルチフレームの周期に同期して、セクタ2に対して、それへ入力している85個の入力値を順次サイクリックに選択させ、その入力値をパターン切替信号として図827に示されるセクタ3に出力させる。

以上説明した図827及び図830からなる構成によって、第1の構成の場合と同様に、図831に示されるように、セクタ3から出力されるPLCPマルチフレームにおけるパターンPとパターンQの比率が29：56となるため、PLCPマルチフレームを125μsecの期間におけるDS3ペイロードによって過不足なく伝送することができる。この場合特に、QPQというパターンが多く繰り返されることになるため、送信されるPLCPマルチフレームの偏差を小さくすることが可能となるのである。

次に、マルチキャスト機能を持つ交換機について説明する。

本実施例の交換機は、例えば、ATMセルを交換するATM交換機を前提とする。ATM交換機においてマルチキャスト機能を実現するためには以下の機能が必要となる。

▲1▼ セルのコピー機能

▲2▼ VPI/VCIの付け替え機能

また、セルコピーを行う場合、以下の2つの処理が必要である。

▲1▼ スイッチ内部のコピー

▲2▼ 同一ラインにおけるコピー

図832は、上記ポイント・ツー・マルチポイント機能を実現するための交換機の構成を示す図であり、(a)はトランク方式、(b)は入力部コピー方式、(c)は内部コピー方式である。

(1) トランク方式：ポイント・ツー・マルチポイント接続用セル、すなわち、ソース端末から出力され、複数の加入者へ分配されるセルは、スイッチを通過した後いったんトランク（たとえば、SMDSでは、メッセージハンドラ）に入力させる。そして、トランク内でセルのコピーおよびVPI/VCIの付け替え等を行い、それらセルを再度スイッチに転送し、複数の転送先加入者へ分配する。

(2) 入力部コピー方式：スイッチの前段に、セルをコピーするためのブロックを設け、ポイント・ツー・マルチポイント用のセルはそのブロックでコピーさせる。スイッチは、コピーされたセルを交換（接続）する機能のみを有する。

(3) 内部コピー方式：スイッチのMSSR（マルチステージセルフルーティング）構成内でセルをコピーする。

なお、ポイント・ツー・マルチポイント接続用セルには、そのセルがポイント・ツー・マルチポイント接続であることを示す情報が設定されている。また、ポイント・ツー・マルチポイント接続用セルは、たとえば、そのセルのVPI/VCIによって複数の転送先加入者がわかるようになっている。

図833は、図832に示す3つの方式の特徴を示す表である。

10

20

30

40

50

システムでサポートするポイント・ツー・マルチポイント接続の数が少ない場合（数10～100）は、トランク方式が望ましい。また、システムでサポートするポイント・ツー・マルチポイント接続の数が多い場合（100以上）は、入力部コピー方式または内部コピー方式がよい。この場合、ポイント・ツー・マルチポイント転送を要求するソースの数とセルの転送先加入者のライン数（チャンネル数）が同じ程度であれば、入力部コピー方式がよく、それらの数がかけ離れていれば、内部コピー方式がよい。

ところが、交換網として考えると、ソースと転送先加入者のラインのチャンネル数に差がない場合においても、内部コピー方式がよい場合がある。すなわち、ポイント・ツー・マルチポイント接続を提供したとき、ソース側装置は複数のソースを提供しないですむが、使用帯域を考えると、網としてはポイント・ツー・ポイント接続の場合と同じ使用帯域が占有されるので、入力コピー方式としても交換網としての優位点なくなる。このため、交換機内においても、ソースと加入者ライン数に差がある場合にも、ブロック（図832（b））に示すコピー機能）を追加する必要のない内部コピー方式が有利になる。以上の理由により、特に、大規模システムにおいては、内部コピー方式が有利であることがわかる。

図834は、内部コピー方式を用いてポイント・ツー・マルチポイント接続を実現する構成を示す図である。

ポイント・ツー・マルチポイント接続を内部コピー方式で実現する場合、ビットマップを用いることが必要となるが、MSSRでは、出方路数を64本、集線比を4：1とすると、回線個別への出方路数は $16 \times 4 \times 64 = 4096$ となり、ビットマップで表示できる数を越えてしまう。このため、本実施例のマルチキャスト接続方式は、以下の構成とする。

▲1▼ MSSR1段目 ポイント・ツー・ポイント接続
 ▲2▼ MSSR2段目 ポイント・ツー・マルチポイント接続のためのビットマップ
 ▲3▼ MSSR3段目 ポイント・ツー・マルチポイント接続のためのビットマップ
 ▲4▼ DMUX部 VPI/VCI のデコードによるビットマップ
 ポイント・ツー・マルチポイント接続の場合のビットマップに使用されるビット数は以下の通りである。

▲1▼ MSSR1段目 3ビット（たとえば、 8×8 スイッチの場合）
 ▲2▼ MSSR2段目 8ビット
 ▲3▼ MSSR3段目 8×8 ビット

上記ビットマップに使用する各ビットは、交換機内において各セルに付加されるタグ領域に書き込まれる。上述の場合、タグ領域としては9オクテットが必要になるが、交換機内のタグ領域の大きさは、交換機毎に自由に設定できるので、タグ情報を9オクテットとして各セル長を64オクテットとすれば上記ビットマップを実現できる。セル長を長くした場合には、交換機内の処理に利用するクロック速度を高くすればよい。たとえば、通常、54オクテットのセルを扱うものとする、クロック速度を $(64/54)$ 倍にすればよい。

図835は、セル長を伸ばすことなく上記ビットマップを実現する方式を説明する図である。

この場合、図834の構成においてMSSR3段目で行っていたビットマップを外部トランク2で行う。すなわち、スイッチ1に入力されたポイント・ツー・マルチポイント接続用のセルは、いったんトランク2に入力し、そこでスイッチ1内のMSSR3段目に対する接続数のみをコピーする。トランク2の出力部には、VCC3が設けられており、コピーされた各セルに8ビットのビットマップを付加してスイッチ1へ転送する。この機能により、セル長を伸ばすことなく、ポイント・ツー・マルチポイントのためのビットマップを実現出来る。

図836は、VPI/VCI デコード回路を示す図である。同図に示すVPI/VCI

10

20

30

40

50

デコード回路は、たとえば、図 8 3 4 の DMUX 部に設けられる。

VPI/VCI デコード回路内に設けられるテーブル 1 は、入力セルの VPI/VCI をアドレスとして検索され、取り出されるデータは、 $16 \times 4 = 64$ ビットのビットマップである。

Cビットチェック部 2 は、入力セルのタグ情報内の所定位置に設定されているビット (Cビット) を取り出し、その値が "1" であったときに、上記入力セルがポイント・ツー・マルチポイント接続用セルであると判断する。Cビットチェック部 2 の判断結果は、プロセッサに通知され、テーブル 1 を検索するとき使用される。

同一ライン上でのポイント・ツー・マルチポイント接続について説明する。同一ライン上での処理としては、以下の 2 つの機能が必要である。

▲ 1 ▼ 同一ライン上でのコピー機能としての VPI/VCI デコード機能

▲ 2 ▼ 出力側での VPI/VCI の付け替え機能

出力側で VPI/VCI の付け替えを行うためには、VCC T (VPI/VCI 変換テーブル) が必要になる。VCC T は、ポイント・ツー・ポイント接続であっても、ポイント・ツー・マルチポイント接続であっても必要である。この VCC T は、セルに設定されている VPI/VCI をキーとして所定の情報 (出力 VPI/VCI など) を取り出すためのテーブルであるので、すべての VPI/VCI に対して情報を設定しようとすると、VPI/VCI のビット数がたとえば 24 ビットであるとする、 2^{24} 個の情報を設定するためのメモリが必要になる。このような規模のメモリを設けることは非現実である。このため、本実施例の交換機では、以下のような構成としている。

入力側では、入力セルの VPI/VCI を付け替える処理とタグ情報を付与する処理を行う。このとき、新たに付けられる VPI/VCI は、出力ラインおよび各ライン上でパスを識別できればよく、すべての可能な VPI/VCI を識別する必要はない。したがって、入力側で付ける VPI/VCI としては、VPI/VCI ビットよりもはるかに少ないビット数のアドレス値を用いる。そして、出力側においてこのアドレス値をキーとして実際の VPI/VCI を取り出す構成とする。このように、交換機内では、縮退させた VPI/VCI を用いることによってメモリ量を小さくしている。

図 8 3 7 は、ポイント・ツー・マルチポイント接続の構成図である。

以下の説明では、交換機へ入力されたセルが有する VPI/VCI を I VPI/VCI とする。また、交換機内で使用される VPI/VCI を S VPI/VCI とする。さらに、交換機から出力されるセルに設定する VPI/VCI を O VPI/VCI とする。

ポイント・ツー・ポイント接続が指定されている VPI/VCI に対しては、以下の設定を行う。すなわち、入力セルが有する I VPI/VCI に対するパス設定として、入力部 VCC T (I VCC) 1 には、各 I VPI/VCI に対して、S VPI/VCI、タグ情報、およびポイント・ツー・ポイント接続であることを示す情報 (Cビットに "0" を設定) を設定する。出力部 VCC T (O VCC) 2 には、各 S VPI/VCI に対して O VPI/VCI を設定しておく。デコードテーブル 3 には、何も設定しない。

ポイント・ツー・マルチポイント接続の場合は、入力部 VCC T (I VCC) 1 には、各 I VPI/VCI に対して、S VPI/VCI、タグ情報、およびポイント・ツー・マルチポイント接続であることを示す情報 (Cビットに "1" を設定) を設定する。デコードテーブル 3 には、各 S VPI/VCI に対して、DMUX 部 4 におけるビットマップを設定する。このビットマップは、複数の出力部 VCC T (O VCC) 2 のうちの 1 つまたは複数の出力部 VCC T (O VCC) 2 を指定することができる。出力部 VCC T (O VCC) 2 には、各 S VPI/VCI に対してライン毎のコピー数及び O VPI/VCI を設定する。

図 8 3 8 は、各出力ラインに対して設けられるバッファおよび出力部 VCC T の構成図である。

同図に示す構成において、ポイント・ツー・マルチポイント接続用セルのためのコピー処

10

20

30

40

50

理は、バッファを用いて行い、VPI/VCI の付け替え処理は、ポイント・ツー・ポイント接続のために設けられているテーブルを利用する。このような構成により、ハードウェア構成を小さくすることができる。

DMUX 4 から出力されたセルを受信すると、そのセルのタグ情報の所定位置に設定されているCビットが参照される。Cビットが"0"であれば、ポイント・ツー・ポイント接続であるとみなす。この場合、タグ情報内に設定されているライン番号が自己の出力部VCC Tの番号を示していれば、そのセルをバッファ1の所定クラス（たとえば、0）に書き込む。

一方、Cビットが"1"であれば、ポイント・ツー・マルチポイント接続とみなす。この場合、図837に示すデコードテーブル3において設定されたビットマップを参照し、自己の出力部VCC Tの番号（ライン番号）が指定されていれば、そのセルをバッファ1に書き込む。このとき、セルは、そのセルのタグ情報に設定されているクラス識別情報に従って、クラス0～3のうちの1つ以上のクラスに書き込まれる。

バッファ1からのセル読出し処理は、パスの設定時に交換機を管理するソフトウェアによって設定された情報に従う。そのソフトウェアは、以下の情報を設定する。

▲1▼ 各クラスに対して割り当てる帯域（DMUXコントローラのスケジューラの内容）

▲2▼ 出力部VCC Tのテーブルの内容（ポイント・ツー・ポイント接続の場合、SVPI/VCI に対するOVPI/VCI ；ポイント・ツー・マルチポイント接続の場合は、SVPI/VCI に対して、コピー数、パスを確保するためのSVPI/VCI の値、OVPI/VCI ）

図839は、上記ソフト設定に基づいてファームウェアが設定する出力部VCC Tの内容をまとめた表である。

ポイント・ツー・ポイント接続の場合、E-F ビットの設定を"1"とする。ポイント・ツー・マルチポイント接続の場合は、まず、SVPI/VCI に対して、複数の転送先に対応する複数のOVPI/VCI の中の1つのOVPI/VCI を設定する。また、そのOVPI/VCI のパスを確保するためのSVPI/VCI の値を、順次Q-ADDに設定するとともに、そのSVPI/VCI に対応するアドレスにOVPI/VCI を設定する。最後のアドレスに対しては、E-F ビットを"1"とするが、それ以外の場合は、E-F ビットを"0"とする。

図840は、出力VPI/VCI の設定を行ったテーブルの例である。

同図に示す例では、同一ライン上において4本のパス（転送先1～4）に対してマルチキャスト転送を行う場合であり、SVPI/VCI の値が"a"、OVPI/VCI の値"b0"～"b3"、各パスに対して割り当てられている帯域をそれぞれ"c0"～"c3"としている。

図841は、出力部VCC Tの処理を説明するフローチャートである。出力部VCC Tでは、各セルに付加されているタグ情報およびVPI/VCI 等を抽出し、さらに図840に示すテーブルを参照してセルコピーを行い、そのコピーされた各セルに対してそれぞれ対応する出力VPI/VCI を書き込む。

QCP バッファのクラス0～3の中から次にセルを読み出すクラス番号（iとする）を決め、そのクラス番号に対応する「Q-アドレス」および「E-F ビット」をクラス処理メモリから読み出すとともに、QCP バッファのクラスiからセルを読み出す。（ステップS1～S3）

「E-F ビット」が"0"であれば、上記ステップS3において読み出したセルのSVPI/VCI をクラス処理メモリから読み出した「Q-アドレス」とする。（ステップS4、S5）

SVPI/VCI をアドレスとして出力部VCC Tから「OVPI/VCI 」、「Q-アドレス」および「E-F ビット」を読み出す。たとえば、図840に示す例においては、転送先2へのセルの場合、"c0"をアドレスとして、"b1"、"c1"および"0"を取り出す。（ステップS6）

10

20

30

40

50

上記ステップS6において読み出した「OVP I / VCI」をセルに書き込んで出力するとともに、「Q-アドレス」および「E-F ビット」をクラス処理メモリに書き込む。(ステップS7, S8)

「E-F ビット」が”1”になるまで、上記ステップS1~S8の処理を繰り返して実行する。そして、「E-F ビット」が”1”になると、クラスiに関するバッファアドレスなどを解放する。図840に示す例においては、送信先4へのセルを出力するまで上記ステップS1~S8の処理が繰り返される。(ステップS9, S10)

ところで、スイッチのMSSRを構成するセルフルーティングモジュール(SRM)では、スイッチに入力されるセルのVPI/VCIによりパスを識別する。そして、スイッチ内のルーティングは、セルに付加されるタグ情報に従ってパス単位で行われる。このため、スイッチ(SRM)の入口では、セルに設定されているVPI/VCIによりそのセルのスイッチ内におけるルーティングを指定する情報を取り出し、その取り出したルーティング情報をタグ情報としてセルに付加する機能が必要になる。また、スイッチング処理に際しては、入力セルに設定されているVPI/VCIを出力用VPI/VCIに付け替える機能も必要である。

MSSR構成のスイッチにおいて、上述のような機能(VCC T)をSRM毎に設ける方式も考えられる。ところが、VPI/VCIのビット数は、ネットワーク・ネットワーク・インタフェイスNNIで28ビット、ユーザ・ネットワーク・インタフェイスUNIで24ビットであり、これらのすべてのVPI/VCIに対するタグ情報および出力用VPI/VCIを設定するような大きなテーブル(メモリ)を複数個設けることはハードウェア規模が大きくなり望ましくない。

このため、上記機能を実現するVCI変換テーブル(VCC T)は、スイッチの入口に1つ設け、このVCC Tを用いて、タグを付加する処理およびVPI/VCIを書き換える処理を行う。

図842は、スイッチの入口にVCC Tを設けた交換システムの構成図である。

VCC Tにおいて、VPI/VCIをそのまま用いてテーブル検索を行うとすると、上述したように、VPI/VCIは28ビットまたは24ビットであり、これらのすべてのVPI/VCIに対するタグ情報および出力用VPI/VCIを設定するためには、 2^{28} または 2^{24} アドレスを持ったメモリ(VCC Table)が必要になる。このような膨大なメモリは、ハードウェア規模が大きくなり望ましくない。また、UPC/NPC(使用量パラメータコントロール/ネットワークパラメータコントロール)においても同様にVPI/VCIを用いた検索が行われるので、VPI/VCIをそのまま用いたテーブル検索方式では、メモリ(UPC Table)が巨大になり好ましくない。

このため、本実施例の交換システムでは、交換機内において、VPI/VCIを少ないビット数のメモリ検索用アドレスに変換(縮退)する機能を持たせている。また、ポイント・ツー・マルチポイント接続では、スイッチ内でセルコピーを行うので、各出力ラインに対してVCC Tが必要になる。

図843は、本実施例の交換システムの構成図である。

同図に示すように、入力セルのVPI/VCI(IVPI/VCI)をメモリ検索用アドレスとして用いられる交換機内VPI/VCI(SVPI/VCI)に変換するIVPI/VCI変換部1を交換機への入口(UPC、タグ付与部の前段)に設けている。また、交換機の出力部にSVPI/VCIを出力VPI/VCI(OVPI/VCI)に変換するSVPI/VCI変換部2を設けている。

ATM通信サービスにおいては、VPサービスとVCサービスが提供されている。VPサービスは、複数の仮想チャネルVCを収容する仮想パスVP単位でデータ転送を行う。このため、VPサービスでは、VCIを用いることなくVPIのみで通信路を識別することができる。このことを利用すれば、VCC Tの構成をより小型化できる。

まず、各セルのタグ情報として、VPサービスまたはVCサービスのいずれであるのかを示すサービス識別情報を設定する。交換機では、VPサービスのためのテーブルおよびV

10

20

30

40

50

Cサービスのためのテーブルを設ける。VPサービスのためのテーブルには、入力VPIに対して出力VPIを設定してあり、VCサービスのためのテーブルには、入力VPI/VC Iに対して出力VPI/VC Iを設定してある。そして、交換機にセルが入力すると、そのセルのサービス識別情報によってサービス形態を認識し、いずれか一方のテーブルを用いてVPI/VC I変換を行う。これらの処理は、I VPI/VC I変換部1で行われる。

また、スイッチを通過したセルは、SVPI/VC I変換部2において、サービス識別情報によってサービス形態を認識する。また、SVPI/VC I変換部2が参照するOVPI/VC Iテーブル3は、VPサービスのためのテーブルおよびVCサービスのためのテーブルから構成されている。そして、サービス形態によって一方のテーブルがアク

10

セスされる。
上記構成のように、VPサービスのためのテーブルとVCサービスのためのテーブルとを個別に設ける構成とすれば、VPサービスのためのテーブルはその規模が小さいので、ハードウェア量を減らすことが出来る。

このように、VPI/VC Iを縮退させる方法として種々の方法があるが、VPI/VC Iの使用ビット数を制限する方法では、システム運用上問題が発生することが考えられる。このため、VPI/VC Iをそのまま使用し、同時設定パス数を制限することによってメモリを小型化する構成も考えられる。

以上説明したように、本実施例の交換機においては、外部装置を設けることなくポイント・ツー・マルチポイント接続を実現出来る。

20

次に説明する実施例は、交換機内においてセルと平行にポイント・ツー・マルチポイント接続に必要な情報を転送する方式である。

上述したように、ポイント・ツー・マルチポイント接続を実現するためには、セルをコピーする機能と、そのコピーされたセルのVPI/VC Iを付け替える機能が必要になる。そして、これらの機能は、セル単位で処理される。

図844は、スイッチ内でのセルのフォーマットを示す図である。同図に示すように、セルは、スイッチ内において、タグ情報、ヘッダ、およびペイロードから構成され、8ビットパラレル形式で処理される。タグ情報は、交換機内のルーティング情報などを含み、交換機への入口において各セルのVPI/VC Iに従って付加される。スイッチ内では、セルの制御（ルーティング制御、コピー指示など）は、このタグ情報のみが関与する。本実施例の方式では、交換機内において、上記構成のセルと平行にポイント・ツー・マルチポイント接続のための制御情報を転送し、9ビットパラレル形式で処理を行うものである。

30

図845は、本実施例の交換機の構成図である。

UNI/NNI（ユーザ・ネットワーク・インタフェースまたはネットワーク・ネットワーク・インタフェース）を介して転送されるセルは、各回線毎に設けられているラインインタフェース部1において終端される。VPI/VC I変換部（VCCI）2は、入力セルのVPI/VC Iを書き換える。多重部MUX 3は、複数の回線から入力されたセルを多重する。スイッチ4は、8×8構成のバッファ型スイッチである。分離部DMUX 5は、スイッチ4から出力されたセルを所定のラインインタフェース部1に分配する。

40

図846は、ポイント・ツー・マルチポイント接続のための制御情報の構成例を示す図である。

ポイント・ツー・マルチポイント接続用制御情報は、スイッチング用ビットマップ、DMUX用ビットマップ、加入者IDを有する。スイッチング用ビットマップは、スイッチが8×8構成であるので、8ビットの情報である。また、DMUX用ビットマップは、ここでは、分離部DMUX 5によって分配されるライン数が16であることを想定しており、16ビットが割り当てられている。さらに、加入者IDは、転送先加入者を識別する情報であり、8ビットが割り当てられている。

上記構成のポイント・ツー・マルチポイント接続用制御情報は、入力セルのヘッダに格納

50

されているVPI/VCI に対応づけられてVPI/VCI 変換部(VCCT) 2に設定されている。この設定は、呼の設定時に行われる。ポイント・ツー・ポイント接続の場合は、設定しなくてもよい。そして、VPI/VCI 変換部(VCCT) 2は、入力セルにタグ情報を付加してスイッチへ転送するときに、そのセルに平行にポイント・ツー・マルチポイント接続用制御情報を転送する。セルとポイント・ツー・マルチポイント接続用制御情報との間では同期が確立されており、9ビットパラレル形式で転送される。本実施例のポイント・ツー・マルチポイント接続では、大きく分けて以下の2つの機能を有する、

▲1▼ スイッチ部およびDMUX部でのコピー機能

▲2▼ ラインインタフェイス部でのコピー機能およびVPI/VCI 付替え機能

10

まず、スイッチ部でのコピー機能について説明する。セルが交換機に入力されると、図845に示すVPI/VCI 変換部(VCCT) 2においてタグ情報が付加されるが、このタグ情報の中には、そのセルがポイント・ツー・ポイント接続用セルであるのか、ポイント・ツー・マルチポイント接続用セルであるのかを示す情報がCビット情報として設定されている。このCビット情報が"0" であれば、ポイント・ツー・ポイント接続であるとみなし、交換機内でセルに付加されるタグ情報内に設定されているルーティング情報に従ってセルは処理される。

図847(a) は、スイッチのバッファ構成を示す図であり、図847(b) は、ポイント・ツー・マルチポイント接続用制御情報内のスイッチング用ビットマップの例である。

20

Cビット情報が"1" であれば、ポイント・ツー・マルチポイント接続であるとみなし、交換機内でセルに平行に転送されるポイント・ツー・マルチポイント接続用制御情報が参照される。スイッチ部では、スイッチング用ビットマップが参照される。ここで、上記Cビット情報が"1" に設定されているセルが入力ハイウェイ1からスイッチに入力し、そのときのスイッチング用ビットマップが図847(b) に示す状態であるとする。この場合、セルはバッファ12、13、15、16に書き込まれる。したがって、入力ハイウェイ1から入力されたセルは、出力ハイウェイ2、3、5、6へ出力される。このようにして、スイッチ部においてセルコピー機能が実現される。なお、DMUX部におけるコピー機能も同じ原理である。

次に、ラインインタフェイス部でのコピー機能およびVPI/VCI 付替え機能について説明する。

30

ラインインタフェイス部1は、Cビットが"1" であるセルを受信すると、ポイント・ツー・マルチポイント接続であるとみなし、ポイント・ツー・マルチポイント接続用制御情報内の加入者IDを取り出す。ラインインタフェイス部1には加入者IDをキーとして検索するテーブルが設けられている。このテーブルには加入者IDに対して、セルコピー数およびそのコピーによって生成される各セルに付与するVPI/VCI を設定してある。そして、ラインインタフェイス部1は、上記取り出した加入者IDを用いてテーブルをアクセスし、コピー処理およびVPI/VCI 付替え処理を行う。

ポイント・ツー・マルチポイント接続に係わる交換機のソフトウェアの処理を示す。交換機のソフトウェアは、パスの設定要求(呼の設定要求)に際して、ポイント・ツー・マルチポイント接続要求を受けると、図845に示すVPI/VCI 変換部(VCCT) 2において、そのパスに対して割り当てるVPI/VCI に対応づけてCビットを"1" に設定する。また、上記パスの設定において転送先加入者IDが指定されるので、交換機のソフトウェアは、その指定に従ってコピー数およびそのコピーによって生成される各セルに設定するVPI/VCI をラインインタフェイス部1が有するテーブルに書き込む。

40

交換機にセルが入力されると、上記交換機のソフトウェアによって設定された情報に従って上述のハードウェアがポイント・ツー・マルチポイント接続を実行する。

上記構成により、スイッチの外部にセルコピーなどを行う装置を設けることなく、スイッチ内部でポイント・ツー・マルチポイント接続を実現できる。また、交換機内で、ポイン

50

ト・ツー・マルチポイント制御用情報をタグ情報としてではなく、セルに平行に転送するので、スループットが低下することもない。

図848は、本発明に関連する他の特徴的構成を示す図である。同図では、発信端末1が、ATM交換機2を介して送信先端末4-1~4-5へデータをマルチキャスト転送する例を示している。

発信端末1は、マルチキャスト接続を行う場合、転送データ（以下、セルとする）をマルチキャスト装置6へ転送する。すなわち、発信端末1は、送信先アドレスをマルチキャスト装置6としてセルをATM交換機2へ送出する。ATM交換機2は、その送信先アドレスに従ってパス5を設定し、そのパス5を介してセルをマルチキャスト装置6へ転送する。このとき、発信端末1とマルチキャスト装置6との間の伝送路、すなわち回線3およびパス5では、1:1接続と同じ通信状態である。

10

マルチキャスト装置6は、発信端末1が送出したセルを受信すると、まず、そのセルを送信先端末4-1へ転送する。すなわち、マルチキャスト装置6は、上記セルの送信先アドレスを送信先端末4-1としてそのセルをATM交換機2へ送出する。ATM交換機2は、その送信先アドレスに従ってパス7-1を設定し、そのパス7-1を介してセルを送信先端末4-1へ転送する。

つづいて、マルチキャスト装置6は、同様に、発信端末1が送出したセルを、順番に送信先端末4-2~4-5へ転送する。このとき、ATM交換機2内では、それぞれパス7-2~7-5が設定される。

マルチキャスト装置6は、交換局内に設けられ、ユーザからのマルチキャストサービス要求ごとに転送先情報等が設定される。複数のマルチキャストサービス処理する。

20

マルチキャスト装置6は、上述のように、コピー機能を有し、N個の送信先端末（図848では、5端末）にそれらコピーされたセルを分配するときに、そのセル転送を1送信先端末ごとに順次行う。このため、ATM交換機2において占有されるリソース量は、1:1接続の場合と同じである。

図849は、本実施例のマルチキャスト接続をビデオ配信サービスに適用した例である。同図では、ビデオサーバ11に格納されているビデオデータを加入者端末20-1~20-3へ配信する例を示している。

コントローラ12は、ビデオを制御するとともにビデオ信号をB-ISDNアダプタ13へ転送する。B-ISDNアダプタ13は、コントローラ12から転送されるビデオ信号を、加入者線インタフェース14のプロトコルに従ってネットワークインタフェース装置15に渡す。

30

ネットワークインタフェース装置15は、ビデオ信号を含む転送データを交換機16の処理形式のデータに変換する。ここでは、交換機16をATM交換機として説明する。この場合、ネットワークインタフェース装置15は、ビデオ信号を含む転送データをATMセルに変換する。そして、ネットワークインタフェース装置15は、転送先アドレスとしてマルチキャスト装置30を示すVPI/VC Iを各セルに設定し、それらセルを交換機16へ送出する。マルチキャスト装置30を示すVPI/VC Iは、後述説明するように、コントローラ27から通知される。

交換機16は、上記セルを受信すると、そのセルに設定されているVPI/VC Iに従って、ネットワークインタフェース装置15とマルチキャスト装置30との間を接続するパス17を設定し、そのパス17を介してセルを転送する。

40

図850は、マルチキャスト装置30の構成図である。

VPI/VC I変換テーブル31は、マルチキャスト接続を要求する呼の設定時に書き込まれる。たとえば、ビデオサーバ11に格納されているビデオデータを加入者端末20-1~20-3へマルチキャスト配信するような呼の接続要求があった場合は、まず、コントローラ27が、ネットワークインタフェース装置15とマルチキャスト装置30との間を接続するパス（パス17）を指定するVPI/VC I（VPI/VC I 17）を求める。そして、コントローラ27は、このVPI/VC I 17をネットワークインタフェース装置15に通知するとともに、VPI/VC I変換テーブル31上にVPI/V

50

C I 17のための領域を確保する。

つづいて、コントローラ27は、マルチキャスト装置30とネットワークインタフェース装置23-1~23-3との間を接続するパス（パス22-1, 22-2, 22-3）を指定するVPI/VC I（VPI/VC I 1, VPI/VC I 2, VPI/VC I 3）求める。そして、VPI/VC I 変換テーブル31上にVPI/VC I 17のための確保した領域にそれらVPI/VC I 1~3を書き込む。

マルチキャスト装置30がセルを受信したときの動作を説明する。ネットワークインタフェース装置15から交換機16を介して転送されてきたセルは、いったん受信部32に格納される。制御部33は、受信部32に格納されているセルに設定されているVPI/VC I を用いてVPI/VC I 変換テーブル31を検索する。ここでは、入力セルに設定されているVPI/VC I がVPI/VC I 17であるので、出力用VPI/VC I としてVPI/VC I 1, VPI/VC I 2, VPI/VC I 3が取り出される。これらの出力用VPI/VC I は、VPI/VC I 付与部34に渡される。また、制御部33は、上記取り出したVPI/VC I から、送信先加入者数を認識する。

つづいて、コピー部35は、制御部33からの指示に従って受信部32に格納されているセルをコピーして出力バッファ36に書き込む。このとき、VPI/VC I 付与部34は、コピー部35においてコピーされたセルに「VPI/VC I 1」を設定する。さらに、コピー部35において、受信部32に格納されているセルが2つコピーされ、それらのセルにはそれぞれ「VPI/VC I 2」および「VPI/VC I 3」が設定されて出力バッファ36に書き込まれる。

制御部33は、まず「VPI/VC I 1」が設定されているセルを交換機21へ転送する。交換機21は、セルフルーティングモジュールから構成されるATM 交換機であり、このセルを受信すると、マルチキャスト装置30とネットワークインタフェース装置23-1との間を接続するパス22-1を確立する。したがって、ビデオサーバ11から読み出されたビデオデータは、パス22-1を介してネットワークインタフェース装置23-1へ転送される。そして、ネットワークインタフェース装置23-1が受信したデータは、B-ISDNアダプタ24、コントローラ25を介して加入者端末20-1に転送される。

制御部33は、同様に、「VPI/VC I 2」および「VPI/VC I 3」が設定されているセルを次々と交換機21へ転送する。交換機21は、それらのセルを受信すると、VPI/VC I 値に従ってパス22-2および22-3を確立する。そして、「VPI/VC I 2」および「VPI/VC I 3」が設定されているセルは、それぞれパス22-2および22-3を介して転送され、加入者端末20-2および20-3へ到達する。

ところで、コントローラ27は、CAC（Connection Admission Control：コネクション受付制御）機能により、交換機16および21の使用状態を認識している。制御33は、コントローラ27から交換機16および21の使用状態に関する通知を受ける。交換機21が輻輳状態であれば、制御部33は、出力バッファ36からのセル読出し処理を停止する。このような構成とすると、交換機21の輻輳状態が継続した場合には、出力バッファ部36においてセル廃棄が発生する可能性があるが、交換機全体の輻輳状態を早く回復させることができる。

以上説明したように、上記構成のマルチキャスト接続方式によれば、データ送信元では送信先の数とは無関係に1：1接続と同じデータ量のみを送出すればよいので、送信元端末の負担が減るとともに、送信元端末と交換機との間の回線および交換機内の使用率が低下する。したがって、この構成によって未使用状態となるハードウェア資源（上記回線および交換機）を他のサービスに割り当てることができる。

また、従来の交換機を用いてマルチキャスト接続サービスを行う場合には、上記マルチキャスト装置を設けるのみで実現可能である。ATM 交換機は、ハードウェア構成への依存度が高いので、交換機自体の設計変更なしでマルチキャスト接続サービスを実現できることは大きなメリットである。

10

20

30

40

50

図851は、交換機備付けの多者通話トランクを用いて多者通話を行うときのシステム構成図である。

集線装置1に収容される加入者A、集線装置2に収容される加入者BおよびCが3者通話を行う。この3者通話は、音声および画像を用いたテレビ電話会議である。集線装置1および2は、それぞれホスト交換機3に接続されている。ホスト交換機3は、セルフルーティングスイッチ構成のATM交換機であり、各セルのVPI/VCIに従ってパスが設定される。多者通話トランク4は、たとえば交換局内においてホスト交換機3に接続され、各加入者からセル形式で転送されてきた画像・音声データをそのセルのVPI/VCIに基づいて編集・合成する。そして、転送先の加入者を示すVPI/VCIを設定したセルに編集・合成したデータを乗せてホスト交換機3に送出する。この多者通話トランク4は、1つの多者通話ごとに1つ使用される。

10

加入者Aと多者通話トランク4との間は、 $VPI/VCI = "xa"$ によって指定される双方向仮想パス5によって接続されている。また、加入者BおよびCと多者通話トランク4との間は、それぞれ $VPI/VCI = "xb"$ および $VPI/VCI = "xc"$ によって指定される双方向仮想パス6および7によって接続されている。

上記構成において、加入者A、B、Cが3者通話を行うときには、各加入者からの送信データはいったん多者通話トランク4へ転送され、多者通話トランク4において編集された後に転送先加入者へ送られる。このように、上記構成のシステムでは、交換機側の機能により多者通話サービスが提供される。

図852は、加入者回線上の多端子端末を用いて多者通話を行うときのシステム構成図である。

20

図852に示すシステムでは、加入者A、B、Cが3者通話を行うとき、多端子端末11を利用する。多端子端末11は、加入者回線を介して集線装置1に収容されている。加入者Aと多端子端末11との間は、 $VPI/VCI = "yd"$ によって指定される双方向仮想パス12によって接続されている。また、加入者BおよびCと多端子端末11との間は、それぞれ $VPI/VCI = "ye"$ および $VPI/VCI = "yf"$ によって指定される双方向仮想パス13および14によって接続されている。

多端子端末11は、複数のVPI/VCIによって指定される複数の仮想パスを介して転送されるデータを同時に処理することができ、各加入者からセル形式で転送されてきた画像・音声データをそのセルのVPI/VCIに基づいて編集・合成する。そして、転送先の加入者を示すVPI/VCIを設定したセルに編集・合成したデータを乗せてホスト交換機3に送出する。このように、上記構成のシステムでは、加入者回線上に設けた端末により多者通話提供される。

30

以下、図851または図852に示すシステムにおける多者通話サービスの処理手順を説明する。

図853は、図851に示すシステムにおける3者通話サービスの処理フローチャートである。ここでは、加入者Aと加入者Bとの間の2者通話状態において加入者Cを呼び出して3者通話状態へ移行するときの手順を示す。

加入者Aと加入者Bとの間は、所定のVPI/VCI（たとえば、 $VPI/VCI = "ab"$ ）で接続されている。このような2者通話状態で、加入者Aまたは加入者Bのうちの一方が、予め決められている手順に従って、加入者Cを指定して3者通話要求を発行する。

40

ホスト交換機3は、この3者通話要求を受け取ると、未使用の多者通話トランク4があれば、加入者Cを呼び出す。（ステップS1，S2）

ホスト交換機3は、加入者Cから応答を受け取ると、その旨を多者通話トランク4へ通知する。（ステップS3）

任意の加入者と多者通話トランク4とを接続するためのVPI/VCIが多者通話トランク4に対して予め所定数だけ割り当てられている。そして、ホスト交換機3は、各加入者A、B、Cと多者通話トランク4との間のパスを指定するVPI/VCIとして、 $VPI/VCI = "xa"$ 、 $"xb"$ 、 $"xc"$ を選択する。このとき「接続中加入者数

50

」として、「3」を設定する。(ステップS4, 5)

また、ホスト交換機3は、上記ステップS3において加入者Cの応答を受け取ると、いったん加入者Aと加入者Bとの間のパスを切断する。そして、各加入者A, B, Cと多者通話トランク4との間のパス5, 6, 7を確立する。(ステップS6, 7)

以後、各加入者A, B, Cから送出されるセルは、いったん多者通話トランク4へ転送され、そこで編集などされた後に送信先加入者へ転送される。このようにして2者通話状態から3者通話状態に移行する。このとき、多者通話トランク4から送出される画像および音声のデータが、1加入者分の帯域と同等かまたはそれ以下であれば、3者通話への移行時に帯域のチェックをする必要はない。

図854は、図851に示すシステムにおける多者通話サービスの処理フローチャートである。ここでは、3者またはそれ以上の加入者による通話状態においてさらに多の加入者を呼び出すときの手順を示す。

多者通話状態において、通話中の加入者の中のいずれかの加入者が、n人目の加入者(加入者N)を多者通話に加えることを要求する。ホスト交換機3は、上記要求を受け取ると、その値「n」が、多者通話トランク4の利用可能人数以下であるかを調べる。すなわち、多者通話トランク4は、多者通話を行える人数に上限があるので、その上限値を越えていないかどうか判断する。(ステップS11, S12)

多者通話を行える人数の上限値を越えていれば、上記要求を受け付けられない場合の処理を実行する。(ステップS13)

多者通話を行える人数の範囲内であれば、ホスト交換機3は、加入者Nを呼び出す。そして、加入者Nからの応答を受信すると、各加入者Nと多者通話トランク4との間のパスを指定するVPI/VCIを選択する。このとき「接続中加入者数」を更新する。すなわち、「n」を設定する。この後、各加入者Nと多者通話トランク4との間のパスを確立する。以降、n者通話状態となる。(ステップS14~S18)

図855は、グループ識別番号を用いた多者通話サービスの処理フローチャートである。ここでは、図851に示すシステムにおいて、任意の加入者(加入者D)が多者通話を要求する場合を説明する。また、この多者通話サービスは、予め契約してある特定加入者によるグループ内で行われるものであり、グループ毎にグループ識別番号が設定されている。なお、多者通話トランク4は、1つのグループによる多者通話に対して1つ割り当てられる。

ホスト交換機3は、多者通話サービスを要求する特番およびグループ識別番号を加入者から受信すると、そのグループ識別番号によって指定されるグループにおいて多者通話が行われている最中かどうかを判断する。(ステップS21, S22)

上記グループの多者通話が行われているところであれば、その多者通話サービスを提供している多者通話トランク4認識し、現在多者通話をしている加入者の数にもう1人通話者を加えた場合に、多者通話トランク4の利用可能人数を越えないかどうか調べる。(ステップS23)

利用可能人数以内であれば、ステップS26へ進む。利用可能人数を越えていれば、上記要求を受け付けられない場合の処理を実行する。(ステップS24)

また、ステップS22において、上記グループの多者通話が行われていないと判断された場合には、未使用状態にある多者通話トランク4を獲得し、ステップS26へ進む。(ステップS25)

ホスト交換機3は、上記ステップS21で多者通話を要求した加入者Dと多者通話トランク4との間のパスを指定するVPI/VCIを選択する。このとき「接続中加入者数」を更新する。そして、加入者Dと多者通話トランク4との間のパスを確立する。このようにして、任意の加入者が特定グループの多者通話に参加できる。(ステップS26~S28)

図856は、図852に示すシステムにおける3者通話サービスの処理フローチャートである。このシステムでは、加入者回線上に設けられた多端子端末11と各加入者との間のパスを確立するが、その処理手順は、基本的に図853で説明した手順と同じである。

10

20

30

40

50

図 8 5 7 は、図 8 5 2 に示すシステムにおける多者通話サービスの処理フローチャートである。このシステムでは、加入者回線上に設けられた多端子端末 1 1 と新たに呼び出された加入者との間のパスを確立するが、その処理手順は、基本的に図 8 5 4 で説明した手順と同じである。

図 8 5 8 は、図 8 5 1 に示すシステムにおけるコールウェイティングサービスの処理フローチャートである。ここでは、加入者 A と加入者 B との間で 2 者通話をしているときに、加入者 C（第 3 者）が加入者 A に対して接続要求をした場合を説明する。

ホスト交換機 3 は、加入者 A と加入者 B との間で 2 者通話状態において加入者 C から加入者 A への接続要求を受け取ると、多者通話トランク 4 が使用できる範囲の V P I / V C I を選択し、加入者 A および C と多者通話トランク 4 との間にそれぞれ新たな仮想パスを設定する。（ステップ S 3 1 ～ S 3 3）

10

ホスト交換機 3 は、第 3 者からの接続要求を受信したことを加入者 A に通知する。これに対して加入者 A は、第 3 者（加入者 C）との通話を行った後に再び加入者 B と通話するかどうかを選択する。

ホスト交換機 3 は、第 3 者との通話後に再び加入者 B と通話するという要求を受けた場合には、加入者 B を待機状態とし、加入者 A と加入者 C との間を多者通話トランク 4 を介して接続する。（ステップ S 3 4 ～ S 3 8）

ホスト交換機 3 は、加入者 A と加入者 C との間の通話終了要求を加入者 A または加入者 C から受け取ると、加入者 A および C と多者通話トランク 4 との間にそれぞれ設定した仮想パスを解放し、加入者 A と加入者 B との間を再度接続する。（ステップ S 3 9 ～ 4 1）

20

ホスト交換機 3 は、第 3 者との通話後に加入者 B とは通話しないという要求を受けた場合には、加入者 B を切断する。そして、加入者 A および C と多者通話トランク 4 との間にそれぞれ設定した仮想パスを解放し、加入者 A と加入者 C との間を直接接続する。（ステップ S 3 4, 4 2, 4 3）

図 8 5 9 は、図 8 5 1 に示すシステムにおける呼転送サービスの処理フローチャート（その 1）である。ここでは、加入者 A と加入者 B との間で 2 者通話をしているときに、加入者 A が加入者 B と加入者 C（第 3 者）とを接続させる場合を説明する。

ホスト交換機 3 は、加入者 A から呼転送要求および加入者 C を示す呼転送先情報を受け取ると、多者通話トランク 4 が使用できる範囲の V P I / V C I を選択し、加入者 B および C と多者通話トランク 4 との間にそれぞれ新たな仮想パスを設定する。（ステップ S 5 1 ～ S 5 4）

30

ホスト交換機 3 は、加入者 C を呼び出し、加入者 C からの応答があれば、加入者 B と加入者 C との間を多者通話トランク 4 を介して接続する。（ステップ S 5 5, S 5 6）

図 8 6 0 は、図 8 5 1 に示すシステムにおける呼転送サービスの処理フローチャート（その 2）である。

上記図 8 5 9 に示したステップ S 5 1 ～ 5 5 に続いて、呼の転送者である加入者 A から切断要求を受け取ると、ホスト交換機 3 は、加入者 A および C と多者通話トランク 4 との間にそれぞれ設定した仮想パスを解放し、加入者 B と加入者 C との間を直接接続する。（ステップ S 6 1 ～ S 6 3）

上記図 8 5 9 または図 8 6 0 に示す方式により、たとえば、加入者 B から加入者 A への呼を加入者 C へ転送することができる。

40

図 8 6 1 は、図 8 5 1 に示すシステムにおけるポイント・ツー・マルチポイント接続サービスの処理フローチャートである。ここでは、加入者 A（情報提供加入者）に対して加入者 B および C がアクセスする場合を説明する。

ホスト交換機 3 は、加入者 A からポイント・ツー・マルチポイント接続要求を受け取ると、多者通話トランク 4 が使用できる範囲内で V P I / V C I を選択し、加入者 A と多者通話トランク 4 との間の仮想パスを設定する。（ステップ S 7 1, S 7 2）

続いて、ホスト交換機 3 は、加入者 B および C から加入者 A への接続要求を受け取ると、多者通話トランク 4 が使用できる範囲内で 2 つの V P I / V C I を選択し、加入者 B および C と多者通話トランク 4 との間にそれぞれ仮想パスを設定する。以降、多者通話ト

50

ンク4を介してポイント・ツー・マルチポイント通話が行われる。(ステップS73～S75)

なお、加入者Aから加入者BおよびCに対してマルチキャスト転送を行うことも可能である。この場合、ステップS73において、加入者Aが接続先情報として加入者BおよびCを指定する。

図862～図865は、図852に示すシステムにおける各種サービスの処理フローチャートであり、それぞれ図858～図861に対応する。図862～図865に示すシステムでは、多端子端末11が仮想パスの処理を行う。

以上説明したように、上記実施例によれば、交換機に対して設けられた多者通話トランクまたは加入者回線上に設けられた多端子端末により、多者通話サービス、コールウェーティング、転送サービス等のサービスを提供することが可能となる。 10

次に、本発明に関連する他の特徴的構成について説明する。この構成は、「発明が解決しようとする課題」の項において前述した、より具体的な第18の課題に対応する。

以下に説明する実施例では、交換機内装置が処理する回線に関する情報の収集と、障害発生時の交換機内装置の安全な変更を実現する。

図866は、本実施例が前提とするATM交換機の構成図である。特には図示しない加入者端末から送られたATMセルは、端末装置1及び共通装置2を介して通話路スイッチ(SW)3で交換される。端末装置1及び共通装置2は、1つ以上の回線を処理する通話路系装置である。

図867は、本実施例のブロック図である。この図において、加入者データ管理部4、サービス管理部5、回線接続制御部6、装置管理制御部7、入出力装置管理部8、及び回線接続管理部9は、図866に示されるATM交換機システムを制御する特には図示しない中央プログラムが実行する制御プログラム又はファームウェアの機能として実現されている。 20

端末装置1及び共通装置2は、図866に示されるものと同じである。

また、主記憶装置14には、使用状況表11、装置サービス管理表12、及び管理情報表13が記憶される。使用状況表11は、回線接続制御部6によってアクセスされ、そこには、回線毎に、その使用状況とその使用帯域が登録される。装置サービス管理表12は、回線接続管理部9によってアクセスされ、端末装置1又は共通装置2毎に設けられ、それぞれには、各端末装置1又は共通装置2が使用するサービスが登録される。管理情報表13は、サービス管理部5によってアクセスされ、そこには、加入者が使用する回線の識別情報(VPI/VCI)と、その回線を処理する端末装置1又は共通装置2の装置番号と、優先・非優先の情報が登録される。 30

上述の構成において実行される、通常回線接続処理について、図868の動作フローチャートに基づいて説明する。以下の説明において、参照記号S1～S11は、図868の動作フローチャートの各ステップを参照するものである。

まず、加入者データ管理部4は、特には図示しない加入者端末から回線の接続依頼を受信する(S1)。

加入者データ管理部4は、その接続依頼に基づいてサービス種別を判定し(S2)、判定したサービス種別に対応するサービス管理部5に対して、回線接続要求を出力する。そのサービス管理部5は、その回線接続要求を回線接続制御部6に転送する(S3)。 40

回線接続制御部6は、上記回線接続要求に対応する各端末装置1又は各共通装置2を管理する各装置管理制御部7に対して、それらが管理する各端末装置1又は各共通装置2の状況を問い合わせる(S4、S5)。

その結果、何れの装置管理制御部7も使用可能状態を返答しなかった場合、上記回線接続要求はリジェクトされる。

一方、何れかの装置管理制御部7が使用可能状態を返答した場合、回線接続制御部6は、更に、上記回線接続要求に対応する要求帯域と、その装置管理制御部7が管理する端末装置1又は共通装置2が使用している回線(VPI/VCI)により規定される仮想的な回線)の状況とを比較することにより(S6)、その端末装置1又は共通装置2が上記要求 50

帯域を要求する回線（要求回線）を受け付けることができるか否かを判定する（S7）。その端末装置1又は共通装置2が上記要求回線を受け付けることができなければ、上記回線接続要求はリジェクトされる。

その端末装置1又は共通装置2が上記要求回線を受け付けることができれば、回線接続制御部6は、上記装置管理制御部7を介してそれが管理する端末装置1又は共通装置2に上記要求回線に対応するVPI/VCIを設定することにより、上記要求回線を上記端末装置1又は共通装置2に接続する（S8）。

その後、回線接続制御部6は、主記憶装置14上の使用状況表11に、設定した回線と、その使用帯域を登録する（S9）。図872に、ATM交換機内の具体的な端末装置1、共通装置2と、主記憶装置14上の使用状況表11の例が示されている。ここで、LLP-A及びLLP-B等はラインプロセッサ、SHELF-A1、SHELF-B1、及びSHELF-B2等は回線集線装置であり、何れも図866又は図867の共通装置2に対応している。また、T1及びT2等は回線終端装置であり、何れも図866又は図867の端末装置1に対応している。更に、SWは通話路スイッチであり、図866又は図867のSW3に対応している。

上述の例からわかるように、使用状況表11には、回線毎に、その使用状況とその使用帯域とが登録される。

次に、回線接続制御部6は回線を接続した端末装置1又は共通装置2の装置番号を、前記回線接続要求を出力したサービス管理部5に通知する。

この通知に基づいて、サービス管理部5は、加入者が使用する回線の識別情報（VPI/VCI）と、その回線を処理する装置の装置番号（point）と、優先・非優先の情報（後述する）を、そのサービス管理部5が管理する主記憶装置14上の管理情報表13に登録する（S10）。管理情報表13の例は、図872に示されている。

更に、サービス管理部5は、それ自身が管理するサービスの情報と、回線接続制御部6から通知された端末装置1又は共通装置2の装置番号を、回線接続管理部9に通知する。この通知に基づいて、回線接続管理部9は、通知された装置番号に対応する主記憶装置14上の装置サービス管理表12（図872参照）に、通知されたサービスを登録する（S11）。

次に、図866又は図867に示される構成において実行される、装置障害の発生時における通知処理について、図869の動作フローチャートに基づいて説明する。以下の説明において、参照記号S12～S16は、図869の動作フローチャートの各ステップを参照するものである。

まず、装置管理制御部7は、それが管理する端末装置1又は共通装置2から、障害を検出した旨を示す通知を受信すると（S12）、その通知を回線接続管理部9に転送する。

回線接続管理部9は、通知された装置番号に対応する主記憶装置14上の装置サービス管理表12を確認することにより、障害が検出された端末装置1又は共通装置2が関わっているサービスを検出する（S13）。

この結果、回線接続管理部9は、検出した各サービスを管理する各サービス管理部5に、装置管理制御部7から通知された端末装置1又は共通装置2における障害の検出を通知する（S14）。

回線接続管理部9から障害の検出を通知されたサービス管理部5は、通知された端末装置1又は共通装置2を使用している回線の識別情報（VPI/VCI）を、主記憶装置14上の管理情報表13（図872参照）から検索し、その検索結果を、障害が検出された上記端末装置1又は共通装置2に対応する装置管理制御部7に通知する（S15）。

上述のS14とS15の処理は、S13で回線接続管理部9が検出した、障害が検出された端末装置1又は共通装置2が関わっている各サービスに対応して、繰り返し実行される。

端末装置1又は共通装置2が関わっている各サービスに対応する各サービス管理部5から回線の識別情報（VPI/VCI）を通知された装置管理制御部7は、それが管理する端末装置1又は共通装置2における障害の検出情報と、サービス管理部5から通知した回

10

20

30

40

50

線の識別情報（V P I / V C I ）を編集し、その編集結果を、入出力装置管理部 8 を介して入出力装置 1 0 に送出する（S 1 6）。

次に、図 8 6 6 又は図 8 6 7 に示される構成において実行される、装置障害の発生時における自動回線接続切替え処理について、図 8 7 0 及び図 8 7 1 の動作フローチャートに基づいて説明する。以下の説明において、参照記号 S 1 7 ～ S 2 7 は図 8 7 0 の動作フローチャートの各ステップを参照し、参照記号 S 2 8 と S 2 9 は図 8 7 1 の動作フローチャートの各ステップを参照するものである。

まず、装置管理制御部 7 は、それが管理する端末装置 1 又は共通装置 2 から、障害を検出した旨を示す通知を受信すると（S 1 7）、その通知を回線接続管理部 9 に転送する。

回線接続管理部 9 は、通知された装置番号に対応する主記憶装置 1 4 上の装置サービス管理表 1 2 を確認することにより、障害が検出された端末装置 1 又は共通装置 2 が関わっているサービスを検出する（S 1 8）。

この結果、回線接続管理部 9 は、検出した各サービスを管理する各サービス管理部 5 に、装置管理制御部 7 から通知された端末装置 1 又は共通装置 2 における障害の検出を通知する（S 1 9）。

回線接続管理部 9 から障害の検出を通知されたサービス管理部 5 は、まず、通知された端末装置 1 又は共通装置 2 が、自動回線接続切替えの対象である装置であることを確認する。その結果、そのサービス管理部 5 は、通知された端末装置 1 又は共通装置 2 を使用している回線の識別情報（V P I / V C I ）を、主記憶装置 1 4 上の管理情報表 1 3 （図 8 7 2 参照）から検索する（S 2 0）。

そして、サービス管理部 5 は、その検索した回線の接続変更要求を、回線接続制御部 6 に通知する（S 2 1）。

なお、この場合に、サービス管理部 5 は、管理情報表 1 3 上で、優先・非優先の情報が設定されているものから優先的に検索し、その回線の接続変更要求を優先的に発行するように構成することも可能である。

この要求を受信した回線接続制御部 6 は、障害が検出された端末装置 1 又は共通装置 2 に対応する装置管理制御部 7 を介して、上記端末装置 1 又は共通装置 2 から上記要求された回線に対応する V P I / V C I を削除することにより、上記要求回線を障害が検出された端末装置 1 又は共通装置 2 から切り離す。これと同時に、回線接続制御部 6 は、主記憶装置 1 4 上の使用状況表 1 1 から、上記要求回線とその使用帯域の登録を削除する。なお、使用帯域は、回線の接続変更要求に対応する要求帯域として保持される。更に、回線接続制御部 6 は、他の各端末装置 1 又は各共通装置 2 を管理する各装置管理制御部 7 に対して、それらが管理する各端末装置 1 又は各共通装置 2 の状況を問い合わせる（S 2 2、S 2 3）。

その結果、何れの装置管理制御部 7 も使用可能状態を返答しなかった場合、上記回線の接続変更要求はリジェクトされ、回線は切断される。

一方、何れかの装置管理制御部 7 が使用可能状態を返答した場合、回線接続制御部 6 は、更に、上記回線の接続変更要求に対応する要求帯域と、その装置管理制御部 7 が管理する端末装置 1 又は共通装置 2 が使用している回線（V P I / V C I により規定される仮想的な回線）の状況とを比較することにより（S 2 4）、その端末装置 1 又は共通装置 2 が上記要求帯域を要求する回線（要求回線）を受け付けることができるか否かを判定する（S 2 5）。

その端末装置 1 又は共通装置 2 が上記要求回線を受け付けることができなければ、上記回線の接続変更要求はリジェクトされ、回線は切断される。

その端末装置 1 又は共通装置 2 が上記要求回線を受け付けることができれば、回線接続制御部 6 は、上記装置管理制御部 7 を介してそれが管理する端末装置 1 又は共通装置 2 に上記要求回線に対応する V P I / V C I を設定することにより、上記要求回線を上記端末装置 1 又は共通装置 2 に接続する（S 2 6）。

その後、回線接続制御部 6 は、主記憶装置 1 4 上の使用状況表 1 1 に、設定した回線と、その使用帯域を再度登録する（S 2 7）。

10

20

30

40

50

次に、回線接続制御部 6 は回線を接続した端末装置 1 又は共通装置 2 の装置番号を、前記回線の接続変更要求を出力したサービス管理部 5 に通知する。この通知に基づき、サービス管理部 5 は、それが管理する主記憶装置 1 4 上の管理情報表 1 3 で、接続が変更される回線に対応するデータを検索し、そのデータから、障害が発生した端末装置 1 又は共通装置 2 の装置番号を削除すると共に、回線接続制御部 6 から通知された新たな端末装置 1 又は共通装置 2 の装置番号を登録する (S 2 8)。

更に、サービス管理部 5 は、それ自身が管理するサービスの情報と、回線接続制御部 6 から通知された新たな端末装置 1 又は共通装置 2 の装置番号を、回線接続管理部 9 に通知する。この通知に基づいて、回線接続管理部 9 は、通知された装置番号に対応する主記憶装置 1 4 上の装置サービス管理表 1 2 (図 8 7 2 参照) に、通知されたサービスを登録する (S 2 9)。また、回線接続管理部 9 は、障害が検出された端末装置 1 又は共通装置 2 に対応する主記憶装置 1 4 上の装置サービス管理表 1 2 (図 8 7 2 参照) から、上記通知を行ったサービス管理部 5 に対応するサービスの登録を削除する。

上述の S 1 9 ~ S 2 9 の処理は、S 1 8 で回線接続管理部 9 が検出した、障害が検出された端末装置 1 又は共通装置 2 が関わっている各サービスに対応して、繰り返し実行される。

次に、図 8 6 6 又は図 8 6 7 に示される構成において実行される、指定された端末装置 1 又は共通装置 2 に対する回線接続状況の出力処理につき説明する。

まず、入出力装置 1 0 において、端末装置 1 又は共通装置 2 に対する回線接続状況の出力要求が指定される。

この回線接続状況出力要求は、入出力装置管理部 8 を介して、加入者データ管理部 4 に転送される。加入者データ管理部 4 は、指定された端末装置 1 又は共通装置 2 の装置番号を、回線接続管理部 9 に通知する。

回線接続管理部 9 は、通知された装置番号に対応する主記憶装置 1 4 上の装置サービス管理表 1 2 を確認することにより、回線接続状況出力要求が指定された端末装置 1 又は共通装置 2 が関わっているサービスを検出する。

この結果、回線接続管理部 9 は、検出した各サービスを管理する各サービス管理部 5 に、指定された端末装置 1 又は共通装置 2 に対応する回線接続状況の出力を指示する。

この指示を受けたサービス管理部 5 は、指定された端末装置 1 又は共通装置 2 を使用している回線の識別情報 (V P I / V C I) を、主記憶装置 1 4 上の管理情報表 1 3 (図 8 7 2 参照) から検索し、その検索結果を加入者データ管理部 4 に通知する。

加入者データ管理部 4 は、上記回線接続状況出力要求に対応する全てのサービス管理部 5 から、指定された端末装置 1 又は共通装置 2 を使用している回線の識別情報 (V P I / V C I) を収集した後、その収集結果を、入出力装置管理部 8 を介して入出力装置 1 0 に送出する。

次に、図 8 6 6 又は図 8 6 7 に示される構成において実行される、指定された端末装置 1 又は共通装置 2 に対する回線接続切替え処理について説明する。

まず、入出力装置 1 0 において、端末装置 1 又は共通装置 2 に対する回線の接続切替え要求が指定される。

この回線接続切替え要求は、入出力装置管理部 8 を介して、加入者データ管理部 4 に転送される。加入者データ管理部 4 は、指定された端末装置 1 又は共通装置 2 の装置番号を、回線接続管理部 9 に通知する。

これ以降の処理は、前述した図 8 7 0 の S 1 8 以降の処理と同様である。

但し、他の端末装置 1 又は共通装置 2 への切替えが成功しなかった場合は、回線接続切替え要求はリジェクトされ、要求が出される前の状態が維持される。

以上説明した図 8 6 6 又は図 8 6 7 に示される構成を有する実施例において、装置障害の発生時に自動回線接続切替え処理を実行するか、装置障害の発生時にその旨が入出力装置 1 0 に通知されそれに対して保守者が入出力装置 1 0 から端末装置 1 又は共通装置 2 を指定して回線接続切替え処理を実行するかが、端末装置 1 又は共通装置 2 毎に予め設定されておくように構成することもできる。

10

20

30

40

50

次に、本発明に関連する他の特徴的構成について説明する。この構成は、「発明が解決しようとする課題」の項において前述した、より具体的な第19の課題に対応する。

以下に説明する実施例では、回線上で障害が検出された場合に、帯域（VPI/VCI）単位での安全な回線切替えを実現する。

以下の実施例では、遠隔集線装置とATM交換機が複数本の物理回線によって接続されている場合に、回線上でレイヤ1回線障害（物理的な回線障害）又はレイヤ2回線障害（装置障害）が検出された場合を前提とする。

この場合、障害回線上の未障害の使用帯域（VPI/VCI）においては、そのまま通信が続行される。そして、障害回線上の障害帯域と、未障害の各回線上の空き帯域の合計とが比較される。

10

そして、障害帯域値が未障害の各回線上の空き帯域の合計値以下である場合には、障害帯域が未障害の回線の空き帯域へ再割り付けされる。

一方、障害帯域値が未障害の各回線上の空き帯域の合計値よりも大きい場合には、従来と同様に、障害帯域を含む物理回線が予備回線へ物理的に切り替えられる。

まず、障害帯域値が未障害の各回線上の空き帯域の合計値以下である場合に実行される、障害帯域を未障害の回線の空き帯域へ再割り付けする処理について、図873の説明図と、図874のシーケンス図に基づいて説明する。

この場合、図873に示されるように、障害回線#x及び#yの未障害の使用帯域（VPI/VCI）においては、そのまま通信が続行される。

次に、各帯域を使用して通信されるATMセルには、そのヘッダ部に帯域別の優先順位を示す情報が付加されている。そして、障害回線#x及び#y上の各障害帯域のうち、優先順位の高い情報が付加されるATMセルが通信されている帯域から順に、各障害帯域が未障害の回線の空き帯域へ再割り付けされる。

20

なお、各障害帯域は、障害回線#x及び#y上の未障害の帯域へは再割り付けされない。具体的なシーケンスは、図874に示されるとおりである。

即ち、例えば、ATM交換機に接続されている回線終端装置と遠隔集線装置に接続されている回線終端装置との間でATMセルが通信されている場合に、回線障害が検出される（S1）。

この場合、ATM交換機内のVcc制御装置と遠隔集線装置内のVcc制御装置との間で、障害検出信号とそれに対応する応答信号、及び性能モニタに関する信号が通信されることにより（S2）、それぞれのVcc制御装置において、レイヤ別の回線障害が検知される（S3）。ここで、Vcc制御装置は、物理回線上の各帯域（仮想回線又はコネクション）を識別するためのVPI/VCIを制御する装置である。

30

この結果、ATM交換機内のVcc制御装置とATM交換機内の回線終端装置の間、及び遠隔集線装置内のVcc制御装置と遠隔集線装置内の回線終端装置の間の双方において、各障害帯域が未障害の回線の空き帯域へ再割り付けされる。これら双方の処理は、図874のS4～S13に示されるように基本的には同じ処理である。従って、以下の説明では、ATM交換機又は遠隔集線装置という限定は付さずに、Vcc制御装置と回線終端装置の間の処理として説明する。

始めに、Vcc制御装置は、障害の発生を監視するための処理を停止する（S4）。

40

次に、Vcc制御装置と回線終端装置との間で、障害帯域の再割り付け処理の開始を確認する通信が行われる（S5）。

次に、Vcc制御装置は、回線終端装置からVcc制御装置に流入するATMセルのバッファリングを開始する（S6）。このバッファリング処理においては、図877に示されるように、回線終端装置から流入するセルが、優先順位別に、Vcc制御装置内のバッファにバッファリングされる。優先順位を示す情報は、前述したように、各ATMセルのヘッダ部内の例えばCLP（セルロスプライオリティ）ビットに付加される。そして、同一帯域を使用するATMセルには、同一の優先順位を示す情報が付加されている。このバッファリング処理により、障害帯域の再割り付け処理の間に回線終端装置から流入するATMセルが廃棄されてしまうという事態を防止することができる。優先順位の割り

50

付け例を、図 8 7 8 に示す。

次に、V c c 制御装置は、障害回線上の障害帯域と、未障害の各回線上の空き帯域をチェックする (S 7)。この結果、V c c 制御装置は、障害帯域値が未障害の各回線上の空き帯域の合計値以下であると判定する。

次に、V c c 制御装置は、障害回線上の各障害帯域のうち、優先順位の高い情報が付加される A T M セルが通信されている帯域から順に、以下の S 8 ~ S 1 1 の処理を実行する。

即ちまず、V c c 制御装置は、その装置内のテーブル上で、障害帯域に対応する V P I / V C I の設定を削除する (S 8)。

次に、V c c 制御装置は、その装置内のテーブルに、適当な未障害の回線上の空き帯域に対応する V P I / V C I を再設定する (S 9)。 10

その後、V c c 制御装置は、現在処理している優先順位に対応して V c c 制御装置内のバッファにバッファリングされている A T M セルを、回線終端装置に掃き出す (S 1 0)。そして、セルバッファリング処理を解除する (S 1 1)。

以上の S 8 ~ S 1 1 の処理を優先順位別に実行した後、V c c 制御装置は、障害の発生を監視するための処理を再開する (S 1 2)。

最後に、V c c 制御装置と回線終端装置との間で、障害帯域の再割り付け処理の終了を確認する通信が行われる (S 1 3)。

以上のシーケンスにより、障害帯域値が未障害の各回線上の空き帯域の合計値以下である場合に、障害帯域が未障害の回線の空き帯域へ再割り付けされる。 20

次に、障害帯域値が未障害の各回線上の空き帯域の合計値よりも大きい場合に実行される、障害帯域を含む物理回線が予備回線へ物理的に切り替える処理について、図 8 7 5 の説明図と、図 8 7 6 のシーケンス図に基づいて説明する。

この場合には、図 8 7 5 に示されるように、障害回線 # x 上の各障害帯域が、予備回線 # z 上の障害復旧帯域に、優先順位の高い情報が付加される A T M セルが通信されている障害帯域から順に、順次再割り付けされる。

具体的なシーケンスは、図 8 7 6 に示されるとおりである。

まず、図 8 7 6 の S 1 ~ S 6 までの処理は、図 8 7 4 の S 1 ~ S 6 までの処理と同じである。

S 1 ~ S 6 の処理の後、V c c 制御装置は、障害回線上の障害帯域と、未障害の各回線上の空き帯域をチェックする (S 7)。この結果、V c c 制御装置は、障害帯域値が未障害の各回線上の空き帯域の合計値よりも大きいと判定する。 30

次に、V c c 制御装置は、障害回線上の各障害帯域のうち、優先順位の高い情報が付加される A T M セルが通信されている帯域から順に、以下の S 8 ~ S 1 1 の処理を実行する。

即ちまず、V c c 制御装置は、その装置内のテーブル上で、障害帯域に対応する V P I / V C I の設定を削除する (S 8)。

次に、V c c 制御装置は、その装置内のテーブルに、予備回線上の空き帯域に対応する V P I / V C I を再設定する (S 9)。

その後、V c c 制御装置は、現在処理している優先順位に対応して V c c 制御装置内のバッファにバッファリングされている A T M セルを、回線終端装置に掃き出す (S 1 0)。そして、セルバッファリング処理を解除する (S 1 1)。 40

以上の S 8 ~ S 1 1 の処理を優先順位別に実行した後、V c c 制御装置は、障害の発生を監視するための処理を再開する (S 1 2)。

最後に、V c c 制御装置と回線終端装置との間で、障害回線から予備回線への切替えの完了を確認する通信が行われる (S 1 3)。

以上のシーケンスにより、障害帯域値が未障害の各回線上の空き帯域の合計値よりも大きい場合に、障害回線が予備回線へ切り替えられる。

以上の実施例では、帯域の再割付け又は回線の切替えの各処理は、各帯域の優先順位順に実行されたが、各帯域を使用するサービス順に実行されてもよい。 50

次に、本発明に関連する他の特徴的構成について説明する。この構成は、「発明が解決しようとする課題」の項において前述した、より具体的な第20の課題に対応する。

以下の実施例では、上述の実施例の場合と同様に、遠隔集線装置とホスト交換機（ATM交換機）が複数本の物理回線によって接続されている場合において回線上で回線障害が検出された場合を前提としており、特に、その回線障害に対して回線切替えを行うための具体的な技術を提供するものである。

図879は、本実施例の前提となる遠隔集線装置1とホスト交換機2とが接続されたシステムの構成を示している。遠隔集線装置1には、複数のマイクロプロセッサ（ μP ）4が装備されている。そして、そのマイクロプロセッサ4がホスト交換機2内の呼処理プロセッサ（CPR）3から制御されることにより、遠隔集線装置1に収容されている加入者からホスト交換機2へ向かうパスの制御、及びホスト交換機2から遠隔集線装置1に収容されている加入者に向かうパスの制御が実現される。

図880は、本実施例の前提となるATM交換方式の一般的な原理を説明する図である。ATMセルのヘッダ部には、それが伝送される仮想的な回線を識別するためのVPI（仮想パス識別子）及びVCI（仮想チャネル識別子）が付加されている。そして、入力多重部（MUX）5は、マイクロプロセッサ（ μP ）6によってその内容が設定されるVCCテーブル7を有している。VPI=AA、VCI=BBを有するATMセルがMUX5に入力すると、MUX5は、VCCテーブル7上の上記VPI=AA、VCI=BBに対応するアドレス（AA. + BB.）を検索することにより、出力側のVPI=XX、VCI=YY、及び自己ルーティング用のタグ#4を取り出し、上記ATMセルのVPIとVCIを上記XXとYYに付け替えると共に、そのATMセルの先頭に上記タグ#4を付加し、そのATMセルをスイッチ部8に転送する。スイッチ部8内のハードウェアスイッチは、転送されていきATMセルの先頭に付加されているタグ#4のみに従って、そのATMセルを自立的にスイッチングし、そのATMセルを目的とする出力側ルート#4に出力する。特に図示しない次段のMUX部は、そのATMセルに付加されているVPI=XX、VCI=YYに従って、上述の場合と同様のスイッチング動作を行う。

図881は、図879の遠隔集線装置1とホスト交換機2（HOST2）とが接続されたシステムにおいて、遠隔集線装置1からホスト交換機2に向かう上りパスで使用されるVCCテーブルの収容位置を示す図である。上り用第1VCCテーブルは、遠隔集線装置1に収容される加入者からのATMセルを多重するための遠隔集線装置1内のMUX（多重装置）内に設けられる。上り用第2VCCテーブルは、遠隔集線装置1からのATMセルを多重するためのHOST2内のMUX内に設けられる。この場合に、例えば、遠隔集線装置1に収容される#a回線から入力した加入者のATMセルのVPI及びVCIは、図880で説明した原理に従って、上り用第1VCCテーブルによって、遠隔集線装置1からHOST2に向かうルート#1用の値AAAA及びBBBBに付け替えられ、そのATMセルの先頭にルート#1用のタグ#1が付加される。その結果、そのATMセルは、遠隔集線装置1からHOST2に向かうルート#1に出力される。次に、ルート#1からHOST2に入力した上記ATMセルのVPI及びVCIは、上り用第2VCCテーブルにより、HOST2から出力されるルート#A用の値XXXX及びYYYYに付け替えられ、そのATMセルの先頭にルート#A用のタグ#Aが付加される。その結果、そのATMセルは、HOST2内でスイッチングされた後、ルート#Aに出力される。

図882は、図879の遠隔集線装置1とホスト交換機2（HOST2）が接続されたシステムにおいて、ホスト交換機2（HOST2）から遠隔集線装置1に向かう上りパスで使用されるVCCテーブルの収容位置を示す図である。下り用第1VCCテーブルは、HOST2に接続する他のホスト交換機又は加入者からのATMセルを多重するためのHOST2内のMUX内に設けられる。下り用第2VCCテーブルは、HOST2からのATMセルを多重するための遠隔集線装置1内のMUX内に設けられる。この場合、例えば、他のホスト交換機又は加入者から入力したATMセルのVPI及びV

10

20

30

40

50

C I は、図 8 8 0 で説明した原理に従って、下り用第 1 V C C テーブルにより、H O S T 2 から遠隔集線装置 1 に向かうルート # 1 用の値 A A A A 及び B B B B に付け替えられ、その A T M セルの先頭にルート # 1 用のタグ # 1 が付加される。その結果、その A T M セルは、H O S T 2 から遠隔集線装置 1 に向かうルート # 1 に出力される。次に、ルート # 1 から遠隔集線装置 1 に入力した上記 A T M セルの V P I 及び V C I は、下り用第 2 V C C テーブルにより、遠隔集線装置 1 から出力されるルート # a 用の値 X X X X 及び Y Y Y Y に付け替えられ、その A T M セルの先頭にルート # a 用のタグ # a が付加される。その結果、その A T M セルは、遠隔集線装置 1 からルート # a に出力される。

図 8 8 3 ~ 図 8 8 5 は、図 8 7 9、図 8 8 1、及び図 8 8 2 の構成を基本とする実施例において、障害が発生した場合におけるパス張り替え処理の第 1 の処理例を説明するための図である。 10

始めに、図 8 8 3 は、H O S T 2 内の呼処理プロセッサ 3、遠隔集線装置 1 内のマイクロプロセッサ 4、及び H O S T 2 内の特には図示しないマイクロプロセッサにおいて実行されるパス接続処理の動作フローチャートである。

まず、遠隔集線装置 1 と H O S T 2 の間のパスの接続要求が発生すると（S 1 の判定が Y E S）、上り用第 1 V C C テーブル、上り用第 2 V C C テーブル、下り用第 1 V C C テーブル、及び下り用第 2 V C C テーブルのそれぞれにつき、通常ルートと予備ルートの帯域、V P I、及び V C I が確保される（S 2）。これと共に、各テーブルを作成するためのメモリ内に、図 8 8 4 に示されるような通常用 V C C データ及び張り替え用 V C C データが作成される。通常用 V C C データは通常ルートに対応し、張り替え用 V C C データは予備ルートに対応する。この通常用 V C C データと張り替え用 V C C データのセットは、上り用第 1 V C C テーブル、上り用第 2 V C C テーブル、下り用第 1 V C C テーブル、及び下り用第 2 V C C テーブルのそれぞれに対応して、作成される。 20

次に、上り用第 1 V C C テーブルと下り用第 1 V C C テーブルにはそれぞれに対応する通常用 V C C データのみが設定され、上り用第 2 V C C テーブルと下り用第 2 V C C テーブルにはそれぞれに対応する通常用 V C C データと張り替え用 V C C データの双方の内容が設定される（S 3）。

以上の処理の結果、障害は発生していないときには、通常用 V C C データに従った通常ルートを A T M セルが伝送されることになる。なお、遠隔集線装置 1 から H O S T 2 へ向かう張り替え用 V C C データに対応するルートからそのルートに対応する V P I / V C I が設定された A T M セルが流入しない限り、上り用第 2 V C C テーブル上の張り替え用 V C C データが参照されることはないため、予め上り用第 2 V C C テーブルに張り替え用 V C C データが設定されても問題はない。同様に、H O S T 2 から遠隔集線装置 1 へ向かう張り替え用 V C C データに対応するルートからそのルートに対応する V P I / V C I が設定された A T M セルが流入しない限り、下り用第 2 V C C テーブル上の張り替え用 V C C データが参照されることはないため、予め下り用第 2 V C C テーブルに張り替え用 V C C データが設定されても問題はない。 30

次に、図 8 8 5 は、H O S T 2 内の呼処理プロセッサ 3、遠隔集線装置 1 内のマイクロプロセッサ 4、及び H O S T 2 内の特には図示しないマイクロプロセッサにおいて実行される障害発生時のパス張り替え処理の動作フローチャートである。 40

まず、障害が発生したルート（伝送路）が特定され、その障害発生ルートを使用しているパスが、張り替え対象のパスとして抽出される（S 4）。この処理は、各 V C C テーブル内で、障害発生ルートに対応するタグ情報が検出され、そのタグ情報を設定されているアドレス（入力 V P I / V C I）を抽出する処理として実行される。

次に、上記張り替え対象のパスの全てについて、上り用第 1 V C C テーブルとクロック V C C テーブル 7 に、それぞれに対応する張り替え用 V C C データ（図 8 8 4 参照）が設定される。

以上の処理の結果、障害発生ルートが切り離され、張り替え用 V C C データに従った予 50

備ルートをA T M セルが伝送されることになる。この場合、遠隔集線装置1からH O S T 2へ向かう張り替え用V C C データに対応するルートからそのルートに対応するV P I / V C I が設定されたA T M セルが流入するようになるため、予め設定されていた上り用第2 V C C テーブル上の張り替え用V C C データが参照されるようになる。同様に、H O S T 2から遠隔集線装置1へ向かう張り替え用V C C データに対応するルートからそのルートに対応するV P I / V C I が設定されたA T M セルが流入するようになるため、予め設定されていた下り用第2 V C C テーブル上の張り替え用V C C データが参照されるようになる。

次に、図886～図889は、図879、図881、及び図882の構成を基本とする実施例において、障害が発生した場合におけるパス張り替え処理の第2の処理例を説明するための図である。

前述した第1の処理例では、上り用第1 V C C テーブルと下り用第1 V C C テーブルにはそれぞれに対応する通常用V C C データのみが設定され、上り用第2 V C C テーブルと下り用第2 V C C テーブルにはそれぞれに対応する通常用V C C データと張り替え用V C C データの双方の内容が設定されるが、以下に説明する第2の処理例では、上り用第1 V C C テーブルと下り用第1 V C C テーブルにも、それぞれに対応する通常用V C C データと張り替え用V C C データの双方の内容が設定される。これと共に、上り用第1 V C C テーブルと下り用第1 V C C テーブルの各アドレスには、そのアドレスにおいて参照されるデータが通常用V C C データであるか張り替え用V C C データであるかを指示するためのセレクトビットが付加される。

今、障害が発生していない場合における上り用第1 V C C テーブル及び上り用第2 V C C テーブルの内容は、図886に示される如くとなっている。

ここで、上り用第1 V C C テーブルにおいて、# aの回線に対応するセレクトビットの値は0であるため、V C C データとしては通常用V C C データが参照される。従って、例えば、遠隔集線装置1に收容される# a回線から入力した加入者のA T M セルのV P I 及びV C I は、図880で説明した原理に従って、上り用第1 V C C テーブル内の対応する通常用V C C データによって、遠隔集線装置1からH O S T 2に向かうルート# 1用の値A A A A及びB B B Bに付け替えられ、そのA T M セルの先頭にルート# 1用のタグ# 1が付加される。その結果、そのA T M セルは、遠隔集線装置1からH O S T 2に向かうルート# 1に出力される。

一方、上り用第2 V C C テーブルにおいて、アドレスA A . + B B . には、通常ルート# 1からV P I = A A、V C I = B Bを有するA T M セルが流入したときのための通常用V C C データが記憶されており、また、アドレスC C . + D D . には、予備ルート# 4からV P I = C C、V C I = D Dを有するA T M セルが流入したときのための張り替え用V C C データが記憶されている。そして、ルート# 1からH O S T 2に入力した上記A T M セルに付加されているV P I = A A A A及びV C I = B B B Bは、上り用第2 V C C テーブル内のアドレスA A . + B B . に記憶されている通常用V C C データによって、H O S T 2から出力されるルート# A用の値X X X X及びY Y Y Yに付け替えられ、そのA T M セルの先頭にルート# A用のタグ# Aが付加される。その結果、そのA T M セルは、H O S T 2内でスイッチングされた後、ルート# Aに出力される。この場合、遠隔集線装置1からH O S T 2へ向かう予備ルート# 4からは、V P I = C C、V C I = D Dを有するA T M セルは流入してこないため、張り替え用V C C データが参照されることはない。

次に、障害が発生した場合には、図887に示されるように、上り用第1 V C C テーブルの障害発生ルート上のパスである# aの回線に対応するセレクトビットの値を0から1に変更すだけで、パスの張り替えを完了することができる。

このように、上り用第1 V C C テーブルにおいて、# aの回線に対応するセレクトビットの値が1となるため、V C C データとしては張り替え用V C C データが参照されるようになる。従って、例えば、遠隔集線装置1に收容される# a回線から入力した加入者のA T M セルのV P I 及びV C I は、図880で説明した原理に従って、上り用第

10

20

30

40

50

1 V C C テーブル内の対応する張り替え用 V C C データによって、遠隔集線装置 1 から H O S T 2 に向かうルート # 4 用の値 C C C C 及び D D D D に付け替えられ、その A T M セルの先頭にルート # 4 用のタグ # 4 が付加される。その結果、その A T M セルは、遠隔集線装置 1 から H O S T 2 に向かうルート # 4 に出力されるようになる。

そして、ルート # 4 から H O S T 2 に入力した上記 A T M セルに付加されている V P I = C C C C 及び V C I = D D D D は、上り用第 2 V C C テーブル内のアドレス C C . + D D . に記憶されている張り替え用 V C C データによって、H O S T 2 から出力されるルート # A 用の値 X X X X 及び Y Y Y Y に付け替えられ、その A T M セルの先頭にルート # A 用のタグ # A が付加される。その結果、その A T M セルは、H O S T 2 内でスイッチングされた後、ルート # A に出力される。

10

一方、障害が発生していない場合における下り用第 1 V C C テーブル及び下り用第 2 V C C テーブルの内容は、図 8 8 8 に示される如くとなっている。

ここで、下り用第 1 V C C テーブルにおいて、セレクトビットの値は 0 であるため、V C C データとしては通常用 V C C データが参照される。従って、例えば、他のホスト交換機又は加入者から入力した A T M セルの V P I 及び V C I は、図 8 8 0 で説明した原理に従って、下り用第 1 V C C テーブル内の対応する通常用 V C C データによって、H O S T 2 から遠隔集線装置 1 に向かうルート # 1 用の値 A A A A 及び B B B B に付け替えられ、その A T M セルの先頭にルート # 1 用のタグ # 1 が付加される。その結果、その A T M セルは、H O S T 2 から遠隔集線装置 1 に向かうルート # 1 に出力される。

20

一方、下り用第 2 V C C テーブルにおいて、アドレス A A . + B B . には、通常ルート # 1 から V P I = A A 、V C I = B B を有する A T M セルが流入したときのための通常用 V C C データが記憶されており、また、アドレス C C . + D D . には、予備ルート # 4 から V P I = C C 、V C I = D D を有する A T M セルが流入したときのための張り替え用 V C C データが記憶されている。そして、ルート # 1 から遠隔集線装置 1 に入力した上記 A T M セルに付加されている V P I = A A A A 及び V C I = B B B B は、下り用第 2 V C C テーブル内のアドレス A A . + B B . に記憶されている通常用 V C C データにより、遠隔集線装置 1 から出力されるルート # A 用の値 X X X X 及び Y Y Y Y に付け替えられ、その A T M セルの先頭にルート # a 用のタグ # a が付加される。その結果、その A T M セルは、遠隔集線装置 1 からルート # a に出力される。この場合、H O S T 2 から遠隔集線装置 1 へ向かう予備ルート # 4 からは、V P I = C C 、V C I = D D を有する A T M セルは流入してこないため、張り替え用 V C C データが参照されることはない。

30

次に、障害が発生した場合には、図 8 8 9 に示されるように、下り用第 1 V C C テーブルの障害発生ルート上のパスに対応するセレクトビットの値を 0 から 1 に変更すだけで、パスの張り替えを完了することができる。

この結果、下り用第 1 V C C テーブルにおいて、障害発生ルートに含まれていたパスに対応する V C C データとしては、張り替え用 V C C データが参照されるようになる。従って、例えば、他のホスト交換機又は加入者から入力した A T M セルの V P I 及び V C I は、図 8 8 0 で説明した原理に従って、下り用第 1 V C C テーブル内の対応する張り替え用 V C C データによって、H O S T 2 から遠隔集線装置 1 に向かうルート # 4 用の値 C C C C 及び D D D D に付け替えられ、その A T M セルの先頭にルート # 4 用のタグ # 4 が付加される。その結果、その A T M セルは、H O S T 2 から遠隔集線装置 1 に向かうルート # 4 に出力されるようになる。

40

そして、ルート # 4 から遠隔集線装置 1 に入力した上記 A T M セルに付加されている V P I = C C C C 及び V C I = D D D D は、下り用第 2 V C C テーブル内のアドレス C C . + D D . に記憶されている張り替え用 V C C データにより、遠隔集線装置 1 から出力されるルート # a 用の値 X X X X 及び Y Y Y Y に付け替えられ、その A T M セルの先頭にルート # a 用のタグ # a が付加される。その結果、その A T M セルは、遠隔集線装置 1 からルート # a に出力される。

50

次に、図 890～図 893 は、図 879、図 881、及び図 882 の構成を基本とする実施例において、障害が発生した場合におけるパス張り替え処理の第 3 の処理例を説明するための図である。

この処理例は、図 890～図 893 は、図 879、図 881、及び図 882 の構成が、例えば図 890 に示されるように、障害時専用の予備ルートであるプロテクションライン（P-line）を備えていることを前提とする。

この場合、図 890～図 893 に示されるように、上り用第 2 VCC テーブル及び下り用第 2 VCC テーブルは、それぞれ、通常ルート用とプロテクションライン用に分割されており、それぞれ別々のマイクロコンピュータ 4（図 879 参照）によって制御される。

10

今、障害が発生していない場合における上り用第 1 VCC テーブル及び上り用第 2 VCC テーブルの内容は、図 890 に示される如くとなっている。即ち、上り用第 1 VCC テーブルの内容と、通常ルート用の上り用第 2 VCC テーブルの内容は、前述した図 881 におけるものと同様であり、プロテクションライン用の上り用第 2 VCC テーブルの内容は空きとなっている。

この結果、障害が発生していない場合における上りのルーティングは、図 881 におけるものと同様となる。

次に、障害が発生した場合には、図 891 に示されるように、上り用第 1 VCC テーブルの障害発生ルート上のパスである # a の回線に対応するタグの内容を、ルート # 1 に対応する値 # 1 からプロテクションラインであるルート # 4 に対応する値 # 4 に変更し、一方、通常ルート用の上り用第 2 VCC テーブル上の障害発生ルート上のパスに対応する VCC データを、プロテクションライン用の上り用第 2 VCC テーブルにコピーするだけで、パスの張り替えを完了することができる。

20

この結果、例えば、遠隔集線装置 1 に收容される # a 回線から入力した加入者の ATM セルの VPI 及び VCI は、図 880 で説明した原理に従って、上り用第 1 VCC テーブル内の対応する VCC データによって、値 A A A A 及び B B B B に付け替えられると共に、その ATM セルの先頭にプロテクションラインであるルート # 4 用のタグ # 4 が付加される。その結果、その ATM セルは、遠隔集線装置 1 から H O S T 2 に向かうプロテクションラインであるルート # 4 に出力されるようになる。

そして、プロテクションラインであるルート # 4 から H O S T 2 に入力した上記 ATM セルに付加されている VPI = A A A A 及び VCI = B B B B は、プロテクションライン用の上り用第 2 VCC テーブル内のアドレス A A . + B B . に記憶されている VCC データにより、H O S T 2 から出力されるルート # A 用の値 X X X X 及び Y Y Y Y に付け替えられ、その ATM セルの先頭にルート # A 用のタグ # A が付加される。その結果、その ATM セルは、H O S T 2 内でスイッチングされた後、ルート # A に出力される。

30

一方、障害が発生していない場合における下り用第 1 VCC テーブル及び下り用第 2 VCC テーブルの内容は、図 892 に示される如くとなっている。即ち、下り用第 1 VCC テーブルの内容と、通常ルート用の下り用第 2 VCC テーブルの内容は、前述した図 882 におけるものと同様であり、プロテクションライン用の下り用第 2 VCC テーブルの内容は空きとなっている。

40

この結果、障害が発生していない場合における下りのルーティングは、図 882 におけるものと同様となる。

次に、障害が発生した場合は、図 893 に示されるように、下り用第 1 VCC テーブルの障害発生ルート上のパスに対応するタグの内容を、ルート # 1 に対応する値 # 1 からプロテクションラインであるルート # 4 に対応する値 # 4 に変更し、一方、通常ルート用の下り用第 2 VCC テーブル上の障害発生ルート上のパスに対応する VCC データを、プロテクションライン用の下り用第 2 VCC テーブルにコピーするだけで、パスの張り替えを完了することができる。

この結果、例えば、他のホスト交換機又は加入者から入力した ATM セルの VPI 及

50

びV C I は、図880で説明した原理に従って、下り用第1 V C C テーブル内の対応するV C C データによって、値A A A A及びB B B Bに付け替えられると共に、そのA T M セルの先頭にプロテクションラインであるルート# 4用のタグ# 4が付加される。その結果、そのA T M セルは、H O S T 2から遠隔集線装置1に向かうプロテクションラインであるルート# 4に出力されるようになる。

そして、プロテクションラインであるルート# 4から遠隔集線装置1に入力した上記A T M セルに付加されているV P I = A A A A及びV C I = B B B Bは、プロテクションライン用の下り用第2 V C C テーブル内のアドレスA A . + B B . に記憶されているV C C データにより、遠隔集線装置1から出力されるルート# a用の値X X X X及びY Y Y Yに付け替えられ、そのA T M セルの先頭にルート# a用のタグ# aが付加される。その結果、そのA T M セルは、遠隔集線装置1からルート# aに出力される。

10

上述した実施例では、上り用第2 V C C テーブル及び下り用第2 V C C テーブルがそれぞれ通常ルート用とプロテクションライン用に分割されてそれぞれ別々のマイクロコンピュータによって制御される構成であるが、通常ルート用のV C C テーブルとプロテクションライン用のV C C テーブルが1つのマイクロコンピュータによって制御され、上記と同様の機能を実現するように構成されてもよい。

また、上述の実施例のように上り用第1 V C C テーブル又は下り用第1 V C C テーブルの障害発生ルート上のパスに対応するタグの内容を書き替えるのではなく、障害発生ルートに対応するタグが付加されているA T M セルをハードウェア的にプロテクションラインであるルートに出力するように構成されてもよい。

20

以上説明した実施例により、遠隔集線装置1とホスト交換機(H O S T) 2の間のパスの接続時に、通常ルートのパスとは別に予備ルートのパスを予め設定しておくことにより、障害発生時にパスの張り替えを確実に実行できると共に、パスの張り替え時間を短縮することができる。

次に、本発明に関連する他の特徴的構成について説明する。この構成は、「発明が解決しようとする課題」の項において前述した、より具体的な第21の課題に対応する。

前述した図880に示されるV C C テーブルを含むマイクロプロセッサによって構成されるV C C 制御装置等の局内装置は、通信の信頼性を確保するために一般に2重する必要がある。そして、運用系の局内装置に障害が発生した場合は、それに設定されている各種通信制御データを予備系の局内装置に転送した後に、今まで運用系装置であった局内装置の動作を停止させると共に今まで予備系であった局内装置を新たな運用系装置としてその動作を開始させる必要がある。上述したV C C 制御装置の例の場合には、運用系のV C C 制御装置に障害が発生した場合は、それに含まれるV C C テーブルの内容を予備系のV C C 制御装置に転送する必要がある。

30

以下に説明する実施例は、この転送処理を、安全かつ高速に実行可能とするものである。図894は、上述のV C C テーブルデータの高速転送機能を有するV C C 制御装置の実施例の構成図である。

図894において、セルヘッダーアドレス変換回路1は、入力セルデータ内の、mビット×nワードのサイズを有するセルヘッダを、m×nビット=1ワードのサイズを有するパラレルデータに変換する。

40

V C C テーブル2は、図880の説明で前述したように、上述の各入力セルのセルヘッダに含まれる入力V P I / V C I に対応する各アドレスに、出力V P I / V C I とタグとからなる新セルヘッダを記憶する。そして、セルヘッダーアドレス変換回路1からパラレルデータが入力されると、V C C テーブル2は、そのパラレルデータに対応する新セルヘッダを出力される。

各種タイミング作成回路3は、セル入力時、マイクロプロセッサによるリード/ライト時、テーブル初期化時、又は系間コピー時等における、V C C テーブル2に対する各種アクセスの制御を行う。

遅延回路4は、入力セルデータのセルヘッダの付け替えに要する処理時間分だけ、入力セルデータの転送を遅延させる。

50

セルヘッダ挿入制御回路6は、遅延回路4から入力する入力セルデータのセルヘッダを、VCCテーブル2から出力される新セルヘッダに付け替える。

系間コピー制御回路5は、それ自身が内蔵される自系（運用系）のVCC制御装置内のVCCテーブル2のテーブルデータの、他系（予備系）のVCC制御装置内のVCCテーブル2へのコピー処理を制御する。

テーブルデータ設定回路7は、特には図示しないマイクロプロセッサ（例えば図880のマイクロプロセッサ46）からVCCテーブル2へのテーブルデータのリード処理及びライト処理を制御する。

図895は、入力セルによるVCCテーブルのアクセスタイミングを示す図である。

まず入力セルデータは、図895（a）に示されるタイミングで入力される。

セルヘッダアドレス変換回路1は、図895（b）に示されるタイミングで、入力セルデータ内のセルヘッダを、 $m \times n$ ビット=1ワードのサイズを有するパラレルデータとして出力する。

このパラレルデータは、各種タイミング作成回路3が図895（c）に示されるタイミングで出力するタイミングデータに従い、VCCテーブル2に入力される。VCCテーブル2は、図895（d）に示されるタイミングで、新セルヘッダを出力する。

この新セルヘッダは、図895（e）に示されるタイミングでセルヘッダ挿入制御回路6にラッチされる。

一方、セルヘッダアドレス変換回路1を通過した入力セルは、遅延回路4において遅延させられ、上述の図895（e）に示されるタイミングと同じ図895（f）に示されるタイミングで、セルヘッダ挿入制御回路6に入力する。

そして、セルヘッダ挿入制御回路6は、遅延回路4から入力する入力セルのセルヘッダを、VCCテーブル2から出力される新セルヘッダに付け替え、図895（g）に示されるタイミングで新たな出力セルデータを特には図示しないATMスイッチに向けて出力する。

次に、図896Aは、マイクロプロセッサによるVCCテーブルのアクセスタイミングを示す図である。

まず、マイクロプロセッサからテーブルデータ設定回路7に、図896A（a）に示されるタイミングで、VCCテーブル2をアクセスするためのアドレスデータがVCCテーブル設定データとして設定される。

このデータに基づき、各種タイミング作成回路3は、図896A（b）に示されるタイミングで出力する入力セルによるアクセス用のタイミングデータとは別のマイクロプロセッサ4によるアクセス用のタイミングデータを、図896A（c）に示されるタイミングでVCCテーブル2に出力する。これと同期して、テーブルデータ設定回路7は、図896A（d）に示されるタイミングで、アドレスデータをVCCテーブル2に出力する。

そして、テーブルデータ設定回路7は、図896A（e）に示されるタイミングで、VCCテーブル2にマイクロプロセッサから転送されてきたテーブルデータを書き込み、又はVCCテーブル2からテーブルデータを読み出してマイクロプロセッサに転送する。

最後に、図896Bは、VCCテーブルデータの系間コピータイミングを示す図である。

系間コピーが実行される場合には、各種タイミング作成回路3は、図896B（a）及び（b）に示されるタイミングで出力する入力セルによるアクセス用のタイミングデータ及びマイクロプロセッサによるアクセス用のタイミングデータとは別の系間コピー用のタイミングデータを、図896B（c）に示されるタイミングでVCCテーブル2に出力する。これと同期して、系間コピー制御回路5は、図896B（d）に示されるタイミングで、アドレスデータをVCCテーブル2に出力する。

この結果、VCCテーブル2から系間コピー制御回路5へは、図896B（e）に示されるタイミングで、テーブルデータが出力される。

10

20

30

40

50

系間コピー制御回路5は、VCC テーブル2から出力されるテーブルデータをラッチし、そのテーブルデータをシリアルデータに変換しながら、そのシリアルデータを、系間コピー制御回路5自身が内蔵される自系のVCC 制御装置が生成する自系クロックに同期させて、他系のVCC 制御装置に出力する。

特に図示しない他系のVCC 制御装置内の系間コピー制御回路5は、その他系のVCC 制御装置が生成する他系クロックに同期させて、上記シリアルデータをラッチしながらパラレルデータに変換し、そのパラレルデータを、その他系のVCC 制御装置内のVCC テーブル2に書き込む。

上述の実施例の構成において、系間コピー制御回路5は、予めマイクロプロセッサ4から、VCC テーブル2用の一連のアドレスデータを記憶しておき、系間コピーの実行時に、それらを順次VCC テーブル2に対して指定するように構成することができる。

また、自系の系間コピー制御回路5から他系の系間コピー制御回路5へ出力されるVCC テーブル2のテーブルデータは、シリアルデータでなくパラレルデータであってもよい。

また、テーブルデータが自系の系間コピー制御回路5から他系の系間コピー制御回路5に出力される場合に、そのテーブルデータにその開始及び終了を示すデータを付加することにより、他系の系間コピー制御回路5は独自のクロックに従って上記テーブルデータを容易に受信することができる。

また、テーブルデータが自系の系間コピー制御回路5から他系の系間コピー制御回路5に出力される場合に、そのテーブルデータにパリティビットが付加されることにより、他系の系間コピー制御回路5は受信したテーブルデータの誤りの検出及び訂正を行うことができる。

【0013】

【発明の効果】

以上説明したように、本発明によれば、メッセージ識別子MID をキーとしたハードウェアテーブルを使用することにより、マイコンプログラムを用いてL3-PDUの解析を行うことなしに、ハードウェア自律でL2-PDU単位でルーティング処理が可能となり、高速交換処理が実現される。また、ルーティング処理時にL2-PDUからL3-PDUを組み立てる必要がないので、多数のL2-PDUを格納しておくためのハードウェア容量を小さくすることができる。さらに、上記方式をエラーログ収集に適用することにより、L2-PDU毎の処理でL3-PDUに関するエラーログを行うことができる。

また、各種伝送品質情報（加入者端末⇄網内交換ノード間の伝送路正常性・伝送遅延時間等の網品質情報など）を加入者自身が知ることが出来るようになり、伝送路から端末までを総括した品質劣化要因の評価が加入者サイドにおいても可能となる。そして、この手順は加入者新規開設時および顧客クレーム対処時におけるクラフトパーソンによるパケット導通試験にも有効である。

本発明のPVC 試験では、試験データ生成機能およびそのチェック機能をコネクションレス通信用サーバのみに設ける構成としたので、該システムを低コストで実現できる。また、該PVC の検証によりシステムの信頼性の向上を計れるとともに、本発明が提供するアルゴリズムを用いることにより、障害発生時の修復時間の短縮が図れる。

本発明のSMD Sデータ正常性確認方式では、L2-PDU毎の処理を可能としたので、この確認を実現するためのハードウェア構成が簡略化され、低コスト化にも効果がある。さらに、コネクションレス処理用サーバ間のデータ伝送を、スイッチでの交換処理を行うことなしに専用線（高速バス）を介して行うようにしたので、スイッチの帯域リソースを有効に活用でき、またそれに対するリソース管理も減少できるので、交換機の性能向上に寄与することが大きい。

また、本発明によれば、特定の局内装置のみをシステムバスに接続すればよく、局内の配線を簡単にすることができ、コストの面でも削減することができる。更に、システムバスに接続される装置を削減することにより、バスアクセス権獲得による競合も減少することができ、バスアクセスに関わる負荷を軽減することができる。また、遠隔装置に対しても

10

20

30

40

50

L A Pにて制御することにより、伝送品質が低下することがなく、伝送エラーを生じたとしても誤り制御により、復旧することが容易になるため、局内装置の制御が安定して実現できることからA T M交換機システムの性能向上に寄与するところが多い。

また、本発明によれば、網内の端末装置の制御をA T Mの特長を利用することにより、簡単なインタフェース及び通信フォーマットにて管理できる。しかも実際のデータハイウェイを用いたインスロット方式なので制御情報の伝達が高速に行える。

また、本発明によれば、今まで試験装置によって行われていた試験セルの折り返しチェックを、交換機内のテストプログラム上で行われることにより、短時間で効率のよい試験ができるようになる。また、セルデータを被試験装置内から送信するため、試験機の代わりにループバックを行う治具を使うことによって試験機が不要になる。

10

また、本発明によれば、試験の環境設定（試験装置の設定、オペレータの待機等）をする必要がなく、コマンド入力という簡単な方法で試験ができるため、複数の局間の試験も短時間で可能となる。早期の障害の発見も可能で、A T M 交換機等のサービス・信頼性の向上に寄与するところが多い。

また、本発明によれば、少ないハードウェアでA T M 等の高速ハイウェイ上のセルをカウント可能であり、その効果はA T M スイッチ等の特性やパフォーマンス及び運用中の状況を判断する要素とすることができる。

また、本発明によれば、パターンの送信規則を固定することができ、その動作及びその動作を実現する回路構成を単純化することができる。

また、本発明によれば、上述と同様の効果に加え、送信フレームの偏差を減少させることができる。

20

また、本発明によれば、交換システムの大規模化を防ぎ、低コストで増設等が容易なポイント・ツー・マルチポイント接続機能を提供することが可能となる。

また、本発明によれば、スイッチの外部に特別な装置を設けることなくポイント・ツー・マルチポイント接続機能を提供することが可能となる。

また、本発明によれば、ハードウェア資源を効率的に使用できるマルチキャスト接続を提供することが可能となる。

また、本発明によれば、広帯域通信ネットワークにおいて画像付き三者通話などの多端子接続サービスの呼処理機能を提供することが可能となる。

また、本発明によれば、交換機内装置が処理する回線に関する情報の収集と、障害発生時の交換機内装置の安全な変更を実現することが可能となる。

30

また、本発明によれば、回線上で障害が検出された場合に、帯域（V P I / V C I ）単位での安全な回線切替えを実現することが可能となる。

また、本発明によれば、回線上で障害が検出されたときに帯域（V P I / V C I ）単位で回線切替えを行う場合に、特に遠隔集線装置とA T M 交換機が接続される構成においてその回線切替えを行うための具体的な技術を提供することが可能となる。

また、本発明によれば、運用系の局内装置に障害が発生した場合における、それに設定されている各種通信制御データの予備系の局内装置への転送を、安全かつ高速に実行可能とすることが可能となる。

【図面の簡単な説明】

40

【図1】本実施例が対象とする広帯域ネットワークの構成を示した図である。

【図2】本実施例が対象とする広帯域システムアーキテクチャを示した図である。

【図3】広帯域交換機におけるS M D Sの実現方式を示した図である。

【図4】本実施例が対象とする広帯域交換システムの代表的なハードウェア構成を示した図である。

【図5】A S S Wにおけるポート構成を示した図である。

【図6】加入者インタフェースシェルフ（S I F S H）の構成を示した図である。

【図7】S I F S H に対するA D S I S H接続を示した図である。

【図8】A S S Wを中心とするネットワークの構成を示した図である。

【図9】S I F S H におけるループバック構成を示した図である。

50

- 【図10】 S I F S H に接続されるテストセルジェネレータの構成を示した図である。
- 【図11】 B S G C S Hの構成を示した図である。
- 【図12】 B R S Uの主なハードウェア構成要素を示した図である。
- 【図13】 B R L Cの主なハードウェア構成要素を示した図である。
- 【図14】 B R L Cにおける接続構成を示した図である。
- 【図15】 スモールホスト交換機とラージホスト交換機の構成を示した図である。
- 【図16】 A S S Wの構成を示した図である。
- 【図17】 S R M の原理を示した図である。
- 【図18】 A S S Wにおいて使用される4×4のS R M の構成を示した図である。
- 【図19】 仮想チャンネル識別子コンバータ(V C C) の位置を示した図である。 10
- 【図20】 A S S WのA T M スイッチモジュールの構成を示した図である。
- 【図21】 本実施例の加入者インタフェース／ネットワークインタフェースを説明する構成図である。
- 【図22】 A T M スイッチ内における広帯域シグナリング・コントローラ(B S G C)の位置を示す図である。
- 【図23】 A T M スイッチ内におけるS M D Sメッセージ・ハンドラの位置を示す図である。
- 【図24】 広帯域コール・プロセッサ(B C P R)の構成を示す図である。
- 【図25】 メンテナンス・アンド・オペレーション・システム(M O S)の構成を示す図である。 20
- 【図26】 オペレーション・アンド・メンテナンス・プロセッサ(O M P)のハードウェア構成を示す図である。
- 【図27】 広帯域遠隔集線装置(B R L C)の構成図である。
- 【図28】 広帯域遠隔交換装置(B R S U)の構成図である。
- 【図29】 S M D S装置の構成図である。
- 【図30】 レイヤ構造のS N I のプロトコルを示す図である。
- 【図31】 本実施例のS M D Sが採用するレイヤ構成を説明する図である。
- 【図32】 S M D Sにおけるセルのルーティングを示す図である。
- 【図33】 D S 3－S M D Sインタフェースを説明するためのシステム構成の概略図 (その1) である。 30
- 【図34】 D S 3－S M D Sインタフェースを説明するためのシステム構成の概略図 (その2) である。
- 【図35】 A T M セルのペイロードからD S 3 フォーマットへのマッピングを示した図である。
- 【図36】 D S 3 フレームフォーマットを示した図である。
- 【図37】 D S 3 P L C Pフレームフォーマットを示した図である。
- 【図38】 D S 3－S M D S L 2－P D U フォーマットを示した図である。
- 【図39】 アクセスコントロールフィールドの内容を示した図である。
- 【図40】 ネットワークコントロールインフォメーションフィールドの内容を示した図である。 40
- 【図41】 セグメントタイプの内容を示した図である。
- 【図42】 S M D Sサービスにおけるレイヤ階層を示した図である。
- 【図43】 D S 3 アンビリアルリンクフォーマットを示した図である。
- 【図44】 D S 3－A T M ヘッダフィールドを示した図である。
- 【図45】 D S 3－S M D Sインタフェースの機能構成を示したブロック図である。
- 【図46】 D S 3 レイヤにおけるアラームシーケンスを示した図である。
- 【図47】 D S 3 レイヤにおけるアラームの優先度を示した図である。
- 【図48】 各種アラームの検出・復旧条件を示した図である。
- 【図49】 アラームが宣言されるタイミングを示した図である。
- 【図50】 D S 3 P L C Pレイヤにおけるアラームのシーケンスを示した図である。 50

【図 5 1】各種アラームの検出・復旧条件を示した図である。

【図 5 2】アラームが宣言されるタイミングを示した図である。

【図 5 3】DS3 レイヤに関するパフォーマンスパラメータの種類と、各パラメータの積算値のカウントアップ条件、及び各パラメータの積算値に対するアラート閾値を示した図である。

【図 5 4】DS3-PLC レイヤに関するパフォーマンスパラメータの種類と、各パラメータの積算値のカウントアップ条件、及び各パラメータの積算値に対するアラート閾値を示した図である。

【図 5 5】DS3-SMDS インタフェースと SIFSH Common 部の間のデータ変換処理の説明図である。

10

【図 5 6】交換機内を転送される ATM セルのフォーマットを示した図である。

【図 5 7】E-MSD 信号のタイミングチャートを示した図である。

【図 5 8】DS3-MSDS インタフェースと SIFSH Common 部の間を転送される E-MSD 情報の収容状態を表した表を示した図である。

【図 5 9】E-MSD 情報の各ビットの内容を示した図である。

【図 6 0】DS3-SMDS インタフェースと SIFSH Common 部の間の信号線のタイミングチャートを示した図である。

【図 6 1】DS3-MSDS インタフェースと SIFSH Common 部の間を転送される E-MSCN 情報の収容状態を表した表を示した図である。

【図 6 2】E-MSCN 情報の各ビットの内容を示した図 (その 1) である。

20

【図 6 3】E-MSCN 情報の各ビットの内容を示した図 (その 2) である。

【図 6 4】DS3-SMDS インタフェースと交換機ソフトウェアの間のインタフェースの接続構成を示した図である。

【図 6 5】DS3-SMDS インタフェースと交換機ソフトウェアの間のプロトコルスタックを示した図である。

【図 6 6】DS3-SMDS インタフェースと BSGC の間の局内通信用セルの VPI, VCI の変換処理の概要を示した図である。

【図 6 7】局内通信用 SAR-PDR のフォーマットを示した図である。

【図 6 8】局内通信用 L2 フレームフォーマットを示した図である。

【図 6 9】L3 フレームフォーマットを示した図である。

30

【図 7 0】DS3-SMDS インタフェースの処理シーケンス (DS3-SMDS インタフェースの初期設定) を示した図である。

【図 7 1】DS3-SMDS インタフェースの処理シーケンス (DS3-SMDS インタフェースの INS 化の手順) を示した図である。

【図 7 2】DS3-SMDS インタフェースの処理シーケンス (DS3-SMDS インタフェースの OUS 化の手順) を示した図である。

【図 7 3】DS3-SMDS インタフェースの処理シーケンス (DS3-SMDS インタフェースのハードウェア障害/局内制御通信が可能なハードウェア障害) を示した図である。

【図 7 4】DS3-SMDS インタフェースの処理シーケンス (DS3-SMDS インタフェースのハードウェア障害/局内制御通信が不可能なハードウェア障害) を示した図である。

40

【図 7 5】DS3-SMDS インタフェースの処理シーケンス (DS3-SMDS インタフェースのハードウェア障害/マイクロプロセッサ障害) を示した図である。

【図 7 6】DS3-SMDS インタフェースの処理シーケンス (DS3-SMDS インタフェースのハードウェア障害/SIFSH Common と DS3-SMDS インタフェースの間の交絡障害 (アクティブ系)) を示した図である。

【図 7 7】DS3-SMDS インタフェースの処理シーケンス (DS3-SMDS インタフェースのハードウェア障害/SIFSH Common と DS3-SMDS インタフェースの間の交絡障害 (スタンバイ系)) を示した図である。

50

【図78】DS3-SMDSインタフェースの処理シーケンス（DS3/PLCプレイアラーム処理）を示した図である。

【図79】DS3-SMDSインタフェースの処理シーケンス（DS3/PLCPTCAの発生時におけるD/Qタイマの通知、PMデータの収集）を示した図である。

【図80】DS3-SMDSインタフェースの処理シーケンス（DS3-SMDSインタフェースバッファアラームの発生時におけるD/Qタイマの通知、バッファデータの収集）を示した図である。

【図81】DS3-SMDSインタフェースの処理シーケンス（PVCパス試験用特番VPI, VCIセルの設定）を示した図である。

【図82】バッファでの上述のセル廃棄処理開始/解除閾値を示した図である。 10

【図83】DS3-SMDSインタフェースPCBにおける上述のループバック機能の実装位置を示した図である。

【図84】DSX-3でのラインループバック試験の概略を示した図である。

【図85】RLCでのラインループバック試験の概略を示した図である。

【図86】DS3-SMDSインタフェースとSBMHS、GWMHSの間のPVCのパス導通試験の概略を示した図である。

【図87】SIFSHの構成図である。

【図88】個別部のOBP監視機能の構成を示した図である。

【図89】パッケージ抜け監視機能の構成を示した図である。

【図90】共通部でのヒューズ断監視機能の構成を示した図である。 20

【図91】アクティブコントロール機能を示した図である。

【図92】HLPOLAの機能構成を示した図である。

【図93】DS3-SMDSインタフェースのメモリマップを示した図である。

【図94】SIFSH-Aのシステム内における位置付けを示した図である。

【図95】SIFCOMのパッケージ構成を示した図である。

【図96】SIFSH-AとATMスイッチ(ASSW)の間のインタフェースを示した図である。

【図97】50芯フラット同軸ケーブル上の622Mbpsセルハイウェイに対するインタフェースタイミングを示した図である。

【図98】20芯TDバスケーブル上の系切替え信号に対するインタフェースタイミングを示した図である。 30

【図99】系切替え信号とSIFSH-Aでのアクティブ系選択状態の関係図である。

【図100】SYNSHからの基準クロックを選択するためのSIFSH-A内に設けられる回路構成を示した図である。

【図101】各系における、COM-EMSDコマンドの指示状態、アラーム状態、及び選択された系の状態の関係図である。

【図102】156Mbpsセルハイウェイのインタフェースタイミングを示した図である。

【図103】個別部からSIFCOMへ向かう上りセルハイウェイにおけるATMセルの受信タイミングを示した図である。 40

【図104】SIFCOMから個別部へ向かう下りセルハイウェイにおけるATMセルの受信タイミングを示した図である。

【図105】#0系のSIFCOMがアクティブ系である場合における系制御を示した図である。

【図106】ACTコントローラによる系制御の論理を示した図である。

【図107】ACTコントローラの回路構成例を示した図である。

【図108】FCK及びCLKと、EMSDデータ、EMSCNデータとの間の位相関係を示した図である。

【図109】フレーム同期処理の状態遷移図を示した図である。

【図110】フレーム同期の確立/はずれ過程を示した図である。 50

【図 1 1 1】パイロット信号の検出／異常過程を示した図である。

【図 1 1 2】3. 3. 2. 3. 2、3. 3. 2. 3. 3、及び3. 3. 2. 3. 4節で説明したデータ取込みのための一連の処理のフローチャートを示した図である。

【図 1 1 3】3. 3. 2. 3. 2、3. 3. 2. 3. 3、及び3. 3. 2. 3. 4節で説明したデータ取込みのための一連の処理を実行する個別部内の機能ブロック図を示す。

【図 1 1 4】個別部内のE M S C N 送出回路のブロック図である。

【図 1 1 5】S I F C O Mと個別部の間のインターフェイス障害についての、個別部における検出方法及び通知方法、並びに、S I F C O Mにおける検出方法及び認識される障害内容の一覧を示した図である。

【図 1 1 6】S I F S H - A 内部、及び個別部の間の、セル流に沿ったクロックインタフェースを示した図である。 10

【図 1 1 7】局内制御通信のレイヤ構造を示した図である。

【図 1 1 8】簡易L A P - D におけるA T M レイヤのセルフォーマットを示した図である。

【図 1 1 9】簡易L A P - D におけるS A R - P D U フォーマットを示した図である。

【図 1 2 0】レイヤ2のL A P - D フォーマットを示した図である。

【図 1 2 1】A T M セルフォーマットを示した図である。

【図 1 2 2】S I F S H - A で使用されるA T M セルヘッダデータの構成を示した図である。 20

【図 1 2 3】S I F S H - A におけるA T M セルヘッダデータの使用方法を示した図である。

【図 1 2 4】R M X S Hで使用されるA T M セルヘッダデータの構成を示した図である。

【図 1 2 5】R M X S H におけるA T M セルヘッダデータの使用方法を示した図である。

【図 1 2 6】B S G C S Hで使用されるA T M セルヘッダデータの構成を示した図である。

【図 1 2 7】B S G C S HにおけるA T M セルヘッダデータの使用方法を示した図である。 30

【図 1 2 8】S I F S H - A におけるS I G / A D S 1 B L K / A D S 1 S E L の使用方法を示した図である。

【図 1 2 9】図 1 2 2、図 1 2 3、及び図 1 2 8によって規定されるA T M セルヘッダデータの、S I F S H - A 及びA D S 1 S H (図 8 参照) における機能割当てを示した図である。

【図 1 3 0】S I F S H - A 内でのM U X の位置を示した図である。

【図 1 3 1】S I F S H - A の縦続接続の構成を示した図である。

【図 1 3 2】M U X の構成を示した図である。

【図 1 3 3】スケジューラの構成の概要を示した図である。

【図 1 3 4】スケジューラのF I F O (F i r s t I n F i r s t O u t バッファ) へのA T M セルの書込みタイミングを示した図である。 40

【図 1 3 5】出力許可信号の送出タイミングを示した図である。

【図 1 3 6】入力したセルのデータ長が短い場合の書き込み異常処理の説明図である。

【図 1 3 7】入力したセルのデータ長が長い場合の書き込み異常処理の説明図である。

【図 1 3 8】読み出し異常処理の説明図である。

【図 1 3 9】M U X 内のバッファに設定される閾値を示した図である。

【図 1 4 0】S I F S H - A 内でのD M U Xの位置を示した図である。

【図 1 4 1】D M U Xの構成を示した図である。

【図 1 4 2】交換機内のセルフォーマットを示した図である。

【図 1 4 3】D M U Xにおいて使用されるヘッダのマッチングビットのロケーションを示 50

した図である。

【図 1 4 4】 アンビリカルプロテクションスイッチングの概要を示した図である。

【図 1 4 5】 DMUX 内のバッファに設定される閾値を示した図である。

【図 1 4 6】 VCC / ATM スイッチ障害を説明した図である。

【図 1 4 7】 VCC 用メモリのテーブル構造を示した図である。

【図 1 4 8】 INS 化手順のアローダイアグラム (Arrow Diagram) を示した図である。

【図 1 4 9】 各系のステータスと CC (交換機プロセッサ) の処理を示した図である。

【図 1 5 0】 SIFSH-A 内での Signal 処理部 (EGCLAD) の位置を示した図である。 10

【図 1 5 1】 ヘッダチェック領域を示した図である。

【図 1 5 2】 ヘッダ挿入領域を示した図である。

【図 1 5 3】 モニタリングセル MC の挿入・監視ポイントと、そのルーティングを示した図である。

【図 1 5 4】 TCG 試験のルートを示した図である。

【図 1 5 5】 SIFCOM での OBP 障害の検出処理の説明図である。

【図 1 5 6】 SIFCOM のパッケージ抜け障害の検出処理の説明図である。

【図 1 5 7】 パワーパッケージ抜け障害の検出処理の説明図である。

【図 1 5 8】 SIFCOM 用ヒューズ断障害の検出処理の説明図である。 20

【図 1 5 9】 下り同軸フラットケーブル障害の検出処理の説明図である。

【図 1 6 0】 上り同軸フラットケーブル障害の検出処理の説明図である。

【図 1 6 1】 TD バスケーブル障害の検出処理の説明図である。

【図 1 6 2】 SIFCOM 障害の説明図 (その 1) である。

【図 1 6 3】 SIFCOM 障害の説明図 (その 2) である。

【図 1 6 4】 ホスト交換機と BRLC を接続するアンビリカル回線を示した図である。

【図 1 6 5】 回線プロテクションにおける回線の切り替えシーケンスを示した図である。

【図 1 6 6】 回線切り替えのコマンドフォーマットを示した図である。

【図 1 6 7】 ASSWSH-A の内部構成を示した図である。

【図 1 6 8】 通話路系の接続構成を示した図である。 30

【図 1 6 9】 SWMDX と 622Mbps の ATM ハイウェイとのインタフェースにおける信号タイミングを示した図である。

【図 1 7 0】 SWMDX と 622Mbps の ATM ハイウェイの間のインタフェースにおけるセルフォーマットを示した図である。

【図 1 7 1】 INF A と ASSWSH-A の間のインタフェースを示した図である。

【図 1 7 2】 自系の SWCNT と他系の SWCNT の間のインタフェースを示した図である。

【図 1 7 3】 系選択信号及びそのストロブ信号を示した図である。

【図 1 7 4】 系選択信号に関する系選択論理を示した図である。

【図 1 7 5】 SWMX に関する外部インタフェースを示した図 (その 1) である。 40

【図 1 7 6】 SWMX に関する外部インタフェースを示した図 (その 2) である。

【図 1 7 7】 SWMDX に関する外部インタフェースを示した図 (その 1) である。

。

【図 1 7 8】 SWMDX に関する外部インタフェースを示した図 (その 2) である。

。

【図 1 7 9】 SWCNT に関する外部インタフェースを示した図 (その 1) である。

。

【図 1 8 0】 SWCNT に関する外部インタフェースを示した図 (その 2) である。

。

【図 1 8 1】 ASSWSH-A を構成する各ブロックの詳細な機能を示した図である。 50

- 【図182】 SWMDX を構成する各ブロックを示した図である。
- 【図183】 SWMDX 内の各ブロックの機能を示した図である。
- 【図184】 SWMXを構成する各ブロックを示した図である。
- 【図185】 SWMX内の各ブロックの機能を示した図である。
- 【図186】 SWCNT を構成する各ブロックを示した図である。
- 【図187】 SWCNT 内の各ブロックの機能を示した図である。
- 【図188】 SWTIF を構成する各ブロックを示した図である。
- 【図189】 SWTIF 内の各ブロックの機能を示した図である。
- 【図190】 SCLKを構成する各ブロックを示した図である。
- 【図191】 SCLK内の各ブロックの機能を示した図である。 10
- 【図192】 セル廃棄クラスを示した図である。
- 【図193】 トラヒック測定回路のブロック図である。
- 【図194】 トラヒック測定回路の動作タイミングチャートである。
- 【図195】 CCアクセス（IN 命令） のタイミングチャート（（a）図） 及びアドレス／データフォーマット（（b）図） を示した図である。
- 【図196】 CCアクセス（OUT 命令） のタイミングチャート（（a）図） 及びアドレス／データフォーマット（（b）図） を示した図である。
- 【図197】 DMA アクセス（リード） のタイミングチャート（（a）図） 及びアドレス／データフォーマット（（b）図） を示した図である。
- 【図198】 DMA アクセス（ライト） のタイミングチャート（（a）図） 及び 20
アドレス／データフォーマット（（b）図） を示した図である。
- 【図199】 IN／OUT 命令の一覧を示した図である。
- 【図200】 障害検出手順（MSCNにより通知が行われる場合） を示した図である。
- 【図201】 障害検出手順（自律的にステータスが通知される場合） を示した図である。
- 【図202】 障害処理タスクが処理するメッセージボックスの基本フォーマットを示した図である。
- 【図203】 通常障害におけるメッセージボックス内の障害内容書き込みデータを示した図である。 30
- 【図204】 システム内における SBMESH の位置付を示す全体構成図である。
- 【図205】 SNI - SNI 間での SMD S データのルートを説明する図である。
- 【図206】 SNI から ISSI または ICI への SMD S データ転送のルートを説明する図である。
- 【図207】 ISSI または ICI から SNI への SMD S データ転送のルートを説明する図である。
- 【図208】 ISSI または ICI から ISSI または ICI への SMD S データ転送のルートを説明する図である。
- 【図209】 SBMESH のブロック図である。
- 【図210】 SBMESH の冗長構成を示すブロック図である。 40
- 【図211】 メッセージハンドラ MH 間の論理的な結合を示す図である。
- 【図212】 レイヤ 2、レイヤ 3 におけるユーザ情報の分解・組立を説明する図である。
- 【図213】 レイヤ 2 の AAL／SAR におけるデータ構成を示す図である。
- 【図214】 セル種別に従った出力 VCI／MID の付与方法を説明する図である。
- 【図215】 システム内の各位置におけるルーティング機能と、そのルーティングに利用されるセル内の情報を説明する図である。
- 【図216】 SNI に対応させた VCI の割り当ての例を示す図である。
- 【図217】 SNI と SBMH との間での VPI／VCI の割り当てを説明する図（その 1）である。
- 【図218】 SNI と SBMH との間での VPI／VCI の割り当てを説明する図（そ 50

の 2) である。

【図 2 1 9】メッセージハンドラ MH 間での V P I / V C I の割り当ての例を示す図である。

【図 2 2 0】メッセージハンドラ MH 間での V P I / V C I の割り当てを説明する図である。

【図 2 2 1】各 S M L P に対して M I D を割り当てる例を示す図である。

【図 2 2 2】グループアドレスを用いたデータ分配の概念を説明する図である。

【図 2 2 3】各セルが属する S N I および L 3 P D U を識別するために用いる情報を説明する図である。

【図 2 2 4】S B M E S H の機能ブロック図である。

10

【図 2 2 5】S M L P 部の全体構成ブロック図である。

【図 2 2 6】図 2 2 5 に示す S M L P 部の各ブロックの機能概略をまとめた図 (その 1) である。

【図 2 2 7】図 2 2 5 に示す S M L P 部の各ブロックの機能概略をまとめた図 (その 2) である。

【図 2 2 8】図 2 2 5 に示す S M L P 部の各ブロックの機能概略をまとめた図 (その 3) である。

【図 2 2 9】図 2 2 5 に示す S M L P 部の各ブロック毎に操作するエラーフラグをまとめた図 (その 1) である。

【図 2 3 0】図 2 2 5 に示す S M L P 部の各ブロック毎に操作するエラーフラグをまとめた図 (その 2) である。

20

【図 2 3 1】図 2 2 5 に示す S M L P 部の各ブロック毎に操作するエラーフラグをまとめた図 (その 3) である。

【図 2 3 2】図 2 2 5 に示す S M L P 部の各ブロック毎に操作するエラーフラグをまとめた図 (その 4) である。

【図 2 3 3】上記エラーフラグ (E F) とエラー名称 (T R での名前) の対応関係及び、E F の位置を示す図 (その 1) である。

【図 2 3 4】上記エラーフラグ (E F) とエラー名称 (T R での名前) の対応関係及び、E F の位置を示す図 (その 2) である。

【図 2 3 5】上記エラーフラグ (E F) とエラー名称 (T R での名前) の対応関係及び、E F の位置を示す図 (その 3) である。

30

【図 2 3 6】上記エラーフラグ (E F) とエラー名称 (T R での名前) の対応関係及び、E F の位置を示す図 (その 4) である。

【図 2 3 7】上記エラーフラグ (E F) とエラー名称 (T R での名前) の対応関係及び、E F の位置を示す図 (その 5) である。

【図 2 3 8】交絡セレクト S におけるタイミングを説明する図である。

【図 2 3 9】セルのフォーマット (ヘッダ部) を示す図である。

【図 2 4 0】試験セル多重時の、回線セルと試験セルの送出動作を説明する図である。

【図 2 4 1】C R C - 1 0 チェックに関する処理を説明する図である。

【図 2 4 2】各セグメントタイプ毎の P L 長チェックに関する処理を説明する図である。

40

【図 2 4 3】各セグメントタイプ毎の M I D 値チェックに関する処理を説明する図である。

【図 2 4 4】各セグメントタイプ毎の M I D チェックに関する処理を説明する図である。

【図 2 4 5】各セグメントタイプ毎の S N チェックに関する処理を説明する図である。

【図 2 4 6】アドレスフォーマット・チェックに関する処理を説明する図である。

【図 2 4 7】各セグメントタイプ毎の D A チェックに関する処理を説明する図である。

【図 2 4 8】B A サイズチェックに関する処理を説明する図である。

50

【図 2 4 9】 イングレス流量チェックの処理タイミングを説明する図である。

【図 2 5 0】 同時入力数チェックに関する処理を説明する図である。

【図 2 5 1】 M I D のタイムアウトに関する処理を説明する図である。

【図 2 5 2】 R M I D 変換 C A M と、M R I C A M へのリード／ライトデータを示す図である。

【図 2 5 3】 各セル毎の、上記 R M I D 変換 C A M および M R I C A M のマッチングおよびリード／ライトのタイミングを説明する図である。

【図 2 5 4】 同時入力数制限 R M I D 獲得／M R I T i m e O u t の処理を説明するフローチャートである。

【図 2 5 5】 R M I D の縮退の概念を説明する図である。

10

【図 2 5 6】 各セグメントタイプ毎に、R M I D 獲得部、同時入力制限、M R I T . O . 設定／解除における正常セルと異常セルの処理を示す図である。

【図 2 5 7】 ヘッダ・イクステンション (H E) フォーマットチェックに関する処理を説明する図である。

【図 2 5 8】 各セグメントタイプ毎の、送信元アドレス (S A) のチェックに関する処理を説明する図である。

【図 2 5 9】 着信先アドレス D A のスクリーニングに関する処理を説明する図である。

。

【図 2 6 0】 B E タグのマッチングに関する処理を説明する図である。

【図 2 6 1】 B A サイズのマッチングチェックに関する処理を説明する図である。

20

【図 2 6 2】 情報長チェックに関する処理を説明する図である。

【図 2 6 3】 L 3 - P D U 単位のエラーメッセージ廃棄を説明する図である。

【図 2 6 4】 M R I タイムアウト E O M 後に受信したメッセージの廃棄を説明する図である。

【図 2 6 5】 各セグメントタイプ毎に、エラーメモリに対する処理を説明する図である。

【図 2 6 6】 エンキャプセレーションを説明する図である。

【図 2 6 7】 メッセージハンドラ (M H) 間の情報 B O N に付与する I S S I ヘッダを示す図である。

【図 2 6 8】 メッセージハンドラ (M H) 間の情報 B O N のフォーマットを示す図である。

30

【図 2 6 9】 キャリアセレクションの処理を説明する図である。

【図 2 7 0】 ルーティングに関する処理をまとめた図である。

【図 2 7 1】 ルーティングに関する処理を概念的に説明する図である。

【図 2 7 2】 キャリアスクリーニングに関する処理を説明する図である。

【図 2 7 3】 ブロードキャスト指定用ビットを説明する図である。

【図 2 7 4】 セルのコピーに関する処理を説明する図である。

【図 2 7 5】 ブロードキャスト後のセルフォーマットを示す図である。

【図 2 7 6】 グループアドレス G A 部でのコピー処理のフローチャートである。

【図 2 7 7】 出力帯域制限に関する処理を説明する図である。

【図 2 7 8】 出 M I D の獲得に関する処理を説明する図である。

40

【図 2 7 9】 M I D の獲得に関する処理のフローチャートである。

【図 2 8 0】 S M L P テーブル一覧を示す図 (その 1) である。

【図 2 8 1】 S M L P テーブル一覧を示す図 (その 2) である。

【図 2 8 2】 R M L P の全体構成ブロック図である。

【図 2 8 3】 上記 R M L P の各ブロックの機能概要を説明する図 (その 1) である。

【図 2 8 4】 上記 R M L P の各ブロックの機能概要を説明する図 (その 2) である。

【図 2 8 5】 P V C 試験時の試験セルのルートを示す図 (その 1) であり、S N I 折り返しテストを説明する。

【図 2 8 6】 P V C 試験時の試験セルのルートを示す図 (その 2) であり、M H 間 (特定 D A 使用) テストを説明する。

50

【図287】PVC 試験時の試験セルのルートを示す図（その3）であり、MH間（割付済DA使用）テストを説明する。

【図288】RMLPのMSCN收容図である。

【図289】RMLPのMSD 收容図である。

【図290】RMLPの各機能ブロック毎に操作するエラーフラグ（EF）を示す図である。

【図291】RMLPとLP-COMのデータインタフェース、及びセルのフォーマットを示す図（その1）である。

【図292】RMLPとLP-COMのデータインタフェース、及びセルのフォーマットを示す図（その2）である。

10

【図293】RMLPとLP-COMのデータインタフェース、及びセルのフォーマットを示す図（その3）である。

【図294】RMLPとLP-COMのデータインタフェース、及びセルのフォーマットを示す図（その4）である。

【図295】RMLPとLP-COMのデータインタフェース、及びセルのフォーマットを示す図（その5）である。

【図296】HMH00Aの機能ブロック図である。

【図297】上記HMH00Aの各ブロックの機能概略を説明する図である。

【図298】交絡セレクトR の機能ブロック図である。

【図299】上記交絡セレクトR の各ブロックの機能概略を説明する図である。

20

【図300】HMH00Aの系交絡を説明する図である。

【図301】FIFOによるタイミング調節を説明する図である。

【図302】交絡データのセレクト処理を説明する図である。

【図303】交絡セレクトに関するMSCNポイントを説明する図である。

【図304】タイミングジェネレータR の機能ブロック図である。

【図305】上記タイミングジェネレータR の各ブロックの機能概要を説明する図である。

【図306】セルフフレーム（CF）ジェネレータの動作を説明する図である。

【図307】タイミングジェネレータに関するMSCNポイントを説明する図である。

【図308】アドレスフィルタR の機能ブロック図である。

30

【図309】上記アドレスフィルタR の各ブロックの機能概略を説明する図である。

【図310】VCI/MID マッチャ条件をまとめた図である。

【図311】上記アドレスフィルタR に関するMSCNポイントを説明する図である。

【図312】HMH01Aの機能ブロック図である。

【図313】上記HMH01Aの各ブロックの機能概略を説明する図である。

【図314】試験セル多重R, 9MG Rの機能ブロック図である。

【図315】上記試験セル多重R, 9MG Rに関するMSCNポイントを説明する図である。

【図316】MID チェックR の機能ブロック図である。

【図317】MID チェックに関する処理を説明する図である。

40

【図318】MID チェックのエラーフラグを示す図である。

【図319】MIDチェックR に関するMSCNポイントを説明する図である。

【図320】SNチェックR の機能ブロック図である。

【図321】SNチェックR のエラーフラグを示す図である。

【図322】上記 SN チェックR 部に関するMSCNポイントを説明する図である。

【図323】エンキャプセレーション部の機能ブロック図である。

【図324】エンキャプセレーション部に関するエラーフラグを示す図である。

【図325】上記エンキャプセレーション部に関するMSCNポイントを説明する図である。

50

- 【図 3 2 6】エラー編集 I R の機能ブロック図である。
- 【図 3 2 7】R M I D 獲得 R の機能ブロック図である。
- 【図 3 2 8】上記 R M I D 獲得 R の各ブロックの機能概要を説明する図である。
- 【図 3 2 9】上記 R M I D 獲得 R 部に関するエラーフラグを示す図である。
- 【図 3 3 0】M R I タイムアウトチェック R の機能ブロック図である。
- 【図 3 3 1】上記 M R I タイムアウトチェック R の各ブロックの機能概略を説明する図である。
- 【図 3 3 2】T O セル (タイムアウトセル) のヘッダフォーマットを示す図である。
- 【図 3 3 3】M R I タイムアウトチェック部に関するエラーフラグを示す図である。
- 【図 3 3 4】G A コピー R の機能ブロック図である。 10
- 【図 3 3 5】上記 G A コピー R の各ブロックの機能概略を説明する図である。
- 【図 3 3 6】G A コピー部に関するエラーフラグを示す図である。
- 【図 3 3 7】上記 G A コピー部に関する M S C N ポイントを説明する図である。
- 【図 3 3 8】S N I 利用可能 R の機能ブロック図である。
- 【図 3 3 9】S N I 利用可能部に関するエラーフラグを示す図である。
- 【図 3 4 0】S N I 利用可能部に関する M S C N ポイントを説明する図である。
- 【図 3 4 1】エラー編集 I I R の機能ブロック図およびその機能ブロック概要を説明する図である。
- 【図 3 4 2】S A チェック R の機能ブロック図およびそのブロックの機能概要を説明する図である。 20
- 【図 3 4 3】M I D チェックのエラーフラグを説明する図である。
- 【図 3 4 4】S A チェック部に関する M S C N ポイントを説明する図である。
- 【図 3 4 5】S A スクリーニング R において、S C 属性とのマッチ状況を示す図である。
- 【図 3 4 6】H M H 0 2 A の全体構成を表すブロック図である。
- 【図 3 4 7】H M H 0 2 A の機能ブロック図である。
- 【図 3 4 8】図 3 4 7 に示した各ブロックの機能をまとめた表である。
- 【図 3 4 9】H M H 0 2 A のインタフェース I / F 状況を表す図である。
- 【図 3 5 0】H M H 0 2 A におけるメッセージ制御の内容をまとめた表である。
- 【図 3 5 1】同時送出数制限部の詳細ブロック図である。 30
- 【図 3 5 2】特定 S N I に対するメッセージ送出数管理を説明する表である。
- 【図 3 5 3】バッファリング管理を説明する概念図である。
- 【図 3 5 4】出 M I D 獲得部のブロック図である。
- 【図 3 5 5】出 M I D 獲得の処理を説明する図である。
- 【図 3 5 6】エグレス流量制限部のブロック図である。
- 【図 3 5 7】廃棄カウンタ部のブロック図である。
- 【図 3 5 8】C R C - 1 0 生成部のブロック図である。
- 【図 3 5 9】C R C - 1 0 生成部が生成する C R C - 1 0 の多項式のセル内の位置を示す図である。
- 【図 3 6 0】クロック生成部のブロック図である。 40
- 【図 3 6 1】上記クロック生成部によるクロック生成方法を説明する図である。
- 【図 3 6 2】 μP I / F の内容を示す表である。
- 【図 3 6 3】M H - C O M 部を構成する 4 枚の P W C B の機能を説明する図である。
- 【図 3 6 4】H M X 1 0 A P W C B のブロック図である。
- 【図 3 6 5】上記 H M X 1 0 A P W C B の監視項目を説明する図 (その 1) である。
- 【図 3 6 6】上記 H M X 1 0 A P W C B の監視項目を説明する図 (その 2) である。
- 【図 3 6 7】H M X 1 1 A P W C B のブロック図である。
- 【図 3 6 8】上記 H M X 1 1 A P W C B の監視項目を説明する図 (その 1) である。
- 【図 3 6 9】上記 H M X 1 1 A P W C B の監視項目を説明する図 (その 2) である。
- 【図 3 7 0】上記 H M X 1 1 A P W C B の監視項目を説明する図 (その 3) である。 50

- 【図371】 HMX12A PWC B のVCC 機能を中心としたブロック図である。
- 【図372】 HMX12A PWC B のスケジューラ機能を中心としたブロック図である。
- 【図373】 上記HMX12A PWC B の障害処理に関する監視項目を示す図（その1）である。
- 【図374】 上記HMX12A PWC B の障害処理に関する監視項目を示す図（その2）である。
- 【図375】 上記HMX12A PWC B の障害処理に関する監視項目を示す図（その3）である。
- 【図376】 HSF05Aの機能ブロック図を示す。 10
- 【図377】 上記HSF05A PWC B の障害処理に関する監視項目を示す。
- 【図378】 SBMESHのクロックの系統図である。
- 【図379】 HLM01A PWC B の機能ブロック図である。
- 【図380】 上記HLM01A PWC B の各ブロックの機能概略を示す図（その1）である。
- 【図381】 上記HLM01A PWC B の各ブロックの機能概略を示す図（その2）である。
- 【図382】 HLM01A PWC B において行われるチェック一覧を示す図（その1）である。
- 【図383】 HLM01A PWC B において行われるチェック一覧を示す図（その2） 20
- 【図384】 イングレス部におけるプロトコル・パフォーマンス・モニタのチェック項目および処理を示した図である。
- 【図385】 エラー通知のタイミングを説明するタイムチャートである。
- 【図386】 上記タイムチャートに示す各信号を説明する図である。
- 【図387】 ST識別ブロックにおけるセル・セグメントタイプの識別方法を説明する図である。
- 【図388】 エラー発生時の処理を説明するタイムチャートである。
- 【図389】 Sum of Error Count 処理における閾値とカウント値のアクセスのタイミングを示すタイムチャートである。 30
- 【図390】 L2／3個別 Err. カウント処理を説明するタイムチャートである。
- 【図391】 レイヤ3 Bursty Err. （バーストエラー）処理を説明するタイムチャートである。
- 【図392】 E-PDU flag RAMへのアクセス方法を説明するフローチャートである。
- 【図393】 Egress部におけるチェック項目、NG検出時のアクション、チェック処理手順を示す図である。
- 【図394】 エグレス部におけるプロトコル・パフォーマンス・モニタの処理を説明するタイムチャートである。
- 【図395】 上記タイムチャートの各信号を説明する図である。 40
- 【図396】 セルのセグメントタイプを識別する方法を示す図である。
- 【図397】 イングレス部でのL2／3個別 Err. カウント処理を説明するタイムチャートである。
- 【図398】 イングレス部におけるネットワーク・データ・コレクションの処理を説明するタイムチャートである。
- 【図399】 イングレス部におけるデータ・コレクション処理を説明するタイムチャートである。
- 【図400】 課金部のブロック図である。
- 【図401】 RMLP部から入力されるセルのフォーマットを示す図である。
- 【図402】 SA, キャリア, RDA蓄積RAM に格納されるデータを示し 50

た図である。

【図４０３】ＤＡ圧縮ＣＡＭの内部を模式的に示した図である。

【図４０４】課金処理において、ＥＯＭの流入時の動作を示すタイムチャートである。

【図４０５】課金関連データを蓄積するＲＡＭに格納される情報を模式的に示す図である。

【図４０６】課金部のチェック処理を行う部分のブロック図である。

【図４０７】ＬＰ－ＣＯＭ部のＨＬＰ０２Ａのブロック図である。

【図４０８】上記ＨＬＰ０２Ａの各ブロックの機能概要を説明する図（その１）である。

【図４０９】上記ＨＬＰ０２Ａの各ブロックの機能概要を説明する図（その２）である。

【図４１０】ＡＳＳＷからＳＤＭＵＸへ入力するセルフォーマットを示す図である。

10

【図４１１】ＳＤＭＵＸからＳＭＬＰ（ａ）へ入力するセルのフォーマットを示す図である。

【図４１２】ＬＰ－ＣＯＭからＳＭＬＰ（ａ）へ入力するセルのフォーマットを示す図である。

【図４１３】ＳＭＬＰ（ａ）（ＨＭＨ０３Ａ）からＳＭＬＰ（ｂ）（ＨＭＨ０４Ａ）へ入力するセルのフォーマットを示す図である。

【図４１４】ＳＭＬＰ（ｂ）（ＨＭＨ０４Ａ）→ＳＭＬＰ（ｃ）（ＨＭＨ０５Ａ）へ入力するセルのフォーマットを示す図である。

【図４１５】ＳＭＬＰ（ｂ）（ＨＭＨ０４Ａ）からＳＭＬＰ（ＨＭＨ０５Ａ）に入力するタイムアウト・ダミーセルのフォーマットを示す図である。

20

【図４１６】ＳＭＬＰ（ｃ）（ＨＭＨ０５Ａ）からＳＭＬＰ（ｄ）（ＨＭＨ０６Ａ）へ入力するセルのフォーマットを示す図である。

【図４１７】ＳＭＬＰ（ｃ）（ＨＭＨ０５Ａ）からＳＭＬＰ（ｄ）（ＨＭＨ０６Ａ）へ入力するＩ－ＢＯＭのセルフォーマットを示す図である。

【図４１８】ＳＭＬＰ（ｄ）（ＨＭＨ０６Ａ）からＳＭＵＸ（ＨＭＸ１２Ａ）へ入力するセルのフォーマットを示す図である。

【図４１９】ＳＭＬＰ（ｄ）（ＨＭＨ０６Ａ）からＬＰ－ＣＯＭ（ＨＬＰ０２Ａ，ＨＬＭＯ１Ａ）へ入力するセルのフォーマットを示す図である。

【図４２０】ＳＭＵＸからＡＳＳＷへ出力されるセルのフォーマットを示す図である。

【図４２１】ＡＳＳＷからＲＤＭＵＸへ入力するセルのフォーマットを示す図である。

30

【図４２２】ＲＤＭＵＸ（ＨＭＸ１０Ａ）からＲＭＬＰ（ａ）（ＨＭＨ００Ａ）へ入力するセルのフォーマットを示す図である。

【図４２３】ＲＭＬＰ（ａ）（ＨＭＨ００Ａ）からＲＭＬＰ（ｂ）（ＨＭＨ０１Ａ）へ入力するセルのフォーマットを示す図である。

【図４２４】ＬＰ－ＣＯＭ（ＨＬＰ０２Ａ）からＲＭＬＰ（ｂ）（ＨＭＨ０１Ａ）へ入力するセルのフォーマットを示す図である。

【図４２５】ＲＭＬＰ（ｂ）（ＨＭＨ０１Ａ）からＲＭＬＰ（ｃ）（ＨＭＨ０４Ａ）へ入力するセルのフォーマットを示す図である。

【図４２６】ＲＭＬＰ（ｂ）（ＨＭＨ０１Ａ）からＲＭＬＰ（ｃ）（ＨＭＨ０４Ａ）へ転送されるタイムアウト・ダミーセルのフォーマットを示す図である。

40

【図４２７】ＲＭＬＰ（ｃ）（ＨＭＨ０４Ａ）からＲＭＬＰ（ｄ）（ＨＭＨ０２Ａ）へ入力するセルのフォーマットを示す図である。

【図４２８】ＲＭＬＰ（ｄ）（ＨＭＨ０２Ａ）からＬＰ－ＣＯＭ（ＨＬＰ０２Ａ，ＨＬＭ００Ａ）へ入力するセルのフォーマットを示す図である。

【図４２９】ＲＭＬＰ（ｄ）（ＨＭＨ０２Ａ）からＬＰ－ＣＯＭ（ＨＬＰ０２Ａ，ＨＬＭ０１Ａ）へ入力するセルのフォーマットを示す図である。

【図４３０】ＲＭＬＰ（ＨＭＨ０２）からＲＭＵＸ（ＨＭＸ１２Ａ）へ入力するセルのフォーマットを示す図である。

【図４３１】ＲＭＩＸ（ＨＭＸ１２Ａ）からＡＳＳＷへ出力されるセルのフォーマットを示す図である。

50

- 【図432】 SMLP側におけるエラーフラグを示す図である。
- 【図433】 RMLP側におけるエラーフラグを示す図である。
- 【図434】 MH-COMの初期設定を説明する図である。
- 【図435】 局内通信におけるセルの流れを説明する図である。
- 【図436】 局内通信用セルのVPI/VCI 値の一例を示す図である。
- 【図437】 BSGCとSBMESH間の局内通信リンクを示す図である。
- 【図438】 SBMESHのシェルフ・ナンバーをタグの値の関係を説明する図である。
- 【図439】 特定のSBMESHを指定するセルのタグ部を示す図である。
- 【図440】 特定のSBMHを指定するセルのタグ部を示す図である。
- 【図441】 LP部の初期設定時に発生しうるエラーを防ぐための処理を説明する図である。 10
- 【図442】 加入者データ登録において、パラメータの変更の例を示す図である。
- 【図443】 MH-COMのINS 処理を示す図である。
- 【図444】 MH-COMの障害時の動作についてまとめた図である。
- 【図445】 自系E-MSCNで通知される障害が、スタンバイ系で発生した場合のシーケンスを示す図である。
- 【図446】 自系E-MSCNで通知される障害が、アクティブ系で発生した場合のシーケンスを示す図である。
- 【図447】 他系E-MSCNで通知される障害が、スタンバイ系で発生した場合のシーケンスを示す図である。 20
- 【図448】 他系E-MSCNで通知される障害が、アクティブ系で発生した場合のシーケンスを示す図である。
- 【図449】 SBMESHとBCPRとの間のインタフェースを示す図である。
- 【図450】 INF MSCN 32 bit を示す図である。
- 【図451】 MH-COM部、LP部の系間交絡に関するMSCNポイントのチェックの概念を説明する図である。
- 【図452】 INF MSCNのうちの、15, 17 bit の状態と障害の関係を説明する図（その1）である。
- 【図453】 INF MSCNのうちの、15, 17 bit の状態と障害の関係を説明する図（その2）である。 30
- 【図454】 INF MSCNのうちの、15, 17 bit の状態と障害の関係を説明する図（その3）である。
- 【図455】 INF MSCNのうちの、19, 21 bit の状態と障害の関係を説明する図（その1）である。
- 【図456】 INF MSCNのうちの、19, 21 bit の状態と障害の関係を説明する図（その2）である。
- 【図457】 LP部のヘルスチェックの概念を示す図である。
- 【図458】 MH-COM部の系切り換えにおけるACT 信号処理を説明する図である。
- 【図459】 TCG を用いた SBMESH の折り返し試験を説明する図である。 40
- 【図460】 SIFSH に収容される個別部での折り返しのイメージを示す図である。
- 【図461】 各SBMESHのLP部での折り返しのイメージを示す図である。
- 【図462】 TCG からSBMESHに送出されるテストセルのタグ情報の例を示す図である。
- 【図463】 SBMESHに入力されたテストセルの処理を説明する図である。
- 【図464】 SBMESHのDMUX, MUX 機能の確認のために試験を説明する図である。
- 【図465】 SNI-SBMESH-A間のPVC 試験を説明する図である。
- 【図466】 SNI-SBMESH-A間のPVC 試験において、SINF, DTの閉塞の有無、折り返し手段について説明する図である。 50

- 【図467】 MESH-MH 間のPVC 試験について説明する図である。
- 【図468】 MESH-MH 間のPVC 試験において、DAの指定法とそのタイプ指定での試験についてまとめた図である。
- 【図469】 PVC 試験結果要求コマンドに対する応答ステータスに含まれるPVC 試験結果を示す図である。
- 【図470】 テストセル送出部障害表示エリアの例を示す図である。
- 【図471】 テストセル受信部障害表示エリアの例を示す図である。
- 【図472】 SNI-SBMESH間のPVC 試験の結果のプリントアウトイメージを示す図である。
- 【図473】 MESH-MH 間のPVC 試験時（特定試験DA使用時）の結果のプリントアウトイメージを示す図である。 10
- 【図474】 MESH-MH 間のPVC 試験時（割付け済DA使用時）の結果のプリントアウトイメージを示す図である。
- 【図475】 MH-COM自己診断の概要をまとめた図である。
- 【図476】 MH-COM自己診断のひとつとして、DP実行結果の例を示す図である。
- 【図477】 上記実行結果のなかのRESULT情報の詳細を示す図である。
- 【図478】 上記実行結果のなかのレングス情報の詳細を示す図である。
- 【図479】 上記実行結果のなかの結果情報の詳細を示す図である。
- 【図480】 LP部の機能試験の診断結果通知ステータスの詳細を示す図である。
- 【図481】 MH-COMのE-MSCNフォーマットを示す図である。 20
- 【図482】 詳細MSCN収容概念を示す図である。
- 【図483】 MH-COM E-MSDのフォーマットを示す図である。
- 【図484】 MH-COM制御E-MSD 領域の収容を示す図である。
- 【図485】 MH-COM制御E-MSD 領域の各ポイントの内容を説明する図（その1）である。
- 【図486】 MH-COM制御E-MSD 領域の各ポイントの内容を説明する図（その2）である。
- 【図487】 統計用閾値設計領域の収容を示す図である。
- 【図488】 統計用閾値設計領域の各ポイントの内容を説明する図（その1）である。
- 【図489】 統計用閾値設計領域の各ポイントの内容を説明する図（その2）である。 30
- 【図490】 COM-E-MSCNマスクパターン設定領域の収容を示す図である。
- 【図491】 COM-E-MSCNマスクパターン設定領域のマスク指定ポイントの内容を説明する図である。
- 【図492】 MH-COMの統計処理のシーケンスを示す図である。
- 【図493】 MH-COMの統計処理の収集が異常となる例を示す図である。
- 【図494】 MH-COMの統計処理異常時の処理シーケンスを示す図である。
- 【図495】 LP部の各種処理のシーケンスを示す図である。
- 【図496】 システム内におけるゲートウェイ・メッセージ・ハンドラ（GWMESSH）の位置を示す図である。
- 【図497】 SNI-SNI 間でのSMD Sデータの処理を示す図である。 40
- 【図498】 SNI →ISSIまたはICI の場合のSMD Sデータの処理を示す図である。
- 【図499】 ISSIまたはICI →SNI の場合のSMD Sデータの処理を示す図である。
- 【図500】 ISSIまたはICI →ISSIまたはICI の場合のSMD Sデータの処理を示す図である。
- 【図501】 GWMESSHの構成ブロック図である。
- 【図502】 GWMESSHの冗長構成（二重化構成）を示すブロック図である。
- 【図503】 SMD Sネットワークの一構成例を示す図である。
- 【図504】 個別アドレスを用いてデータ転送をする場合のルーティング処理の例を示す 50

図である。

【図 5 0 5】ネットワーク内において、図 5 0 4 のルーティング処理の例を示した図である。

【図 5 0 6】グループアドレスを用いてデータ転送をする場合のルーティング処理の例を示す図である。

【図 5 0 7】グループアドレスが指定するエリア内にデータ転送元がある場合のデータ転送方法を示す図である。

【図 5 0 8】データ転送元に対して、グループアドレスが指定するエリアが L A T A 内の他のローカル・キャリア内ある場合のデータ転送方法を示す図である。

【図 5 0 9】データ転送元に対して、グループアドレスが指定するエリアが L A T A 外の他のローカル・キャリア内にある場合のデータ転送方法を示す図である。 10

【図 5 1 0】スイッチング・システム間、またはスイッチング・システムと他のキャリアとの間のリンクのイメージを示す図である。

【図 5 1 1】リンク・セットの収容条件を示す図である。

【図 5 1 2】ロード・スプリッティング・アルゴリズムを説明する図である。

【図 5 1 3】G W M E S H の I C L P 部の全体構成ブロック図である。

【図 5 1 4】I C L P 部の各ブロックの機能を説明する図である。

【図 5 1 5】I C L P 部の各機能と、エラーフラグの対応を示す図（その 1）である。

【図 5 1 6】I C L P 部の各機能と、エラーフラグの対応を示す図（その 2）である。

【図 5 1 7】I C L P 部への入力セルのフォーマット（M H - C O M → I C L P (I S S I P - B O M) ）を示す図である。 20

【図 5 1 8】I C L P 部への入力セルのフォーマット（M H - C O M → I C L P (I C I P - B O M) ）を示す図である。

【図 5 1 9】I C L P 部への入力セルのフォーマット（M H - C O M → I C L P (S I P - S S M) ）を示す図である。

【図 5 2 0】I C L P 部への入力セルのフォーマット（M H - C O M → I C L P (S I P - B O M) ）を示す図である。

【図 5 2 1】I C L P 部への入力セルフォーマット（M H - C O M → I C L P (C O M) ）を示す図である。

【図 5 2 2】I C L P 部への入力セルフォーマット（M H - C O M → I C L P (E O M) ）を示す図である。 30

【図 5 2 3】I C L P 部からの出力セルのフォーマット（I C L P → M H - C O M (I S S I P - B O M) ）を示す図である。

【図 5 2 4】I C L P 部からの出力セルのフォーマット（I C L P → M H - C O M (I C I P - B O M) ）を示す図である。

【図 5 2 5】I C L P 部からの出力セルのフォーマット（I C L P → M H - C O M (S I P - S S M) ）を示す図である。

【図 5 2 6】I C L P 部からの出力セルのフォーマット（I C L P → M H - C O M (S I P - B O M) ）を示す図である。

【図 5 2 7】I C L P 部からの出力セルのフォーマット（I C L P → M H - C O M (C O M) ）を示す図である。 40

【図 5 2 8】I C L P 部からの出力セルのフォーマット（I C L P → M H - C O M (E O M) ）を示す図である。

【図 5 2 9】I C L P 部の H M H 1 2 A への入力セルのフォーマットを示す図である。

【図 5 3 0】I C L P 部の H M H 1 2 A からの出力セルのフォーマットを示す図である。

【図 5 3 1】I C L P 部の H M H 1 3 A への入力セルのフォーマット（B O M ）を示す図である。

【図 5 3 2】I C L P 部の H M H 1 3 A への入力セルのフォーマット（C O M ）を示す図である。

【図 5 3 3】I C L P 部の H M H 1 3 A への入力セルのフォーマット（E O M ）を示す 50

図である。

【図534】図531～図533に示したエラーフラグを説明する図である。

【図535】ICLP部のHMH13A→HLP03A, HLP07Aへの出力セルのフォーマット(BOM)を示す図である。

【図536】ICLP部のHMH13A→HLP03A, HLP07Aへの出力セルのフォーマット(COM)を示す図である。

【図537】ICLP部のHMH13A→HLP03A, HLP07Aへの出力セルのフォーマット(EOM)を示す図である。

【図538】図535～図537に示したエラーフラグを説明する図である。

【図539】ICLP部のHMH13A→HMX12Aへの出力セルのフォーマット(BOM)を示す図である。 10

【図540】ICLP部のHMH13A→HMX12Aへの出力セルのフォーマット(COM)を示す図である。

【図541】ICLP部のMH13A→HMX12Aへの出力セルのフォーマット(EOM)を示す図である。

【図542】図539～図541に示したエラーフラグを説明する図である。

【図543】ICLP部がメッセージを受信したときのチェックを説明するフローチャートである。

【図544】ICLP部におけるメッセージ・ルーティング処理を説明するフローチャートである。 20

【図545】上記メッセージ・ルーティング処理のフローチャートを補足的に説明する図である。

【図546】HMH11Aのブロック図である。

【図547】HMH11Aの外部端子を示す図である。

【図548】HMH11Aの要部の回路図(その1)である。

【図549】HMH11Aの要部の回路図(その2)である。

【図550】HMH11Aの要部の回路図(その3)である。

【図551】HMH11Aの要部の回路図(その4)である。

【図552】HMH11Aの要部の回路図(その5)である。

【図553】HMH11Aの要部の回路図(その6)である。 30

【図554】HMH11Aのメッセージ・チェックLSIの主信号の出力タイミングを示す図である。

【図555】HMH11Aのメッセージ・チェックLSIのセルデータの入出力タイミングを示す図である。

【図556】HMH11Aのメッセージ・チェックLSIにおいて、系交絡に関するタイミングを示す図(NON ACT と RING 1, 2 OFF の場合)である。

【図557】HMH11Aのメッセージ・チェックLSIにおいて、系交絡に関するタイミングを示す図(ACT と RING 1, 2 ON の場合)である。

【図558】HMH11Aにおいて、SCTLからメッセージ・チェックLSIへのデータ転送のタイミングを示す図である。 40

【図559】HMH11Aにおいて、メッセージ・チェックLSIからSCTLへのデータ転送のタイミングを示す図である。

【図560】HMH11Aにおいて、SCTLからメッセージ・チェックLSIへの初期化処理のタイミングを示す図である。

【図561】HMH12Aのブロック図である。

【図562】HMH12Aのルーティング機能の処理を示すフローチャートである。

【図563】HMH12Aのブロードキャスト機能の処理を示すフローチャートである。

【図564】HMH12Aのコピー制御の処理を示すフローチャート(その1)である。

【図565】HMH12Aのコピー制御の処理を示すフローチャート(その2)である。

【図566】HMH12Aにおける疑似EOM送出の処理を示すフローチャートである 50

。

【図567】HMH13Aのブロック図である。

【図568】HMH13Aにおいて、出力帯域の制御を行うVC-SH LSI およびその周辺の回路構成を示す図である。

【図569】出力MID 獲得部の回路構成を示す図である。

【図570】出力MID 獲得処理に使用するテーブルの構成を示す図である。

【図571】出力MID 獲得部での出VIC 確保の処理を示すフローチャートである。

。

【図572】出力MID 獲得部でのタイム・アウト監視処理を示すフローチャートである。

10

【図573】HMH13AでのVPI/VCI 付替えのフォーマットを示す図である。

【図574】HMH13AでのVPI/VCI 付替えを実行するハードウェア構成を示す図である。

【図575】HMH13Aが有する、自系MH-COM部との間の障害監視を行う回路構成を示す図である。

【図576】HMH13Aが有する、他系MH-COM部との間の障害監視を行う回路構成を示す図である。

【図577】OGLP部の概略機能ブロック図である。

【図578】OGLP部の詳細機能ブロック図である。

【図579】OGLP部のIC配置を示すブロック図である。

20

【図580】OGLP部の各ブロックの機能概要及び、エラーセル、保守用セルとの関係を示す図である。

【図581】OGLP部の各機能ブロック毎に操作するエラーフラグ(EF)を示す図である。

【図582】SBMHからHMH07Aへの入力セル(MH間のBOM)のフォーマットを示す図である。

【図583】SBMHからHMH07Aへの入力セル(MH間のSSM)のフォーマットを示す図である。

【図584】SBMHからHMH07Aへの入力セル(SIP BOM)のフォーマットを示す図である。

30

【図585】SBMHからHMH07Aへの入力セル(SIP SSM)のフォーマットを示す図である。

【図586】SBMHからHMH07Aへの入力セル(SIP COM)のフォーマットを示す図である。

【図587】SBMHからHMH07Aへの入力セル(SIP EOM, MH間のEOM)のフォーマットを示す図である。

【図588】他のGWMHからHMH07Aへの入力セル(MH間のBOM)のフォーマットを示す図である。

【図589】他のGWMHからHMH07Aへの入力セル(MH間のSSM)のフォーマットを示す図である。

40

【図590】他のGWMHからHMH07Aへの入力セル(SIP BOM)のフォーマットを示す図である。

【図591】他のGWMHからHMH07Aへの入力セル(SIP SSM)のフォーマットを示す図である。

【図592】他のGWMHからHMH07Aへの入力セル(SIP COM)のフォーマットを示す図である。

【図593】他のGWMHからHMH07Aへの入力セル(SIP EOM, MH間のEOM)のフォーマットを示す図である。

【図594】他のGWMHからHMH08Aへの入力セル(MH間のBOM)のフォーマットを示す図である。

50

【図595】他のGWMHからHMH08Aへの入力セル（MH間のSSM）のフォーマットを示す図である。

【図596】他のGWMHからHMH08Aへの入力セル（SIP BOM）のフォーマットを示す図である。

【図597】他のGWMHからHMH08Aへの入力セル（SIP SSM）のフォーマットを示す図である。

【図598】他のGWMHからHMH08Aへの入力セル（SIP COM）のフォーマットを示す図である。

【図599】他のGWMHからHMH08Aへの入力セル（SIP EOM，MH間のEOM）のフォーマットを示す図である。

10

【図600】他のGWMHからHMH09Aへの入力セル（MH間のBOM）のフォーマットを示す図である。

【図601】他のGWMHからHMH09Aへの入力セル（MH間のSSM）のフォーマットを示す図である。

【図602】他のGWMHからHMH09Aへの入力セル（SIP BOM）のフォーマットを示す図である。

【図603】他のGWMHからHMH09Aへの入力セル（SIP SSM）のフォーマットを示す図である。

【図604】他のGWMHからHMH09Aへの入力セル（SIP COM）のフォーマットを示す図である。

20

【図605】他のGWMHからHMH09Aへの入力セル（SIP EOM，MH間のEOM）のフォーマットを示す図である。

【図606】他のGWMHからHMH10Aへの入力セル（MH間のBOM）のフォーマットを示す図である。

【図607】他のGWMHからHMH10Aへの入力セル（MH間のSSM）のフォーマットを示す図である。

【図608】他のGWMHからHMH10Aへの入力セル（SIP BOM）のフォーマットを示す図である。

【図609】他のGWMHからHMH10Aへの入力セル（SIP SSM）のフォーマットを示す図である。

30

【図610】他のGWMHからHMH10Aへの入力セル（SIP COM）のフォーマットを示す図である。

【図611】他のGWMHからHMH10Aへの入力セル（SIP EOM，MH間のEOM）のフォーマットを示す図である。

【図612】OGLPとLP-COMとの間のデータ・インタフェースを示す図である。

【図613】LP-COMとの間のインタフェースにおけるセル（MH間のBOM）のフォーマットを示す図である。

【図614】LP-COMとの間のインタフェースにおけるセル（MH間のSSM）のフォーマットを示す図である。

【図615】LP-COMとの間のインタフェースにおけるセル（SIP BOM）のフォーマットを示す図である。

40

【図616】LP-COMとの間のインタフェースにおけるセル（SIP SSM）のフォーマットを示す図である。

【図617】LP-COMとの間のインタフェースにおけるセル（SIP COM）のフォーマットを示す図である。

【図618】LP-COMとの間のインタフェースにおけるセル（SIP EOM，MH間のEOM）のフォーマットを示す図である。

【図619】HMH10AからのICIへの出力セル（MH間のBOM）のフォーマットを示す図である。

【図620】HMH10AからのICIへの出力セル（SIP BOM）のフォーマットを示す図である。

50

ットを示す図である。

【図621】HMH10AからのICIへの出力セル(SIPSSM)のフォーマットを示す図である。

【図622】HMH10AからのICIへの出力セル(SIPCOM)のフォーマットを示す図である。

【図623】HMH10AからのICIへの出力セル(SIPEOM, MH間のEOM)のフォーマットを示す図である。

【図624】HMH10AからのISSIへの出力セル(MH間のBOM)のフォーマットを示す図である。

【図625】HMH10AからのISSIへの出力セル(SIPBOM)のフォーマットを示す図である。 10

【図626】HMH10AからのISSIへの出力セル(SIPSSM)のフォーマットを示す図である。

【図627】HMH10AからのISSIへの出力セル(SIPCOM)のフォーマットを示す図である。

【図628】HMH10AからのISSIへの出力セル(SIPEOM, MH間のEOM)のフォーマットを示す図である。

【図629】GWME SHにおけるOutgoingのルーティング処理を説明するフローチャートである。

【図630】GWME SHにおけるOutgoingのルーティング処理でのGAデータ転送を説明するフローチャートである。 20

【図631】図629および図630のフローチャートの各ステップで利用するテーブルの例を示す図(その1)である。

【図632】図629および図630のフローチャートの各ステップで利用するテーブルの例を示す図(その2)である。

【図633】図629および図630のフローチャートの各ステップで利用するテーブルの例を示す図(その3)である。

【図634】HMH07Aの回路構成を示す図(その1)である。

【図635】HMH07Aの回路構成を示す図(その2)である。

【図636】HMH07A内のFIFOへの書き込みタイミングを示す図(その1)である。 30

【図637】HMH07A内のFIFOへの書き込みタイミングを示す図(その2)である。

【図638】HMH07Aが処理する信号のタイムチャート(その1)である。

【図639】HMH07Aが処理する信号のタイムチャート(その2)である。

【図640】HMH07Aが処理する信号のタイムチャート(その3)である。

【図641】HMH08Aの回路構成を示す図(その1)である。

【図642】HMH08Aの回路構成を示す図(その2)である。

【図643】HMH09Aの回路構成を示す図である。

【図644】HMH09AにおけるGAコピー処理のフローチャート(書き込み制御)である。 40

【図645】HMH09AにおけるGAコピー処理のフローチャート(読出し制御)である。

【図646】HMH10Aの回路構成を示す図である。

【図647】HMH10Aの各ブロックの機能を説明する図である。

【図648】HMH10Aのパリティ・チェック部とその周辺との接続を表す機能ブロック図である。

【図649】HMH10AのMRI タイムアウト部の機能ブロック図である。

【図650】HMH10AのMID 変換部の機能ブロック図である。

【図651】HMH10Aのセル遅延部の機能ブロック図である。 50

- 【図 6 5 2】HMH 1 0 A のエラーセル廃棄部の機能ブロック図である。
- 【図 6 5 3】HMH 1 0 A の出力帯域制限部の機能ブロック図である。
- 【図 6 5 4】上記出力帯域制限を実行する VC-SH LSI およびその周辺の回路構成を示す図である。
- 【図 6 5 5】HMH 1 0 A のフォーマット変換部の機能ブロック図である。
- 【図 6 5 6】図 6 5 5 に示す変換部の処理を説明する図である。
- 【図 6 5 7】HMH 1 0 A のCRC-10 生成付与部の機能ブロック図である。
- 【図 6 5 8】CRC-10 演算を説明する図である。
- 【図 6 5 9】HMH 1 0 A の廃棄カウント部の機能ブロック図である。
- 【図 6 6 0】HMX 1 0 A (RDMX/SMUX) のブロック図である。 10
- 【図 6 6 1】HMX 1 1 A (SDMX/RMUX) のブロック図である。
- 【図 6 6 2】HMX 1 2 A (VCC 部) のブロック図である。
- 【図 6 6 3】HMX 1 2 A (スケジューラ部) のブロック図である。
- 【図 6 6 4】HSF 0 5 A のブロック図である。
- 【図 6 6 5】SBMESH のクロック系統図である。
- 【図 6 6 6】HLM 0 3 A の機能ブロック図である。
- 【図 6 6 7】HLM 0 3 A に各ブロックの機能を説明する図 (その 1) である。
- 【図 6 6 8】HLM 0 3 A に各ブロックの機能を説明する図 (その 2) である。
- 【図 6 6 9】HLM 0 3 A において行うチェックを示す図である。
- 【図 6 7 0】HLM 0 3 A におけるチェックを行うための条件を示す図である。 20
- 【図 6 7 1】Incoming 部におけるパフォーマンス・プロトコル・モニタのチェック項目、エラー発生時の処理を示す図である。
- 【図 6 7 2】Incoming 部におけるエラー通知に関するタイムチャートである。
- 【図 6 7 3】図 6 7 2 のタイムチャートに示した各信号を説明する図である。
- 【図 6 7 4】セグメント・タイプの識別を示す図である。
- 【図 6 7 5】エラー解析ブロックの処理のタイムチャートである。
- 【図 6 7 6】Outgoing 部におけるパフォーマンス・プロトコル・モニタのチェック項目、エラー発生時の処理を示す図である。
- 【図 6 7 7】Outgoing 部におけるエラー通知に関するタイムチャートである。
- 【図 6 7 8】Outgoing 部における L2/3 個別エラーカウント処理タイムチャートである。 30
- 【図 6 7 9】Incoming 部におけるネットワーク・データ・コレクションに係わるタイムチャートである。
- 【図 6 8 0】GWMesh の Incoming 部でのネットワーク・データコレクションに関するカウント値のリード/ライトのタイムチャートである。
- 【図 6 8 1】GWMesh の Outgoing 部でのネットワーク・データコレクションに関するカウント値のリード/ライトのタイムチャートである。
- 【図 6 8 2】GWMesh における課金の機能分類と処理手順を説明する図である。
- 【図 6 8 3】スイッチング・システムの構成と、課金ポイントを示す図である。
- 【図 6 8 4】キャリア間での SMDs に関して LEC 網で生成する Usage Information を示す図である。 40
- 【図 6 8 5】GWMesh の課金部の SA, DA (SIP), DA (ICIP), キャリア情報圧縮メモリイメージを示す図である。
- 【図 6 8 6】簡略化した課金メモリイメージを示す図である。
- 【図 6 8 7】HLP 0 7 A の機能ブロック図である。
- 【図 6 8 8】HLP 0 7 A の各ブロックの機能を説明する図 (その 1) である。
- 【図 6 8 9】HLP 0 7 A の各ブロックの機能を説明する図 (その 2) である。
- 【図 6 9 0】局内通信セルの VPI/VCI を示す図である。
- 【図 6 9 1】MH-COM 部の障害監視時の動作を示す図である。
- 【図 6 9 2】テスト・セル・ジェネレータ TCG から出力されるセルのヘッダ部の情報 50

を示す図である。

【図693】テスト・セル・ジェネレータTCG から出力される試験セルを利用した折り返しテストの例（その1）を示す図である。

【図694】テスト・セル・ジェネレータTCG から出力される試験セルを利用した折り返しテストの例（その2）を示す図である。

【図695】ICI / ISSIとGWESHとの間のPVC 試験を説明する図である。

【図696】GWESHとGWESH / SBESH との間のPVC 試験を説明する図である。

【図697】局間のPVC 試験を説明する図である。

10

【図698】本実施例が対象とする交換機システム内におけるBSGCSH及びBSGCの位置を示した図である。

【図699】局内LAPD通信の終端ポイントを示した図である。。

【図700】加入者LAPD通信の終端ポイントを示した図である。

【図701】BSGCSHの機能の概要を示した図である。。

【図702】BCPR-INF-BSGC 間のハードウェアの接続構成を示した図である。

【図703】BSGC-BCPR間の制御シーケンスを示した図である。

【図704】スイッチ内2重化装置制御ハードウェアの構成を示した図である。

【図705】端末からスイッチに向かう方向のシグナリング用信号制御モデルを示した図である。

20

【図706】スイッチから端末に向かう方向のシグナリング用信号制御モデルを示した図である。

【図707】端末からスイッチに向かう方向の2重化装置用信号制御モデルを示した図である。

【図708】スイッチから端末に向かう方向の2重化装置用信号制御モデルを示した図である。

【図709】VPI/VCI の制御モデルを示した図である。

【図710】VPI/VCI の割り当ての一覧を示した図である。

【図711】BSGC-COM におけるセル廃棄機能を示した図である。

30

【図712】BSGCの装置状態を示した図である。

【図713】加入者端末との間のLAPD通信に用いられるフレームフォーマットを示した図である。

【図714】局内制御通信リンクの確立手順を示した図である。。

【図715】BRLCに関する局内制御通信リンクの確立手順を示した図である。

【図716】BSGC内におけるプログラムモジュール構成を示した図である。

【図717】INF に関するハードウェア構成を示した図である。

【図718】DMA 転送されるデータのMM （主記憶装置） - BSGC間のビット配列を示した図である。

【図719】受信系輻輳制御の説明図である。

40

【図720】BSGCの信号処理数のモデルを示した図である。

【図721】初期設定コマンド及びINF 初期情報設定テーブルのフォーマットを示した図である。

【図722】SIFSH におけるBSGCからSIFSH 方向への通信におけるタグSIG/UL/TAGC の使用方法を示した図である。

【図723】BSGCからRMXSH 方向への通信におけるSIFSH によるタグSIG/UL/ADSI1BLK/ADSI1SELの使用法を示した図である。

【図724】BSGCからSIFSH 方向への通信におけるSIFSH によるタグSIG/UL/TAGC の使用方法を示した図である。

【図725】ASSWからBSGC方向への通信におけるBSGCSHによるタグSIG 50

／UL／TAGC の使用方法を示した図である。

【図726】プロトコルタイプ3のSAR-PDU及びそれが格納されるATMセルのヘッダ部の構成を示した図である。

【図727】プロトコルタイプ5のSAR-PDU (CPAAL5-PDU)を示した図である。

【図728】VCC 設定手順を示した図である。

【図729】VCC コピー開始手順を示した図である。

【図730】VCC コピー停止手順を示した図である。

【図731】障害範囲モデルを示した図である。

【図732】BSGCによるBSGC SH-COM障害の検出方法、及びその障害の交換機ソフトウェアへの通知方法を示した図である。 10

【図733】BSGCからBSGC-COMへのデータ送出においてBSGC-COM内のチェッカによって検出される障害の検出ポイントを示した図である。

【図734】図733の各障害ポイント(a)、(a)'、(b)、(b)'のうちの1箇所で障害が検出された場合の状態を示した図である。

【図735】図733の各障害ポイント(a)、(a)'、(b)、(b)'のうちの2箇所で障害が検出された場合の状態を示した図である。。

【図736】図736に、図735の(注1)で示される障害が検出され、診断が実行された後に、BSGC-COM内チェッカの障害と判定される場合を示した図である。

【図737】図737に、図735の(注2)で示される障害が検出され、診断が実行された後に、BSGC-COM内チェッカの障害と判定される場合を示した図である。 20

【図738】BSGC-COMからBSGCへのデータ送出においてBSGC内のチェッカによって検出される障害の検出ポイントを示した図である。

【図739】図738の各障害ポイント(a)、(a)'、(b)、(b)'のうちの1箇所で障害が検出された場合の状態を示した図である。

【図740】障害通知モデルを示した図である。

【図741】図740の(注3)で示される障害が検出され、診断処理が実行された後に、BSGC-COM内チェッカの障害と判定される場合を示した図である。

【図742】図740の(注4)で示される障害が検出され、診断が実行された後に、BSGC-COM内チェッカの障害と判定される場合を示した図である。 30

【図743】障害通知モデルを示した図である。

【図744】詳細障害要因を示した図である。

【図745】BSGC MSCN 収容図である。

【図746】TMセーブによってBCPRへ通知されるBSGC障害の詳細要因を示した図である。

【図747】MSCN詳細読み取りコマンドによって通知される詳細障害要因を示した図である。

【図748】BSGC-COMにおける障害の検出シーケンスを示した図である。

【図749】シグナリング情報としてI フィールドが転送される場合におけるシグナリングセルフォーマットを示した図である。 40

【図750】シグナリング情報としてMSD/MSCNが転送される場合におけるシグナリングセルフォーマットを示した図である。

【図751】UIフォーマットを示した図である。

【図752】各装置における共通フィールドの定義を示した図である。

【図753】BSGC-COMハードウェアの機能ブロックを示した図 (その1) である。

【図754】BSGC-COMハードウェアの機能ブロックを示した図 (その1) である。

【図755】BSGC-COMハードウェアの機能ブロックを示した図 (その1) である。 50

- 【図756】BSGC-COM内のHMX00Aパッケージの機能を示した図である。
- 【図757】BSGC-COM内のHMX01Aパッケージの機能を示した図である。
- 【図758】BSGC-COM内のHSF00A/HSF04Aパッケージの機能を示した図である。
- 【図759】BSGC-COM内HMX00AパッケージとASSWSH内SWMDX(HMX03A)パッケージとのインタフェースを示した図である。
- 【図760】ASSWSH内SWMDX(HMX03A)パッケージからBSGC-COM内HMX00Aパッケージに転送される信号のインタフェースを示した図である。
- 【図761】BSGC-COM内HSF04AパッケージとASSWSH内SWTIF(HNC00A)パッケージの間を転送される信号のインタフェースを示した図である。 10
- 【図762】BSGC SHのデジチェーン接続を示した図である。
- 【図763】BSGC、BSGC-COMともINS状態でのO&Mセルループバック構成を示した図である。
- 【図764】図763に対応するループバック構成に対応するループバックの設定論理を示した図である。
- 【図765】BSGC、BSGC-COMともOUS状態でのセルループバック構成を示した図である。
- 【図766】図765のループポイント(1)でのループバック構成に対応するループバックの設定論理を示した図である。
- 【図767】ループポイント(1)でのループバック時におけるセルルート設定論理を示した図である。 20
- 【図768】ループポイント(1)でのループバック時におけるVCCの設定論理を示した図である。
- 【図769】図765のループポイント(2)でのループバック構成に対応するループバックの設定論理を示した図である。
- 【図770】BSGCのハードウェア構成を示した図である。
- 【図771】BSGCハードウェアの概要を示した図である。
- 【図772】BSGCにおけるメモリマップを示した図である。
- 【図773】BSGCにおけるI/Oマップを示した図である。
- 【図774】BCPRアクセスリード/ライトを示した図である。 30
- 【図775】転送データパターンを示した図である。
- 【図776】BSGCとBSGC-COM間診断におけるループ位置を示した図である。
- 【図777】#1系BSGCがOUS状態で診断を実行している場合におけるVCCリード/ライト試験状態を示した図である。
- 【図778】BSGC SHにおけるアクティブ系/スタンバイ系/OUS状態での導通試験の基本方針を示した図である。
- 【図779】BSGC SH-COMでのセルBYセル折り返し位置を示した図である。
- 【図780】OUS試験時におけるアクティブ系BSGCでのTCストップ機能のハードウェア構成を示した図である。 40
- 【図781】BSGCから2重化装置又は1重化装置への送信シグナリングルートを示した図である。
- 【図782】2重化装置又は1重化装置からBSGCへの受信シグナリングルート及びテストセルルートを示した図である。
- 【図783】L2-PDU, L3-PDUのフォーマットを示す図である。
- 【図784】入MIDをキーとしてタグ情報および出MIDを格納したテーブルのイメージを示す図である。
- 【図785】入MIDをキーとしてタグ情報および出MIDを取り出す処理を説明するフローチャートである。
- 【図786】本発明の局間ループバック試験方法を説明する図である。 50

- 【図787】図786の局間ループバック試験を実現する構成のブロック図である。
- 【図788】加入者からの苦情をもとに障害箇所を限定するアルゴリズムを示すフローチャートである。
- 【図789】SMD Sを利用したシステム構成図である。
- 【図790】加入者とSMD Sサポートモジュールとの間のPVC 試験時の試験メッセージの転送ルートを示す図(その1)である。
- 【図791】加入者とSMD Sサポートモジュールとの間のPVC 試験時の試験メッセージの転送ルートを示す図(その2)である。
- 【図792】SMD Sサポートモジュール内において試験メッセージを多重化する位置を説明する図である。 10
- 【図793】SMD Sサポートモジュール内において試験メッセージをチェックする位置を説明する図である。
- 【図794】SMD Sサポートモジュール間のPVC 試験時の試験メッセージの転送ルートを示す図である。
- 【図795】SMD Sサポートモジュール内に試験メッセージ生成部および試験メッセージチェック部を設けた構成のブロック図である。
- 【図796】L3-PDUのフォーマットを説明する図である。
- 【図797】L2-PDUとL3-PDUとの関係を説明する図である。
- 【図798】L2-PDUペイロード長チェックのフローチャートである。
- 【図799】L3-PDUのB E t a g チェックのフローチャートである。 20
- 【図800】L3-PDUのB A s i z eチェックのフローチャートである。
- 【図801】L2-PDUペイロード長チェック、L3-PDUのB E t a g チェックおよびL3-PDUのB A s i z eチェックを実行する回路構成を示す図である。
- 【図802】コネクションレス処理用サーバ間を専用線で接続したシステムの構成図である。
- 【図803】図802のコネクションレス処理用サーバおよびそのサーバが使用するコアプロセッサの機能ブロック図である。
- 【図804】図802のコネクションレス処理用サーバが管理するテーブルを示す図である。
- 【図805】コネクションレス処理用サーバ間を専用線で接続したシステムの処理を示すフローチャートである。 30
- 【図806】本発明に関連する他の特徴的構成を示した図である。
- 【図807】本発明に関連する他の特徴的構成を示した図である。
- 【図808】主記憶装置の分割形態と制御情報フォーマットを示した図である。
- 【図809】制御情報フォーマットを示した図である。
- 【図810】図807に示されるT A G C M P 1 0の回路構成を示した図である。
- 【図811】T A G C M P 1 0の動作タイミングチャートを示した図である。
- 【図812】図807に示されるA D R S D E C 9の回路構成を示した図である。
- 【図813】A D R S D E C 9の動作タイミングチャートを示した図である。
- 【図814】図807に示されるA T M I F 6の回路構成を示した図である。 40
- 【図815】A T M I F 6の動作タイミングチャートを示した図である。
- 【図816】本発明に関連する他の特徴的構成を示した図である。
- 【図817】本発明に関連する他の特徴的構成を示した図 (その1) である。
- 【図818】本発明に関連する他の特徴的構成を示した図 (その2) である。
- 【図819】本発明に関連する他の特徴的構成を示した図である。
- 【図820】R A M 4、5内メモリマップを示した図である。
- 【図821】図819のC N T R部の回路構成を示した図である。
- 【図822】A D D 9の回路構成を示した図である。
- 【図823】図819のT G 1 0の構成を示した図である。
- 【図824】T G 1 0のタイミングチャートを示した図である。 50

【図 8 2 5】優先度単位の処理を行う C N T R 部の構成を示した図である。

【図 8 2 6】 D M U X 部を対象とした図 8 1 9 の C N T R 部の構成を示した図である。

【図 8 2 7】本発明に関連する他の特徴的構成を示した図である。

【図 8 2 8】図 8 2 7 における送出パターン選択部 4 の構成 (その 1) を示した図である。

【図 8 2 9】図 8 2 7 及び図 8 2 8 からなる実施例の動作説明図である。

【図 8 3 0】図 8 2 7 における送出パターン選択部 4 の構成 (その 2) を示した図である。

【図 8 3 1】図 8 2 7 及び図 8 3 0 からなる実施例の動作説明図である。

【図 8 3 2】上記ポイント・ツー・マルチポイント機能を実現するための交換機の構成を示す図であり、(a) はトランク方式、(b) は入力部コピー方式、(c) は内部コピー方式である。 10

【図 8 3 3】図 8 3 2 に示す 3 つの方式の特徴を示す表である。

【図 8 3 4】内部コピー方式を用いてポイント・ツー・マルチポイント接続を実現する構成を示す図である。

【図 8 3 5】セル長を伸ばさずに上記ビットマップを実現する方式を説明する図である。

【図 8 3 6】 V P I / V C I デコード回路を示す図である。

【図 8 3 7】ポイント・ツー・マルチポイント接続の構成図である。

【図 8 3 8】各出力ラインに対して設けられるバッファおよび出力部 V C C T の構成図である。 20

【図 8 3 9】ソフト設定に基づいてファームウェアが設定する出力部 V C C T の内容をまとめた表である。

【図 8 4 0】出力 V P I / V C I の設定を行ったテーブルの例である。

【図 8 4 1】出力部 V C C T の処理を説明するフローチャートである。出力部 V C C T

【図 8 4 2】スイッチの入口に V C C T を設けた交換システムの構成図である。

【図 8 4 3】本実施例の交換システムの構成図である。

【図 8 4 4】スイッチ内でのセルのフォーマットを示す図である。

【図 8 4 5】本実施例の交換機の構成図である。

【図 8 4 6】ポイント・ツー・マルチポイント接続のための制御情報の構成例を示す図である。 30

【図 8 4 7】(a) は、スイッチのバッファ構成を示す図であり、(b) は、ポイント・ツー・マルチポイント接続用制御情報内のスイッチング用ビットマップの例である。

【図 8 4 8】本発明に関連する他の特徴的構成を示す図である。

【図 8 4 9】本実施例のマルチキャスト接続をビデオ配信サービスに適用した例である。

【図 8 5 0】図 8 4 9 に示すマルチキャスト装置 3 0 の構成図である。

【図 8 5 1】交換機備付けの多者通話トランクを用いて多者通話を行うときのシステム構成図である。

【図 8 5 2】加入者回線上の多端子端末を用いて多者通話を行うときのシステム構成図である。

【図 8 5 3】図 8 5 1 に示すシステムにおける 3 者通話の処理フローチャートである。 40

【図 8 5 4】図 8 5 1 に示すシステムにおける多者通話の処理フローチャートである。

【図 8 5 5】グループ識別番号を用いた多者通話の処理フローチャートである。

【図 8 5 6】図 8 5 2 に示すシステムにおける 3 者通話の処理フローチャートである。

【図 8 5 7】図 8 5 2 に示すシステムにおける多者通話の処理フローチャートである。

【図 8 5 8】図 8 5 1 に示すシステムにおけるコールウェイティングサービスの処理フローチャートである。

【図 8 5 9】図 8 5 1 に示すシステムにおける呼転送サービスの処理フローチャート (その 1) である。

【図 8 6 0】図 8 5 1 に示すシステムにおける呼転送サービスの処理フローチャート (その 2) である。 50

【図 8 6 1】図 8 5 1 に示すシステムにおけるポイント・ツー・マルチポイント接続サービスの処理フローチャートである。

【図 8 6 2】図 8 5 2 に示すシステムにおけるコールウェイティングサービスの処理フローチャートである。

【図 8 6 3】図 8 5 2 に示すシステムにおける呼転送サービスの処理フローチャート（その 1）である。

【図 8 6 4】図 8 5 2 に示すシステムにおける呼転送サービスの処理フローチャート（その 2）である。

【図 8 6 5】図 8 5 2 に示すシステムにおけるポイント・ツー・マルチポイント接続サービスの処理フローチャートである。

10

【図 8 6 6】第 1 8 の課題を解決する発明の前提となる A T M 交換機の構成を示した図である。

【図 8 6 7】第 1 8 の課題を解決する発明に関連する特徴的構成を示した図である。

【図 8 6 8】第 1 8 の課題を解決する発明に関連する特徴的構成における通常の回線接続処理の動作フローチャートである。

【図 8 6 9】第 1 8 の課題を解決する発明に関連する特徴的構成における装置障害の発生時における通知処理の動作フローチャートである。

【図 8 7 0】第 1 8 の課題を解決する発明に関連する特徴的構成における装置障害の発生時における自動回線接続切替え処理の動作フローチャート（その 1）である。

【図 8 7 1】第 1 8 の課題を解決する発明に関連する特徴的構成における装置障害の発生時における自動回線接続切替え処理の動作フローチャート（その 2）である。

20

【図 8 7 2】使用状況表 1 1、装置サービス管理表 1 2、及び管理情報表 1 3 の具体例を示した図である。

【図 8 7 3】障害帯域を未障害の回線の空き帯域へ再割り付けする処理の動作説明図である。

【図 8 7 4】障害帯域を未障害の回線の空き帯域へ再割り付けする処理のシーケンス図である。

【図 8 7 5】障害帯域を含む物理回線を予備回線へ物理的に切り替える処理の動作説明図である。

【図 8 7 6】障害帯域を含む物理回線を予備回線へ物理的に切り替える処理のシーケンス図である。

30

【図 8 7 7】優先順位別の A T M セルのバッファリング処理を説明するための図である。

【図 8 7 8】優先順位の割り付け例を示した図である。

【図 8 7 9】本実施例の前提となる遠隔集線装置 1 とホスト交換機 2 とが接続されたシステムの構成を示した図である。

【図 8 8 0】本実施例の前提となる A T M 交換方式の一般的な原理を説明する図である。

【図 8 8 1】図 8 7 9 の遠隔集線装置 1 とホスト交換機 2（H O S T 2）とが接続されたシステムにおいて、遠隔集線装置 1 からホスト交換機 2 に向かう上りパスで使用される V C C テーブルの収容位置を示す図である。

40

【図 8 8 2】図 8 7 9 の遠隔集線装置 1 とホスト交換機 2（H O S T 2）とが接続されたシステムにおいて、ホスト交換機 2（H O S T 2）から遠隔集線装置 1 に向かう上りパスで使用される V C C テーブルの収容位置を示す図である。

【図 8 8 3】図 8 7 9、図 8 8 1、及び図 8 8 2 の構成を基本とする実施例における第 1 の処理例に含まれるパス接続処理の動作フローチャートである。

【図 8 8 4】通常用 V C C テーブル及び張り替え用 V C C テーブルの例を示す図である。

【図 8 8 5】図 8 7 9、図 8 8 1 及び図 8 8 2 の構成を基本とする実施例における第 1 の処理例に含まれる障害発生時のパス張り替え処理の動作フローチャートである。

50

【図 8 8 6】図 8 7 9、図 8 8 1、及び図 8 8 2 の構成を基本とする実施例において、障害が発生した場合におけるパス張り替え処理の第 2 の処理例（上り、パス張り替え前）を説明するための図である。

【図 8 8 7】図 8 7 9、図 8 8 1、及び図 8 8 2 の構成を基本とする実施例において、障害が発生した場合におけるパス張り替え処理の第 2 の処理例（上り、パス張り替え後）を説明するための図である。

【図 8 8 8】図 8 7 9、図 8 8 1、及び図 8 8 2 の構成を基本とする実施例において、障害が発生した場合におけるパス張り替え処理の第 2 の処理例（下り、パス張り替え前）を説明するための図である。

【図 8 8 9】図 8 7 9、図 8 8 1、及び図 8 8 2 の構成を基本とする実施例において、障害が発生した場合におけるパス張り替え処理の第 2 の処理例（下り、パス張り替え後）を説明するための図である。 10

【図 8 9 0】図 8 7 9、図 8 8 1、及び図 8 8 2 の構成を基本とする実施例において、障害が発生した場合におけるパス張り替え処理の第 3 の処理例（上り、パス張り替え前）を説明するための図である。

【図 8 9 1】図 8 7 9、図 8 8 1、及び図 8 8 2 の構成を基本とする実施例において、障害が発生した場合におけるパス張り替え処理の第 3 の処理例（上り、パス張り替え後）を説明するための図である。

【図 8 9 2】図 8 7 9、図 8 8 1、及び図 8 8 2 の構成を基本とする実施例において、障害が発生した場合におけるパス張り替え処理の第 3 の処理例（下り、パス張り替え前）を説明するための図である。 20

【図 8 9 3】図 8 7 9、図 8 8 1、及び図 8 8 2 の構成を基本とする実施例において、障害が発生した場合におけるパス張り替え処理の第 3 の処理例（下り、パス張り替え後）を説明するための図である。

【図 8 9 4】V C C テーブルデータの高速転送機能を有する V C C 制御装置の実施例の構成図である。

【図 8 9 5】入力セルによる V C C テーブルのアクセスタイミングを示す図である。

【図 8 9 6】マイクロプロセッサによる V C C テーブルのアクセスタイミングと、V C C テーブルデータの系間コピータイミングを示す図である。

【図 8 9 7】L 3 - P D U とセルの関係を説明する図である。

30

【図 8 9 8】従来の局間ループバック試験方法を説明する図である。

【図 8 9 9】一般的な S M D S システムの構成図（その 1）である。

【図 9 0 0】一般的な S M D S システムの構成図（その 2）である。

【図 9 0 1】従来のコネクションレスサービスの実現方法を示す図である。

【図 9 0 2】他の従来技術を示した図である。

【図 9 0 3】他の従来技術を示した図である。

【図 9 0 4】B I S D N 端末が B I S D N 交換機に接続されている構成を示した図である。

【図 9 0 5】S M D S 端末が S M D S 交換機に接続されている構成を示した図である。

【図 9 0 6】D S 3 マルチフレーム構成を示した図である。

40

【図 9 0 7】A T M セルと L 2 - P D U セルの構成を示した図である。

【図 9 0 8】D S 3 フォーマットにインタフェースされる P L C P フレームの構成を示した図である。

【図 9 0 9】サイクルスタッフカウンタに関する規定を示した図である。

【図 9 1 0】P L C P マルチフレームの送信機能の従来の回路を示した図である。

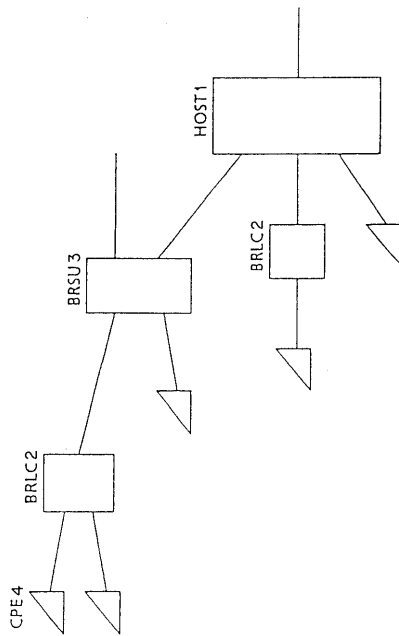
【図 9 1 1】従来の P L C P マルチフレームの送信回路の動作タイミングチャートを示した図である。

【図 9 1 2】従来のマルチキャスト接続の一形態の構成図である。

【図 9 1 3】回線自体に障害が発生した場合に物理回線単位で回線切替えが行われる従来技術の問題点を説明するための図である。

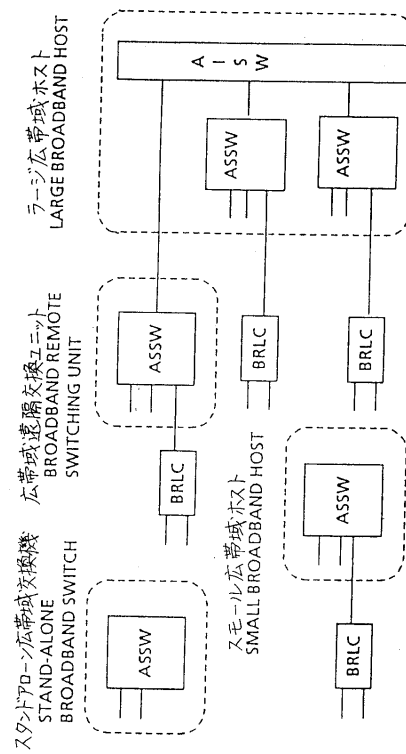
50

【図 1】



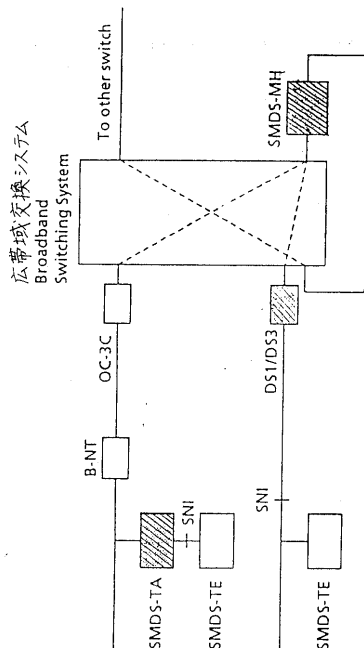
BRLC : Broadband Remote Line Concentrator : 広帯域遠隔回線集線装置
 BRSU : Broadband Remote Switching Unit : 広帯域遠隔交換ユニット
 CPE : Customer Premises Equipment : 加入者内装置
 HOST : Broadband Host Switch : 広帯域ホスト交換機

【図 2】



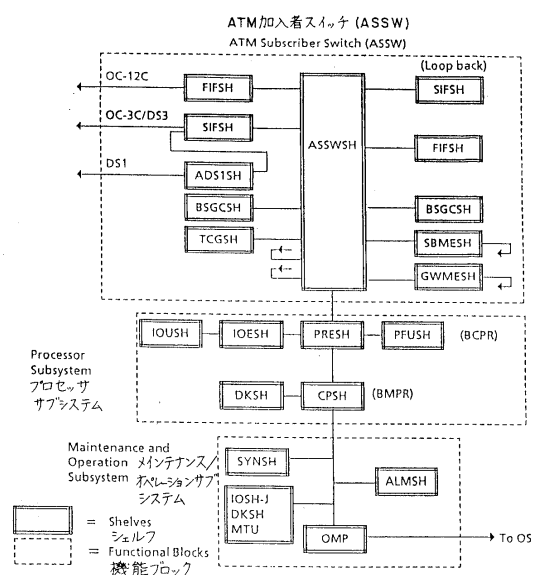
ASSW : ATM Subscriber Switch : ATM 加入者スイッチ
 AISW : ATM Interconnection Switch : ATM インターコネクションスイッチ
 BRLC : Broadband Remote Line Concentrator : 広帯域遠隔回線集線装置

【図 3】



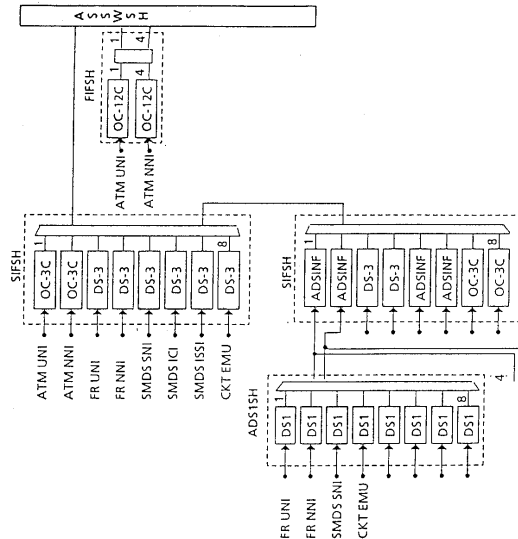
B-NT : Broadband Network Termination : 広帯域ネットワーク終端装置
 SMDS-MH : SMDS Message Handler : SMDS メッセージハンドラ
 SMDS-TA : SMDS Terminal Adapter : SMDS ターミナルアダプタ
 SMDS-TE : SMDS Terminal Equipment : SMDS 端末装置

【図 4】

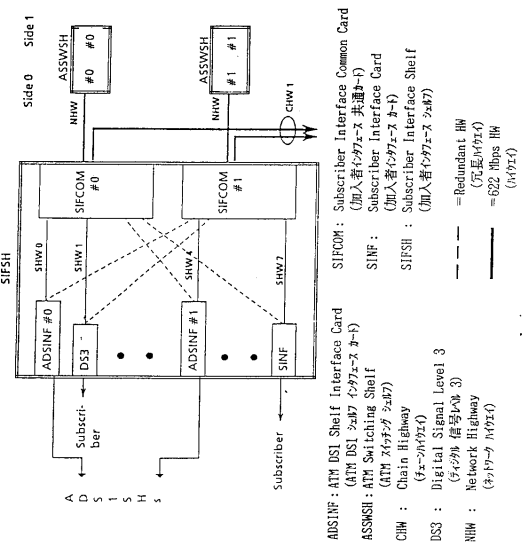


CP: Central Processor : 中央処理装置
 CPR: Call Processor : コールプロセッサ
 DK: Disk : ディスク装置
 FR: Frame Relay : フレームリレー

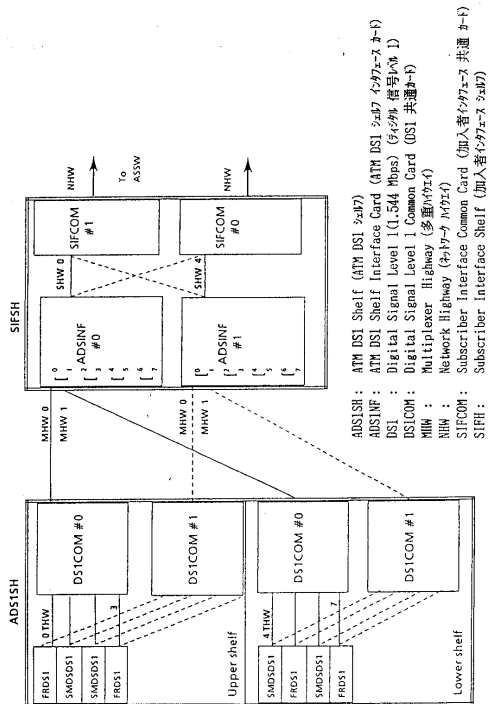
【図 5】



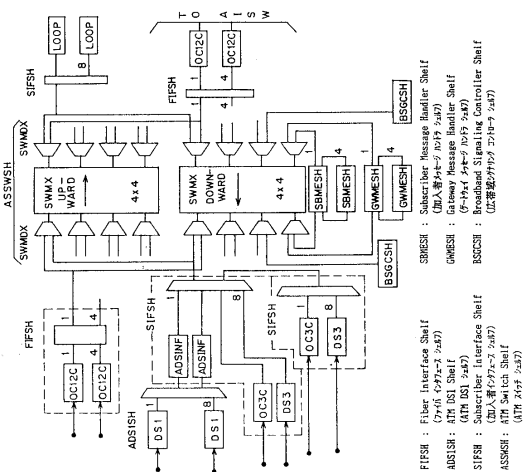
【図 6】



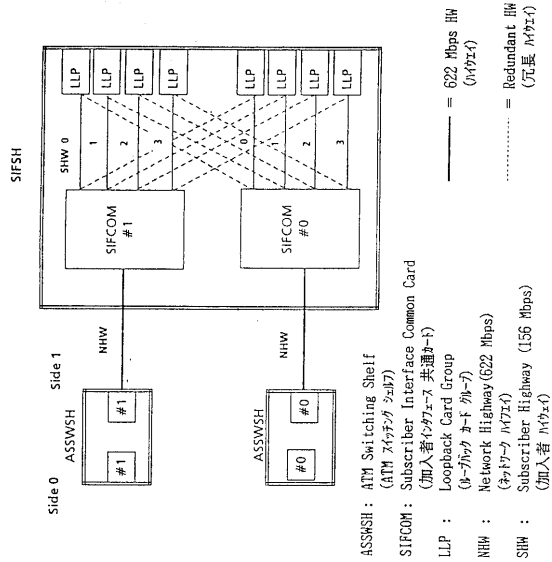
【図 7】



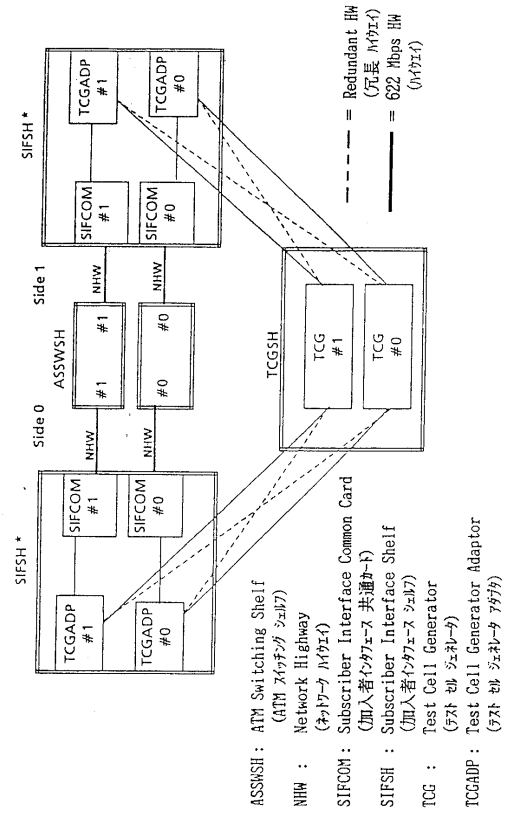
【図 8】



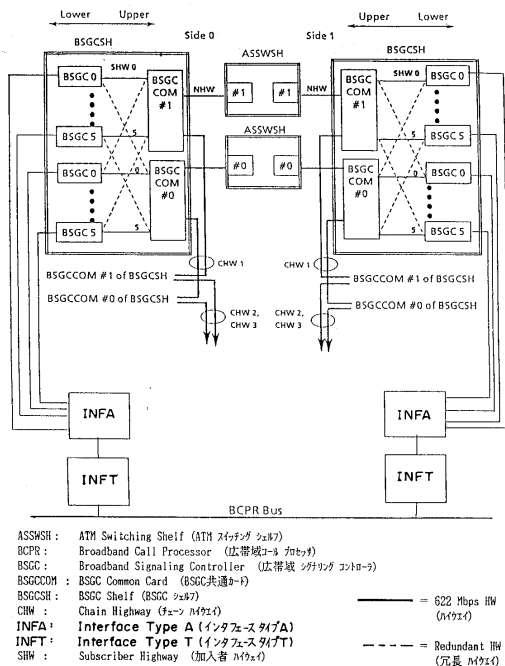
【図 9】



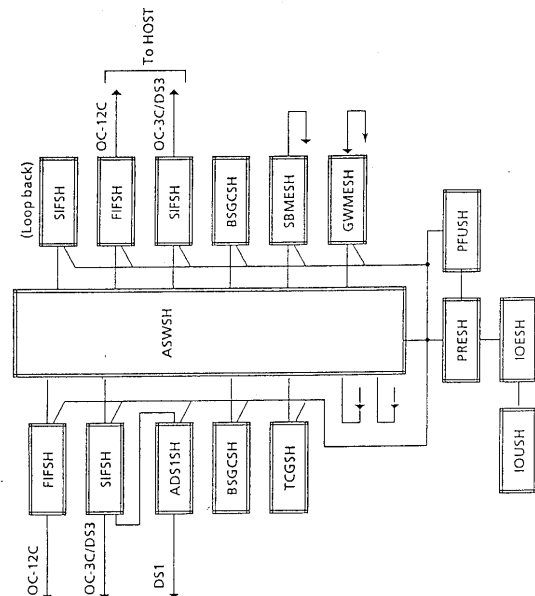
【図 10】



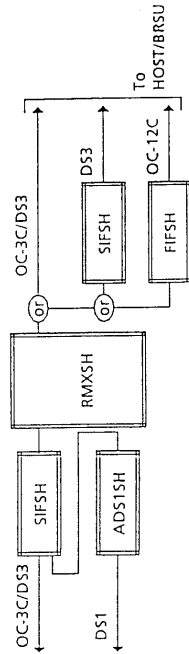
【図 11】



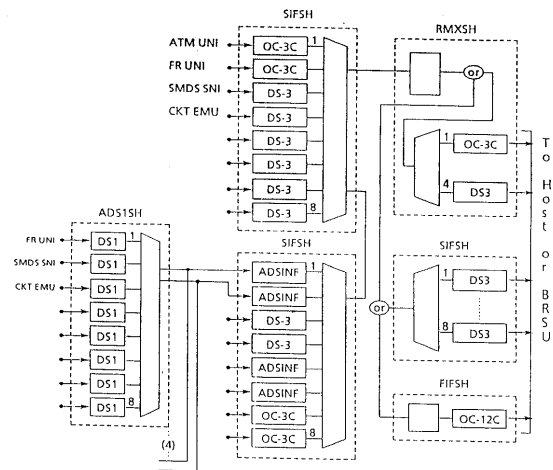
【図 12】



【図 13】

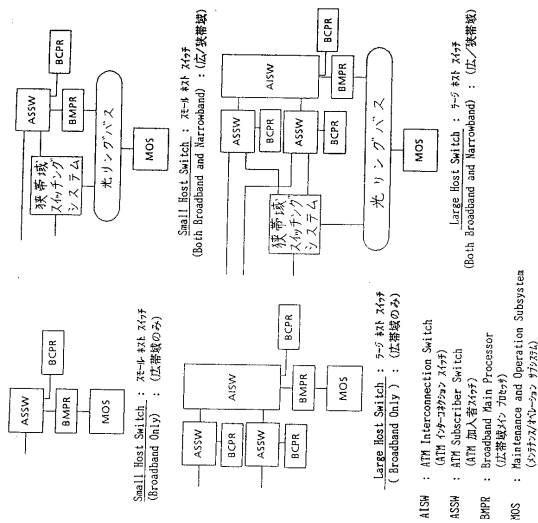


【図 14】

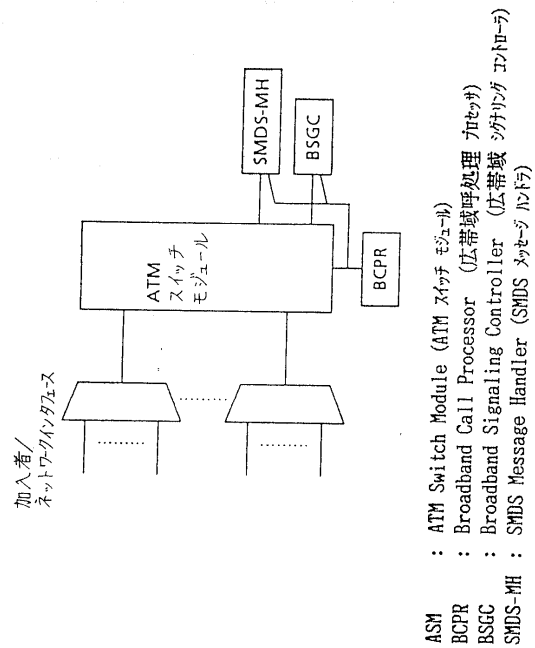


SIFSH : Subscriber Interface Shelf (加入者インタフェースシェルフ)
 ADS1SH : ATM DS1 Shelf (ATM DS1シェルフ)
 FIFSH : Fiber Interface Shelf (ファイバインタフェースシェルフ)
 RMXSH : Remote Multiplex Shelf (遠隔多重シェルフ)

【図 15】

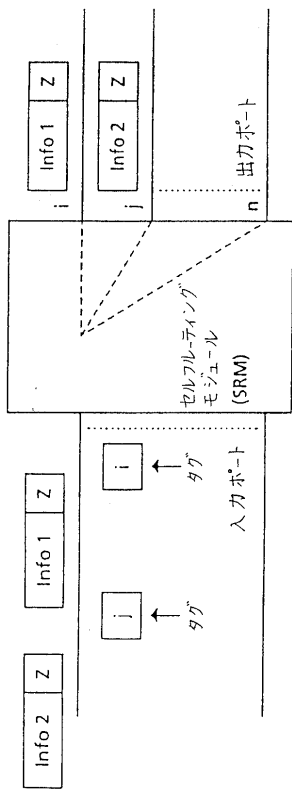


【図 16】

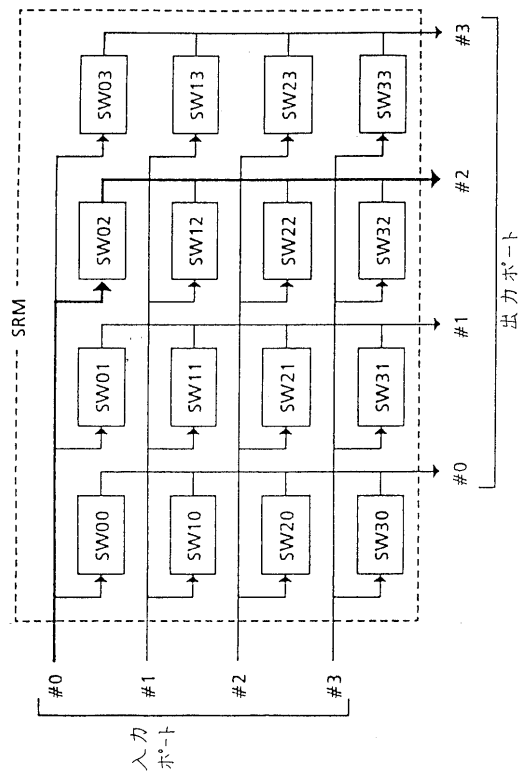


ASM : ATM Switch Module (ATMスイッチモジュール)
 BCPR : Broadband Call Processor (広帯域呼処理カプチャ)
 BSGC : Broadband Signaling Controller (広帯域シグナリングコントローラ)
 SMDS-MH : SMDS Message Handler (SMDSメッセージハンドラ)

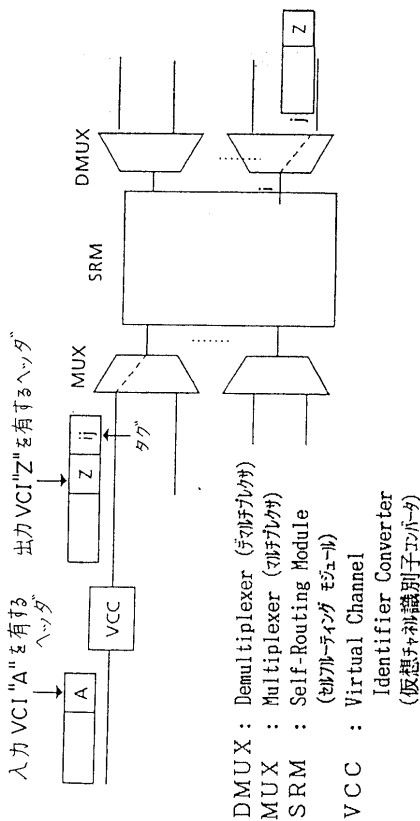
【図 17】



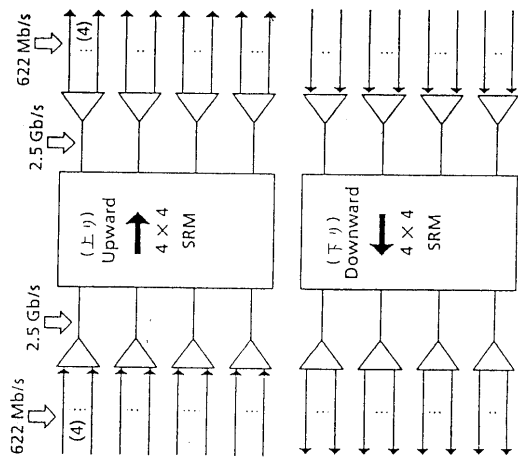
【図 18】



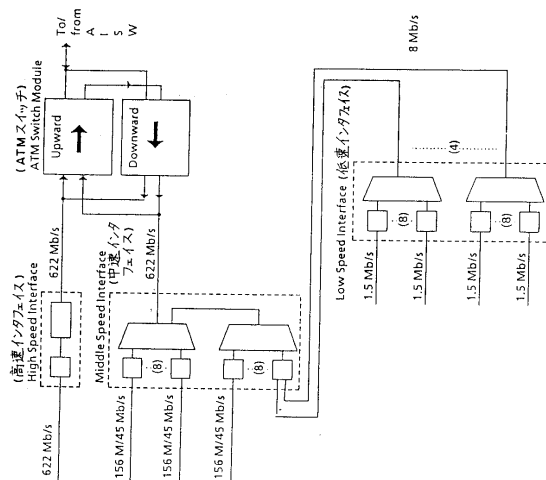
【図 19】



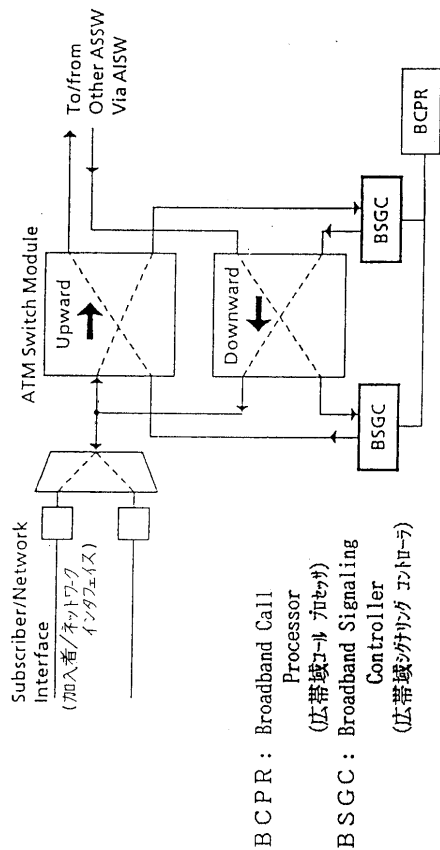
【図 20】



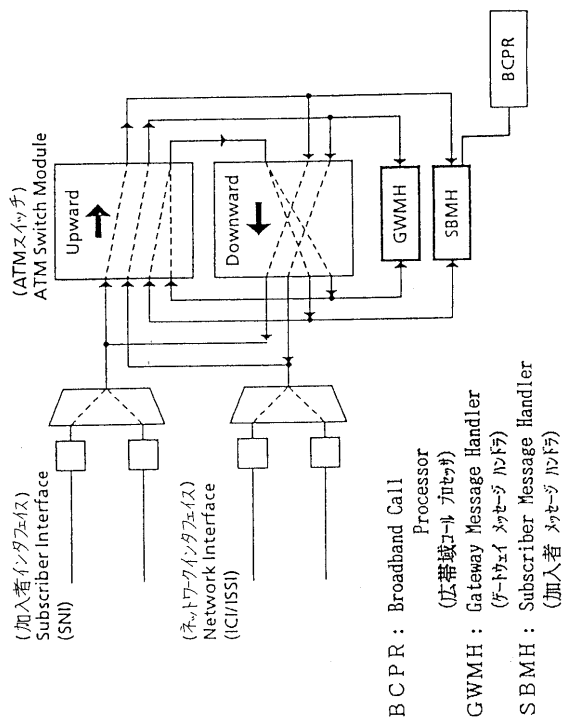
【図 2 1】



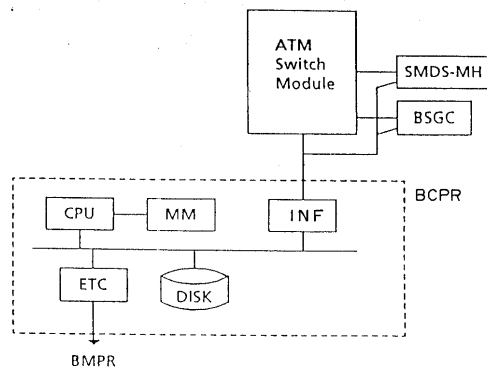
【図 2 2】



【図 2 3】

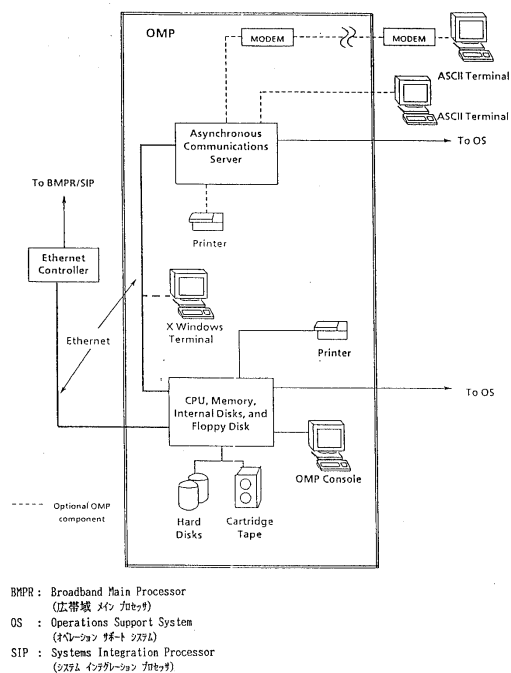


【図 2 4】

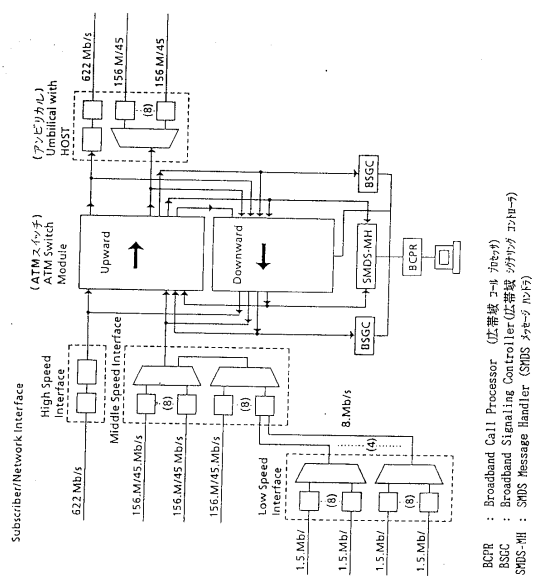


- BCP : Broadband Call Processor
(広帯域コールプロセッサ)
- BMP : Broadband Main Processor
(広帯域メインプロセッサ)
- BSGC : Broadband Signaling Controller
(広帯域シグナリングコントローラ)
- CPU : Central Processing Unit
(中央演算装置)
- ETC : Ethernet Controller
(イーサネットコントローラ)
- MM : Main Memory
(メインメモリ)
- INF : Interface
(インタフェース)
- SMDS-MH : SMDS Message Handler
(SMDSメッセージハンドラ)

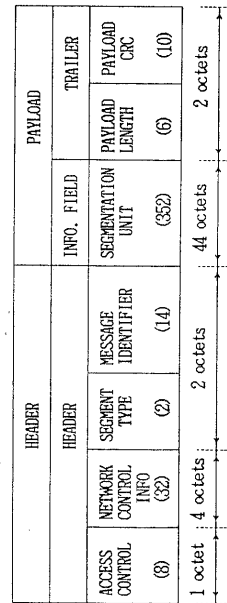
【图 2 6】



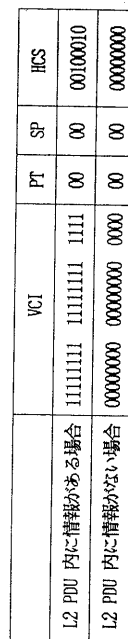
【図 28】



【 図 3 8 】



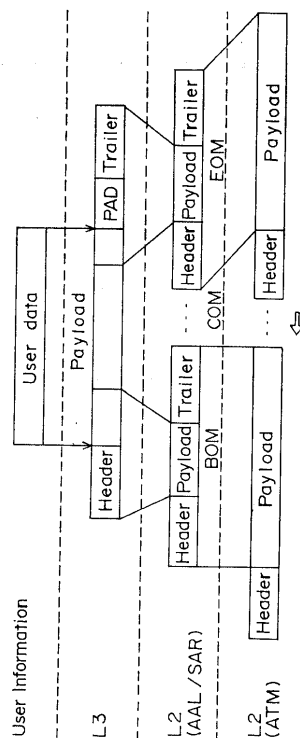
【 図 4 0 】



【图 4 1】

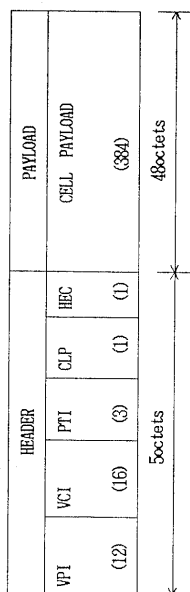
VALUE	MEANING
00	CONTINUATION MESSAGE (COM) (EMPTY L2 PDU FROM MSS)
01	END OF MESSAGE (EOM)
10	BEGINNING OF MESSAGE (BOM)
11	SINGLE SEGMENT MESSAGE (SSM)

【图 4 2】



BOM : Beginning of Message
COM : Continuation of Message
EOM : End of Message
SAR : Segmentation and Re-assembly

【図 4 3】

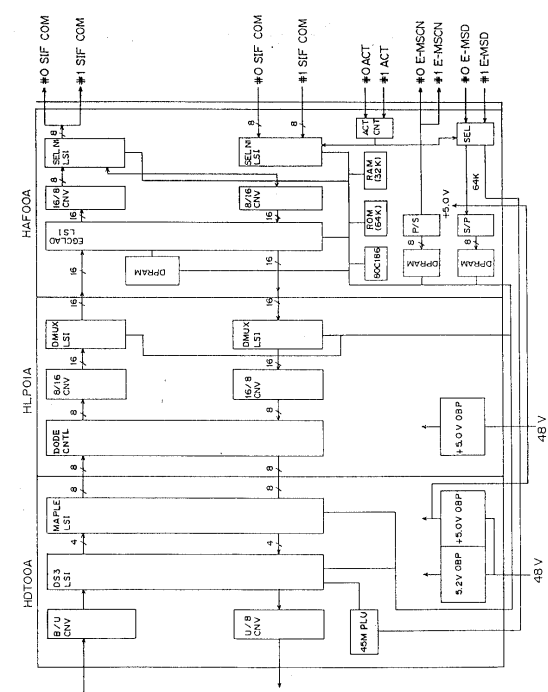


【図 4 4】

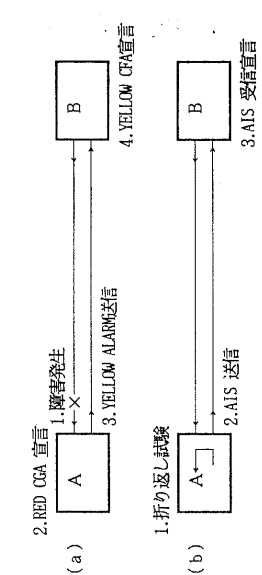
FUNCTION	VPI	VCI	PT	Q.P
UNASSIGNED CELL	00000000 0000	0000 00000000 0000	xxx	0
ASSIGNED CELL	yyyyyyyy yyy	yyyy yyyyyyyy yyy	yyy	y

X:不定
Y:任意

【図 4 5】



【図 4 6】



【図 4 7】

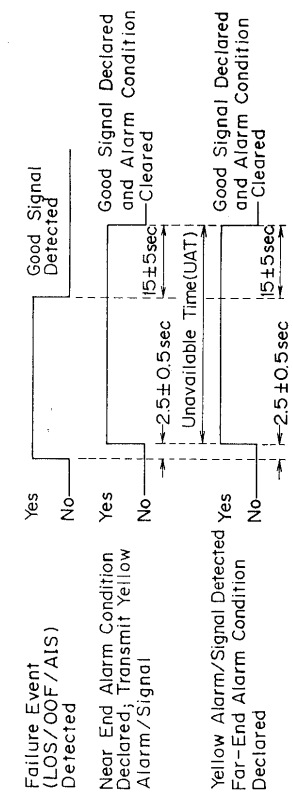
検出障害	マスクされるべき障害					
	LOS	AIS	OOF	YEL	POOF	PYEL
LOS	—	×	×	×	×	×
AIS		—	×	×	×	×
OOF			—	×	×	×
YEL				—		
POOF					—	×
PYEL						—

×がマスクされるべき障害
POOF: PLCP OOF
PYEL: PLCP YELLOW SIGNAL

【図 4 8】

	検出条件	復旧条件	REACTION
LOS OF SIGNAL	175±75連続 0 (パルス無し)	33%の平均パルス密度	RED CGA 宣言 YELLOW ALARM 送信
OUT-OF-FRAME (OSS)	16面以下の連続する frame bit 中の 3 個以上のエラー	Framing bit pattern 及び CRC の一致	RED CGA 宣言 YELLOW ALARM 送信
AIS	C=0, X=1, INFO, PYLD=1010...10	同左以外	AIS 受信宣言 YELLOW ALARM 送信
YELLOW ALARM (OSS)	X=0	X=1	YELLOW CGA 宣言

【図 49】



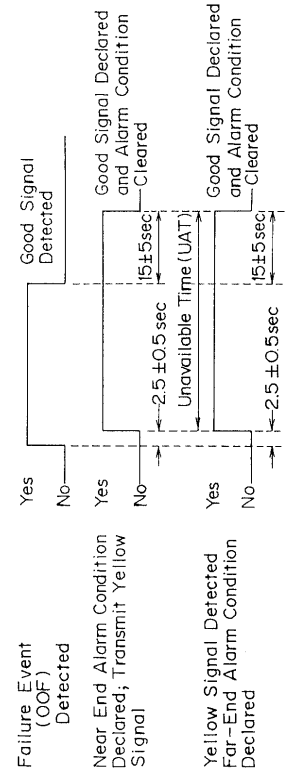
【図 50】



【図 51】

	検出条件	復旧条件	REACTION
OUT-OF-FRAME (DS3 PLCP)	A1,A2 共にエラーを検出or PATH OVERHEAD IDENTIFIERが2 回連続してエラーを検出	A1,A2 の一致、PATH OVERHEAD IDENTIFIERの一致	YELLOW SIGNAL 送信
YELLOW SIGNAL (DS3 PLCP)	第5 61 bitに "1" を検出	第5 61 bitに "0" を検出	YELLOW SIGNAL 受信宣言

【図 52】



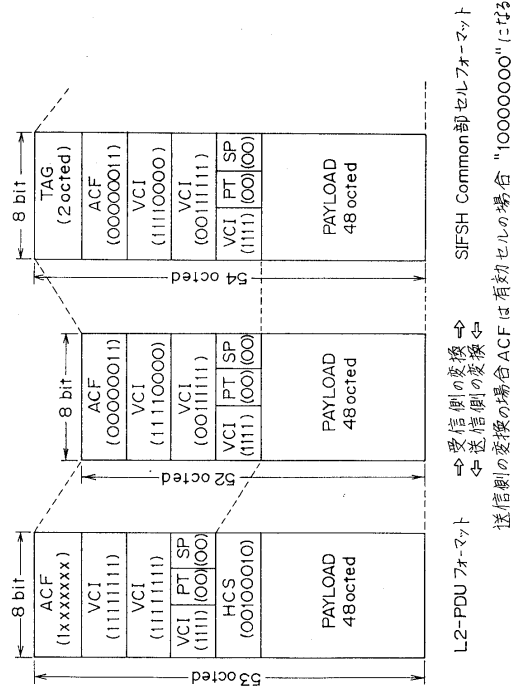
【図 5 3】

Parameters	Normal counter Advance	Counter Advance During Failure Events and Conditions			
		LOS	OOF	AIS	UAT
LCV	Each BPV	No	Yes	Yes	No
LES	If at least 1 LCV during sec.	Yes	Yes	Yes	No
LSES	If 45 or more LCVs during sec.	Yes	Yes	Yes	No
CV	Each P-bit error	No	No	Yes	No
ES	If at least 1 P-bit error during sec.	No	Yes	Yes	No
SES	If 44 or more P-bit error during sec.	No	Yes	Yes	No
SEFS	If at least one SEF event during sec.	No	Yes	Yes	No
AISS	If at least one incoming AIS during sec.	No	No	No	Yes
UAS	Start at onset of a failure condition	No	No	No	Yes

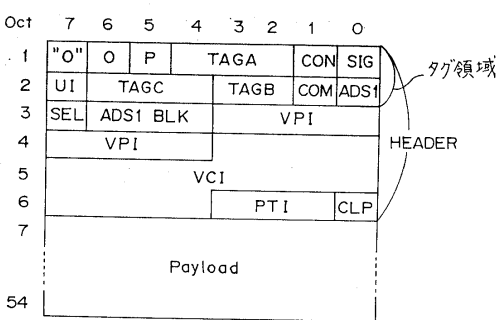
【図 5 4】

Parameters	Normal counter Advance	Counter Advance During Failure Events and Conditions			
		OOF	UAT		
CV(BIP-8)	Each BIP-8	No	No		
ES(BIP-8)	If at least 1 BIP-8 during sec.	Yes	No		
SES(BIP-8)	If 5 or more BIP-8 error during sec.	Yes	No		
SEFS(BIP-8)	If at least one SEFS during sec.	Yes	No		
UAS(BIP-8)	Status at onset of a failure condition	No	Yes		

【図 5 5】

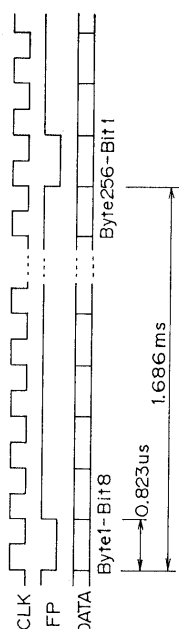


【図 5 6】



0: 1 通信モード (コピーモード無し)
O: 装置内試験セル表示 (O: ユーザセル 1: 装置内セル)
P: 品質表示
CON: 輻射時優先クラス表示
TAGA: 2.4G 4x4 選択
TAGB: 2.4G ⇨ 600M 選択
TAGC: 600M ⇨ 156M 選択
UL: イモズル上位/イモズル下位
COM: 600MHW を収容する共通部選択
SIG: 局内 LAP CELL 識別
ADS1 BLK: MUX ⇨ DTC 選択 (DS3-SMDS では "000")
ADS1 SEL: ADS1 カード選択 (DS3-SMDS では "0")

【图 5 7】



【图 5 8】

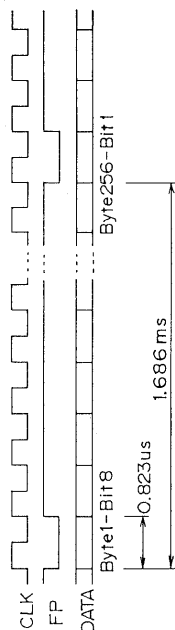
PLT-E24	D7	D6	D5	D4	D3	D2	D1	D0
000	PLT1	PLT0						DTEN
001								
002								
003		SDFRST	μ PRST					
004								
005		LOOP-2	LOOP-3	AISSND			O-LOOP	V-LOOP
006								
007	PF-CK	PF-CF	PF-PTY		PF-WDT		PTYRST	DS3DEC
008								
009								
010								
011								
012								
013								
014								
015								
016								
017								
018								
019								
020								
021								
246								
256								

【図 5 9】

[illegible]

極性: Neg: 0/1 = 意味有/無; Pos: 0/1 = 意味無/有; 交番: 變化時意味有

【 図 6 0 】



【図 6 1】

ビット	D7	D6	D5	D4	D3	D2	D1	D0
000	PLT1	PLT0	FWCB GROUP ID					
001	0	0	1	0	0	0	0	1
002	SYNCF0	PLTFO	SYNCF1	PLTF1	PE0	PE1		
003		SDPRST	μPRST					
004								
005		LOOP-2	LOOP-3	AISSND			0-LOOP	V-LOOP
006								
007	PF-CK	PF-CF	PF-PTY		PF-WDT		PTVRST	DS3DEC
008								
009								
010								
011								
012								
013								
014								
015	EC-AC1	EC-AC0	EC-TID	EC-TQH	EC-TSM			
016	FERR-1	FERR-2	LIALM	TCAALM	CLOSAL			TIMALM
017			MPE			TSTEND	TSTLND	INS
018	DH19M0	DH19M1	DHCF0	DHCF1	DHDPT0	DHDPT1		
019	UHDPT	UH19M	EGPTY					
020			LIFLG	TCAFLG	CLFLG			
021								
031		DEC NG PHASE No.				DEC NG TST No.		
246								
255								

不使用領域

【図 6 2】

ROW No	DATA	略称	意 味	極性	タイプ	ビット
000	6	PLT0	Stuck 監視用Pilot Bit(Earth 固定)	Neg	—	—
000	7	PLT1	Stuck 監視用Pilot Bit(+5 V 固定)	Neg	—	—
001	0-7	FWCB ID	搭載FWCB識別ID(DS3-SMDS"00100001")	Pos	—	—
002	2	PE1	#1系Interface 部代表Alarm	Neg	保持	FRST1
002	3	PE0	#0系Interface 部代表Alarm	Neg	保持	FRST0
002	4	PLTF1	#1系Pilot 信号断れ	Neg	—	—
002	5	SYNCF1	#1系PCK 同期外れ	Neg	—	—
002	6	PLTFO	#0系Pilot 信号断れ	Neg	—	—
002	7	SYNCF0	#0系PCK 同期外れ	Neg	—	—
003	5	μPRST	μ-Processor Reset	Pos	—	—
003	6	SDPRST	障害 Reset	Pos	—	—
005	0	V-LOOP	特定VPI/VCI Cell Loopback 指示	Pos	—	—
005	1	0-LOOP	"0"-Bit Cell Loopback 指示	Pos	—	—
005	4	AISSND	DS3 Line上にAIS Pattern 送出指示	Pos	—	—
005	5	LOOP-3	Line Loopback 指示	Pos	—	—
005	6	LOOP-2	Internal Loopback 指示 (DS3 SMDS All Loop)	Pos	—	—
007	0	DS3DEC	DS3-SMDS HARDWARE 診断指示	Pos	—	—
007	1	PTY-RS	Parity Error Reset	Pos	—	—
007	3	PF-WDT	Watch Dog Timer 監視障害指示	Pos	—	—
007	5	PF-PTY	Parity Error監視障害指示	Pos	—	—
007	6	PF-CF	Cell Frame Pulse断Checker 監視障害指示	Pos	—	—
007	7	PF-CK	Clock 断 Checker監視障害指示	Pos	—	—
015	3	EB-TSM	別線MSD(Timer 5-minute) のエコーバック	交番	—	—
015	4	EC-TQH	別線MSD(Timer Quarter Hourly) のエコーバック	交番	—	—
015	5	EC-TID	別線MSD(Timer 1 day) のエコーバック	交番	—	—

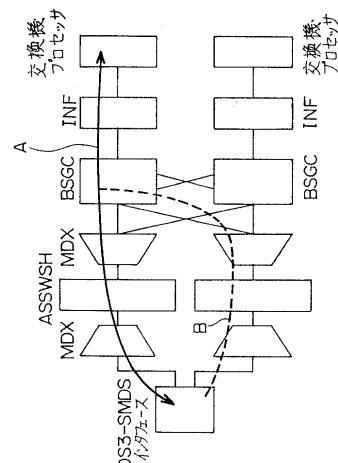
極性: Neg: 0/1=意味有/無; Pos: 0/1=意味無/有; 交番: 変化時意味有

【図 6 3】

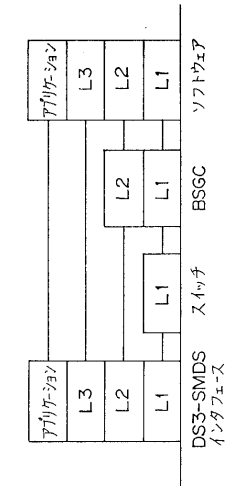
ROW No	DATA	略称	意 味	極性	タイプ	ビット
015	6	EC-AC0	別線MSD(Act#0)のエコーバック	Neg	—	—
015	7	EC-AC1	別線MSD(Act#1)のエコーバック	Neg	—	—
016	0	TIMALM	別線TIMER 情報NG OR 条件	Pos	非保持	SDPRST
016	3	CLOSAL	156M→45M 変換 Buffer Cell 廃棄開始OR条件	Pos	非保持	—
016	4	TCAALM	DS3/PLCP TCA OR 条件	Pos	非保持	—
016	5	LIALM	DS3/PLCP Alarm OR 条件	Pos	非保持	—
016	6	FERR-2	DS3-SMDS Infハードウェア障害 OR 条件	Pos	保持	SDPRST
016	7	FERR-1	局内通信不可 DS3-SMDS Inf ハードウェア障害	Pos	保持	SDPRST
017	0	INS	DS3-SMDS Inf 初期設定終了指示	Pos	保持	—
017	1	TSTLND	DS3-SMDS診断結果表示	Pos	保持	SDPRST
017	2	TSTEND	DS3-SMDS診断完了表示	Pos	保持	SDPRST
017	5	MPE	DS3-SMDS Inf 障害	Pos	保持	μPRST
018	2	DHDPT1	#1系下り主信号Data Parity Error	Pos	保持	FRST1
018	3	DHDPT0	#0系下り主信号Data Parity Error	Pos	保持	FRST0
018	4	DHCF1	#1系Cell Frame障害	Pos	保持	FRST1
018	5	DHCF0	#0系Cell Frame障害	Pos	保持	FRST0
018	6	DM19M1	#1系 Down 19M Clock 障害	Pos	保持	FRST1
018	7	DM19M0	#0系 Down 19M Clock 障害	Pos	保持	FRST0
019	5	EGPTY	EGCLAD Parity Error	Pos	保持	SDPRST
019	6	UH19M	Up 19M Clock障害	Pos	保持	SDPRST
019	7	UHDPT	上り主信号Data Parity Error	Pos	保持	SDPRST
020	3	CLFLG	156M→45M 変換 Buffer Cell 廃棄開始変化Flag	交番	非保持	—
020	4	TCAFLG	DS3/PLCP TCA変化Flag	交番	非保持	—
020	5	LIFLG	DS3/PLCP Alarm変化Flag	交番	非保持	—
031	0-3	DEC NG TST No.	DS3-SMDS Inf診断 NG TST No. 表示	Pos	保持	—
031	4-7	DEC NG Ph No.	DS3-SMDS Inf診断 NG Ph No. 表示	Pos	保持	—

極性: Neg: 0/1=意味有/無; Pos: 0/1=意味無/有; 交番: 変化時意味有

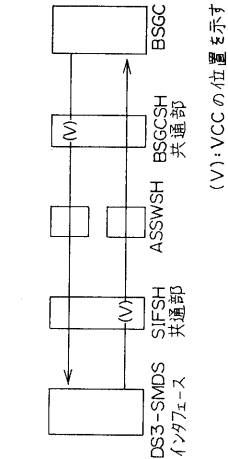
【図 6 4】



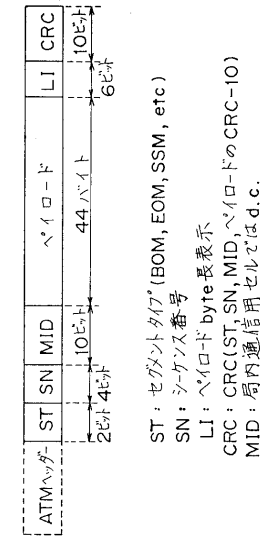
【図 6 5】



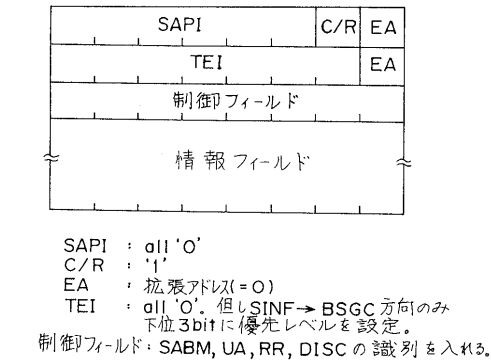
【図 6 6】



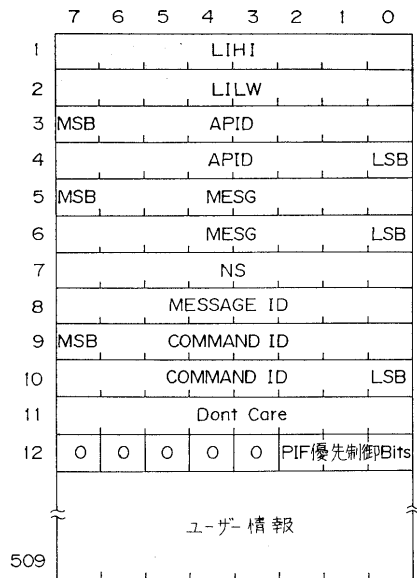
【図 6 7】



【図 6 8】

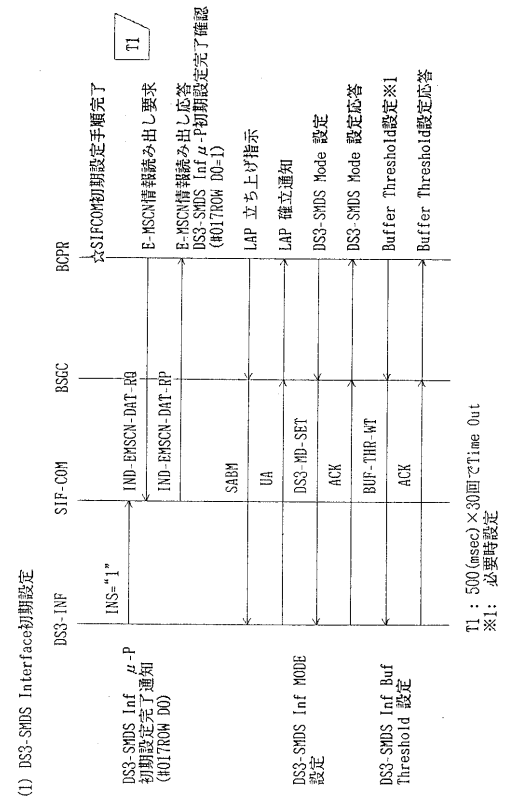


【図 69】



LIHI : LILW以下のオクテット数の上位ビットを表示
 LILW : LILW以下のオクテット数の下位ビットを表示
 APID : 通信対象のアプリケーションを示す
 MESSG : アプリケーション内のメッセージを識別する
 NS : BCPR → 装置間信号
 COMMAND ID : ソフトシグナルNo.

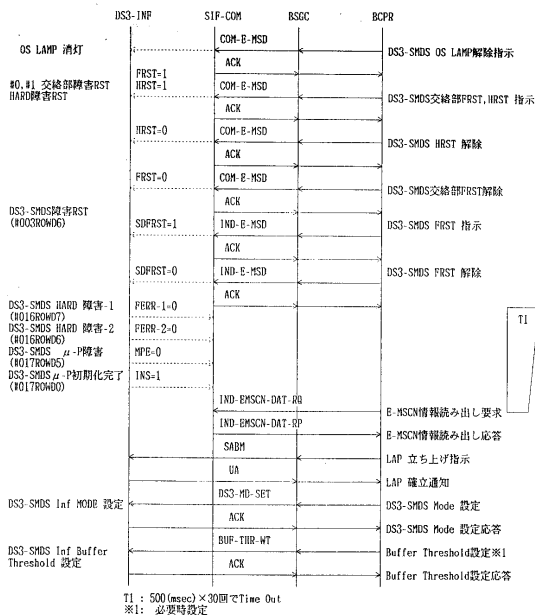
【図 70】



(1) DS3-SMDS Interface初期設定

【図 71】

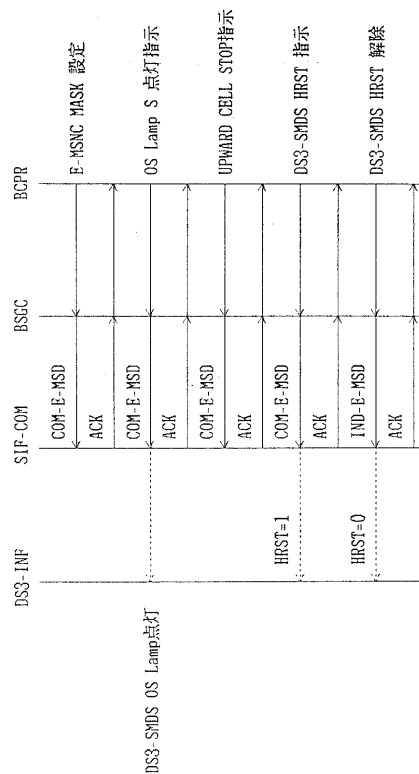
(2) DS3-SMDS Interface INS化手順



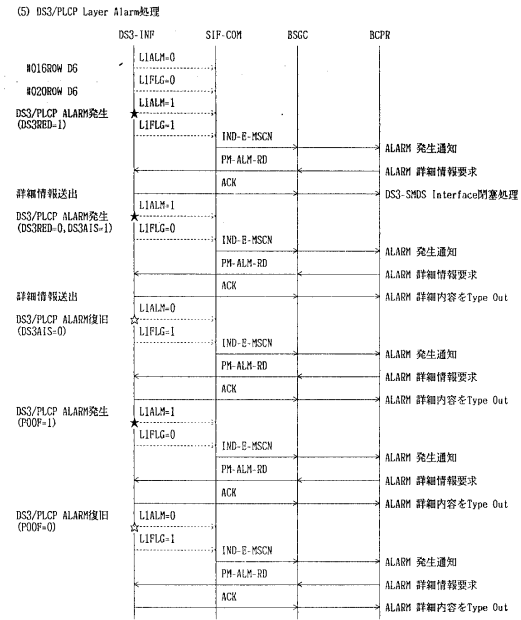
T1 : 500 (msec) × 30回でTime Out
 ※1: 必要時設定

【図 72】

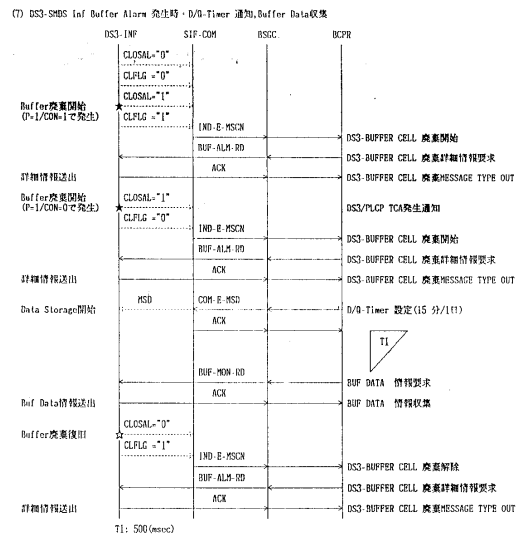
(3) DS3-SMDS Interface OS化手順 (保守閉塞)



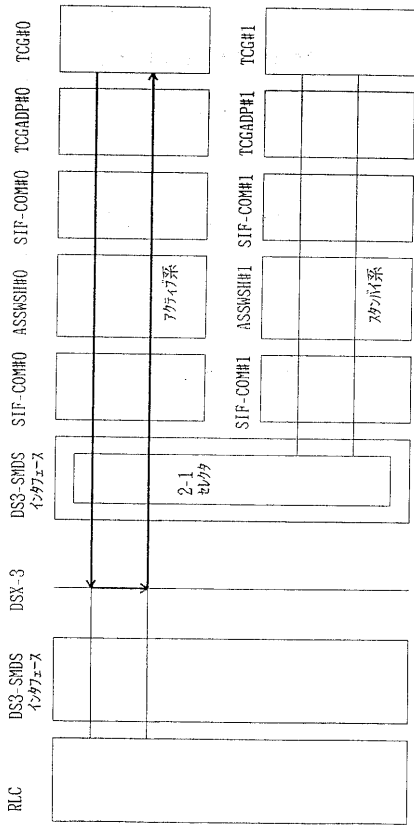
【图 7 8】



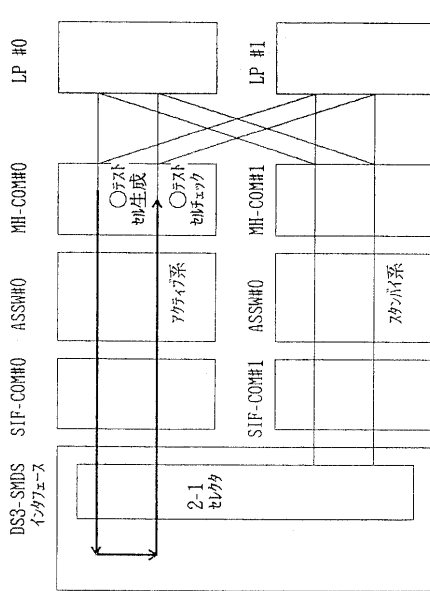
【 図 8 0 】



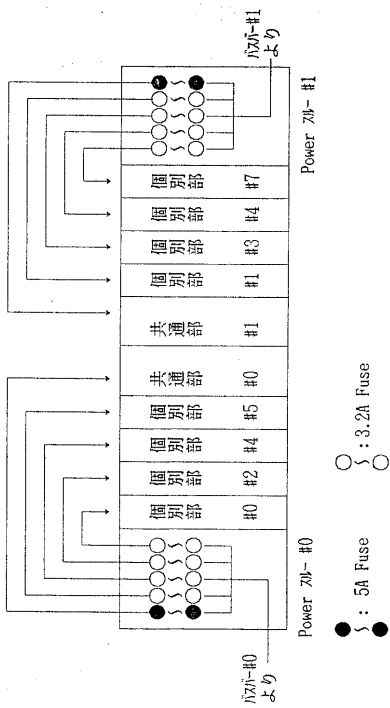
【図 8 5】



【図 8 6】

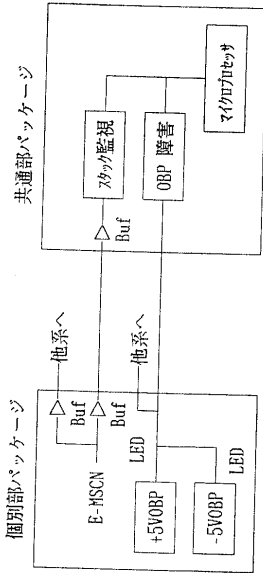


【図 8 7】

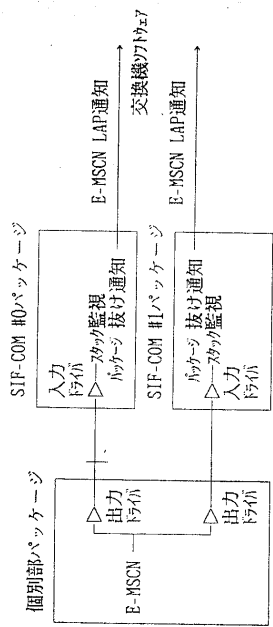


注1：個別部パッケージは、左半分が偶数回線の実装、右半分が奇数回線の実装となる。

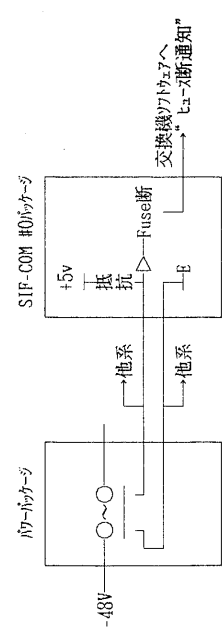
【図 8 8】



【図 89】



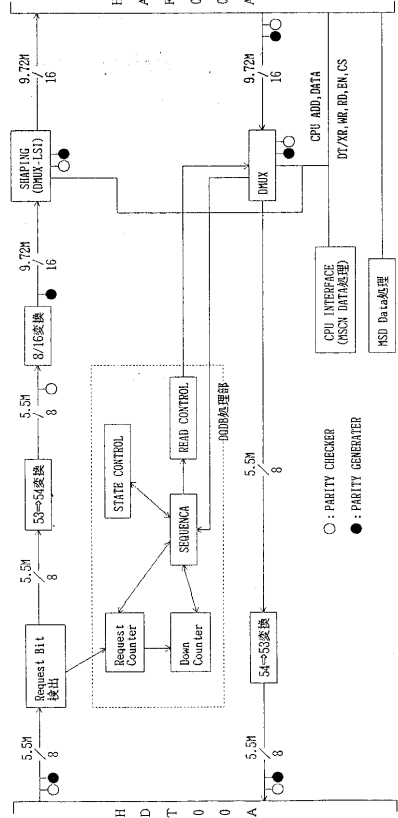
【図 90】



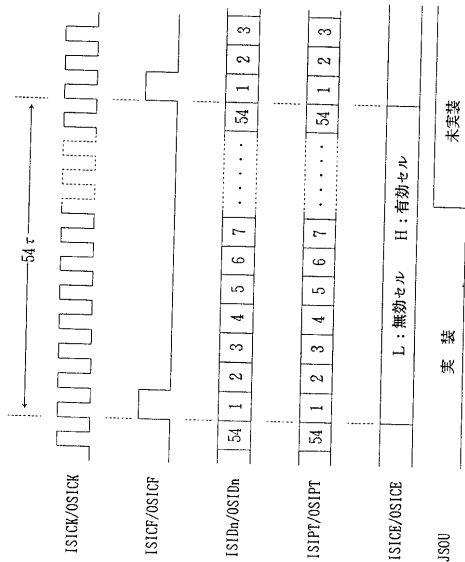
【図 91】

#0 系ACT	#1 系ACT	ACT状態
0	0	前の状態保持
1	0	#1系ACT
0	1	#0系ACT
1	1	前の状態保持

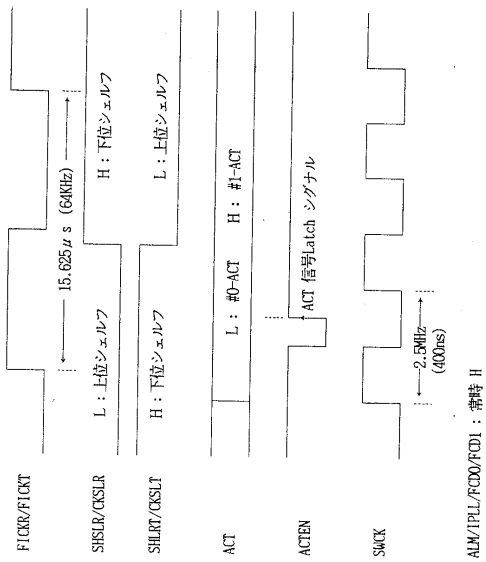
【図 92】



【図 9 7】



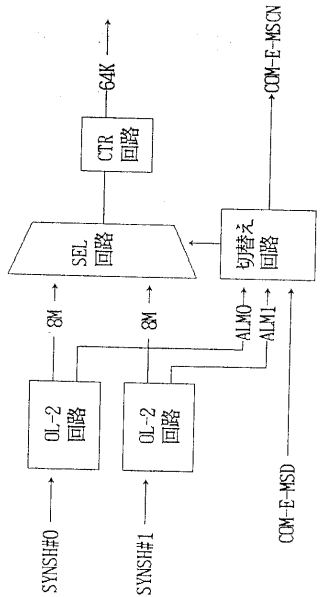
【図 9 8】



【図 9 9】

系選択信号		SIPSH-A 777777系
自系スイッチ選択表示	他系スイッチ選択表示	
0系選択	0系選択	0系
1系選択	1系選択	0系
0系選択	1系選択	旧系保持
1系選択	0系選択	旧系保持

【図 1 0 0】



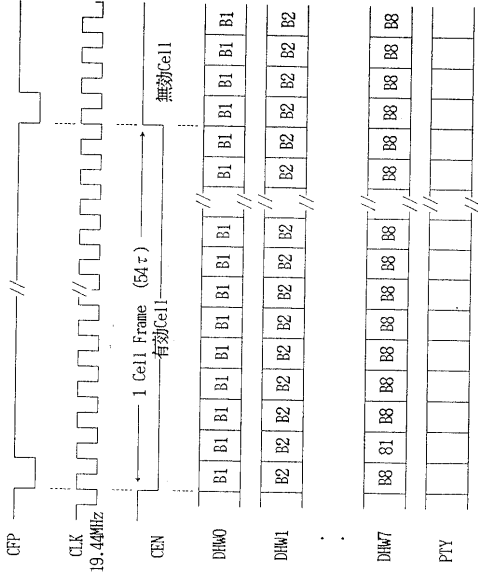
【図 1 0 1】

COM-E-MSD 指示		OL-2 回路アラーム状態		選択系 (COM-E-MSDN)
#0系	#1系	#0系	#1系	
OFF	OFF	○	○	旧系保持
ON	OFF	○	○	#0系
OFF	ON	○	○	#1系
ON	ON	○	○	旧系保持
Don't Care		○	×	#0系
Don't Care		×	○	#1系
Don't Care		×	×	旧系保持

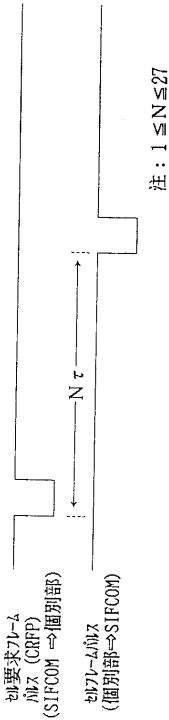
(注1)

注1：COM-E-MSD での両系選択指示はソフト/ファームが正常時には起こりえない。

【図 1 0 2】

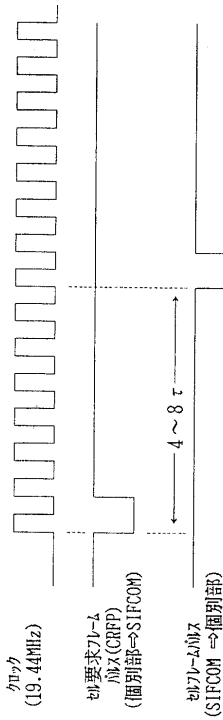


【図 1 0 3】

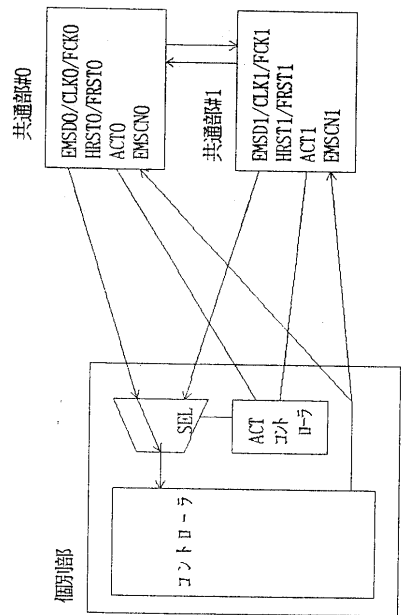


注：1 ≤ N ≤ 27

【図 1 0 4】



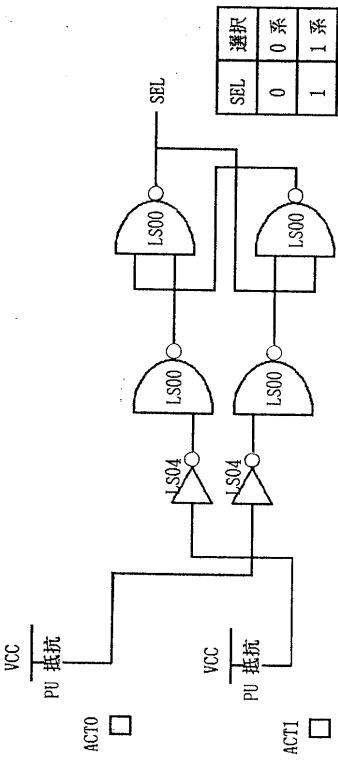
【図 1 0 5】



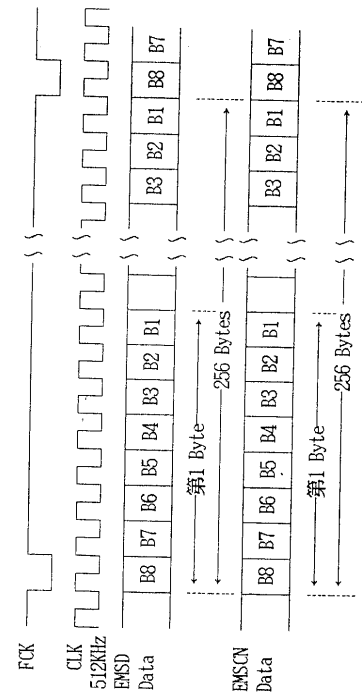
【図 1 0 6】

ACT0	ACT1	系選択
H	H	前の状態を保持
H	L	#1 ACT
L	H	#0 ACT
L	L	前の状態を保持

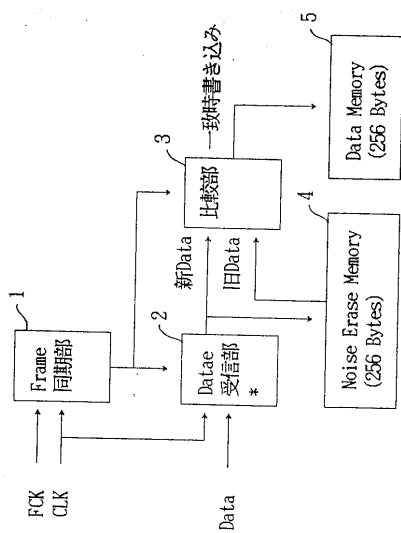
【図 1 0 7】



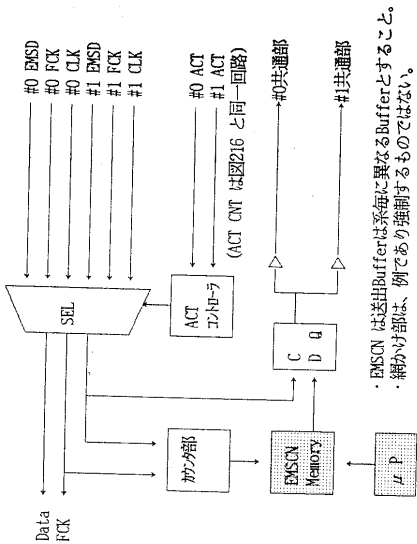
【図 1 0 8】



【図 1 1 3】



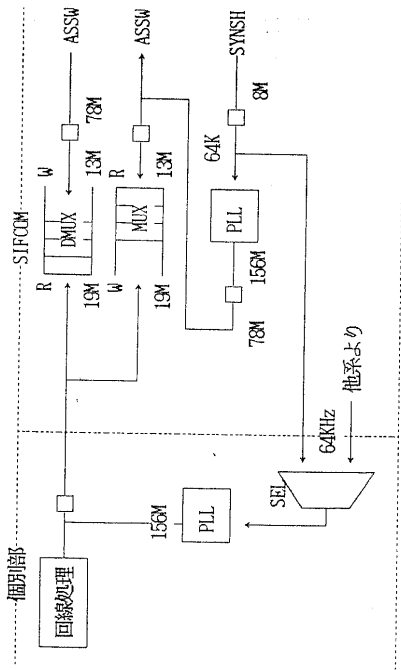
【図 1 1 4】



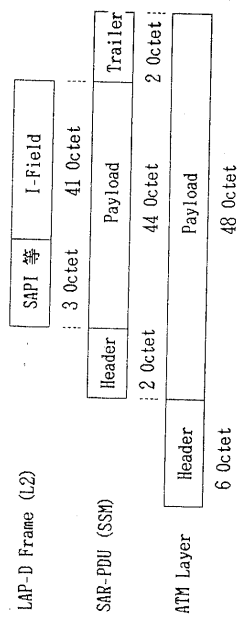
【図 1 1 5】

障害	個別部		共通部	
	障害検出方法	障害通知方法	障害検出方法	障害内容
EMSD HW スタック	PLT0/1 崩れ	EMSCN (PLTF)	EMSCN (PLTF)	EMSD HW スタック
512K Clock スタック	個別部がロック	EMSCN スタック	EMSCN PLT0/1 スタック	EMSCN HWスタック
FCK スタック	FCK スタック	EMSCN (SYNCF)	EMSCN (SYNCF)	FCK 同期外れ
EMSCN HW スタック			EMSCN PLT0/1 スタック	EMSCN HWスタック

【図 1 1 6】



【図 1 1 7】

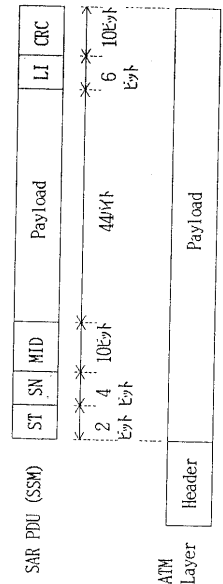


【図 1 1 8】

OCTET	8	7	6	5	4	3	2	1
1	0	0	P		TAG-A		CON	RES
2	UL		TAG-C		TAG-B		COM	SIG
3					VPI			
4			VPI				VCI	
5					VCI			
6			VCI			PTI		CLP
7								
8								
9								
10								
11								
12								
13								
14								
15								
16								
17								
18								
19								
20								
21								
22								
23								
24								

O : 装置内セル表示。局内通信セルは "1" 固定とする。
P : 品質表示。7-ビット高品質を示す "1" 固定とする。
CON : 優先クラス。7-ビット高優先を示す "1" 固定とする。
RES : 強制空きセル表示。 "0" 固定とする。
COM : 共通部シグナリング指定。 "1" (共通部指定) とする。
SIG : シグナリング指定外。 "1" (シグナリング) とする。
VPI : 局内シグナリング時は固定値を定義。
VCI : 局内シグナリング時は固定値を定義。
PTI : 固定値 "000" とする。
CLP : 固定値 "0" とする。
TAG-A : セルルーティング表示。
TAG-B : セルルーティング表示。
TAG-C : セルルーティング表示。

【図 1 1 9】



ST : ゼロパディング (BOM="00"/COM="01"/EOM="10"/SSM="11")
SN : シンクカウンタ ("0000" ⇒ "1111" Cyclic Increment)
MID : 局内シグナリングでは未定義。 (受信側 d.c./ 送信側全ビット "0")
LI : レンダ、インクリメント (VPI-VCI 内有効ビット長表示)
(BOM, COM="101100"/SSM, EOM= 任意長)
CRC : CRC (ST, SN, MID, Payload) に対する CRC-10)

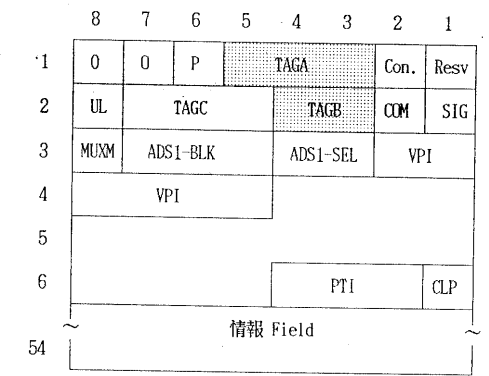
【図 1 2 0】

1	2	3	4	5	6	7	8
EA1	C/R		SAPI (OLCI Lower)				
EA2			TEI (OLCI Lower)				
			制御フィールド (C-Field)				
			情報フィールド (I-Field)				

最大 512

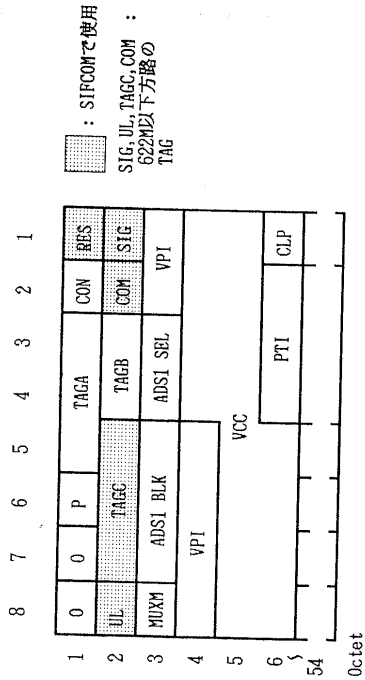
SAPI : 全ビット "0"、固定値。
TEI : 全ビット "0"、固定値。
C/R : フラグメント/レガシー "1"
EA1 : 拡張アドレッシング、 "0" 固定値。
EA2 : 拡張アドレッシング、 "1" 固定値。
制御フィールド : SAPI="01111111"/UA="01110011"/
UI="00000011"/RR="00000001"

【図 1 2 1】



0 : 固定値 (Copy表示であり、“0” は、1 対1 送信)
0 : 装置内試験セル表示 (“0”: ユーザセル、“1”: 装置内セル)
P : 優先クラス (“0”: 高優先、“1”: 低優先)
Con.: Congestion(輻輳) 制御 (警察、消防等の重要呼識別)
Resv: Reserve Bits
BSGCSH では系切り換え時の意味無しCELLの識別として使用。
TAGA: SW内2.4G 4x4の方路選択 (AIM 仕様)
(3Bits中2Bits のみ使用、残り1Bitの位置及び極性は未調査)
TAGB: SW内2.4G⇒622Mx4の方路選択 (AIM 仕様)
RMXSH ではULとして使用。
TAGC: 622M ⇒ 156M 方路選択
UL : イモツル上位/下位
COM : 共通部選択
BSGCSH では一重化/二重化装置からのCELLの識別として使用。
SIG : 局内LAP Cell識別
MUXM: Mux Multicast Bit MUX 以降のDS1 Cardに対する
ADS1-SEL: ADS1カード選択

【図 1 2 2】

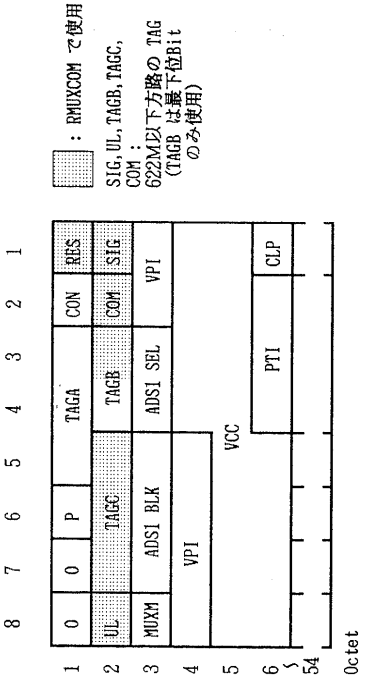


: SIFCOMで使用する
SIG, UL, TAGC, COM :
622M以下方路の
TAG

【図 1 2 3】

SIG	UL	TAGC	COM	方	路
0/1	0	000	0	SIFSH#0	LINE0/SIGNALING
0/1	0	001	0	SIFSH#0	LINE1/SIGNALING
0/1	0	111	0	SIFSH#0	LINE7/SIGNALING
0/1	1	000	0	SIFSH#1	LINE0/SIGNALING
0/1	1	001	0	SIFSH#1	LINE1/SIGNALING
0/1	1	111	0	SIFSH#1	LINE7/SIGNALING
1	0	000	1	SIFSH#0	COM SIGNALING
1	1	000	1	SIFSH#1	COM SIGNALING

【図 1 2 4】

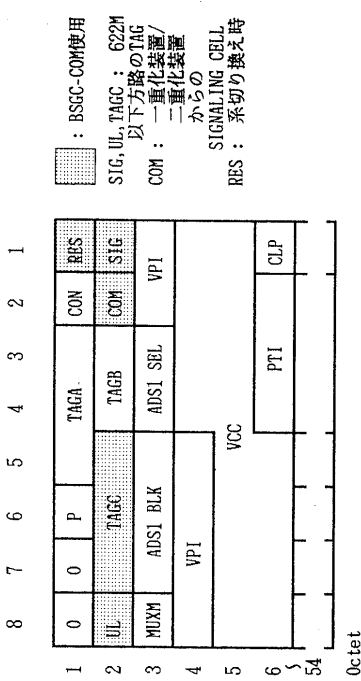


: RMXCOMで使用する
SIG, UL, TAGB, TAGC,
COM :
622M以下方路の TAG
(TAGB は最下位Bit
のみ使用)

【図 1 2 5】

SIG	UL	TAGB	TAGC	COM	方 路
0/1	0	0	000	0	RMUXSH#0 LINE0 / SIGNALING
0/1	0	0	001	0	RMUXSH#0 LINE1 / SIGNALING
0/1	0	0	111	0	RMUXSH#0 LINE7 / SIGNALING
0/1	1	0	000	0	RMUXSH#1 LINE0 / SIGNALING
0/1	1	0	001	0	RMUXSH#1 LINE1 / SIGNALING
0/1	1	0	111	0	RMUXSH#1 LINE7 / SIGNALING
0/1	1	1	000	0	RMUXSH#2 LINE0 / SIGNALING
0/1	1	1	001	0	RMUXSH#2 LINE1 / SIGNALING
0/1	1	1	111	0	RMUXSH#2 LINE7 / SIGNALING
1	0	0	000	1	RMUXSH#0 COM SIGNALING
1	1	0	000	1	RMUXSH#1 COM SIGNALING
1	1	1	000	1	RMUXSH#2 COM SIGNALING

【図 1 2 6】



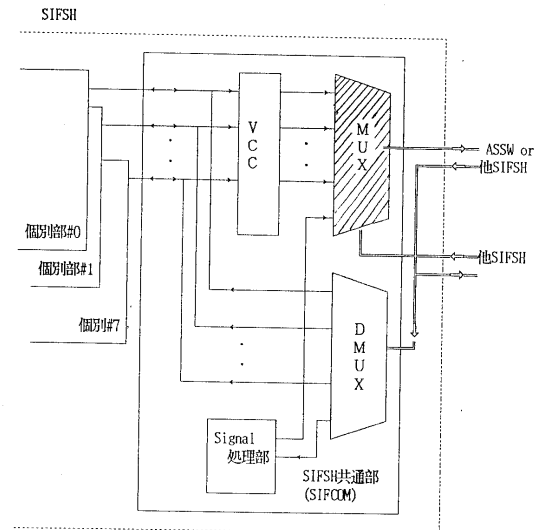
【図 1 2 7】

SIG	UL	TAGC	方 路
0	0	000	BSGCSH#0/LINE0
0	0	001	BSGCSH#0/LINE1
0	0	111	BSGCSH#0/LINE7
0	1	000	BSGCSH#1/LINE0
0	1	001	BSGCSH#1/LINE1
0	1	111	BSGCSH#1/LINE7
1	0	000	BSGCSH#2/LINE0
1	0	001	BSGCSH#2/LINE1
1	0	111	BSGCSH#2/LINE7
1	1	000	BSGCSH#3/LINE0
1	1	001	BSGCSH#3/LINE1
1	1	111	BSGCSH#3/LINE7

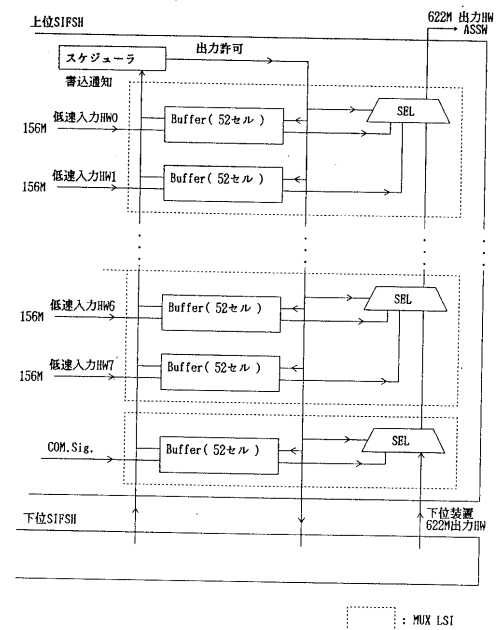
【図 1 2 8】

SIG	ADSI BLK	ADSI SEL	
0	000	0 0 1 1	DTC 0/ Line 0 へのユーザCell DTC 0/ Line 3 へのユーザCell
0	111	0 0 1 1	DTC 7/ Line 0 へのユーザCell DTC 7/ Line 3 へのユーザCell
1	000	0 0 1 1	DTC 0/ Line 0 へのLAP Cell DTC 0/ Line 3 へのLAP Cell
1	111	0 0 1 1	DTC 7/ Line 0 へのLAP Cell DTC 7/ Line 3 へのLAP Cell

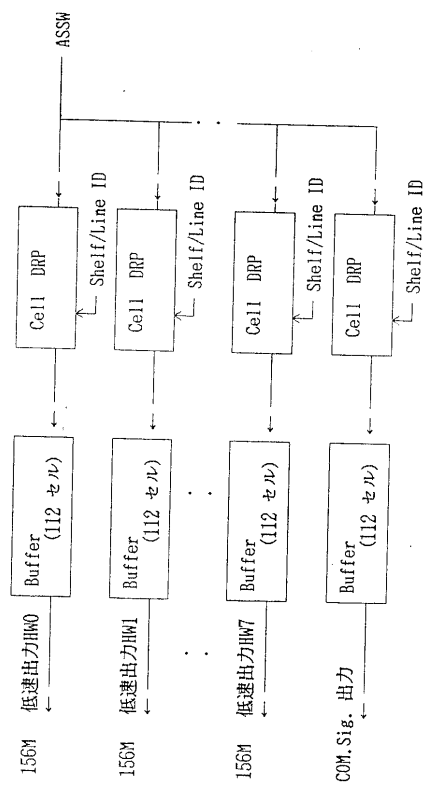
【 図 1 3 0 】



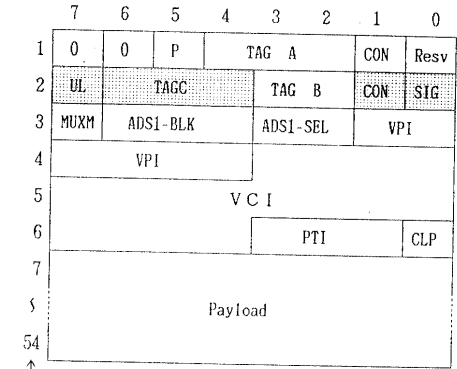
【図 1 3 2】



【図 1 4 1】



【図 1 4 2】

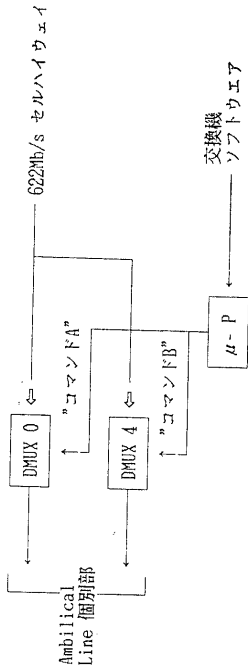


"0": 1 対 1 通信モード (ポード無し)
0 : 装置内試験セル表示 ("0":エーセル、"1":装置内セル)
P : 品質表示
CON : 優先クラス表示
RES : Reserve Bits
PTI : ペイロードタイプ
TAGA: 2.4G 4×4 用TAG
TAGB: 2.4G → 600M 4 方路用TAG
COM : 共通部選択
SIG, UL, TAGC : 600M以下のTAG
MUXM: Mux Multicast
ADS1 BLK : MUXからADS1 BlockへのTAG
ADS1 SEL : ADS1 へのTAG
SIFCOM DMUX で使用

【図 1 4 3】

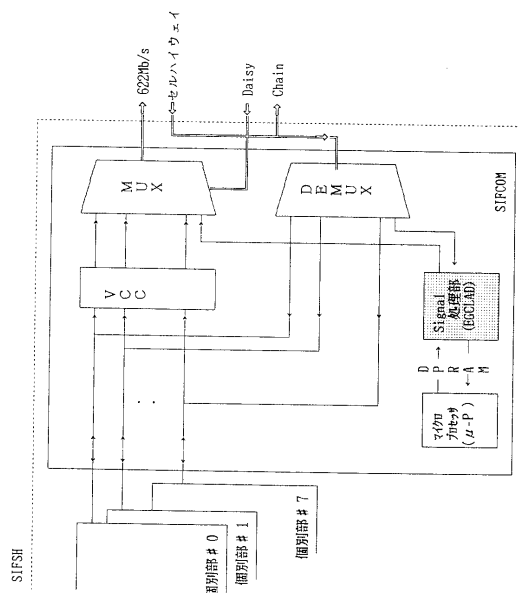
SIG	UL	TAGC	COM	方路
0/1	0	0 0 0	0	SIFSH0 Line #0/Signal
0/1	0	0 0 1	0	" Line #1/Signal
0/1	0	1 1 1	0	SIFSH0 Line #7/Signal
0/1	1	0 0 0	0	SIFSH1 Line #0/Signal
0/1	1	0 0 1	0	" Line #1/Signal
0/1	1	1 1 1	0	SIFSH1 Line #7/Signal
1	0	0 0 0	1	SIFSH0 Common Signal
1	1	0 0 0	1	SIFSH1 Common Signal

【図 1 4 4】

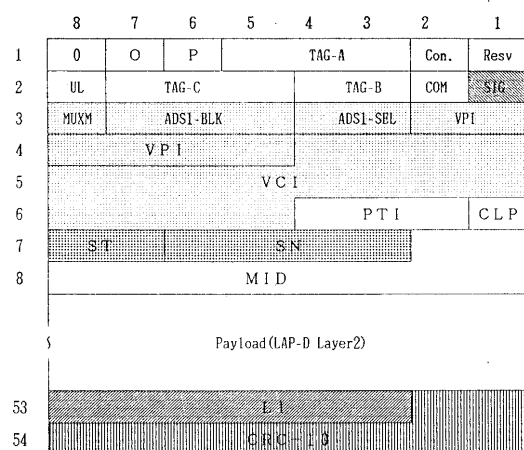


【図 1 5 0】

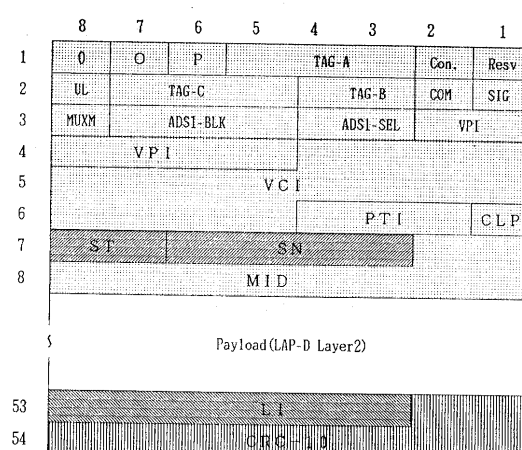
ACT 系ステータス	01S 系ステータス	Copy可否	CC の処理
コピー終了報告	コピー終了報告	○	ACT 系、01US 系へコピー終了通知コマンド発行。
コピー終了報告	コピー実行不可または報告なし	×	ACT 系へコピー終了通知コマンド発行、01US 系リセットし、リトライ処理。
コピー実行不可または報告なし	コピー終了報告	×	リトライで不可の場合、01US 系へVCC 個別設定。
コピー実行不可または報告なし	コピー実行不可または報告なし	×	



【図 1 5 2】

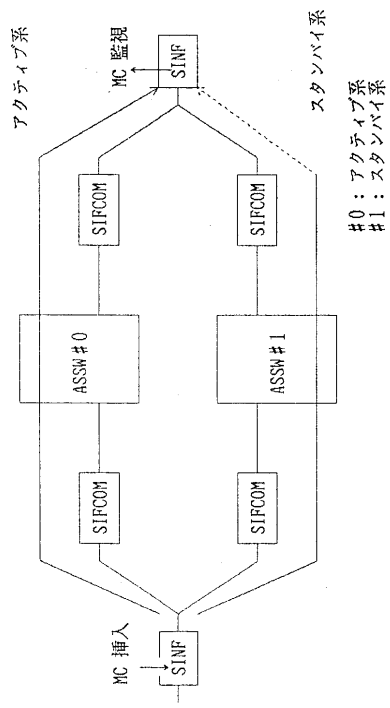


-  : Signalling Bit Check範囲
-  : VPI/VCI 一致検出範囲
-  : シーケンスCheck 範囲
-  : フレームCheck 範囲
-  : CRC Check 範囲

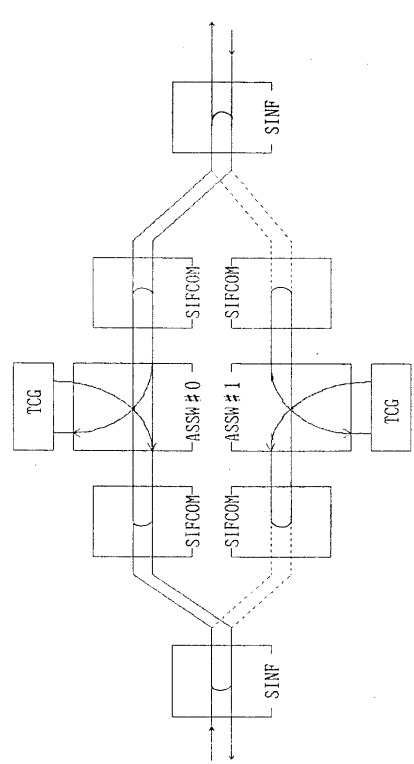


-  : μ -Pにて設定
-  : シーケンス生成部にて設定
-  : フレーム生成部にて設定
-  : CRC 演算部にて設定

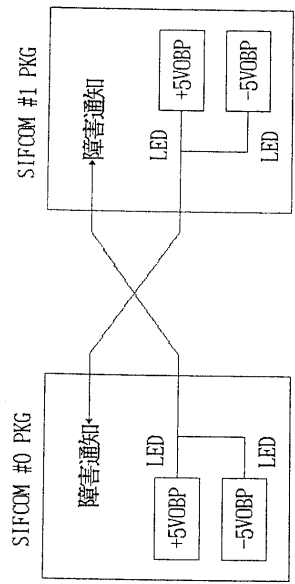
【図 1 5 3】



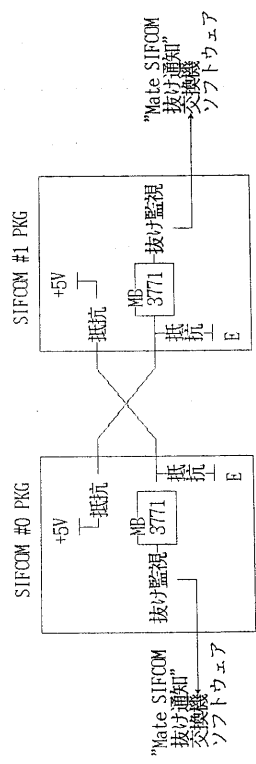
【図 1 5 4】



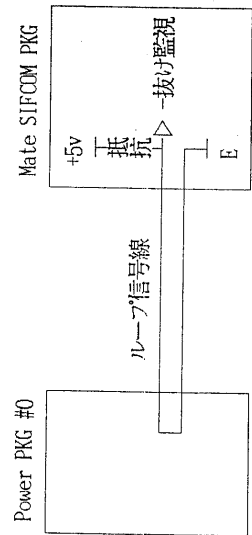
【図 1 5 5】



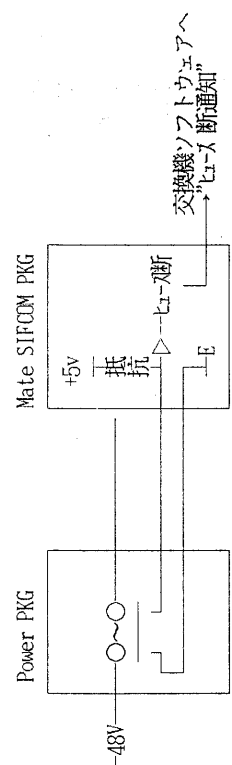
【図 1 5 6】



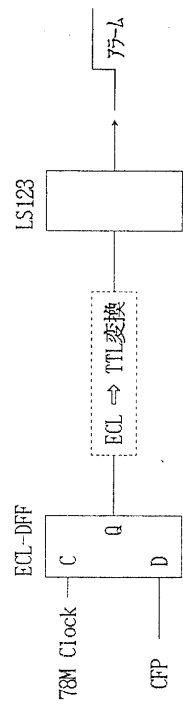
【図 1 5 7】



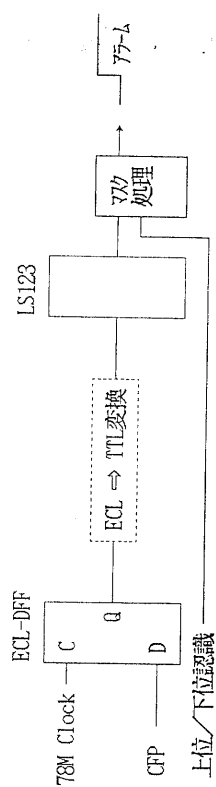
【図 1 5 8】



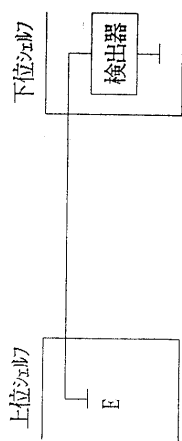
【図 1 5 9】



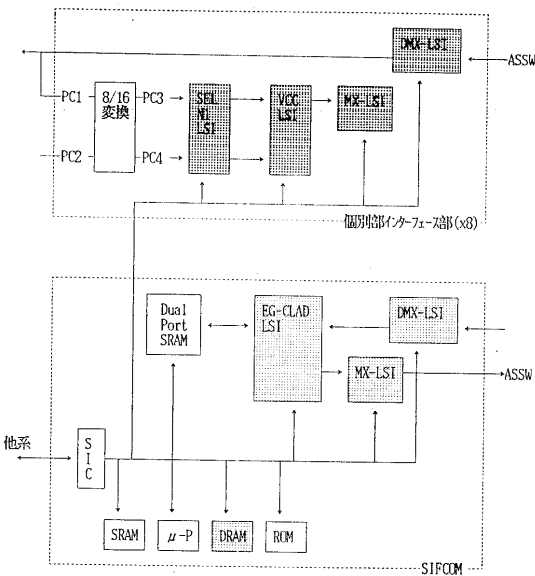
【図 1 6 0】



【図 1 6 1】



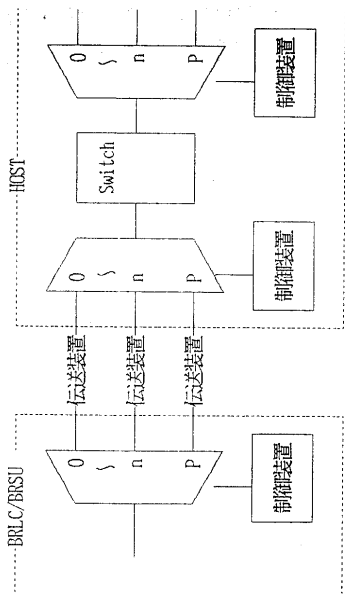
【図 1 6 2】



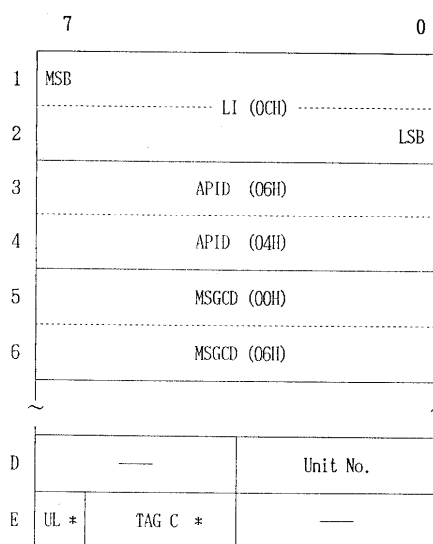
【図 1 6 3】

障害サイト	検出処理・検出箇所	障害通知	検出周期
ORP 障害、Clock 断、Ref. Clock断、Watch Dog オートリセ	Mate系SIFCOM777への周期監視。	Mate SIFCOMより777 通知	
VCC 777- 中のリセ	ACT 系SIFCOM777への常時監視。	ACT 系SIFCOMより777 通知	
個別Interface 部ハート 障害	自系SIFCOM777への周期監視。	自系SIFCOMより777 通知	1sec x 2
共通部ハート 障害	自系SIFCOM777への周期監視し、Mate SIFCOM へSIC 経由通知。	両系SIFCOMより777 通知	250ms x 2
-48V断(Power PKG抜け、777抜け)	Mate SIFCOM への周期監視。	Mate SIFCOMより777 通知	250ms x 2
-48V個別部 Fuse 断	両系SIFCOMへの周期監視。	自系SIFCOMより777 通知	250ms x 2
-48V共通部 Fuse 断	Mate系SIFCOMへの周期監視。	自系SIFCOMより777 通知	250ms x 2
SIFCOM PKG抜け	Mate系SIFCOMへの周期監視。	Mate SIFCOMより777 通知	250ms x 2

【図 1 6 4】

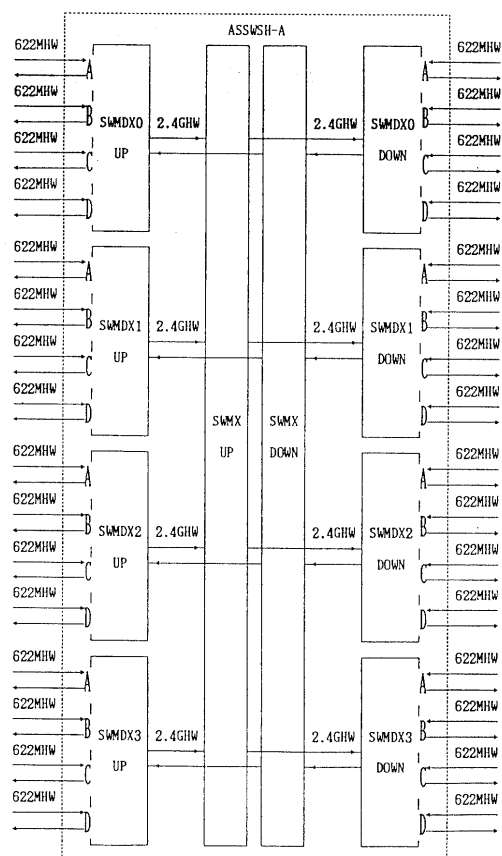


【 兪 1 6 6 】

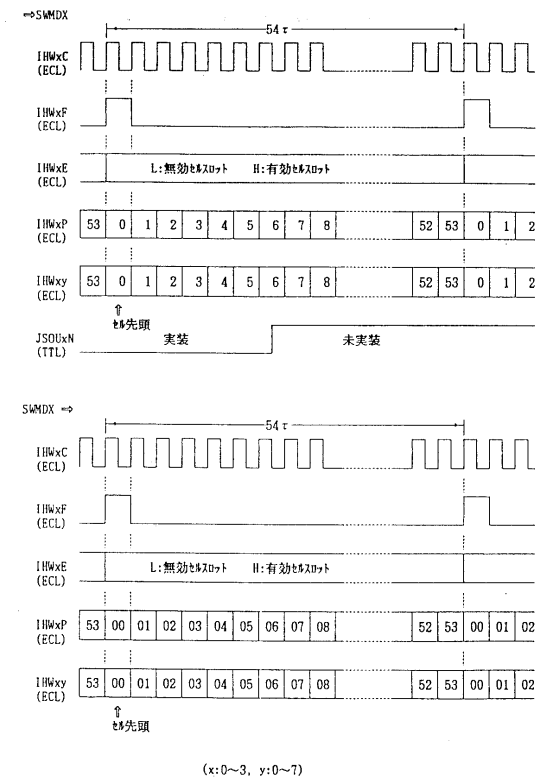


* : 変更したいUL, TAG-Cの値

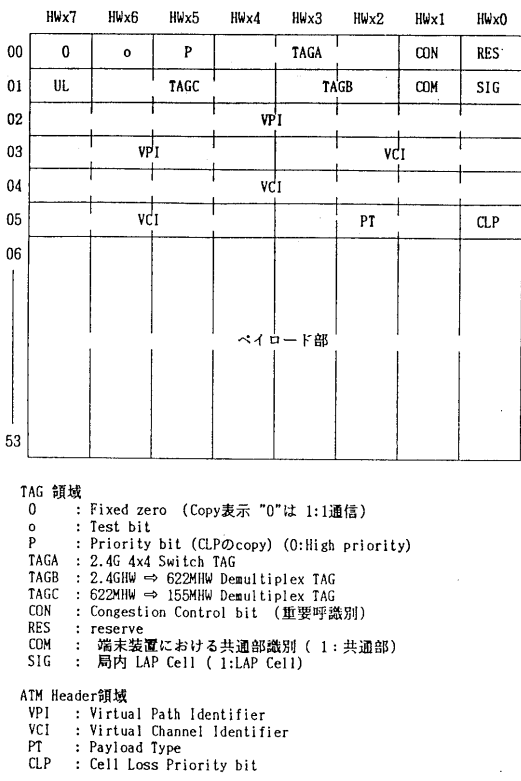
【图 1 6 8】



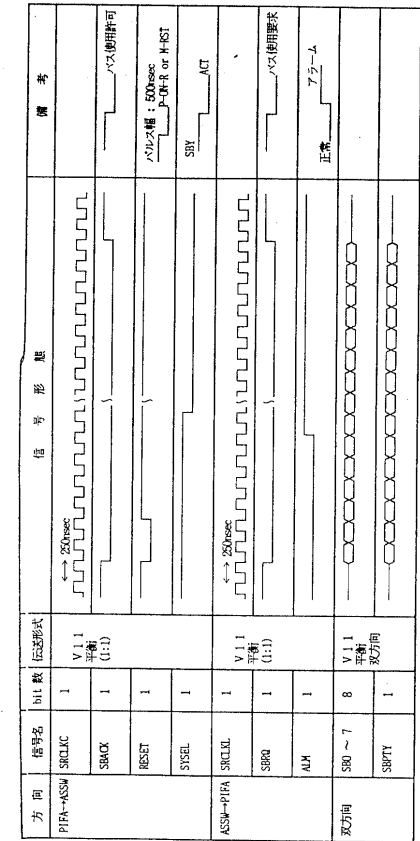
【図 1 6 9】



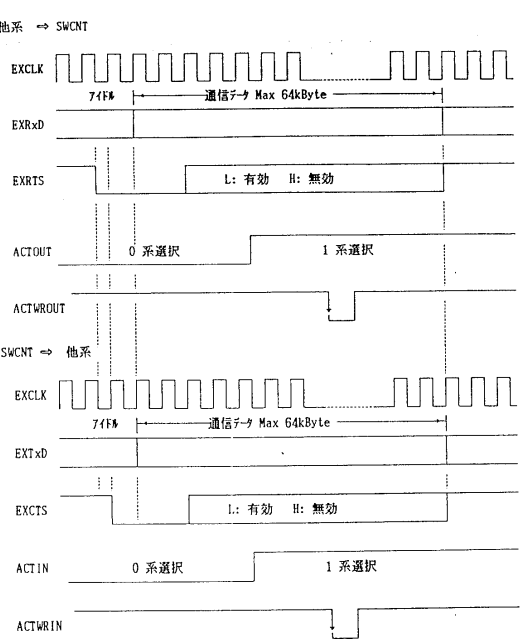
【図 1 7 0】



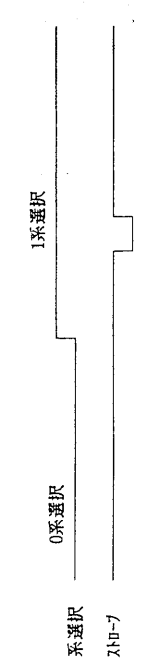
【図 1 7 1】



【図 1 7 2】



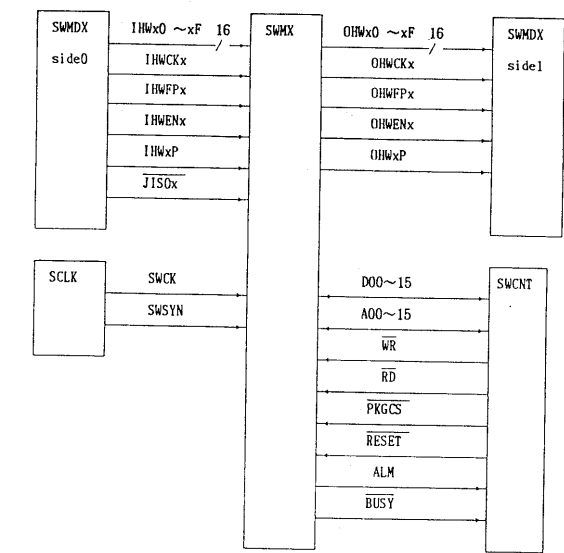
【図 1 7 3】



【図 1 7 4】

系選択信号		端末装置での選択
自系SW選択表示	他系SW選択表示	
0 系選択	0 系選択	0 系
1 系選択	1 系選択	1 系
0 系選択	1 系選択	前状態保持
1 系選択	0 系選択	前状態保持

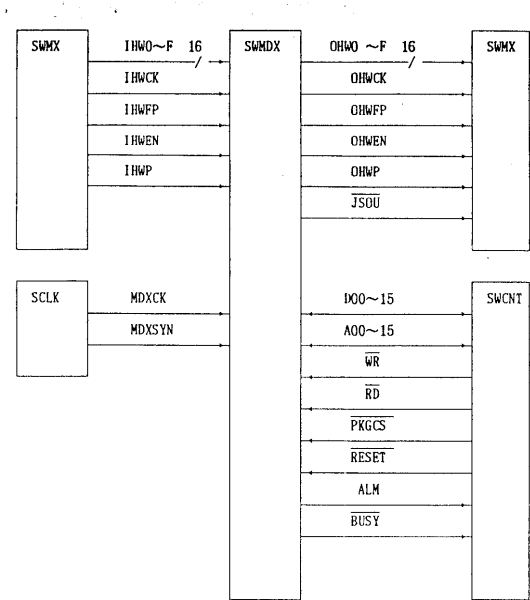
【図 1 7 5】



【図 1 7 6】

信号名	送受	レベル	信号内容
1HWCKx	受信	ECL	155.52MHz 入力clock
1HWxx		ECL	2.4G入力HW 16bit パリティデータ
1HWFPx		ECL	入力 Cell frame pulse
1HWENx		ECL	入力 cell enable
1HWxP		ECL	入力 16bit データに対する ODD parity
JISOx		TTL	2.4G HW 実装表示
SWCK		ECL	SW buffer 読み出し用155.52MHz clock
SWSYN	送信	ECL	
0HWCKx		ECL	155.52MHz 出力clock
0HWxx		ECL	2.4G出力HW 16bit パリティデータ
0HWFPx		ECL	出力 Cell frame pulse
0HWENx		ECL	出力 cell enable
0HWxP	双方	ECL	出力 16bit データに対する ODD parity
Dxx		TTL	データバス
Axx		TTL	アドレスバス
WR		TTL	書き込み要求信号
RD	受信	TTL	読み出し要求信号
PKGCS		TTL	パッケージセレクト
RESET	送信	TTL	power-on, M-RST のOR
ALM		TTL	各パッケージ 内障害監視ポイントのNG-OR
BUSY		TTL	

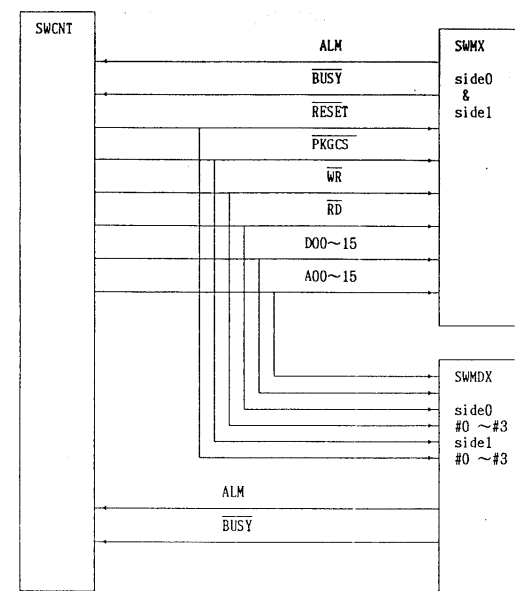
【図 1 7 7】



【図 1 7 8】

信号名	送受	レベル	信号内容
IHWCK	受信	ECL	155.52MHz 入力clock
IHWx		ECL	2.4G入力HW 16bit パラレルデータ
IHWFP		ECL	入力 Cell frame pulse
IHWEN		ECL	入力 cell enable
IHWp		ECL	入力 16bit データに対する ODD parity
MDXCK		ECL	MUX buffer読み出し用155.52MHz clock
MDXSYN		ECL	
OHWCK	送信	ECL	155.52MHz 出力clock
OHWx		ECL	2.4G出力HW 16bit パラレルデータ
OHWFP		ECL	出力 Cell frame pulse
OHWEN		ECL	出力 cell enable
OHWP		ECL	出力 16bit データに対する ODD parity
JSOU		TTL	2.4G HW 実装表示
Dxx	双方	TTL	プロセッサ データバス
Axx		TTL	プロセッサ アドレスバス
WR		TTL	書き込み要求信号
RD		TTL	読み出し要求信号
PKGCS	受信	TTL	パッケージセレクト
RESET		TTL	power-on, M-RST のOR
ALM	送信	TTL	パッケージ 内障害監視ポイントのNG-OR
BUSY		TTL	

【図 1 7 9】



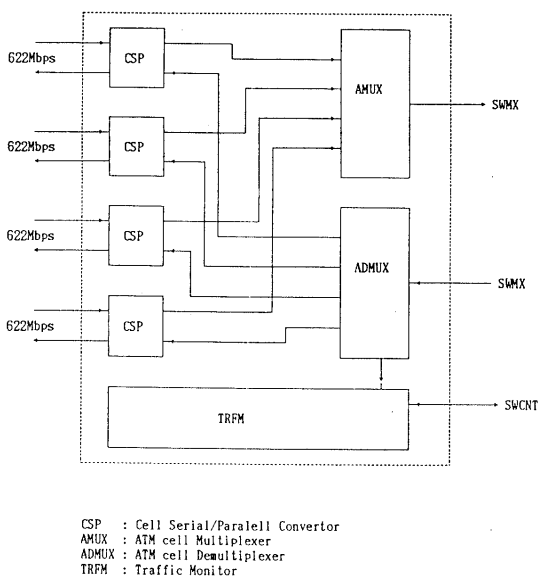
【図 1 8 0】

信号名	送受	レベル	信号内容
Dxx	双方	TTL	プロセッサ データバス
Axx		TTL	プロセッサ アドレスバス
WR		TTL	書き込み要求信号
RD		TTL	読み出し要求信号
PKGCS	送信	TTL	パッケージセレクト
RESET		TTL	power-on, M-RST のOR
ALM	受信	TTL	パッケージ 内障害監視ポイントのNG-OR
BUSY		TTL	

【図 181】

ブロック名	機 能
SMDX	620Mbps Full ATM Highwayを4x4x2.4Gbps Highway に多重化する 4x4x2.4Gbps Highway を620Mbps Full ATM Highwayに多重化する Traffic measure機能及び輻射制御機能
SWMX	2.4Gbps Highway の4 x 4 トラフィックを行う 輻射制御機能
SWCNT	二重化されたCCとのインターフェイスを行う 装置内の輻射監視を行う
SWTIF	32bit二重化系のACT 信号を各端末装置共通部に分配する
SCLK	CLK0/1 の平選別を行う 選択した10.368MHz から155.52MHz を作成し、各部に分配する
POW	装置内で必要な電源を供給する

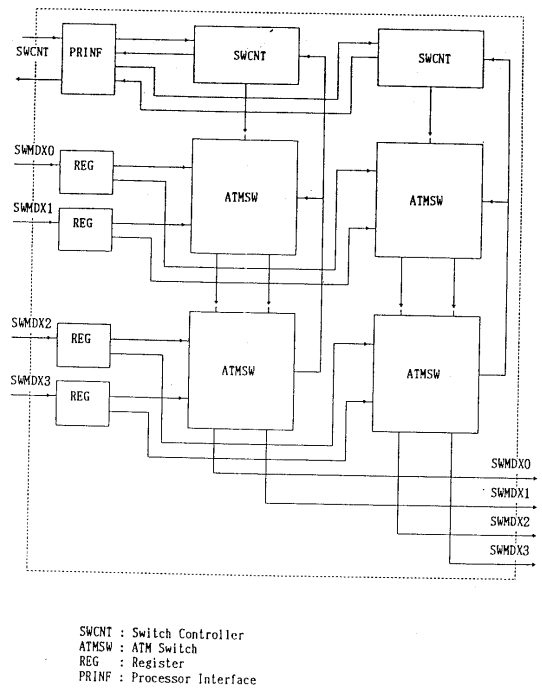
【図 182】



【図 183】

ブロック名	機 能
CSP	・ 622Mbps NWay の16bit/4(TTL) → 8bit/4(ECL)変換を行う ・ 622Mbps NWay の 8bit/4(ECL) → 16bit/4(TTL)変換を行う ・ 入力NWay のNWay生成を行う ・ 出力NWay のNWay生成を行う
AMUX	・ 622Mbps NWay 4本をcell多重し、2.4Gbps NWay とする ・ 入力NWay のNWay生成を行う ・ 出力NWay のNWay生成を行う ・ 内部NWayのNWay生成を行う
ADMUX	・ 2.4Gbps NWay を内部のTAG 情報を基に622Mbps NWay 4本に分離する ・ 入力NWay のNWay生成を行う (HeaderNWay の場合そのCellは廃棄) ・ 出力NWay のNWay生成を行う ・ 内部NWayのNWay生成を行う ・ Cell廃棄通知及び有効Cell通過通知、Traffic measure用Header情報の出力 ・ DMUXNWay使用量が閾値を越えた場合、9-bit/4 制御を1 bit により行う (詳細は5章Traffic control 参照)
TRFM	・ NWay からのNWay の設定・検出を行う (ADMUX からのトラフィック 情報をもとに各出力線毎の到着地数、廃棄地数の計測)

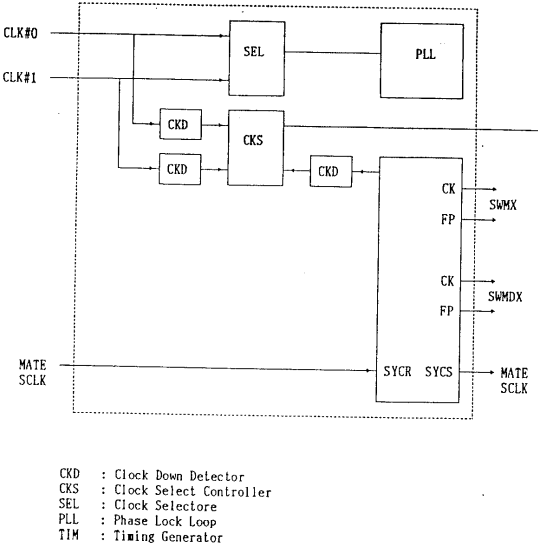
【図 184】



【図 1 8 9】

ブロック名	機 能
PIC	SW部制御リセット (180C186) とのインターフェイスを制御する 回線の選択、割り込み発生通知等を行う
CIC	SWCNT のDLC とのインターフェイスを制御する
INF	SW強出部 (存在しない) との通信制御信号の検出を行う SW強出部 (存在しない) のリセット 障害の監視を行う

【図 1 9 0】



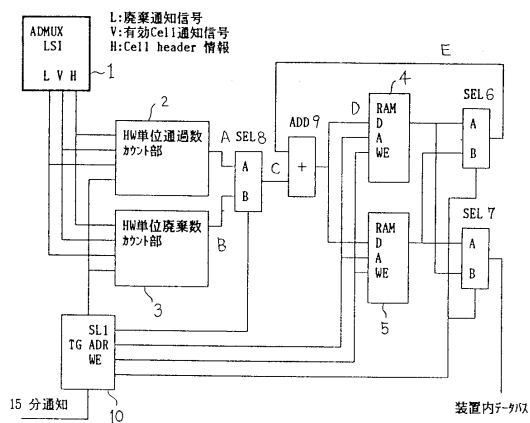
【図 1 9 1】

ブロック名	機 能
CKD	CLOCK 0 系、1 系からのシリアルクロックの断検出機能 PLL からの出力クロックの断検出機能
CKS	シリアルクロックの系選択を行う (CLKD からの情報を基に自律切換を行う) クロックの障害及び系選択状態をSWCNT に通知する
SEL	CKS の制御信号によりSRSW内で使用するクロックを選択出力する
PLL	基準クロック10.368MHz から155.52MHz を作成する
TIM	SWMX、SWMDX に供給するクロック/ 検出フレーム/MS を作成する 初期設定時、他系からの同期信号により検出フレーム/MS を同期させる

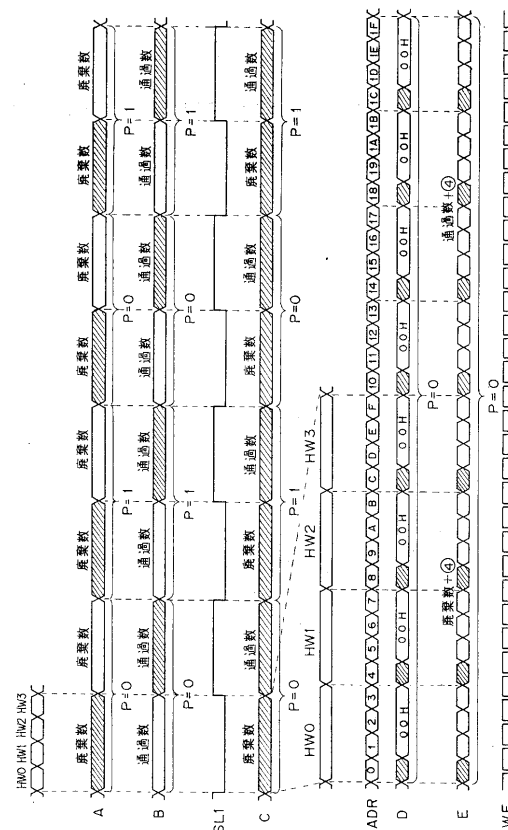
【図 1 9 2】

	CLP	P
Service (セル廃棄クラス)		
Assured service (High priority)	0	0
Assured service (Low priority)	1	0
Non-assured service	1	1

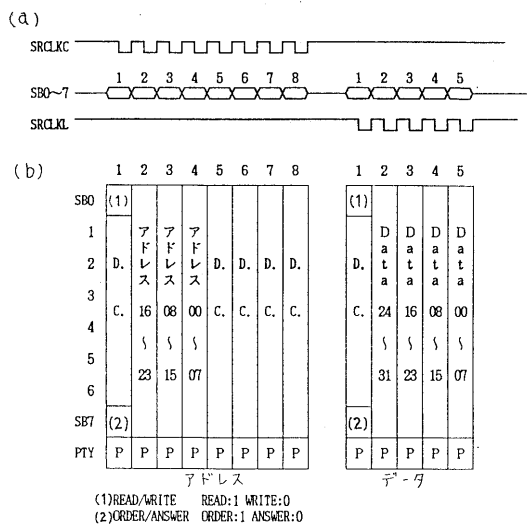
【図 193】



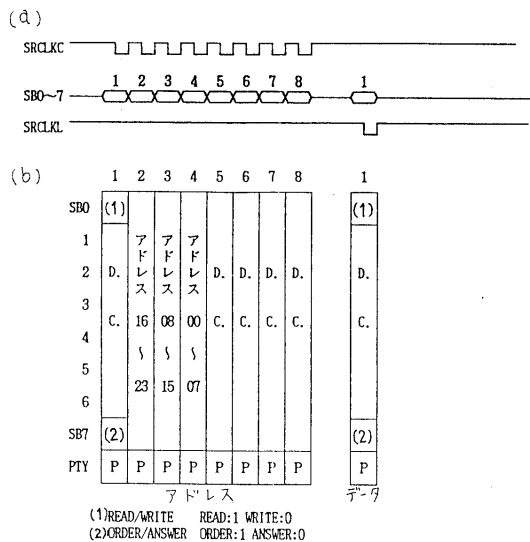
【図 194】



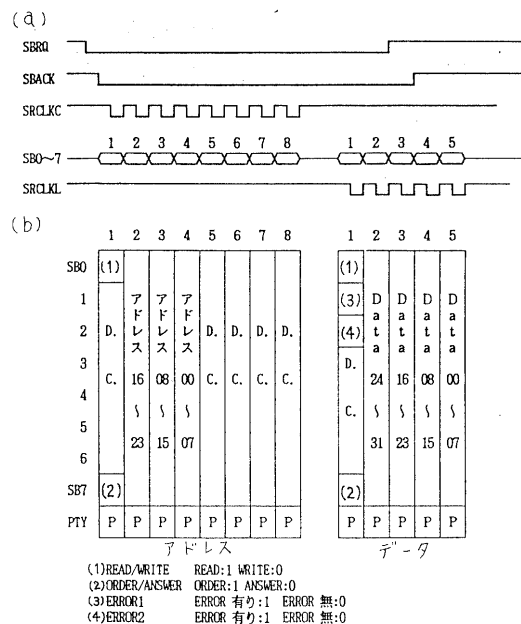
【図 195】



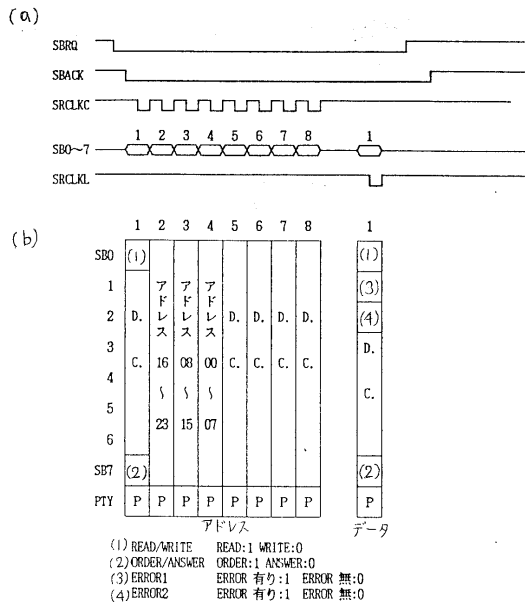
【図 196】



【图 197】



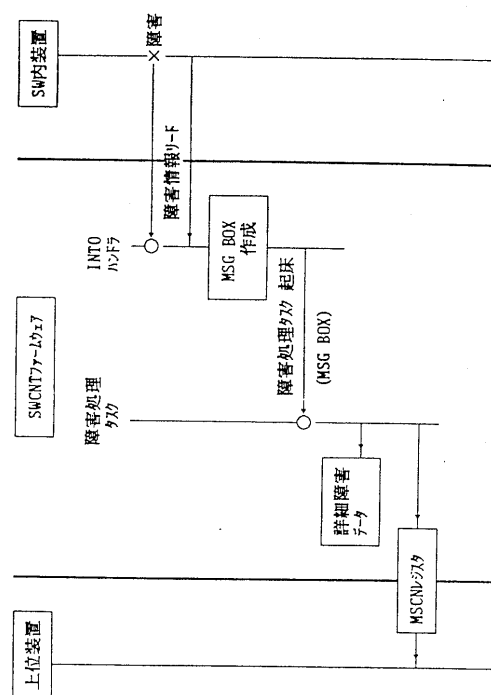
【図 198】



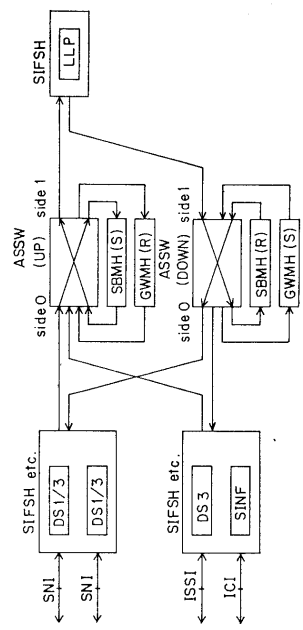
【図 199】

[illegible]

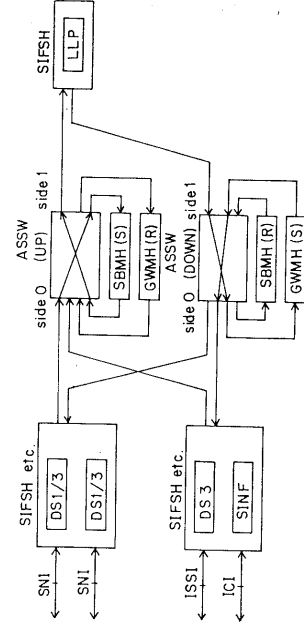
【図 2 0 0】



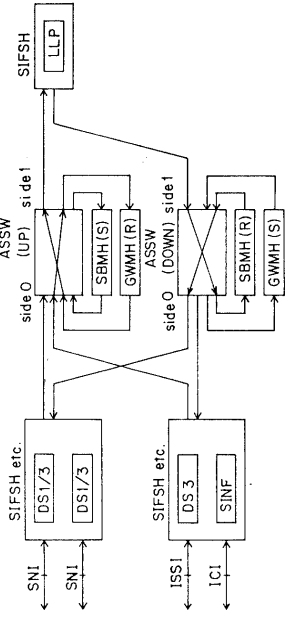
【図 205】



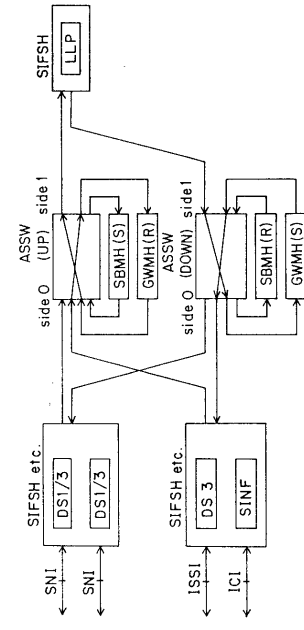
【図 206】



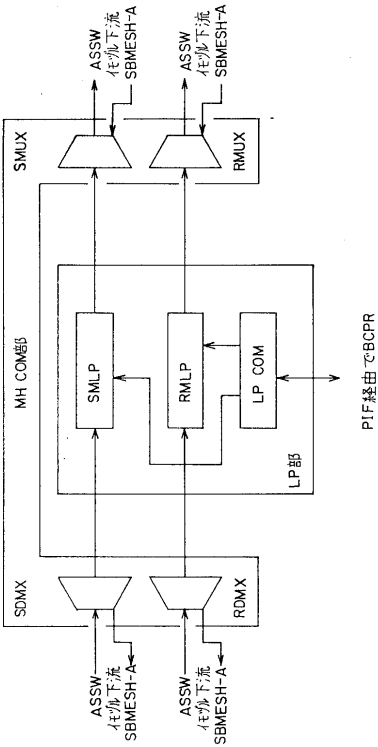
【図 207】



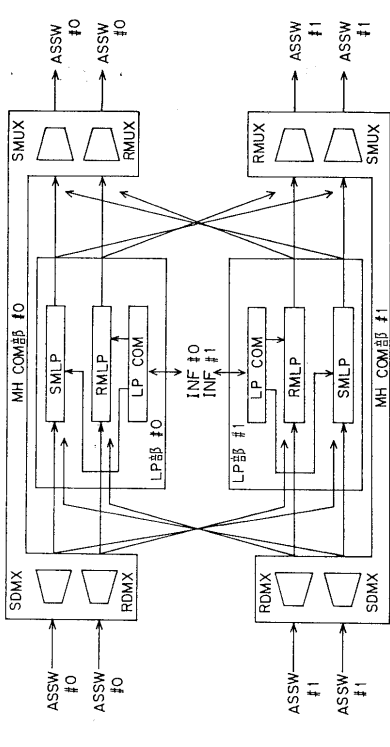
【図 208】



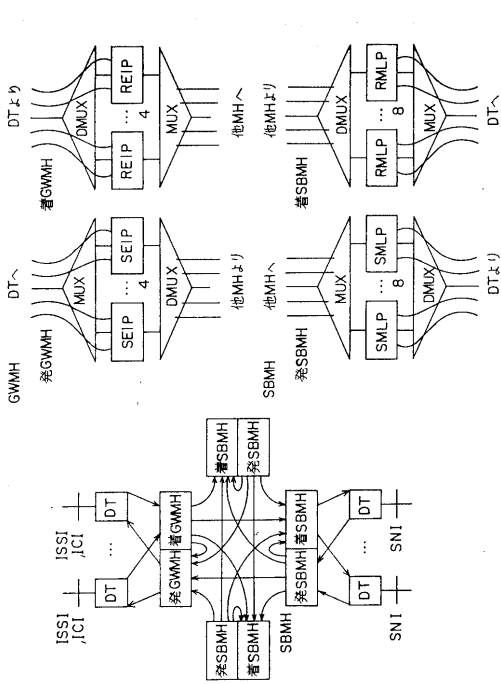
【図 209】



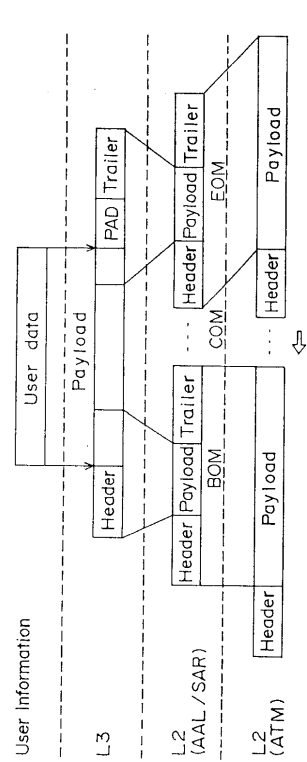
【図 210】



【図 211】

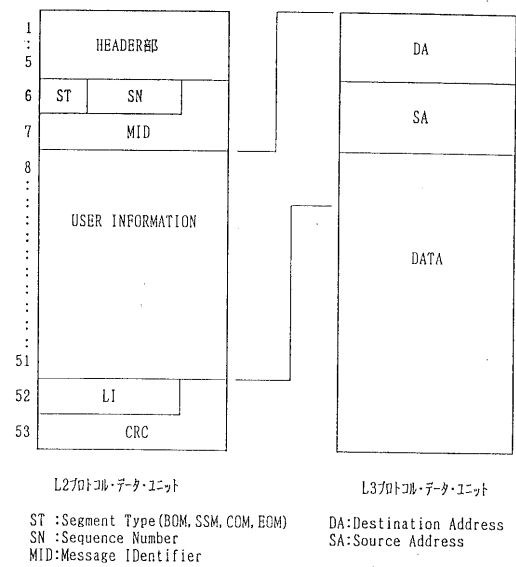


【図 212】



BOM: Beginning of Message
COM: Continuation of Message
EOM: End of Message
SAR: Segmentation and Re-assembly

【図 2 1 3】



【図 2 1 4】

セル種別によるVCI/MID 付与方式を示す図

	出力VCI 決定方式	出力MID 決定方式
SSM	DAフル解析により決定	非利用のMIDを付与
BOM		
COM	入力VCI/MIDよりルーティングメモリ検索	
EOM		

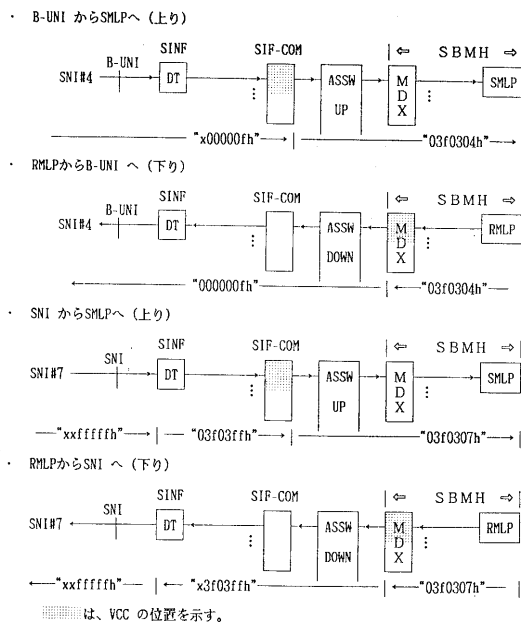
【図 2 1 5】

ルーティング機能 利用情報	発SNI	発SBMH		着SBMH	
		DMUX	SMLP	RMLP	RMLP
		LP振分	VCI 変換 MID 変換	LP 振分	VCI 変換 MID 変換
BOM, SSM	VCI 付与 MID 付与		DA	DA	DA
COM, EOM	なし	TAG	VCI, MID	VCI, MID	VCI, MID

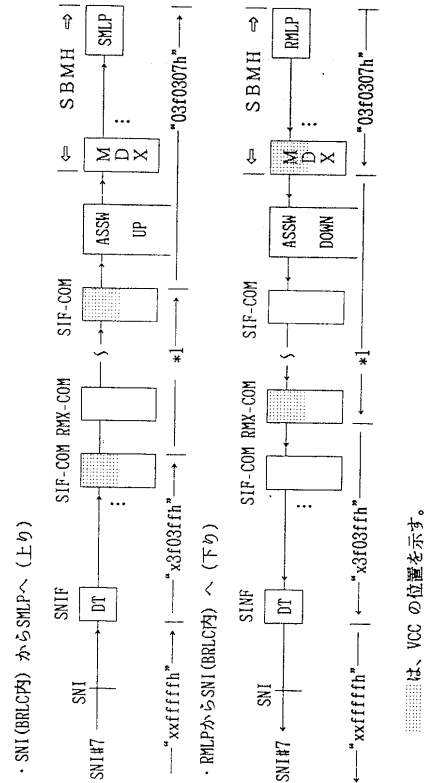
【図 2 1 6】

SNI No	VPI (hex)	VCI (hex)
SNI# 0	03f	0300
SNI# 1	03f	0301
...	...	...
SNI#31	03f	031f

【図 2 1 7】



【図 2 1 8】

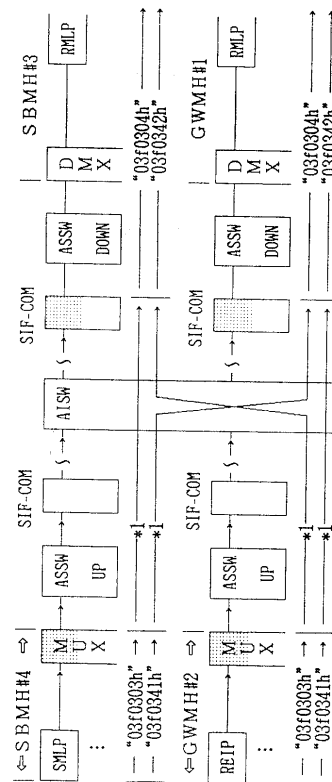


【図 2 1 9】

相手 MH	VPI (hex)	VCI (hex)
SBMH# 0	03f	0300
SBMH# 31	03f	031f
GBMH# 0	03f	0340
GBMH# 31	03f	035f

注 VCI は、送信側MH- ASSW間では受信側のMH No.を、ASSW-受信側MHでは送信側のMH No.を、それぞれ示す。

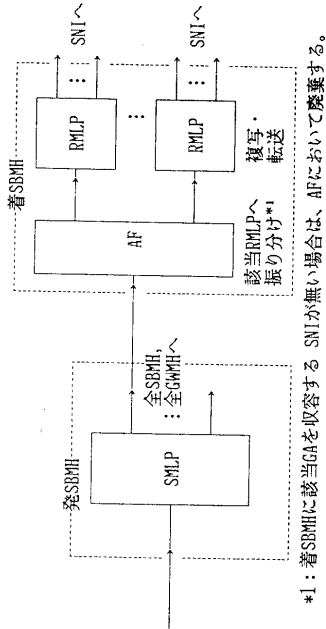
【図 2 2 0】



【図 2 2 1】

SMLP	MID 範囲 (hex)
SMLP#0	000 ~ 0ff
SMLP#1	100 ~ 1ff
SMLP#2	200 ~ 2ff
SMLP#3	300 ~ 3ff

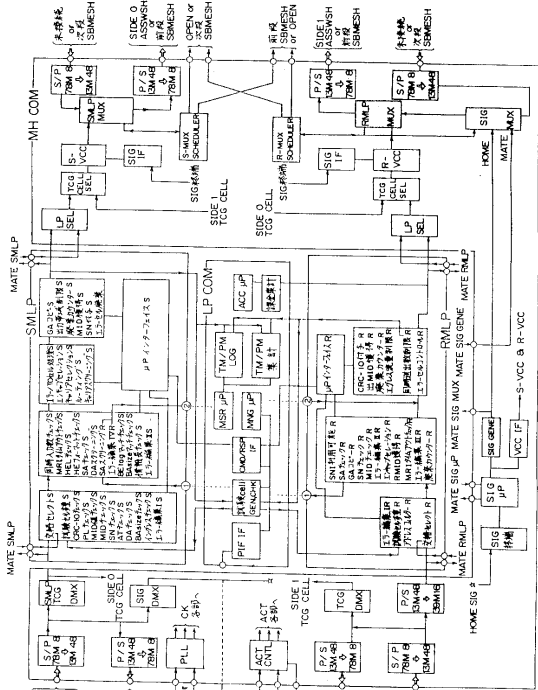
【図 2 2 2】



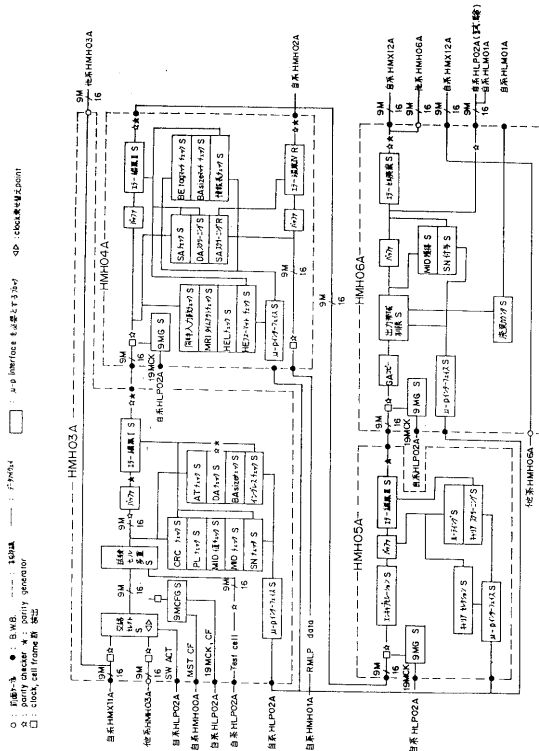
【図 2 2 3】

	判別	判別領域	処理例
SMLP	発SNI	入力VCI	Screening, Traffic Measure 等
L3 PDU		入力 VCI/MID	SN Check, Routing 等
RMLP	着SNI	出力VCI	Screening, Traffic Measure 等
L3 PDU		出力 VCI/MID	Routing Egress制限等

【図 2 2 4】



【图 2 2 5】



【 図 2 2 6 】

(1/3)

項	ブロック名	内 容	対象セル毎の処理				PwCB
			加	ME	CC	MS	
01	交絡セルト S	スフィアの系情報に従い、MDX の ACT 系データを選択する TCG セルを落とす。	○	—	—	—	IMI 03A
02	試験セル多重	回線間の空きセル時に、試験セルを多重する。 診断中は、試験セル優先とする。	○	○	—	—	
03	CRC-10 チェック S	Cell PayloadをCRC 計算し、エラーのチェックを行う。	○	×	—	—	
04	PL長チェック S	Payload Lengthが規定値を示しているかチェックする。	○	×	○	—	
05	MID 値 チェック S	MID の値が規定値を示しているかチェックする。	○	×	○	—	
06	MID チェック S	BOM で VCI/MID が No Active、COM、EOM で VCI/MID が Activeかをチェックする。	○	×	△	—	
07	SN チェック S	BOM、SSN で SN を初期化、COM、EOM で SN の順序性をチェックする。	○	×	△	—	
08	AT チェック S	DA、SA の format 内にある、Address Type が規定値を示しているかチェックする。	○	×	○	—	
09	DA チェック S	DA が入力 SNI に登録されている IA でないことをチェックする。	○	×	○	—	
10	BAsize チェック S	BA size が規定値を示しているかチェックする。	○	×	○	—	
11	アクセス 数量 チェック S	DS3 の SNI が class 1 ~ 4 の access class を守っているかチェックする。	○	×	×	—	
12	エラー 欄入 チェック S	各チェックでチェックされたエラーをエラーフラグの各位置に付与する。	○	×	○	—	
13	同時入力人数 チェック S	1 SNI より同時に入力する MID の数を 1 或 16 に制限する。	○	×	○	○	
14	MRI タイムアウト チェック S	1 L3 PDU 単位に、BOM より EOM までの時間をチェックする。	○	×	○	○	
15	HEL チェック S	Header Extension Length が規定値を示しているかチェックする。	○	×	—	×	
16	HE フォーマット チェック S	Header Extension の format をチェックする。	○	×	—	×	

加: SNI 折り返し試験機 ME: 中間PVC 試験機 CC: CRC-10 エラー 機 MS: マスター エラー 機
○: 処理対象 or 処理の時条件とする ×: 処理対象外 - : 機 通過せず or 無関係
△: check は行うが、memoryへの書き込みはしない。

【図 2 2 7】

項	ブロック名	内 容	対象処理の処理				FPCB
			加	ME	CC	MS	
17	SA チェック S	SAが入力SN1に登録されているIAであることをチェックする。	○	×	-	○	HMH 04A
18	DA スクリーニング	入力SN1 単位に、DAの蓄信規制を行う。 RMPL SA スクリーニングの table と共用。	○	×	-	○	
19	BEtag マフ チェック S	SIP L3 header の BEtag と、 trailer の BEtag が一致しているかをチェックする。	○	×	-	○	
20	BSize マフ チェック S	SIP L3 header の BSize と、 trailer の Length が一致しているかをチェックする。	○	×	-	○	
21	情報長 チェック S	L3 PDUの実際の長さ、と、 SIP L3 trailerのLengthが一致しているかをチェックする。	○	×	-	○	HMH 05A
22	エラー 編集 E	各チェックでチェックされたエラーをエラーフラグの各位置に付与する。	○	×	-	○	
23	インターヘッダ チェック S	SIP を Inter-MH inf. PDU の format に変更： ISSI-L3 DTDPDU header と CGV Header を新BON に付加する	○	○	-	○	HMH 05A
24	キャリ ビクシオン S	ISSI L3 DTDPDU header 内のキャリヤ領域に SIP L3 Header のキャリヤもしくは、 SN1 単位に登録されているキャリヤを設定。	○	○	-	○	
25	ヘディング S	DA より相手先SN1 の収容されている MH (SRMH/GWMH) を特定する。	○	○	-	○	
26	キャリ スクリーニング S	キャリヤの発信規制を行う。	○	○	-	○	HMH 06A
27	GA 出力 S	GA で入力されたセルを各加入者に出力する。	○	○	-	○	
28	出力帯域 制限 S	出力MH毎に出力帯域（ピークレート）の制限を行う。	○	○	-	○	
29	廃棄カット S	出力帯域制限により廃棄されたL2, L3 message数をカウントし、LP-COMの内部へ通知する。	○	○	-	○	
30	MID 獲得 S	出力MIDを出力MH単位に割り当てる。	○	○	-	×	HMH 06A
31	SN 付与 S	SN (Sequence Number) を付与する。	○	○	-	○	
32	エラーセル 廃棄 S	エラーフラグのMS (Master Error) がNGのセルを廃棄する。	○	○	-	○	

加: SNI 折り返し試験セル ME: MH間PVC 試験セル CC: CRC-10 エラーセル MS: マスターエラーセル
○: 処理対象 or 処理の時条件とする ×: 処理対象外 ~: セル通過せず or 無関係

【图 2 2 8】

項	ブロック名	内 容	対象毎の処理				PWCB
			加	ME	CC	MS	
33	μ -P インターフェイス	HLP02AのMNG μ -P とのインタフェースを行う。	—	—	—	—	各 PWCB 共通
34	9MC S	HLP02Aより受信した19M clock とCell Frameを基にclock を作成する。	—	—	—	—	—
35	9MCFG S	HLP02Aより受信した19M clock とCell Frameを基に9Mclock とSNLPで基準となるCell Frameを作成する	—	—	—	—	HMM 03A

加: SNI 折り返し試験也 ME: MIHQPVC 試験也 CC: CRC-10 Iア-也 MS: マタ- Iア-也
○: 処理対象 or 処理の時条件とする ×: 処理対象外 -: 也 通過せず or 無関係

【 図 2 3 3 】

[illegible]

注：EP1 ではMS以外は内部処理用

【 図 2 3 4 】

SIP ST: SIP formatのSTが入る。(エラー収集Iで付与)

BC: どこにプロードキャストするかを示す。(U-ティング 処理部で付与)

着MH ID : 出VCI(着MH ID)を示す。(0=ライティング処理部で付与)

試： PVC 試験セル(MESH 間/SNI折返し) か否かを示す。(MESH 間はCRC-10_{メッシュ}処理前で、SNI 折返しはホーディング処理部で付与)

SNI ID: MDX から入力されたVCI のLSB 8bitで、発信SNI IDを示す。

15-12 はMSB の4bit (但し、MSB 1bitは試験ビット)、3-0 はLSB の4bit(チャ-編集1で移動)

自MESH: 自MESHへの折り返しセルを示す。(DA チェック処理部で付与、自MESHへの折り返しセルは、ルーティング処理部でルート情報検索不要)

出VCI : 着州 ID を示す。試験セルでは、MSB 1bitは、1とする

PT: ペイロードタイプ (処理部では、いじらない。)

CLP : セルロースブライオリティ (処理部では、いじらない。)

ST: Inter. 州のセグメントタイプ (インターステート) からの付け替え)

SI: Inter-間のセクステンション (エクスパンション)
 SN: シーケンス番号 (SN付与処理部で付け替え)

SW : シーケンサ番号 (GPII処理部で付与される)
MID : ミッドレンジ識別子 ①同時入力データ処理部で VC1 と MID を伝達した MID が入る。

①同時入力の数値処理部と、VCI とHMI とのデータ交換部

CAD DI : CAD 2013 - R

SAR PL: SAR ベイロード
DI: CID の MAX 値

PL: SIP の礼が入る。

CRC : CRC-10付与処理部で付け替え。

CP: originalのcell"0", copyされたcell"1"

【図 2 3 5】

[illegible]

エラースセルはエリキチレーションを行わないので、E2W, E2EB 以外のエラースセルは立たない

【 図 2 3 6 】

SIP 送信セル

15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

E¹

H¹

L¹

H²

L²

E²

H²

L²

E²

H²

L²

E²

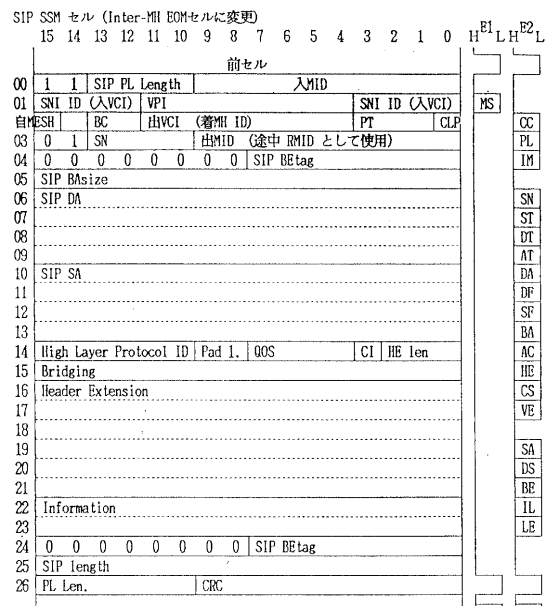
H²

L²

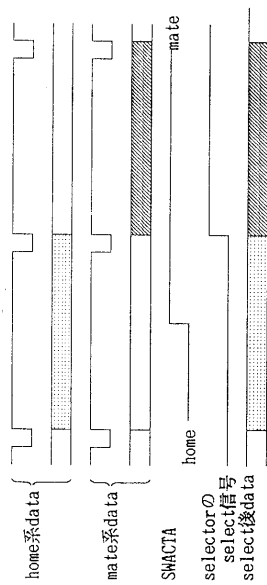
送信セル

0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length	0	1	SIP PL Length

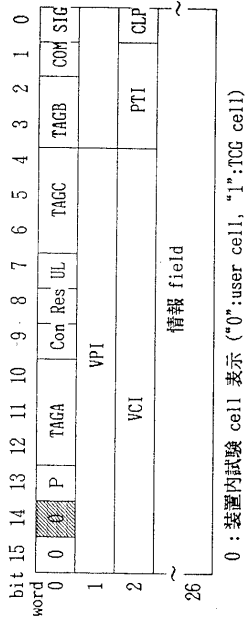
【図 2 3 7】



【図 2 3 8】



【図 2 3 9】



【図 2 4 0】

LP部 status	入 力		出 力	
	回線	試験	回線	試験
通常時	ENB	DSB	ENB	試験
	ENB	ENB	ENB	試験
	DSB	ENB	ENB	試験
	DSB	DSB	DSB	試験
診断中	強制 mask	ENB	ENB	試験
	強制 DSB	DSB	DSB	試験

ENB : enable (有効cell)
DSB : disable (無効cell)

【図 2 4 1】

入力	出力
バイト 剰余	EFCC
0	OFF
0 以外	ON

【図 2 4 2】

ST	エラーとなる条件			
BOM	PL ≠ 44 オクテット	PL が 4 オクテットの 倍数でない		
COM	PL ≠ 44 オクテット	PL が 4 オクテットの 倍数でない		
EOM	4 オクテット > PL	44 オクテット < PL	PL が 4 オクテットの 倍数でない	
SSM	28 オクテット > PL	44 オクテット < PL	PL が 4 オクテットの 倍数でない	

【図 2 4 3】

ST	エラーとなる条件	E1 EFIM	E2 EFIM
BOM	MID = 0	OFF	ON
COM	MID = 0	ON	OFF
EOM	MID = 0	OFF	ON
SSM	MID ≠ 0	OFF	ON

【図 2 4 4】

入 力	出 力		注
	BF1	BF2	
ST	MID 32bit	MA	MID 32bit
BOM	not ACT	OFF	ACT
BOM	ACT	OFF	ON
COM	ACT	OFF	ACT
COM	not ACT	ON	not ACT
EOM	ACT	OFF	not ACT
EOM	not ACT	OFF	ON

MID 32bit (RAM)

1bit

Act.

VCI+MID (32k)

*1: 1: 1lag (BF2MA) を立てるが
2lag-1lag (EFIMS) は立てない

注: 32k= 32SNI x1K (MID 10bit)
SN 32bit S と RAM を共用する。

【図 2 4 5】

入 力			出 力	
ST	セルSN	SNチップ	EFSN	SNチップ
BOM, SSM	SN	D.C.	OFF	SN+1
COM, EOM	SN	SN	OFF	SN+1
COM, EOM	SN	≠ SN	ON	SN+1

SNチップ (自)
(RAM)
⇐ 4bit ⇐

SN

VCI+MID
(32k)

MID チップ S と RAM を共用する。

【図 2 4 6】

ST		エラーとなる条件 (アドレス 4bit)	EFDT	EFST
BOM, SSM	DA	1100 または 1110 でない時	ON	OFF
	SA	1100 でない時	OFF	ON

【図 2 4 7】

入 力			出力
ST	DAチップ	*1 マッチアクト	EFSN
BOM, SSM	No Match	D.C.	OFF *2
BOM, SSM	Match	≠ SNI#	OFF *3
BOM, SSM	Match	= SNI#	ON
COM, EOM	D.C.	D.C.	ON

*1: マッチ アクト MSB 4bit
*2: ルーティング処理部でポート 検索が必要
*3: ルーティング処理部でポート 検索が不要

DAチップ
(CAMLSI)
⇐ 64bit ⇐

DA

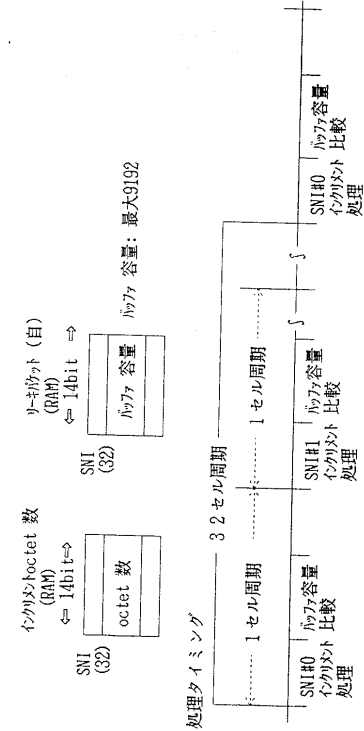
SNI#+ADD#
(256)

注: 512 = 32SNI x 87FLZ/SNI

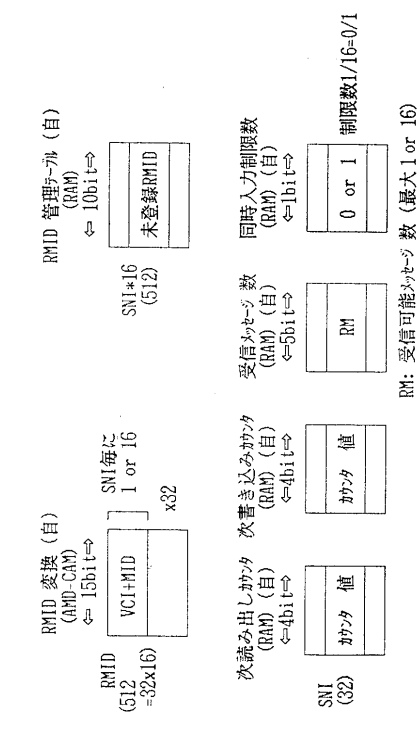
【図 2 4 8】

ST	エラーとなる条件
BOM, SSM	BAsize < 32オクテット, BAsize > 9224オクテット

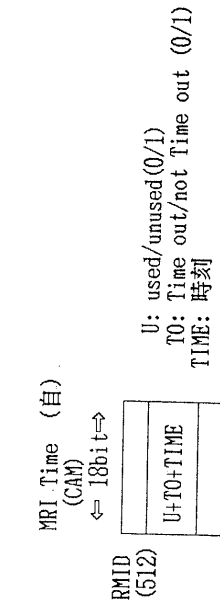
【図 2 4 9】



【図 2 5 0】



【図 2 5 1】

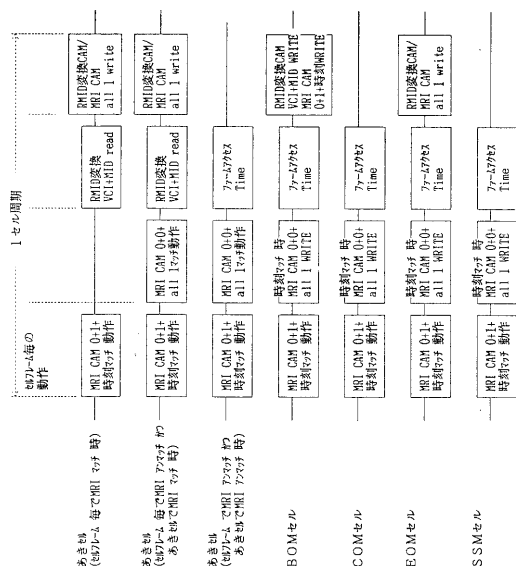


【図 2 5 2】

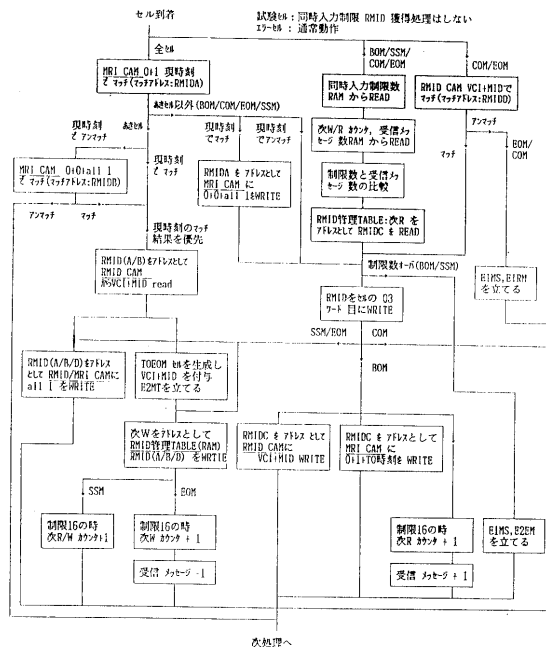
RMID変換 CAMと MRI CAMへの read/write 手法									
入力	CAM	RMID変換	出力	RMID変換	MRI	出力	RMID変換	MRI	
タイプ	タイプ	タイプ	結果	タイプ	結果	タイプ	結果	タイプ	
アドレス毎 (あきぬ時)	—	—	0+1+現時刻	タイプ	0+1+現時刻	タイプ	0+1+現時刻	タイプ	all 1
アドレス毎 (BOM, COM, EOM, SSM 時)	—	—	0+1+現時刻	タイプ	0+1+現時刻	タイプ	0+1+現時刻	タイプ	0+0+all 1
アドレス毎 (全時)	—	—	0+1+現時刻	タイプ	0+1+現時刻	タイプ	0+1+現時刻	タイプ	—
あきぬ (アドレスでMRI 時々 時々)	—	—	動作を行ない	タイプ	動作を行ない	タイプ	動作を行ない	タイプ	上記アドレス毎 (あきぬ時) 参照
あきぬ (アドレスでMRI 時々 時々)	—	—	1+0+ all 1	タイプ	1+0+ all 1	タイプ	1+0+ all 1	タイプ	all 1
あきぬ (アドレスでMRI 時々 時々)	—	—	1+0+ all 1	タイプ	1+0+ all 1	タイプ	1+0+ all 1	タイプ	—
(アドレス 毎) EOM	—	—	—	タイプ	—	タイプ	—	タイプ	—
(アドレス 毎) COM	—	—	—	タイプ	—	タイプ	—	タイプ	—
(アドレス 毎) COM	—	—	—	タイプ	—	タイプ	—	タイプ	—
(アドレス 毎) EOM	—	—	—	タイプ	—	タイプ	—	タイプ	—
(アドレス 毎) EOM	—	—	—	タイプ	—	タイプ	—	タイプ	—
SSM	—	—	—	タイプ	—	タイプ	—	タイプ	—

*1: EOM (Time Out) 時生成

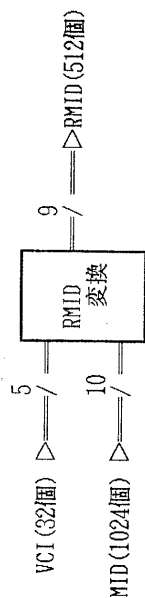
【図 2 5 3】



【図 2 5 4】



【図 2 5 5】



【図 2 5 6】

表RMID RMID 獲得部、同時入力制限、MRI T.O. 設定/ 解除処理

入力	出力	RMID	同時入力制限	MRI T.O.	受信数	READ	WRITE	備考
セル	MS	RM	ON	OFF	RMID	RMID	RMID	
SSM	獲得済	OK	×	×	あり得ない	—	—	
	未獲得	NG	○	○	新規RMID	—	+1	
	獲得済	—	×	×	あり得ない	—	—	
	未獲得	—	○	×	ALL 1	—	—	
BOM	獲得済	OK	×	×	獲得済RMID	再設定	—	
	未獲得	NG	○	○	新規RMID	設定	+1	
	獲得済	—	×	×	獲得済RMID	CLEAR	-1	RMID解放
	未獲得	—	○	×	ALL 1	—	—	
COM	獲得済	—	×	×	獲得済RMID	—	—	
	未獲得	—	○	×	ALL 1	—	—	
	獲得済	—	×	×	獲得済RMID	CLEAR	-1	RMID解放
	未獲得	—	○	×	ALL 1	—	—	
EOM	獲得済	—	×	×	獲得済RMID	CLEAR	-1	RMID解放
	未獲得	—	○	×	ALL 1	—	—	
	獲得済	—	×	×	獲得済RMID	CLEAR	-1	RMID解放
	未獲得	—	○	×	ALL 1	—	—	
T.O.	—	—	—	—	—	—	—	
PVC	—	—	—	—	—	—	—	

○: 1μ ON, ×: 1μ OFF, —: 対応外

【 図 2 5 7 】

		header Extension の正常値				
		第一のelement			第二のelement	
		1オクテット目	2オクテット目	3オクテット目	4オクテット目	5オクテット目
ST						
BDM SSM	条件1	3	0	1	4,5,6, 7の値	1
	条件2	3	0	1	D.C.	1以外の値

【图 2 5 8】

入 力		出力
	ヤマトパス	
ST	SAFエグ	EPISA
BOM,SSM	No Match	ON
BOM,SSM	Match	ON
BOM,SSM	Match	OFF
CON,EDM	D.C.	OFF

*1: マッチ フォルズMSB 4bit

SAチャック
(CAMLSI)
⇔ 64bit ⇒

SA	

SNI#+ADD#
(512)

【 図 2 5 9 】

SC属性	CAM でマツカ取れた時	CAM でマツカ取れなかった時
1	1マ (登録/リスへの着信不可)	送信OK
0	送信OK	1マ (登録/リス以外の着信不可)

- ・COM, EOM は処理対象外
- ・他の02ワード目の試験ビットが1 (MESH 間PVC 試験位) のものは処理対象外。

SC属性

SNI# (32)	A	A
	b	GA
	D	lb

注：lk= 32SNI × 8ad

【図 2 6 0】

入 力			出 力	
ST(SIP)	BETag(H)	BETag $\nabla_{1\sim 7}$	BETag(T)	EFBE
BOM	BETag H	D.C.	D.C.	OFF
COM	D.C.	D.C.	D.C.	OFF
EQM	D.C.	BETag	=BETag	OFF
EQM	D.C.	BETag	≠BETag	ON
SSW	BETagH	D.C.	=BETagH	OFF
SSW	BETagH	D.C.	≠BETagH	ON

H:Header
T:Trailer

RMID (512)

Betagマッチ (白)

RAM

8b

Betag

【 図 2 6 1 】

入 力			出 力	
ST(SIP)	Basize	Basize _{xyf}	Length	EFBE
ROM	Basize	D.C.	D.C.	OFF
COM	D.C.	D.C.	D.C.	OFF
EDM	D.C.	Basize	= Length	OFF
EDM	D.C.	Basize	≠ Length	ON
SSM	Basize	D.C.	= Length	OFF
SSM	Basize	D.C.	≠ Length	ON

Baseマッチ (自)
(RAM)

RMID (1k)	
Basize	

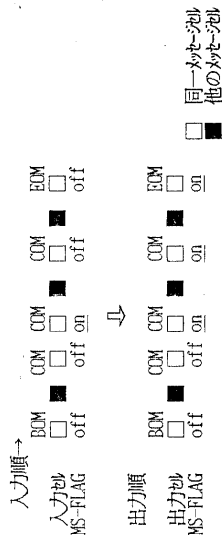
【图 2 6 2】

ST	入 力				情 報 系 統		出 力 (2)	
	Baseize	PAD Length	切かット	PL 長	EDM の PL 長	切かット	EPFIL	情報長
ROM	Baseize	PAD	D.C.	D.C.	D.C.	切かっ	OFF	EDM の PL 長
COM	D.C.	D.C.	≠ 0	D.C.	D.C.	DOWN	ON	—
COM	D.C.	D.C.	= 0	D.C.	D.C.	D.C.	ON	—
EDM	D.C.	D.C.	≠ 0	D.C.	D.C.	D.C.	ON	—
EDM	D.C.	D.C.	= 0	PL	≠ PL	D.C.	ON	D.C.
EDM	D.C.	D.C.	= 0	PL	= PL	D.C.	OFF	D.C.
SSM	Baseize	PAD	D.C.	PL	≠ PL	D.C.	ON	D.C.
SSM	Baseize	PAD	D.C.	PL	= PL	D.C.	OFF	D.C.

セルカウト EOM のペイド長 (自)

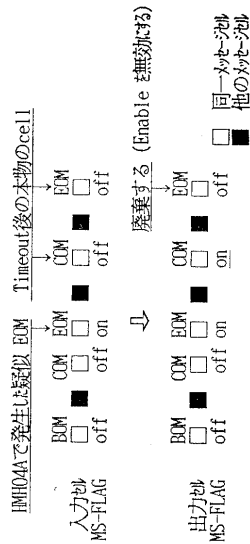
RMID (512)	8bit	情報長 (≤ 44 オクト)	$\longleftrightarrow 6b \longleftrightarrow$

【 図 2 6 3 】



【图 2 6 4】

- ・ CWM : MS-FLAG on となり以降はエラー地として処理される
- ・ EDM : 無効地として廃棄される。この時廃棄が N の為の信号を出力する



【図 2 6 5】

○エラーメモリに対する処理
エラー (目)
2bit (R&M)
MS (Master): 00の7777-77- flagを立てば1
DM (Discard Message): 00M が到着しているかの識別子 (到着時に1)
・ If-memory 付与

項	入力セル	read data		write data		出力セルの処理
		MS	DM	MS	DM	
①	BM (通常時)	D.C.	D.C.	0	0	なし (入力部)
②	BM (エラー時)	D.C.	D.C.	1	0	なし (入力部)
③	DM (通常時)	0	0	0	0	なし (入力部)
④	DM (通常時)	1	0	1	0	7777-77- flagを立てる
⑤	DM (通常時)	D.C.	1	1	1	7777-77- flagを立てる
⑥	DM (エラー時)	D.C.	0	1	0	なし (入力部)
⑦	DM (エラー時)	D.C.	1	1	1	なし (入力部)
⑧	EDM	0	0	0	1	なし (入力部)
⑨	EDM	1	0	1	1	7777-77- flagを立てる
⑩	EDM	D.C.	1	D.C.	1	無効にする

【図 2 6 6】

入 力			出力 (セルデータ他)						
ST	SSSI		IST	STC	SN	MID	PL	CRC	
	へッパ 付与	へッパ 付与							
BOM	BOM 作成		—	BOM	ゼロ	ゼロ	ゼロ	ゼロ	
	到着BOM	D.C.	BOM	COM	—	—	—	—	
COM		D.C.	COM	COM	—	—	—	—	
		D.C.	EDM	EDM	—	—	—	—	
SSM	BOM 作成	へッパ 付与	—	BOM	ゼロ	ゼロ	ゼロ	ゼロ	
	到着SSM	D.C.	SSM	EDM	—	—	—	—	

【図 2 6 7】

Inter-MH inf用BOM に付与すべきSSSIヘッダ

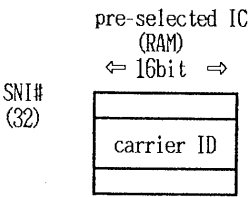
名 称	情報長	ビット	ア ク シ ョ ン	処理位置
Rv(reserve)	1 oct	L 2	D.C.(到着BM 付)	(22) エキスパート
BEtag	1 oct	L 2	D.C.(到着BM 付)	(22) エキスパート
BAsize	2 oct	L 2	D.C.(到着BM 付)	(22) エキスパート
DA(Destination Address)	8 oct	L 3	D.C.(到着BM 付)	(22) エキスパート
SA(Source Address)	8 oct	L 3	D.C.(到着BM 付)	(22) エキスパート
D.C	17 oct	L 3	D.C.(到着BM 付)	(22) エキスパート
IIT	1 oct	L 3	01 n セット	(22) エキスパート
ES(Explicit Selection)	1 bit	L 3	0か1 セット	(22) エキスパート
Rv(reserve)	7 bit	L 3	all"0" セット	(22) エキスパート
C (Carrier)	2 oct	L 3	Carrier 情報を付与	(22) エキスパート
IND	2 oct	L 3	all"0" セット	(22) エキスパート
IITPS	2 oct	L 3	all"0" セット	(22) エキスパート

【図 2 6 8】

Inter-MH inf用BOM セルフフォーマット																	
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	bit
0	IST	SIP		PL		Length		入MID									
1	試	SNI ID (入VCI)				VPI				SNI ID (入VCI)							
2	自	MESH		BC		試	SNI ID (入VCI)				PT		CLP				
3	ST		SN			RMID										レバ 2	
4	Rv						BEtag						ATM ヘッ				
5	Bsize															フレーム内部INF	
6	(GA/IA)						DA						レバ3ヘッ				
7																	
18	第2 Element-Type							第2 Element-Value(Carrier MSB)									
19	第2 Element-Value(Carrier LSB)																
20																	
22	IIT						ES	Rv									
23	Carrier																
24	INDI																
25	IITPS																
26	PL (44oct)						CRC-10								レバ 2(SAR レイ)		

□ : 設定が必要な部分

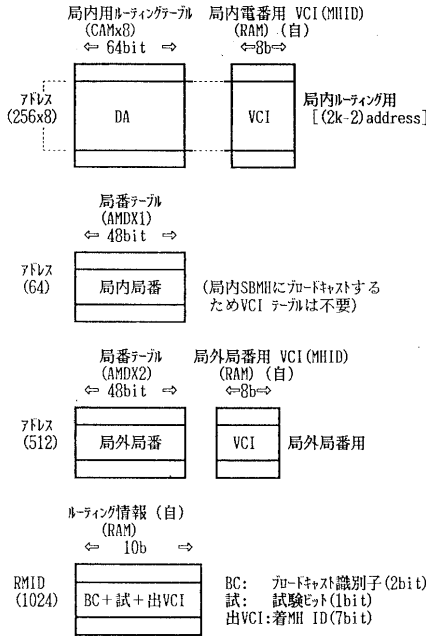
【図 2 6 9】



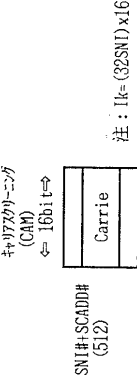
【図 2 7 0】

ATがGAを示す	CAM マッチ			判定	Action	BC (フーキャスト識別子)		ISSI キャリア領域
	局内ターナル	局内局番ターナル	局外局番ターナル			MSB	LSB	
○	D.C.	D.C.	D.C.	GA	全相へフーキャスト	1	1	キャリア付加
×	マッチ	D.C.	D.C.	局内	SBMH指定VCI 付与	0	0	キャリア付加
×	アンマッチ	マッチ	アンマッチ	局内	全SBMHへフーキャスト	0	1	キャリア付加
×	アンマッチ	アンマッチ	マッチ	局外	GMWH指定VCI 付与	0	0	キャリア付加
×	アンマッチ	アンマッチ	アンマッチ	判定不可	GMWHへフーキャスト	1	0	キャリア付加

【図 2 7 1】



【図 2 7 2】

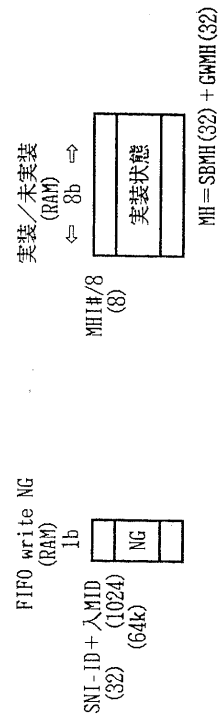


ルーティング方法	Carrier 領域	備 考
全相へフーキャスト	キャリア付加	ICI を使用しないGMWHでOK 必要あり
SBMH指定VCI 付与	キャリア付加	局内と断定しているGMWH 領域をOK
全SBMHへフーキャスト	キャリア付加	局内と断定しているGMWH 領域をOK
GMWH指定VCI 付与	キャリア付加	LATA内と断定しているGMWH 領域をOK
GMWHへフーキャスト	キャリア付加	ICI を使用しないGMWHでOK 必要あり

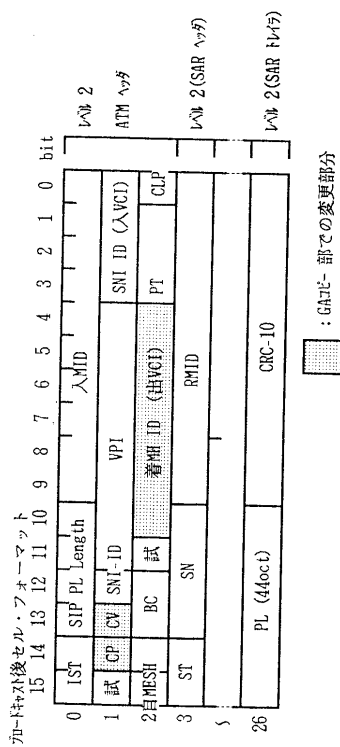
【 図 2 7 3 】

BC(2bit)	転送先
(1 1)	全相に転送(GAと判明)
(0 0)	着相先が確定(ユーザ不要)
(0 1)	全SBPHに転送(転送先が局内と判明)
(1 0)	全GWPHに転送(転送先が局外と判明)

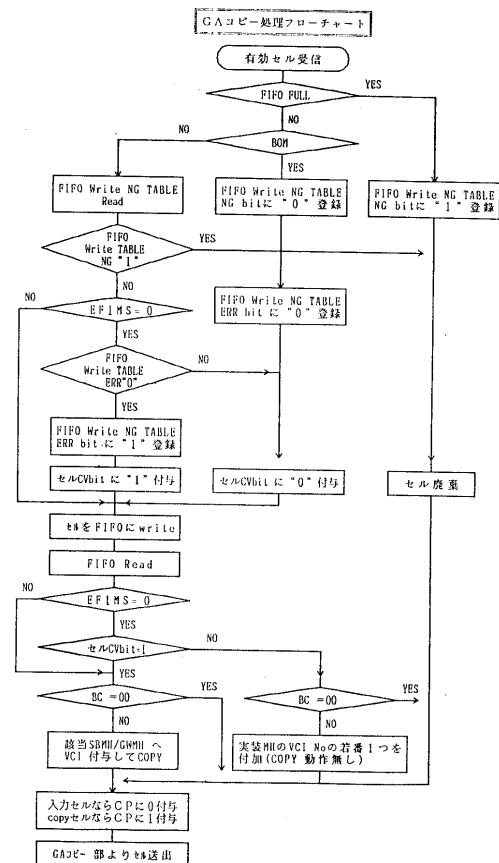
【图 2 7 4】



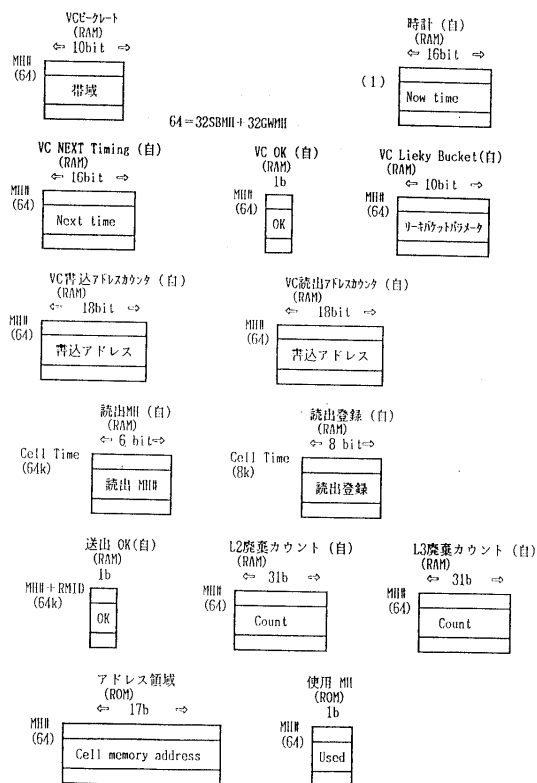
【図 2 7 5】



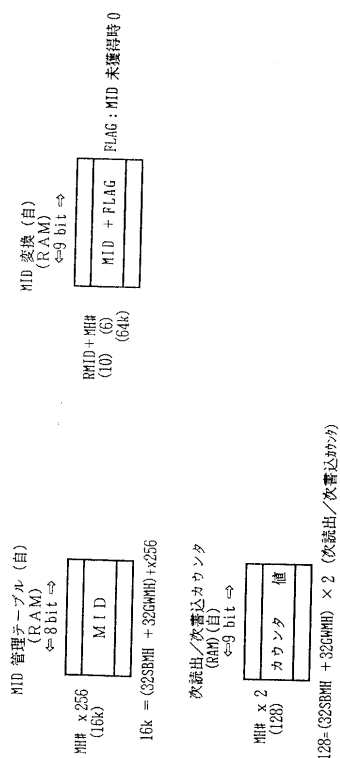
【图 2 7 6】



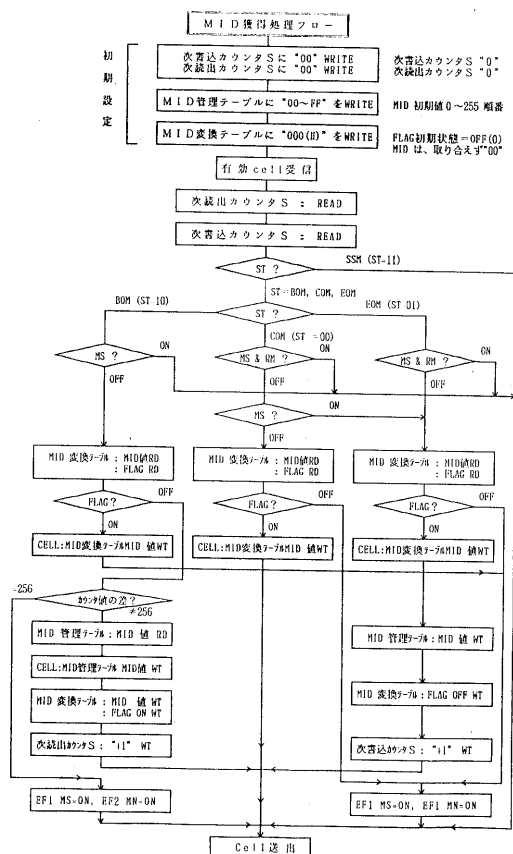
【图 2 7 7】



【图 2 7 8】



【图 2 7 9】

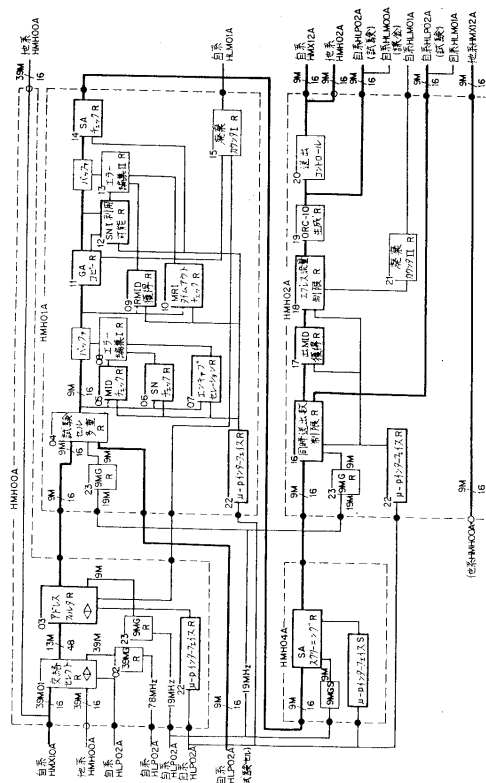


【图 2 8 0】

[illegible]

【図 2 8 2】

C : 前記の7-7に ● : B.W.B. — : 制御線 clock等 — : $\bar{F} = \overline{F \wedge V_1 \wedge V_2}$: u-p interfaceを必要とする : clock未指定 point



【图 2 8 4】

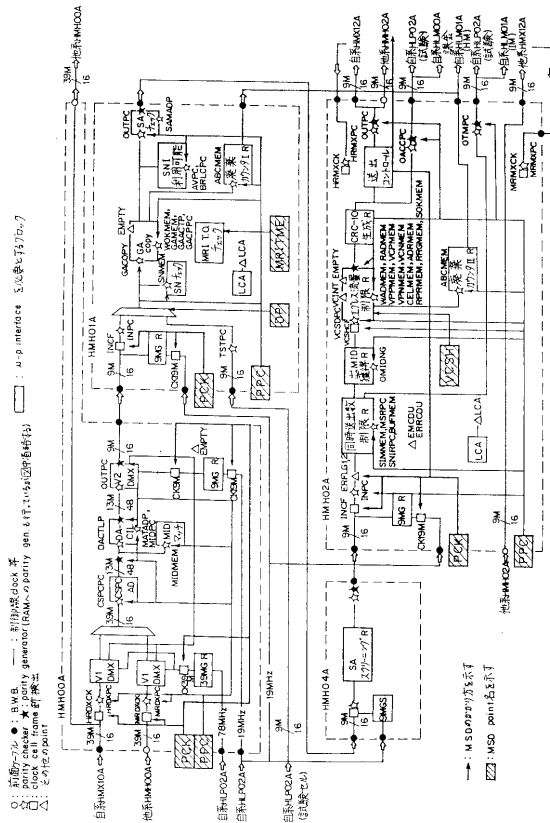
(1/2)

'加': SNI 折り返し試験時
 '割': 組間PVC 試験 (割付済DA) 時
 '○': 処理対象
 '×': 処理対象外
 '特': MIM間PVC 試験 (特定DA) 時
 '上': エラー (Master Error Flag がON)
 '一': 通過せず or 無関係

'加': SNI 折り返し試験t% '特': 期間PVC 試験 (特定DA)t%
 '割': 期間PVC 試験 (割付済DA)t% '1': 1t% (Master Error Flag がON)
 '○': 処理対象 '×': 処理対象外 'ー': 通過せず or 無関係

'加': SNI 折り返し試験t% '特': 期間PVC 試験 (特定DA)t%
 '割': 期間PVC 試験 (割付済DA)t% '1': 1t% (Master Error Flag がON)
 '○': 処理対象 '×': 処理対象外 'ー': 通過せず or 無関係

【图 2 8 9】

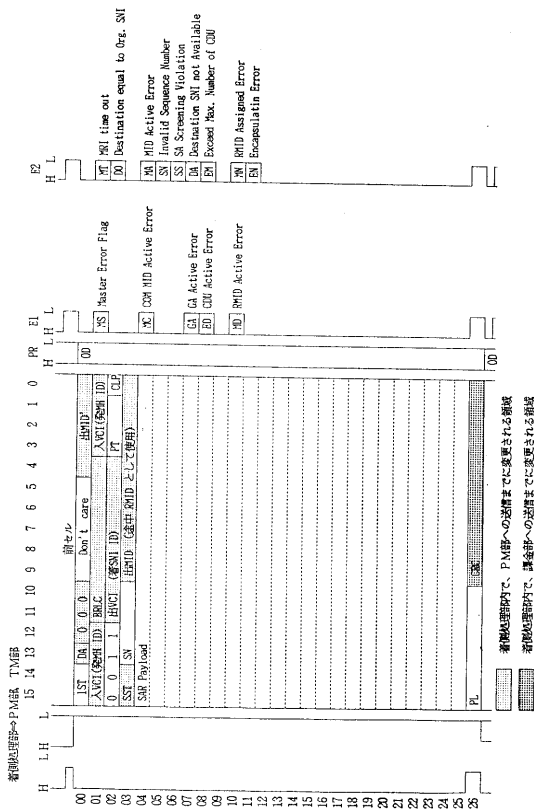


【凶 2 9 0】

ブロック名	E/F															PVC試験	
	E1 MS	E2 MA	E1 MC	E2 SN	E2 EN	E2 MN	E1 MD	E1 MT	E1 GA	E2 DA	E2 DO	E2 SS	E2 EM	E1 ED	加	特 別	
MID チェック R (B/S) DM = 0	ON	ON	-	-	-	-	-	-	-	-	-	-	-	-	×		
MID チェック R (B/S) DM = 1	-	ON	-	-	-	-	-	-	R	-	-	-	-	-	×		
MID チェック R (C/E)	ON	-	ON	-	-	-	-	-	-	-	-	-	-	-	×		
SN チェック R (C/E)	ON	-	-	ON	-	-	-	-	-	-	-	-	-	-	×		
エンパレクション R (TS/IS)	ON	-	-	-	ON	-	-	-	-	-	-	-	-	-	-		
RWID獲得 R (B/S)	ON	-	-	-	-	ON	-	-	-	-	-	-	-	-	-		
RWID獲得 R (C/E)	ON	-	-	-	-	-	ON	-	-	-	-	-	-	-	-		
MR1 タイムアウト チェック R (TDth)	ON	-	-	-	-	-	-	ON	-	-	-	-	-	-	-		
タイムアウト後に 到着したth (C/E)	ON	-	-	-	-	-	ON	-	-	-	-	-	-	-	-		
GA copy R	ON	-	-	-	-	-	-	-	ON	-	-	-	-	-	-		
IEOMが来る前にIEOMが来た場合、MSとGAをONする。(RWID 対応にコピー後、RDA 対応にげ-) ICOWでMSがON (EPMD もON) の場合、VC1 = E0として送出。 E1MSがONのcellをゲ- する際はEP2 側のフラグをマスクし、EIGAをONする。(二重防止防止)																	
SW1 利用可能 (B/S)	ON	-	-	-	-	-	-	-	ON	-	-	-	-	-	-	×	
SA check R (B/S)	ON ○	-	-	-	-	-	-	-	-	ON	-	-	-	-	-	×	
SA スクリーニング R (B/S)	ON	-	-	-	-	-	-	-	-	-	ON	-	-	-	-	×	
同時送出数 制限 R (B)	ON	-	-	-	-	-	-	-	-	-	-	ON	-	-	-	×	
同時送出数 制限 R (C/E)	ON	-	-	-	-	-	○	-	-	-	-	-	ON	-	-	×	

○¹: チェック結果がNGの時にONするEF.
 ○²: この印のあるEFがOKの時のみチェックする
 加¹: 加入者折り返し試験
 割¹: 割間で割付済DAを使用した試験
 一¹: この印のあるEFのOK/NGにかかわらず
 チェックする
 特¹: 割間で特定DAを使用した試験
 X¹: 該当PVC試験のcellの時はチェックしない

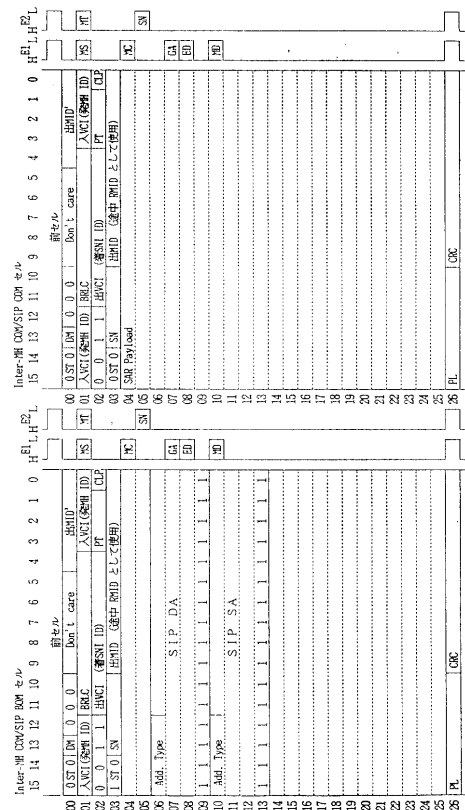
【 図 2 9 1 】



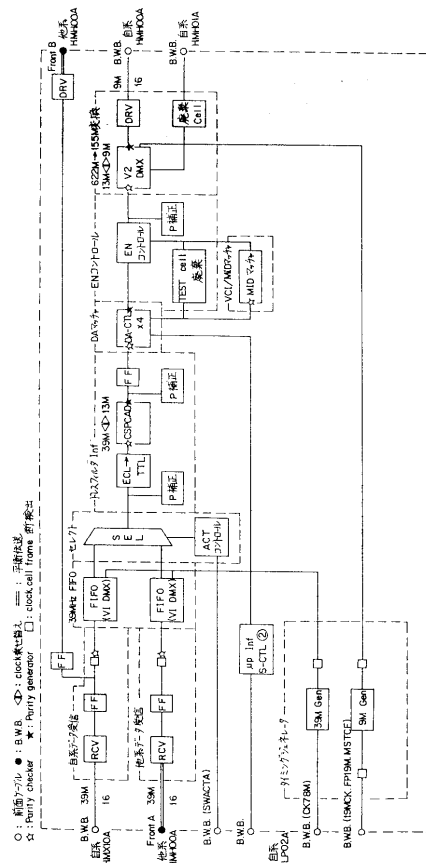
【図 2 9 2】

	位置	Inter-IM ROM	SIP ROM	SIP COM	EDM	SIP SSN	Inter-IM SSN	
E000	LST	1 0	0 0	0 0	0 1	0 1	1 1	
E003	SST	1 0	0 0	1 0	0 1	1 1	1 1	
E006	PL	2 CH	2 CH	2 CH	4 H~2 CH	2 4H~2 CH	--	
E101	FPS	エラーのOR (エラー=1)						
E201	EPMT	(なし)	(なし)	順 time 出時上	(なし)	(なし)	L	
E304	ESOM	Activeで(即PDSが有効)	No Active で	No Active で	(なし)	Activeで(即RSSが有効)		
E104	FSN	(なし)	Synchエラーで	(なし)	(なし)	No check ROMが利用不可能で		
E205	FFSN	No check	(なし)	ROMが受発不可能で	(なし)	(なし)		
E210	FFPM	ROMが利用不可能で	(なし)	(なし)	(なし)	(なし)		
E110	FPD	(なし)	(なし)	(なし)	(なし)	全L		
E211	FFEN	(なし)	(なし)	(なし)	(なし)	RPID Active で		
E106	BPCA	RPID Active の発生せよL	(なし)	(なし)	(なし)	SSN が使用不可で、 自己取り返して		
E207	FEPA	着弾し教頭情報保持(Susp) 同時送出制御開始保持(Susp)	(なし)	(なし)	(なし)	Screening Violation で		
E208	FEPS	自己取り返し	(なし)	(なし)	(なし)	Screening Violation で		
E206	FESS	同時に送出教頭情報保持(Susp)	(なし)	(なし)	(なし)	(No check)		
E209	FESE	同時に送出制御開始保持(Susp)	(なし)	(なし)	(なし)	(なし)		
E108	BFEN	同時に送出制御開始保持(Susp)+1	(なし)	(なし)	(なし)	(なし)		

【图 2 9 4】



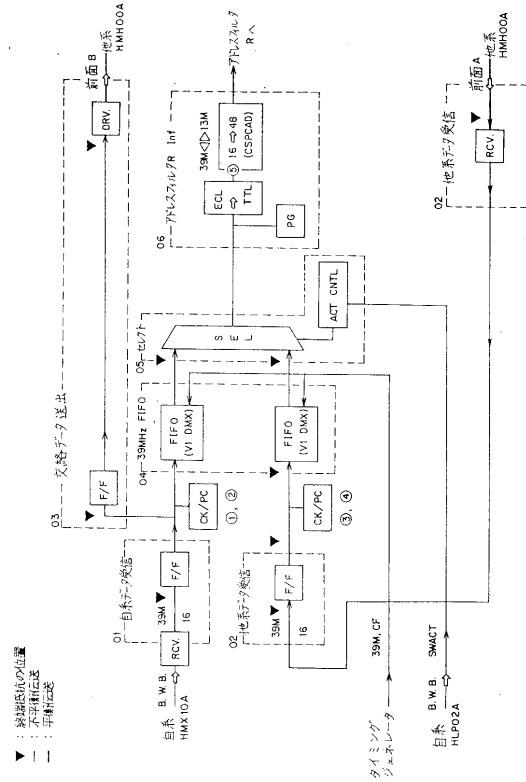
【图 2 9 6】



【図 2 9 7】

項	ブロック名	内容
01	交絡セレクト R	スイッチの系情報に使い、MIXのACT 系データを選択する。
02	タイミングジェネレータ R	HLPO2Aより78MHz のclock を受信し、RMLP部で使用する。 39MHz, 9MHzのclock およびcell frameを生成する。
03	アドレスフィルタ R	622nデータ上のセルよりRMLPで処理すべきセルを選択しパッフェリングして155nの処理部へわたす。

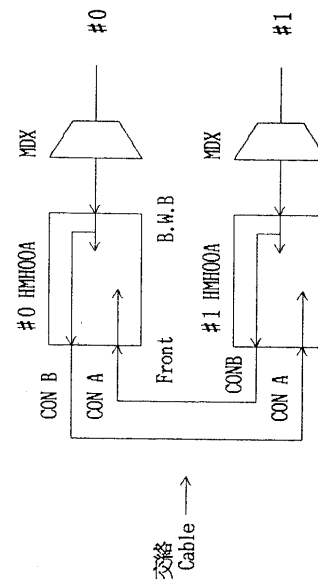
【图 2 9 8】



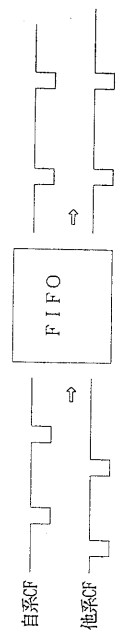
【图 2 9 9】

項	機能ブロック名	概要
01	自系データ受信	自系MHC0M よりB.W.B. 経由で39M16 バラのデータをECL 不平衡にて受信する。 clock, cell frame 断, Parity の check を行う。
02	他系データ受信	他系MHC0M より前面Aconn. 経由で39M16 バラのデータをECL 平衡にて受信する。 clock, cell frame 断, Parity の check を行う。
03	交絡データ送出	自系MHC0M よりB.W.B. 経由で受信したデータを他系のMH000Aへ送出する。
04	39MHz FIFO	V1 DMX LSI を使用して、clock の乗せ換えを行う。 読み出しのclock, cell frame を同期させて、自系、他系の受信したデータを読み出す。
05	交絡データセレクト	自系、他系のMHC0M より受信したデータをMHC0M のACT に従って選択する。 系切り換え時はFIFOの読み出しcell frameに同期して行う。
06	アドレスフィルタ R Inf.	アドレスフィルタRにインタフエースする為に、CSPCAD LSI を使用して、39M16バラECLのデータを13M/48バラTTL へと変換する。

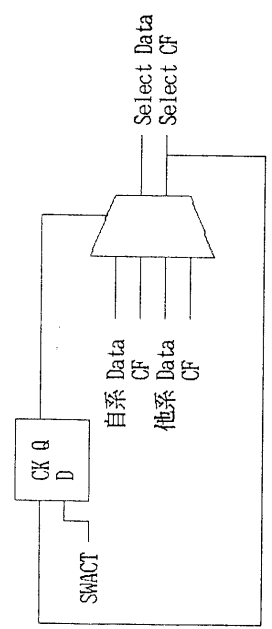
【図 3 0 0】



【図 3 0 1】



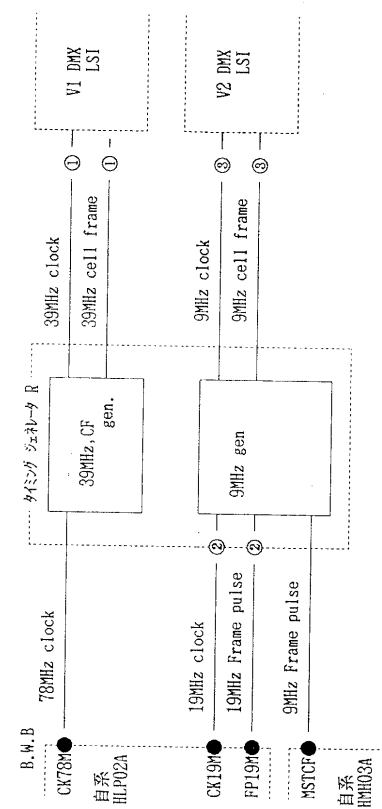
【図 3 0 2】



【図 3 0 3】

項 point 名	概要
① HRDXCK	自系MHC0M よりの入力clock39M 及び、cell frameの断。
② HRDXPC	自系MHC0M よりの入力データに対するparity check error。
③ MRDXCK	他系MHC0M よりの入力clock39M 及び、cell frameの断。
④ MRDXPC	他系MHC0M よりの入力データに対するparity check error。
⑤ CSPQPC	CSPCAD LSIに対する入力データのparity check error。

【図 3 0 4】



【 図 3 0 9 】

項	機能ブロック名	概要
01	D A マッチャ	DA-CTL LSIを使用してBOM,SSM に対して、Destination Address (DA) にてマッチャをかける。尚、DAフィルタ時に発生した輸送したRDA をTAG 部に書き込む。
02	VCI/MID マッチャ	COM,EOM に対して、VCI/MID にてマッチャをかける。
03	Enable コントラ	DAマッチャ,MIDマッチャの結果により、マッチしたセルのみを処理部へと出力する。
04	622M→155M変換	622M (13M, 48 バラ) のデータをV2, DMX LSIを使用して、155M (9M, 16バラ) へと速度変換を行う。

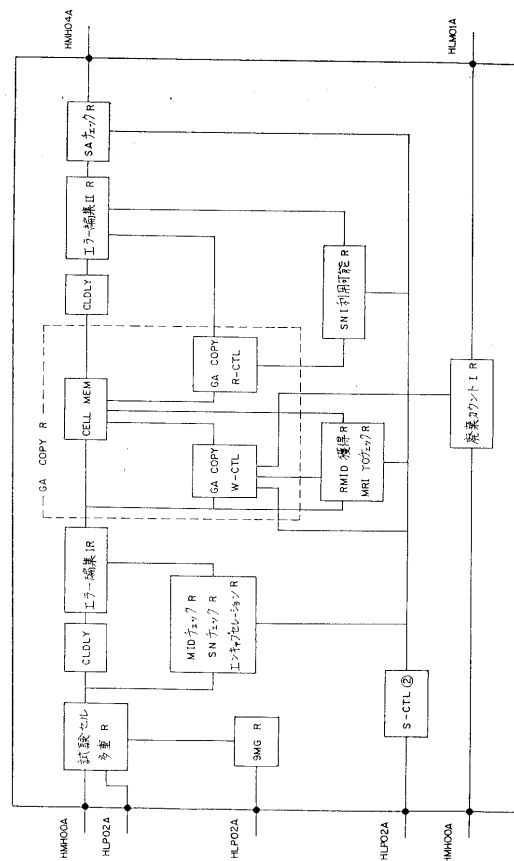
【 図 3 1 0 】

O0BT	Segment Type		DA-CTL match	read data	write data	Enable 処理	備考
	ST01	ST00					
1	--	--	--	--	--	無効	廃棄する。
0	0	COM	--	0	--	無効	廃棄する。
	0	0	--	1	--	有効	取り込む。
	0	COM	--	0	--	無効	廃棄する。
	0	1	--	1	0	有効	取り込み、0を書く。
	1	COM	0	0	--	無効	廃棄する。
	1	0	0	1	0	有効	取り込み、0を書く。
	1	COM	1	--	1	有効	取り込み、1を書く。
	1	1	0	0	--	無効	廃棄する。
	1	SSM	1	1	0	有効	取り込み、0を書く。
	1	SSM	1	--	0	有効	取り込み、0を書く。

【図 3 1 1】

項	point 名	概要
①	DACLTP	DACLTL LSI に対する入力データのparity check error。
②	MIDMEM	VCL/MID マッチャー用のRAMのデータWrite/readによるparity check error。
③	MATADP	DACLTL LSI match address parity error。
④	MIDPC	DACLTL LSI VCL/ST/MID parity error。
⑤	OUTPC	V2 DMX LSI に対する入力データのparity check error。

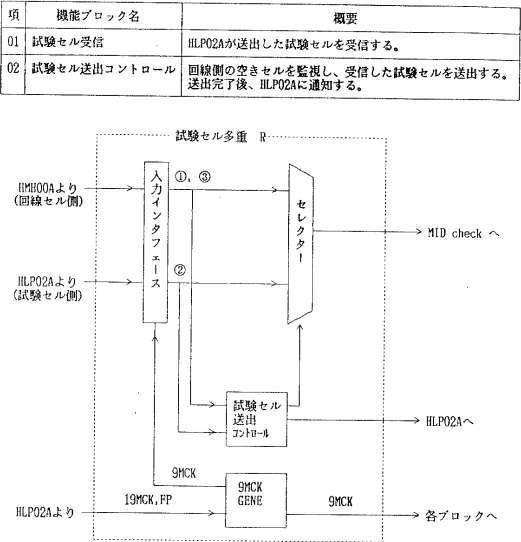
【図 3 1 2】



【図 3 1 3】

項	ブロック名	内容
01	試験セル多重 9MCK R	回線側の空きセル時に、試験セルを多重する。 HLP02Aからの19MCK とFPより9MCKを作成する。
02	MID チェック R	BOM でVCI/MID がNo Active、COM,EOM でVCI/MID がActiveかを チェックする。
03	SNチェック R	BOM,SSM でSNを初期化、COM,EOM でSNの順序性をチェックする。
04	エンパレション R	Inter-MH inf.PDUからSIP inf.PDU を取り出し、ST(Segment type) を変更する。
05	エラー編集 I R	各チェックでチェックされたエラーをエラーフラグの各位置に付与 する。
06	RMID 獲得 R	MID を内部処理用に圧縮する。
07	MRI タイムアウト チェック R	MRI タイムアウトを判断する。
08	GAコピー R	GAで入力されたセルを各加入者に出力する。
09	SN1 利用可能 R	SN1 のDT障害その他受信不可能のときにセルを廃棄する。
10	エラー編集 II R	各チェックでチェックされたエラーをエラーフラグの各位置に付与 する。
11	SA チェック R	GAメッセージに対して、自己への折り返しセルをはじく。
12	廃棄カウンタ I R	HMH00AのV2 DMX,HMH01A のGA copy 部での廃棄をカウントする。

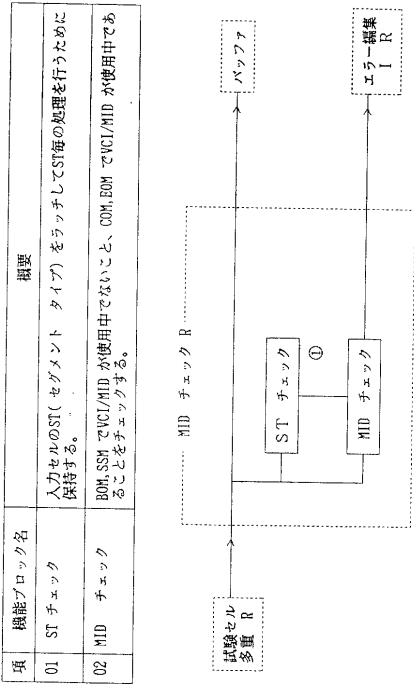
【図 3 1 4】



【図 3 1 5】

項	point 名	概要
①	INPC	HMH00Aよりの入力データ (回線セル) に対するparity check error
②	TSTPC	HLP02Aよりの入力データ (試験セル) に対するparity check error
③	INCF	HMH00Aよりの入力セルフレームと、HLP02Aよりの19MCK,FPを元に作成した 9MCKの断 check

【図 3 1 6】



【図 3 1 7】

Segment Type	DM	RAM 情報(Read)	処理
Inter-MH BOM	match	ACT	ACT 状態にする
Inter-MH BOM	unmatch	ACT	解放処理をする
Inter-MH BOM	match	Not ACT	ACT 状態にする
Inter-MH BOM	unmatch	Not ACT	解放処理をする
Inter-MH SSM	match	ACT	解放処理をする
Inter-MH SSM	unmatch	ACT	解放処理をする
Inter-MH SSM	match	Not ACT	解放処理をする
Inter-MH SSM	unmatch	Not ACT	解放処理をする
Inter-MH COM	D.C.	ACT	ACT 状態にする
Inter-MH COM	D.C.	Not ACT	解放処理をする
Inter-MH EOM	D.C.	ACT	解放処理をする
Inter-MH EOM	D.C.	Not ACT	解放処理をする

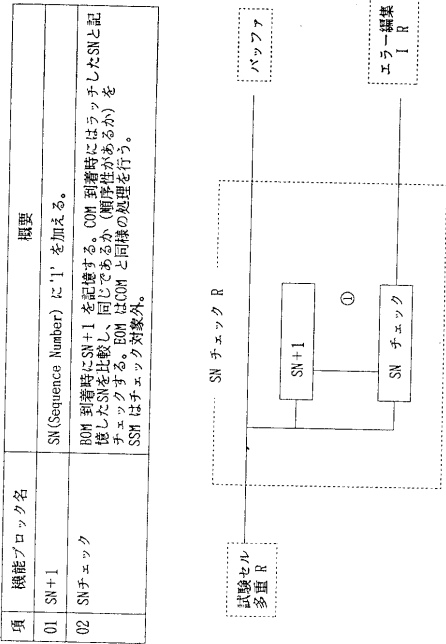
【図 3 1 8】

Segment Type	error	DM	Error Flag			
			EF1	EF2	EFMA (MID Active Error)	EFMC (COM MID Active Error)
Inter-MH BOM	VCI/MID が Active	0	EF1	EF2	EFMA (MID Active Error)	EFMC (COM MID Active Error)
		1	EF2	EF2	EFMA (MID Active Error)	EFMC (COM MID Active Error)
Inter-MH SSM	VCI/MID が Active	0	EF1	EF2	EFMA (MID Active Error)	EFMC (COM MID Active Error)
		1	EF2	EF2	EFMA (MID Active Error)	EFMC (COM MID Active Error)
Inter-MH COM	VCI/MID が Not Active	EF1	EF1	EF1	EFMA (MID Active Error)	EFMC (COM MID Active Error)
		EF1	EF1	EF1	EFMA (MID Active Error)	EFMC (COM MID Active Error)

【図 3 1 9】

項	point 名	address	bit	概要
①	SNMEM	0210	06	SN check memory parity NG

【図 3 2 0】



【図 3 2 1】

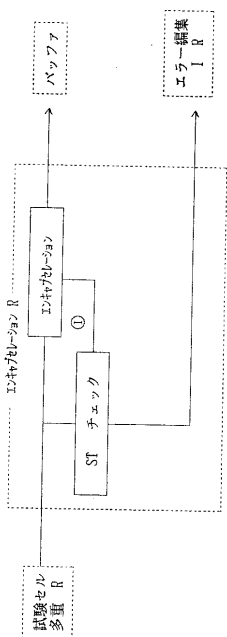
Segment Type	error	Error Flag	
		EF1	EFMS(Master Error Flag)
Inter-MH COM	順序が違ふ場合	EF2	EFMS(Invalid Sequence Number)
Inter-MH EOM	順序が違ふ場合	EF1	EFMS(Master Error Flag)
		EF2	EFMS(Invalid Sequence Number)

【図 3 2 2】

項	point 名	address	bit	概要
①	SNMEM	0210	06	SN check memory parity NG

【図 3 2 3】

項	機能ブロック名	概要
01	ST チェック	入力側の ST (セグメント タイプ) をラッチして ST 毎の処理を行うために保持する。
02	エンキャプレーション	BOM の次が COM なら BOM, EOM なら SSM に変更する。



【図 3 2 4】

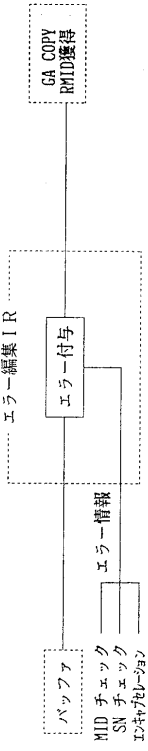
Segment Type	error	Error Flag	
		EF1	EFMS(Master Error Flag)
Inter-MH SSM	無条件で error	EF2	EFEN(Encapsulation Error)

【図 3 2 5】

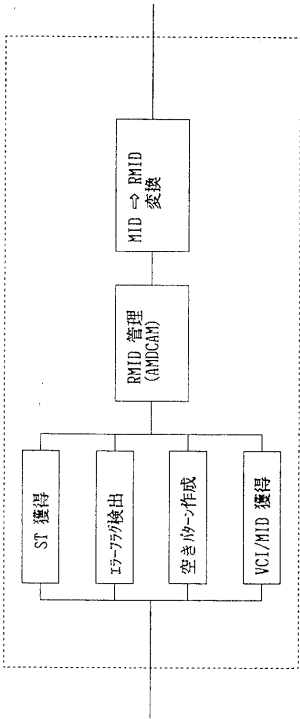
項	point 名	address	bit	概要
①	SNMEM	0210	06	SN check memory parity NG

【図 3 2 6】

項	機能ブロック名	概要
01	エラー付与	各チェックのエラー情報を各エラーフラグの位置に付与する。



【図 3 2 7】



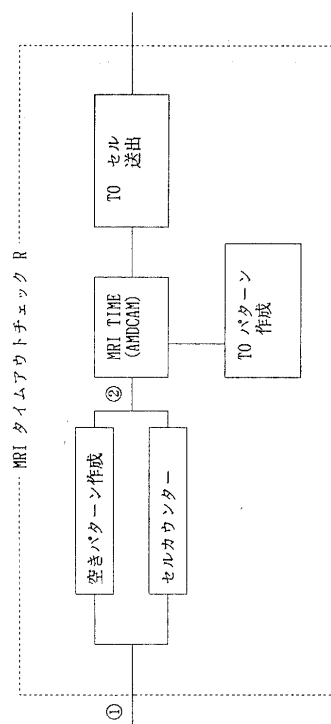
【図 3 2 8】

項	機能ブロック名	概要
01	ST 獲得	有効セルのSTを取り込みSTを判別する。
02	空きパターン作成	初期設定としてAMD-CAM に空きパターン(all 1)を送る。ROM 時に、空きパターンを送る。
03	VCI/MID 獲得	有効セルのVCI/MID を獲得しRVID管理に送る。
04	RVID管理 (AMD-CAM)	獲得したVCI/MID でmatch/unmatch か判断する。match ならmatch address 信号を出力する。
05	MID ⇒ RVID 変換	AMD-CAM で出力されたmatch address 信号(RVID)をセルのMID に上書きする。

【图 3 2 9】

Segment Type	error	Error Flag
Inter-MH BOM	RMTDが獲得出来ない場合	EF1 EFMS (Master Error Flag)
		EF2 EFPM (RMID Assigned Error)
Inter-MH SSM	RMTDが獲得出来ない場合	EF1 EFMS (Master Error Flag)
		EF2 EFPM (RMID Assigned Error)
Inter-MH COM	前にRMIDが獲得されていない、 すでに解放されている場合	EF1 EFMD (RMID Active Error) EFMS (Master Error Flag)
Inter-MH BOM	前にRMIDが獲得されていない、 すでに解放されている場合	EF1 EFMD (RMID Active Error) EFMS (Master Error Flag)

【 図 3 3 0 】



【 図 3 3 1 】

項	機能ブロック名	概要
01	セルのST判別 (MID 圧縮と共用)	有効セルのST(segment type)を取り込みSTを判別する。
02	セルカウンタ	全セル来るたびにカウンタするモード、有効セルだけをカウンタするモードがあるセルカウンタ。
03	空きパターン作成 (MID 圧縮と共用)	MRI TIME(AMD-CAM) に初期設定を与える。 BOM 時に空きパターンを送る。
04	MRI TIME(AMDCAM)	毎セルごとにタイムアウトかcheck する。
05	TOパターン作成	タイムアウト時にMRI TIME(AMD-CAM) にTOパターンを出力する。
06	TO セル 送出	タイムアウトしたメセジのEOM のかわりとしてTOセルを出力する。

【図 3 3 2】

15	14	13	12	11	10	09	08	07	06	05	04	03	02	01	00
0	D. C.														
0	D. C.														
0	D. C.			0	0	0	卷	SNI-ID			D. C.				
0	D. C.										RMID				

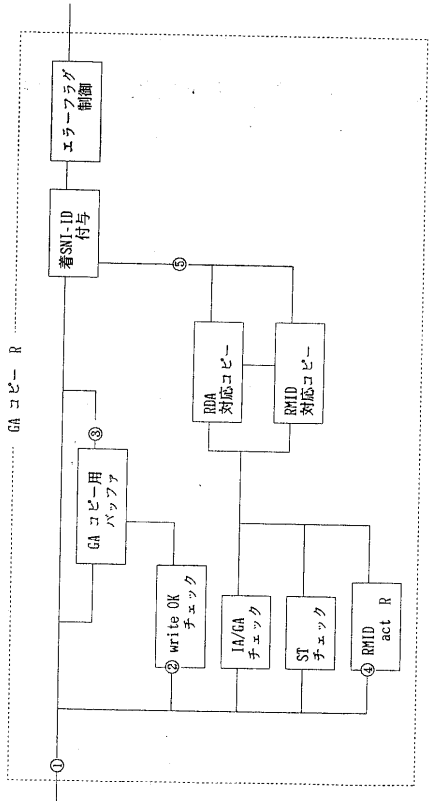
D.C.: Don't care

D.C.: Don't care

【図 3 3 3】

Segment Type	error	Error Flag	
		EF1	EF2
Inter MH COM	IBOM到着後 177ms後 までにIBOMが来ない。	EFMS (Master Error Flag)	EFMT (MRI time out)
Inter MH EOM	T0セル送出後にセルが到着 した場合。	EFMD (RMD Active Error) EFMS (Master Error Flag)	EF1

【図 3 3 4】



【図 3 3 5】

項	機能ブロック名	概要
01	write OK チェック	write O.K. R テーブルをVCI/MID でreadして、GAコピー用のRDAに書き込み可能かどうかの判定をおこなう。RDAが78(書き込みが不可)の場合は、廃棄信号を廃棄カウントに送る。
02	GAコピー用バッファ	GAコピーでコピーする為にセルを書き込んでおくためのバッファ。
03	RMD act R	RMD対応に、現在受信したメッセージがGAコピー中かどうかを記憶しておく。
04	IA/GA チェック	各メッセージのRDA が IA か GA を判定する。
05	ST チェック	入力セルのSST(SIP Segment type) をラッチしてST毎の処理を行う為に保持する。
06	RDA 対応コピー	IBOMで、RDA がGAの場合、RDA をaddress としたGAコピー R テーブルよりコピー先のSNI を判定し、対応するSNI に対して、コピーしたセルを送出する。
07	RMD対応コピー	ICOM,LEOM のRDA がGAの場合、RMDをaddress としたメッセージコピーテーブルよりコピー先のSNI を判定し、対応するSNI に対してコピーしたセルを送出する。
08	着SNI-ID付与	送出するセルに着SNI-IDを付与する。RDA がIAの場合は、RDA から直接求め、RDA がGAの場合は、コピーテーブルより求める。
09	エラーフラグ制御	EFMS(Master Error Flag) がONのセルをコピーする場合は、EF2 側のError Flagはマスクする。これはHLMDLAのTMR部の二重カウントを防止する為。

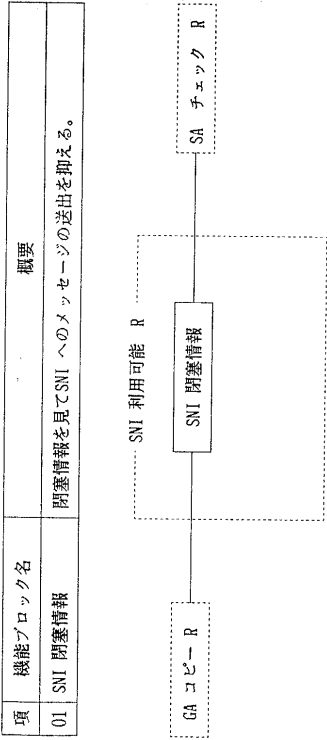
【図 3 3 6】

Segment Type	error	Error Flag	
		EFMS (Master Error Flag)	EF1
Inter MH BOM	IBOMが来ないのに RMDが同じIBOMが来た 場合。	EFMS (Master Error Flag)	EF1
Inter MH BOM Inter MH COM Inter MH EOM	EFMS(Master Error Flag) がONしたセルのコピーを 行った場合。	EFMS (Master Error Flag)	EF1

【図 3 3 7】

項	POINT 名	概要
①	GACOPY	GA COPY 入力部- 回線 Error
②	WORKMEM	Write OK memory Parity Check Error
③	GAMEM	GA copy cell memory Parity Check Error
④	GAACTP	GA ACT Parity Check Error
⑤	GACPPC	GA copy bit map Parity Check Error

【図 3 3 8】



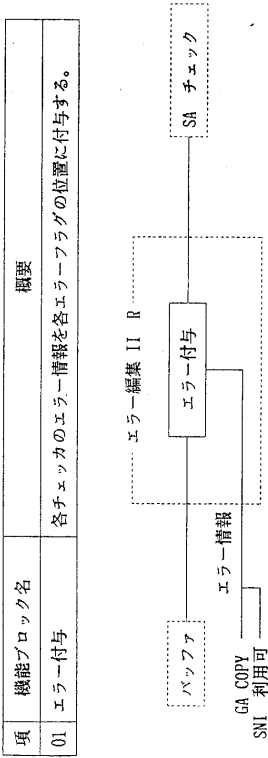
【図 3 3 9】

Segment Type	error	Error Flag	
		EF1	EFMS(Master Error Flag)
Inter-MH BOM	not Available	EF2	EFDA (Destination SNI not Available)
Inter-MH SSM	not Available	EF1	EPMS(Master Error Flag)
		EF2	EFDA (Destination SNI not Available)

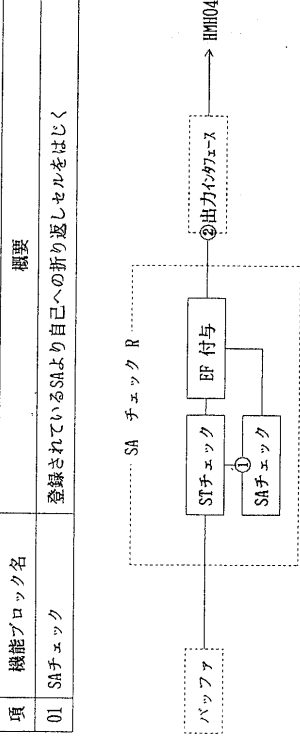
【図 3 4 0】

項	Point 名	概要
①	AVPC	SNI 利用可能 Parity Check Error
②	BRLCPC	BRLC番号 Parity Check Error

【図 3 4 1】



【図 3 4 2】



【図 3 4 3】

Segment Type	error	Error Flag
Inter-MH BOM	自己への折り返しセル	EF1 EFMS(Master Error Flag)
		EF2 EFD0(Destination equal to Org.SNI)
Inter-MH SSM	自己への折り返しセル	EF1 EFMS(Master Error Flag)
		EF2 EFD0(Destination equal to Org.SNI)

注) Inter-MH COM, Inter-MH COM はD.C 着SNI-IDの最上位bit が'1' ならチェック対象外
すでにEFMSが立っているセルならチェック対象外

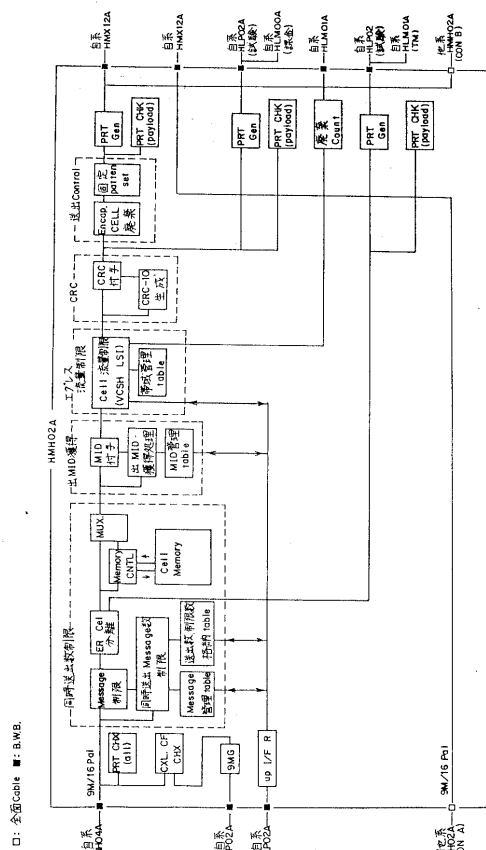
【図 3 4 4】

項	Point 名	概要
①	SAMADP	SAチェック マッチアドレスに対するParity Check Error
②	OUTPC	HMH01A 出口 Parity Check Error

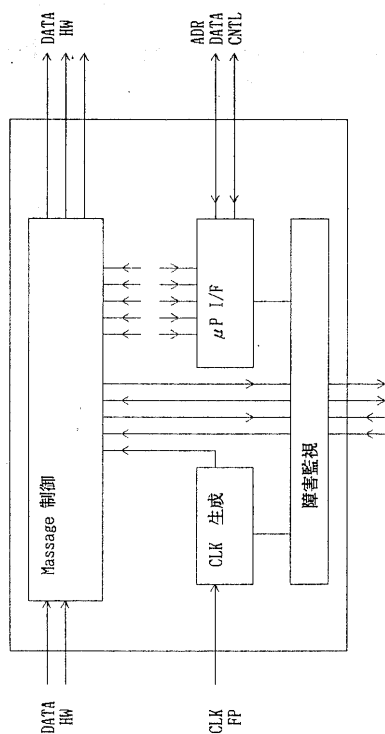
【図 3 4 5】

SC属性	CAM でマッチが取れた時	CAM でマッチが取れなかった時
1	エラー(登録アドレスへの着信不可)	送信OK
0	送信OK	エラー(登録アドレス以外の着信不可)

【 図 3 4 6 】



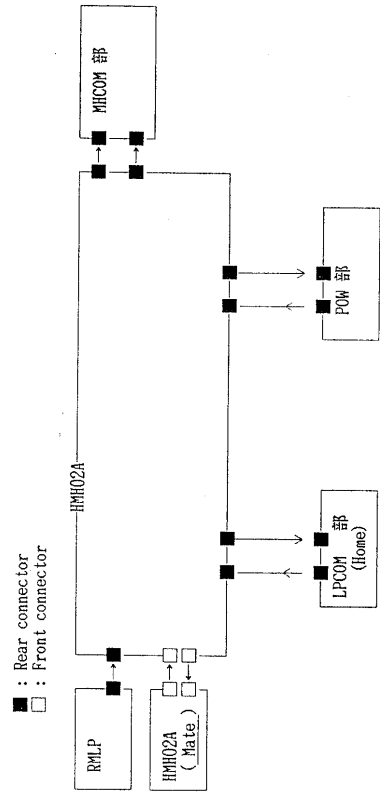
【图 3 4 7】



【图 3 4 8】

項	機 能	概 要
01	Message 制御	Message の送出制限と帯域制御
02	μP I/F	μP 部から送られる各種制御信号及び Data 等の受信と内部制御
03	CLK 生成	受信した 19MHz、CLK に基づいた 9MHz、CLK の生成
04	障害監視	PWCB内部の障害監視対象 Pointの監視

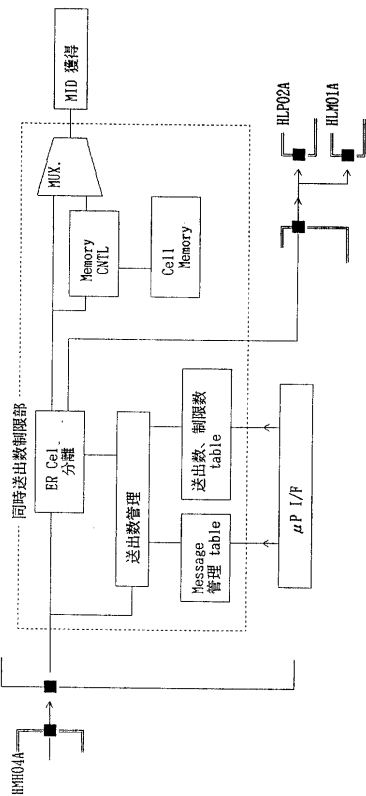
【図 3 4 9】



【図 3 5 0】

項	機 能
01	同時送出制限 各 SNI 毎のメッセージ数制限。
02	出 M I D 獲得 R M I D (圧縮した M I D) から 出力 M I D へ変換。
03	エグレス流量制限 各 SNI 毎に出力帯域 (ピークレート) の制限。
04	廃棄 Counter エグレス流量制限部において廃棄を行った C E L L と Message の Count 及び保持。
05	C R C - 1 0 生成 Cell Payload の C R C - 1 0 生成付与。
06	送出 Control 特定 C E L L に対する Header Pattern の操作と、エンキャプセレーションの解除。
07	系間交絡 他系 H M I 0 2 A からの H W Data 取り込みと自系 M D X 部への送出。

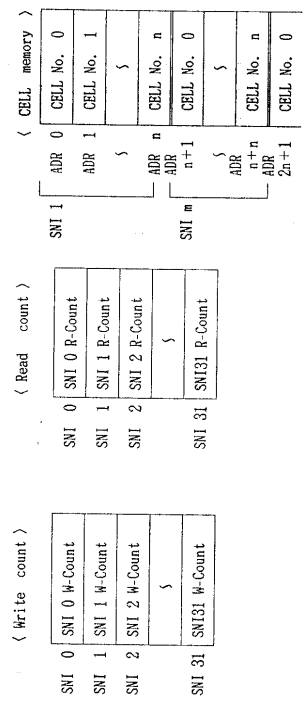
【図 3 5 1】



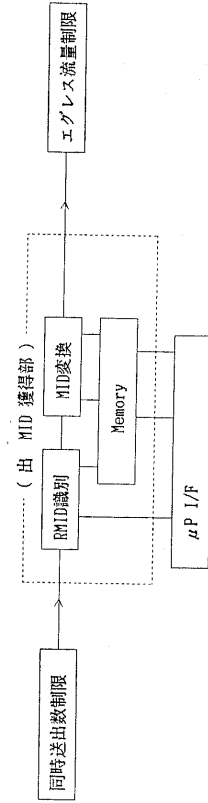
【図 3 5 2】

制限数	送出数	制限数
1	Message 数 = 0 個	Message 送出可能
	Message 数 = 1 個	次の 1 個 Buffering、以降 Message は送出不可
16	16 個 > Message 数	Message 送出可能
	Message 数 = 16 個	次の 1 個 Buffering、以降 Message は送出不可

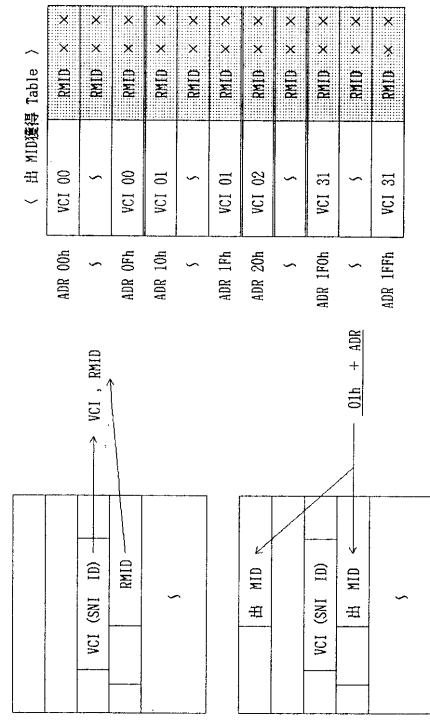
【図 3 5 3】



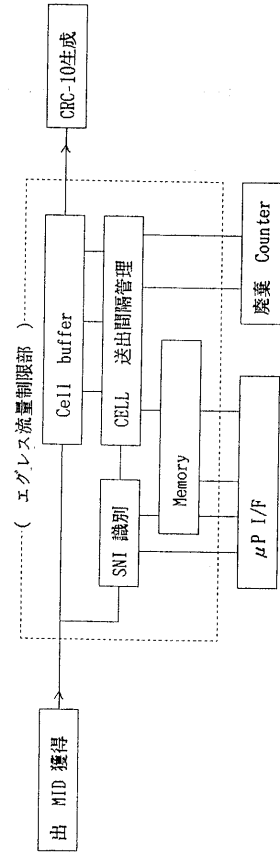
【図 3 5 4】



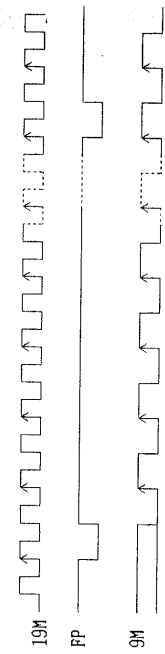
【図 3 5 5】



【図 3 5 6】



【図 3 6 1】



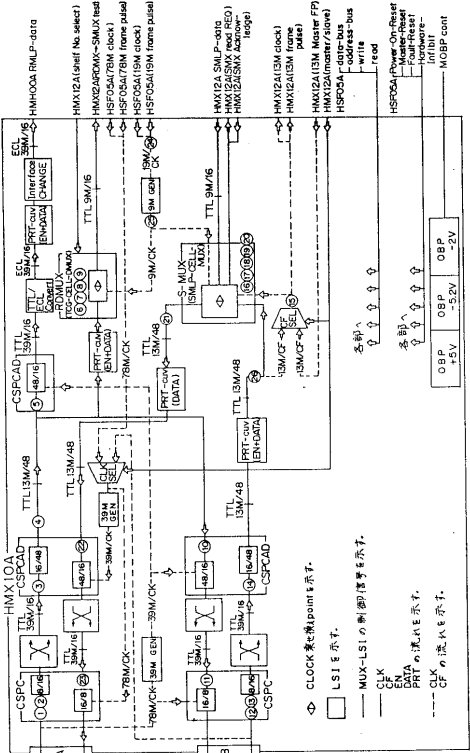
【図 3 6 2】

項	機 能
01	Message 制御 control Message 制御部内各種機能の制御を行う。
02	Memory MGT/RED control 各種機能 Blockの持つ Memory の管理及び制御を行う。
03	I/F HLP02A のMNG μ -Pとのインタフェースを行う。

【図 3 6 3】

PMCB code	機能概要
HMX10A	• SMUX機能 (SMLPからのATM-cellを622Mbps-highwayへ多重する) • ROMX機能 (ASSWからの622Mbps-highwayをRMLPへ転送する) • TDMX機能 (ASSWからの622Mbps-highwayからtest-cellをDMUXする)
HMX11A	• RMUX機能 (RMLPからのATM-cellを622Mbps-highwayへ多重する) • SDMX機能 (ASSWからの622Mbps-highwayからSMLP-cellをDMUXする) • sig-MUX 機能 (局内通信cellをASSWへの622Mbps-highwayへ多重する) • sig-DMX 機能 (ASSWからの622Mbps-highwayから局内通信cellをDMUXする)
HMX12A	• SVCC機能 (SMLPからのATM-cellのVCCM変換を行う) • RVCC機能 (RMLPからのATM-cellのVCCM変換を行う) • TMUX機能 (HMX10AのTDMXでDMUXしたtest-cellをRMLPのhighwayに、HMX11AのSDMXでDMUXしたcellをSMLPのhighwayそれぞれ多重する) • scheduler 機能 (SMUX/RMUX動作を制御する)
HSF05A	• LAP 終端機能 (局内通信用簡易LAPを終端し、BSGC-shとの通信を行う) • MSCN/MSD終端/編集機能 • VCC copy機能 • clock 分配機能

【図 3 6 4】



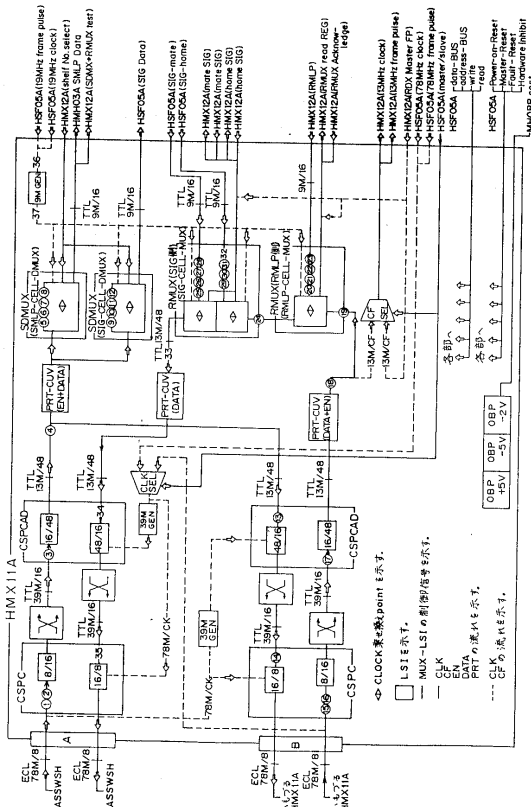
【図 3 6 5】

監視 point名	point-No	障害監視・詳細	備考
CSINPC	①	ASSW (78MHz) ⇒ 入力1W parity check (CSPC S/P 入力) data odd parity	CSPC内部で監視
CSINCK	②	ASSW (78MHz) ⇒ 入力1W 78MHz clock check (78MHz clock)	CSPC内部で監視
ADINPC	③	ASSW (78MHz) ⇒ 入力1W parity check (CSPCAD S/P 入力) data odd parity	CSPCAD内部で監視
DXINCK	④	DMUX入力 13MHz clock check (13MHz clock)	PWCB内部で監視
RADPC	⑤	RMLP側 CSPCAD 入力 parity check (RMLP-CSPCAD P/S 入力) data odd parity	CSPCAD内部で監視
RDXPC	⑥	RTG-DMUX 入力 parity check (RTG-DMUX 入力) data+EN odd parity	RTG-DMUX 内部で監視
TDXFIPC	⑦	RTG-DMUX 内部 parity check (RTG-DMUX内部 FIFO) data+EN odd parity	RTG-DMUX 内部で監視
TDXSLO 0	⑧	RTG-DMUX 輻射状態 check (P=0, CON=0) (RTG-DMUX内部 FIFO)	RTG-DMUX 内部で監視
TDXSLO 1		RTG-DMUX 輻射状態 check (P=0, CON=1) (RTG-DMUX内部 FIFO)	
TDXSLO 2		RTG-DMUX 輻射状態 check (P=1, CON=0) (RTG-DMUX内部 FIFO)	
TDXSLO 3		RTG-DMUX 輻射状態 check (P=1, CON=1) (RTG-DMUX内部 FIFO)	
TDXBFL	⑨	RTG-DMUX Buffer-FULL check (RTG-DMUX内部 FIFO)	RTG-DMUX 内部で監視
ADIMPC	⑩	ASSW ⇒ 78MHz 下位 parity check (CSPCAD P/S 入力) data odd parity	CSPCAD内部で監視
CSIMPC	⑪	ASSW ⇒ 78MHz 下位 parity check (CSPC P/S 入力) data odd parity	CSPC内部で監視
CSIMCK	⑫	78MHz 下位 ⇒ ASSW parity check (CSPC S/P 入力) data odd parity	CSPC内部で監視 最下位5MHzは除く
CSIMCK	⑬	78MHz 下位 ⇒ ASSW 78MHz clock check (78MHz clock)	CSPC内部で監視
ADIMPC	⑭	78MHz 下位 ⇒ ASSW parity check (CSPCAD S/P 入力) data odd parity	CSPCAD内部で監視 最下位5MHzは除く
MXINCK	⑮	MUX 入力 13MHz clock check (13MHz clock)	PWCB内部で監視

【図 3 6 6】

監視 point名	point-No	障害監視・詳細	備考
MXINPC	⑯	78MHz 下位 ⇒ ASSW 78MHz data parity check (SMLP-MUX 高速入力) data+EN odd parity	SMLP-MUX内部で監視 最下位5MHzは除く
MXSPC	⑰	SMLP-MUX入力 parity check (SMLP-MUX 入力) data+EN odd parity	SMLP-MUX内部で監視
MXFIPC	⑱	SMLP-MUX内部 parity check (SMLP-MUX 内部 FIFO) data+EN odd parity	SMLP-MUX内部で監視
MXSLO 0	⑲	SMLP ⇒ SMLP-MUX 輻射状態 check (P=0, CON=0) (SMLP-MUX 低速入力内部 FIFO)	SMLP-MUX内部で監視
MXSLO 1		SMLP ⇒ SMLP-MUX 輻射状態 check (P=0, CON=1) (SMLP-MUX 低速入力内部 FIFO)	
MXSLO 2		SMLP ⇒ SMLP-MUX 輻射状態 check (P=1, CON=0) (SMLP-MUX 低速入力内部 FIFO)	
MXSLO 3		SMLP ⇒ SMLP-MUX 輻射状態 check (P=1, CON=1) (SMLP-MUX 低速入力内部 FIFO)	
MXBFL	⑳	SMLP ⇒ SMLP-MUX Buffer-FULL check (SMLP-MUX 内部 FIFO)	SMLP-MUX内部で監視
MXCK	㉑	SMLP-MUX ⇒ ASSW (78MHz) 13MHz clock check (13MHz clock)	PWCB内部で監視
ADQPC	㉒	SMLP-MUX ⇒ ASSW (78MHz) parity check (CSPCAD P/S 入力) data odd parity	CSPCAD内部で監視
CSQPC	㉓	SMLP-MUX ⇒ ASSW (78MHz) parity check (CSPC P/S 入力) data odd parity	CSPC内部で監視
19CK	㉔	HSF05A ⇒ master 19MHz clock check (19MHz clock)	PWCB内部で監視
9CK	㉕	PWCB内部 master 9MHz clock check (9MHz clock)	PWCB内部で監視
SMCK	㉖	SMUX入力 13MHz clock check (13MHz clock)	PWCB内部で監視

【図 3 6 7】



【図 3 6 8】

監視 point名	point-No	障害監視・詳細	備考
CSINPC	①	ASSW (78MHz) ⇒ 入力1W parity check (CSPC S/P 入力) data odd parity	CSPC内部で監視
CSINCK	②	ASSW (78MHz) ⇒ 入力1W 78MHz clock check (78MHz clock)	CSPC内部で監視
ADINPC	③	ASSW (78MHz) ⇒ 入力1W parity check (CSPCAD S/P 入力) data odd parity	CSPCAD内部で監視
DXINCK	④	DMUX入力 13MHz clock check (13MHz clock)	PWCB内部で監視
SDXINPC	⑤	SMLP-DMUX 入力 parity check (SMLP-DMUX 入力) data+EN odd parity	SMLP-DMUX 内部で監視
SDXFIPC	⑥	SMLP-DMUX 内部 parity check (SMLP-DMUX内部 FIFO) data+EN odd parity	SMLP-DMUX 内部で監視
SDXSLO 0	⑦	SMLP-DMUX 輻射状態 check (P=0, CON=0) (SMLP-DMUX内部 FIFO)	SMLP-DMUX 内部で監視
SDXSLO 1		SMLP-DMUX 輻射状態 check (P=0, CON=1) (SMLP-DMUX内部 FIFO)	
SDXSLO 2		SMLP-DMUX 輻射状態 check (P=1, CON=0) (SMLP-DMUX内部 FIFO)	
SDXSLO 3		SMLP-DMUX 輻射状態 check (P=1, CON=1) (SMLP-DMUX内部 FIFO)	
SDXBFL	⑧	SMLP-DMUX Buffer-FULL check (SMLP-DMUX内部 FIFO)	SMLP-DMUX 内部で監視
SGDXIPC	⑨	SIG-DMUX入力 parity check (SMLP-DMUX 入力) data+EN odd parity	SIG-DMUX内部で監視
SGDXFIPC	⑩	SIG-DMUX内部 parity check (SMLP-DMUX内部 FIFO) data+EN odd parity	SIG-DMUX内部で監視
SGDXSLO 0	⑪	SIG-DMUX輻射状態 check (P=0, CON=0) (SMLP-DMUX内部 FIFO)	SIG-DMUX内部で監視
SGDXSLO 1		SIG-DMUX輻射状態 check (P=0, CON=1) (SMLP-DMUX内部 FIFO)	
SGDXSLO 2		SIG-DMUX輻射状態 check (P=1, CON=0) (SMLP-DMUX内部 FIFO)	
SGDXSLO 3		SIG-DMUX輻射状態 check (P=1, CON=1) (SMLP-DMUX内部 FIFO)	

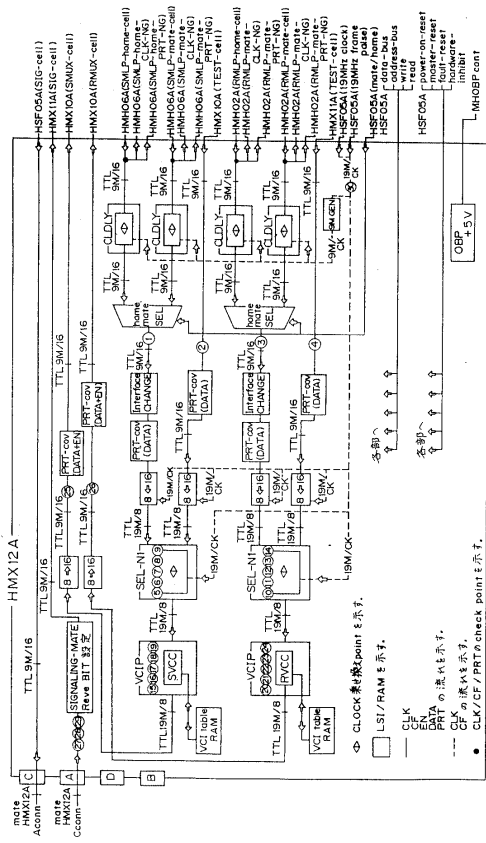
【図 369】

監視 point名	point-No	障害監視・詳細	備考
SGDXBFL	12	SIG-MUX Buffer-FULL check (SMLP-DMUX内部 FIFO)	SIG-DMUX内部で監視
ADIMOPC	13	ASSW→作下位 parity check (CSPAD P/S 入力) data odd parity	CSPAD内部で監視
CSIMOPC	14	ASSW→作下位 parity check (CSPC P/S 入力) data odd parity	CSPC内部で監視
CSIMIPC	15	作下位→ASSW parity check (CSPC P/S 入力) data odd parity	CSPC内部で監視 最下位S/Hは除く
CSIMICK	16	作下位→ASSW 70MHz clock check (70MHz clock)	CSPC内部で監視
ADIMIPC	17	作下位→ASSW parity check (CSPAD S/P 入力) data odd parity	CSPC内部で監視 最下位S/Hは除く
RDXICK	18	RMUX入力 13MHz clock check (13MHz clock)	FWC内部で監視
MXIMPC	19	作下位→ASSW高速 data parity check (RMLP-MUX 高速入力) data+EN odd parity	RMLP-MUX内部で監視 最下位S/Hは除く
MXMPC	20	RMLP-MUX入力 parity check (RMLP-MUX 入力) data+EN odd parity	RMLP-DMUX内部で監視
MXMIPC	21	RMLP-MUX内部 parity check (RMLP-MUX内部 FIFO) data+EN odd parity	RMLP-DMUX内部で監視
MXSDL 0	22	RMLP-MUX 輻射状態 check (P=0, CN=0) (RMLP-MUX 低速入力内部 FIFO)	RMLP-MUX内部で監視
MXSDL 1		RMLP-MUX 輻射状態 check (P=0, CN=1) (RMLP-MUX 低速入力内部 FIFO)	
MXSDL 2		RMLP-MUX 輻射状態 check (P=1, CN=0) (RMLP-MUX 低速入力内部 FIFO)	
MXSDL 3		RMLP-MUX 輻射状態 check (P=1, CN=1) (RMLP-MUX 低速入力内部 FIFO)	
MXBFFL	23	RMLP-MUX Buffer-FULL check (RMLP-MUX内部 FIFO)	RMLP-MUX内部で監視
SGOPC	24	RMLP-MUX→SIG-MUX 高速 data parity check (SIG-MUX高速入力) data+EN odd parity	SIG-MUX内部で監視
SGMPC	25	SIG(gate)-MUX 入力 parity check (SIG gate-MUX入力) data+EN odd parity	SIG-MUX内部で監視

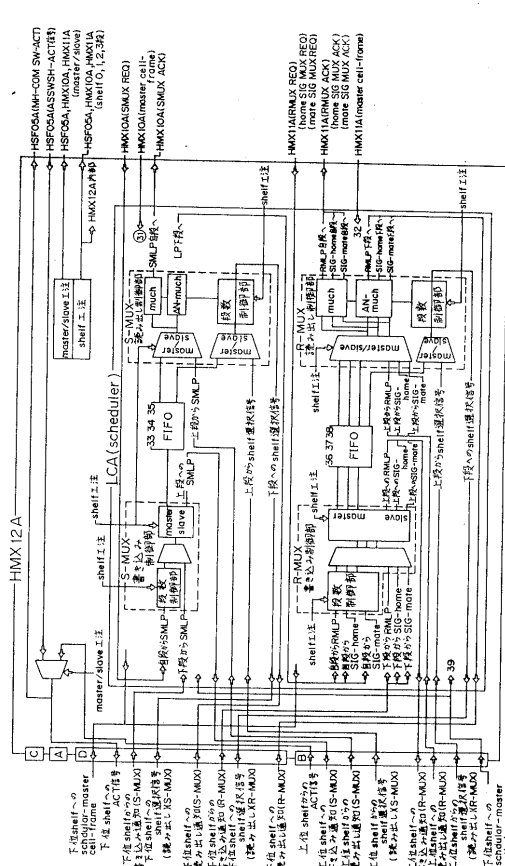
【図 370】

監視 point名	point-No	障害監視・詳細	備考
SGMIPC	26	SIG(home)-MUX 内部 parity check (SIG gate-MUX内部 FIFO) data+EN odd parity	SIG-MUX内部で監視
SGMSL 0	27	SIG(home)-MUX 輻射状態 check (P=0, CN=0) (SIG gate-MUX低速入力内部 FIFO)	SIG-MUX内部で監視
SGMSL 1		SIG(home)-MUX 輻射状態 check (P=0, CN=1) (SIG gate-MUX低速入力内部 FIFO)	
SGMSL 2		SIG(home)-MUX 輻射状態 check (P=1, CN=0) (SIG gate-MUX低速入力内部 FIFO)	
SGMSL 3		SIG(home)-MUX 輻射状態 check (P=1, CN=1) (SIG gate-MUX低速入力内部 FIFO)	
SGXBFL	28	SIG(home)-MUX Buffer-FULL check (SIG home-MUX内部 FIFO)	SIG-MUX内部で監視
SGMIPC	29	SIG(home)-MUX 入力 parity check (SIG home-MUX入力) data+EN odd parity	SIG-MUX内部で監視
SGMIPC	30	SIG(home)-MUX 内部 parity check (SIG home-MUX内部 FIFO) data+EN odd parity	SIG-MUX内部で監視
SGMISL	31	SIG(home)-MUX 輻射状態 check (P=0, CN=0) (SIG home-MUX低速入力内部 FIFO)	SIG-MUX内部で監視
SGMISL		SIG(home)-MUX 輻射状態 check (P=0, CN=1) (SIG home-MUX低速入力内部 FIFO)	
SGMISL		SIG(home)-MUX 輻射状態 check (P=1, CN=0) (SIG home-MUX低速入力内部 FIFO)	
SGMISL		SIG(home)-MUX 輻射状態 check (P=1, CN=1) (SIG home-MUX低速入力内部 FIFO)	
SGXBFFL	32	SIG(home)-MUX Buffer-FULL check (SIG home-MUX内部 FIFO)	SIG-MUX内部で監視
MXICK	33	SIG-MUX→ASSW (作上) 13MHz clock check (13MHz clock)	FWC内部で監視
ADOPC	34	SIG-MUX→ASSW (作上) parity check (CSPAD P/S 入力) data odd parity	CSPAD内部で監視
CSOPC	35	SIG-MUX→ASSW (作上) parity check (CSPC P/S 入力) data odd parity	CSPC内部で監視
19MCK	36	HSPOSA→master 19MHz clock check (19MHz clock)	FWC内部で監視
9MCK	37	FWC内部 master 9MHz clock check (9MHz clock)	FWC内部で監視

【図 371】



【図 372】



【図 3 7 3】

監視 point名	point-No	障害監視・詳細	備考
SNIPC	①	SMPL-cell data SEL-N1 入力 parity check data+EN odd parity	PWCB内部で監視
STNIPC	②	STCG-cell data SEL-N1 入力 parity check data+EN odd parity	PWCB内部で監視
RNIPC	③	RMLP-cell data SEL-N1 入力 parity check data+EN odd parity	PWCB内部で監視
RTNIPC	④	RTCG-cell data SEL-N1 入力 parity check data+EN odd parity	PWCB内部で監視
SNIMPC	⑤	SEL-N1 入力 parity check (SMPL, STCG SEL-N1) data odd parity	SEL-N1内部で監視
SNISL	⑥	SMPL SEL-N1 転送状態 check (SMPL-SEL-N1内部 FIFO)	SEL-N1内部で監視
STNISL	⑦	STCG SEL-N1 転送状態 check (STCG-SEL-N1内部 FIFO)	SEL-N1内部で監視
SNIBFLL	⑧	SMPL SEL-N1 Buffer-FULL check (SMPL-SEL-N1内部 FIFO)	SEL-N1内部で監視
STNIBFLL	⑨	STCG SEL-N1 Buffer-FULL check (STCG-SEL-N1内部 FIFO)	SEL-N1内部で監視
RNIMPC	⑩	SEL-N1 入力 parity check (RMLP, RTCG SEL-N1) data odd parity	SEL-N1内部で監視
RNISL	⑪	RMLP SEL-N1 転送状態 check (RMLP-SEL-N1内部 FIFO)	SEL-N1内部で監視
RTNISL	⑫	RTCG SEL-N1 転送状態 check (RTCG-SEL-N1内部 FIFO)	SEL-N1内部で監視
RNIBFLL	⑬	RMLP SEL-N1 Buffer-FULL check (RMLP-SEL-N1内部 FIFO)	SEL-N1内部で監視
RTNIBFLL	⑭	RTCG SEL-N1 Buffer-FULL check (RTCG-SEL-N1内部 FIFO)	SEL-N1内部で監視
SVCDIPC	⑮	SMPL VCIP 入力DATAの奇数部 parity check (SMPL VCIP入力) data odd parity	VCIP内部で監視

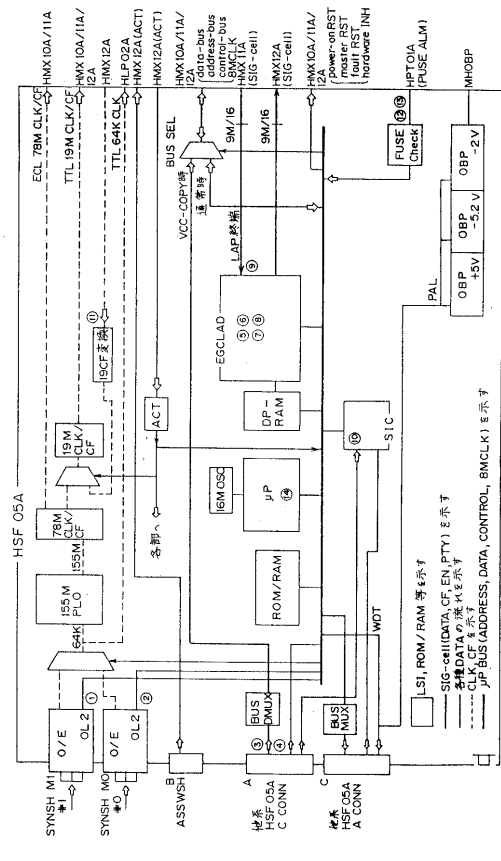
【図 3 7 4】

監視 point名	point-No	障害監視・詳細	備考
SVCDIPC	⑮	SMPL VCIP 入力DATAの奇数部 parity check (SMPL VCIP入力) data odd parity	VCIP内部で監視
SVCTBPC	⑯	SMPL VCIP VCC-table parity check	VCIP内部で監視
SVCMPC	⑰	SMPL VCIP VCC-入力 check	VCIP内部で監視
SVCALM	⑱	SMPL VCIP 未設定cell到着 ALM	VCIP内部で監視
RVCIDIPC	⑲	RMLP VCIP 入力DATAの奇数部 parity check (RMLP VCIP入力) data odd parity	VCIP内部で監視
RVCIDIPC	⑳	RMLP VCIP 入力DATAの奇数部 parity check (RMLP VCIP入力) data odd parity	VCIP内部で監視
RVCIDIPC	㉑	RMLP VCIP 入力DATAの奇数部 parity check (RMLP VCIP入力) data odd parity	VCIP内部で監視
RVCIDIPC	㉒	RMLP VCIP VCC-table parity check	VCIP内部で監視
RVCMP	㉓	RMLP VCIP VCC-入力 check	VCIP内部で監視
RVCALM	㉔	RMLP VCIP 未設定cell到着 ALM	VCIP内部で監視
SVCDPC	㉕	SMPL-VCIP ⇒ SMPL-MUX 出力 parity check data odd parity	PWCB内部で監視
RVCDC	㉖	RMLP-VCIP ⇒ RMLP-MUX 出力 parity check data odd parity	PWCB内部で監視
LAPCK	㉗	LAP 他系交絡 master 5MHz clock check (signaling-5M clock)	PWCB内部で監視
LAPPC	㉘	LAP 他系交絡 parity check (signaling-data) data+EN odd parity	PWCB内部で監視
SYFP	㉙	系間位相監視 frame check	PWCB内部で監視 最上位CH
19MCK	㉚	HSF05A⇒master 19MHz clock check (19MHz clock)	PWCB内部で監視

【図 3 7 5】

監視 point名	point-No	障害監視・詳細	備考
SHPP	31	SMPL MIX 出力データ master frame check (HMX10A ⇒ HMX12A)	PWCB内部で監視
SISGPP	32	RMLP, SIG MIX 出力データ master frame check (HMX11A ⇒ HMX12A)	PWCB内部で監視
SSHFIPC	33	SMPL MIX 出力データ FIFO parity check	SMPL-MIX出力データ-LCA 内部で監視
SSICLT	34	SMPL MIX 出力データ 転送状態 check	SMPL-MIX出力データ-LCA 内部で監視
SSIBFLL	35	SMPL MIX 出力データ FIFO FULL check	SMPL-MIX出力データ-LCA 内部で監視
RSHFIPC	36	RMLP, SIG MIX 出力データ FIFO parity check	RMLP, SIG 出力データ-LCA 内部で監視
RSICLT	37	RMLP, SIG MIX 出力データ 転送状態 check	RMLP, SIG 出力データ-LCA 内部で監視
RSIBFLL	38	RMLP, SIG MIX 出力データ FIFO FULL check	RMLP, SIG 出力データ-LCA 内部で監視
IMSYP	39	各系間位相同期用master frame check	PWCB内部で監視

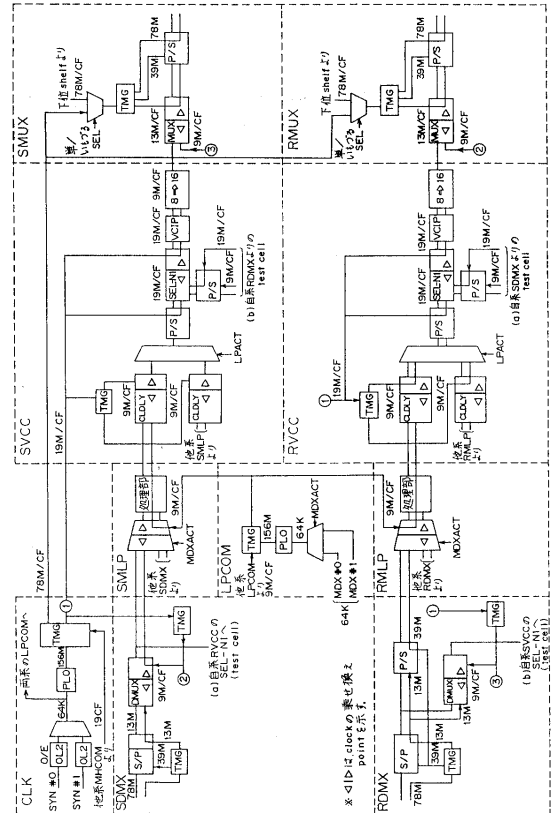
【図 3 7 6】



【図 377】

監視 point名	point-No	障害監視・詳細	備考
OPT0CK	①	0系 光8MHz clock check (0# OL2)	PWCB内部で監視
OPT1CK	②	1系 光8MHz clock check (1# OL2)	PWCB内部で監視
CR8MCK	③	他系 μ p 8MHz clock check	PWCB内部で監視
OBPALM	④	他系 OB障害 check	PWCB内部で監視
EGINPC	⑤	EGCLAD signaling-data 入力 party check (0#X11A $\Rightarrow$ HSP05A) data+EN odd party	EGCLAD内部で監視
EG1NMP	⑥	EGCLAD 内部 μ p-party check	EGCLAD内部で監視
EGEXMPC	⑦	EGCLAD 外部 μ p-party check	EGCLAD内部で監視
EGBFLL	⑧	EGCLAD Buffer-PULL check	EGCLAD内部で監視
EGEXPC	⑨	signaling-data PWCB 入力 party check (0#X11A $\Rightarrow$ HSP05A) data+EN odd party	PWCB内部で監視
S1PTC	⑩	系間通信 SIC party,time-out check	SIC 内部で監視
SYFP	⑪	系間位相同期 frame check (HLP02A $\Rightarrow$ HSP05A)	PWCB内部で監視
PALMO	⑫	FUSE断 check (HPT01A $\Rightarrow$ HSP05A)	PWCB内部で監視
PALMI	⑬		
WDTOF	⑭	他系 watchdog timer check	μ p内部で監視

【図 378】



【図 381】

ブロック	機 能
Ingress	TR774 に規定されている Ingress側の L2/3 Sum of Error, L2/3個別 Error, L3 Bursty Error, Network Data Collection関連の countを行う
パケット生成	SMCLK, cell-frame(CF), Enable(EN)信号により各種パケットを生成する
SNI, ST, SA/DA, MID識別	cell-Data から 発SNI, 77777777, SA/DA, MIDを識別する
Err. 解析	Error-flag(EF)信号により Error種別を解析する
Ingress LOG-Reg.	LOG対象Error発生時 Error種別, 発SNI, SA, DAを 77-49x7へ通知する 為の領域
SA/DA 蓄積RAM	LOG収集の為 SA, DAを蓄積するRAM
Threshold RAM	77-49x7 が, 初期設定時にL2/3 Sum of Error のThreshold, L3 Bursty Error のNI, Nbを設定する
L2/3 Sum of Err. count値 D.P. RAM	L2/3 Sum of Error の count値を格納するDual Port RAM
Err. flag-Reg.	Sum of Error count値が Thresholdを超過した場合 77-49x7へ通知 する為の領域
L3 Bursty Err. count値 D.P. RAM	L3 Bursty Error の PDU count値, Errored-PDU count値 Interval count値, Bad-Interval count値を格納するDual Port RAM
E-PDU flag RAM	L3 Bursty Error の Errored-PDU数をcount-upする為に使用するRAM
L2/3 個別Err. D.P. RAM	L2/3 個別Error の count値を格納するDual Port RAM
NDC count値 D.P. RAM	Network Data Collection関連の count値を格納するDual Port RAM
Egress	TR774 に規定されている Egress側の L2/3 個別Error, Network Data Collection関連の countを行う
パケット生成	SMCLK, cell-frame(CF), Enable(EN)信号により各種パケットを生成する
SNI, MB, ST, SA/DA, MID 識別	cell-Data から 着SNI, 発MB, 77777777, SA/DA, MIDを識別する
Err. 解析	Error-flag(EF)信号により Error種別を解析する
Egress LOG-Reg.	LOG対象Error発生時 Error種別, 着SNI, SA, DAを 77-49x7へ通知する 為の領域
Err. 種別蓄積 RAM	LOG収集の為 Error種別を蓄積する
L2/3 個別Err. D.P. RAM	L2/3 個別Error の count値を格納するDual Port RAM
NDC count値 D.P. RAM	Network Data Collection関連の count値を格納するDual Port RAM

【図 382】

チェック名	チェック対象
CLK a	HLPO2Aからの19Mclock, frame pluse の断チェック
CLK b	内部生成した9Mclock と SMLP からの cell frame の断チェック
CLK c	内部生成した9Mclock と SMLP からの error flag2の断チェック
CLK d	内部生成した9Mclock と RMLP からの cell frame の断チェック
CLK e	内部生成した9Mclock と RMLP からの error flag2の断チェック
WD T I	watchdog timerの time out, MPU出力 8Mclock断
P C a	SMLPからの Data, enable のパリティチェック
P C b	RMLPからの Data, enable のパリティチェック
P C c	SA/DA蓄積RAM のパリティチェック
P C d	Err.種別蓄積RAM のパリティチェック
P C e	Threshold RAM のパリティチェック
P C f	L2/3 Sum of Err. count値 D.P. RAMのパリティチェック
P C g	Ingress L2/3 個別Err. count値 D.P. RAMのパリティチェック
P C h	L3 Bursty Err. count値 D.P. RAMのパリティチェック
P C i	Egress L2/3 個別Err. count値 D.P. RAMのパリティチェック
P C j	Ingress NDC count値 D.P. RAMのパリティチェック
P C k	Egress NDC count値 D.P. RAMのパリティチェック
P C l	E-PDU flag RAMのパリティチェック

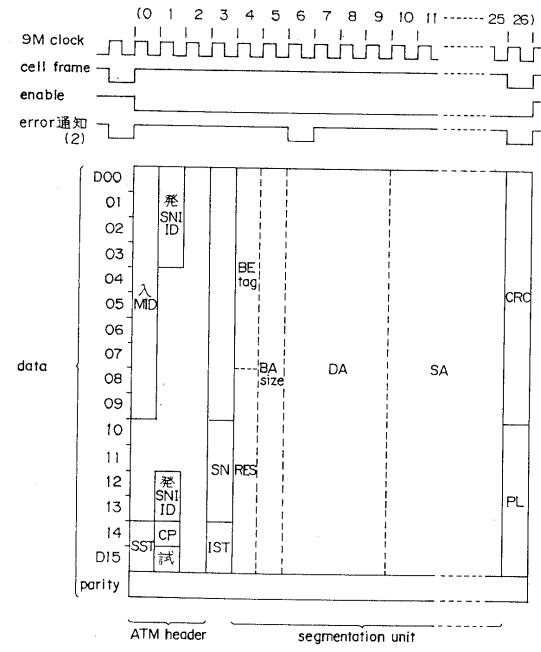
【図 383】

チェック名	チェック条件
P C c	SMLPより LOG要求Error の Error通知があること
P C d	RMLPよりの到着cellが SIP-BDM又は SIP-SSMであること
P C e	SMLPより L2/3 Sum of Errorに関するError の Error通知があること
P C f	SMLPより L2/3 Sum of Errorに関するError の Error通知があること
P C g	SMLPより L2/3 個別count Error の Error通知があること
P C h	・ SMLPよりの到着cellが Inter-BDM(encapsulation L4)場合 SIP-BDM 又は SIP-SSMであること ・ SMLPより L3 Bursty Errorで Errored-PDUを countすべきError の Error 通知があること ・ L3 Bursty Error処理で N比較の結果 NI=PDU count であること ・ L3 Bursty Error処理で Nb比較の結果 NbはErrored-PDU count である こと 上記 1つの条件のいずれかでチェックを行う
P C i	RMLPより L2/3 個別count Error の Error通知があること
P C j	・ SMLPよりの到着cellが Inter-BDM(外部)であること ・ SMLPよりの到着cellが Inter-BDM(encapsulation L4)場合 SIP-BDM 又は SIP-SSMであること ・ SMLPより NDC個別count Error の Error通知があること 上記 3つの条件のいずれかでチェックを行う
P C k	・ RMLPよりの到着cellが Inter-BDM(外部)であること ・ RMLPよりの到着cellが SIP-BDM又は SIP-SSMであること ・ RMLPより NDC個別count Error の Error通知があること 上記 3つの条件のいずれかでチェックを行う
P C l	SMLPよりの到着cellが EDMであること

【図 384】

群	項	Source	レベル	Check	Action	No
A	1	Maintenance	L3	MRI time out	Count Log	1
B	1	TR-772	L2	Busy Bit = 0	Stop	—
C	1	Maintenance	L2	HCS Violation	Stop Count	—
D	1	TR-772	L2	NCI ≠ 規定pattern	Stop	—
E	1	Maintenance	L2	Payload CRC Violation	Stop Count	2
F	1	Maintenance	L2	Payload Length Error	Stop Count	3
	2	Maintenance	L2	BOMs/SSMs with Invalid MIDs	Stop Count	4
G	1	Maintenance	L2	MID Currently Active	Stop Count	5
	2	Maintenance	L2	Unapproved MID	Stop Count	5
H	1	Maintenance	L2	Invalid Sequence Number	Stop Count	6
I	1	Maintenance	L3	Invalid SA Type	Stop Count	7
	2	Maintenance	L3	Invalid DA Type	Stop Count	8
J	1	Maintenance	L3	Invalid SMDS Address Type	Stop Count	9
K	1	Maintenance	L3	Individual DA Assign to Org. SNI	Stop Count	10
	2	Maintenance	L3	DA Field Format Error	Stop Count Log	11
	3	Maintenance	L3	SA Field Format Error	Stop Count Log	12
L	1	Maintenance	L3	Invalid Bsize Field Value	Stop Count Log	13
	2	NDC	L3	Access Class Violation	Stop Count Log	14
M	1	Maintenance	L3	Invalid HELL Field Value	Stop Count Log	15
	2	Maintenance	L3	Invalid HE- Carrier Selection	Stop Count Log	16
	3	Maintenance	L3	Invalid HE- Version	Stop Count Log	17
	4	NDC	L3	Exceed Max. Number of CDU	Stop Count Log	18
	5	NDC	L3	SA not Assigned to Org. SNI	Stop Count Log	19
	6	NDC	L3	DA Screening Violation	Stop Count Log	20
N	1	Maintenance	L3	BEtag Mismatch	Stop Count Log	21
	2	Maintenance	L3	Incorrect Length	Stop Count Log	22
	3	Maintenance	L3	Bsize Field≠Length Field	Stop Count Log	23
O	1	独自仕様	--	MID Assigned Error	Stop Count	24
	2	独自仕様	L3	End User Blocking	Stop Count	25

【図 3 8 5】



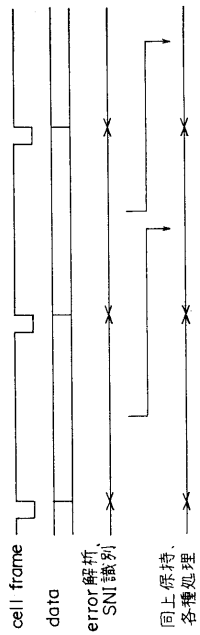
【図 3 8 6】

信号名	極性	説明
9M clock	—	基本clock 以下の全信号は本clock の立ち上がりで変化する
cell frame enable	⇒	cellの境目を示す信号 cell の最終 1 r のみ L
error 通知 (2)	⇒	cellの有効・無効を示す信号 有効の時はその cell 全領域 L
data	正	error 種別を表す信号 詳細は後述するが error を L で表す 16 parallel data + parity parity は 16 bit parallel data + enable の全 17 bit に対する odd. parity

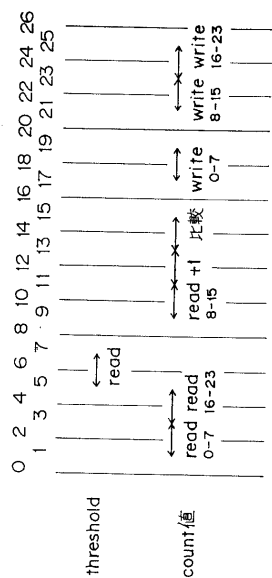
【図 3 8 7】

	SST	IST
Inter-BOM	1 0	1 0
SIP-BOM	1 0	(0 0)
COM	0 0	0 0
EOM	0 1	0 1
SIP-SSM	1 1	(0 1)

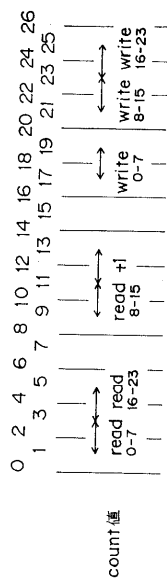
【図 3 8 8】



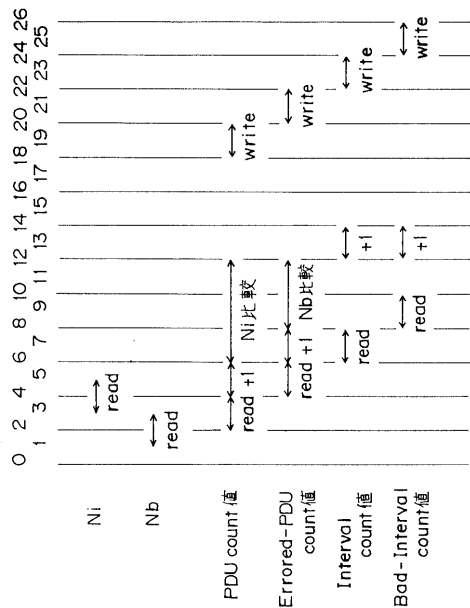
【図 3 8 9】



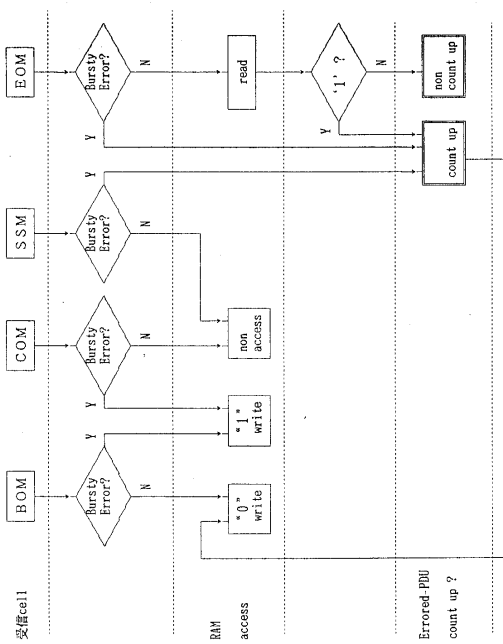
【図 3 9 0】



【図 3 9 1】



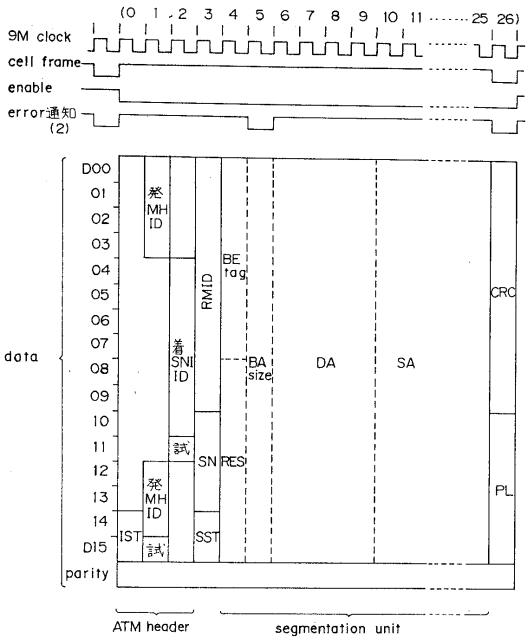
【図 3 9 2】



【図 3 9 3】

群	項	Source	レベル	Check	Action	No
A	1	独自仕様	L3	MRI time out	Count	1
	2	独自仕様	--	Dest. equal to Org. SNI		2
B	1	独自仕様	L2	Payload CRC Violation	Stop Count	3
C	1	独自仕様	L2	MID Currently Active	Stop Count	4
D	1	独自仕様	L2	Invalid Sequence Number	Stop Count	5
E	1	NDC	L3	SA Screening Violation	Stop Count Log	6
	2	NDC	L3	Dest. SNI Not Available	Stop Count Log	7
F	1	NDC	L3	Exceed Max. Number of CDU	Stop Count Log	8
G	1	独自仕様	L3	BEtag Mismatch	Stop Count	9
H	1	独自仕様	--	MID Assigned Error	Count	10
I	1	独自仕様	--	Encapsulation Error	Count	11

【図 3 9 4】



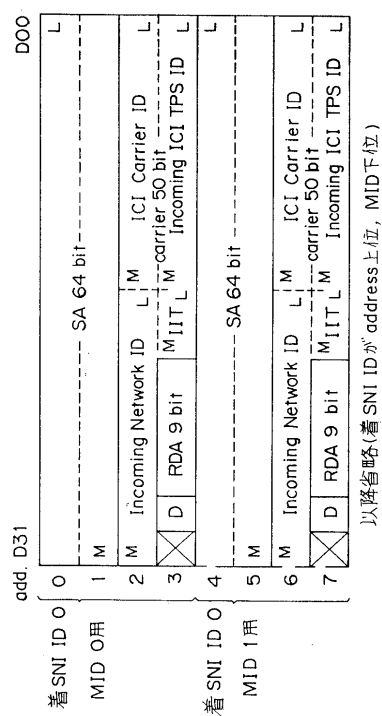
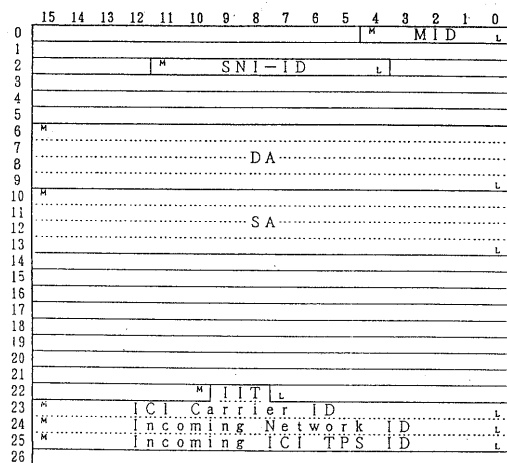
【図 3 9 5】

信号名	極性	説明
9M clock	—	基本clock 以下の全信号は本clock の立ち上がりで変化する
cell frame enable	⇒	cellの境目を示す信号 cell の最終 1 のみ L
error 通知②	⇒	cellの有効・無効を示す信号 有効の時はその cell 全領域 L error 種別を表す信号 詳細は後述するが errorを L で表す
data	正	16 parallel data + parity. parityは16 bit parallel data, enable の全 17 bit に対する odd. parity

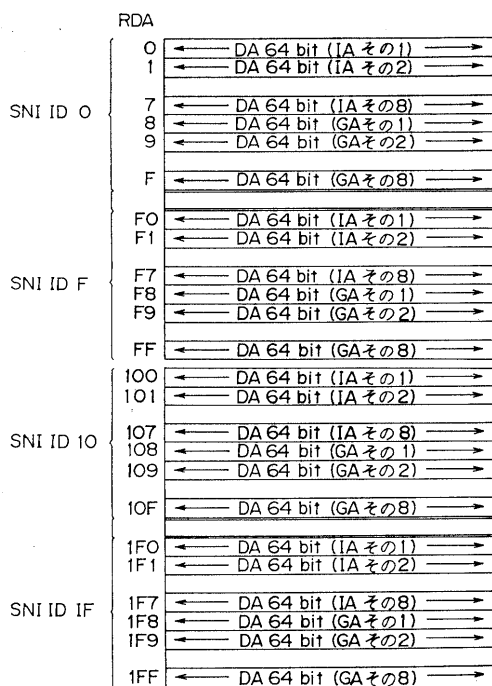
【図 3 9 6】

	IST	SST
Inter-BOM	1 0	1 0
SIP-BOM	0 0	1 0
COM	0 0	0 0
EOM	0 1	0 1
SIP-SSM	0 1	1 1

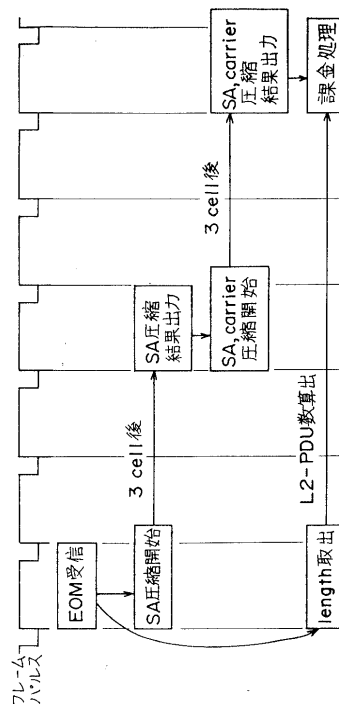
【図 4 0 2】



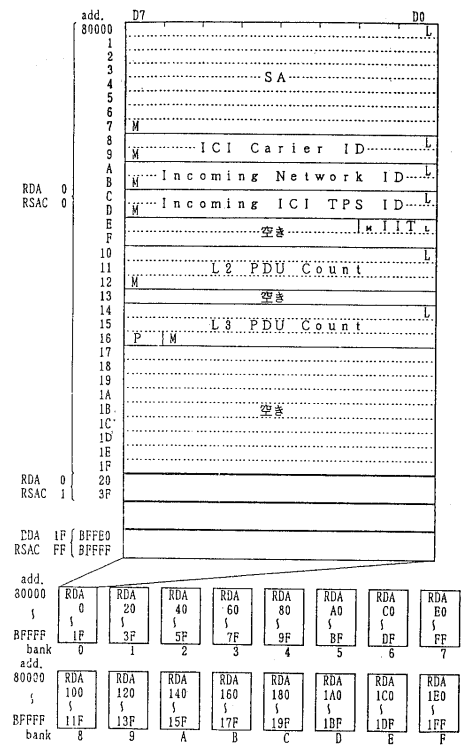
【図 4 0 3】



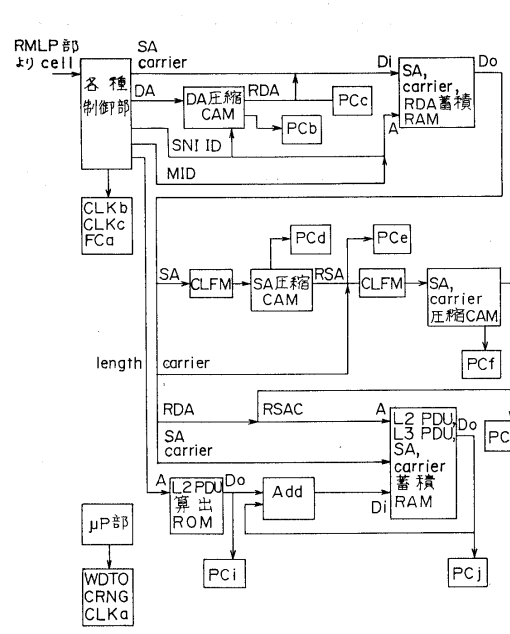
【図 4 0 4】



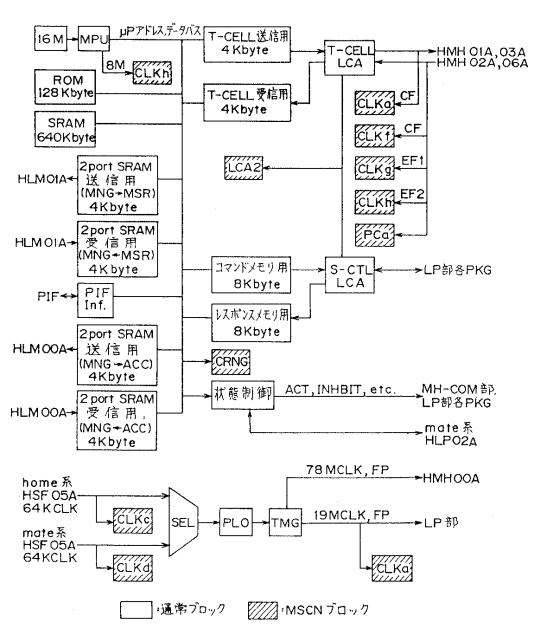
【図 4 0 5】



【図 4 0 6】



【図 4 0 7】



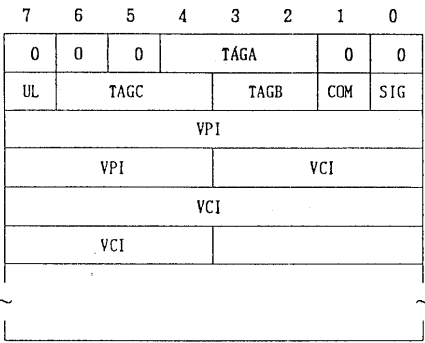
【図 4 0 8】

ブロック名	機 能
16M	マイクロプロセッサ用 16MHzのclockを発生する。
MPU	μ P (80C186)
ROM	MPU用 プログラムを格納する。
T-CELL送信用	試験機送信用メモリ
T-CELL受信用	試験機受信用メモリ
T-CELL LCA	HMHO1A, 03Aに対する試験機の送信, (ODD 割り付けと、タイミング調整) HMHO2A, 06Aからの、試験機の受信、割り付け等を行う
SRAM	MPU用ワーク用メモリ
2port SRAM送信用 MNG→MSR	MSR-firmに対する、データ送信用メモリ
2port SRAM受信用 MNG→MSR	MSR-firmからの、データ受信用メモリ
2port SRAM送信用 MNG→ACC	ACC-firmに対する、データ送信用メモリ
2port SRAM受信用 MNG→ACC	ACC-firmからの、データ受信用メモリ
PIF inf	PIFとのインターフェイスを制御する (SBIF-LSI)
コマンパメモリ用	コマンパ送信用SRAM
レスポンスメモリ用	レスポンス受信用SRAM
S-CTL LCA	LP部に対するコマンパ、レスポンス制御を行う。
状態制御	ACT, INHBIT等を制御する。他系との間で OUS制御を行う。
SEL	自系、他系MH-COMより受信した64KHz clockを選択する。
PLO	64KHz clockに同期させて、155MHz clockを発生する。
TMG	155MHz clockから78MHz, 19MHz clockを生成する。

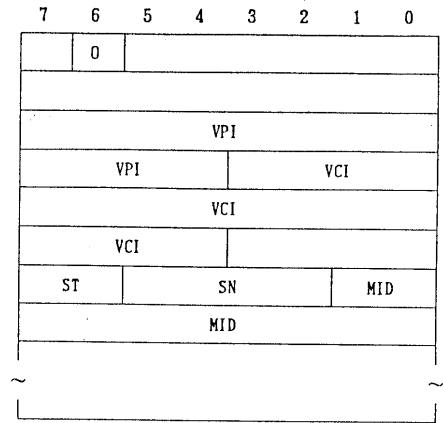
【図 4 0 9】

ブロック名	機 能
CLKb	μ P動作 8Mclock断
CLKe	送信用 Cell Frame断 (SMLP, RMLP共通)
CLKf	受信用 Cell Frame断 (SMLP, RMLP共通)
CLKg	Error Flag-1断 (SMLP, RMLP共通)
CLKh	Error Flag-2断 (SMLP, RMLP共通)
PCa	受信 Cell Data Parity NG (SMLP, RMLP共通)
LCA2	HLP02A LCA コンフィギュレーション NG
CRNG	S-CTL1でのマント、レスポンス異常
CLKc	Home系 64Kclock断
CLKd	Mate系 64Kclock断
CLKa	19Mclock/frame pulse断

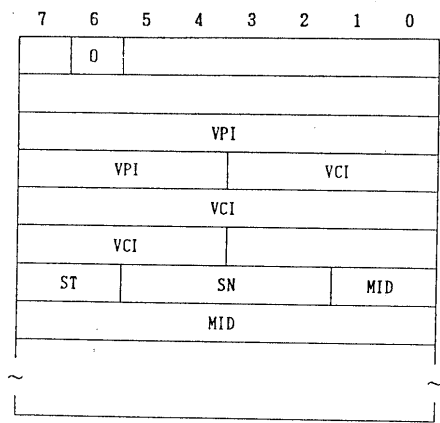
【図 4 1 0】



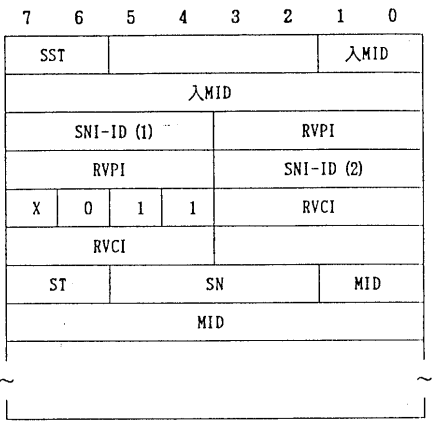
【図 4 1 1】



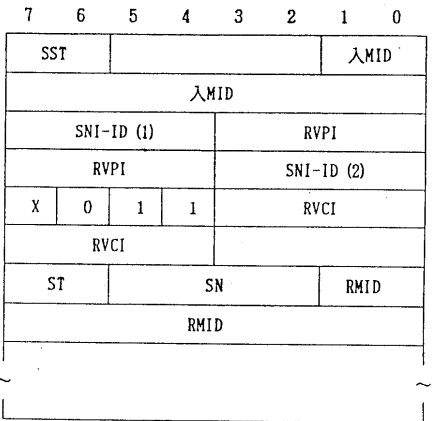
【図 4 1 2】



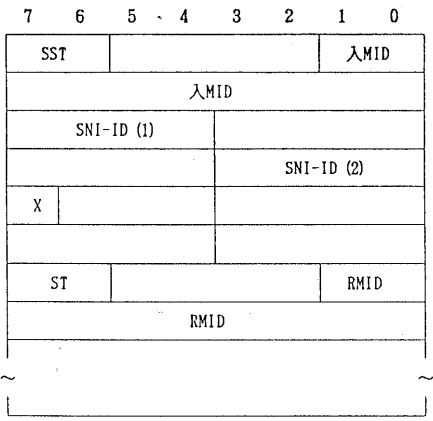
【図 4 1 3】



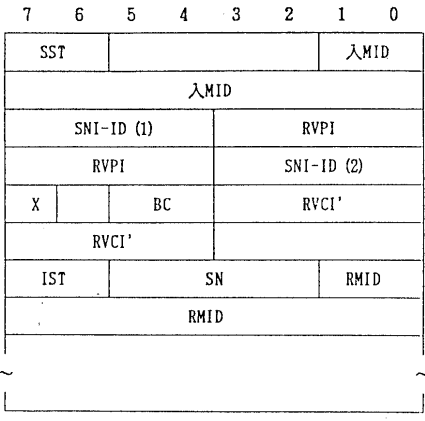
【図 4 1 4】



【図 4 1 5】



【図 4 1 6】



【图 4 1 8】

7	6	5	4	3	2	1	0
SST						入MID	
入MID							
0	0	0	0	RVPI			
RVPI				0	0	0	0
0	0	1	1	RVC1''			
RVC1''							
IST		SN				出MID	
出MID							

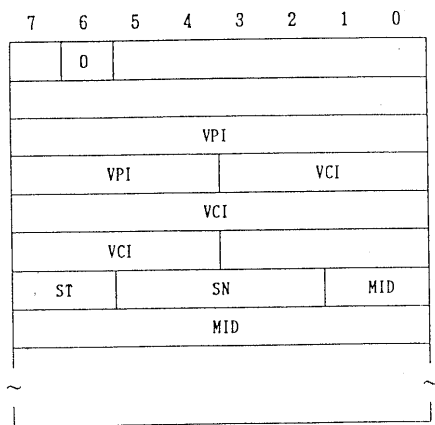
【図 4 2 0】

7	6	5	4	3	2	1	0
0	0	0	TAGA			0	0
UL	TAGC			TAGB		COM	SIG
VPI							
VPI				VCI			
VCI							
VCI							

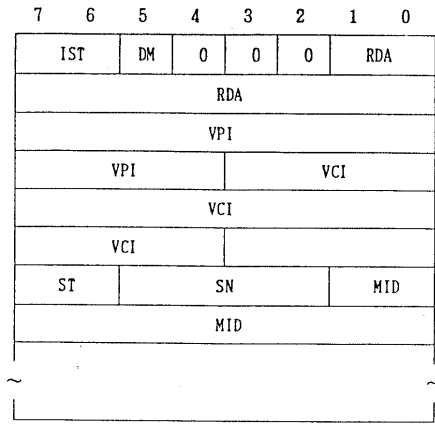
【図 4 2 1】

7	6	5	4	3	2	1	0
0	0	0	TAGA			0	0
UL	TAGC			TAGB		COM	SIG
VPI							
VPI				VCI			
VCI							
VCI							

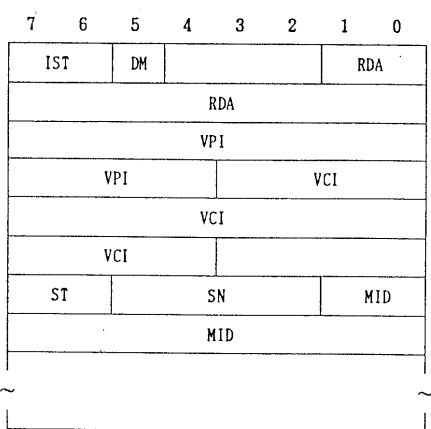
【図 4 2 2】



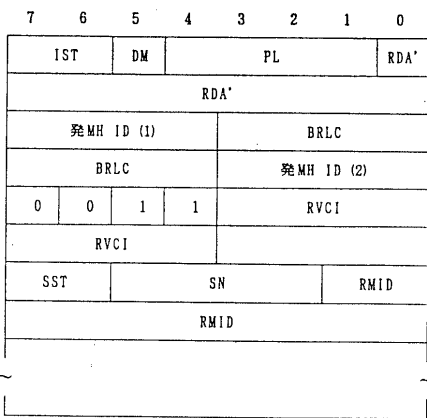
【図 4 2 3】



【図 4 2 4】



【図 4 2 5】



【図 4 2 6】

7	6	5	4	3	2	1	0
0							
0							
0				RVC1			
RVC1							
0						RMID	
RMID							

【図 4 2 7】

7	6	5	4	3	2	1	0
IST		DM		PL			RDA'
RDA'							
発MH 1D (1)				BRLC			
BRLC				発MH 1D (2)			
0	0	1	1	RVC1			
RVC1							
SST		SN			RMID		
RMID							

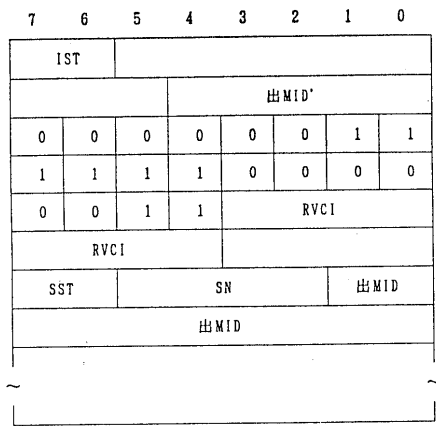
【 図 4 2 8 】

7	6	5	4	3	2	1	0
IST		DM		PL			
				出MID'			
発MH ID (1)				BRLC			
BRLC				発MH ID (2)			
0	0	1	1	RVC1			
RVC1							
SST		SN			出MID		
出MID							

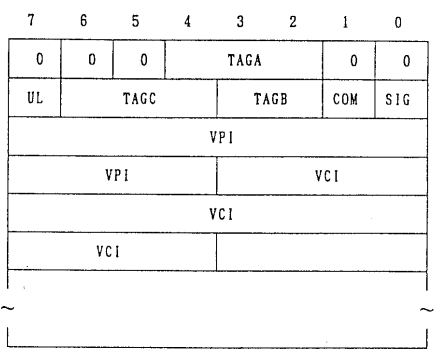
【图 4 2 9】

7	6	5	4	3	2	1	
IST		DM		PL		RDA'	
RDA'							
発MH ID (1)				BRLC			
BRLC				発MH ID (2)			
0	0	1	1	RVC1			
RVC1							
SST		SN			RMID		
RMID							

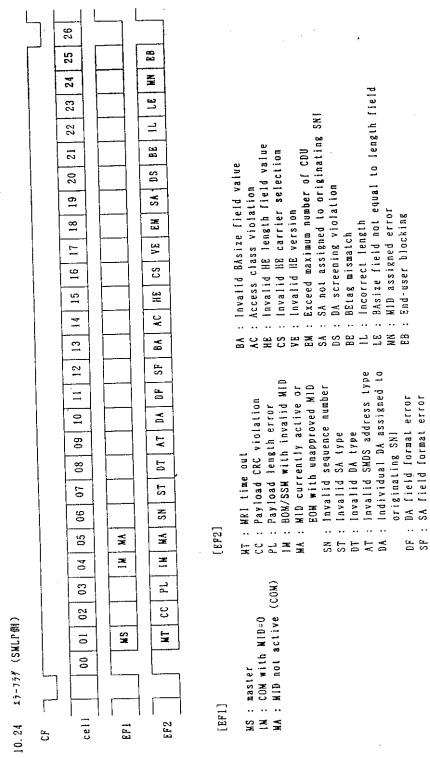
【図 4 3 0】



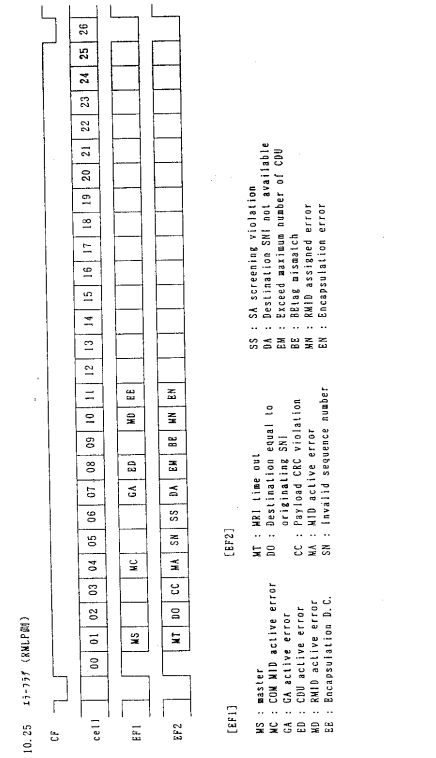
【図 4 3 1】



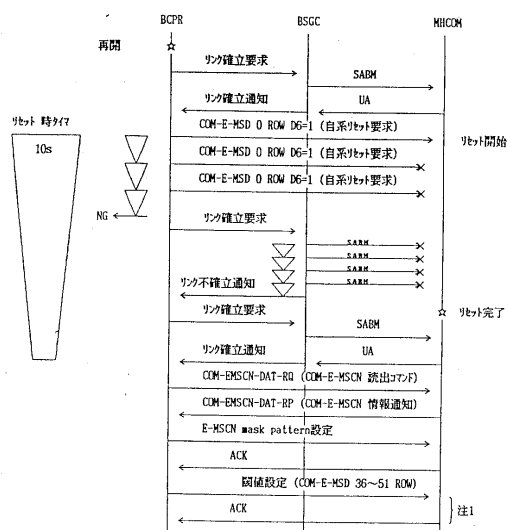
【図 4 3 2】



【図 4 3 3】

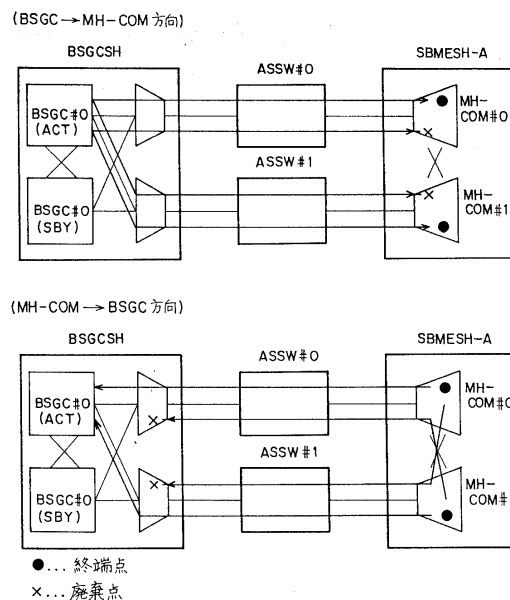


【図 4 3 4】



注1 閾値設定は、ハーフデカット値を使用するときは設定する必要無い。1コマンドで1MUX or 1DMUX の閾値のみ設定出来る。

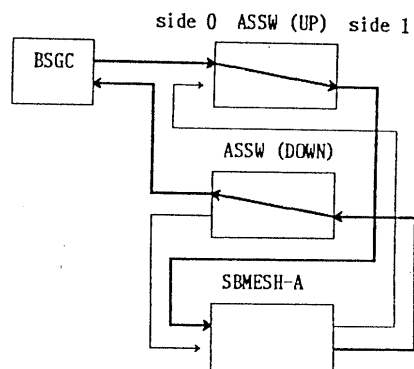
【図 4 3 5】



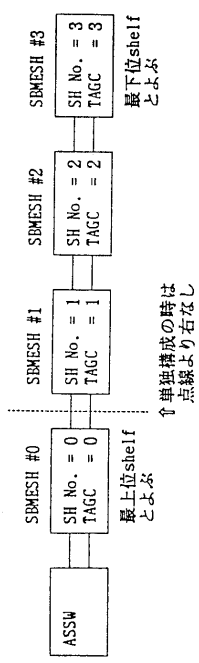
【图 4 3 6】

受信VPI/VCI 値		用 途	送信VPI/VCI 値		用 途
VPI (H)	VCI (H)		VPI (H)	VCI (H)	
000	03FC	#0系局内通信用	00AA	0000	AA : BSGC card No. VCI : BSGC port No. 03FA, 03FB : 試験用 (TGC)
000	03FD				

【图 4 3 7】



【図 4 3 8】



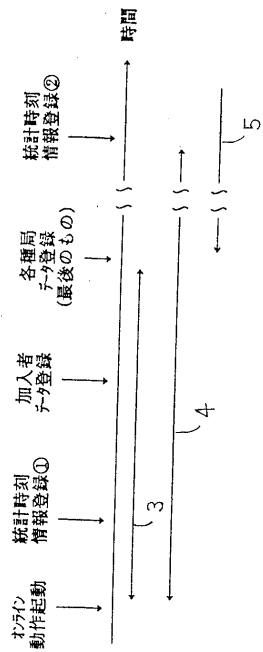
【図 4 4 0】

shelf No.	UL	TAGC	COM	SIG	0
0	0	0	0	0	0
1	0	0	0	0	0
2	0	0	0	0	0
3	0	0	0	0	0

【図 4 3 9】

shelf No.	UL	TAGC	COM	SIG	0
0	0	0	0	0	0
1	0	1	0	0	0
2	0	2	0	0	0
3	0	3	0	0	0

【図 4 4 2】



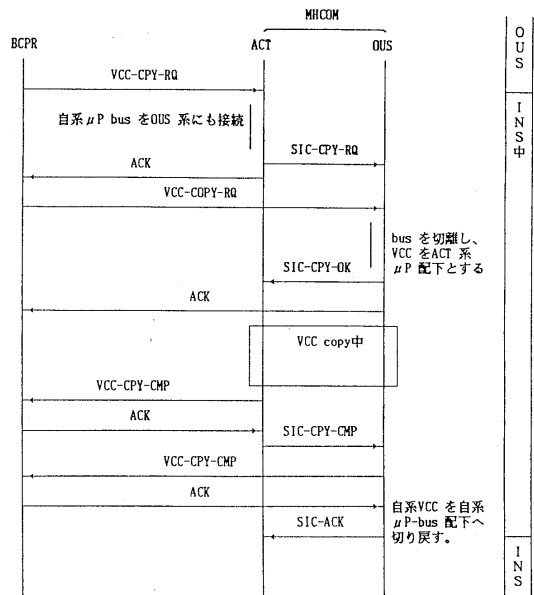
【初期設定時】

.....A.....
.....B.....
.....C.....
.....D.....

【C削除時】

.....A.....
.....B.....
.....all 0.....
.....D.....

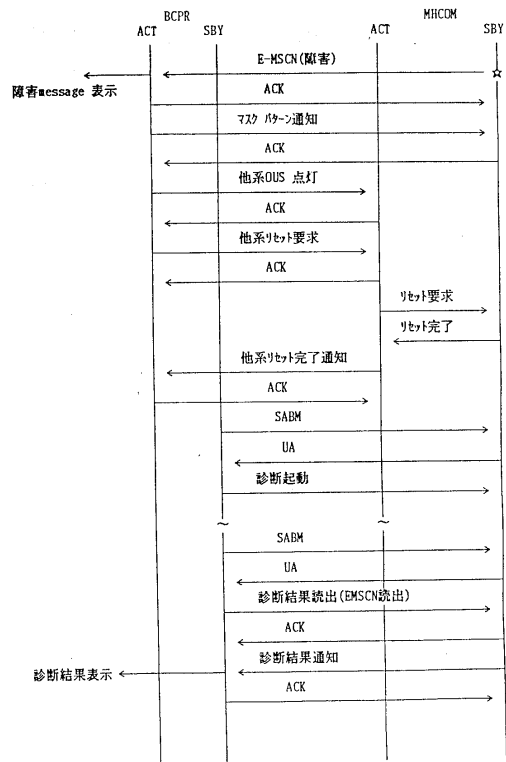
【図 4 4 3】



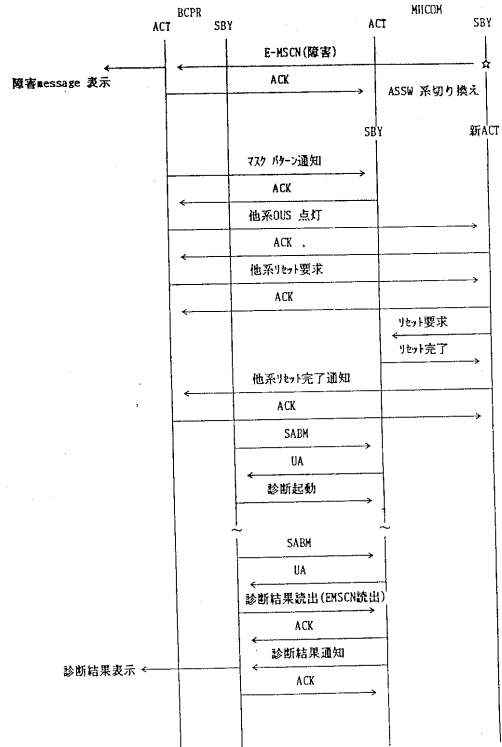
【図 4 4 4】

項	故障事例	通知方法	通知系	検知経路	ACTION				備考
					ASSW系切替	故障状態	故障リポート	故障実行	
1	1) 故障 障害 (Signal line 故障、RADIO 故障)	自系 E-MSCN	ACT	ACT MICOM	○	○	○	○	・初期は遠隔は他系より行う
2	2) 故障 障害 (Signal line 故障、RADIO 故障)	他系 E-MSCN	SBY	SBY MICOM	○	○	○	○	
3	3) 故障 障害	他系 E-MSCN	ACT	ACT MICOM	○	○	○	○	
4	4) 故障 障害 (FUSE 断)	他系 E-MSCN	SBY	SBY MICOM	○	○	○	○	POWER FICD を電源を供給しているMICOM を故障同系のASSWを調整

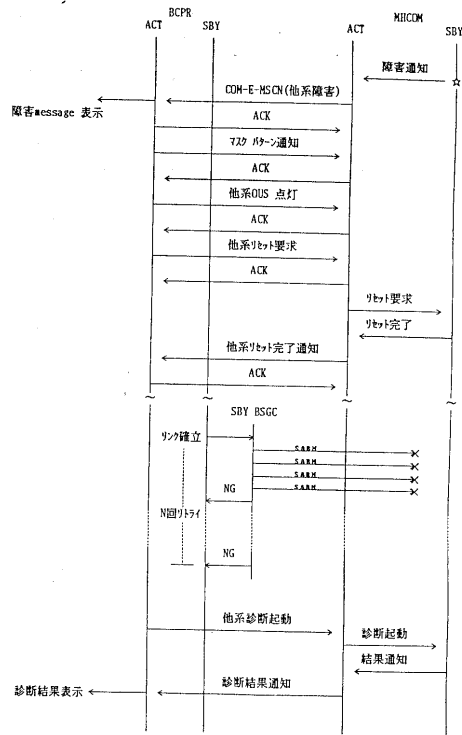
【図 4 4 5】



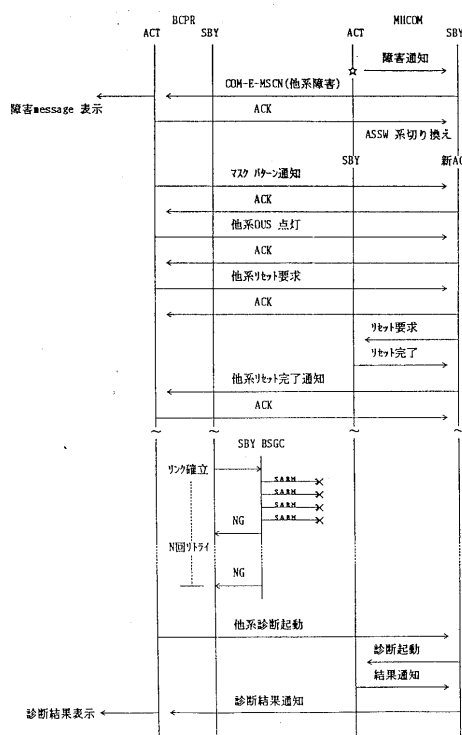
【図 4 4 6】



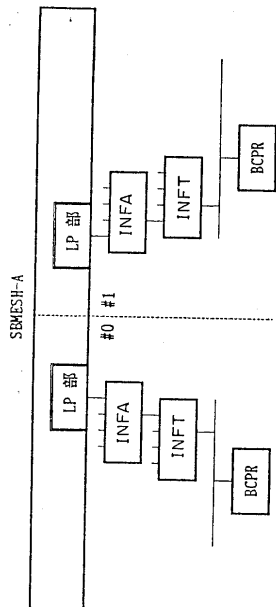
【図 4 4 7】



【図 4 4 8】



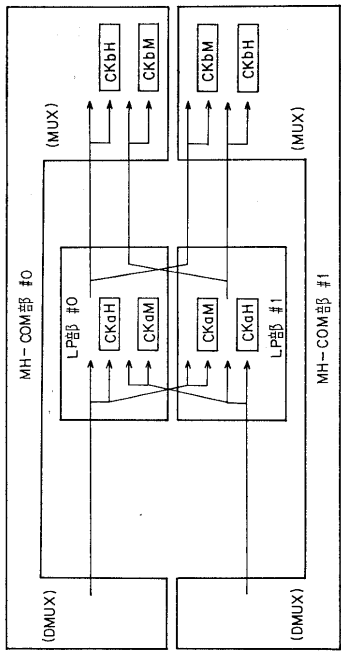
【図 4 4 9】



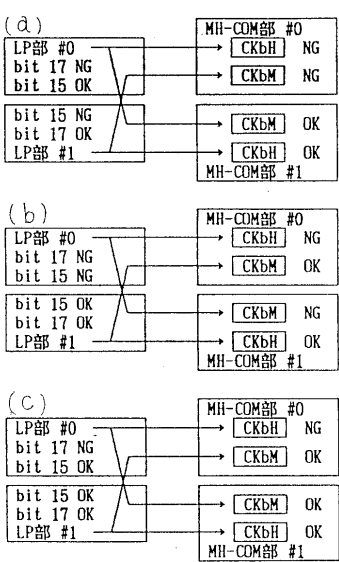
【図 4 5 0】

bit	内容	極性
31	リセット完了表示	リセット完了時 '1'
30	don't care	
29	LP部障害	障害時 '1'
28	DMA 720エラー-1	720-時 '1'
27	DMA 720エラー-2	720-時 '1'
26	DMA バッファエラー	720-時 '1'
25	DMA タイムアウト	タイムアウト時 '1'
24	don't care	
23	MPAL : male LP部 OBP障害	障害時 '1'
22	MPAL : male fuse alarm	alarm時 '1'
21	home SDMX => SMLP 交絡障害 parity NG	NG時 '1'
20	home SDMX => SMLP 交絡障害 CF NG or clock NG	NG時 '1'
19	male SDMX => SMLP 交絡障害 parity NG	NG時 '1'
18	male SDMX => SMLP 交絡障害 CF NG or clock NG	NG時 '1'
17	SMLP => home SMUX交絡障害 parity NG	NG時 '1'
16	SMLP => home SMUX交絡障害 CF NG or clock NG	NG時 '1'
15	SMLP => male SMUX交絡障害 parity NG	NG時 '1'
14	SMLP => male SMUX交絡障害 CF NG or clock NG	NG時 '1'
13	home RDMX => RMLP 交絡障害 parity NG	NG時 '1'
12	home RDMX => RMLP 交絡障害 CF NG or clock NG	NG時 '1'
11	male RDMX => RMLP 交絡障害 parity NG	NG時 '1'
10	male RDMX => RMLP 交絡障害 CF NG or clock NG	NG時 '1'
09	RMLP => home RMUX交絡障害 parity NG	NG時 '1'
08	RMLP => home RMUX交絡障害 CF NG or clock NG	NG時 '1'
07	RMLP => male RMUX交絡障害 parity NG	NG時 '1'
06	RMLP => male RMUX交絡障害 CF NG or clock NG	NG時 '1'
05	don't care	
04	don't care	
03	don't care	
02	don't care	
01	home MH-COM => LP 交絡障害 source clock NG	NG時 '1'
00	male MH-COM => LP 交絡障害 source clock NG	NG時 '1'

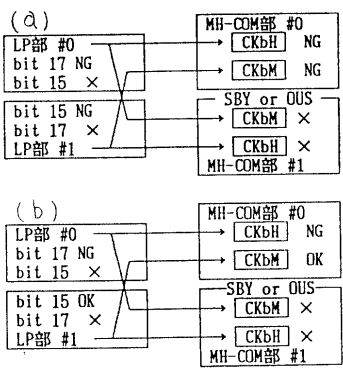
【図 4 5 1】



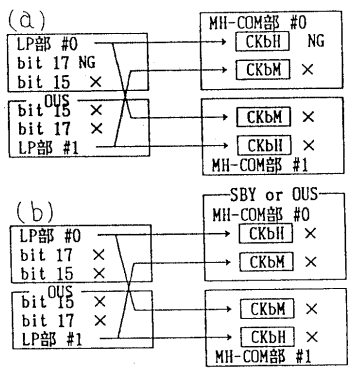
【図 4 5 2】



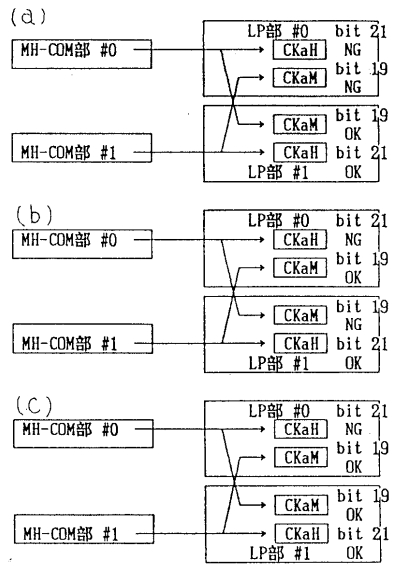
【図 4 5 3】



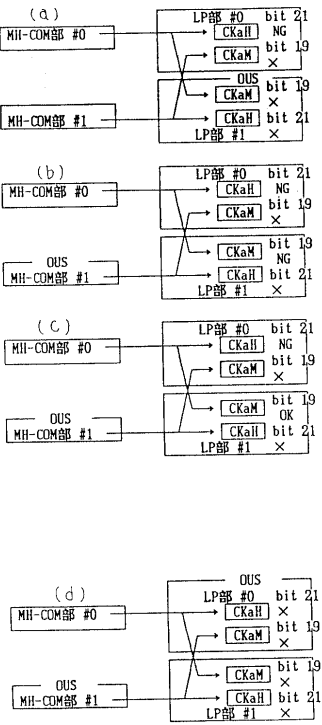
【図 4 5 4】



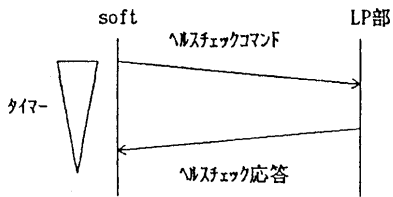
【図 4 5 5】



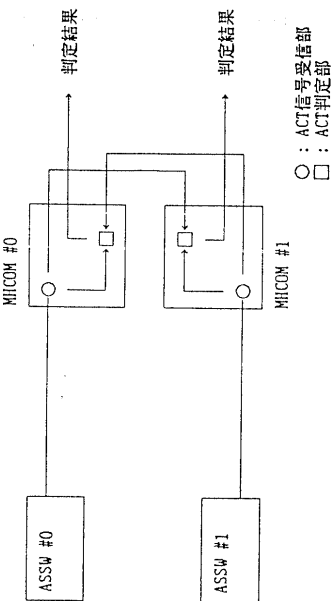
【図 4 5 6】



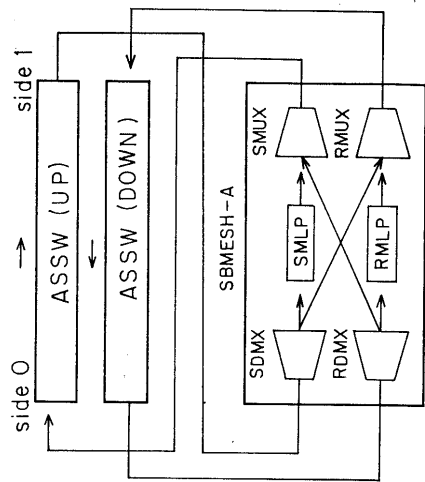
【図 4 5 7】



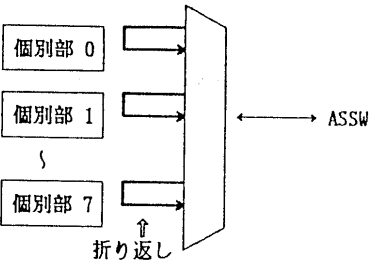
【図 4 5 8】



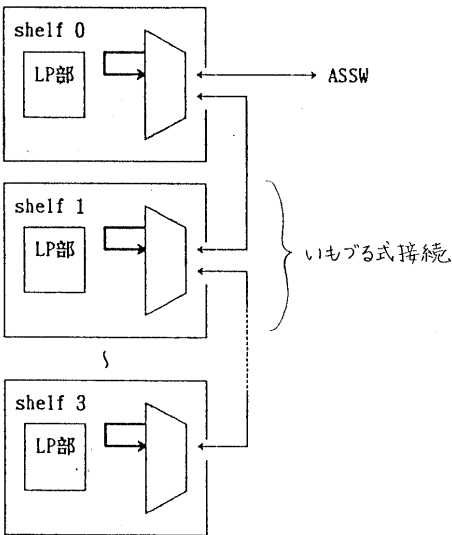
【図 4 5 9】



【図 4 6 0】



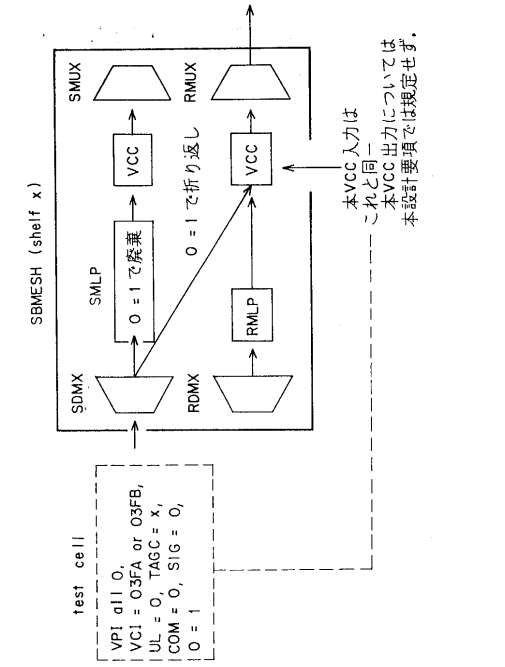
【図 4 6 1】



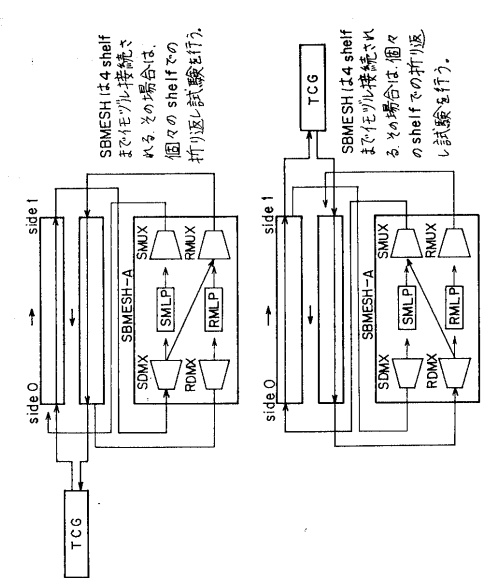
【図 4 6 2】

shelf No.	UL	TAGC	COM	SIG	0
0	0	0	0	0	1
1	0	1	0	0	1
2	0	2	0	0	1
3	0	3	0	0	1

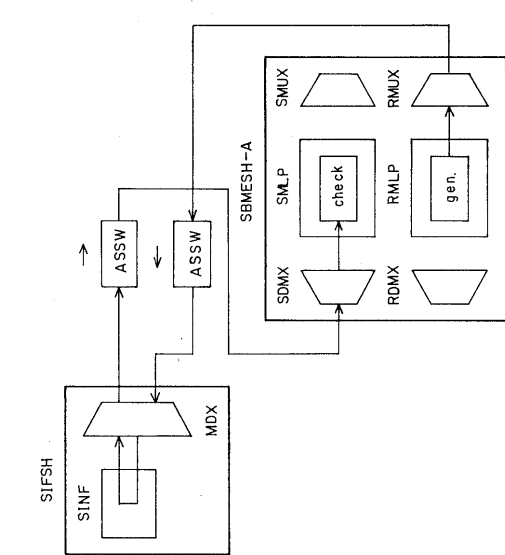
【図 4 6 3】



【図 4 6 4】



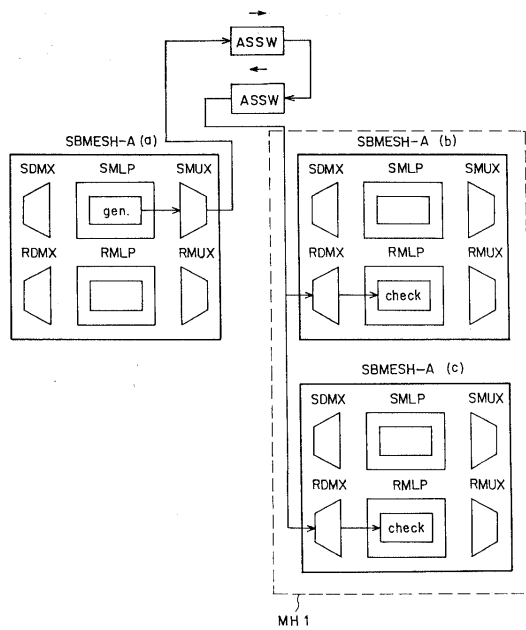
【図 4 6 5】



【図 4 6 6】

試験対象	閉塞の有無	折返し手段
SMDS DS1 DT SMDS DS3 DT	閉塞する	line loop機能を使用 (全cell折返しとなる)
ATM DS1 DT ATM DS3 DT SINF 7ペリカDS3 DT	閉塞しない	特定VPI/VCI 折返し機能を使用 (試験用cell折返しとなる)

【图 4 6 7】



【图 4 6 8】

タイプ指定	DA指定	種別アドレス タイプ	
特定試験DA	(case A) 発MESHより指定されたMHを狙い打ちする 着州を形成する全MESHにおいて試験可	(case B) 発MESHより全MHに対して試験用のcellを送出 着MESHでは試験用cellはcopyせず全MESHに対して試験可 発MESHの GA copy機能のFlagも可	
割付け済DA	(case C) 発MESHより指定されたMHを狙い打ちする 着州を形成する全MESHの中の割付け済DAを含む着SNI を取容するMESHのみで試験可 割付け済DAを含む着SNI は閉塞	(case D) 発MESHより全MHに対して試験用のcellを送出 着MESHでも試験用cellはcopyする全MESHの中の割付け済DAを含む着SNI を取容するMESHのみで試験可 発着MESHの GA copy機能のFlagも可	

【図 4 6 9】

D	8	16	24	31	test cell送出部番表示area								test cell受信部番表示area																							
					cell 7	cell 6	cell 5	cell 4	cell 3	cell 2	cell 1	cell 0	cell 15	cell 14	cell 13	cell 12	cell 11	cell 10	cell 9	cell 8	cell 23	cell 22	cell 21	cell 20	cell 19	cell 18	cell 17	cell 16	cell 31	cell 30	cell 29	cell 28	cell 27	cell 26	cell 25	cell 24
					MESH-MH間 PVC試験結果 表示area (特定試験 DA使用時)																MESH-MH間 PVC試験結果 表示area (割付付番 DA使用時)															
					cell 15	cell 14	cell 13	cell 12	cell 11	cell 10	cell 9	cell 8	cell 23	cell 22	cell 21	cell 20	cell 19	cell 18	cell 17	cell 16	cell 31	cell 30	cell 29	cell 28	cell 27	cell 26	cell 25	cell 24								

【図 4 7 0】

[illegible]

```

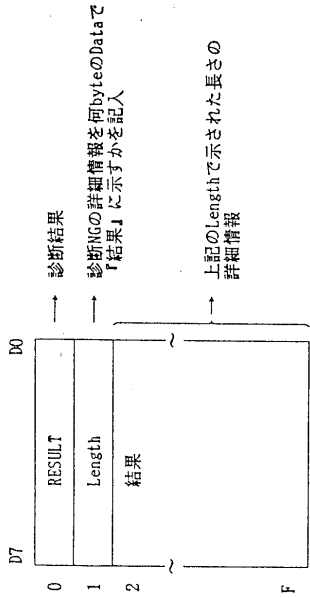
A : HLP02A I/O add. 0296 D0
B : HLP02A I/O add. 0300 D0
空白 : 0

```

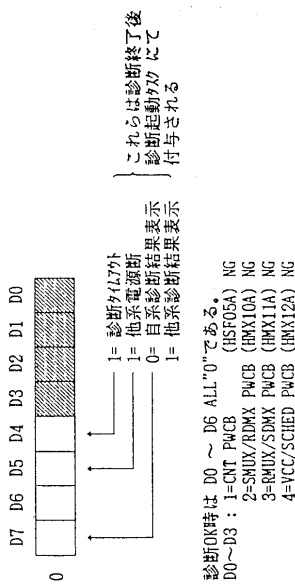

【図 4 7 5】

工事TP	目的	用途	収納場所	起動方法	結果通知
工事TP	工事終了後の hardware 確認	現局 建設時	HSF05Aの ROM に内蔵	電源投入時 (PWCB をSBMESHに挿入時)	7seg LEDにて OK/NG 表示
一試TP	HSF05A 単体動作の確認	一試 単体試験		DIP-SW 01=ON DIP-SW 02=ON ① 電源投入時 ② RESET SW ON	7seg LEDにて OK/NG 表示
三試TP	工場出荷時の 装置試験用	MHCM 出荷試験		DIP-SW 01=ON DIP-SW 02=OFF ① 電源投入時 ② RESET SW ON	7seg LEDにて OK/NG 表示
DP	on-line 診断用	On-Line		障害時の自動診断 Command 診断	7seg LEDにて OK/NG 表示 診断結果を COM-E-HSCN 通知

【図 4 7 6】



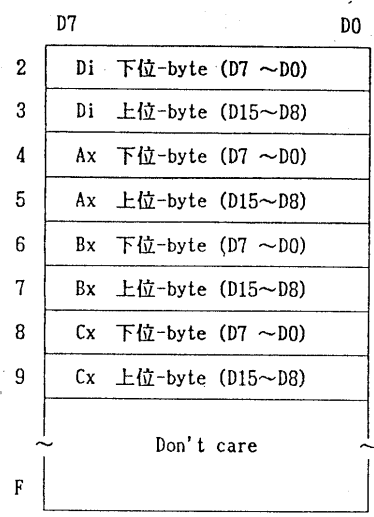
【図 4 7 7】



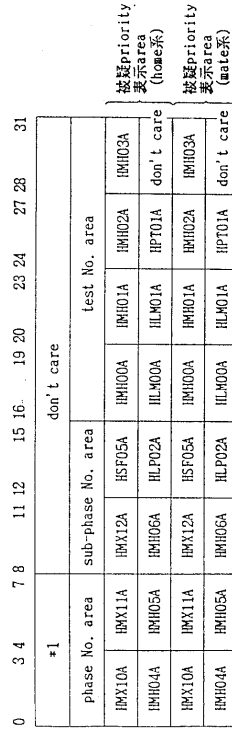
【図 4 7 8】



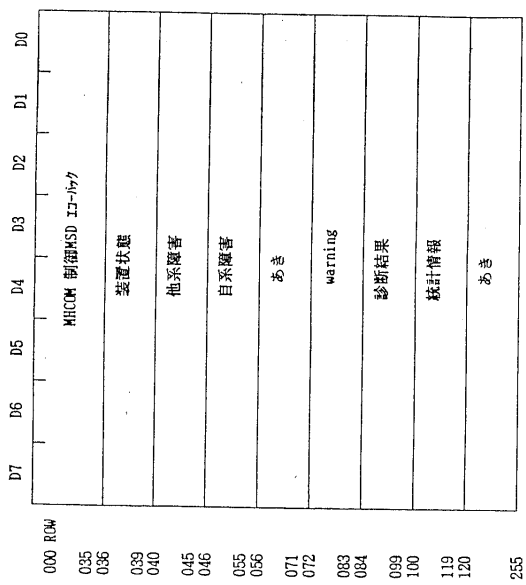
【図 4 7 9】



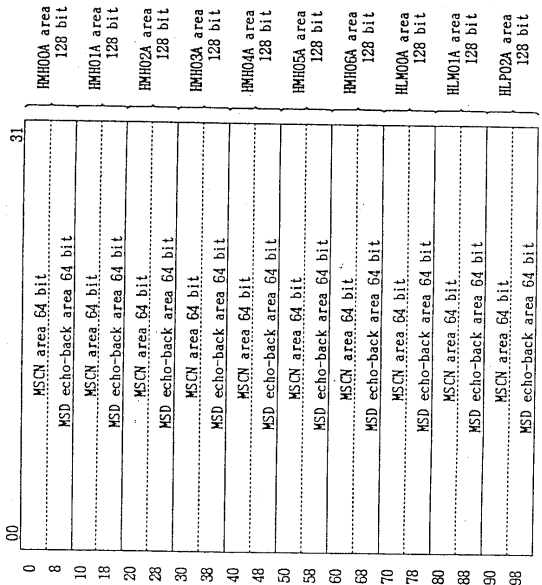
【図 4 8 0】



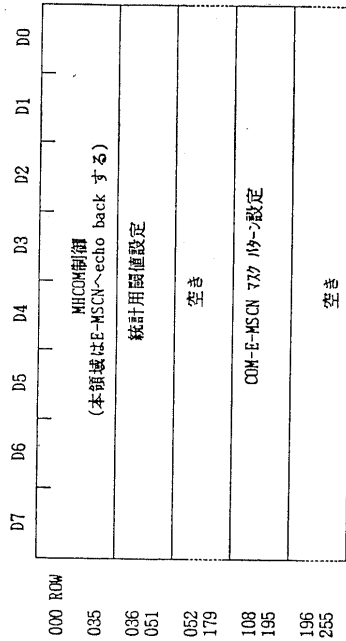
【図 4 8 1】



【図 4 8 2】



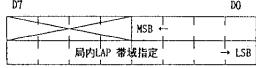
【図 483】



【図 484】

ROW	D7	D6	D5	D4	D3	D2	D1	D0
0	他系リセット	自系リセット						
1					架上OS	他系SHALM	他系SHOS	他系OS
2							OL2B選択	OL2A選択
3							自系診断起動	他系診断起動
4								
5	MSB 局内LAP 帯域指定							
6	(64Kbps x n の n の値を指定。1 ~ 4075まで可変。) LSB							
7								
23								
24				15分通知	DEMUX統計開始		15分通知	MUX統計開始
25							15分通知	MUX統計開始
26				15分通知	DEMUX統計開始			
27								
31								
32				15分通知	DEMUX統計開始		15分通知	MUX統計開始
33								
35								

【図 485】

point 名	収容位置	解 説
他系reset	0 ROW D7	他系MICOM のreset 指示point。自動reset point である。本point のset により、局内通信LAP も切断される。
自系reset	0 ROW D6	自系MICOM のreset 指示point。自動reset point である。本point のset により、局内通信LAP も切断される。
架上OS	1 ROW D3	本point のset により、架上OS lamp が点灯する。
他系SHALM	1 ROW D2	本point のset により、他系shelf ALM lamp (HPT01A上に収容) が点灯する。
他系SHOS	1 ROW D1	本point のset により、他系shelf OS lamp (HPT01A上に収容) が点灯する。
他系SHOS	1 ROW D0	本point のset により、他系MICOM OS lamp (HSF05A上に収容) が点灯する。
OL2B選択	2 ROW D1	本point のreset →set 変化により、光RMCLK #1を強制選択する。
OL2A選択	2 ROW D0	本point のreset →set 変化により、光RMCLK #0を強制選択する。
自系診断起動	3 ROW D1	本point のreset →set 変化により、自系のon-line DPを実行する。但し、自系がACT の場合は、実行せず無視する。
他系診断起動 FIFO full	3 ROW D0	本point のreset →set 変化により、他系へon-line DPを実行するよう要求を出す。但し、他系がACT 系の場合は(他系に) 無視される。
	5 ~ 6 ROW	・局内LAP の帯域を指定する。  64Kbps x n の n を指定する。(n=1~4075) default はn=1 である。
SDMX 15 分通知	24 ROW D4	SDMXの統計処理に対する15分通知。本point のreset →set により統計データを収集する。
SDMX統計開始	24 ROW D3	SDMXの統計処理開始指示。本point のreset →set により統計を開始する。
SMUX 15 分通知	24 ROW D1	SMUXの統計処理に対する15分通知。本point のreset →set により統計データを収集する。
SMUX統計開始	24 ROW D0	SMUXの統計処理開始指示。本point のreset →set により統計を開始する。
RMUX 15 分通知	25 ROW D1	RMUXの統計処理に対する15分通知。本point のreset →set により統計データを収集する。
RMUX統計開始	25 ROW D0	RMUXの統計処理開始指示。本point のreset →set により統計を開始する。

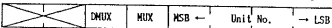
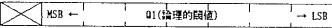
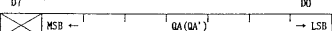
【図 486】

point 名	収容位置	解 説
RTCG-DMX 15 分通知	26 ROW D4	RTCG-DMXの統計処理に対する15分通知。本point のreset →set により統計データを収集する。
RTCG-DMX統計開始	26 ROW D3	RTCG-DMXの統計処理開始指示。本point のreset →set により統計を開始する。
home SIG-DMX 15分通知	32 ROW D4	home SIG-DMXの統計処理に対する15分通知。本point のreset →set により統計データを収集する。
home SIG-DMX 統計開始	32 ROW D3	home SIG-DMXの統計処理開始指示。本point のreset →set により統計を開始する。
home SIG-MUX 15分通知	32 ROW D1	home SIG-MUXの統計処理に対する15分通知。本point のreset →set により統計データを収集する。
home SIG-MUX 統計開始	32 ROW D0	home SIG-MUXの統計処理開始指示。本point のreset →set により統計を開始する。

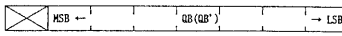
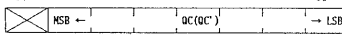
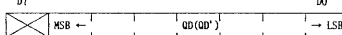
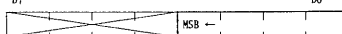
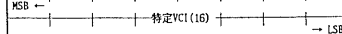
【図 487】

ROW	D7	D6	D5	D4	D3	D2	D1	D0
36								
37								
38			DMUX	MUX			Unit No.	
39				Q1				
40				QA				
41				QA'				
42				QB				
43				QB'				
44				QC				
45				QC'				
46				QD				
47				QD'				
48	0	0	0	0			特定VPI	
49							特定VPI	
50							特定VCI	
51							特定VCI	

【図 488】

point 名	収容位置	解 説																				
DEMUX MUX Unit No.	38 ROW	・どの統計情報収集point に対して統計用閾値を設定するかを指定する parameter 群である。 ROW D7 D0 102  DMUX "1"でdemultiplexer に対する設定であることを示す。 MUX "1"でmultiplexer に対する設定であることを示す。 ※DMUX, MUXが同時に"1"となる場合はあり得ない。両方のfield が同時に"1"となった場合は、MUCOM は設定を無視する。 Unit No. どの回線に対する設定であることを示す(下表による)。 <table border="1"> <thead> <tr> <th>unit No.</th><th>回線種別</th><th>MUX</th><th>DEMUX</th></tr> </thead> <tbody> <tr> <td>0</td><td>SMLP</td><td>○</td><td>○</td></tr> <tr> <td>1</td><td>RMLP</td><td>○</td><td>×</td></tr> <tr> <td>2</td><td>R-TCG</td><td>×</td><td>○</td></tr> <tr> <td>8</td><td>自系局内通信</td><td>○</td><td>○</td></tr> </tbody> </table> 各回線におけるMUX/DEMUX の有無を示す ※上表中×のついたMUX, DEMUX とUnit No.との組み合わせはあり得ない(該当 point にMUX, DEMUX ないため)。 ×に該当する組み合わせが設定された場合、MUCOM は無視する。	unit No.	回線種別	MUX	DEMUX	0	SMLP	○	○	1	RMLP	○	×	2	R-TCG	×	○	8	自系局内通信	○	○
unit No.	回線種別	MUX	DEMUX																			
0	SMLP	○	○																			
1	RMLP	○	×																			
2	R-TCG	×	○																			
8	自系局内通信	○	○																			
Q1 論理的閾値	39 ROW	・38 ROWで指定されたpoint に対して論理的閾値を設定する。Q1を超えるbuffer 使用量となった場合は、cell廃棄を行う。 0 ~ 70(h) の範囲で設定できる。 ROW D7 D0 39  ※default は最大値(112cell) である。																				
QA, QA' (P=0, CON=0の cellに対する 廃棄開始・解 除閾値)	40, 41ROW	・QA ... 38 ROWで指定されたpoint に対するP=0, CON=0の cellの廃棄開始閾値 QA を超えるbuffer使用量となった場合、P=0, CON=0の cellの廃棄を開始する。 ・QA' ... 38 ROWで指定されたpoint に対するP=0, CON=0の cellの廃棄解除閾値 QA'を下回るbuffer使用量となった場合、P=0, CON=0の cellの廃棄を解除する。 ROW D7 D0 40(41)  ※default は最大値(112cell) である。 0 < QA' ≤ QAであること。																				

【図 489】

point 名	収容位置	解 説
QB, QB' (P=0, CON=1の cellに対する 廃棄開始・解除閾値)	42, 43ROW	・QB ... 38 ROWで指定されたpoint に対するP=0, CON=1の cellの廃棄開始閾値 QB を超えるbuffer使用量となった場合、P=0, CON=1の cellの廃棄を開始する。 ・QB' ... 38 ROWで指定されたpoint に対するP=0, CON=1の cellの廃棄解除閾値 QB'を下回るbuffer使用量となった場合、P=0, CON=1の cellの廃棄を解除する。 ROW D7 D0 42(43)  ※default は最大値(112cell) である。 0 < QB' ≤ QB であること。
QC, QC' (P=1, CON=0の cellに対する 廃棄開始・解除閾値)	44, 45ROW	・QC ... 38 ROWで指定されたpoint に対するP=1, CON=0の cellの廃棄開始閾値 QC を超えるbuffer使用量となった場合、P=1, CON=0の cellの廃棄を開始する。 ・QC' ... 38 ROWで指定されたpoint に対するP=1, CON=0の cellの廃棄解除閾値 QC'を下回るbuffer使用量となった場合、P=1, CON=0の cellの廃棄を解除する。 ROW D7 D0 44(45)  ※default は最大値(112cell) である。 0 < QC' ≤ QC であること。
QD, QD' (P=1, CON=1の cellに対する 廃棄開始・解除閾値)	46, 47ROW	・QD ... 38 ROWで指定されたpoint に対するP=1, CON=1の cellの廃棄開始閾値 QD を超えるbuffer使用量となった場合、P=1, CON=1の cellの廃棄を開始する。 ・QD' ... 38 ROWで指定されたpoint に対するP=1, CON=1の cellの廃棄解除閾値 QD'を下回るbuffer使用量となった場合、P=1, CON=1の cellの廃棄を解除する。 ROW D7 D0 46(47)  ※default は最大値(112cell) である。 0 < QD' ≤ QD であること。
特定VPI/VCI	48 51 ROW	・38 ROWで指定されたpoint において通過cell数を監視する特定VPI/VCI を指定する。 ROW D7 D0 48  49 特定VPI(12) → LSB 50  51 特定VCI(16) → LSB

【図 490】

ROW	D7	D6	D5	D4	D3	D2	D1	D0
52								
179				あき				
180	8							1WORD
181	16							9
182	24							17
183	32							25
184	40							33
185	48							41
186	56							49
187	64							57
188	72							65
189	80							73
190	88							81
191	96							89
192	104							97
193	112							105
194	120							113
195	128							121

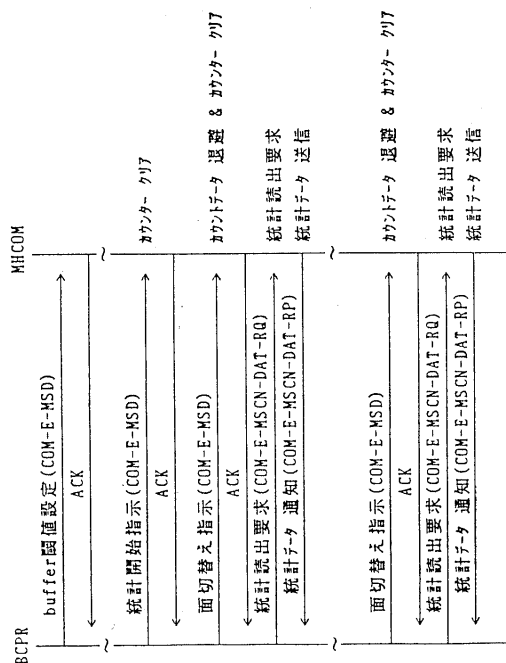
* "1"のSET されたWORDをMASKする。

【図 4 9 1】

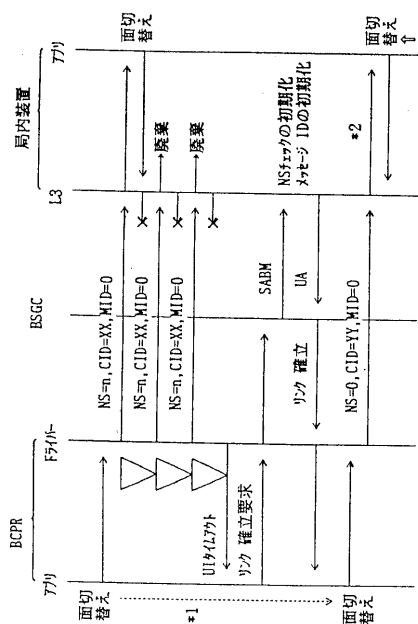
point 名	収容位置	解 説																																																									
mask指定	180 195 ROW	・ COM+M5CN(mask patternを1 word単位で指定する。																																																									
<table border="1"> <thead> <tr> <th>E-M5D ROW No.</th><th>bit 位置</th><th>maskされるE-M5CNのROW No.</th></tr> </thead> <tbody> <tr> <td>180</td><td>D0</td><td>0, 1</td></tr> <tr> <td></td><td>1</td><td>2, 3</td></tr> <tr> <td></td><td>2</td><td>4, 5</td></tr> <tr> <td></td><td>3</td><td>6, 7</td></tr> <tr> <td></td><td>4</td><td>8, 9</td></tr> <tr> <td></td><td>5</td><td>10, 11</td></tr> <tr> <td></td><td>6</td><td>12, 13</td></tr> <tr> <td></td><td>7</td><td>14, 15</td></tr> <tr> <td>181</td><td>D0</td><td>16, 17</td></tr> <tr> <td>194</td><td>D7</td><td>238, 239</td></tr> <tr> <td>195</td><td>D0</td><td>240, 241</td></tr> <tr> <td></td><td>1</td><td>242, 243</td></tr> <tr> <td></td><td>2</td><td>244, 245</td></tr> <tr> <td></td><td>3</td><td>246, 247</td></tr> <tr> <td></td><td>4</td><td>248, 249</td></tr> <tr> <td></td><td>5</td><td>250, 251</td></tr> <tr> <td></td><td>6</td><td>252, 253</td></tr> <tr> <td></td><td>7</td><td>254, 255</td></tr> </tbody> </table>			E-M5D ROW No.	bit 位置	maskされるE-M5CNのROW No.	180	D0	0, 1		1	2, 3		2	4, 5		3	6, 7		4	8, 9		5	10, 11		6	12, 13		7	14, 15	181	D0	16, 17	194	D7	238, 239	195	D0	240, 241		1	242, 243		2	244, 245		3	246, 247		4	248, 249		5	250, 251		6	252, 253		7	254, 255
E-M5D ROW No.	bit 位置	maskされるE-M5CNのROW No.																																																									
180	D0	0, 1																																																									
	1	2, 3																																																									
	2	4, 5																																																									
	3	6, 7																																																									
	4	8, 9																																																									
	5	10, 11																																																									
	6	12, 13																																																									
	7	14, 15																																																									
181	D0	16, 17																																																									
194	D7	238, 239																																																									
195	D0	240, 241																																																									
	1	242, 243																																																									
	2	244, 245																																																									
	3	246, 247																																																									
	4	248, 249																																																									
	5	250, 251																																																									
	6	252, 253																																																									
	7	254, 255																																																									
※ "1" でmaskである。																																																											

とやうなmaskの1×1のconvolutionである。

【图 4 9 2】



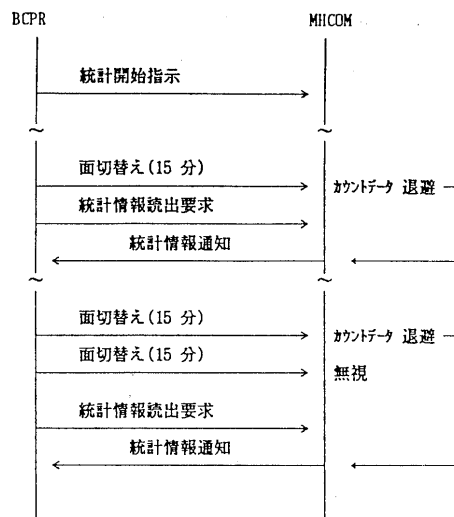
【 図 4 9 3 】



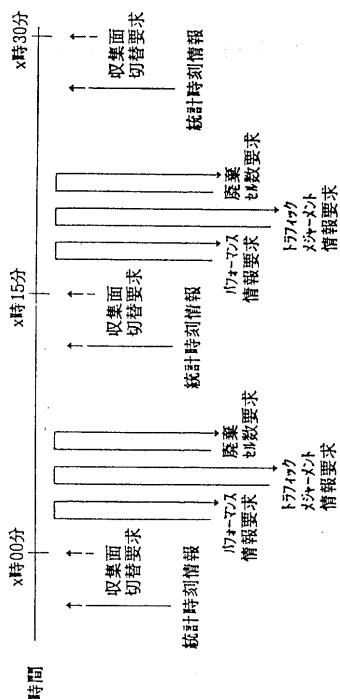
*1 コマンド完了せず、リンク 再確立後再度設定要求
*2 装置側L3では正常シグナス とみなすのでコマンド 2重設定となる。

*2 装置側L3では正常シーケンスとみなすのでコマンド2重設定となる。

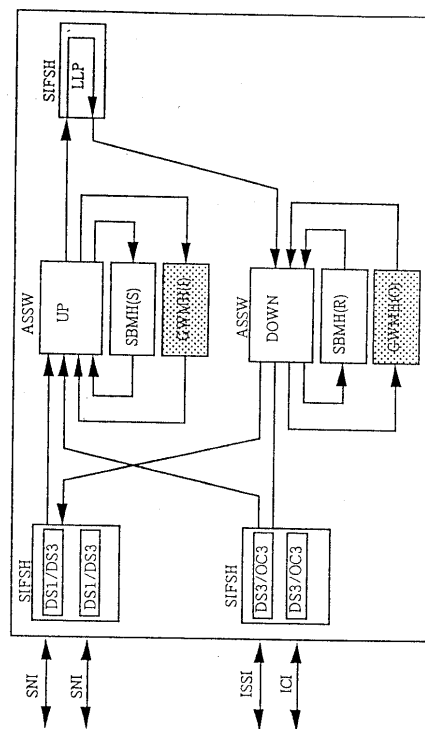
【图 4 9 4】



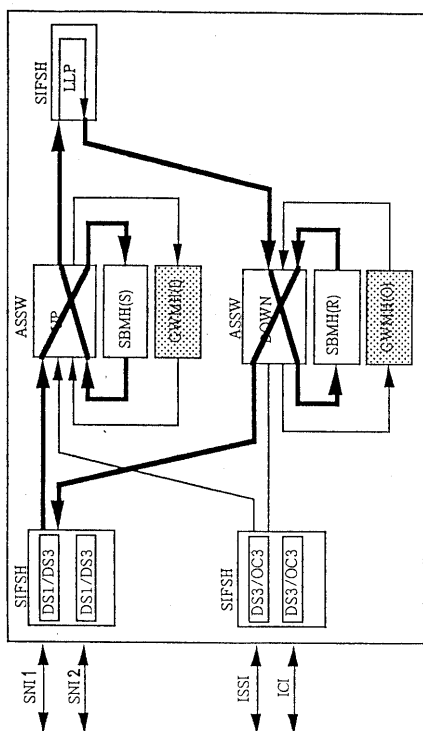
【図 4 9 5】



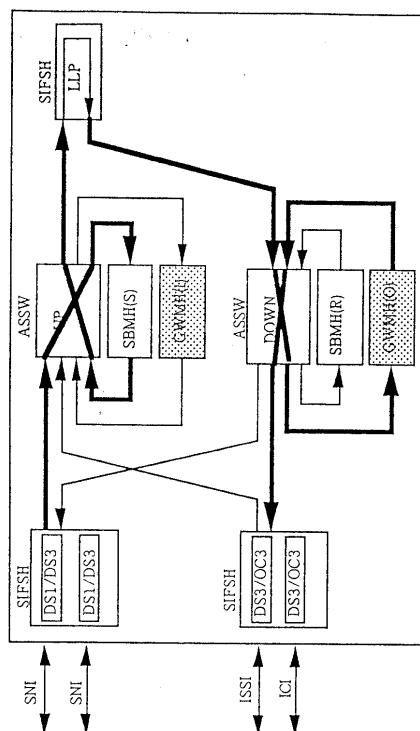
【図 4 9 6】



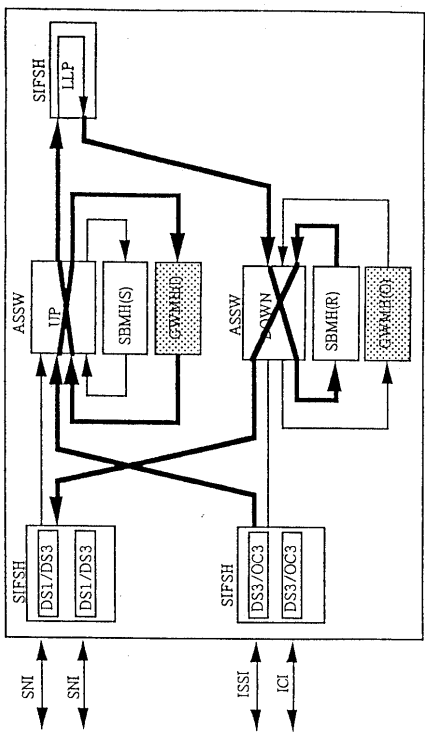
【図 4 9 7】



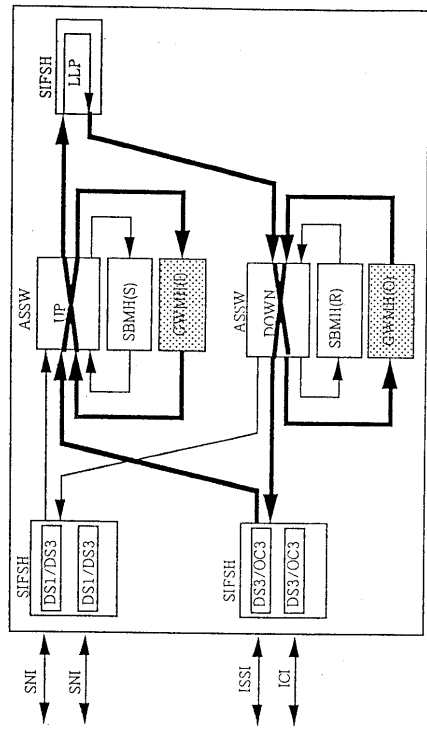
【図 4 9 8】



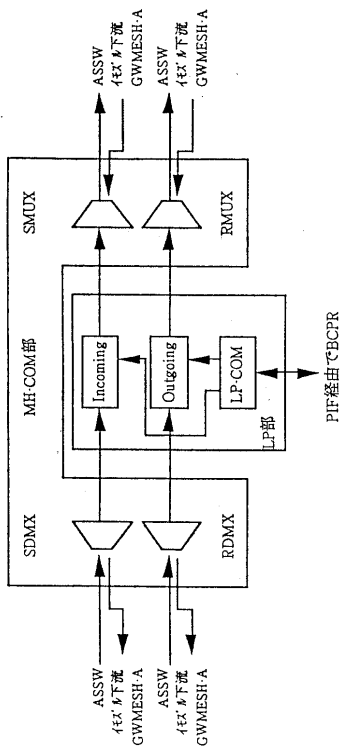
【図 499】



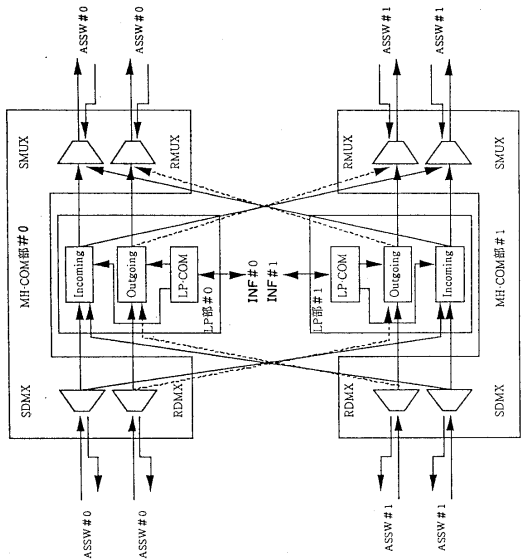
【図 500】



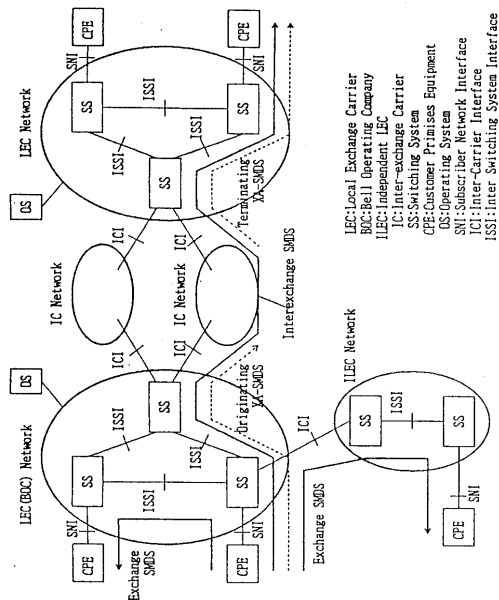
【図 501】



【図 502】



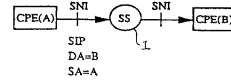
【図 503】



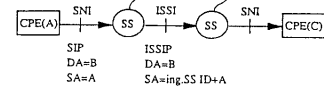
【図 504】

Individual Address Routing (デフォルトのまま転送する)

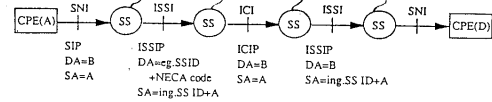
(1) SS内通信



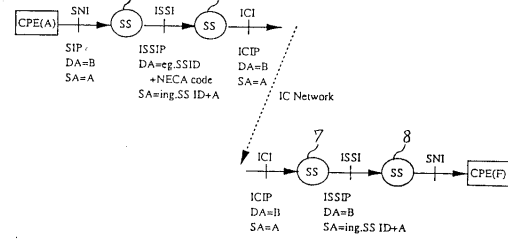
(2) LEC内通信



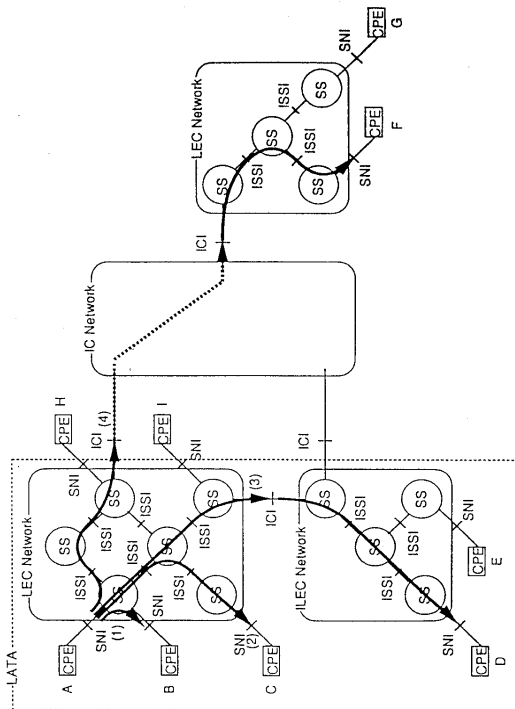
(3) LEC外LATA内通信



(4) LATA外通信

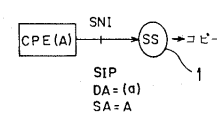


【図 505】

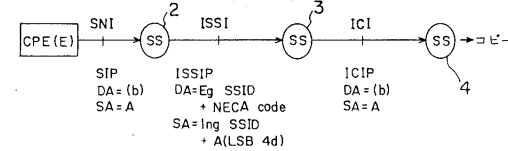


【図 506】

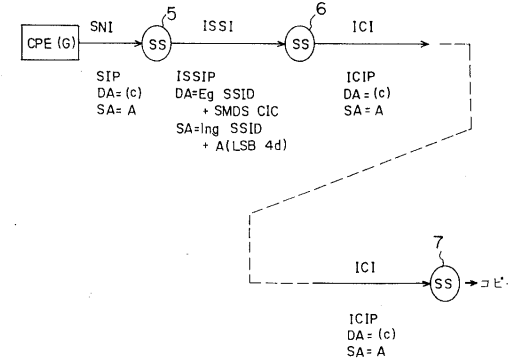
(1) 自 LEC が GAA GAA = (a)



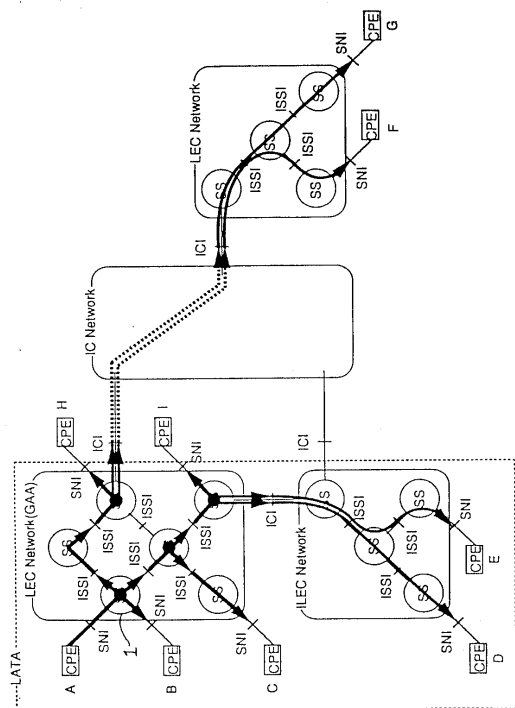
(2) LATA 内の他の ILEC が GAA GAA = (b)



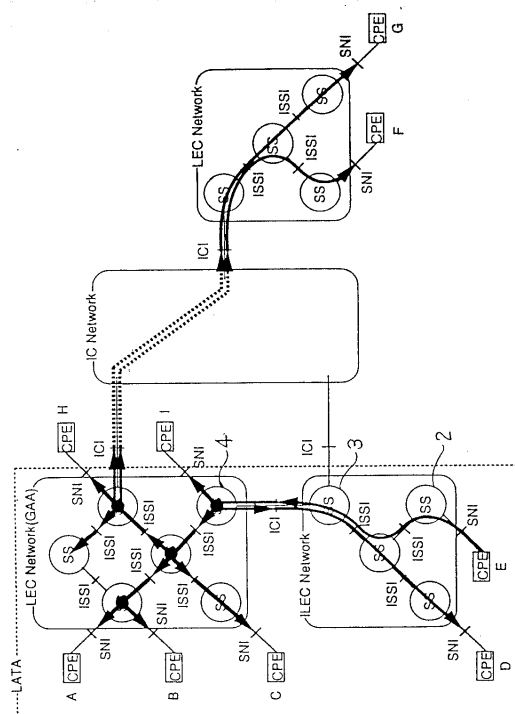
(3) LATA 外に GAA がある GAA = (c)



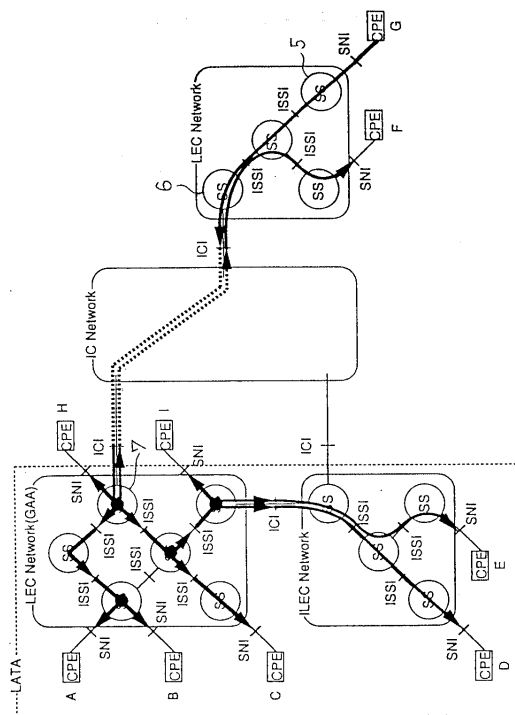
【図 507】



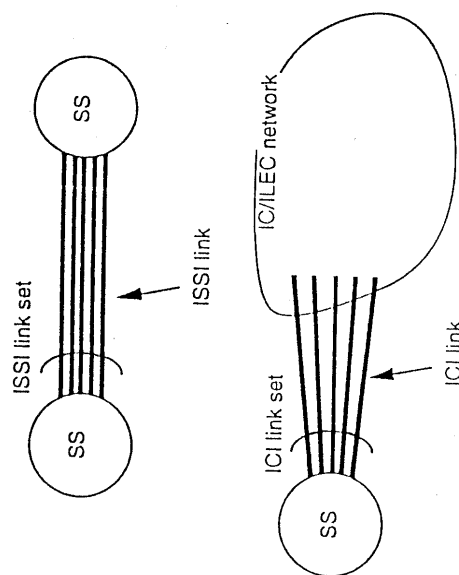
【図 508】



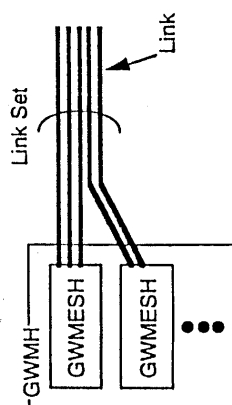
【図 509】



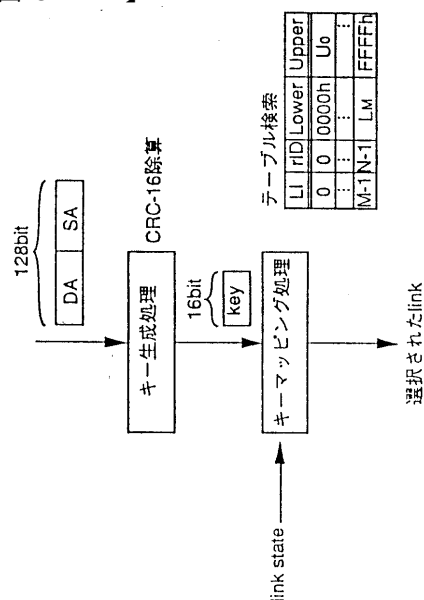
【図 510】



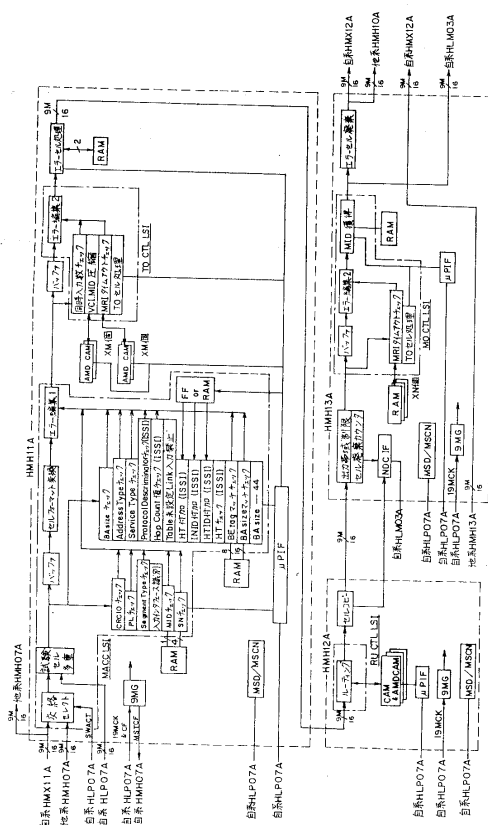
【図 5 1 1】



【図 5 1 2】



【☒ 5 1 3】



主) 図中の一点鎖線枠内は今回のLSIに予定箇所を示す。

【图 5 1 4】

項	プロック名	内容
1	交換ソフト	MDXの承擔に使い、MDXのACT系プログラムを選択する。 TCG (試験機) を落とす。
2	入力インターフェース識別	入力インターフェースがISSIがICIからの識別を行う。
3	試験機多重	試験機の空き時間に、試験機を多重する。 秒針中は試験機を送出する。
4	CRC チェック	CRC PayloadをCRC演算し、エラーのチェックを行う。
5	PL1チェック	Payload Lengthが規定値を示しているかチェックする。
6	Segment Typeチェック	Segment TypeがBOM.COM.EOMがSSM かチェックする。
7	MID チェック	BOM でVCI/MID がNo Active、COM.EOM でVCI/MID がActive かチェックする。
8	SN1チェック	BOM でSNで初期化、COM.EOM でSNの順特性をチェックする。
9	BA Size チェック	BA size が規定値(40~9280) を示しているかチェックする。
10	ATAチェック	DA.SA のフォーマット内にあるAddress Typeが規定値を示しているかチェックする。
11	Service Typeチェック	Service Typeが規定値を示しているかチェックする(以下7ヶ所 応でない)。
12	PD1チェック	Protocol Discriminatorが規定値を示しているかチェックする。
13	HOP COUNTチェック	HOP COUNTが1値が0でないことをチェックする。
14	IUT1チェック	Ingress Interface Typeが規定値を示しているかチェックする。
15	RE Tag チェック	L3headerのRE TagとTrailerのOBE Tagが一致しているかチェックする。
16	BA size チェック	L3headerのRE sizeとtrailerのLengthが一致しているかチェックする。
17	エラー 一般Ⅰ	各々でチェックされたエラーを 1ヶ所7ヶ所の各位置に付与する。
18	MRI タイムアウトチェック	1L3PDU単位に、MRI タイムアウトを1ヶ所7ヶ所の各位置に付与する。
19	エラー 一般Ⅱ	各々でチェックされたエラーを 1ヶ所7ヶ所の各位置に付与する。
20	TO1の処理	MRI タイムアウトが1タイムアウトとなった場合、無効時にタイムアウトセキを送出する。
21	エラー1の交換	ICI/IP/ISSIのフォーマットをMH間およびフォーマットに交換する。 (入力IP/ICI/ISSI(区別無き含む))
22	エラー 2の処理	各々でチェックされた結果、エラーとなったL3PDUの伝送中断処理を行う。
23	ルーティング	DAおよびCarrier Fieldの値を識別し、Message Routingのテーブルを参照して相手先のSNI/ISSI/ICIが収容されているMISUB/MC/CW/MRを決定する。
24	エラー2の	ルーティングの結果、相手先のMHIが複数存在した場合、各MHIごとにVCIを付け替えながらセキをセキする。
25	出力帯域制御	1L3PDU単位に、出力帯域を越えたか判定されたL2.L3 OR L3以上を出力する。
26	出力帯域制限	出力MHIを出力方向域 (ネットワーク) の制御を行う。
27	出力帯域	出力方向域の制限を越えた時、セキを廃棄する。
28	出力帯域制限	出力方向域制限により廃棄されたL2.L3のセキを廃棄する。
29	MRI タイムアウト	L3PDU単位に、MRI タイムアウトを1ヶ所7ヶ所の各位置に付与する。
30	エラー 一般Ⅲ	MRI タイムアウトが1タイムアウトとなった場合、無効時にタイムアウトセキを送出する。
31	TO2の処理	出力MHIを出力方向域に割り当てた場合、無効時にタイムアウトセキを送出する。
32	エラー 3の交換	各々でチェックされた結果、エラーとなったセキを廃棄する。
33	μP チェック	LP.COMのμPとのインターフェースをおこなう。(SCNT)
34	MSD/MSCN/インタフェース	LP.COMのμPとMSCNのインターフェースをおこなう。
35	NDC/インタフェース	インターフェース(NDIC)に接続したLP.COMのμPとのインターフェースをおこなう。

【図 5 1 5】

Error Flag	E1	E2	E3	E4	E5	E6	E7	E8	E9	E10	E11	E12	E13	E14	E15	E16	E17	E18	E19	E20	E21	E22	E23	E24	E25	E26	E27	E28	E29	E30	E31	E32	E33	E34	E35	E36	E37	E38	E39	E40	E41	E42	E43	E44	E45	E46	E47	E48	E49	E50	E51	E52	E53	E54	E55	E56	E57	E58	E59	E60	E61	E62	E63	E64	E65	E66	E67	E68	E69	E70	E71	E72	E73	E74	E75	E76	E77	E78	E79	E80	E81	E82	E83	E84	E85	E86	E87	E88	E89	E90	E91	E92	E93	E94	E95	E96	E97	E98	E99	E100	E101	E102	E103	E104	E105	E106	E107	E108	E109	E110	E111	E112	E113	E114	E115	E116	E117	E118	E119	E120	E121	E122	E123	E124	E125	E126	E127	E128	E129	E130	E131	E132	E133	E134	E135	E136	E137	E138	E139	E140	E141	E142	E143	E144	E145	E146	E147	E148	E149	E150	E151	E152	E153	E154	E155	E156	E157	E158	E159	E160	E161	E162	E163	E164	E165	E166	E167	E168	E169	E170	E171	E172	E173	E174	E175	E176	E177	E178	E179	E180	E181	E182	E183	E184	E185	E186	E187	E188	E189	E190	E191	E192	E193	E194	E195	E196	E197	E198	E199	E200	E201	E202	E203	E204	E205	E206	E207	E208	E209	E210	E211	E212	E213	E214	E215	E216	E217	E218	E219	E220	E221	E222	E223	E224	E225	E226	E227	E228	E229	E230	E231	E232	E233	E234	E235	E236	E237	E238	E239	E240	E241	E242	E243	E244	E245	E246	E247	E248	E249	E250	E251	E252	E253	E254	E255	E256	E257	E258	E259	E260	E261	E262	E263	E264	E265	E266	E267	E268	E269	E270	E271	E272	E273	E274	E275	E276	E277	E278	E279	E280	E281	E282	E283	E284	E285	E286	E287	E288	E289	E290	E291	E292	E293	E294	E295	E296	E297	E298	E299	E300	E301	E302	E303	E304	E305	E306	E307	E308	E309	E310	E311	E312	E313	E314	E315	E316	E317	E318	E319	E320	E321	E322	E323	E324	E325	E326	E327	E328	E329	E330	E331	E332	E333	E334	E335	E336	E337	E338	E339	E340	E341	E342	E343	E344	E345	E346	E347	E348	E349	E350	E351	E352	E353	E354	E355	E356	E357	E358	E359	E360	E361	E362	E363	E364	E365	E366	E367	E368	E369	E370	E371	E372	E373	E374	E375	E376	E377	E378	E379	E380	E381	E382	E383	E384	E385	E386	E387	E388	E389	E390	E391	E392	E393	E394	E395	E396	E397	E398	E399	E400	E401	E402	E403	E404	E405	E406	E407	E408	E409	E410	E411	E412	E413	E414	E415	E416	E417	E418	E419	E420	E421	E422	E423	E424	E425	E426	E427	E428	E429	E430	E431	E432	E433	E434	E435	E436	E437	E438	E439	E440	E441	E442	E443	E444	E445	E446	E447	E448	E449	E450	E451	E452	E453	E454	E455	E456	E457	E458	E459	E460	E461	E462	E463	E464	E465	E466	E467	E468	E469	E470	E471	E472	E473	E474	E475	E476	E477	E478	E479	E480	E481	E482	E483	E484	E485	E486	E487	E488	E489	E490	E491	E492	E493	E494	E495	E496	E497	E498	E499	E500	E501	E502	E503	E504	E505	E506	E507	E508	E509	E510	E511	E512	E513	E514	E515	E516	E517	E518	E519	E520	E521	E522	E523	E524	E525	E526	E527	E528	E529	E530	E531	E532	E533	E534	E535	E536	E537	E538	E539	E540	E541	E542	E543	E544	E545	E546	E547	E548	E549	E550	E551	E552	E553	E554	E555	E556	E557	E558	E559	E560	E561	E562	E563	E564	E565	E566	E567	E568	E569	E570	E571	E572	E573	E574	E575	E576	E577	E578	E579	E580	E581	E582	E583	E584	E585	E586	E587	E588	E589	E590	E591	E592	E593	E594	E595	E596	E597	E598	E599	E600	E601	E602	E603	E604	E605	E606	E607	E608	E609	E610	E611	E612	E613	E614	E615	E616	E617	E618	E619	E620	E621	E622	E623	E624	E625	E626	E627	E628	E629	E630	E631	E632	E633	E634	E635	E636	E637	E638	E639	E640	E641	E642	E643	E644	E645	E646	E647	E648	E649	E650	E651	E652	E653	E654	E655	E656	E657	E658	E659	E660	E661	E662	E663	E664	E665	E666	E667	E668	E669	E670	E671	E672	E673	E674	E675	E676	E677	E678	E679	E680	E681	E682	E683	E684	E685	E686	E687	E688	E689	E690	E691	E692	E693	E694	E695	E696	E697	E698	E699	E700	E701	E702	E703	E704	E705	E706	E707	E708	E709	E710	E711	E712	E713	E714	E715	E716	E717	E718	E719	E720	E721	E722	E723	E724	E725	E726	E727	E728	E729	E730	E731	E732	E733	E734	E735	E736	E737	E738	E739	E740	E741	E742	E743	E744	E745	E746	E747	E748	E749	E750	E751	E752	E753	E754	E755	E756	E757	E758	E759	E760	E761	E762	E763	E764	E765	E766	E767	E768	E769	E770	E771	E772	E773	E774	E775	E776	E777	E778	E779	E780	E781	E782	E783	E784	E785	E786	E787	E788	E789	E790	E791	E792	E793	E794	E795	E796	E797	E798	E799	E800	E801	E802	E803	E804	E805	E806	E807	E808	E809	E810	E811	E812	E813	E814	E815	E816	E817	E818	E819	E820	E821	E822	E823	E824	E825	E826	E827	E828	E829	E830	E831	E832	E833	E834	E835	E836	E837	E838	E839	E840	E841	E842	E843	E844	E845	E846	E847	E848	E849	E850	E851	E852	E853	E854	E855	E856	E857	E858	E859	E860	E861	E862	E863	E864	E865	E866	E867	E868	E869	E870	E871	E872	E873	E874	E875	E876	E877	E878	E879	E880	E881	E882	E883	E884	E885	E886	E887	E888	E889	E890	E891	E892	E893	E894	E895	E896	E897	E898	E899	E900	E901	E902	E903	E904	E905	E906	E907	E908	E909	E910	E911	E912	E913	E914	E915	E916	E917	E918	E919	E920	E921	E922	E923	E924	E925	E926	E927	E928	E929	E930	E931	E932	E933	E934	E935	E936	E937	E938	E939	E940	E941	E942	E943	E944	E945	E946	E947	E948	E949	E950	E951	E952	E953	E954	E955	E956	E957	E958	E959	E960	E961	E962	E963	E964	E965	E966	E967	E968	E969	E970	E971	E972	E973	E974	E975	E976	E977	E978	E979	E980	E981	E982	E983	E984	E985	E986	E987	E988	E989	E990	E991	E992	E993	E994	E995	E996	E997	E998	E999	E1000	E1001	E1002	E1003	E1004	E1005	E1006	E1007	E1008	E1009	E1010	E1011	E1012	E1013	E1014	E1015	E1016	E1017	E1018	E1019	E1020	E1021	E1022	E1023	E1024	E1025	E1026	E1027	E1028	E1029	E1030	E1031	E1032	E1033	E1034	E1035	E1036	E1037	E1038	E1039	E1040	E1041	E1042	E1043	E1044	E1045	E1046	E1047	E1048	E1049	E1050	E1051	E1052	E1053	E1054	E1055	E1056	E1057	E1058	E1059	E1060	E1061	E1062	E1063	E1064	E1065	E1066	E1067	E1068	E1069	E1070	E1071	E1072	E1073	E1074	E1075	E1076	E1077	E1078	E1079	E1080	E1081	E1082	E1083	E1084	E1085	E1086	E1087	E1088	E1089	E1090	E1091	E1092	E1093	E1094	E1095	E1096	E1097	E1098	E1099	E1100	E1101	E1102	E1103	E1104	E1105	E1106	E1107	E1108	E1109	E1110	E1111	E1112	E1113	E1114	E1115	E1116	E1117	E1118	E1119	E1120	E1121	E1122	E1123	E1124	E1125	E1126	E1127	E1128	E1129	E1130	E1131	E1132	E1133	E1134	E1135	E1136	E1137	E1138	E1139	E1140	E1141	E1142	E1143	E1144	E1145	E1146	E1147	E1148	E1149	E1150	E1151	E1152	E1153	E1154	E1155	E1156	E1157	E1158	E1159	E1160	E1161	E1162	E1163	E1164	E1165	E1166	E1167	E1168	E1169	E1170	E1171	E1172	E1173	E1174	E1175	E1176	E1177	E1178	E1179	E1180	E1181	E1182	E1183	E1184	E1185	E1186	E1187	E1188	E1189	E1190	E1191	E1192	E1193	E1194	E1195	E1196	E1197	E1198	E1199	E1200	E1201	E1202	E1203	E1204	E1205	E1206	E1207	E1208	E1209	E1210	E1211	E1212	E1213	E1214	E1215	E1216	E1217	E1218	E1219	E1220	E1221	E1222	E1223	E1224	E1225	E1226	E1227	E1228	E1229	E1230	E1231	E1232	E1233	E1234	E1235	E1236	E1237	E1238	E1239	E1240	E1241	E1242	E1243	E1244	E1245	E1246	E1247	E1248	E1249	E1250	E1251	E1252	E1253	E1254	E1255	E1256	E1257	E1258	E1259	E1260	E1261	E1262	E1263	E1264	E1265	E1266	E1267	E1268	E1269	E1270	E1271	E1272	E1273	E1274	E1275	E1276	E1277	E1278	E1279	E1280	E1281	E1282	E1283	E1284	E1285	E1286	E1287	E1288	E1289	E1290	E1291	E1292	E1293	E1294	E1295	E1296	E1297	E1298	E1299	E1300	E1301	E1302	E1303	E1304	E1305	E1306	E1307	E1308	E1309	E1310	E1311	E1312	E1313	E1314	E1315	E1316	E1317	E1318	E1319	E1320	E1321	E1322	E1323	E1324	E1325	E1326	E1327	E1328	E1329	E1330	E1331	E1332	E1333	E1334	E1335	E1336	E1337	E1338	E1339	E1340	E1341	E1342	E1343	E1344	E1345	E1346	E1347	E1348	E1349	E1350	E1351	E1352	E1353	E1354	E1355	E1356	E1357	E1358	E1359	E1360	E1361	E1362	E1363	E1364	E1365	E1366	E1367	E1368	E1369	E1370	E1371	E1372	E1373	E1374	E1375	E1376	E1377	E1378	E1379	E1380	E1381	E1382	E1383	E1384	E1385	E1386	E1387	E1388	E1389	E1390	E1391	E1392	E1393	E1394	E1395	E1396	E1397	E1398	E1399	E1400	E1401	E1402	E1403	E1404	E1405	E1406	E1407	E1408	E1409	E1410	E1411	E1412	E1413	E1414	E1415	E1416	E1417	E1418	E1419	E1420	E1421	E1422	E1423	E1424	E1425	E1426	E1427	E1428	E1429	E1430	E1431	E1432	E1433	E1434	E1435	E1436	E1437	E1438	E1439	E1440	E1441	E1442	E1443	E1444	E1445	E1446	E1447	E1448	E1449	E1450	E1451	E1452	E1453	E1454	E1455	E1456	E1457	E1458	E1459	E1460	E1461	E1462	E1463	E1464	E1465	E1466	E1467	E1468	E1469	E1470	E1471	E1472	E1473	E1474	E1475	E1476	E1477	E1478	E1479	E1480	E1481	E

【図 5 1 9】

	15	14	13	12	11	10	09	08	07	06	05	04	03	02	01	00
00	0	OAM	0		TAGA		0	0	0		TACC		TAGB	0	0	
01	0	0	0	0	0	0	1	1	1	1	1	0	0	0	0	
02	0	0	1	1	0	0	0	0	0	0	LID		PT		CLP	
03	0	(ST)	1		SN						MID					
04	0	0	0	0	0	0	0	0	0		BEtag(SIP)					
05											BAsize(SIP)					
06											Address Type	0	0	0	1	
07											DA(SIP)					
08																
09	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
10											Address Type	0	0	0	1	
11											SA(SIP)					
12																
13	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
14											HLPI		PL		QOS	
15																
16																
17																
18																
19																
20																
21																
22																
23																
24	0	0	0	0	0	0	0	0	0		BEtag					
25											Length					
26											Payload Length				Payload CRC	

ICLPの入力部でOAM=1のTCGセルは廃棄する。

If: インタフェース識別 (0=ISSI, 1=ICI)
LID: 入力Link番号 (0~7)

【図 5 2 0】

	15	14	13	12	11	10	09	08	07	06	05	04	03	02	01	00
00	0	OAM	0		TAGA		0	0	0		TACC		TAGB	0	0	
01	0	0	0	0	0	0	1	1	1	1	1	1	0	0	0	
02	0	0	1	1	0	0	0	0	0	0	LID		PT		CLP	
03	0	(ST)	0		SN						MID					
04	0	0	0	0	0	0	0	0	0		BEtag(SIP)					
05											BAsize(SIP)					
06											Address Type	0	0	0	1	
07											DA(SIP)					
08																
09	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
10											Address Type	0	0	0	1	
11											SA(SIP)					
12																
13	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
14											HLPI		PL		QOS	
15																
16																
17																
18																
19																
20																
21																
22																
23																
24																
25																
26											Payload Length				Payload CRC	

ICLPの入力部でOAM=1のTCGセルは廃棄する。

If: インタフェース識別 (0=ISSI, 1=ICI)
LID: 入力Link番号 (0~7)

【図 5 2 1】

	15	14	13	12	11	10	09	08	07	06	05	04	03	02	01	00
00	0	OAM	0		TAGA		0	0	0		TACC		TAGB	0	0	
01	0	0	0	0	0	0	1	1	1	1	1	1	0	0	0	
02	0	0	1	1	0	0	0	0	0	0	LID		PT		CLP	
03	0	(ST)	0		SN						MID					
04											Information					
05																
06																
07																
08																
09																
10																
11																
12																
13																
14																
15																
16																
17																
18																
19																
20																
21																
22																
23																
24																
25																
26											Payload Length				Payload CRC	

ICLPの入力部でOAM=1のTCGセルは廃棄する。

If: インタフェース識別 (0=ISSI, 1=ICI)
LID: 入力Link番号 (0~7)

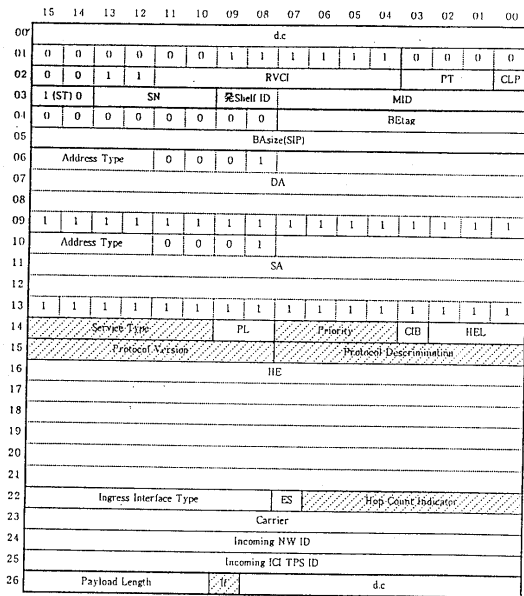
【図 5 2 2】

	15	14	13	12	11	10	09	08	07	06	05	04	03	02	01	00
00	0	OAM	0		TAGA		0	0	0		TACC		TAGB	0	0	
01	0	0	0	0	0	0	1	1	1	1	1	1	0	0	0	
02	0	0	1	1	0	0	0	0	0	0	LID		PT		CLP	
03	0	(ST)	1		SN						MID					
04											Information					
05																
06																
07																
08																
09																
10																
11																
12																
13																
14																
15																
16																
17																
18	0	0	0	0	0	0	0	0	0		BEtag					
19											Length					
20	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
21	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
22	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
23	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
24	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
25	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
26											Payload Length				Payload CRC	

ICLPの入力部でOAM=1のTCGセルは廃棄する。

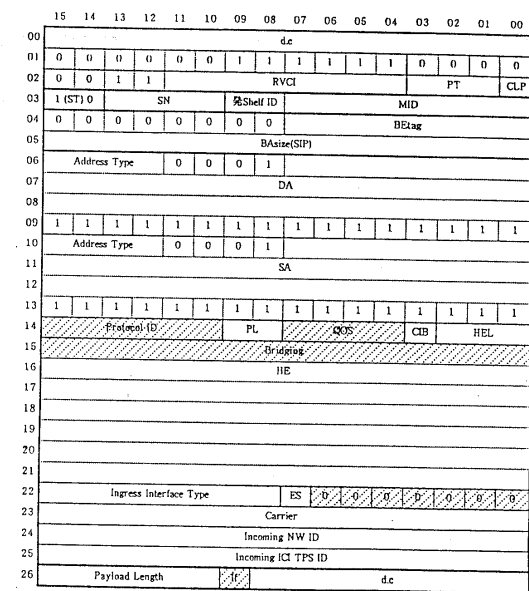
If: インタフェース識別 (0=ISSI, 1=ICI)
LID: 入力Link番号 (0~7)

【図 5 2 3】



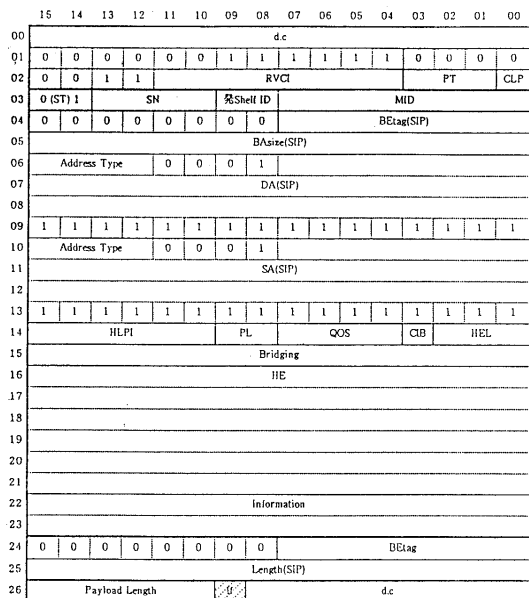
RVC I: ユーザセルの場合は着MHID=SBMH (00~1Fh), GWMH (40~5Fh)
 MESH-MH間試験セルの場合はRVC I=FFh
 発 Shelf ID: 0~3
 BAsize (SIP): エンキャプBAsize-44
 Hop Count Indicator: SBMHへ向う場合はd, c
 If: インタフェース識別 (0=ISSI, 1=ICI)

【図 5 2 4】



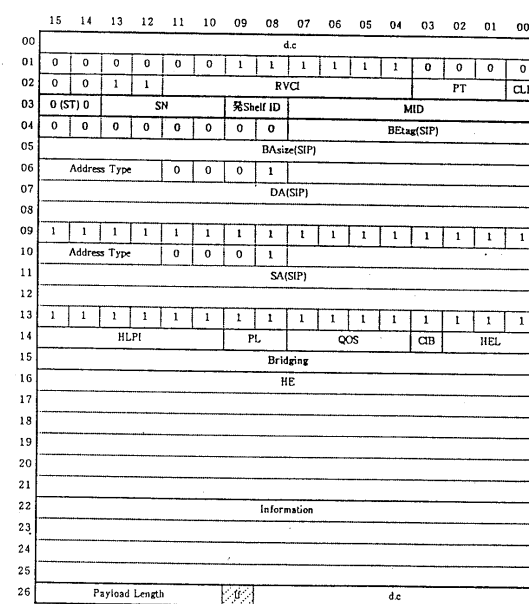
RVC I: ユーザセルの場合は着MHID=SBMH (00~1Fh), GWMH (40~5Fh)
 MESH-MH間試験セルの場合はRVC I=FFh
 発 Shelf ID: 0~3
 BAsize (SIP): エンキャプBAsize-44
 Hop Count Indicator: SBMHへ向う場合はd, c
 If: インタフェース識別 (0=ISSI, 1=ICI)

【図 5 2 5】



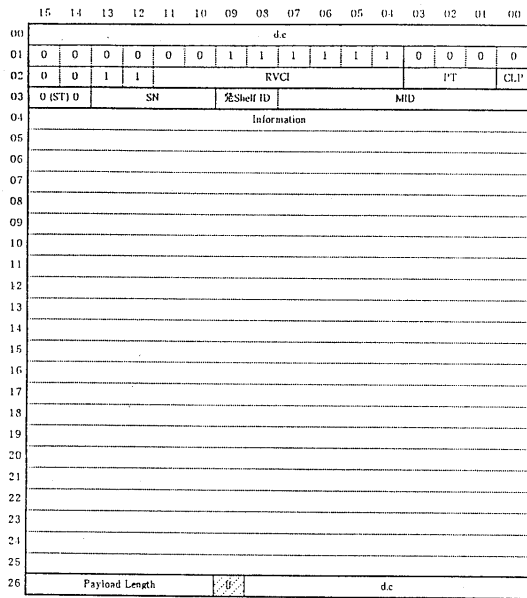
RVC I: ユーザセルの場合は着MHID=SBMH (00~1Fh), GWMH (40~5Fh)
 MESH-MH間試験セルの場合はRVC I=FFh
 発 Shelf ID: 0~3
 Length (SIP): エンキャプLength-44
 If: インタフェース識別 (0=ISSI, 1=ICI)

【図 5 2 6】



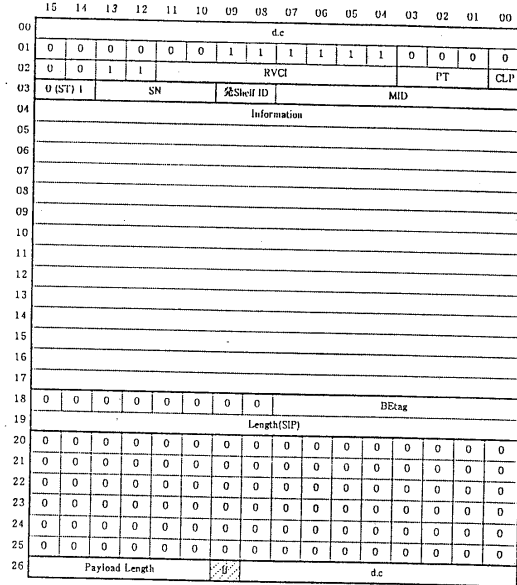
RVC I: ユーザセルの場合は着MHID=SBMH (00~1Fh), GWMH (40~5Fh)
 MESH-MH間試験セルの場合はRVC I=FFh
 発 Shelf ID: 0~3
 If: インタフェース識別 (0=ISSI, 1=ICI)

【図 5 2 7】



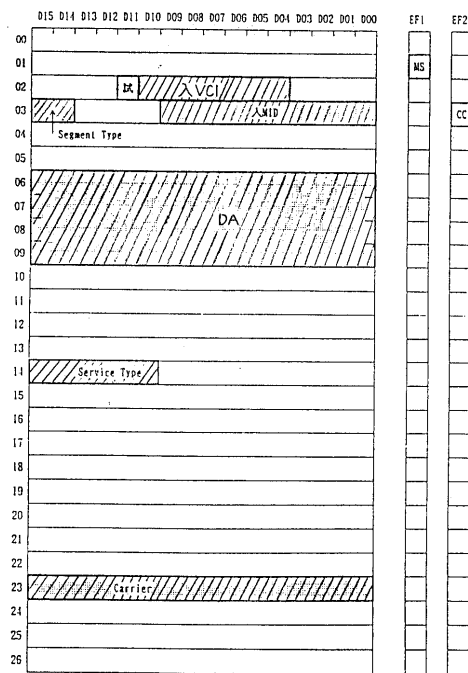
RVC I : ユーザセルの場合は寄MHID=SBMH (00~1Fh) , GWMH (40~5Fh)
 MESH MH間試験セルの場合はRVC I=FFh
 発 Shelf ID : 0~3
 If : インタフェース識別 (0=ISSI, 1=ICI)

【図 5 2 8】



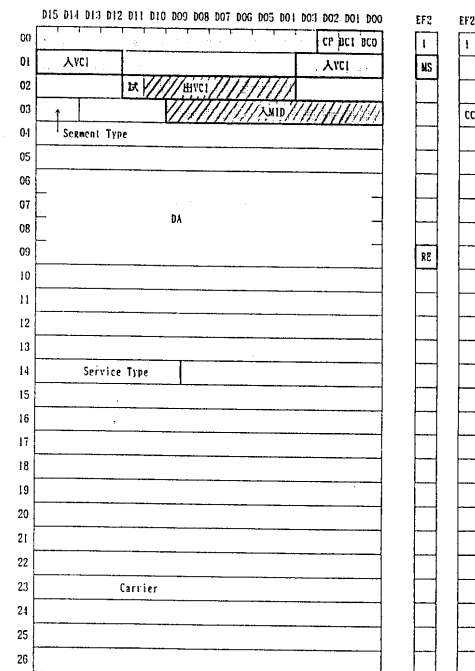
RVC I : ユーザセルの場合は寄MHID=SBMH (00~1Fh) , GWMH (40~5Fh)
 MESH MH間試験セルの場合はRVC I=FFh
 発 Shelf ID : 0~3
 Length (SIP) : エンキャプLength-44
 If : インタフェース識別 (0=ISSI, 1=ICI)

【図 5 2 9】



/// : 本図で認識するデータ

【図 5 3 0】



/// : 本図で認識するデータ

【図 5 3 2】

	16	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	BIT	REF1	REF2	
0	ST	CP	BCI	MOD	RMID													"E"	"E"	
1	ΛVCIG(50H)				0	0	1	1	1	1	1	1	ΛVCIG(50H)					M5	M7	
2	PL Len(015440)				REV	REVCI						PT		CLP			RM	MT		
3	ST		SH		ΛMID															
4	0	0	0	0	0	0	0	0	0	BEND										
5	BLANK																			
6																				
7																				
8																				
9																				
10																				
11																				
12																				
13																				
14	Service Type																			
15																				
16																				
17																				
18																				
19																				
20																				
21																				
22																				
23	Carrier																			
24																				
25																				
26	PL Len				IF															

(COM)															RF3	RF2	RF1	RF0						
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	INT	INT	INT	INT					
6	INT		CF	ACI	ACD	RWD																		
2	λ VCI(AS.99.00)					0	0	1	1	1	1	1	1	1	λ VCI(AS.99.00)									
1	PL LooMIS(44.0)					RWR		λ VCI					PT			CLP								
3	PT		SH			λ MID																		
4																								
5																								
6																								
7																								
8																								
9																								
10																								
11																								
12																								
13																								
14																								
15																								
16																								
17																								
18																								
19																								
20																								
21																								
22																								
23																								
24																								
25	PL Loo																	UP						
26																								

【図 5 3 4】

(EOM)															EP1	EP2							
19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	NET	"B"	"H"	
TEST		CP		BCI		BCO		RMID												MS	MT		
入VCI(MSB側)				0		0		1		1		1		1		1		1		入VCI(LSB側)		MT	CC
PL Loc(MSB側)				LCH		入VCI				PT				CLP				RM	MA	SN	LA		
ST		SH		入MSD																			
23H-1																			BEG		BE		
Length																							
23																					LE		
24																					EN		
26																					"L"	"L"	
PL Loc										ST													

[EF1]

MS : Master ERROR
RM : CC,PL NG OR
MC: MID not active (COM)
LA : LINK not active
(ODEN=H:not EN)

[EF2]

MT : MRI time out
CC : Payload CRC violation
PL : Payload length error
MA : MID currently active or EOM with unapproved MID
SN : Invalid sequence number
BA : Invalid BASize field value
DT : Invalid DA type
ST : Invalid SA type
PI : Invalid Protocol ID
(= IS : Invalid Service Type)
PD : Invalid Protocol Discriminator
HC : Hop Count=0
II : Ingress Interface Type
BE : Btag mismatch
EM : Exceed maximum number of CDU
RE: Routing Error
IE : BASize field not equal to length field
EN : Encapsulation error(Segment Type =SSM)

【図 5 3 6】

(COM)															0	MT	SP1	SP2		
8	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1		"B"	"B"		
	ST	CP	ICI	BCD	A.MSD											MS		MT		
1	A.VCI(6.53MHz)					0	0	1	1	1	1	1	1	A.VCI(6.53MHz)			RM	MT		
2	FL Len(MSB+LSB)					MSB	B.VCI					PT		CLP		CC				
3	ST	SM				B.MSD											FL			
4																			MC	
5																				
6																				
7																				
8																				
9																				
10																				
11																				
12																				
13																				
14																				
15																				
16																				
17																				
18																				
19																				
20																				
21																				
22																				
23																				
24																				
25																				
26	FL Len															BD				
	B*																SM			
																	"L"			

【図 5 3 8】

```

[ EF1 ]

MS : Master ERROR
RM : CC,PL NG OR
MC : MID not active (COM)
LA : LINK not active
      (ODEN=H: not EN)
BD : BOM_droup

[ EF2 ]

MT : MRI time out
CC : Payload CRC violation
PL : Payload length error
MA : MID currently active or EOM with unapproved MID
SN : Invalid sequence number
BA : Invalid BAsize field value
DT : Invalid DA type
ST : Invalid SA type
PI : Invalid Protocol ID
(= IS : Invalid Service Type)
PD : Invalid Protocol Descriptorator
HC : Hop Count=0
II : Ingress Interface Type
BE : Btag mismatch
ME: MID_ assgin error
EM : Exceed maximum number of CDU
RE : Routing Error
LE : BAsize field not equal to length field
EN : Encapsulation error(Segment Type ==SSM)

```

【図 5 3 9】

(BOM)

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	MT	EF1	EF2
SST CP BCI BCO JAMID																MS	MT	
0 0 0 0 0 0 0 1 1 1 1 1 1 0 0 0 0																RM	MT	
0 0 1 1 BOM BVCI PT CLP																RM	MT	
ST SN BOMID																CC	PL	
0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0																PL	PL	
BAsize BEing																MA	MA	
DA																SN	SN	
SA																LA	LA	
Service Type																DT	DT	
																ST	ST	
																PI	PI	
																IS	IS	
																PD	PD	
																BC	BC	
																E	E	
																MC	MC	
																EM	EM	
																RE	RE	
Carrier																EN	EN	
																EN	EN	
PL Len IF																L	L	

【図 5 4 0】

(COM)

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	MT	EF1	EF2
SST CP BCI BCO JAMID																MS	MT	
0 0 0 0 0 0 0 1 1 1 1 1 1 0 0 0 0																RM	MT	
0 0 1 1 BOM BVCI PT CLP																RM	MT	
ST SN BOMID																CC	PL	
																PL	PL	
																MA	MA	
																SN	SN	
																LA	LA	
																DT	DT	
																ST	ST	
																PI	PI	
																IS	IS	
																PD	PD	
																BC	BC	
																E	E	
																MC	MC	
																EM	EM	
																RE	RE	
																EN	EN	
																EN	EN	
PL Len IF																L	L	

【図 5 4 1】

(EOM)

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	MT	EF1	EF2
SST CP BCI BCO JAMID																MS	MT	
0 0 0 0 0 0 0 1 1 1 1 1 1 0 0 0 0																RM	MT	
0 0 1 1 BOM BVCI PT CLP																RM	MT	
ST SN BOMID																CC	PL	
																PL	PL	
																MA	MA	
																SN	SN	
																LA	LA	
																DT	DT	
																ST	ST	
																PI	PI	
																IS	IS	
																PD	PD	
																BC	BC	
																E	E	
																MC	MC	
																EM	EM	
																RE	RE	
																EN	EN	
Length																EN	EN	
																EN	EN	
PL Len IF																L	L	

【図 5 4 2】

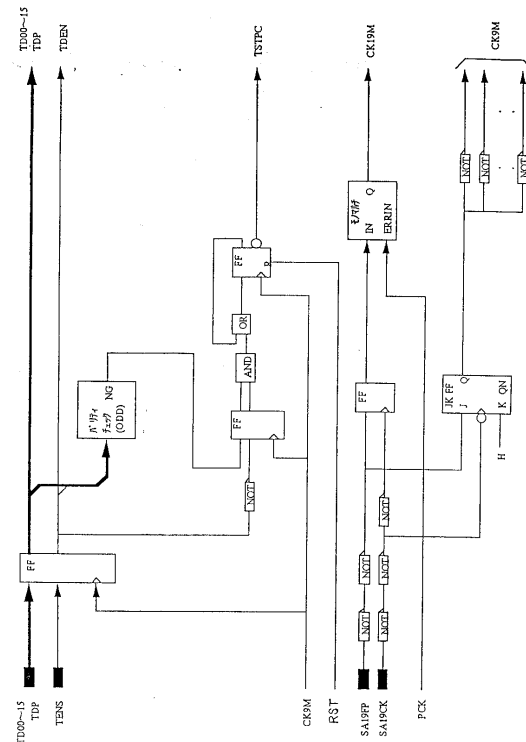
[EF1]

MS: Master ERROR
 RM: CC, PL NG OR
 MC: MID not active (COM)
 LA: LINK not active
 (ODEN=H: not EN)
 BD: BOM_droup

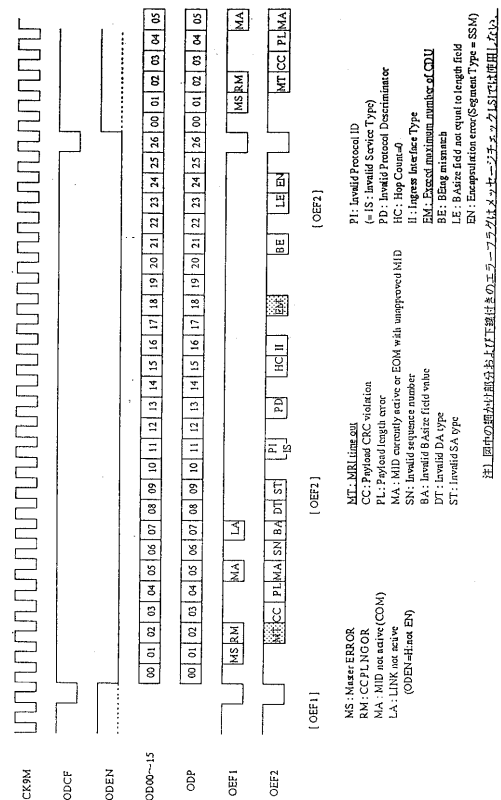
[EF2]

MT: MRI time out
 CC: Payload CRC violation
 PL: Payload length error
 MA: MID currently active or EOM with unapproved MID
 SN: Invalid sequence number
 BA: Invalid BAsize field value
 DT: Invalid DA type
 ST: Invalid SA type
 PI: Invalid Protocol ID
 (= IS: Invalid Service Type)
 PD: Invalid Protocol Discriminator
 HC: Hop Count=0
 II: Ingress Interface Type
 BE: Bntag mismatch
 ME: MID assign error
 EM: Exceed maximum number of CDU
 RE: Routing Error
 LE: BAsize field not equal to length field
 EN: Encapsulation error (Segment Type =SSM)

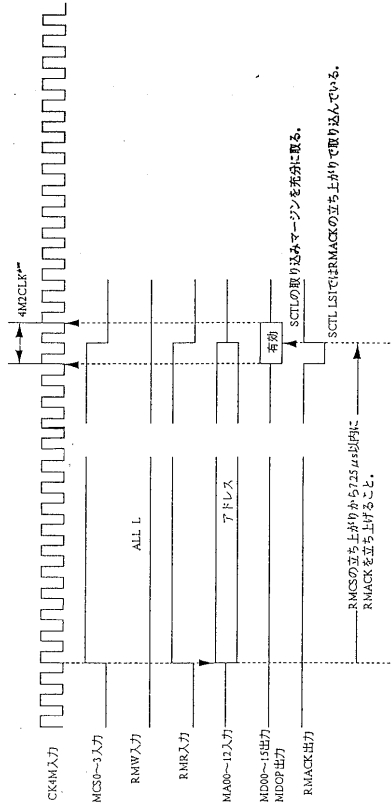
【図 5 5 2】



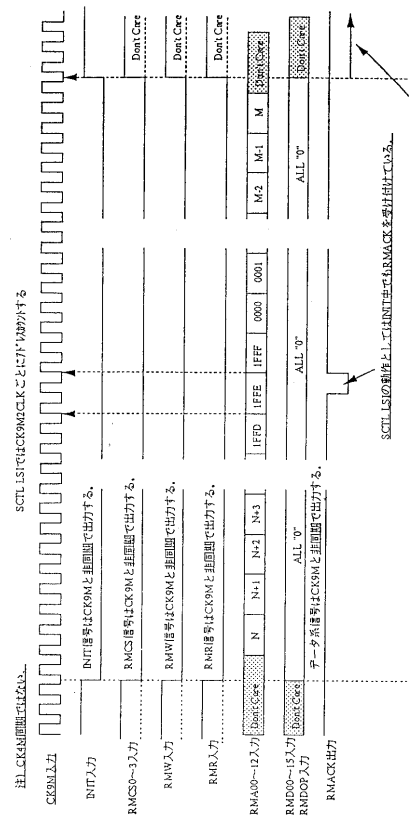
【図 5 5 4】



【図 559】

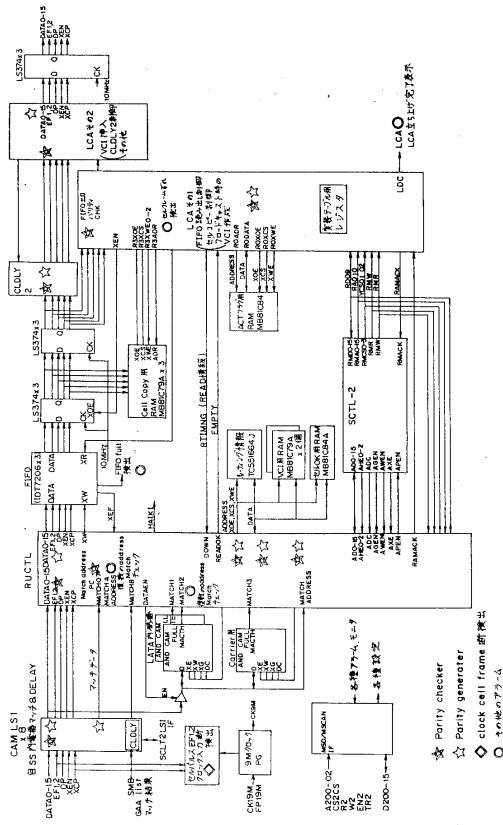


【図 560】

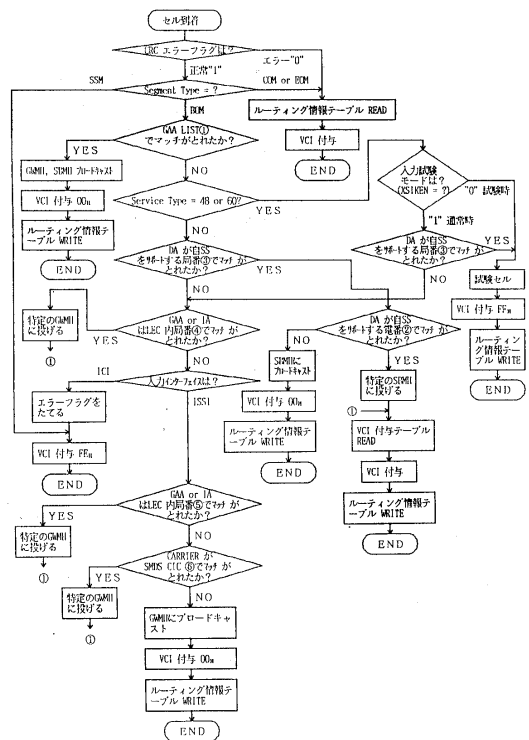


注) INIT前及びINIT中の状態により、INIT終了後RAMは動作しない状態となる。この状態では、RAMの書き込みや読み出しの動作は行わない。また、RAMの書き込みや読み出しの動作は、RAMの書き込みや読み出しの動作が行われるまで行わない。

【図 561】

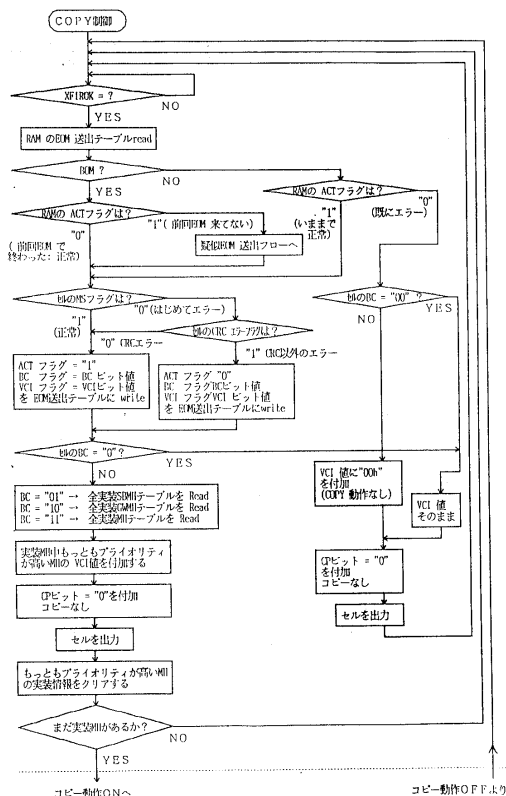


【図 562】



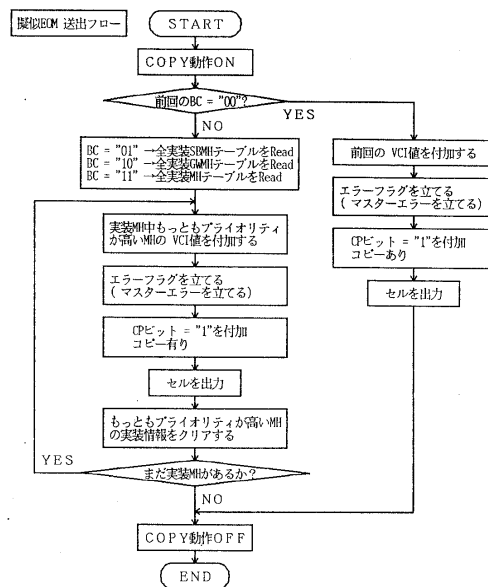
【図 5 6 4】

(3) COPY部用フローチャート (BROAD CAST用ICA で実現)



コピー動作ONへ

【图 5 6 6】

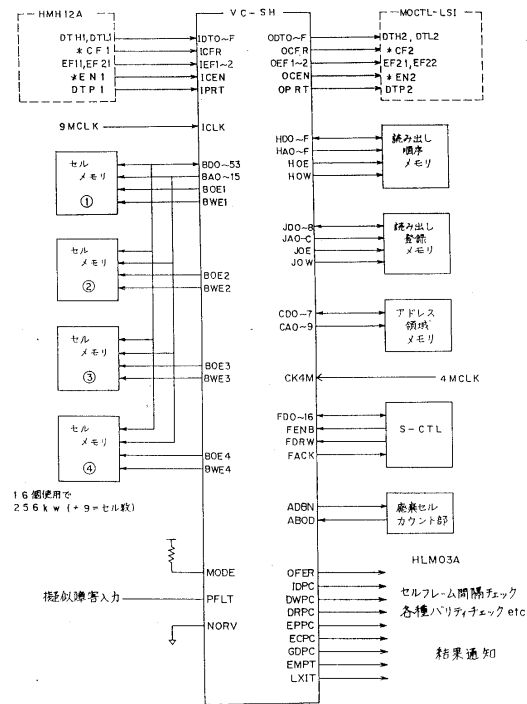
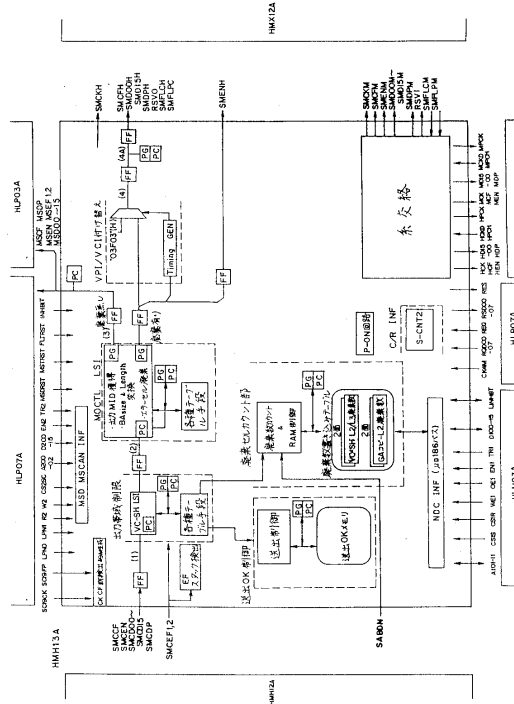


	BUM	CUM	CUM	CUM	CUM	BUM
EF MS フラグ	☐	☐	☐	☐	☐	☐
RAM ACT テーブル NO ACT	OK	OK	NG	NO ACT	NO ACT	NO ACT
処理	全MH ばらまき	全MH ばらまき	全MH ばらまき	1MH 転送 (VCI値 00h)	1MH 転送 (VCI値 00h)	1MH 転送 (VCI値 00h)

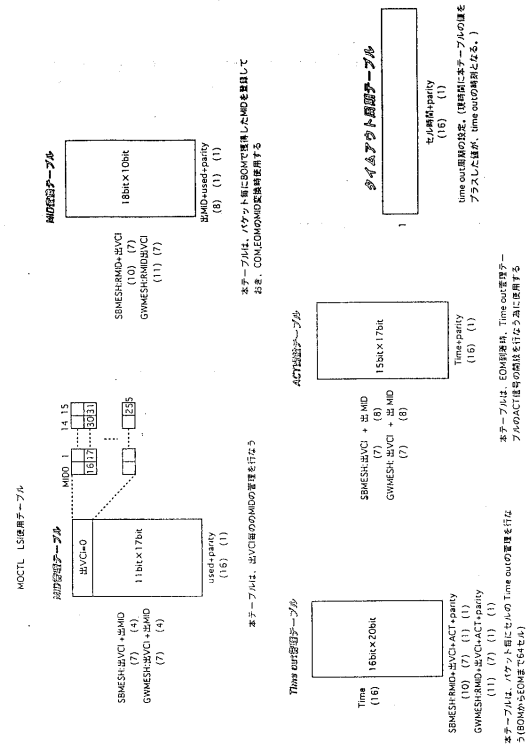
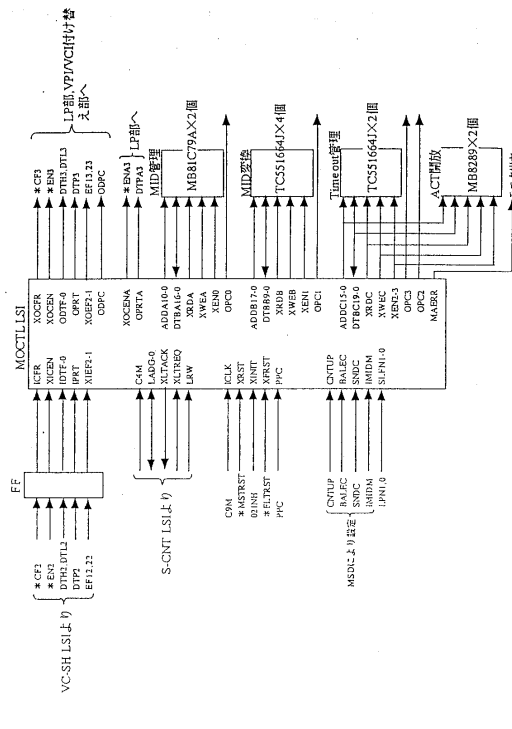
(4) FIFO用監視部動作条件 (RU CTL LSIで実現)

- ・FIFO書き込みでカウントUP
- ・FIFO読み出しでカウントDOWN
- ・カウント値"511"でFIFO FULL出力
- ・カウント値"0"でFIFO EMPTY出力

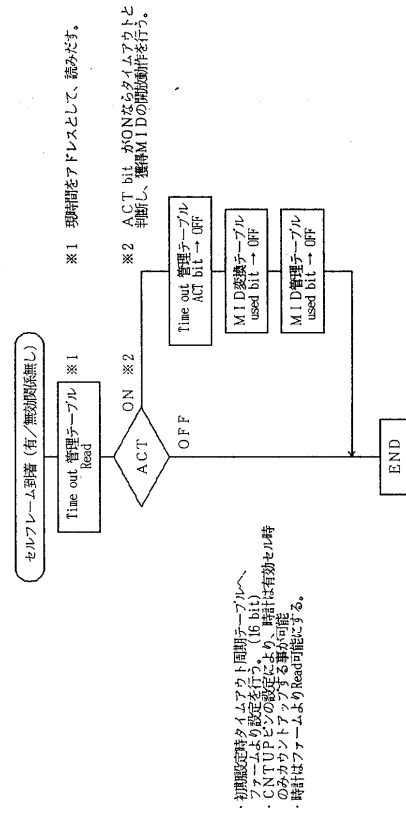
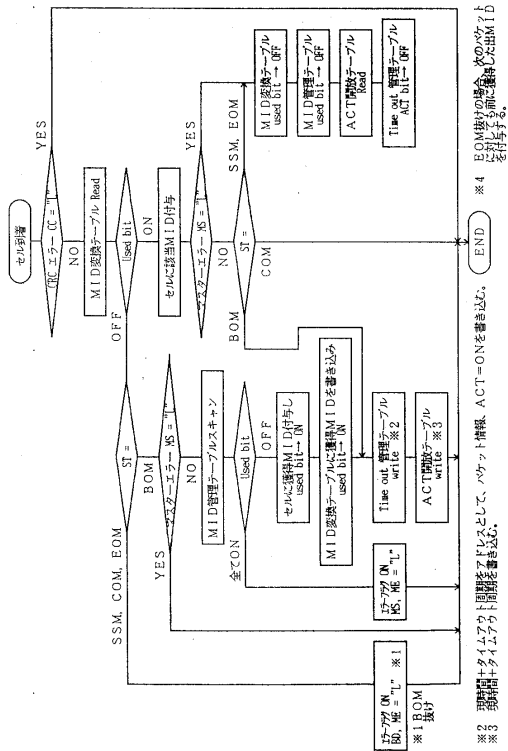
【图 5 6 8】



【図 5 7 0】

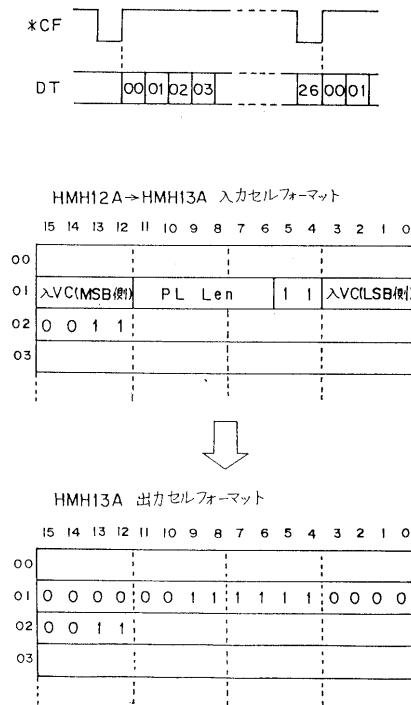


【图 5 7 2】

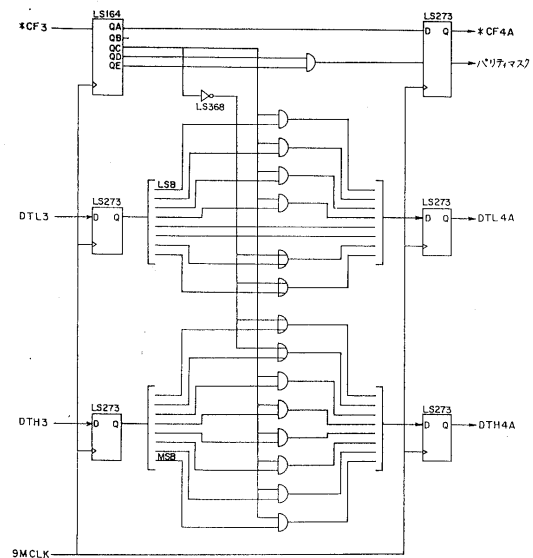


【図 5 7 3】

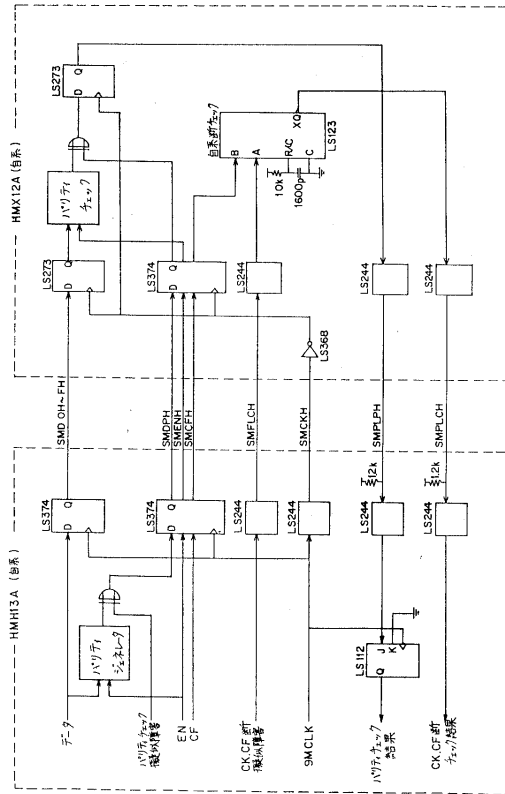
VPI/VCI 付け替え



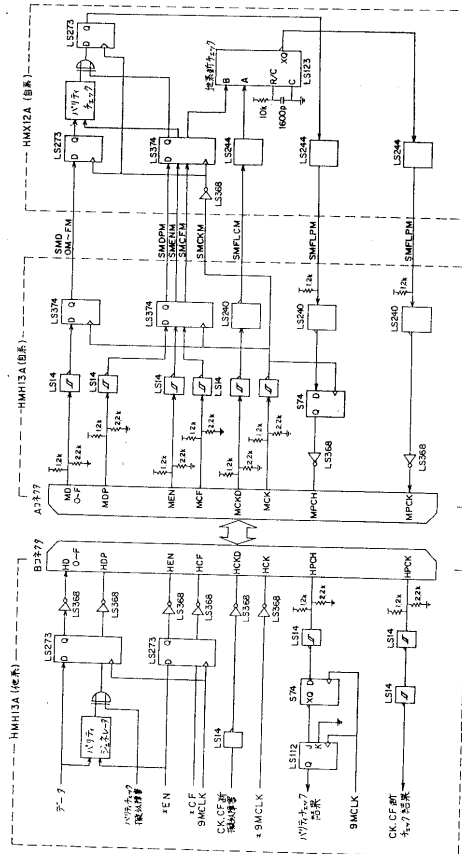
【図 5 7 4】



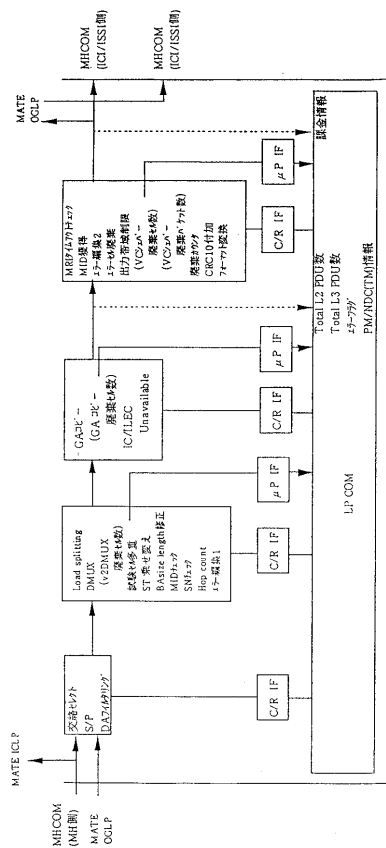
【図 575】



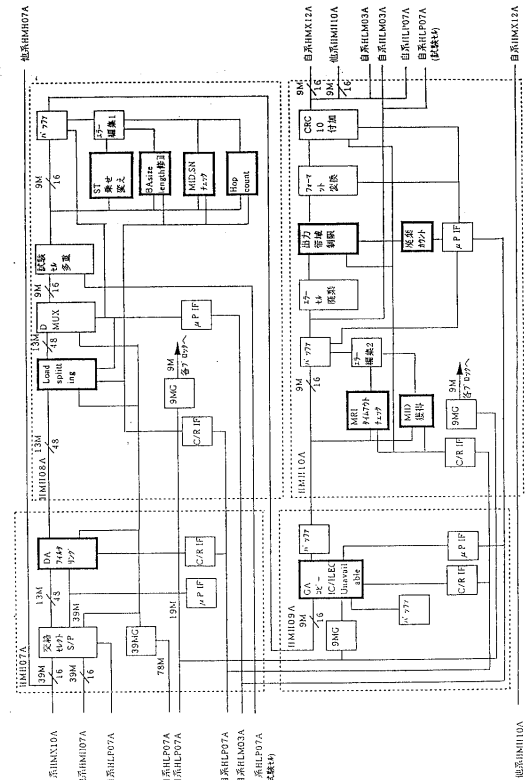
【図 576】



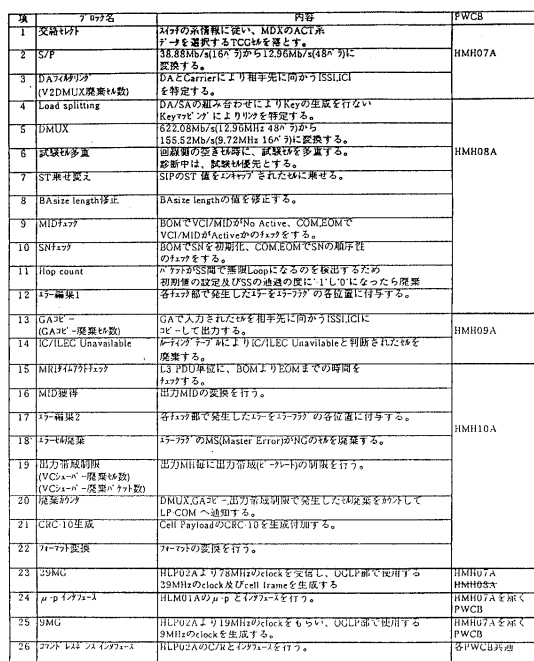
【図 577】



【図 578】



【図 5 8 0】



【图 5 8 2】

「無印」: この印のあるEFのOK/NGに関わらずチェックする。
 「N」: MESH間PVC試験のcellの時はチェックしない。

15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

00	0																		
01	0	0	0	0	0	0	0	1	1	1	1	1	1	1	0	0	0	0	
02	0	0	1	1	入 VCI (発MH ID)										PT		CL		
03	1	0	SN				入 MID												
04	0	0	0	0	0	0	0	0	SIP PBEtag										
05	SIP BAsize																		
06	ISSIP DA																		
07																			
08																			
09																			
10	SA																		
11																			
12																			
13																			
14	High Layer Protocol				Pad l				QOS				CI		HE Len				
15	Bridging																		
16	Header Extension (SIP)																		
17																			
18																			
19																			
20																			
21																			
22	Ingress Interface Type										ES		DC						
23	Carrier																		
24	Incoming Network ID																		
25	Incoming ICI Transmission Path Set																		
26	PL Len.										CRC								

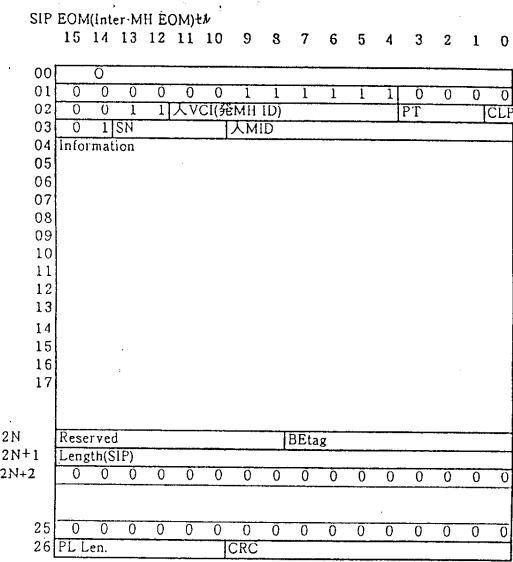
【図 5 8 4】

SIP BOMt#																
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
00	O															
01	0	0	0	0	0	0	0	1	1	1	1	1	1	0	0	0
02	0	0	1	1	入 VCI (56MH ID)								PT		CLP	
03	0	0	SN				入 MID									
04	0	0	0	0	0	0	0	0	0	SIP BEtag						
05	SIP BAsize															
06	SIP DA															
07																
08																
09																
10	SA															
11																
12																
13																
14	High Layer Protocol						Pad i			QOS			CI		HE Len	
15	Bridging															
16	Header Extension															
17																
18																
19																
20																
21																
22	Information															
23																
24																
25																
26	PL Len.						CRC									

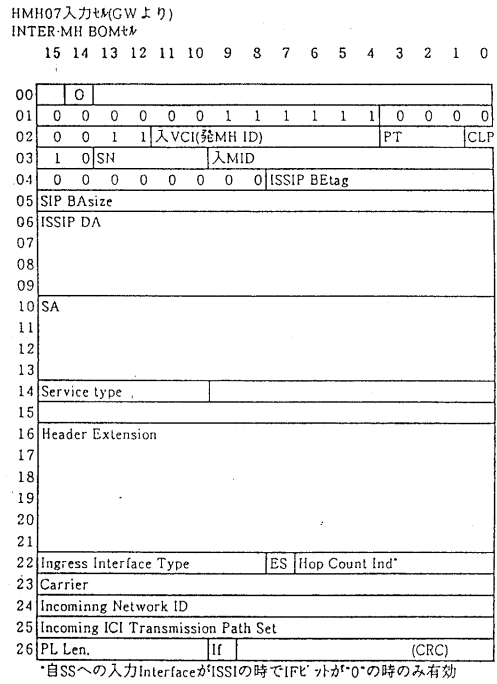
【図 5 8 6】

SIP COMt#																
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
00	0															
01	0	0	0	0	0	0	0	1	1	1	1	1	1	0	0	0
02	0	0	1	1	入 VCI (SEM ID)								PT		CLP	
03	0	0	SN				入 MID									
04	Information															
05																
06																
07																
08																
09																
10																
11																
12																
13																
14																
15																
16																
17																
18																
19																
20																
21																
22																
23																
24																
25																
26	PL Len.							CRC								

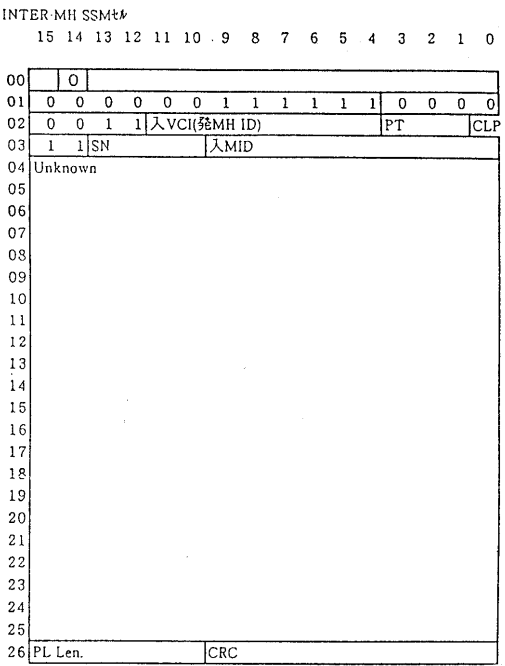
【図 5 8 7】



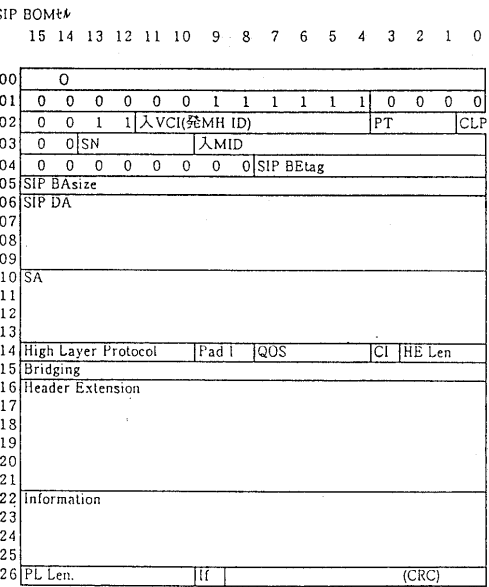
【図 5 8 8】



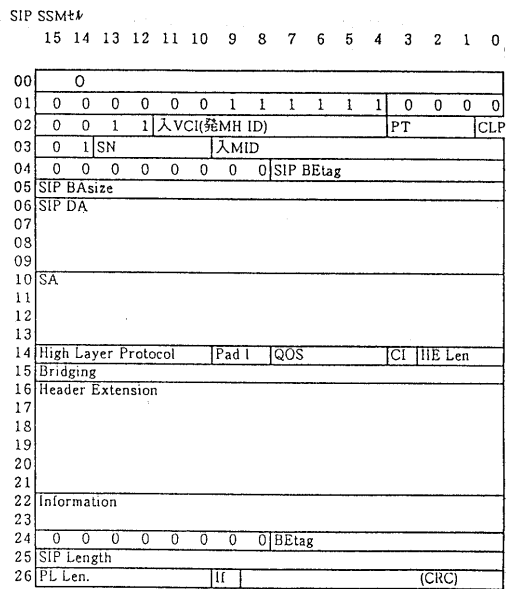
【図 5 8 9】



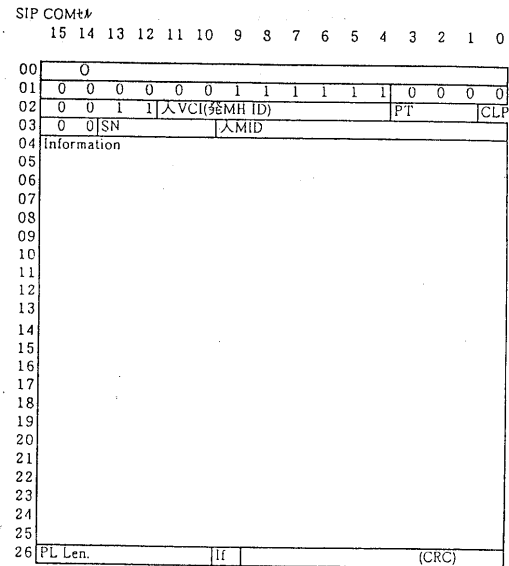
【図 5 9 0】



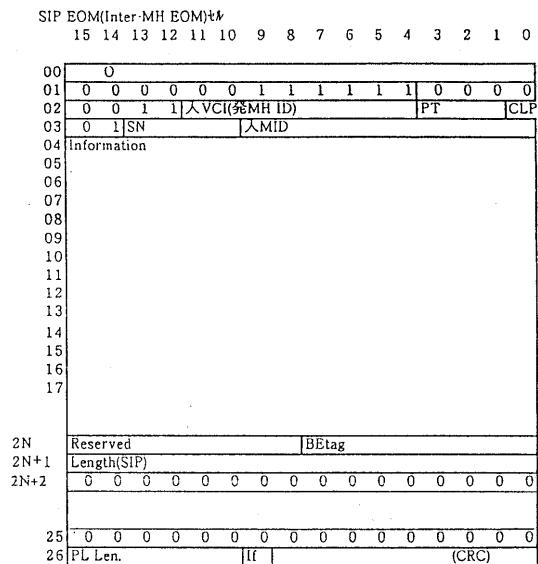
【図 5 9 1】



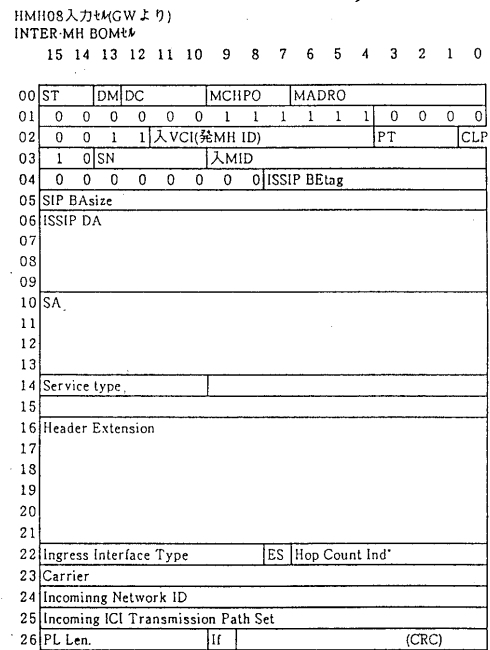
【図 5 9 2】



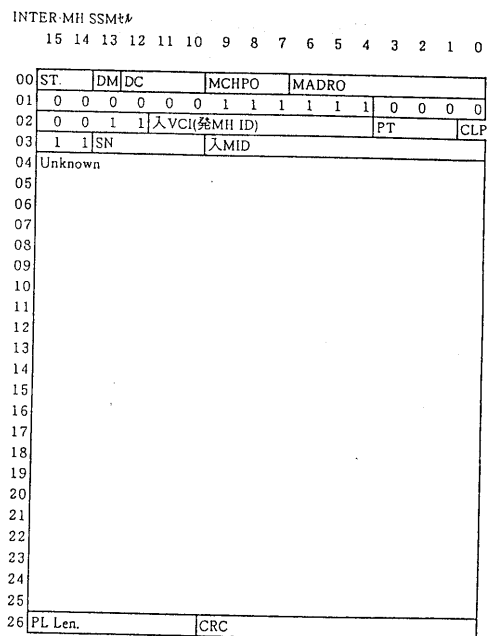
【図 5 9 3】



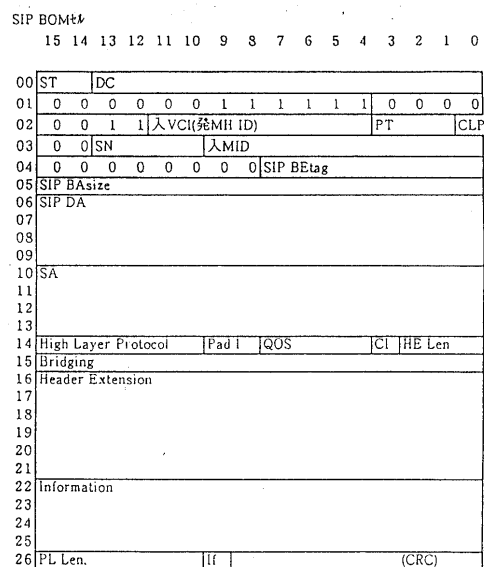
【図 5 9 4】



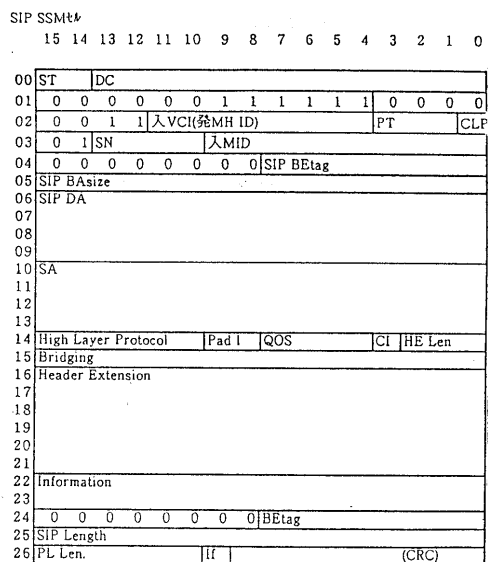
【図 5 9 5】



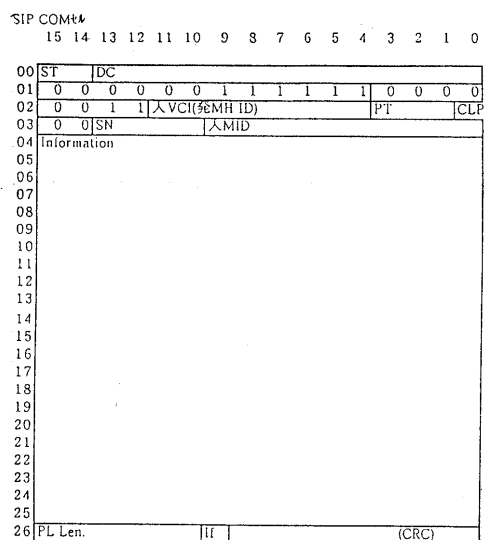
【図 5 9 6】



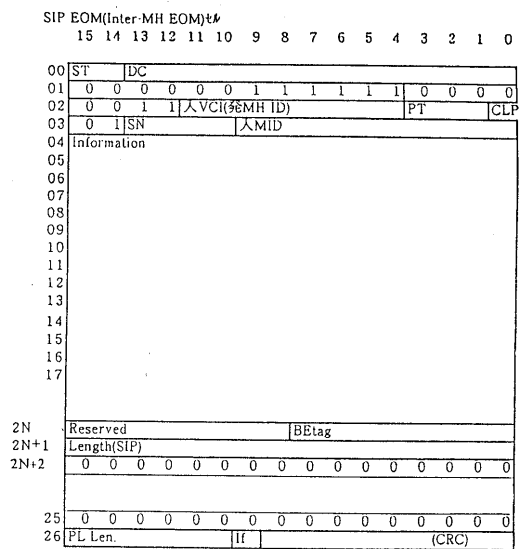
【図 5 9 7】



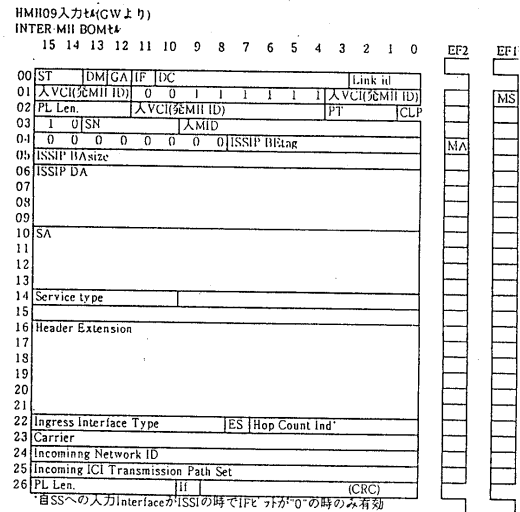
【図 5 9 8】



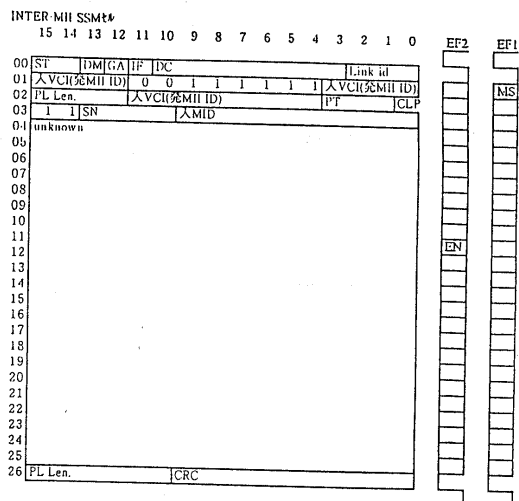
【図 599】



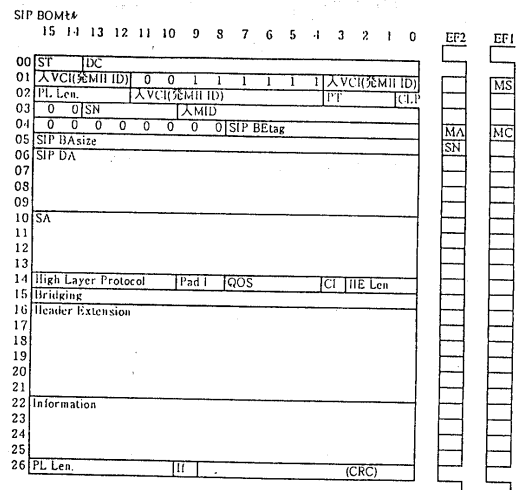
【図 600】



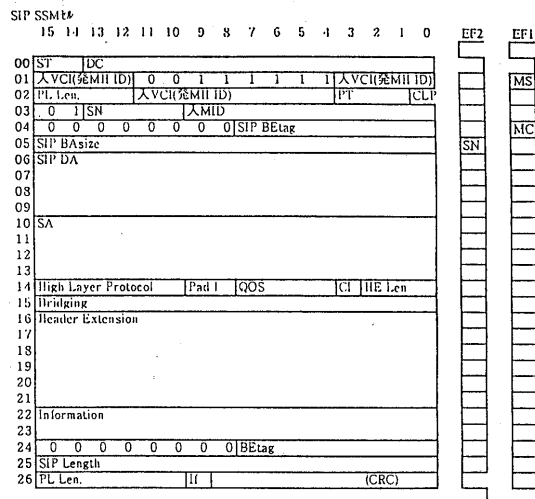
【図 601】



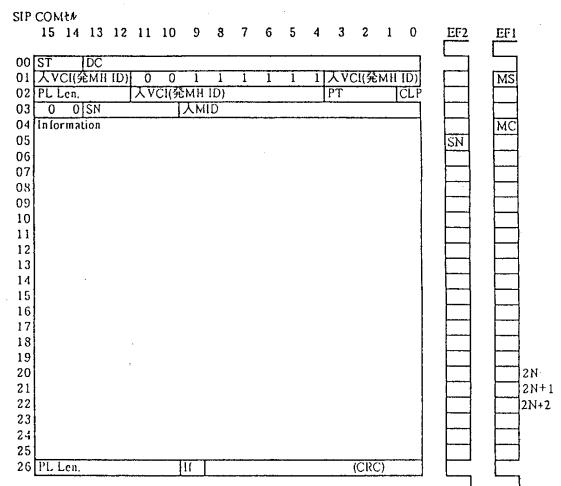
【図 602】



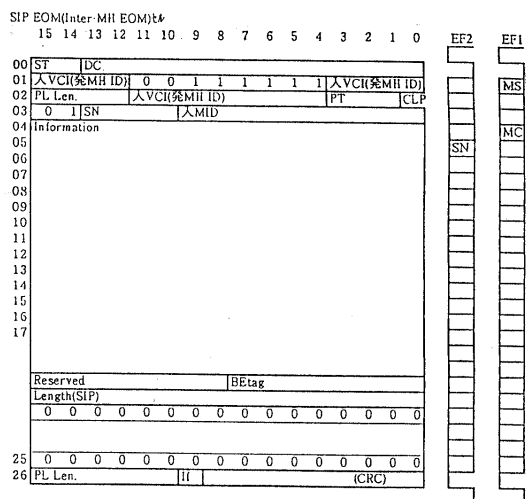
【図 603】



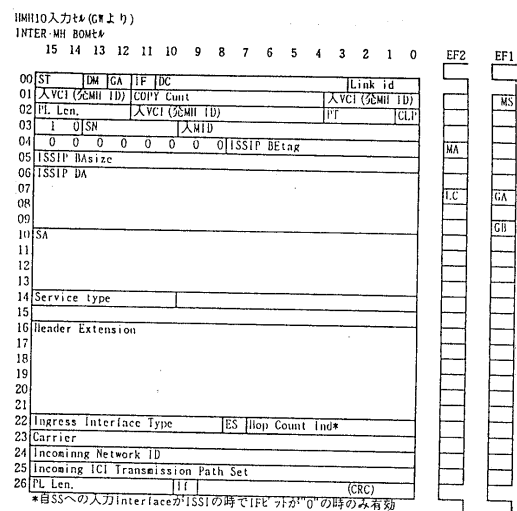
【図 604】



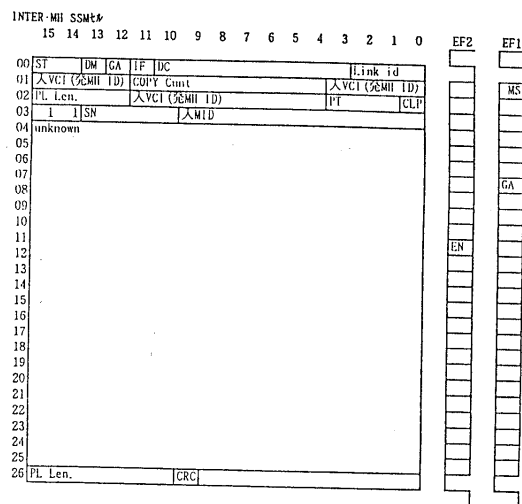
【図 605】



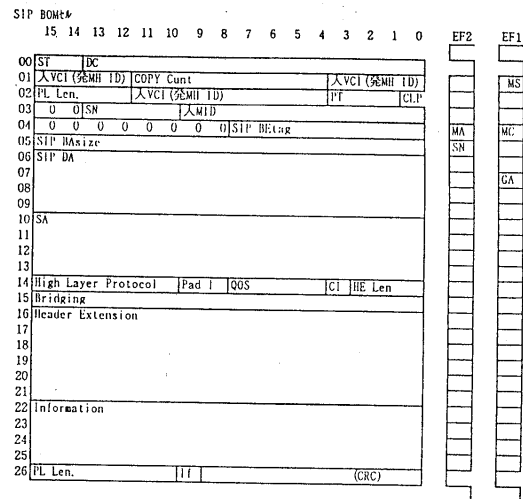
【図 606】



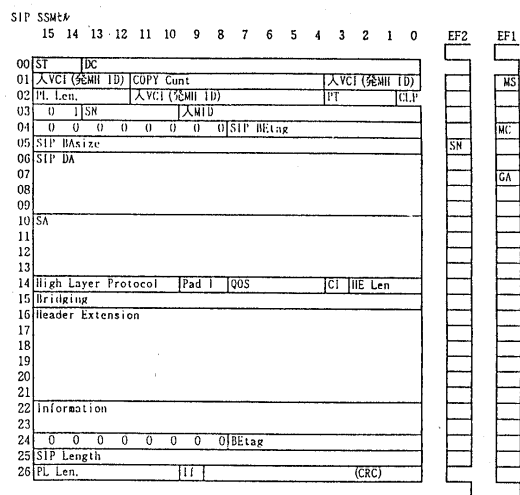
【図 607】



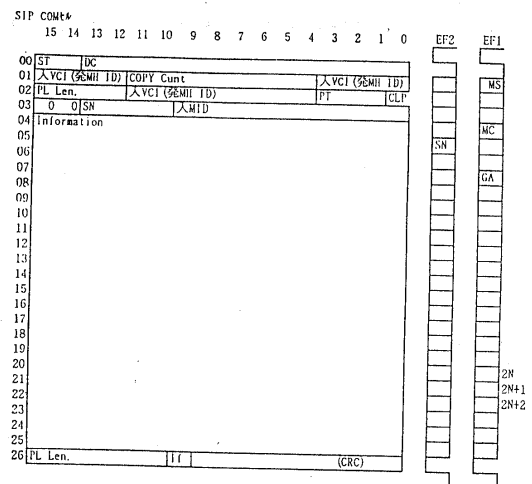
【図 608】



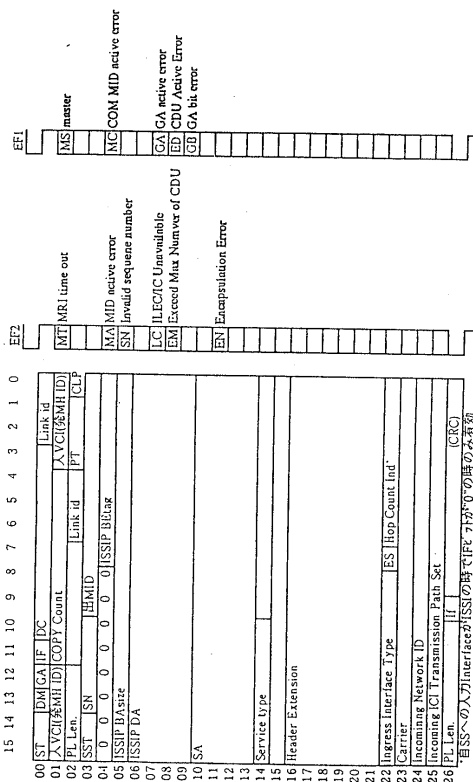
【図 609】



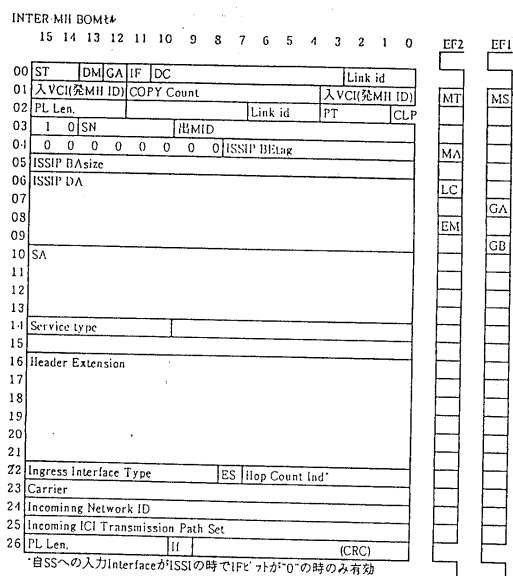
【図 610】



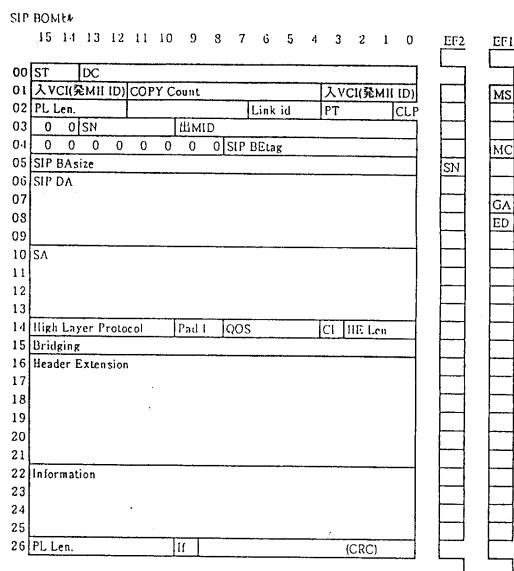
【图 6 1 2】



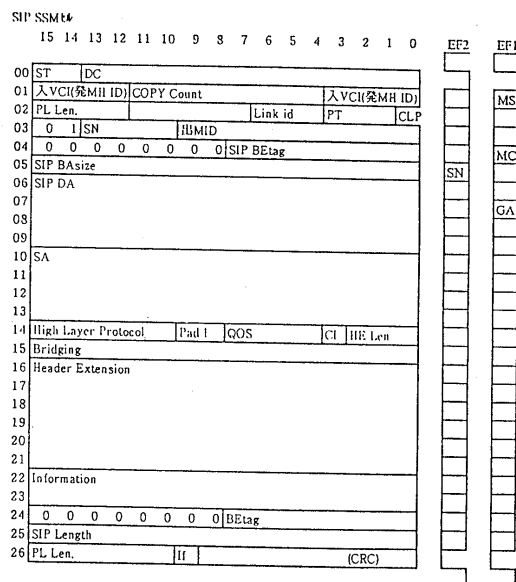
【图 6 1 4】



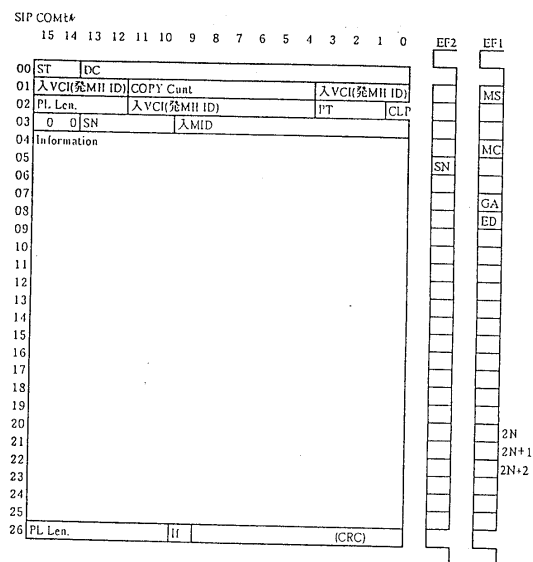
【図 6 1 5】



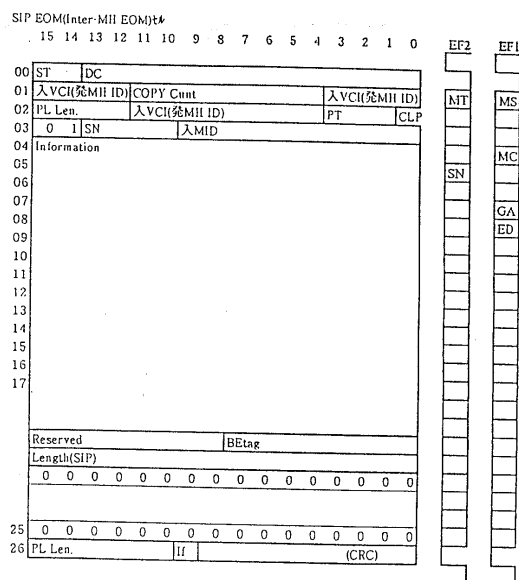
【図 6 1 6】



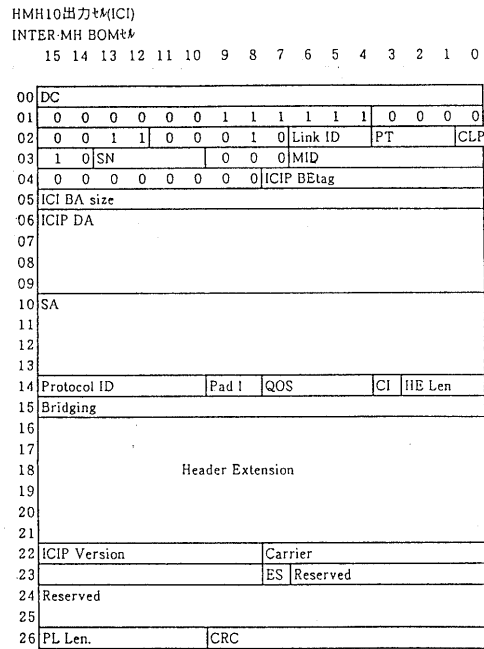
【図 6 1 7】



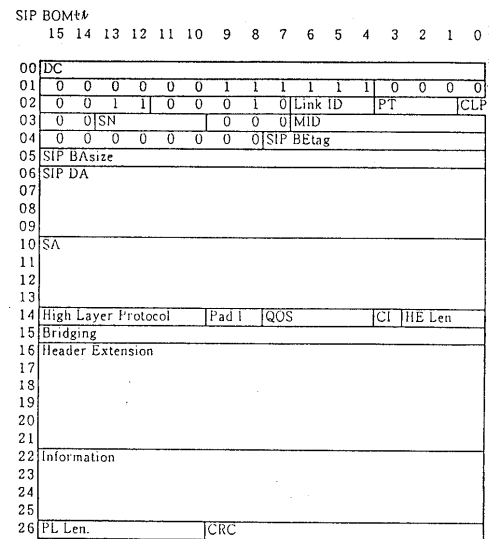
【図 6 1 8】



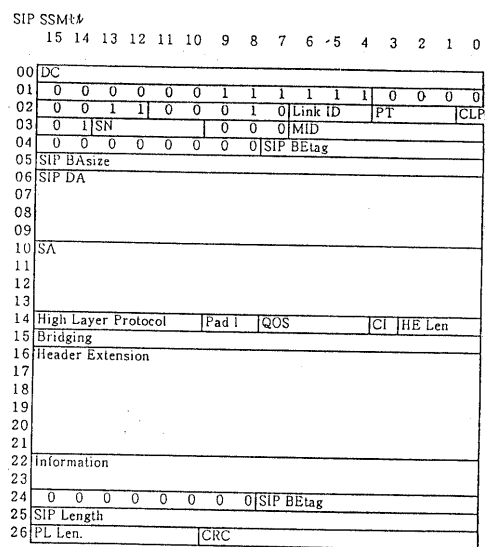
【図 6 1 9】



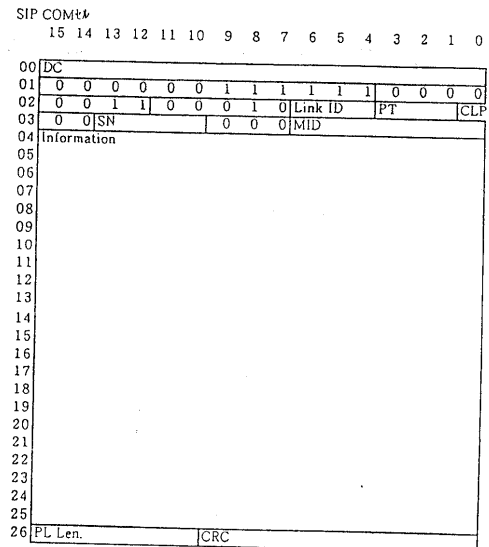
【図 6 2 0】



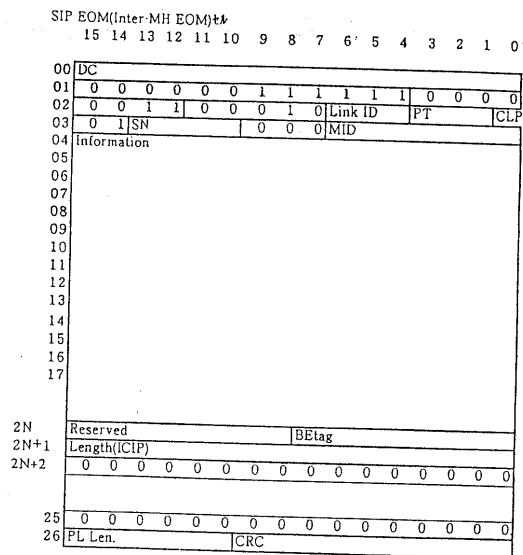
【図 6 2 1】



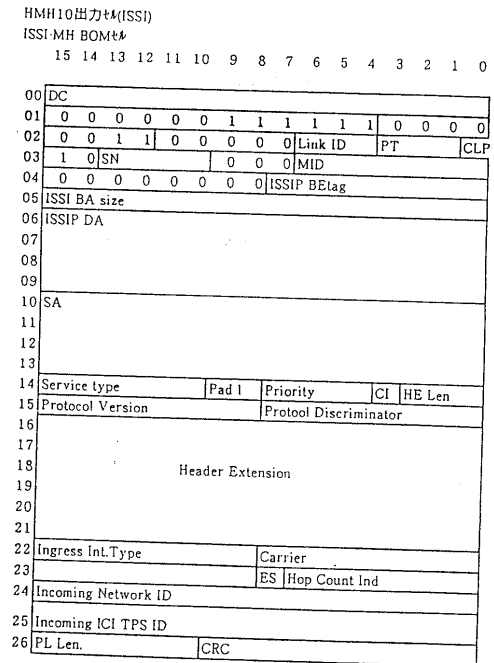
【図 6 2 2】



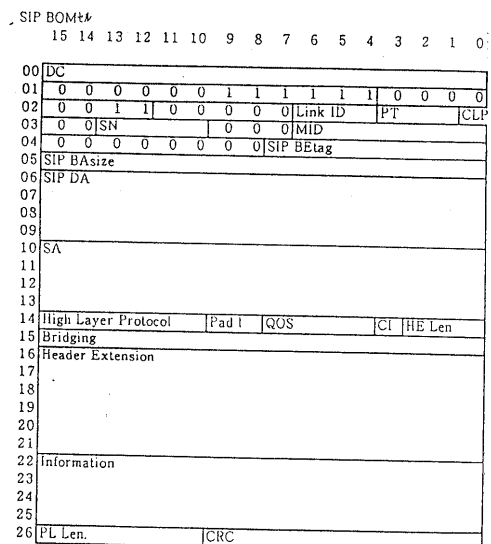
【図 6 2 3】



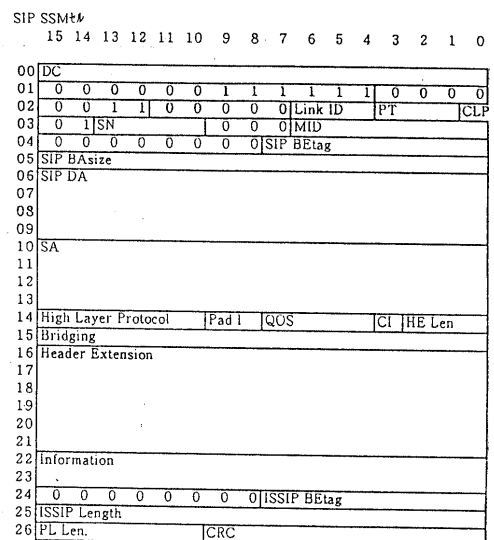
【図 6 2 4】



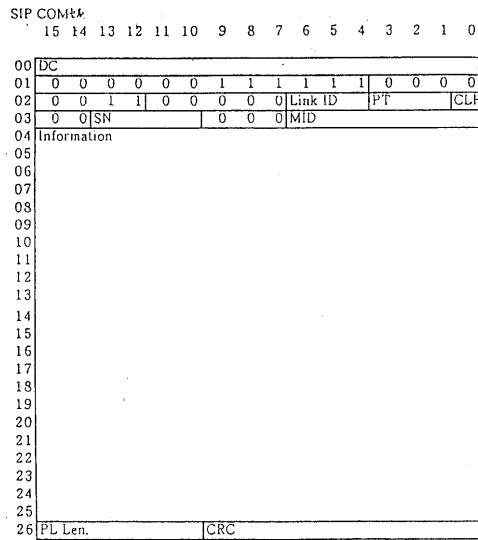
【図 6 2 5】



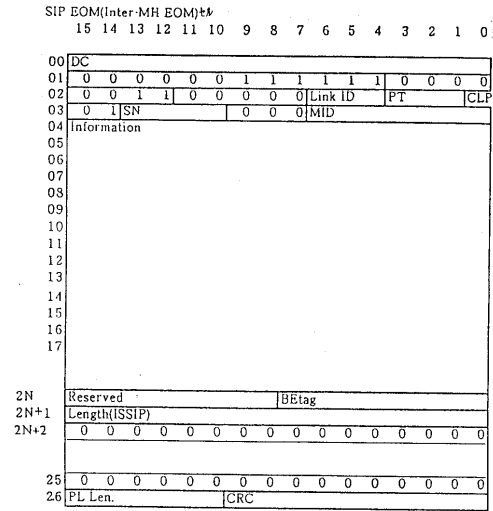
【図 6 2 6】



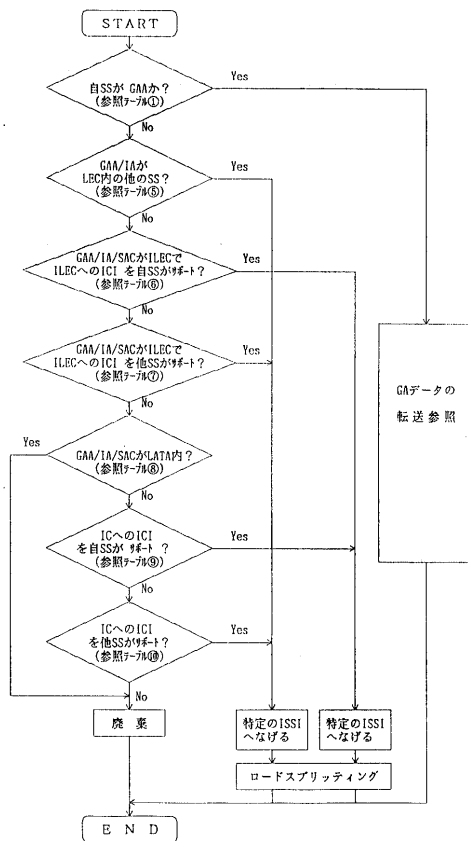
【図 6 2 7】



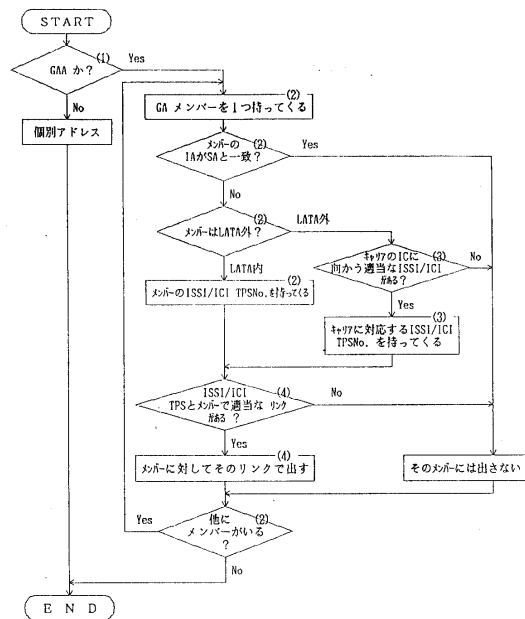
【図 6 2 8】



【図 6 2 9】



【図 6 3 0】



【図 6 3 1】

①GAA Listから自SSがGAA か判断する

GAA (64bit)	GA ID (10bit)
1024 (W)	

②GAAが持っているIA, ISSI/ICI No., GAA/IA IDと、LATA外へ出る場合の777 を付けながらコピーする

GA ID (10bit)	IA (64bit)	ISSI/ICI No. (3bit)	GAA/IA ID (6bit)	LATA外 (1bit)
1024 (W)				

③GAAコピーした後、LATA外777 がたっている場合は下記777を参照し、777を付ける

SMDS CIC (16bit)	ISSI/ICI No. (3bit)
256 (W)	

④下記777より、指定した777 を自MESHが持っているか判断する

ISSI/ICI No. (3bit)	GAA/IA ID (6bit)	777
256 (W)		

【図 6 3 2】

⑤LEC 内GAA/IA局番よりGAA/IAが LEC内の他のSSか判断する

LEC内 GAA局番 (32bit)	ISSI No. (3bit)
LEC内 IA 局番 (32bit)	ISSI No. (3bit)

⑥LEC 内GAA/IA/SAC局番よりGAA/IA/SACがLECでILECへのICI を自SSが持っているか判断する

ILEC内 GAA局番 (32bit)	ICI No. (3bit)
ILEC内 IA 局番 (32bit)	ICI No. (3bit)
ILEC内 SAC局番 (32bit)	ICI No. (3bit)

⑦LEC 内GAA/IA/SAC局番よりGAA/IA/SACがLECでILECへのICI を他SSが持っているか判断する

ILEC内 GAA局番 (32bit)	ISSI No. (3bit)
ILEC内 IA 局番 (32bit)	ISSI No. (3bit)
ILEC内 SAC局番 (32bit)	ISSI No. (3bit)

⑧LATA内GAA/IA/SAC局番よりLATA内の局番か判断する

LATA内 GAA局番 (32bit)
LATA内 IA 局番 (32bit)
LATA内 SAC局番 (32bit)

ただし、⑤～⑧の局番数は合計で512番号となる

【図 6 3 3】

⑨SMDS CICよりICIへのICI を自SSが持っているか判断する

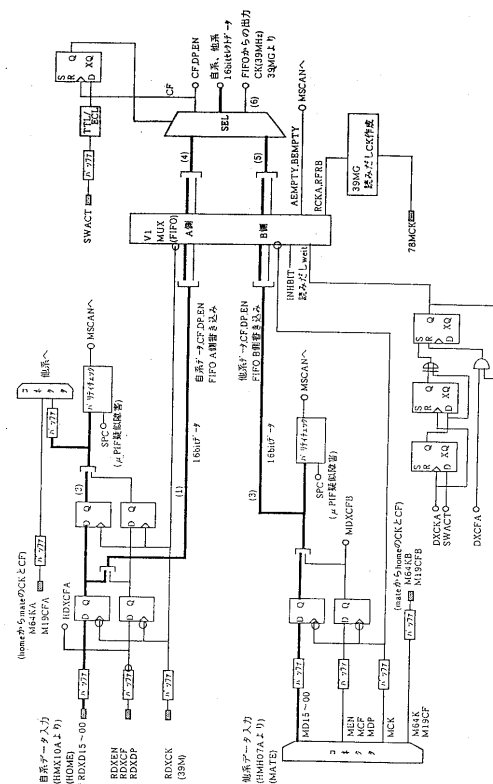
SMDS CIC (16bit)	ICI No. (3bit)

ただし、⑨、⑩の777指定は合計で256とする

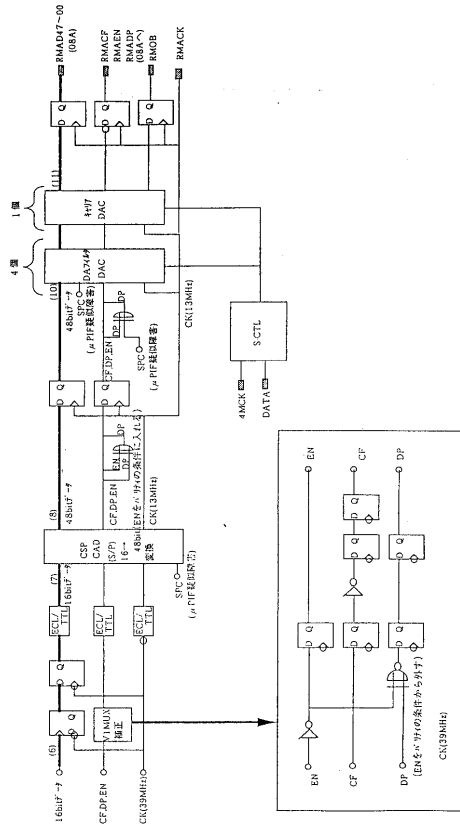
⑩SMDS CICよりICIへのICI を他SSが持っているか判断する

SMDS CIC (16bit)	ISSI No. (3bit)

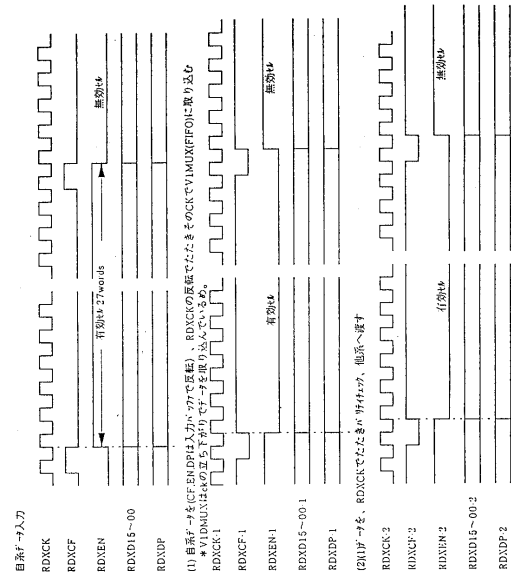
【図 6 3 4】



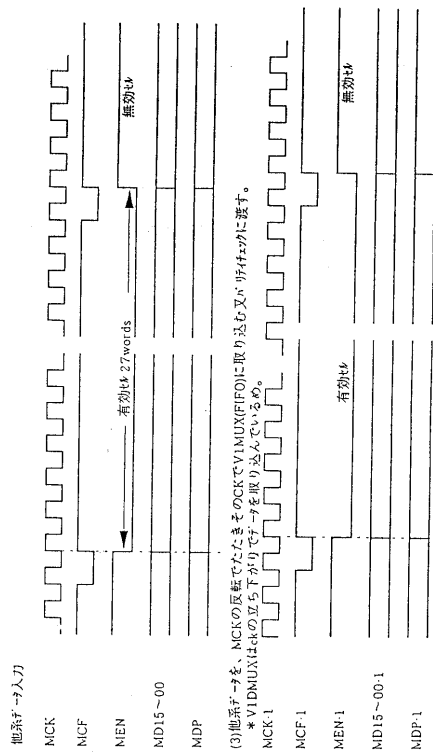
【図 6 3 5】



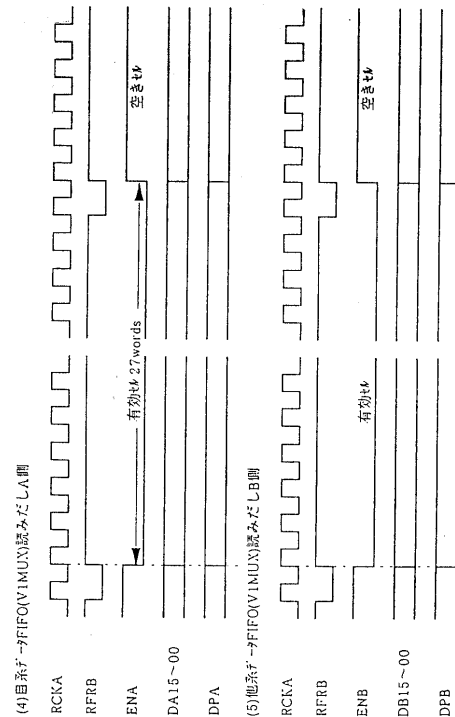
【図 6 3 6】



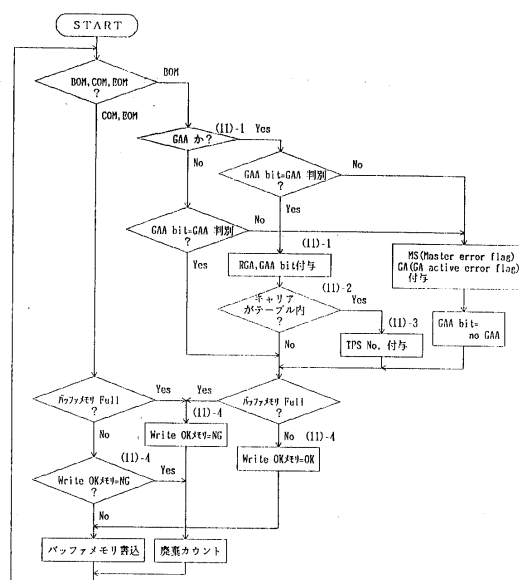
【図 6 3 7】



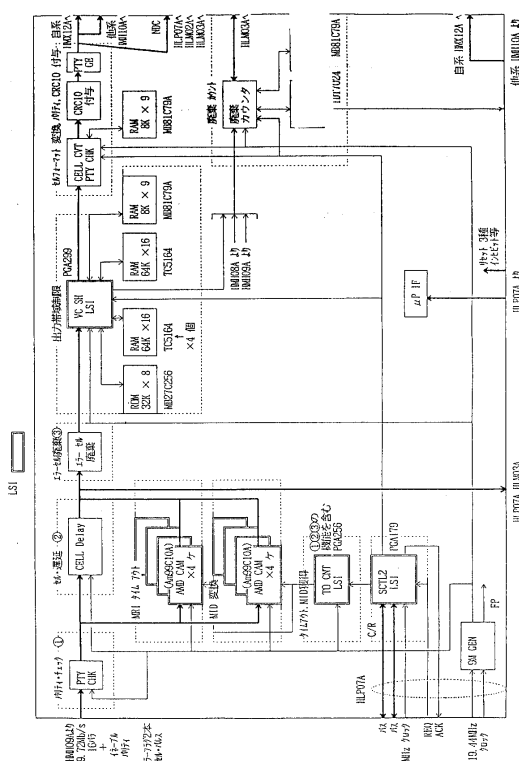
【図 6 3 8】



【図 6 4 4】



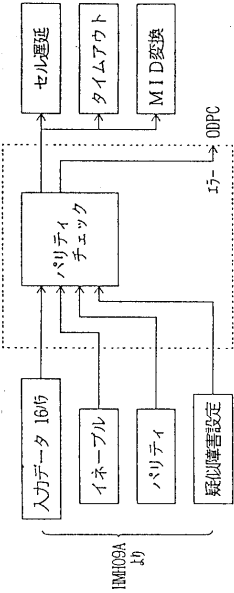
【图 6 4 6】



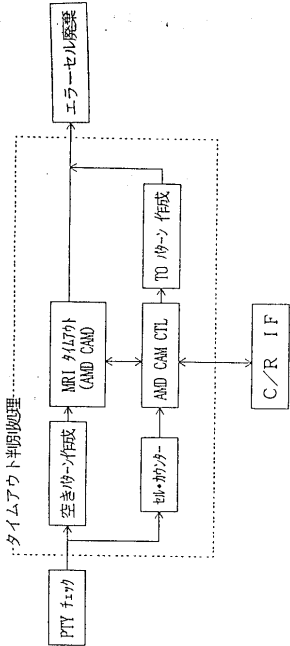
【図 6 4 7】

項	機 能	概 要
1	バリディ・チェック	データとイネーブルに対してバリディ・チェックを行う。
2	MR1 タイムアウト	メッセージのMR1 タイムアウトを判別する。
3	MID 変換	入MIDを出MIDのVCI、MIDに変換する。
4	セル遅延	タイムアウト処理 MID変換の処理に要する時間遅延を行う。
5	エラー・セル廃棄	エラーフラグを受け、セルの廃棄を行う。
6	出力帯域制限	規定された帯域に基づき、出力帯域の制限を行う。
7	フォーマット変換	セルフォーマットを、ISSI 或いは ICI フォーマットへ変換する。
8	CRC-10 生成付与	ヘッダを除く40-bに対してCRC-10演算を行い、演算結果を付与する。
9	廃棄カウンント	HM08A、HM09A 及び VC-SH II から廃棄を受け付けし、LP-QM部へ渡す。
10	C/R 部	HLPT7Aから SCTL2 LSIにより、マブド を受信し、マブダ を返す。
11	MSCN、MSD部	μ p部から送られる各種制御信号及びデータの受信と内部制御を行う。
12	CLK Gen.	19.44MHz クロック及び フル・ルックにより 9.72MHzの クロック を生成する。

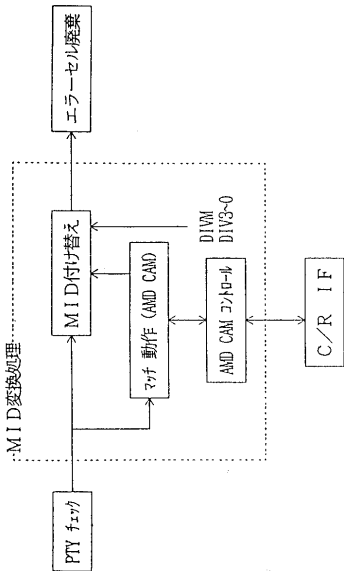
【図 6 4 8】



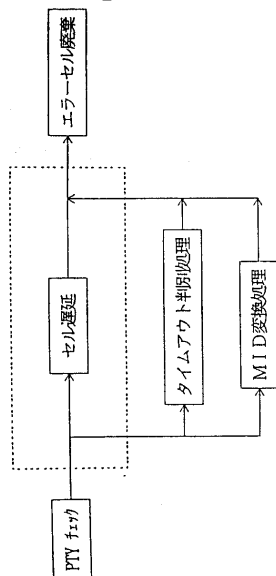
【図 6 4 9】



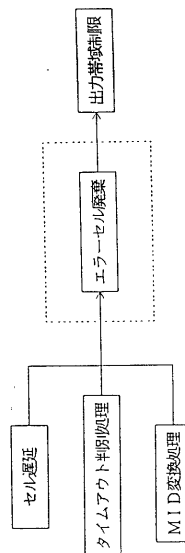
【図 6 5 0】



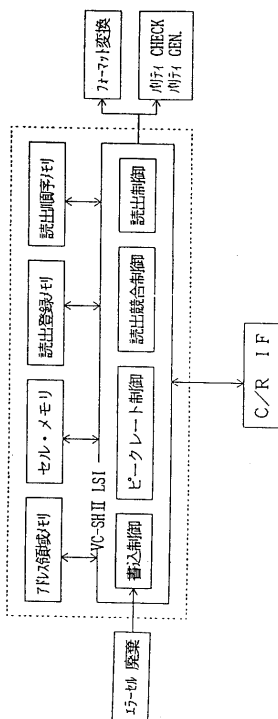
【 図 6 5 1 】



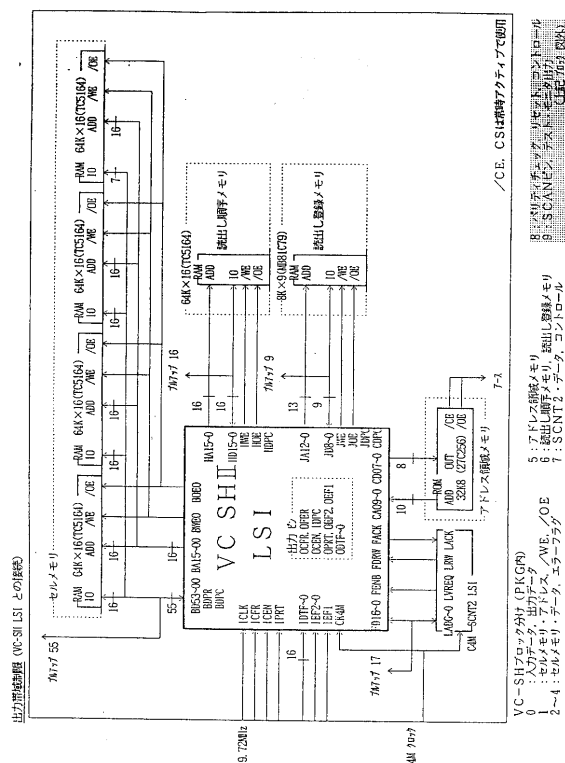
【図 6 5 2】



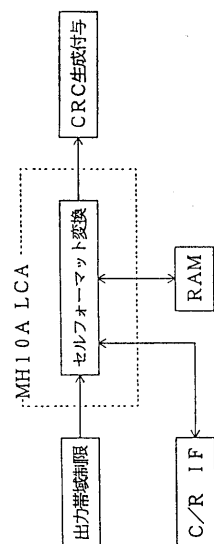
【 ☒ 6 5 3 】



【 図 6 5 4 】



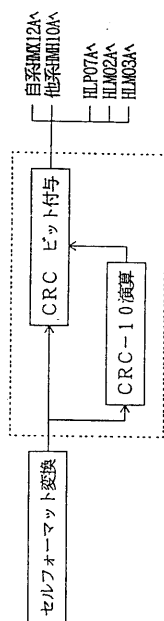
【図 6 5 5】



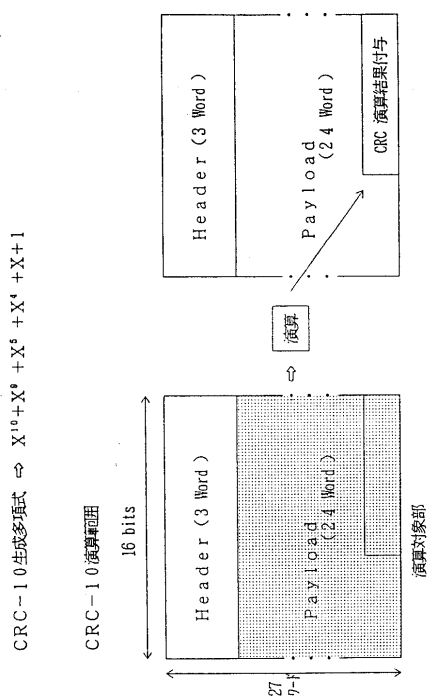
【 図 6 5 6 】

1. 共通処理 (BDM COM BDM によらない)
- ① 試験 7-F b15(=VC1 上位b16)が0の時、試験 8-F, b14 が0の時、S8 8とみなす。
- ② 試験 9-F 目に 03F0(H) を入力
- ③ 試験 9-F b15-12に 0011(b) を入力
- ④ 試験 9-F b6-4(9-F) 目、を 外付けRAM のアドレスとして与え、リーフのb14が1の場合、1 C 1 とみなし、試験 9-F b8 に 1(b) を入力する。9-Fのb14が0の場合 8 F の書換は行わない。
2. Segment Typeの識別
- ① 試験 9-F b15-14が10 の時 BOM 00の時 COM 01の時 BOMとみなす。11の時 はBOMの処理とする。(b15が1の時 BOMの処理とする。)
3. セルが1 C 1 の BDMの場合
- ① 試験 14-F b9-3に 0000000(b) を入力する。
- ② 試験 14-F b15-10(Protocol ID) が 48(Dec)または50(Dec) で且つ、試験 8-F または GW 8-Fの場合、処理を終了する。
- ③ ②でない場合サーチとみなし、14-F b15-10(Protocol ID) に 1—④のリーフのb5-b0 を入力する。
- ④ 試験 22-F, 23-F 以下の様に書換える。
- b15 ~ b8 b7 ~ b6
- | | | |
|-------|--------------|---|
| 試験 22 | ICIP Version | B |
| 試験 23 | C | D |
- 処理前
- ⇒
- b15 ~ b8 b7 ~ b6
- | | | |
|-------|-------------|-------------------------------|
| 試験 22 | 00000001(b) | C |
| 試験 23 | D | Bの
b7の位以下all 0
0000000- |
- 処理後 b6 ~ b0
- ⑤ 試験 24-F, 25-F 全 bit all '0' を入力。
4. セルが1 S S 1 の BDMの場合
- ① 試験 14-F b15-10(Service Type)が 48(Dec)または50(Dec) で且つ、試験 8-F または GW 8-Fの場合、試験 15-F b15-9に 00000001(b) を入力する。
- ② ①でない場合サーチとみなし、試験 14-F b15-10(Service Type)に 1—④のリーフのb5-b0 を入力し、試験 14-F b9-3 に 0001000(b) を入力する。
- ③ 試験 15-F b7-0(Protocol Discriminator)に 00000001(b) を入力する。
- ④ 試験 22-F, 23-F 以下の様に書換える。
- b15 ~ b8 b7 ~ b6
- | | | |
|-------|---|---|
| 試験 22 | A | B |
| 試験 23 | C | D |
- 処理前
- ⇒
- b15 ~ b8 b7 ~ b6
- | | | |
|-------|---|---|
| 試験 22 | A | C |
| 試験 23 | D | B |
- 処理後

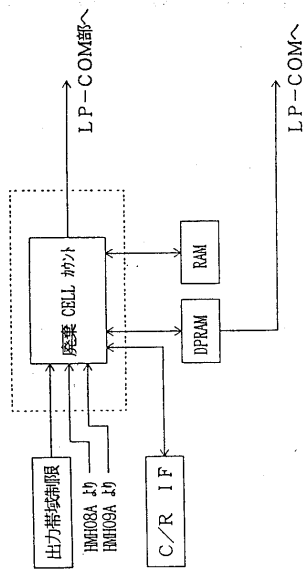
【図 6 5 7】



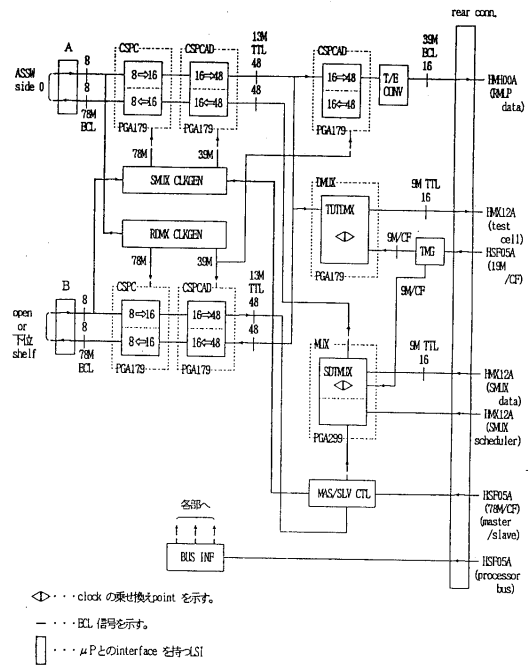
【图 6 5 8】



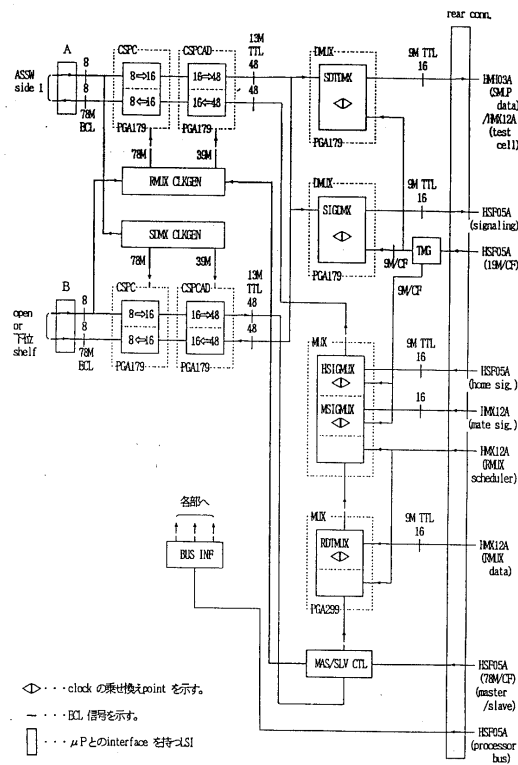
【図 659】



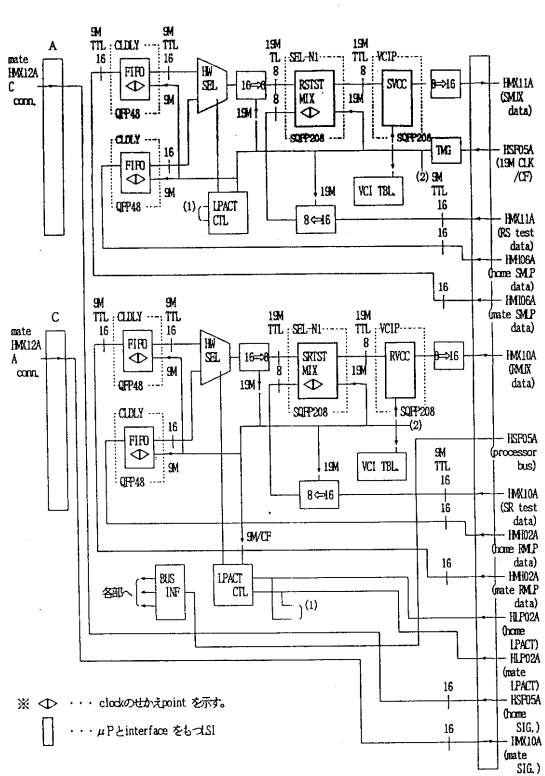
【図 660】



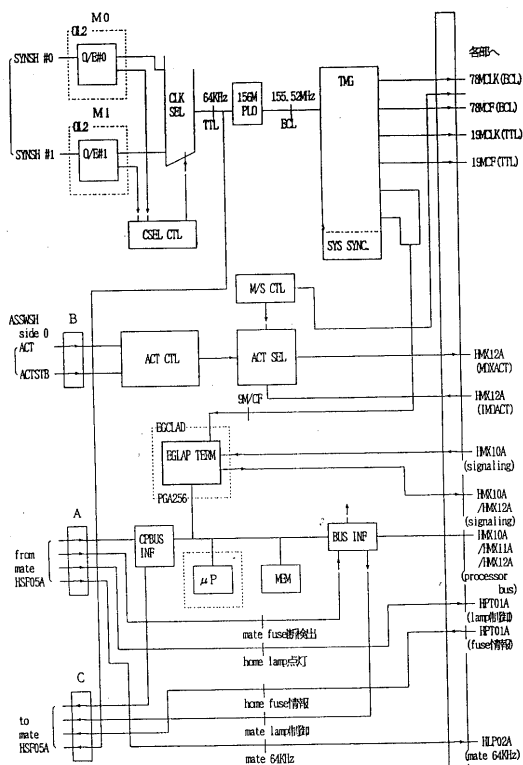
【図 661】



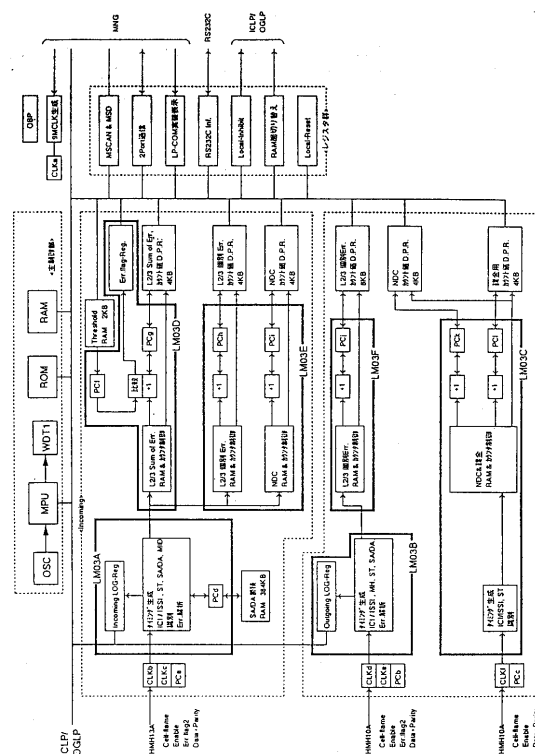
【図 662】



【图 6 6 4】



【图 6 6 6】



【図 6 6 7】

ブロック	機 能
主制御部	MPU 16bit マイクロプロセッサ (80C186-10)
	RAM Firmware work用 128K×16bit SRAM
	ROM Firmware格納用 64K×16bit EPROM
	OCS 16MHz 発振器
レジスタ群	MSCN & MSD MSCN: 各チャネル NG (図 6.1.2に一覧を示す) を HLP07A へ通知するための領域
	MSD: HLP07A から疑似障害を設定するための領域
	2Port通信 HLP07A間との通信時の刻込みを起動／解除を行う
	LP-COM: 実装状態 LP-COM/ICPWC (HLP07A, HLM02A) の実装有無を表示する
	RS232C Inf debug用 ワークションのInterface
	Local-Inhibit PM/TM カウント値格納用RAMの 初期設定指示
	RAM 面切替え PM/TM カウント値格納用二面構成RAMの Hardware access面指示
	Local-Reset 内部Reset
	CLK生成 HLP07A からの 19MCLK, 19MFPで 9MCLKを生成する
	OBP On Board Power +48V を+5Vへ変換する

【図 6 6 8】

ブロック	機 能
Incoming	Incoming側のL2/3 Sum of Error, L2/3 個別Error, Network Data Collection関連の countを行う
パディング生成	9MCLK, cell-frame(CF), Enable(EN)信号により各種パディングを生成する
ICI/ISSI, ST, SA/DA, MID識別	cell-Data から 発ICI/ISSI, セグメントID, SA/DA, MID を識別する
Err. 解析	Error-flag(EF)信号により Error種別を解析する
Incoming LOG-Reg.	LOG対象Error発生時 Error種別, 発ICI/ISSI, SA, DA を フォーム7へ通知する為の領域
SA/DA 蓄積RAM	LOG収集の為 SA, DAを蓄積するRAM
Threshold RAM	フォーム7 が, 初期設定時にL2/3 Sum of Error のThresholdを設定する
L2/3 Sum of Err. カウント値 D.P. RAM	L2/3 Sum of Error の count値を格納するDual Port RAM
Err. flag-Reg.	Sum of Error count値が Thresholdを超過した場合 フォーム7へ通知する為の領域
L2/3 個別Err. D.P. RAM	L2/3 個別Error の count値を格納するDual Port RAM
NDC カウント値 D.P. RAM	Network Data Collection関連の count値を格納するDual Port RAM
Outgoing	Outgoing側の L2/3 個別Error, Network Data Collection, 課金関連の countを行う
パディング生成	9MCLK, cell-frame(CF), Enable(EN)信号により各種パディングを生成する
ICI/ISSI, MH, ST, SA/DA, MID 識別	cell-Data から 着ICI/ISSI, 着MH, セグメントID, SA/DA, MID を識別する
Err. 解析	Error-flag(EF)信号によりError 種別を解析する
Outgoing LOG-Reg.	LOG 対象Error 発生時、Error 種別、着ISSI/ICI, SA, DAをフォーム7 へ通知するための領域
L2/3 個別Err. D.P. RAM	L2/3 個別Error の count値を格納するDual Port RAM
NDC カウント値 D.P. RAM	Network Data Collection関連の count値を格納するDual Port RAM
課金カウント値 D.P. RAM	課金関連の count値を格納するDual Port RAM

【図 6 6 9】

チェック名	チェック対象
CLK a	HLP07Aからの19Mclock, frame pluse の断チェック
CLK b	内部生成した9Mclock と Incoming LPからの cell frame の断チェック
CLK c	内部生成した9Mclock と Incoming LPからの error flag2の断チェック
CLK d	内部生成した9Mclock と Outgoing LPからの cell frame の断チェック
CLK e	内部生成した9Mclock と Outgoing LPからの error flag2の断チェック
CLK f	内部生成した9Mclock と Outgoing LPからの cell frame の断チェック
WDT1	watchdog timerの time out, MPU出力 8Mclock断
PC a	Incoming LPからの Data, enable のパリティチェック
PC b	Outgoing LPからの Data, enable のパリティチェック
PC c	Outgoing LPからの Data, enable のパリティチェック
PC d	SA/DA蓄積RAM のパリティチェック
PC f	Threshold RAM のパリティチェック
PC g	L2/3 Sum of Err. count値 D.P. RAMのパリティチェック
PC h	Incoming L2/3 個別Err. count値 D.P. RAMのパリティチェック
PC i	Incoming NDC count値 D.P. RAMのパリティチェック
PC j	Outgoing L2/3 個別Err. count値 D.P. RAMのパリティチェック
PC k	Outgoing NDC count値 D.P. RAMのパリティチェック
PC l	課金 count値 D.P. RAMのパリティチェック

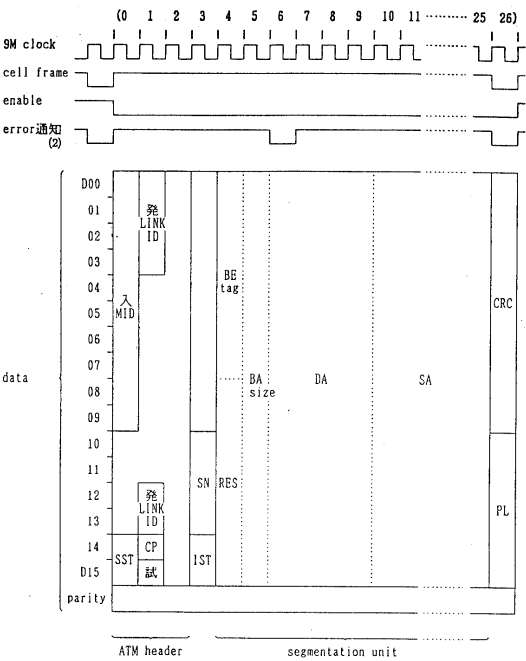
【図 6 7 0】

チェック名	チェック条件
	Incoming LP より 9MError の Error通知があること
P C d	Incoming LP より L2/3 Sum of Error に関するError の Error通知があること
P C f	Incoming LP より L2/3 Sum of Error に関するError の Error通知があること
P C g	Incoming LP より L2/3 Sum of Error に関するError の Error通知があること
P C h	Incoming LP より L2/3 個別count Error の Error通知があること
P C i	Incoming LP より NDC個別count Error の Error通知があること
P C j	Outgoing LP より L2/3 個別count Error の Error通知があること

【図 6 7 1】

群	項	レベル	Check	No.	17-発生cell	Action
A	1	L2	MRI time out	2	EOM (擬似EOM)	Count
B	1	L2	Invalid Payload CRC Code	3	BOM, COM, EOM	廃棄 Count
C	1	L2	Payload Length Error	4	BOM, COM, EOM	廃棄 Count
D	1	L2	BOM with unexpected MID	5	BOM	Count
	2	L2	EOM with unexpected MID	5	EOM	廃棄 Count
E	1	L2	Unexpected SN error	6	COM, EOM	廃棄 Count
F	1	L3	Invalid BAsize field value	7	BOM	廃棄 Count
	2	L3	Invalid DA Type	8	BOM	廃棄 Count
	3	L3	Invalid SA Type	9	BOM	廃棄 Count
	4	L3	Invalid Service Type (ISSI)	11	BOM	廃棄 Count Log
	5	L3	Invalid Protocol ID (ICI)	11	BOM	廃棄 Count Log
	6	L3	Invalid Protocol Discriminator	13	BOM	廃棄 Count Log
	7	L3	Hop Count = 0	15	BOM	廃棄 Count Log
	8	L3	Invalid Ingress Interface Type	16	BOM	廃棄 Count Log
	9	L3	BEtag mismatch	18	EOM	廃棄 Count
G	1	独自	MID assigned error	20	BOM	廃棄 Count
	2	独自	Exceed maximum number of CDU	21	BOM	廃棄 Count
	3	独自	Routing error	22	BOM	廃棄 Count
	4	独自	BAsize ≠ Length	23	EOM	廃棄 Count
	5	独自	Encapsulation error	24	SSM	廃棄 Count

【図 6 7 2】



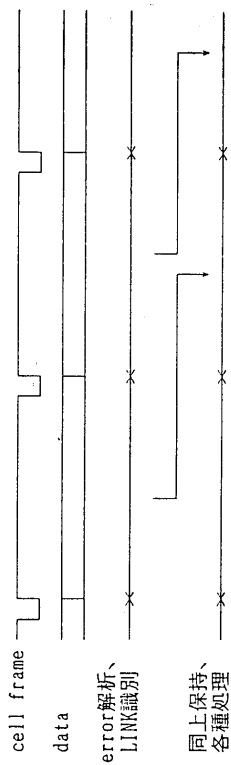
【図 6 7 3】

信号名	極性	説明
9M clock	—	基本clock 以下の全信号は本clock の立ち上がりで変化する
cell frame	⇐	cellの境目を示す信号 cellの最終 1r のみ
enable	⇐	cellの有効・無効を示す信号 有効の時はそのcell全領域 L
error通知(2)	⇐	error種別を表す信号 詳細は後述するが error を Lで表す
data	正	16 parallel data + parity parityは 16 bit parallel data + enable の全17 bitに対する odd. parity

【図 6 7 4】

	SST	IST
Inter-BOM	1 0	1 0
SIP-BOM	1 0	0 0
COM	0 0	0 0
EOM	0 1	0 1
SIP-SSM	1 1	0 1

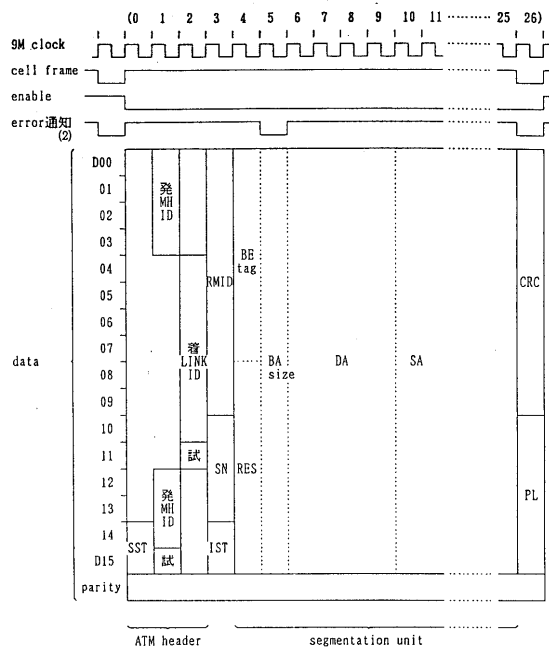
【図 6 7 5】



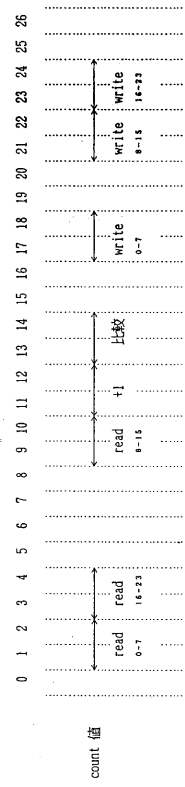
【図 6 7 6】

群	項目	レベル	Check	No.	17-発生cell	Action
A	1	L2	MRI time out	1	EDM (擬似EDM)	Count
B	1	L2	MID currently active	4	BOM	Count
	2	L2	EDM with unapproved MID	4	EDM	廃棄 Count
C	1	L2	Unexpected SN error	5	BOM, CDM, EDM	廃棄 Count
D	1	L3	ISSI/ICI Unavailable	7	BOM	廃棄 Count Log
E	1	独自	Exceed maximum number of CDU	8	BOM	廃棄 Count
	2	独自	Encapsulation Error	1	SSM	廃棄 Count

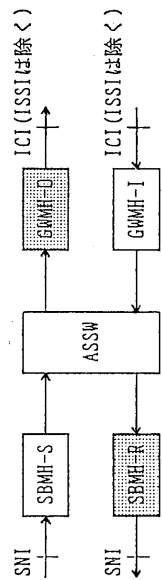
【図 6 7 7】



【図 6 7 8】



【図 6 8 3】



【図 6 8 4】

図 1	IEC Network Function	SA	DA	SNL Add	Incoming NW ID	Incoming ICI TFS ID	Outgoing ICI TFS ID	Outgoing NW ID	Carrier ID	Cond Code	Packet Count	Seq. Count	Ingress Inf Type
1	Orig. XA-SMDS (ICI)	0	0	0	*	*	0	0	0	0	0	0	0 (ICI)
2	Source Function for Exchange SMDS (ICI)	0	0	0	*	*	0	0	0	0	0	0	0 (NECA)
7	Term. XA-SMDS (SNI)	0	0	0	0	0	0	0	0	0	0	0	0 (ICI)
8	Dest. Function for Exchange SMDS (SNI)	0	0	0	0	0	0	0	0	0	0	0	0 (NECA)
1	Orig. XA-SMDS (ICI)	0	0	0	*	*	0	0	0	0	0	0	0
2	Source Function for Exchange SMDS and Orig. XA-SMDS (ICI)	0	0	0	*	*	0	0	0	0	0	0	0
3	Term. XA-SMDS (ICI)	0	0	0	0	0	0	0	0	0	0	0	0
4	Dest. Function for Exchange SMDS (ICI)	0	0	0	0	0	0	0	0	0	0	0	0
5	Dest. Function for Orig. XA-SMDS (ICI)	0	0	0	0	0	0	0	0	0	0	0	0
6	Source Function for Term. XA-SMDS (ICI)	0	0	0	0	0	0	0	0	0	0	0	0
7	Term. XA-SMDS (SNI)	0	0	0	0	0	0	0	0	0	0	0	0
8	Dest. Function for Exchange SMDS (SNI)	0	0	0	0	0	0	0	0	0	0	0	0
9	Dest. Function for Term. XA-SMDS (SNI)	0	0	0	0	0	0	0	0	0	0	0	0

○:必要, *:0 を設定, 黒印:不要

【図 6 8 5】

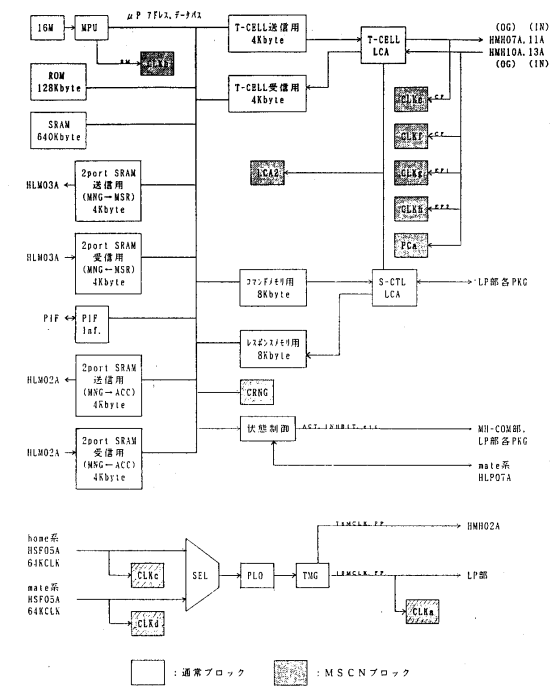
0	SA 64bit, DA(SIP) 64bit, DA(ICI) 64bit, 4+17 情報 37bit
1	SA 64bit, DA(SIP) 64bit, DA(ICI) 64bit, 4+17 情報 37bit
2	SA 64bit, DA(SIP) 64bit, DA(ICI) 64bit, 4+17 情報 37bit
...	...
FFFF	SA 64bit, DA(SIP) 64bit, DA(ICI) 64bit, 4+17 情報 37bit
FFFF	SA 64bit, DA(SIP) 64bit, DA(ICI) 64bit, 4+17 情報 37bit
FFFF	SA 64bit, DA(SIP) 64bit, DA(ICI) 64bit, 4+17 情報 37bit

RDA(SIP)+RDA(ICI)+RSA+RCA

【図 6 8 6】

ICI ID = 0	L2_PDU, L3_PDU
7	L2_PDU, L3_PDU

【図 6 8 7】



【図 6 8 8】

ブロック名	機 能
16M	マイクログラフ用 16MHzのclockを発生する。
MPU	μ P (80C186)
ROM	MPU用 77-477を格納する。
T-CELL送信用	試験々々送信用 / 11
T-CELL受信用	試験々々受信用 / 11
T-CELL LCA	HM01A, 03Aに対する試験々々の送信、(ODD 判別付与、タイミング調整) HM02A, 06Aからの、試験々々の受信、判別付与等を行う
SRAM	MPU用 77-477 / 11
2port SRAM送信用 MNG→MSR	MSR-firmに対する、77-477送信用 / 11
2port SRAM受信用 MNG→MSR	MSR-firmからの、77-477受信用 / 11
2port SRAM送信用 MNG→ACC	ACC-firmに対する、77-477送信用 / 11
2port SRAM受信用 MNG→ACC	ACC-firmからの、77-477受信用 / 11
INF inf	INFとのインターフェイスを制御する (SBIF-LSI)
コンフ送信用 SRAM	コンフ送信用 SRAM
レジス受信用 SRAM	レジス受信用 SRAM
S-CTL LCA	LP部に対するコンフ、レジス制御を行う。
状態制御	ACT, INHBIT等を制御する。他系との間で OUS制御を行う。
SEL	自系、他系MH-COMより受信した64KHz clockを選択する。
PLO	64KHz clockに同期させて、155MHz clockを発生する。
TNG	155MHz clockから78MHz, 19MHz clockを生成する。

【図 6 8 9】

ブロック名	機 能
CLKb	μ P動作用 8Mclock断
CLKe	送信用Cell Frame断 (ICLP, OGLP共通)
CLKf	受信信用Cell Frame断 (ICLP, OGLP共通)
CLKg	Error Flag-1断 (ICLP, OGLP共通)
CLKh	Error Flag-2断 (ICLP, OGLP共通)
PCa	受信Cell Data Parity NG (ICLP, OGLP共通)
LCA2	HLP07A LCA コンフィグレーション NG
CRNG	S-CTL1でのコンフ、レジス異常
CLKc	Home系64Kclock断
CLKd	Mate系64Kclock断
CLKa	19Mclock/frame pulse断

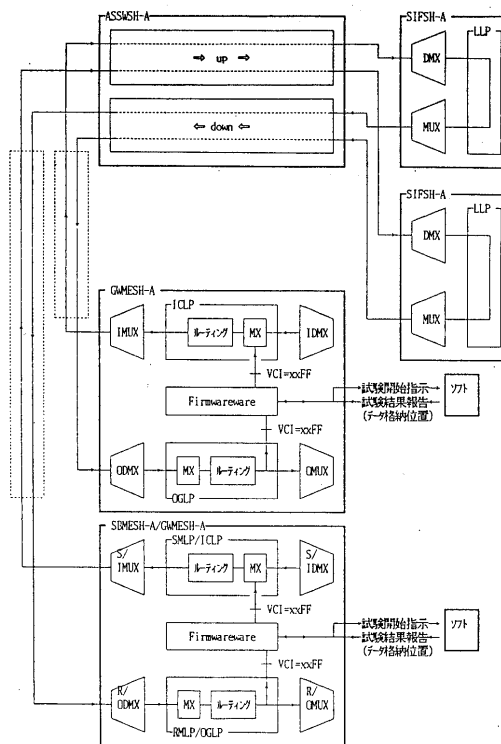
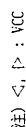
【図 6 9 0】

MESH 送信側		MESH 受信側	
VPI	VCI	VPI	VCI
VPI : BSCCカード番号 VCI : BSCCカード番号 "03FA" H, "03FB" Hは誤用		#0系局内通信用 H #1系局内通信用 H	

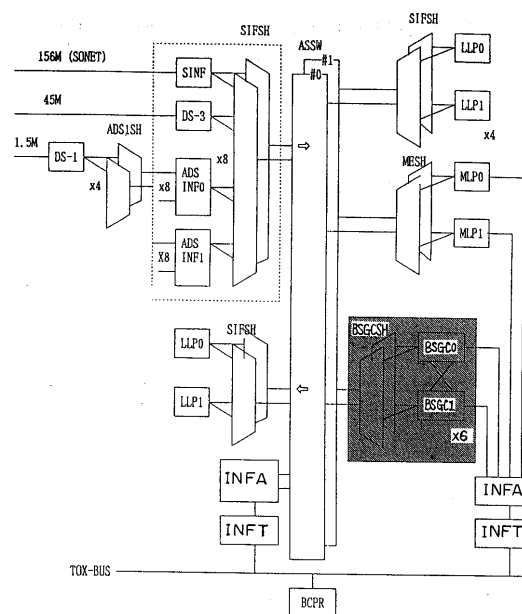
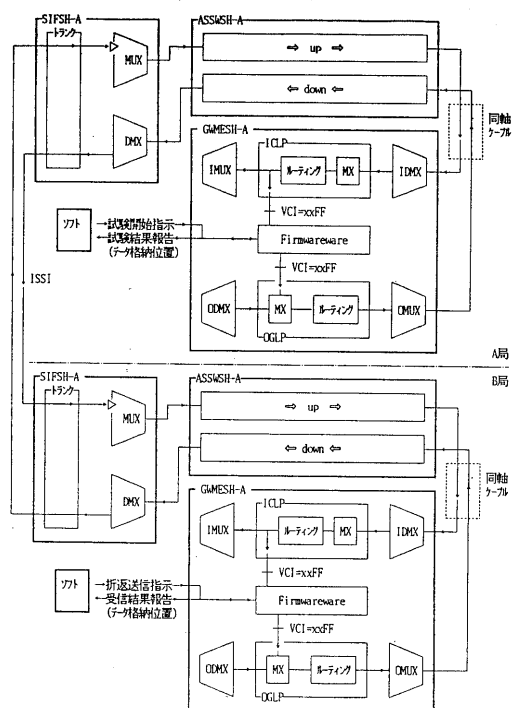
【図 6 9 1】

項	障害種別	通知方法	通知系	検出装置	ACTION				備考
					ASSW 系切替	障害 閉塞	障害 開放	点灯 ALM	
1	信号処理部 DMUX 多線路ハブ障害	自系 E+PCN	ACT	ACT MICHN	○	○	○	○	② ③ ④ ⑤ ⑥ ⑦ ⑧ ⑨ ⑩ ⑪ ⑫ ⑬ ⑭ ⑮ ⑯ ⑰ ⑱ ⑲ ⑳ ㉑ ㉒ ㉓ ㉔ ㉕ ㉖ ㉗ ㉘ ㉙ ㉚ ㉛ ㉜ ㉝ ㉞ ㉟ ㊱ ㊲ ㊳ ㊴ ㊵ ㊶ ㊷ ㊸ ㊹ ㊺ ㊻ ㊼ ㊽ ㊾ ㊿ ㏀ ㏁ ㏂ ㏃ ㏄ ㏅ ㏆ ㏇ ㏈ ㏉ ㏊ ㏋ ㏌ ㏍ ㏎ ㏏ ㏐ ㏑ ㏒ ㏓ ㏔ ㏕ ㏖ ㏗ ㏘ ㏙ ㏚ ㏛ ㏜ ㏝ ㏞ ㏟ ㏠ ㏡ ㏢ ㏣ ㏤ ㏥ ㏦ ㏧ ㏨ ㏩ ㏪ ㏫ ㏬ ㏭ ㏮ ㏯ ㏰ ㏱ ㏲ ㏳ ㏴ ㏵ ㏶ ㏷ ㏸ ㏹ ㏺ ㏻ ㏼ ㏽ ㏾ ㏿ 㐀 㐁 㐂 㐃 㐄 㐅 㐆 㐇 㐈 㐉 㐊 㐋 㐌 㐍 㐎 㐏 㐐 㐑 㐒 㐓 㐔 㐕 㐖 㐗 㐘 㐙 㐚 㐛 㐜 㐝 㐞 㐟 㐠 㐡 㐢 㐣 㐤 㐥 㐦 㐧 㐨 㐩 㐪 㐫 㐬 㐭 㐮 㐯 㐰 㐱 㐲 㐳 㐴 㐵 㐶 㐷 㐸 㐹 㐺 㐻 㐼 㐽 㐾 㐿 㑀 㑁 㑂 㑃 㑄 㑅 㑆 㑇 㑈 㑉 㑊 㑋 㑌 㑍 㑎 㑏 㑐 㑑 㑒 㑓 㑔 㑕 㑖 㑗 㑘 㑙 㑚 㑛 㑜 㑝 㑞 㑟 㑠 㑡 㑢 㑣 㑤 㑥 㑦 㑧 㑨 㑩 㑪 㑫 㑬 㑭 㑮 㑯 㑰 㑱 㑲 㑳 㑴 㑵 㑶 㑷 㑸 㑹 㑺 㑻 㑼 㑽 㑾 㑿 㒀 㒁 㒂 㒃 㒄 㒅 㒆 㒇 㒈 㒉 㒊 㒋 㒌 㒍 㒎 㒏 㒐 㒑 㒒 㒓 㒔 㒕 㒖 㒗 㒘 㒙 㒚 㒛 㒜 㒝 㒞 㒟 㒠 㒡 㒢 㒣 㒤 㒥 㒦 㒧 㒨 㒩 㒪 㒫 㒬 㒭 㒮 㒯 㒰 㒱 㒲 㒳 㒴 㒵 㒶 㒷 㒸 㒹 㒺 㒻 㒼 㒽 㒾 㒿 㓀 㓁 㓂 㓃 㓄 㓅 㓆 㓇 㓈 㓉 㓊 㓋 㓌 㓍 㓎 㓏 㓐 㓑 㓒 㓓 㓔 㓕 㓖 㓗 㓘 㓙 㓚 㓛 㓜 㓝 㓞 㓟 㓠 㓡 㓢 㓣 㓤 㓥 㓦 㓧 㓨 㓩 㓪 㓫 㓬 㓭 㓮 㓯 㓰 㓱 㓲 㓳 㓴 㓵 㓶 㓷 㓸 㓹 㓺 㓻 㓼 㓽 㓾 㓿 㔀 㔁 㔂 㔃 㔄 㔅 㔆 㔇 㔈 㔉 㔊 㔋 㔌 㔍 㔎 㔏 㔐 㔑 㔒 㔓 㔔 㔕 㔖 㔗 㔘 㔙 㔚 㔛 㔜 㔝 㔞 㔟 㔠 㔡 㔢 㔣 㔤 㔥 㔦 㔧 㔨 㔩 㔪 㔫 㔬 㔭 㔮 㔯 㔰 㔱 㔲 㔳 㔴 㔵 㔶 㔷 㔸 㔹 㔺 㔻 㔼 㔽 㔾 㔿 㕀 㕁 㕂 㕃 㕄 㕅 㕆 㕇 㕈 㕉 㕊 㕋 㕌 㕍 㕎 㕏 㕐 㕑 㕒 㕓 㕔 㕕 㕖 㕗 㕘 㕙 㕚 㕛 㕜 㕝 㕞 㕟 㕠 㕡 㕢 㕣 㕤 㕥 㕦 㕧 㕨 㕩 㕪 㕫 㕬 㕭 㕮 㕯 㕰 㕱 㕲 㕳 㕴 㕵 㕶 㕷 㕸 㕹 㕺 㕻 㕼 㕽 㕾 㕿 㖀 㖁 㖂 㖃 㖄 㖅 㖆 㖇 㖈 㖉 㖊 㖋 㖌 㖍 㖎 㖏 㖐 㖑 㖒 㖓 㖔 㖕 㖖 㖗 㖘 㖙 㖚 㖛 㖜 㖝 㖞 㖟 㖠 㖡 㖢 㖣 㖤 㖥 㖦 㖧 㖨 㖩 㖪 㖫 㖬 㖭 㖮 㖯 㖰 㖱 㖲 㖳 㖴 㖵 㖶 㖷 㖸 㖹 㖺 㖻 㖼 㖽 㖾 㖿 㗀 㗁 㗂 㗃 㗄 㗅 㗆 㗇 㗈 㗉 㗊 㗋 㗌 㗍 㗎 㗏 㗐 㗑 㗒 㗓 㗔 㗕 㗖 㗗 㗘 㗙 㗚 㗛 㗜 㗝 㗞 㗟 㗠 㗡 㗢 㗣 㗤 㗥 㗦 㗧 㗨 㗩 㗪 㗫 㗬 㗭 㗮 㗯 㗰 㗱 㗲 㗳 㗴 㗵 㗶 㗷 㗸 㗹 㗺 㗻 㗼 㗽 㗾 㗿 㘀 㘁 㘂 㘃 㘄 㘅 㘆 㘇 㘈 㘉 㘊 㘋 㘌 㘍 㘎 㘏 㘐 㘑 㘒 㘓 㘔 㘕 㘖 㘗 㘘 㘙 㘚 㘛 㘜 㘝 㘞 㘟 㘠 㘡 㘢 㘣 㘤 㘥 㘦 㘧 㘨 㘩 㘪 㘫 㘬 㘭 㘮 㘯 㘰 㘱 㘲 㘳 㘴 㘵 㘶 㘷 㘸 㘹 㘺 㘻 㘼 㘽 㘾 㘿 㙀 㙁 㙂 㙃 㙄 㙅 㙆 㙇 㙈 㙉 㙊 㙋 㙌 㙍 㙎 㙏 㙐 㙑 㙒 㙓 㙔 㙕 㙖 㙗 㙘 㙙 㙚 㙛 㙜 㙝 㙞 㙟 㙠 㙡 㙢 㙣 㙤 㙥 㙦 㙧 㙨 㙩 㙪 㙫 㙬 㙭 㙮 㙯 㙰 㙱 㙲 㙳 㙴 㙵 㙶 㙷 㙸 㙹 㙺 㙻 㙼 㙽 㙾 㙿 㚀 㚁 㚂 㚃 㚄 㚅 㚆 㚇 㚈 㚉 㚊 㚋 㚌 㚍 㚎 㚏 㚐 㚑 㚒 㚓 㚔 㚕 㚖 㚗 㚘 㚙 㚚 㚛 㚜 㚝 㚞 㚟 㚠 㚡 㚢 㚣 㚤 㚥 㚦 㚧 㚨 㚩 㚪 㚫 㚬 㚭 㚮 㚯 㚰 㚱 㚲 㚳 㚴 㚵 㚶 㚷 㚸 㚹 㚺 㚻 㚼 㚽 㚾 㚿 㜀 㜁 㜂 㜃 㜄 㜅 㜆 㜇 㜈 㜉 㜊 㜋 㜌 㜍 㜎 㜏 㜐 㜑 㜒 㜓 㜔 㜕 㜖 㜗 㜘 㜙 㜚 㜛 㜜 㜝 㜞 㜟 㜠 㜡 㜢 㜣 㜤 㜥 㜦 㜧 㜨 㜩 㜪 㜫 㜬 㜭 㜮 㜯 㜰 㜱 㜲 㜳 㜴 㜵 㜶 㜷 㜸 㜹 㜺 㜻 㜼 㜽 㜾 㜿 㝀 㝁 㝂 㝃 㝄 㝅 㝆 㝇 㝈 㝉 㝊 㝋 㝌 㝍 㝎 㝏 㝐 㝑 㝒 㝓 㝔 㝕 㝖 㝗 㝘 㝙 㝚 㝛 㝜 㝝 㝞 㝟 㝠 㝡 㝢 㝣 㝤 㝥 㝦 㝧 㝨 㝩 㝪 㝫 㝬 㝭 㝮 㝯 㝰 㝱 㝲 㝳 㝴 㝵 㝶 㝷 㝸 㝹 㝺 㝻 㝼 㝽 㝾 㝿 㞀 㞁 㞂 㞃 㞄 㞅 㞆 㞇 㞈 㞉 㞊 㞋 㞌 㞍 㞎 㞏 㞐 㞑 㞒 㞓 㞔 㞕 㞖 㞗 㞘 㞙 㞚 㞛 㞜 㞝 㞞 㞟 㞠 㞡 㞢 㞣 㞤 㞥 㞦 㞧 㞨 㞩 㞪 㞫 㞬 㞭 㞮 㞯 㞰 㞱 㞲 㞳 㞴 㞵 㞶 㞷 㞸 㞹 㞺 㞻 㞼 㞽 㞾 㞿 㟀 㟁 㟂 㟃 㟄 㟅 㟆 㟇 㟈 㟉 㟊 㟋 㟌 㟍 㟎 㟏 㟐 㟑 㟒 㟓 㟔 㟕 㟖 㟗 㟘 㟙 㟚 㟛 㟜 㟝 㟞 㟟 㟠 㟡 㟢 㟣 㟤 㟥 㟦 㟧 㟨 㟩 㟪 㟫 㟬 㟭 㟮 㟯 㟰 㟱 㟲 㟳 㟴 㟵 㟶 㟷 㟸 㟹 㟺 㟻 㟼 㟽 㟾 㟿 㠀 㠁 㠂 㠃 㠄 㠅 㠆 㠇 㠈 㠉 㠊 㠋 㠌 㠍 㠎 㠏 㠐 㠑 㠒 㠓 㠔 㠕 㠖 㠗 㠘 㠙 㠚 㠛 㠜 㠝 㠞 㠟 㠠 㠡 㠢 㠣 㠤 㠥 㠦 㠧 㠨 㠩 㠪 㠫 㠬 㠭 㠮 㠯 㠰 㠱 㠲 㠳 㠴 㠵 㠶 㠷 㠸 㠹 㠺 㠻 㠼 㠽 㠾 㠿 㡀 㡁 㡂 㡃 㡄 㡅 㡆 㡇 㡈 㡉 㡊 㡋 㡌 㡍 㡎 㡏 㡐 㡑 㡒 㡓 㡔 㡕 㡖 㡗 㡘 㡙 㡚 㡛 㡜 㡝 㡞 㡟 㡠 㡡 㡢 㡣 㡤 㡥 㡦 㡧 㡨 㡩 㡪 㡫 㡬 㡭 㡮 㡯 㡰 㡱 㡲 㡳 㡴 㡵 㡶 㡷 㡸 㡹 㡺 㡻 㡼 㡽 㡾 㡿 㢀 㢁 㢂 㢃 㢄 㢅 㢆 㢇 㢈 㢉 㢊 㢋 㢌 㢍 㢎 㢏 㢐 㢑 㢒 㢓 㢔 㢕 㢖 㢗 㢘 㢙 㢚 㢛 㢜 㢝 㢞 㢟 㢠 㢡 㢢 㢣 㢤 㢥 㢦 㢧 㢨 㢩 㢪 㢫 㢬 㢭 㢮 㢯 㢰 㢱 㢲 㢳 㢴 㢵 㢶 㢷 㢸 㢹 㢺 㢻 㢼 㢽 㢾 㢿 㣀 㣁 㣂 㣃 㣄 㣅 㣆 㣇 㣈 㣉 㣊 㣋 㣌 㣍 㣎 㣏 㣐 㣑 㣒 㣓 㣔 㣕 㣖 㣗 㣘 㣙 㣚 㣛 㣜 㣝 㣞 㣟 㣠 㣡 㣢 㣣 㣤 㣥 㣦 㣧 㣨 㣩 㣪 㣫 㣬 㣭 㣮 㣯 㣰 㣱 㣲 㣳 㣴 㣵 㣶 㣷 㣸 㣹 㣺 㣻 㣼 㣽 㣾 㣿 㤀 㤁 㤂 㤃 㤄 㤅 㤆 㤇 㤈 㤉 㤊 㤋 㤌 㤍 㤎 㤏 㤐 㤑 㤒 㤓 㤔 㤕 㤖 㤗 㤘 㤙 㤚 㤛 㤜 㤝 㤞 㤟 㤠 㤡 㤢 㤣 㤤 㤥 㤦 㤧 㤨 㤩 㤪 㤫 㤬 㤭 㤮 㤯 㤰 㤱 㤲 㤳 㤴 㤵 㤶 㤷 㤸 㤹 㤺 㤻 㤼 㤽 㤾 㤿 㥀 㥁 㥂 㥃 㥄 㥅 㥆 㥇 㥈 㥉 㥊 㥋 㥌 㥍 㥎 㥏 㥐 㥑 㥒 㥓 㥔 㥕 㥖 㥗 㥘 㥙 㥚 㥛 㥜 㥝 㥞 㥟 㥠 㥡 㥢 㥣 㥤 㥥 㥦 㥧 㥨 㥩 㥪 㥫 㥬 㥭 㥮 㥯 㥰 㥱 㥲 㥳 㥴 㥵 㥶 㥷 㥸 㥹 㥺 㥻 㥼 㥽 㥾 㥿 㦀 㦁 㦂 㦃 㦄 㦅 㦆 㦇 㦈 㦉 㦊 㦋 㦌 㦍 㦎 㦏 㦐 㦑 㦒 㦓 㦔 㦕 㦖 㦗 㦘 㦙 㦚 㦛 㦜 㦝 㦞 㦟 㦠 㦡 㦢 㦣 㦤 㦥 㦦 㦧 㦨 㦩 㦪 㦫 㦬 㦭 㦮 㦯 㦰 㦱 㦲 㦳 㦴 㦵 㦶 㦷 㦸 㦹 㦺 㦻 㦼 㦽 㦾 㦿 㧀 㧁 㧂 㧃 㧄 㧅 㧆 㧇 㧈 㧉 㧊 㧋 㧌 㧍 㧎 㧏 㧐 㧑 㧒 㧓 㧔 㧕 㧖 㧗 㧘 㧙 㧚 㧛 㧜 㧝 㧞 㧟 㧠 㧡 㧢 㧣 㧤 㧥 㧦 㧧 㧨 㧩 㧪 㧫 㧬 㧭 㧮 㧯 㧰 㧱 㧲 㧳 㧴 㧵 㧶 㧷 㧸 㧹 㧺 㧻 㧼 㧽 㧾 㧿 㨀 㨁 㨂 㨃 㨄 㨅 㨆 㨇 㨈 㨉 㨊 㨋 㨌 㨍 㨎 㨏 㨐 㨑 㨒 㨓 㨔 㨕 㨖 㨗 㨘 㨙 㨚 㨛 㨜 㨝 㨞 㨟 㨠 㨡 㨢 㨣 㨤 㨥 㨦 㨧 㨨 㨩 㨪 㨫 㨬 㨭 㨮 㨯 㨰 㨱 㨲 㨳 㨴 㨵 㨶 㨷 㨸 㨹 㨺 㨻 㨼 㨽 㨾 㨿 㩀 㩁 㩂 㩃 㩄 㩅 㩆 㩇 㩈 㩉 㩊 㩋 㩌 㩍 㩎 㩏 㩐 㩑 㩒 㩓 㩔 㩕 㩖 㩗 㩘 㩙 㩚 㩛 㩜 㩝 㩞 㩟 㩠 㩡 㩢 㩣 㩤 㩥 㩦 㩧 㩨 㩩 㩪 㩫 㩬 㩭 㩮 㩯 㩰 㩱 㩲 㩳 㩴 㩵 㩶 㩷 㩸 㩹 㩺 㩻 㩼 㩽 㩾 㩿 㪀 㪁 㪂 㪃 㪄 㪅 㪆 㪇 㪈 㪉 㪊 㪋 㪌 㪍 㪎 㪏 㪐 㪑 㪒 㪓 㪔 㪕 㪖 㪗 㪘 㪙 㪚 㪛 㪜 㪝 㪞 㪟 㪠 㪡 㪢 㪣 㪤 㪥 㪦 㪧 㪨 㪩 㪪 㪫 㪬 㪭 㪮 㪯 㪰 㪱 㪲 㪳 㪴 㪵 㪶 㪷 㪸 㪹 㪺 㪻 㪼 㪽 㪾 㪿 㫀 㫁 㫂 㫃 㫄 㫅 㫆 㫇 㫈 㫉 㫊 㫋 㫌 㫍 㫎 㫏 㫐 㫑 㫒 㫓 㫔 㫕 㫖 㫗 㫘 㫙 㫚 㫛 㫜 㫝 㫞 㫟 㫠 㫡 㫢 㫣 㫤 㫥 㫦 㫧 㫨 㫩 㫪 㫫 㫬 㫭 㫮 㫯 㫰 㫱 㫲 㫳 㫴 㫵 㫶 㫷 㫸 㫹 㫺 㫻 㫼 㫽 㫾 㫿 㬀 㬁 㬂 㬃 㬄 㬅 㬆 㬇 㬈 㬉 㬊 㬋 㬌 㬍 㬎 㬏 㬐 㬑 㬒 㬓 㬔 㬕 㬖 㬗 㬘 㬙 㬚 㬛 㬜 㬝 㬞 㬟 㬠 㬡 㬢 㬣 㬤 㬥 㬦 㬧 㬨 㬩 㬪 㬫 㬬 㬭 㬮 㬯 㬰 㬱 㬲 㬳 㬴 㬵 㬶 㬷 㬸 㬹 㬺 㬻 㬼 㬽 㬾 㬿 㭀 㭁 㭂 㭃 㭄 㭅 㭆 㭇 㭈 㭉 㭊 㭋 㭌 㭍 㭎 㭏 㭐 㭑 㭒 㭓 㭔 㭕 㭖 㭗 㭘 㭙 㭚 㭛 㭜 㭝 㭞 㭟 㭠 㭡 㭢 㭣 㭤 㭥 㭦 㭧 㭨 㭩 㭪 㭫 㭬 㭭 㭮 㭯 㭰 㭱 㭲 㭳 㭴 㭵 㭶 㭷 㭸 㭹 㭺 㭻 㭼 㭽 㭾 㭿 㮀 㮁 㮂 㮃 㮄 㮅 㮆 㮇 㮈 㮉 㮊 㮋 㮌 㮍 㮎 㮏 㮐 㮑 㮒 㮓 㮔 㮕 㮖 㮗 㮘 㮙 㮚 㮛 㮜 㮝 㮞 㮟 㮠 㮡 㮢 㮣 㮤 㮥 㮦 㮧 㮨 㮩 㮪 㮫 㮬 㮭 㮮 㮯 㮰 㮱 㮲 㮳 㮴 㮵 㮶 㮷 㮸 㮹 㮺 㮻 㮼 㮽 㮾 㮿 㯀 㯁 㯂 㯃 㯄 㯅 㯆 㯇 㯈 㯉 㯊 㯋 㯌 㯍 㯎 㯏 㯐 㯑 㯒 㯓 㯔 㯕 㯖 㯗 㯘 㯙 㯚 㯛 㯜 㯝 㯞 㯟 㯠 㯡 㯢 㯣 㯤 㯥 㯦 㯧 㯨 㯩 㯪 㯫 㯬 㯭 㯮 㯯 㯰 㯱 㯲 㯳 㯴 㯵 㯶 㯷 㯸 㯹 㯺 㯻 㯼 㯽 㯾 㯿 㰀 㰁 㰂 㰃 㰄 㰅 㰆 㰇 㰈 㰉 㰊 㰋 㰌 㰍 㰎 㰏 㰐 㰑 㰒 㰓 㰔 㰕 㰖 㰗 㰘 㰙 㰚 㰛 㰜 㰝 㰞 㰟 㰠 㰡 㰢 㰣 㰤 㰥 㰦 㰧 㰨 㰩 㰪 㰫 㰬 㰭 㰮 㰯 㰰 㰱 㰲 㰳 㰴 㰵 㰶 㰷 㰸 㰹 㰺 㰻 㰼 㰽 㰾 㰿 㱀 㱁 㱂 㱃 㱄 㱅 㱆 㱇 㱈 㱉 㱊 㱋 㱌 㱍 㱎 㱏 㱐 㱑 㱒 㱓 㱔 㱕 㱖 㱗 㱘 㱙 㱚 㱛 㱜 㱝 㱞 㱟 㱠 㱡 㱢 㱣 㱤 㱥 㱦 㱧 㱨 㱩 㱪 㱫 㱬 㱭 㱮 㱯 㱰 㱱 㱲 㱳 㱴 㱵 㱶 㱷 㱸 㱹 㱺 㱻 㱼 㱽 㱾 㱿 㲀 㲁 㲂 㲃 㲄 㲅 㲆 㲇 㲈 㲉 㲊 㲋 㲌 㲍 㲎 㲏 㲐 㲑 㲒 㲓 㲔 㲕 㲖 㲗 㲘 㲙 㲚 㲛 㲜 㲝 㲞 㲟 㲠 㲡 㲢 㲣 㲤 㲥 㲦 㲧 㲨 㲩 㲪 㲫 㲬 㲭 㲮 㲯 㲰 㲱 㲲 㲳 㲴 㲵 㲶 㲷 㲸 㲹 㲺 㲻 㲼 㲽 㲾 㲿 㳀 㳁 㳂 㳃 㳄 㳅 㳆 㳇 㳈 㳉 㳊 㳋 㳌 㳍 㳎 㳏 㳐 㳑 㳒 㳓 㳔 㳕 㳖 㳗 㳘 㳙 㳚 㳛 㳜 㳝 㳞 㳟 㳠 㳡 㳢 㳣 㳤 㳥 㳦 㳧 㳨 㳩 㳪 㳫 㳬 㳭 㳮 㳯 㳰 㳱 㳲 㳳 㳴 㳵 㳶 㳷 㳸 㳹 㳺 㳻 㳼 㳽 㳾 㳿 㴀 㴁 㴂 㴃 㴄 㴅 㴆 㴇 㴈 㴉 㴊 㴋 㴌 㴍 㴎 㴏 㴐 㴑 㴒 㴓 㴔 㴕 㴖 㴗 㴘 㴙 㴚 㴛 㴜 㴝 㴞 㴟 㴠 㴡 㴢 㴣 㴤 㴥 㴦 㴧 㴨 㴩 㴪 㴫 㴬 㴭 㴮 㴯 㴰 㴱 㴲 㴳 㴴 㴵 㴶 㴷 㴸 㴹 㴺 㴻 㴼 㴽 㴾 㴿 㵀 㵁 㵂 㵃 㵄 㵅 㵆 㵇 㵈 㵉 㵊 㵋 㵌 㵍 㵎 㵏 㵐 㵑 㵒 㵓 㵔 㵕 㵖 㵗 㵘 㵙 㵚 㵛 㵜 㵝 㵞 㵟 㵠 㵡 㵢 㵣 㵤 㵥 㵦 㵧 㵨 㵩 㵪 㵫 㵬 㵭 㵮 㵯 㵰 㵱 㵲 㵳 㵴 㵵 㵶 㵷 㵸 㵹 㵺 㵻 㵼 㵽 㵾 㵿 㶀 㶁 㶂 㶃 㶄 㶅 㶆 㶇 㶈 㶉 㶊 㶋 㶌 㶍 㶎 㶏 㶐 㶑 㶒 㶓 㶔 㶕 㶖 㶗 㶘 㶙 㶚 㶛 㶜 㶝 㶞 㶟 㶠 㶡 㶢 㶣 㶤 㶥 㶦 㶧 㶨 㶩 㶪 㶫 㶬 㶭 㶮 㶯 㶰 㶱 㶲 㶳 㶴 㶵 㶶 㶷 㶸 㶹 㶺 㶻 㶼 㶽 㶾 㶿 㷀 㷁 㷂 㷃 㷄 㷅 㷆 㷇 㷈 㷉 㷊 㷋 㷌 㷍 㷎 㷏 㷐 㷑 㷒 㷓 㷔 㷕 㷖 㷗 㷘 㷙 㷚 㷛 㷜 㷝 㷞 㷟 㷠 㷡 㷢 㷣 㷤 㷥 㷦 㷧 㷨 㷩 㷪 㷫 㷬 㷭 㷮 㷯 㷰 㷱 㷲 㷳 㷴 㷵 㷶 㷷 㷸 㷹 㷺 㷻 㷼 㷽 㷾 㷿 㸀 㸁 㸂 㸃 㸄 㸅 㸆 㸇 㸈 㸉 㸊 㸋 㸌 㸍 㸎 㸏 㸐 㸑 㸒 㸓 㸔 㸕 㸖 㸗 㸘 㸙 㸚 㸛 㸜 㸝 㸞 㸟 㸠 㸡 㸢 㸣 㸤 㸥 㸦 㸧 㸨 㸩 㸪 㸫 㸬 㸭 㸮 㸯 㸰 㸱 㸲 㸳 㸴 㸵 㸶 㸷 㸸 㸹 㸺 㸻 㸼 㸽 㸾 㸿 㹀 㹁 㹂 㹃 㹄 㹅 㹆 㹇 㹈 㹉 㹊 㹋 㹌 㹍 㹎 㹏 㹐 㹑 㹒 㹓 㹔 㹕 㹖 㹗 㹘 㹙 㹚 㹛 㹜 㹝 㹞 㹟 㹠 㹡 㹢 㹣 㹤 㹥 㹦 㹧 㹨 㹩 㹪 㹫 㹬 㹭 㹮 㹯 㹰 㹱 㹲 㹳 㹴 㹵 㹶 㹷 㹸 㹹 㹺 㹻 㹼 㹽 㹾 㹿 㺀 㺁 㺂 㺃 㺄 㺅 㺆 㺇 㺈 㺉 㺊 㺋 㺌 㺍 㺎 㺏 㺐 㺑 㺒 㺓 㺔 㺕 㺖 㺗 㺘 㺙 㺚 㺛 㺜 㺝 㺞 㺟 㺠 㺡 㺢 㺣 㺤 㺥 㺦 㺧 㺨 㺩 㺪 㺫 㺬 㺭 㺮 㺯 㺰 㺱 㺲 㺳 㺴 㺵 㺶 㺷 㺸 㺹 㺺 㺻 㺼 㺽 㺾 㺿 㻀 㻁 㻂 㻃 㻄 㻅 㻆 㻇 㻈 㻉 㻊 㻋 㻌 㻍 㻎 㻏 㻐 㻑 㻒 㻓 㻔 㻕 㻖 㻗 㻘 㻙 㻚 㻛 㻜 㻝 㻞 㻟 㻠 㻡 㻢 㻣 㻤 㻥 㻦 㻧 㻨 㻩 㻪 㻫 㻬 㻭 㻮 㻯 㻰 㻱 㻲 㻳 㻴 㻵 㻶 㻷 㻸 㻹 㻺 㻻 㻼 㻽 㻾 㻿 㼀 㼁 㼂 㼃 㼄 㼅 㼆 㼇 㼈 㼉 㼊 㼋 㼌 㼍 㼎 㼏 㼐 㼑 㼒 㼓 㼔 㼕 㼖 㼗 㼘 㼙 㼚 㼛 㼜 㼝 㼞 㼟 㼠 㼡 㼢 㼣 㼤 㼥 㼦 㼧 㼨 㼩 㼪 㼫 㼬 㼭 㼮 㼯 㼰 㼱 㼲 㼳 㼴 㼵 㼶 㼷 㼸 㼹 㼺 㼻 㼼 㼽 㼾 㼿 㽀 㽁 㽂 㽃 㽄 㽅 㽆 㽇 㽈 㽉 㽊 㽋 㽌 㽍 㽎 㽏 㽐 㽑 㽒 㽓 㽔 㽕 㽖 㽗 㽘 㽙 㽚 㽛 㽜 㽝 㽞 㽟 㽠 㽡 㽢 㽣 㽤 㽥 㽦 㽧 㽨 㽩 㽪 㽫 㽬 㽭 㽮 㽯 㽰 㽱 㽲 㽳 㽴 㽵 㽶

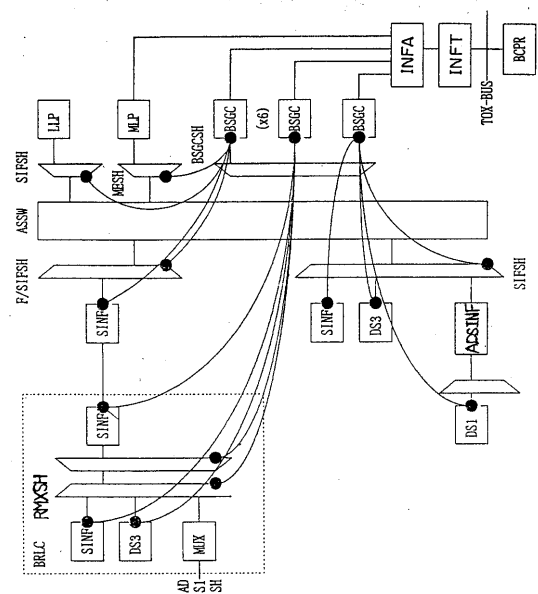
【 図 6 9 6 】



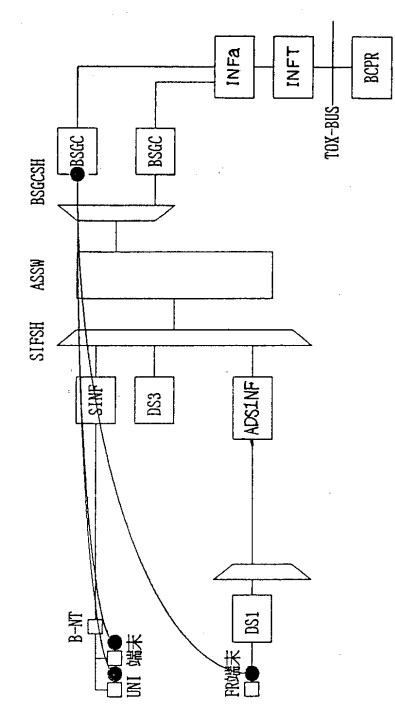
【图 6 9 8】



【図 699】



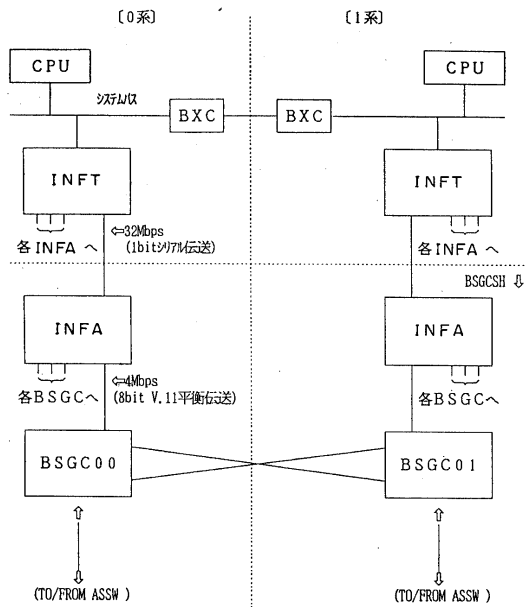
【図 700】



【図 701】

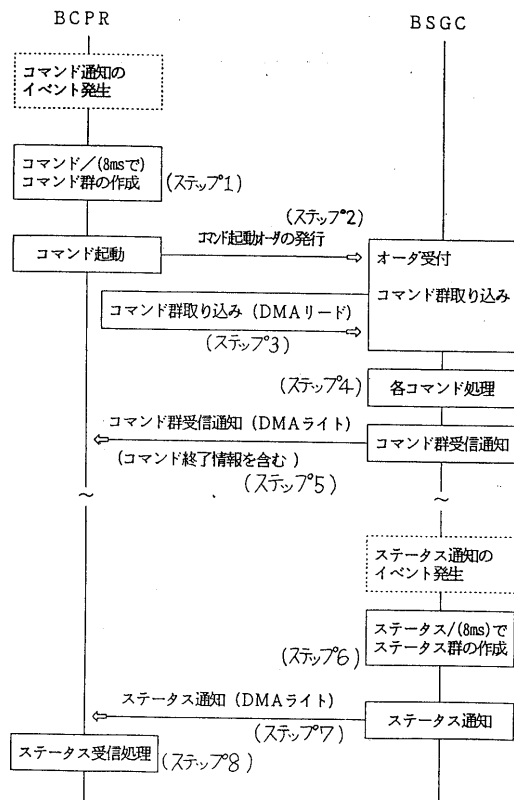
NO	項目	諸元	備考
1	B Processor	MBL80186 (16 bit Micro Processor)	
2	S Redundancy	Duplication	
3	G Memory Capacity	ROM 256 k byte (bank 切替え) S-RAM 32 k byte D-RAM 896 k byte	
4	カ最大同時リンク ー接続数	256 channel (将来 1024channel*)	
5	I SBIF LSI	INIF制御用 MB651623	
6	ド CARP1/2 LSI	CLAD 制御用 MBCG31134, MB630615	
7	MUX	μ multiplex LSI MBCG31204-639	
8	ACT 制御	INIF の ACT に従属	
9	Number of PCB	1 PCB	
10	C VCC	TAG 変換用 MBCG21503	
11	O SELN1	O&M 制御用 MBCG21XXX	
12	M MUX	μ multiplex LSI MBCG31204-639	
13	DMUX	μ demultiplex LSI MBCG31204-638	
14	ACT 制御	Switch の ACT に従属	
15	Number of PCB	5 PCB	
16	S Shelf 構成	片系 6 BSGC, 1 COMを搭載	
17	H 二重化交絡	BSGC, COM それぞれが交絡	
18	E Functions	①局内装置間リンクの終端 ②リンク 通信 制御 ③加入者端末 signaling 制御 ④DS1PR の SVC 制御 ⑤VCC の設定 (最若番BSGCのみ)	

【図 702】

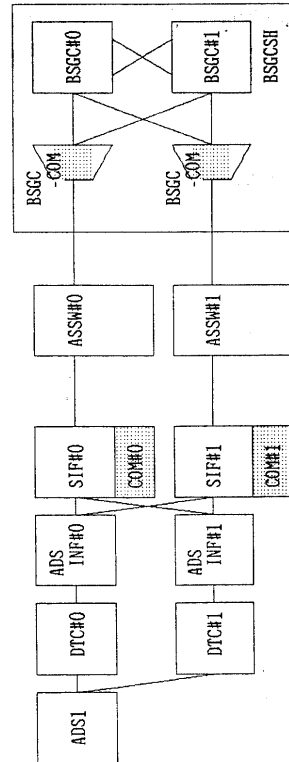


※ 1 INFA あたり 4 枚の BSGC が接続可能。
BSGC SH は、6 BSGC を収容するものである。

【図 703】

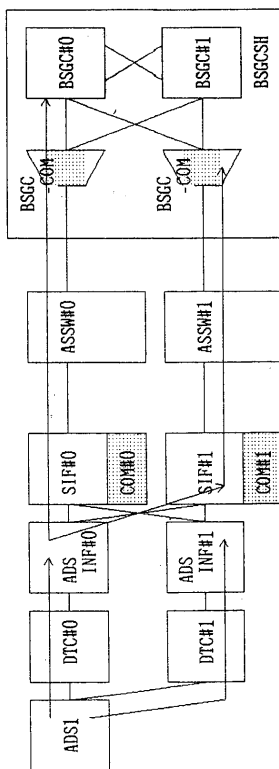


【図 704】

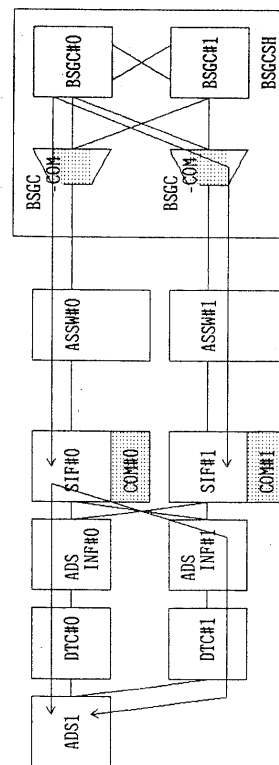


note) 1. : VCC が搭載
 2. BSGC#COM のACT は、Switchに従属。
 3. BSGCのACT は、INF の個別系指定に従属。

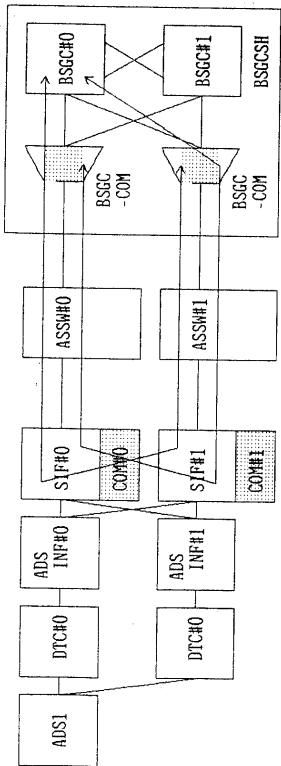
【図 705】



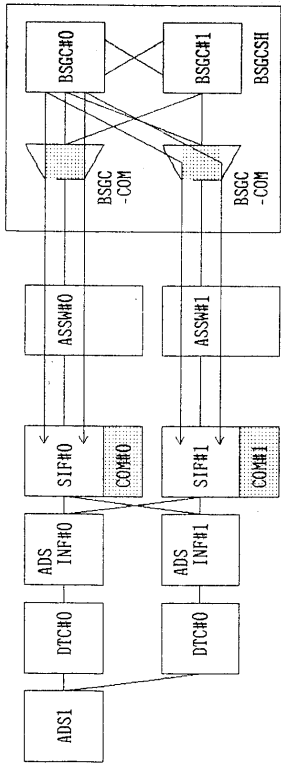
【図 706】



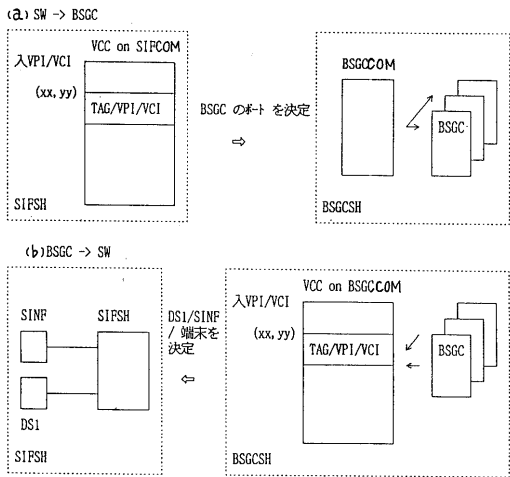
【図 707】



【図 708】



【図 709】



【図 710】

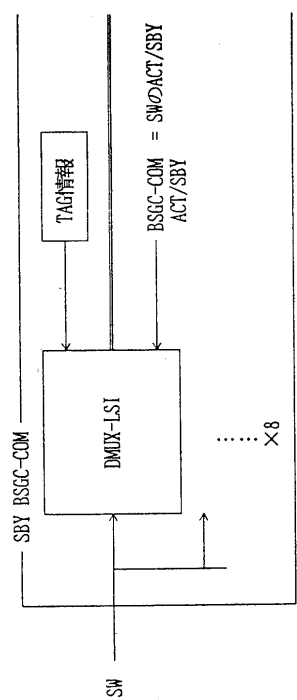
(a) HOST/BRIC内

VPI (H)	VCI (H)	用途
00 から 3F	0000 から 001F	Requirement reserve 例 Signaling 用 OAM cell 用
	0020 から 03EF	User cell 例 ATM-UNI, CE, FR用
	03F0 から 03FE	System reserve 局内LAP 用 SIF-COM #0 : VPI=00, VCI=03FC SIF-COM #1 : VPI=00, VCI=03FD RMX-COM #0 : VPI=3F, VCI=03F0 RMX-COM #1 : VPI=3F, VCI=03F1 DS3, SINF : VPI=00, VCI=03FE DS1 : VPI=AA, VCI=03FE 未使用 : AA:下位 5ビットは DS1ポート番号 : VPI=00, VCI=03FA, 03FB
	03FF	User cell (SMDS 専用)

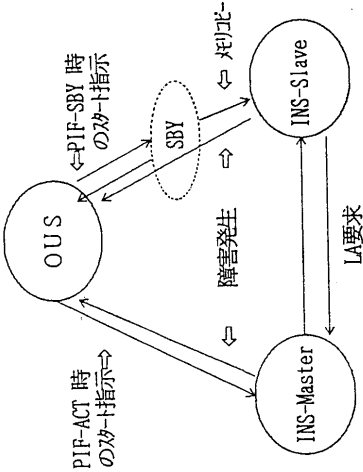
(b) アペリ加ノク上

VPI (H)	VCI (H)	用途
00 から XX	0000 から 001F	Requirement reserve 例 Signaling 用 OAM cell 用
	0020 から 03EF	User cell 例 ATM-UNI, CE, FR用
3F	0020 から 03EF	BRIC内一重化装置の局内LAP 用
	03F0 から 03F7	BRIC内二重化装置の局内LAP 用

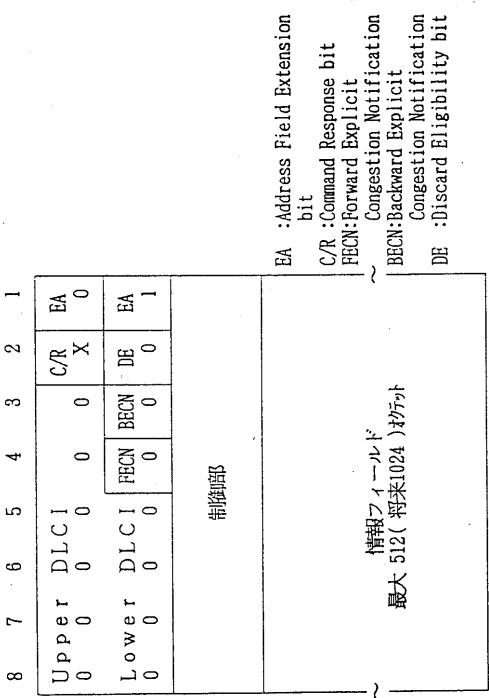
【図 7 1 1】



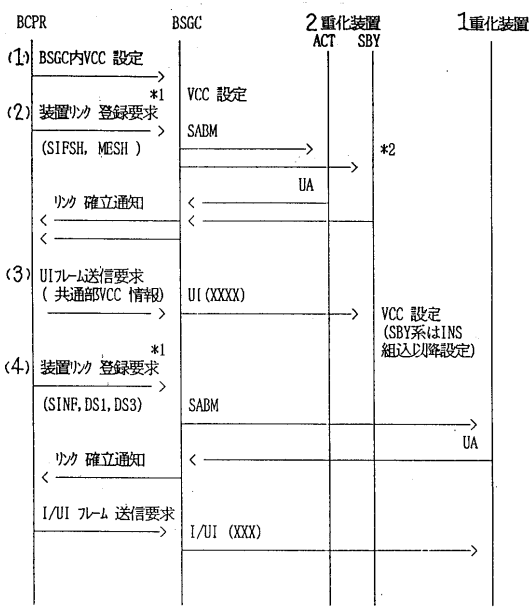
【図 7 1 2】



【図 7 1 3】

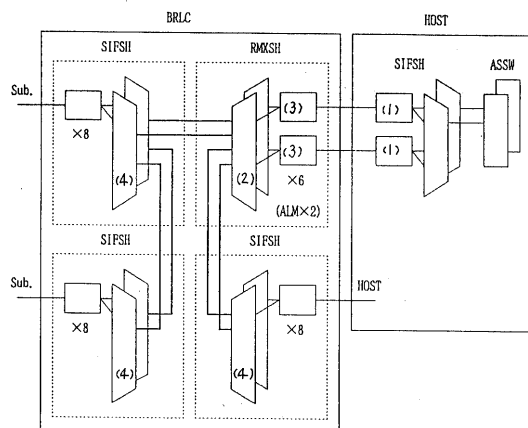


【図 7 1 4】



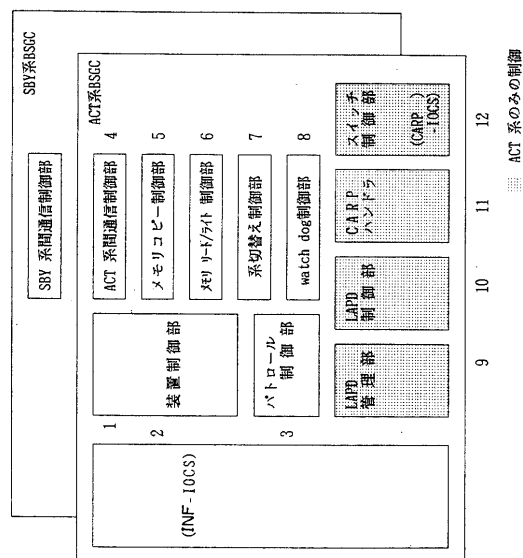
*1 : BCPRのデータに基づき全リンクの確立を行う。
*2 : 共通部への SADM には返送用TAG 情報を付与する。

【图 7 1 5】

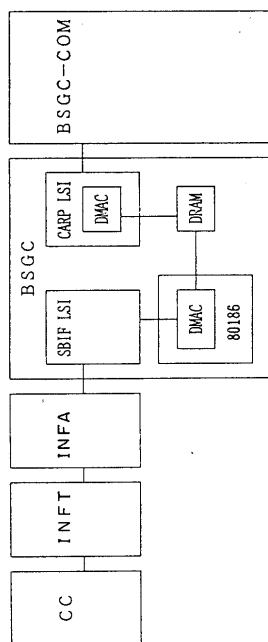


- (1) - (4) : LAP リンク 確立順番を示す。
 (1) と (3) : 1重化通信ポート
 (2) と (4) : 2重化通信ポート なので ACT/SBYの 2リンク を確立する。
 リンク 確立手順は、SIFCOM共通部と同様。

【图 7 1 6】

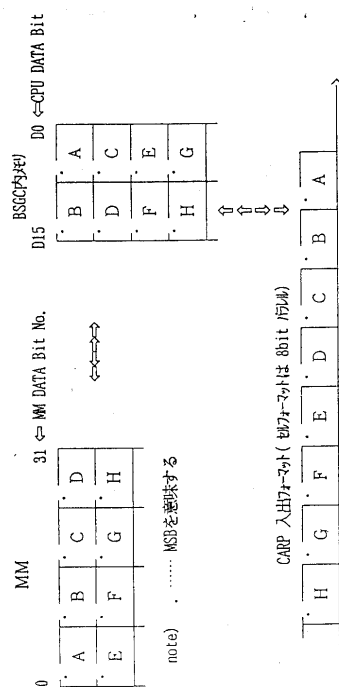


【图 7 1 7】

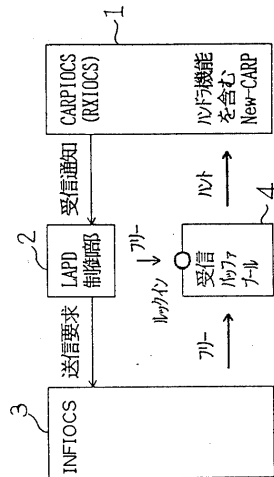


注1) INFのDMAは、80186とSBIFのDMA機能で実現
注2) CARPのDMAは、CARP2内のDMA機能で実現
注3) SBIFとCARP制御は、80186外部割り込み(INT3)を使用

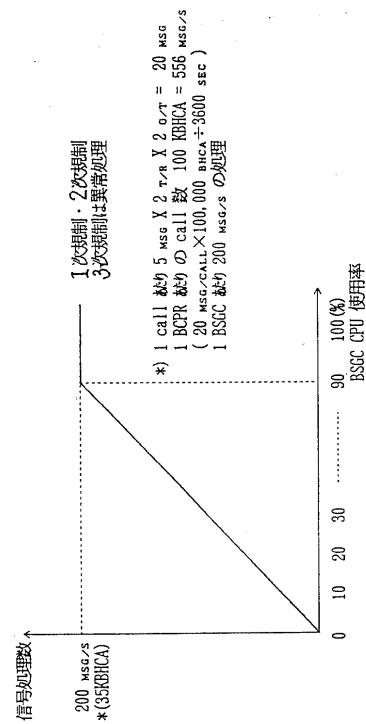
【图 7 1 8】



【図 7 1 9】



【図 7 2 0】



【図 7 2 1】

コマンド種別	コマンド
D.C	D.C
INF 初期情報設定テーブルアドレス	
INF 初期情報設定テーブルアドレス	

初期設定コマンド

ステータスフィールド(緊急用)	登録ルビ数(緊急用)
ステータスフィールド(優先用)	登録ルビ数(優先用)
ステータスフィールド(非優先用)	登録ルビ数(非優先用)
受信ルビ長(緊急用)	登録ルビ数(緊急用)
受信ルビ長の先頭アドレス(緊急用)	登録ルビ数(緊急用)
受信ルビ長(優先用)	登録ルビ数(優先用)
受信ルビ長の先頭アドレス(優先用)	登録ルビ数(優先用)
受信ルビ長(非優先用)	登録ルビ数(非優先用)
受信ルビ長の先頭アドレス(非優先用)	登録ルビ数(非優先用)

INF 初期設定情報テーブル

【図 7 2 3】

SIG	UL	TAGB	TAGC	COM	方 路
0/1	0	0	000	0	RMUXSH#0 LINE0 / SIGNALING
0/1	0	0	001	0	RMUXSH#0 LINE1 / SIGNALING
					}
0/1	0	0	111	0	RMUXSH#0 LINE7 / SIGNALING
0/1	1	0	000	0	RMUXSH#1 LINE0 / SIGNALING
0/1	1	0	001	0	RMUXSH#1 LINE1 / SIGNALING
					}
0/1	1	0	111	0	RMUXSH#1 LINE7 / SIGNALING
0/1	1	1	000	0	RMUXSH#2 LINE0 / SIGNALING
0/1	1	1	001	0	RMUXSH#2 LINE1 / SIGNALING
					}
0/1	1	1	111	0	RMUXSH#2 LINE7 / SIGNALING
1	0	0	000	1	RMUXSH#0 COM SIGNALING
1	1	0	000	1	RMUXSH#1 COM SIGNALING
1	1	1	000	1	RMUXSH#2 COM SIGNALING

【図 7 2 2】

SIG	UL	TAGC	COM	方 路
0/1	0	000	0	SIFSH#0 LINE0/SIGNALING
0/1	0	001	0	SIFSH#0 LINE1/SIGNALING
				}
0/1	0	111	0	SIFSH#0 LINE7/SIGNALING
0/1	1	000	0	SIFSH#1 LINE0/SIGNALING
0/1	1	001	0	SIFSH#1 LINE1/SIGNALING
				}
0/1	1	111	0	SIFSH#1 LINE7/SIGNALING
1	0	000	1	SIFSH#0 COM SIGNALING
1	1	000	1	SIFSH#1 COM SIGNALING

【図 7 2 4】

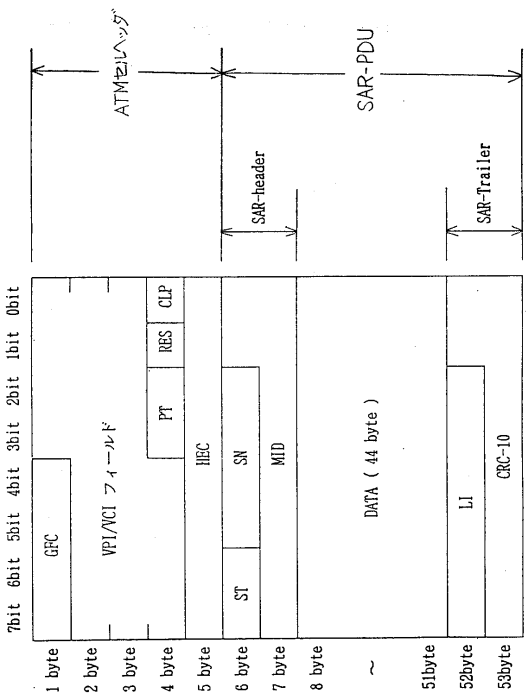
SIG	ADSI BLK	ADSI SEL	
0	0 0 0	0 0	DTC 0/ Line 0 へのユーザCell
		1 1	DTC 0/ Line 3 へのユーザCell
0	1 1 1	0 0	DTC 7/ Line 0 へのユーザCell
		1 1	DTC 7/ Line 3 へのユーザCell
1	0 0 0	0 0	DTC 0/ Line 0 へのLAP Cell
		1 1	DTC 0/ Line 3 へのLAP Cell
1	1 1 1	0 0	DTC 7/ Line 0 へのLAP Cell
		1 1	DTC 7/ Line 3 へのLAP Cell

【図 7 2 5】

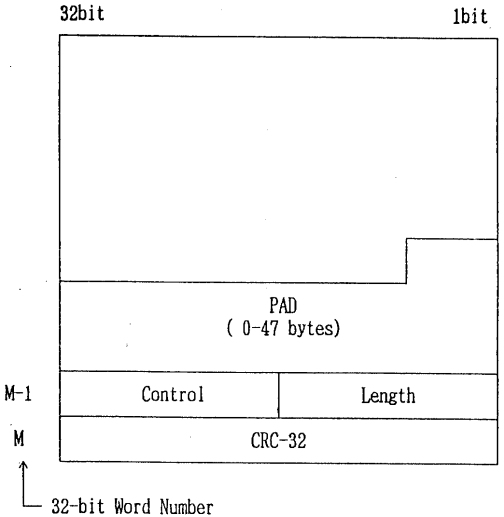
SIG	UL	TAGC	方 路
0	0	000	BSGCSH#0/LINE0
		111	BSGCSH#0/LINE5
0	1	000	BSGCSH#1/LINE0
		001	BSGCSH#1/LINE1
0	1	111	BSGCSH#1/LINE5

BSGC CARD NO.
→ 付随番号/NO.

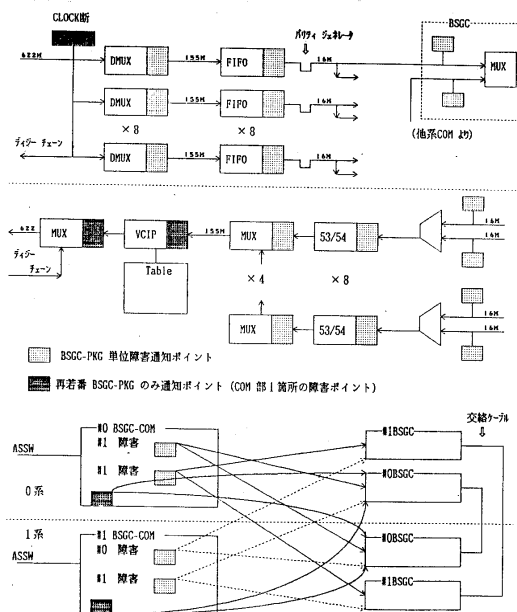
【図 7 2 6】



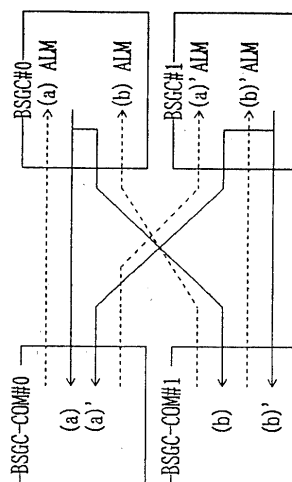
【図 7 2 7】



【図 7 3 2】



【図 7 3 3】



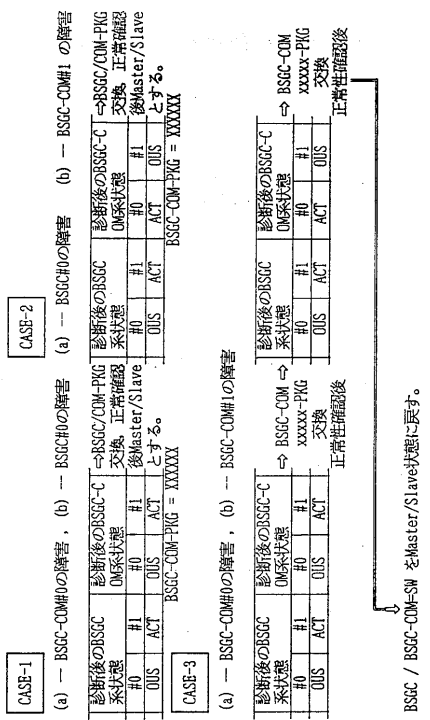
【図 7 3 4】

障害ポイント BSGC#0SCN (a) (b)	BSGC#1SCN (a) (b)	障害後のBSGC 系状態		障害後のBSGC-C 系状態		割り込 み発生 BSGC系	備考
		#0	#1	#0	#1		
1	0	0	0	ACT	ACT/SPY 変更無	BSGC#0	BSGC#1→COM#0, COM#1 使用可
0	1	0	0	ACT	ACT/SPY 変更無	BSGC#0	BSGC#0→COM#0, COM#1 使用可
0	0	1	0	ACT	ACT/SPY 変更無	BSGC#1	BSGC#1→COM#0, COM#1 使用可
0	0	0	1	ACT	ACT/SPY 変更無	BSGC#1	BSGC#0→COM#0, COM#1 使用可

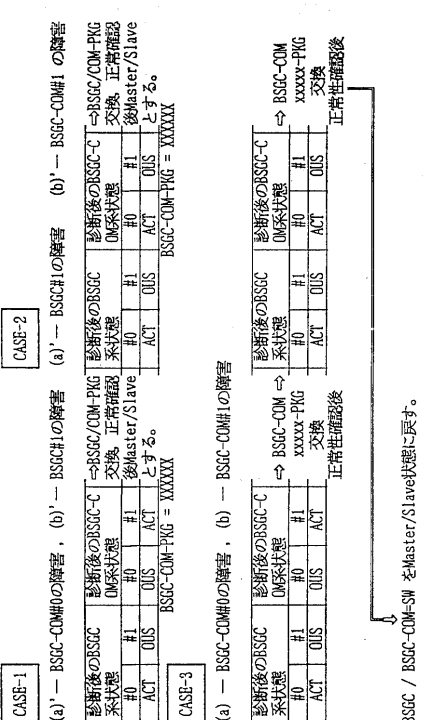
【図 7 3 5】

障害ポイント BSGC#0SCN (a) (b)	BSGC#1SCN (a) (b)	障害後のBSGC 系状態		障害後のBSGC-C 系状態		割り込 み発生 BSGC系	備考
		#0	#1	#0	#1		
1	1	0	0	ACT	ACT/SPY 変更無	BSGC#0	BSGC#1→COM#0, COM#1 使用可
0	0	1	1	ACT	ACT/SPY 変更無	BSGC#1	BSGC#0→COM#0, COM#1 使用可
1	0	1	0	ACT	ACT/SPY 変更無	BSGC#0	BSGC#0→COM#1 使用可
0	1	0	1	ACT	ACT/SPY 変更無	BSGC#1	BSGC#1→COM#0 使用可

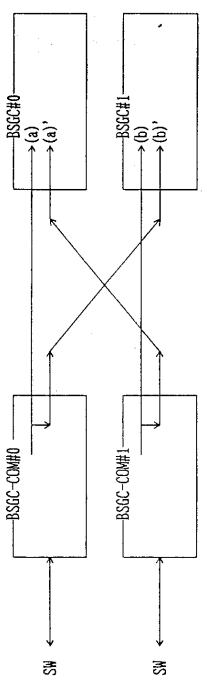
【図 7 3 6】



【図 7 3 7】



【図 7 3 8】



【図 7 3 9】

障害POINT	BSGC#0		BSGC#1		BSGC-COM#0		BSGC-COM#1		備考
	(a)	(b)	(a')	(b')	系状態	系状態	系状態	系状態	
1	0	0	0	0	OIS	ACT	ACT	ACT	BSGC-COM#0 障害発生 BSGC#0
0	1	0	0	0	ACT	OIS	ACT	ACT	BSGC-COM#0 障害発生 BSGC#0
0	0	1	0	0	ACT	OIS	ACT	ACT	BSGC-COM#1 障害発生 BSGC#1
0	0	0	1	0	ACT	OIS	ACT	ACT	BSGC-COM#1 障害発生 BSGC#1
0	0	0	0	1	ACT	OIS	ACT	ACT	BSGC-COM#0 障害発生 BSGC#0
0	0	0	0	0	ACT	OIS	ACT	ACT	BSGC-COM#1 障害発生 BSGC#1

【 図 7 4 0 】

試験項目	BSG#0/SCN		BSG#1/SCN		系対称		隣接後のBSGC		隣接後のBSGC-C		初期の入み発生	備考
	(a)	(b)	(a')	(b')	#0	#1	#0	#1	#0	#1		
BSG#0/SCN	1	1	0	0	(注1)	変異無し	変異無し	変異無し	変異無し	変異無し	BSGC#0→COM#1	使用可
BSG#1/SCN	0	0	1	1	(注2)	変異無し	変異無し	変異無し	変異無し	変異無し	BSGC#1→COM#1	使用可
系対称	0	0	1	1	(注3)	変異無し	変異無し	変異無し	変異無し	変異無し	BSGC#0→COM#0	使用可
隣接後のBSGC	1	0	1	0	(注4)	変異無し	変異無し	変異無し	変異無し	変異無し	BSGC#1→COM#0	使用可
隣接後のBSGC-C	0	1	0	1	(注4)	変異無し	変異無し	変異無し	変異無し	変異無し	BSGC#0→COM#0	使用可

【图 7 4 2】

CASE-1

(b) — BSGC-COM#1の障害

(b') — BSGC#1の障害

(b'') — BSGC-COM#0の障害

CASE-2

(b) — BSGC#1の障害

(b') — BSGC#1の障害

(b'') — BSGC-COM#0の障害

【图 7 4 1】

CASE-1

CASE-2

(a) → BSGC-COM#0の障害, (a)' → BSGC-COM#1の障害

診断後のBSGC				⇒ BSGC-COM-PKG			
系状態				DM系状態			
#0	#1	#0	#1	後Master/Slave	交換	正常確認	DM系状態
OUS	ACT	OUS	ACT	OUS	ACT	OUS	ACT

BSGC-COM-PKG = XXXXX

(a) → BSGC-COM#0の障害, (a)' → BSGC-COM#1の障害

診断後のBSGC				⇒ COM#1			
系状態				DM系状態			
#0	#1	#0	#1	交換	xxxxx-PKG	交換	xxxxx-PKG
OUS	ACT	OUS	ACT	OUS	ACT	OUS	ACT

BSGC-COM-PKG = XXXXX

(a) → BSGC-COM#0の障害, (a)' → BSGC-COM#1の障害

診断後のBSGC				⇒ COM#0			
系状態				DM系状態			
#0	#1	#0	#1	交換	xxxxx-PKG	交換	xxxxx-PKG
OUS	ACT	OUS	ACT	OUS	ACT	OUS	ACT

BSGC-COM-PKG = XXXXX

(a) → BSGC-COM#0の障害, (a)' → BSGC-COM#1の障害

診断後のBSGC				⇒ COM#0			
系状態				DM系状態			
#0	#1	#0	#1	交換	xxxxx-PKG	交換	xxxxx-PKG
OUS	ACT	OUS	ACT	OUS	ACT	OUS	ACT

BSGC-COM-PKG = XXXXX

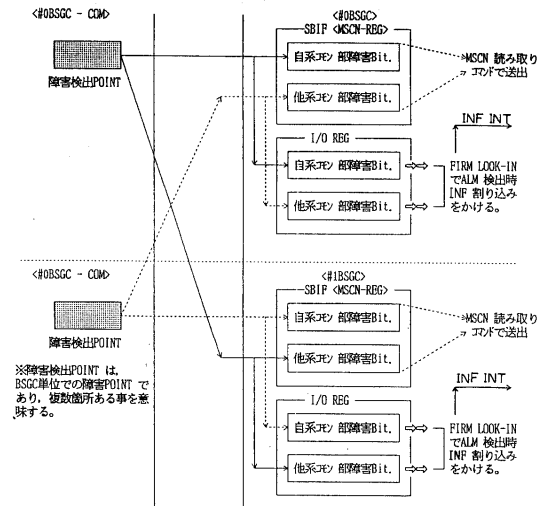
正常性確認後

正常性確認後

↓

BSGC / BSGC-COM-SW をMaster/Slave状態に戻す。

【図 7 4 3】



【図 7 4 4】

NO	内容	CC 部込み	PRM 部込み	MSCN-BIT	障害処理	備考
1	INF DMA 774エラー-1	有	有	28	リトライ処理 NG時障害	774エラー-SBER1-Bit=1。DMA 転送時 BSCC→PPT 方向でINFの774エラー 発生
2	INF DMA 774エラー-2	有	有	27	リトライ処理 NG時障害	774エラー-SBER2-Bit=1。DMA 転送時 INFからDUEBUS774エラー発生 及びDMA774エラー発生
3	INF DMA 774エラー-3	有	有	26	リトライ処理 NG時障害	774エラー-受入データの774エラー発生
4	INF DMA 774エラー-4	有	有	25	リトライ処理 NG時障害	DMA 774エラー終了から774エラーまでの 時間監視タイマーでエラー発生。 (774エラーが戻って来ない)
5	BSCC障害	有	有	23	BUS 化 ACT 系 系切替え	BSCCの障害 ① Watch Dog Timer Over ② DRAM Parity N.G ③ Write Protect Error

【図 7 4 5】

Bit	内容
31	リトライエラー表示
30	COM T-CARD
29	BSCC障害
28	DMA 774エラー-1 (774エラー発生)
27	DMA 774エラー-2 (774エラー発生)
26	DMA 774エラー-3
25	DMA 774エラー-4
24	MPAL : Home BSCC-COM 0000障害
23	MPAL : Write BSCC-COM 0000障害
22	MPAL : Write BSCC-COM 0000障害
21	MPAL : Write BSCC-COM 0000障害
20	MPAL : Write BSCC-COM 0000障害
19	MPAL : Write BSCC-COM 0000障害
18	MPAL : Write BSCC-COM 0000障害
17	MPAL : Write BSCC-COM 0000障害
16	MPAL : Write BSCC-COM 0000障害
15	MPAL : Write BSCC-COM 0000障害
14	MPAL : Write BSCC-COM 0000障害
13	MPAL : Write BSCC-COM 0000障害
12	MPAL : Write BSCC-COM 0000障害
11	MPAL : Write BSCC-COM 0000障害
10	MPAL : Write BSCC-COM 0000障害
09	MPAL : Write BSCC-COM 0000障害
08	MPAL : Write BSCC-COM 0000障害
07	MPAL : Write BSCC-COM 0000障害
06	MPAL : Write BSCC-COM 0000障害
05	MPAL : Write BSCC-COM 0000障害
04	MPAL : Write BSCC-COM 0000障害
03	MPAL : Write BSCC-COM 0000障害
02	MPAL : Write BSCC-COM 0000障害
01	MPAL : Write BSCC-COM 0000障害
00	MPAL : Write BSCC-COM 0000障害

★ Bit 21 ~ 18 は、最若番BSCCからのみ通知される。他 BSCC は DON'T CARE

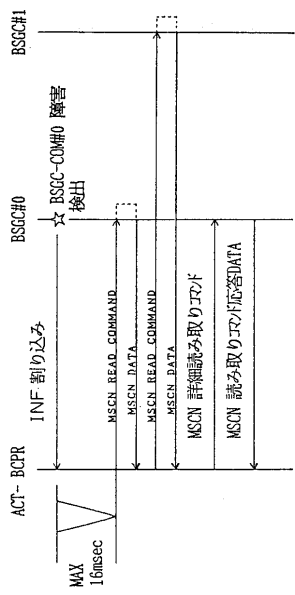
【図 7 4 6】

BSCC障害	29	Watch dog time over, DRAM Parity N.G, DRAM Write Protect Error ACT/SBY-LINK Multiplex用MUX LST ALM, 54/53 CNV ALM, PIP リトライエラー

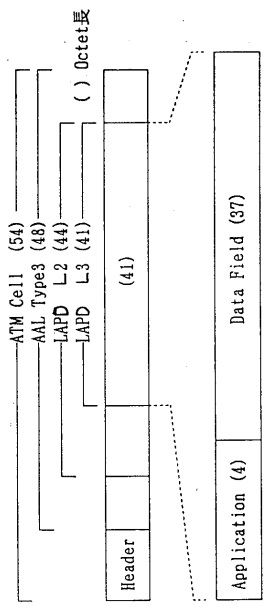
【図 7 4 7】

NO	MSCN内容	Bit No	詳細要因一覧
2	自系 BSCC-COM 障害-1	21	最若番BSCCのみ表示されるBit 以下全てで自系BSCC-COMにおける障害Bitである。 1) 自系MUX 部障害
3	他系 BSCC-COM 障害-1	20	最若番BSCCのみ表示されるBit 以下全てで他系BSCC-COMにおける障害Bitである。 1) 他系MUX 部障害
4	自系 BSCC-COM 障害-2	19	各BSCCより障害通知される。全てで自系BSCC-COMからの障害 各BSCC-PMG対応部 1) 自系MUX 部障害 2) 自系DMUX-VCC部障害 3) 自系BSCC対応MUX 部障害
5	他系 BSCC-COM 障害-2	18	各BSCCより障害通知される。全てで他系BSCC-COMからの障害 各BSCC-PMG対応部 1) 他系MUX 部障害 2) 他系DMUX-VCC部障害 3) 他系BSCC対応MUX 部障害

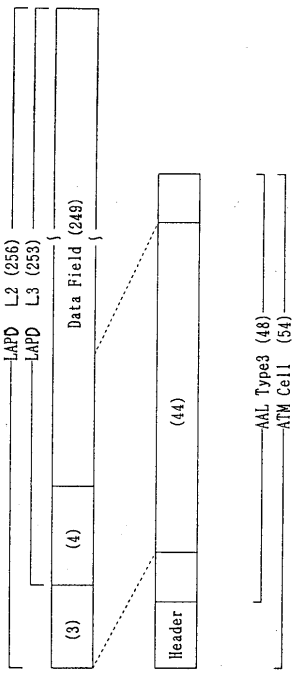
【図 7 4 8】



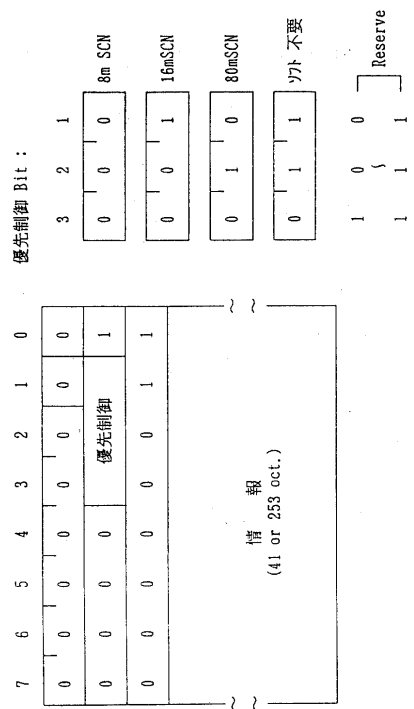
【図 7 4 9】



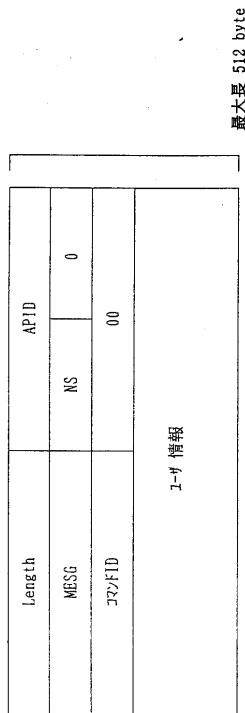
【図 7 5 0】



【図 7 5 1】



【图 7 5 3】

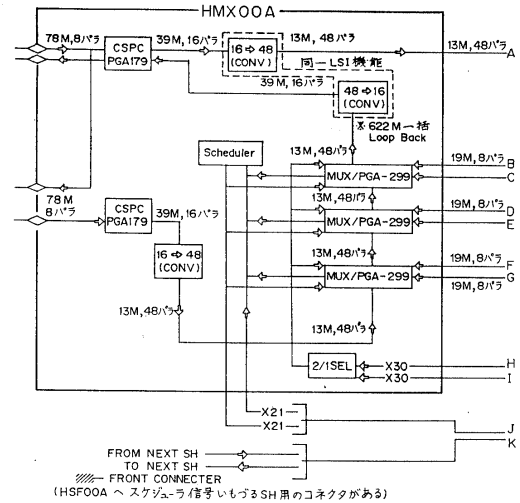


最大長 512 byte

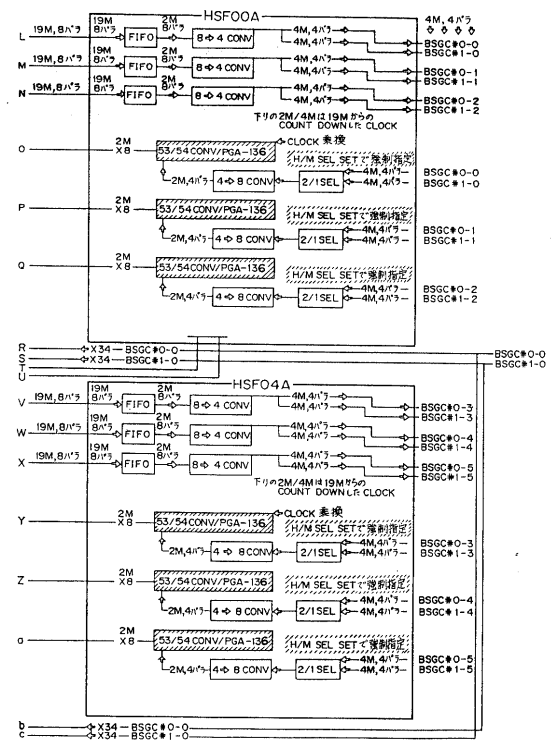
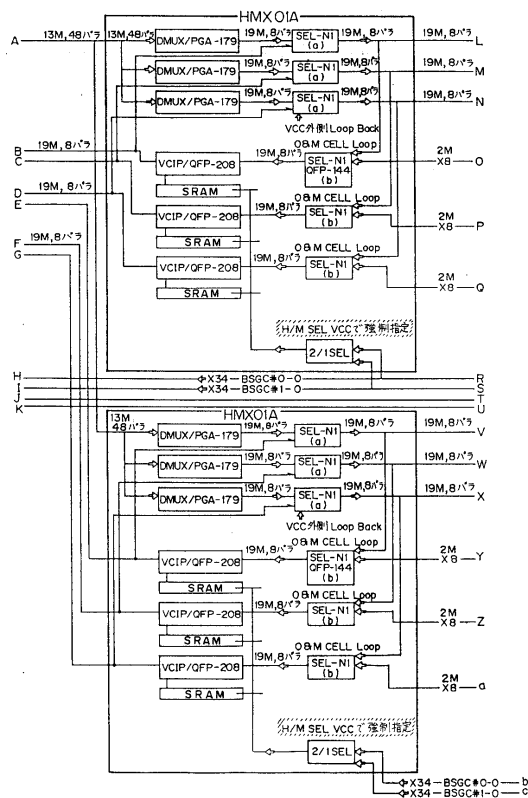
本フォーマットは、簡易LAP、full LAPでは以下の点で若干こととなる。

- ①最大ツージ長は簡易LAPは 509 byte である。
- ②NSフィールドは full LAPでは 0 固定とする。

APID/MSG 値は、全装置 7bit 一元管理とする。



【图 7 5 5】



【図 7 5 6】

RM000A

NO	機能ブロック名	機能概要	主要LSI
1	CSPC	ASSMSHとのインターフェイス、62M UP/DOWN DATA のECL ⇒ TTLレベルの変換を行う。 ECLレベル 88IT, 78m ⇒ TTLレベル 188IT 39M の変換を行う。	MB222607-CR-G
2	IS-238 CONV (CSPCAD)	39M 188IT ⇒ 13M 488ITあるいは 13M 488IT ⇒ 39M 188ITのDATAの変換を行う。	MB010572-60CR-G
3	SCHEDULER	自SH 6550C分及び下位SH 6550C分のCELL多重制御が可能であるミクサ。本機能はLCAで実現している。	64K EPROM LCA E76C-0024-0740 #476132
4	MIX	158MのCELL2系統及び622Mの高速度CELL1系統の多重を可能とする。 ミクサ、ループ。	MB0331204-635CR-G
5	2/1 SEL	自系/他系、最若番RSCからのDATA、AUD、制御線のミクサ、ACT-RSCを選択する。	—

【図 7 5 7】

RM01A

NO	機能ブロック名	機能概要	主要LSI
1	DMUX	622MのCELLよりTAGを抽出し、あらかじめ設定されているTAG情報とMATCHを取り、一致すれば158MのCELLとして出力する。 入力13M 48m ⇒ 出力19M 8 m	MB0331204-638CR-G
2	SEL-NI (a)	RSC方向へのCELL BY CELL LOOP BACK 用TAG 内 0-8ITにより、LOOP BACK CELLの指定を行う。	MB021104-616ZFY
3	SEL-NI (b)	ASSMSH方向へのCELL BY CELL LOOP BACK 用TAG 内 0-8ITにより、LOOP BACK CELLの指定を行う。 158MのCELLのVCIは特定値で行う。VCI=03FF, 03FF	MB021104-616ZFY
4	VCI P	VCI機能を実現する。 外部にミクサを有して、CELL1~6 OUT DATAを外部へ書き込まれている値に変換する。 SRAMとして、64K × 188IT CMOS SRAM (7C5166AJ-20 : 東芝製)	MB021505-609ZFY E76L-0025-0268H 5164-20
5	2/1 SEL	自系/他系、最若番RSCからのDATA、AUD、制御線のミクサ。ACT-RSCを選択する。	—

【図 7 5 8】

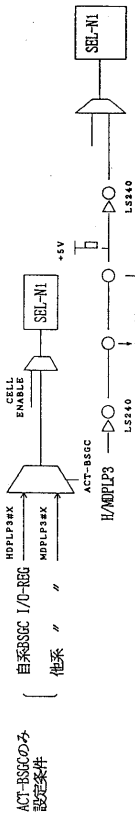
HSF00A/HSF04A

NO	機能ブロック名	機能概要	主要LSI
1	PIFO	19M 8 バイト ⇒ 2M 8 バイトへ変換を行う為のミクサ	11T 7206-20
2	8 ⇒ 4 CONV	RSCとのインターフェイスの為、1/4を8 ⇒ 4に変換する。 2M 88IT ⇒ 4M 48IT	—
3	2/1 SEL (a)	RSC方向 LOOP BACK用ミクサ。	—
4	2/1 SEL (b)	RSC ⇒ COM 自系/他系ミクサ。 ACT-RSCを選択する。	—
5	4 ⇒ 8 CONV	RSCとのインターフェイスの為、1/4を4 ⇒ 8に変換する。 4M 48IT ⇒ 2M 88IT	—
6	50/54 CONV	CELL有効DOCT 長を53DOCT ⇒ 54DOCTへ変換する。 RSC出力CELL有効DOCT 長 53DOCT (CARP LSI 仕様)、SW内は、54DOCTである為の変換。	MR62807C-G (CELL PIFO)

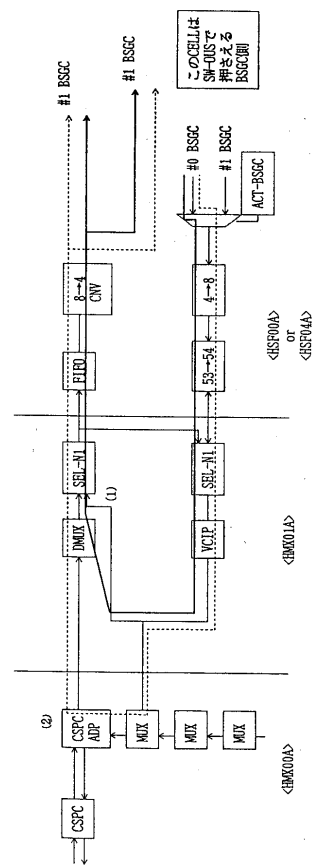
【図 7 5 9】

送	受	信号名	機能概要	本数	伝送形式	信号形式	接続法	備考
		OS(CEX).Y	71.70MHz カルカ	1			並列	ミクサ
		OS(CEX).Y	ミクサ用信号	1	EQ平衡		並列	ミクサ
		OS(CEX).Y	ミクサ用信号	1	EQ平衡		並列	ミクサ
		OS(00~7A).Y	ミクサ用信号	8	EQ平衡		並列	ミクサ
		JSOU	変換信号	1	TTL不平衡		並列	ミクサ
		OS(PTX).Y	ミクサ用信号	1	EQ平衡		並列	ミクサ

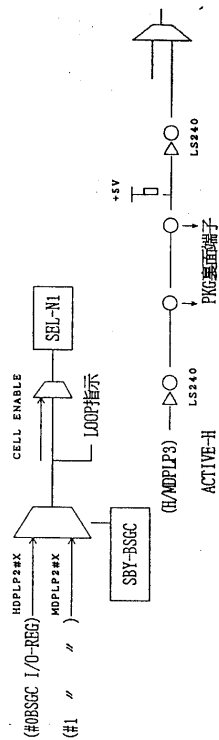
【図 7 6 4】



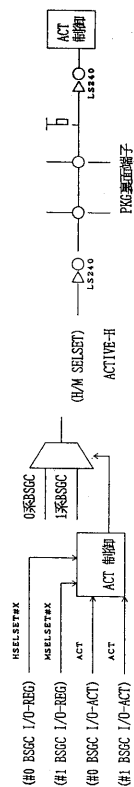
【図 7 6 5】



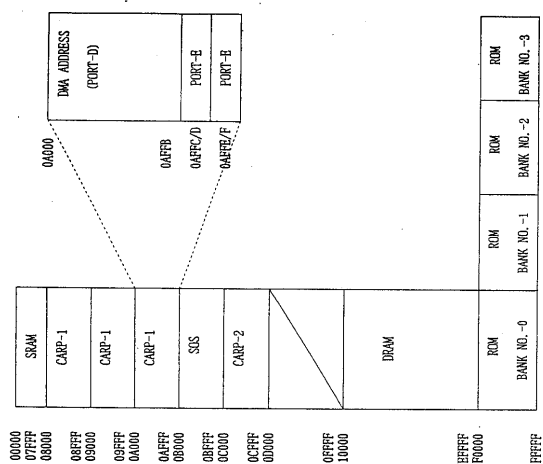
【図 7 6 6】



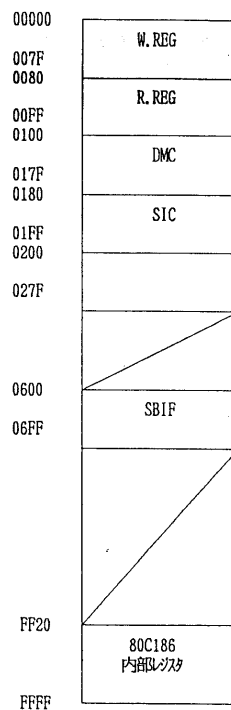
【図 7 6 7】



【图 7 7 2】



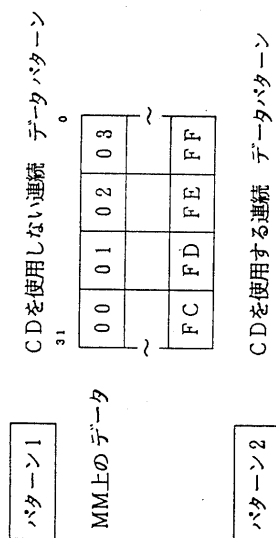
【图 7 7 3】



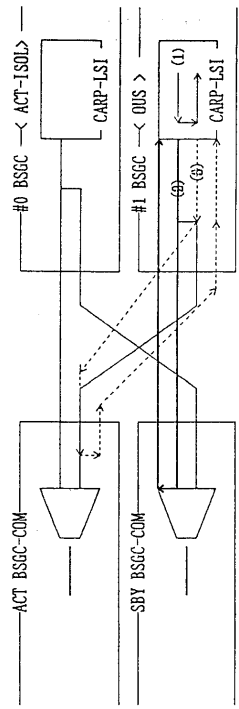
【图 7 7 4】

No.	命 令 種 別	IN/OUT	リフ/ラフ	備 考
1	コマンド起動	OUT	ライト	
2	リトリライ指示	OUT	ライト	
3	MSCN読み取り	IN	リード	
4	試験折り返し	OUT	ライト	
5	データ書込み データ読取り	IN	リード	

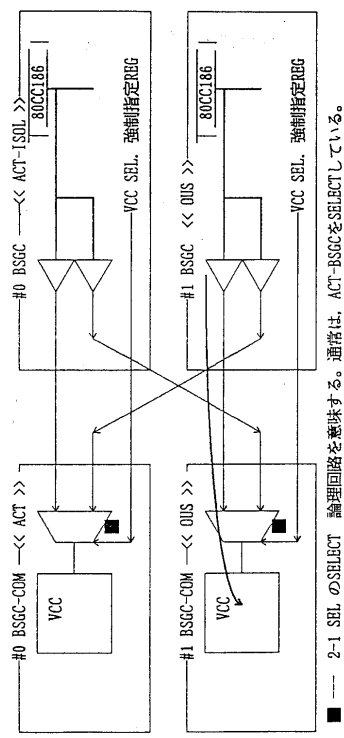
【図 7 7 5】



【図 776】



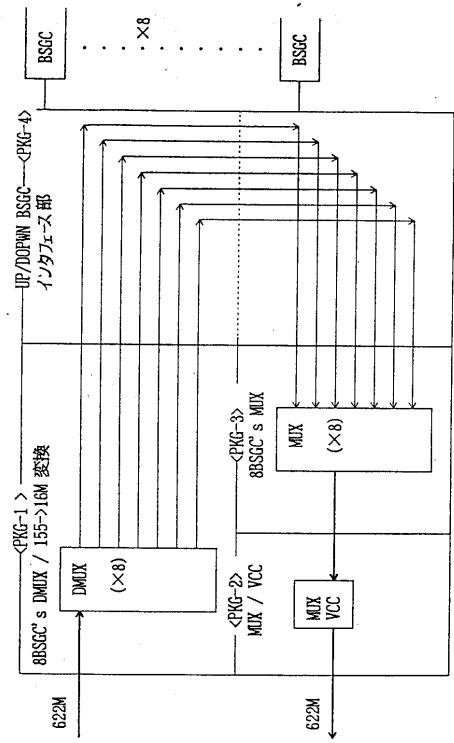
【図 777】



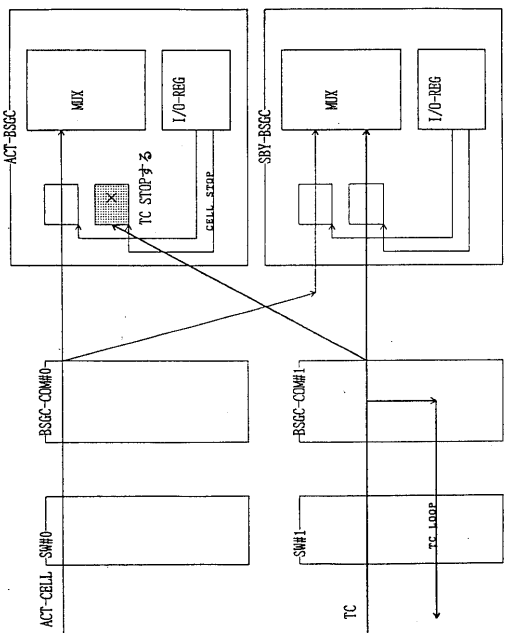
【図 778】

ACT系試験	SBY系試験	OUS 状態
能動AP 加パルによって通信は確認されている為、試験は行わない。	ACT 系のBSGCからSBY 側SWに 対しても能動AP 加パルの 通信が行われている為、ACT 系同様試験は行わない。	逐通試験を行う。 LOOP箇所は、BSGC-COM 部での CELL BY CELL の折り返しと する。 CELL BY CELLのLOOP TRIGGERは ATN Header内の 0-8bitとする

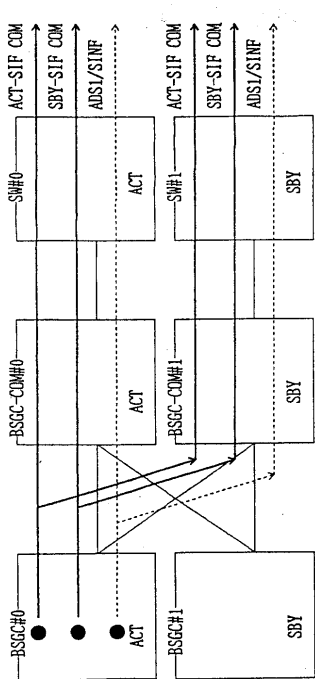
【図 779】



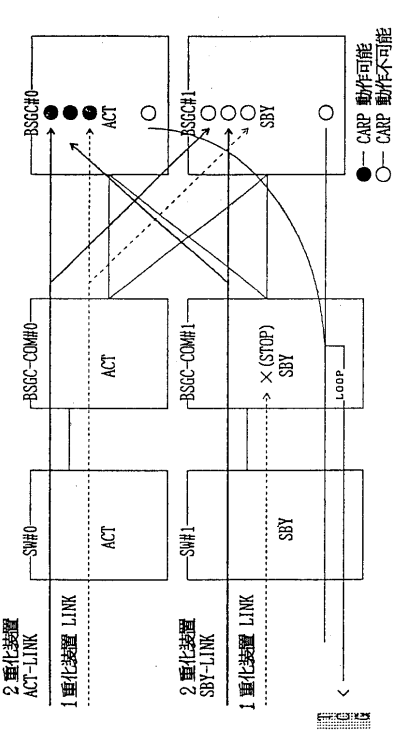
【図780】



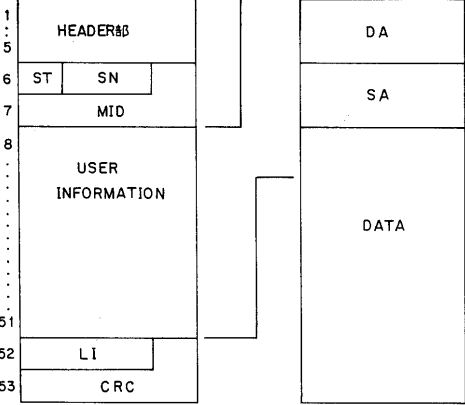
【図781】



【図782】



【図783】



L2フレーム・データユニット

L3フレーム・データユニット

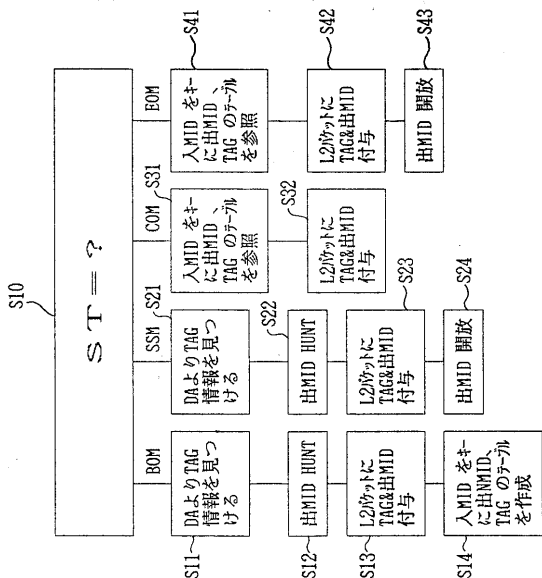
ST: Segment Type (BOM,SSM,COM,EOM)
SN: Sequence Number
MID: Message Identifier

DA: Destination Address
SA: Source Address

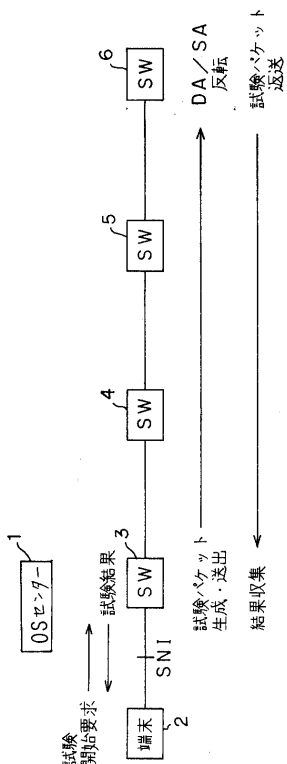
【図 7 8 4】

入MID	TAG	出MID
	...	...

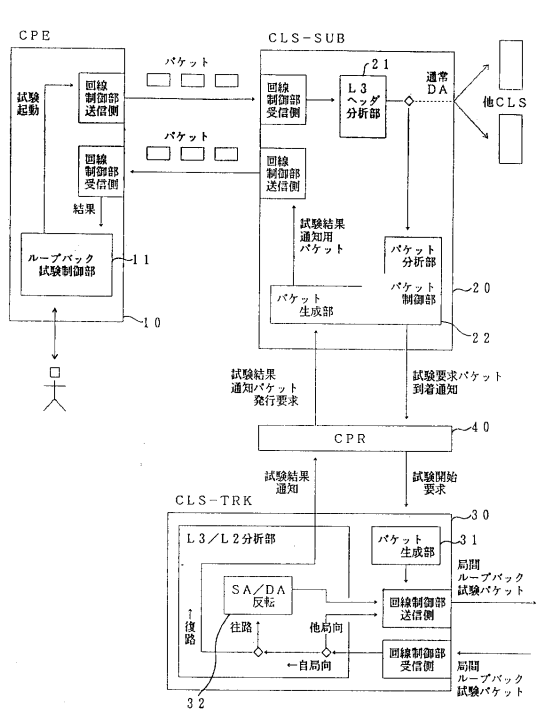
【図 7 8 5】



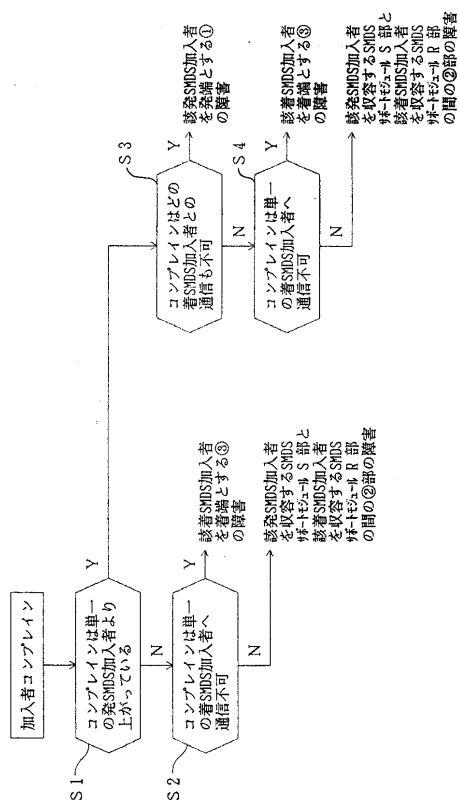
【図 7 8 6】



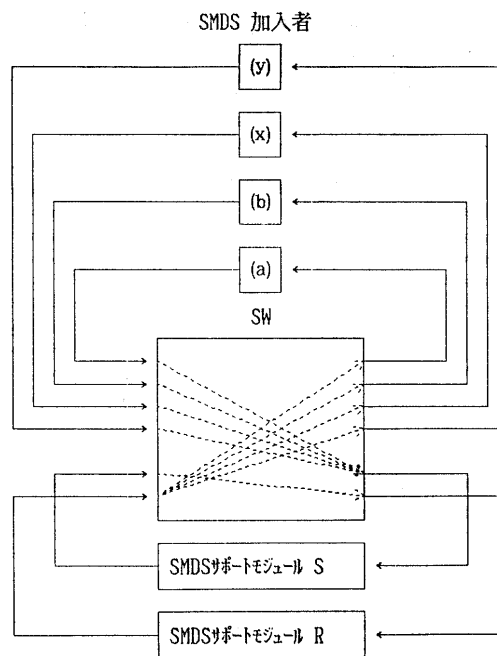
【図 7 8 7】



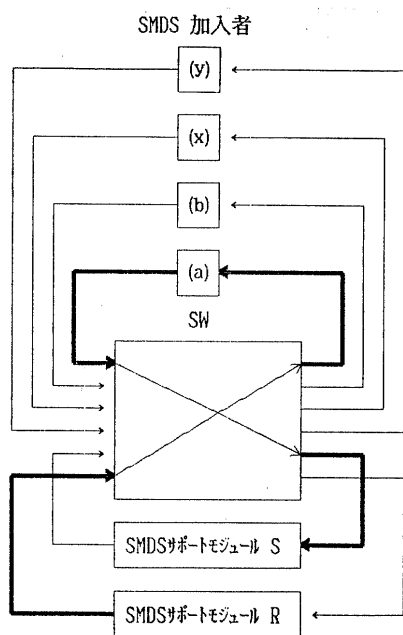
【図 788】



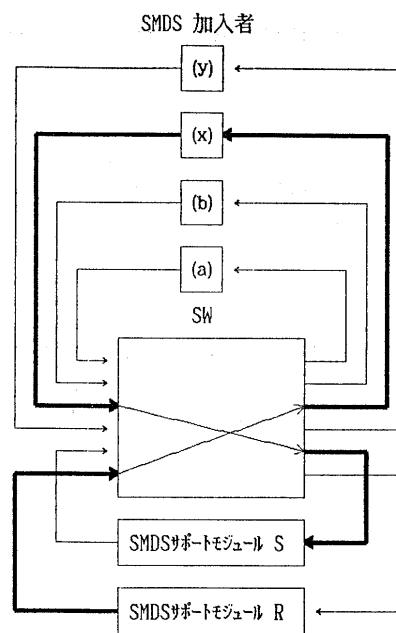
【図 789】



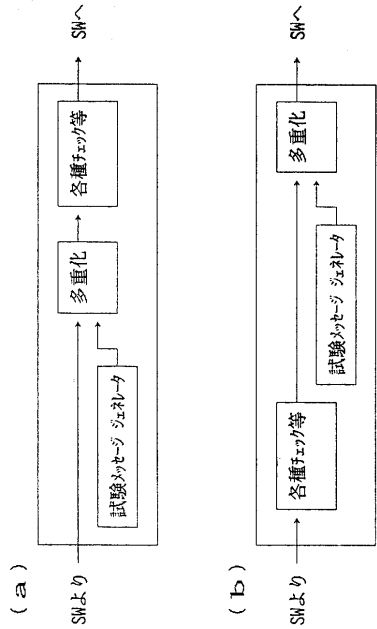
【図 790】



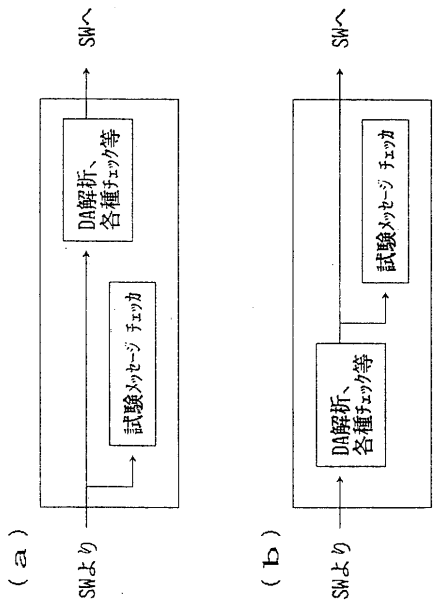
【図 791】



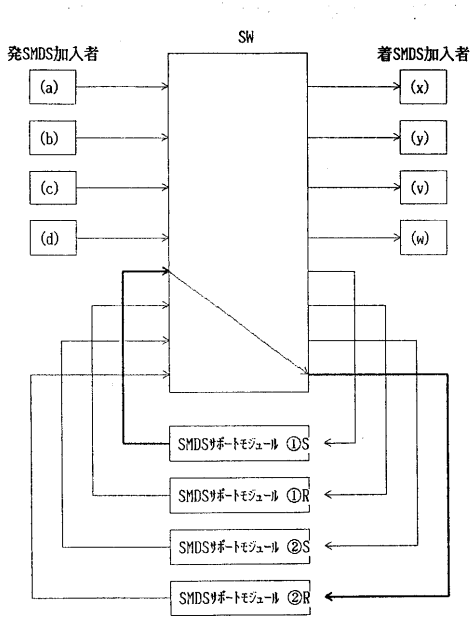
【図 7 9 2】



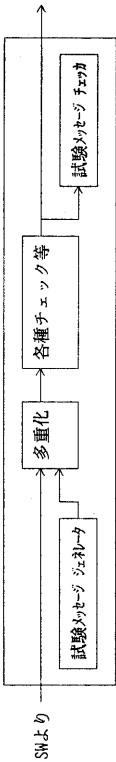
【図 7 9 3】



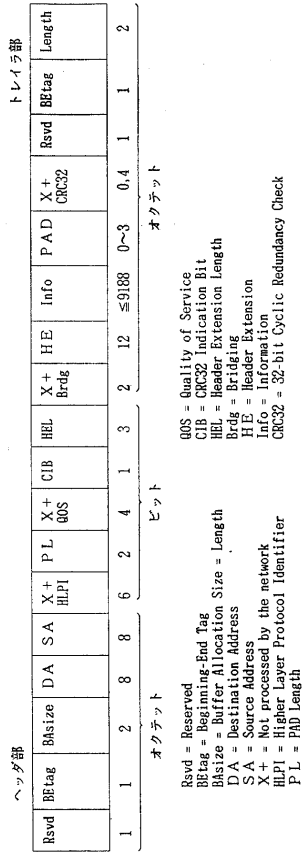
【図 7 9 4】



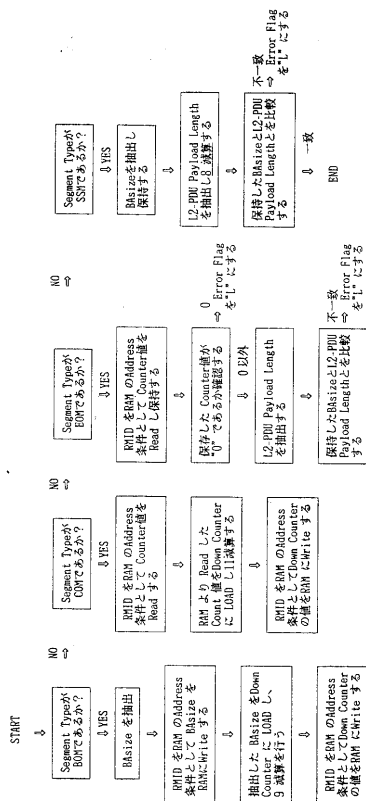
【図 7 9 5】



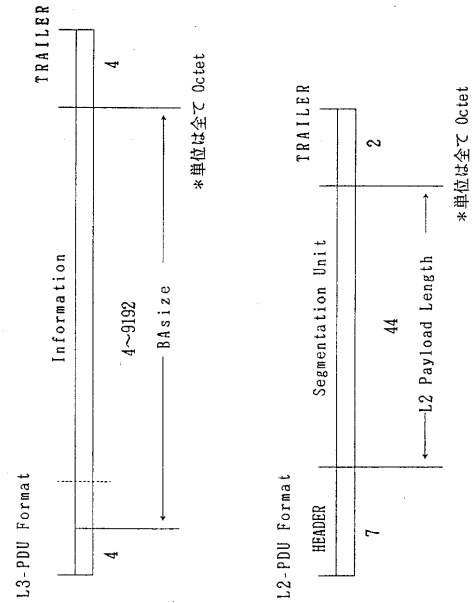
【図 796】



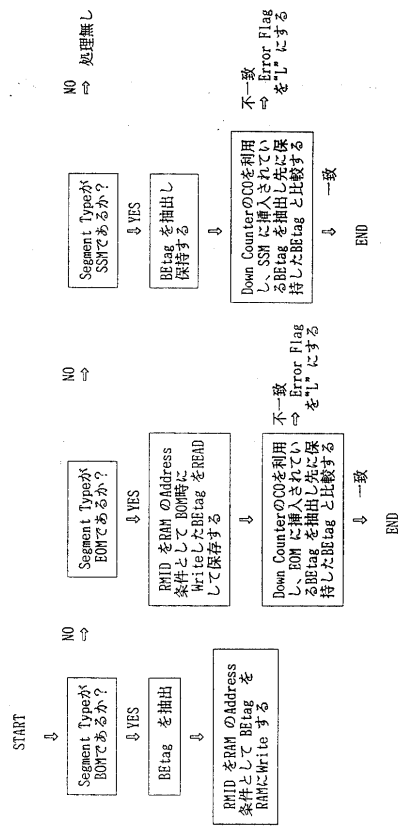
【図 798】



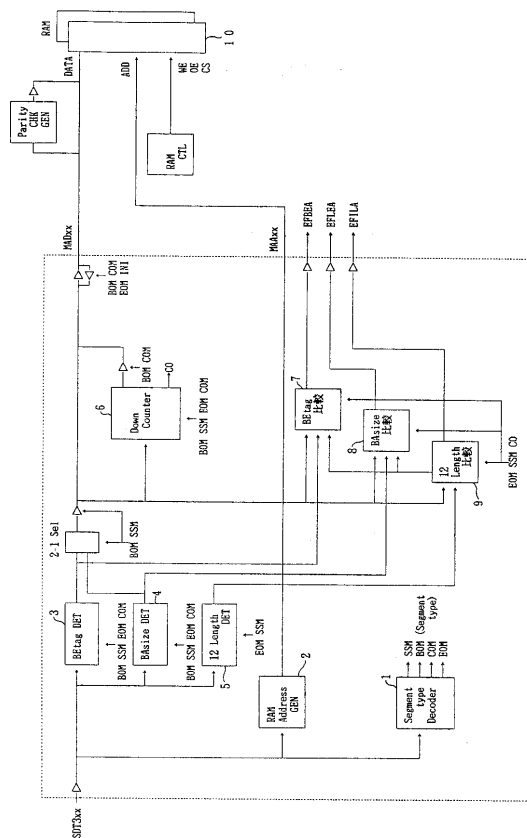
【図 797】



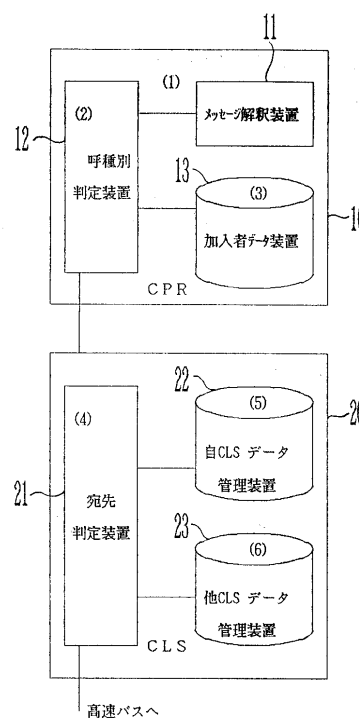
【図 799】



【図 8 0 1】



【 図 8 0 3 】



【図 8 0 4】

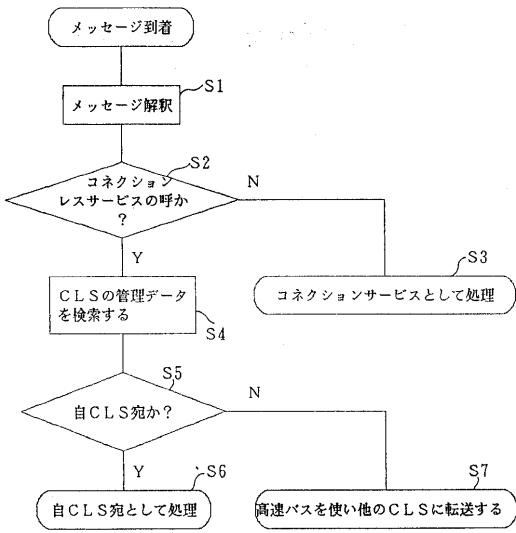
(a) 自CLS宛管理データ

電番	コネクションID
0001	VCI=112, VPI=100
0002	VCI=113, VPI=100
0003	VCI=114, VPI=100
0004	VCI=115, VPI=100
.	.
.	.
.	.

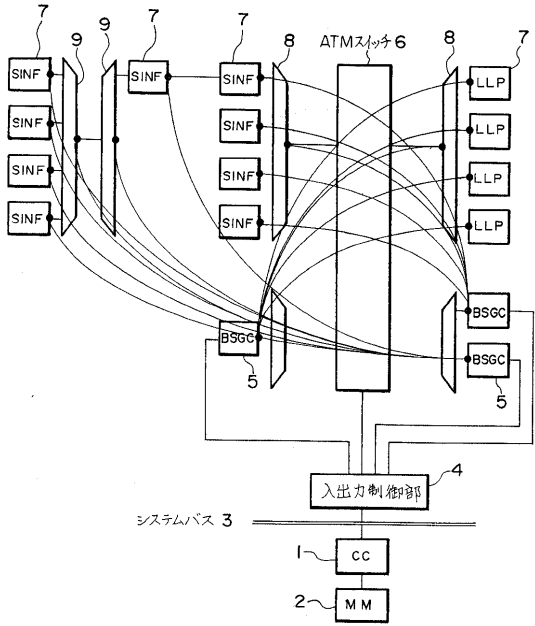
(b) 他CLS宛管理データ

電番	CLS識別番号
1001	0 0 0 2
1002	0 0 0 2
1003	0 0 0 3
1004	0 0 0 3
.	.
.	.
.	.

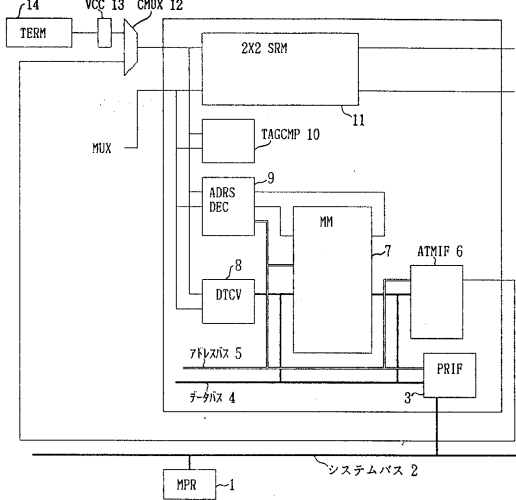
【図 8 0 5】



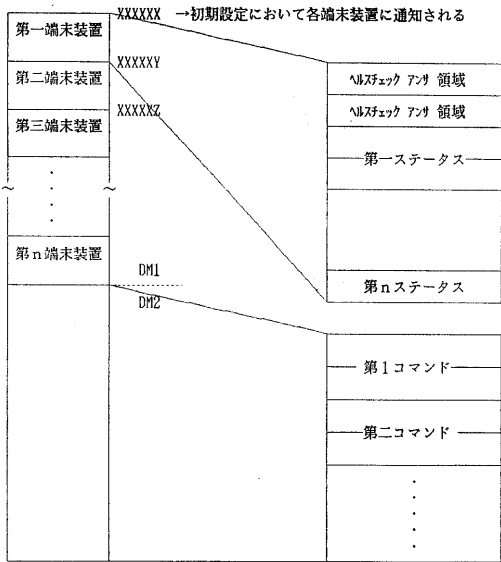
【図 8 0 6】



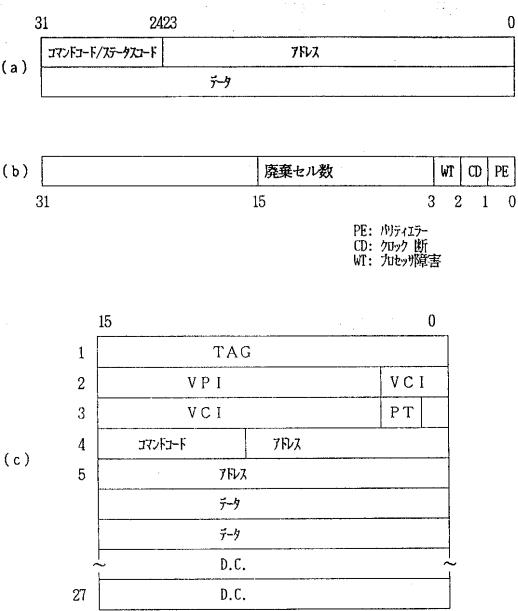
【図 8 0 7】



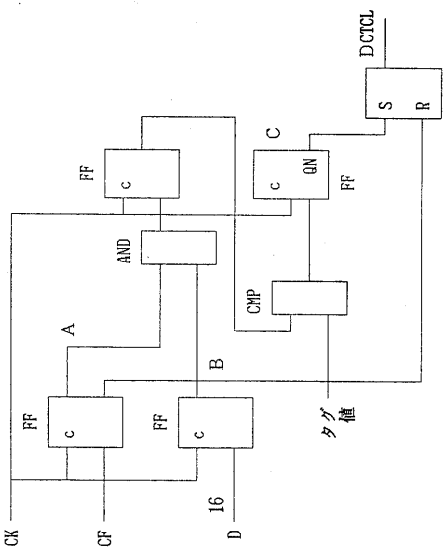
【図 8 0 8】



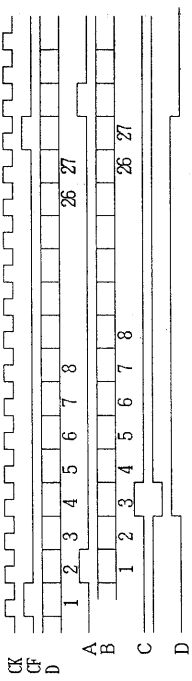
【図 8 0 9】



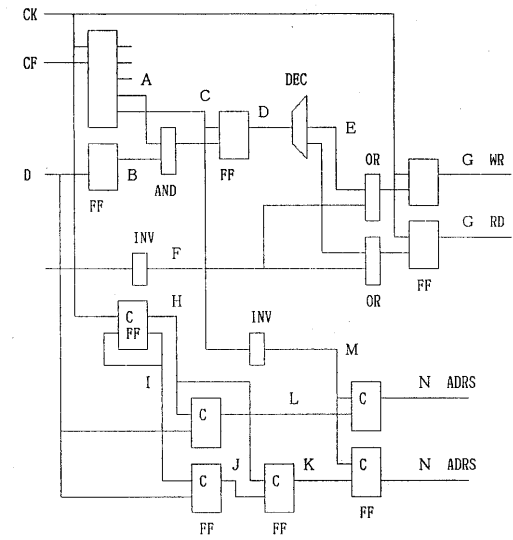
【図 8 1 0】



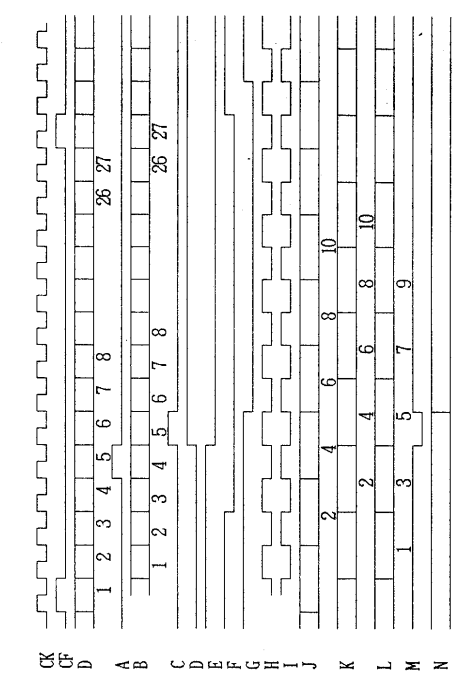
【図 8 1 1】



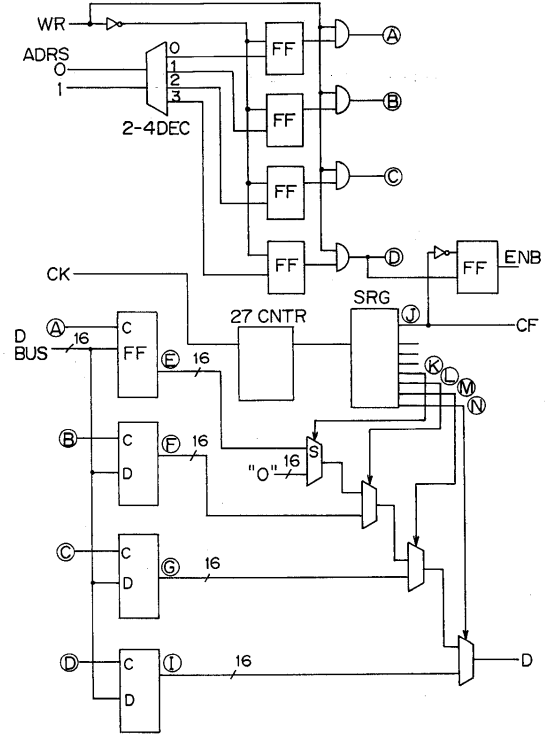
【図 8 1 2】



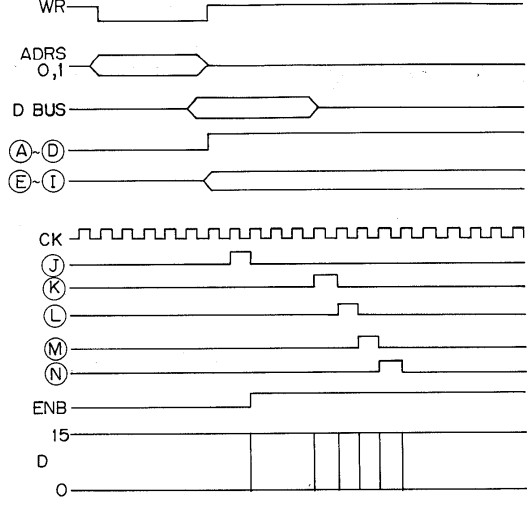
【図 8 1 3】



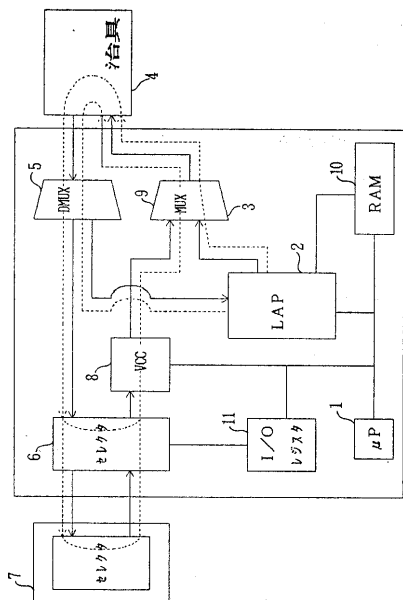
【図 8 1 4】



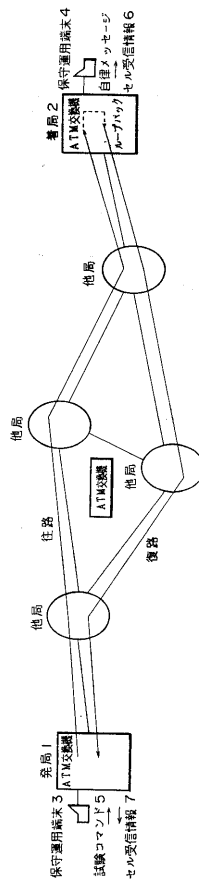
【図 8 1 5】



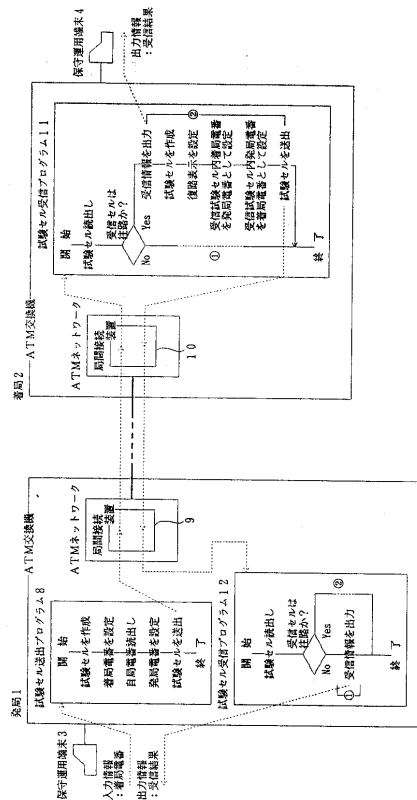
【図 8 1 6】



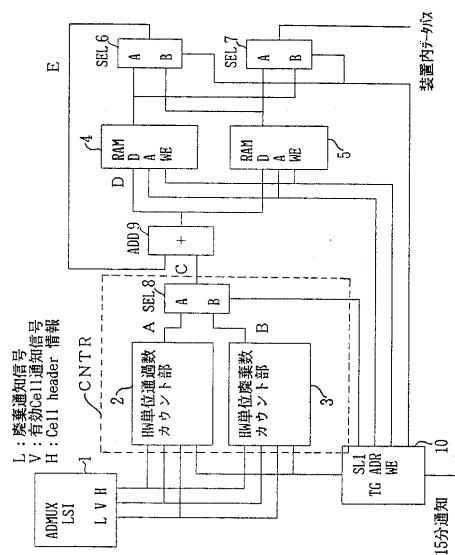
【図 8 1 7】



【図 8 1 8】



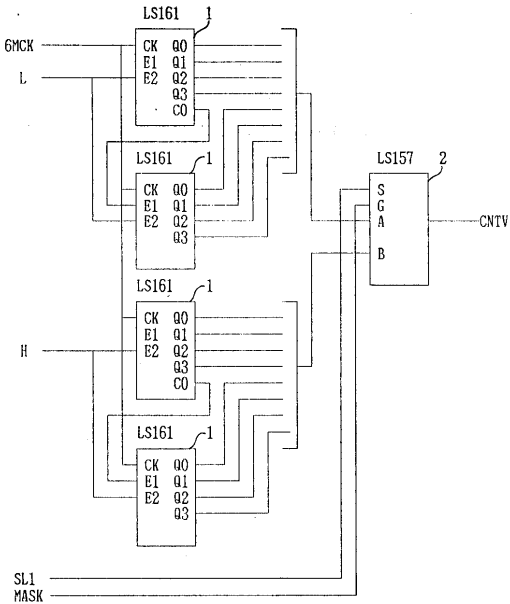
【図 8 1 9】



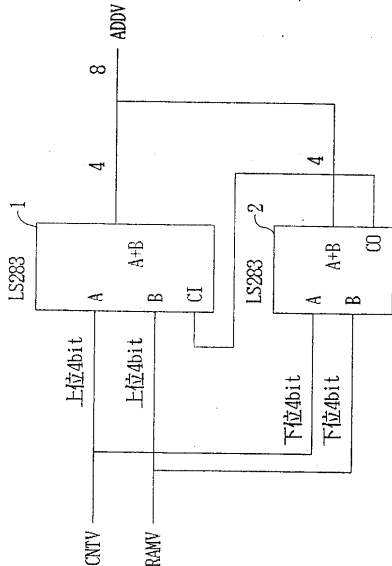
【図 8 2 0】

0 0 H	廃棄Cell数	下位8bit
0 1 H	廃棄Cell数	8bit
0 2 H	廃棄Cell数	8bit
0 3 H	廃棄Cell数	上位8bit
0 4 H	通過Cell数	下位8bit
0 5 H	通過Cell数	8bit
0 6 H	通過Cell数	8bit
0 7 H	通過Cell数	上位8bit

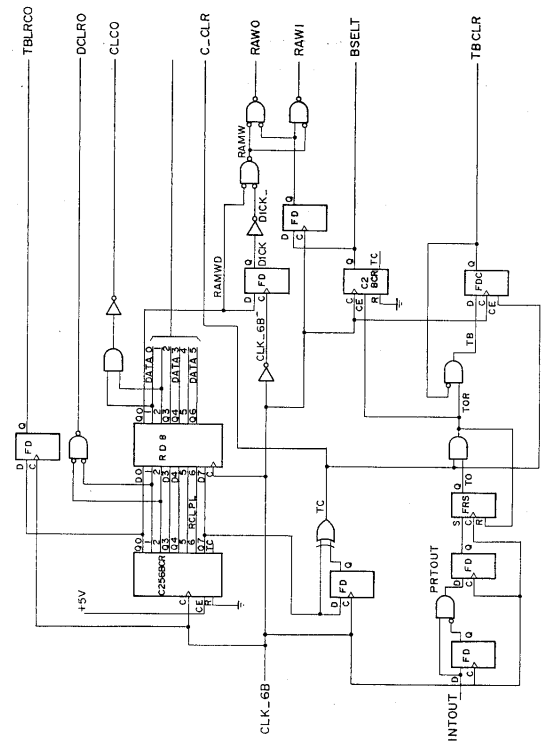
【図 8 2 1】



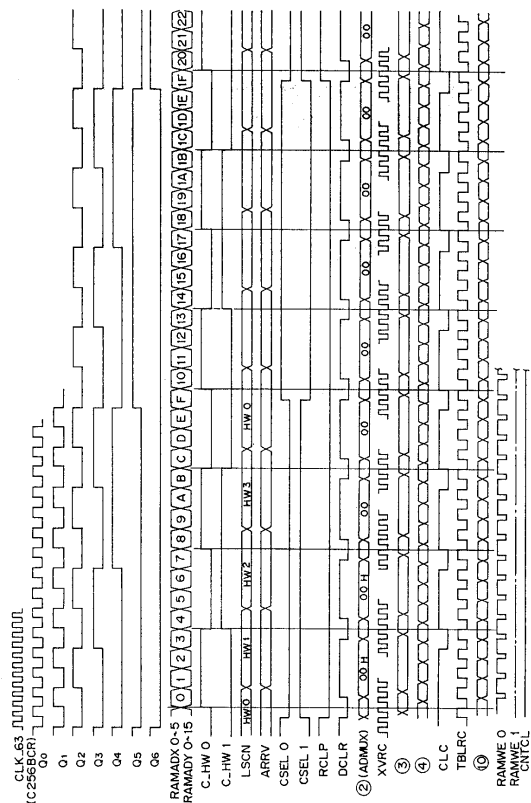
【図 8 2 2】



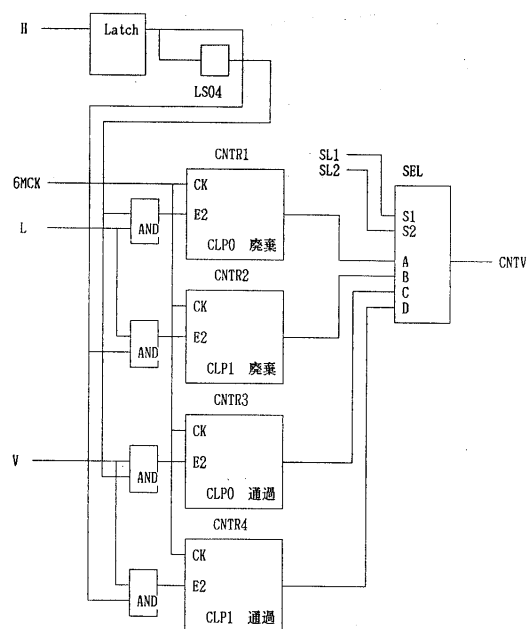
【図 8 2 3】



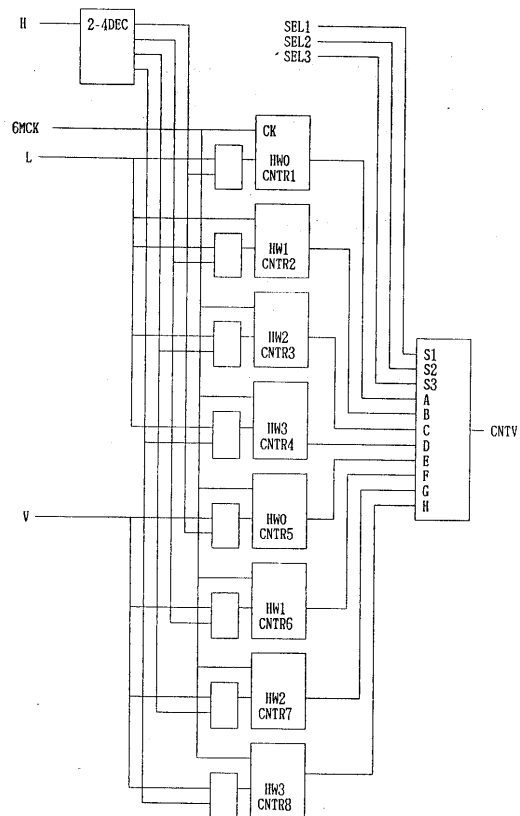
【 図 8 2 4 】



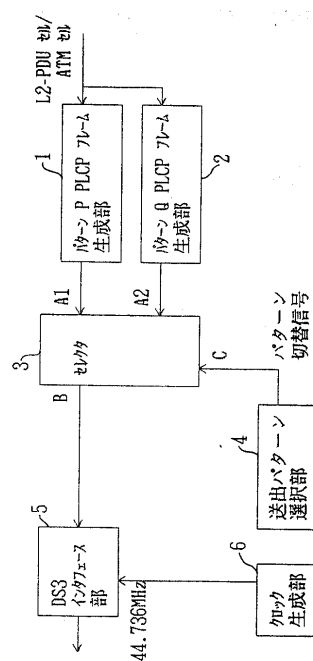
【図 8 2 5】



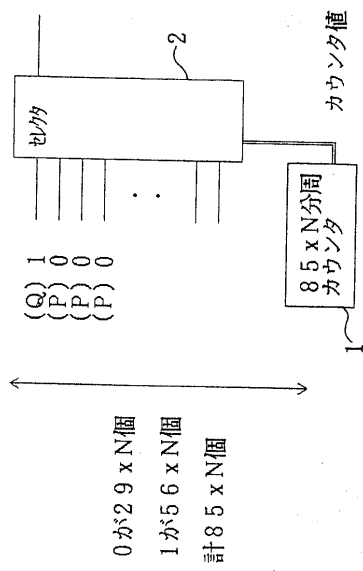
【图 8 2 6】



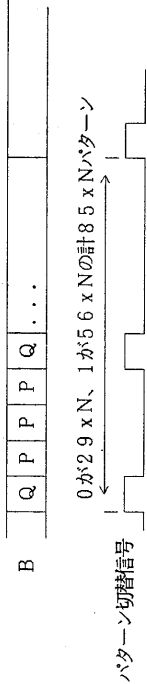
【図 8 2 7】



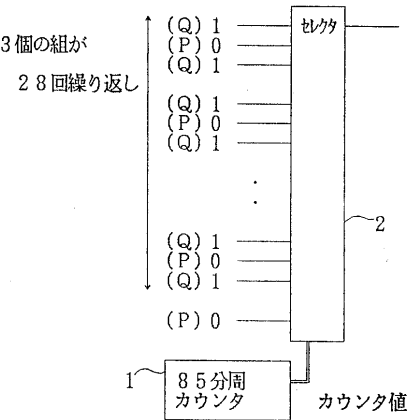
【図 8 2 8】



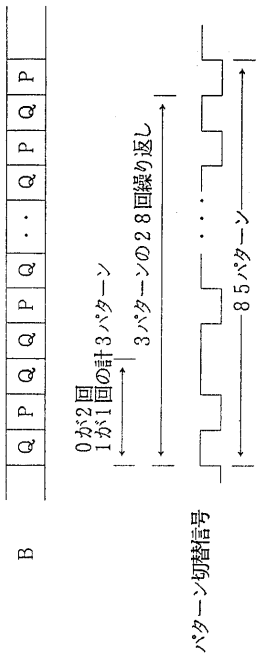
【図 8 2 9】



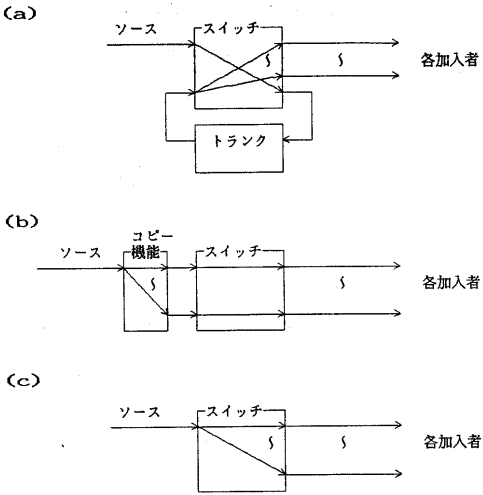
【図 8 3 0】



【図 8 3 1】



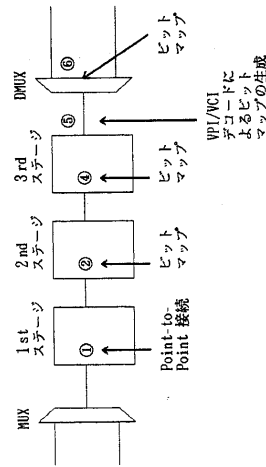
【図 8 3 2】



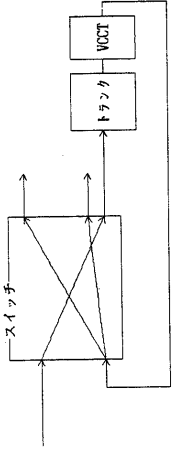
【図 8 3 3】

方 式	長 所	短 所
トランク方式	・スイッチの制御が容易 ・Point-to-Point接続のみ ・VPI/VCI の付け替えが不要	・トランクが必要 ・トランクの容量がバスの数を決める ・システムでサポートできるバスの帯域がトランクの分だけ減少する ・一度トランクに収容するためディレイがPoint-to-Point接続の2倍となる
入力コピー方式	・スイッチの制御が容易 ・Point-to-Point接続のみ	・VPI/VCI の付け替え機能が必要 ・コピー機能の追加が必要 ・システムでサポートできるバスの帯域が前段でコピーする分だけ減少する
内部コピー方式	・システムでコピーできるバスの帯域がシステム最大容量まで可能となる	・VPI/VCI の付け替え機能が必要 ・コピー機能の内部埋め込みが必要 ・スイッチの制御が複雑となる

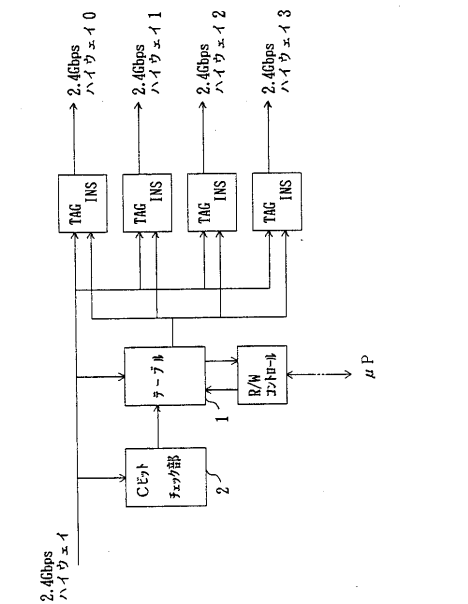
【図 8 3 4】



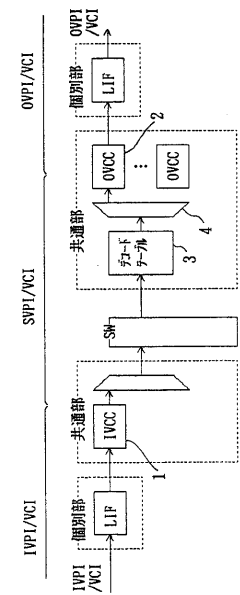
【図 8 3 5】



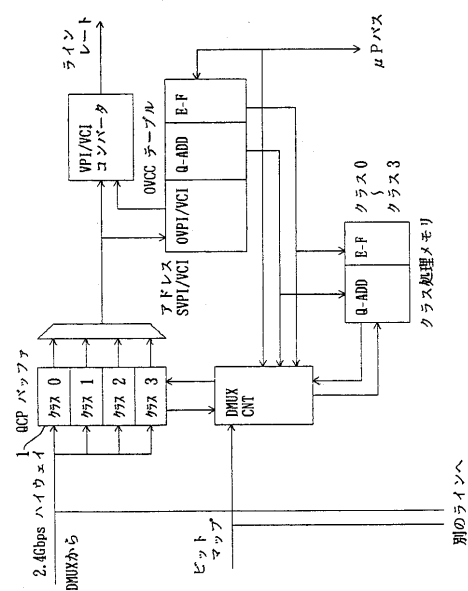
【図 8 3 6】



【図 8 3 7】



【図 8 3 8】



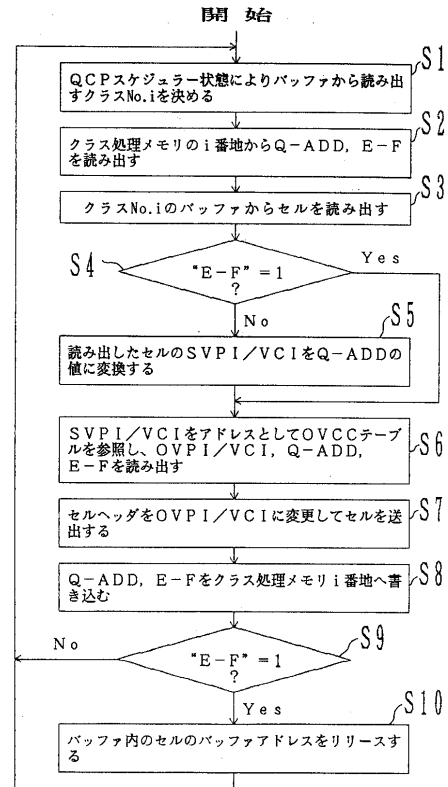
【図 8 3 9】

OVCC テーブルの内容				
アドレス	OVPI/VCI	Q-ADD	E-F	
Point-to-Point 接続	SWPI/VCI	OVPI/VCI	D.C.	1
Point-to-Multipoint接続	SWPI/VCI	OVPI/VCI	アドレス	x

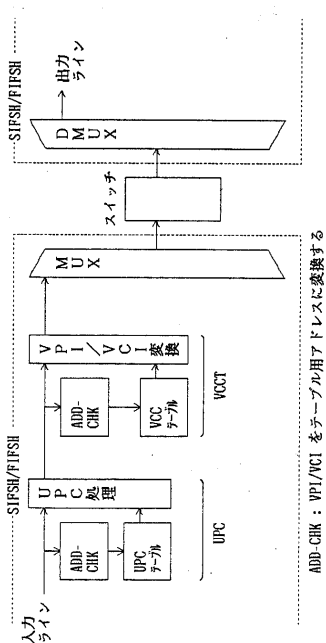
【図 8 4 0】

アドレス	OVPI/VCI	Q-ADD	E-F	
a	b0	c0	0	← 送信先 1 へのセル
c0	b1	c1	0	← 送信先 2 へのセル
c1	b2	c2	0	← 送信先 3 へのセル
c2	b3	D.C.	1	← 送信先 4 へのセル

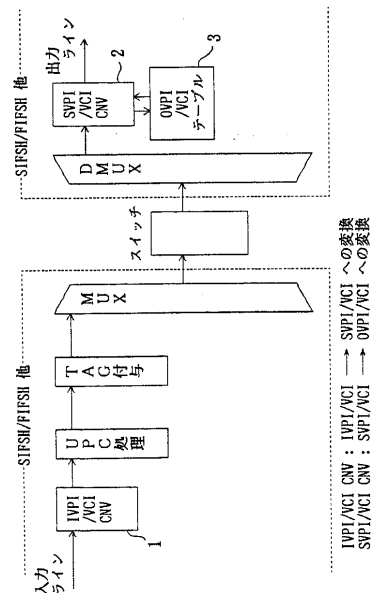
【図 8 4 1】



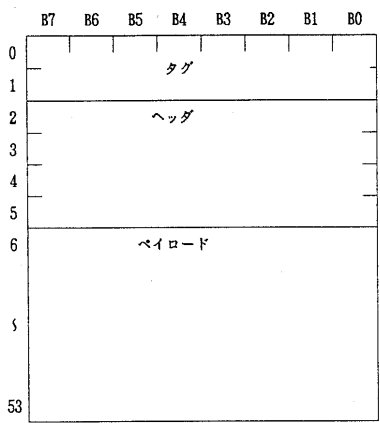
【図 8 4 2】



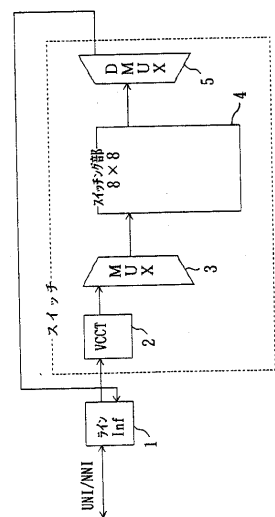
【図 8 4 3】



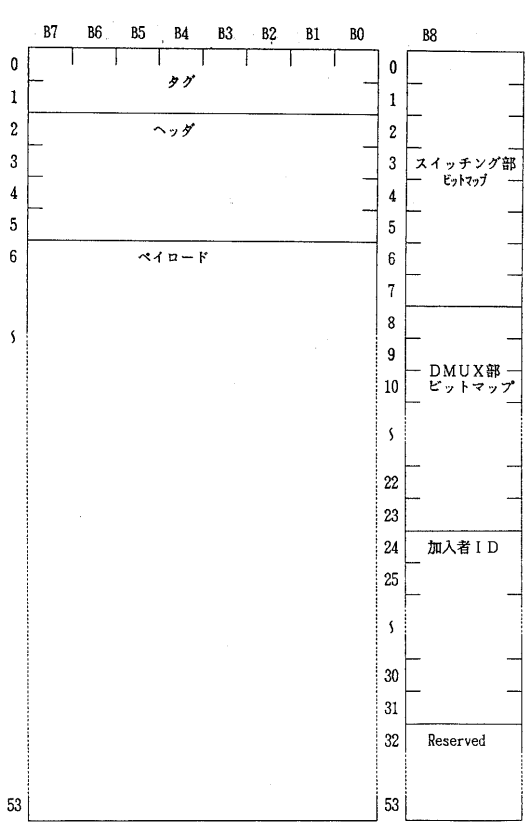
【図 8 4 4】



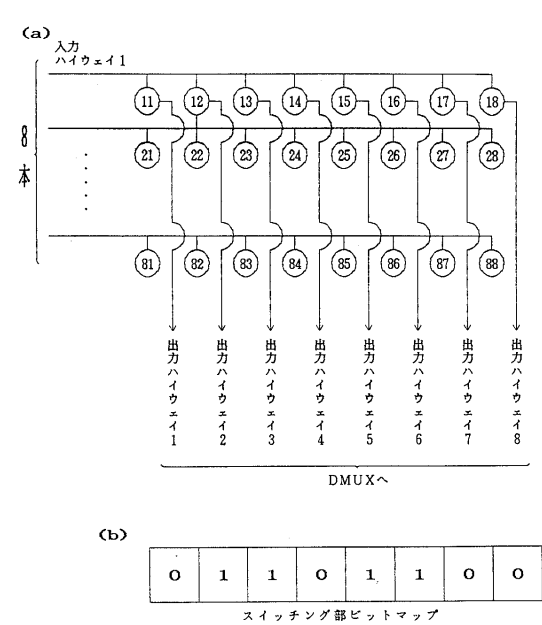
【図 8 4 5】



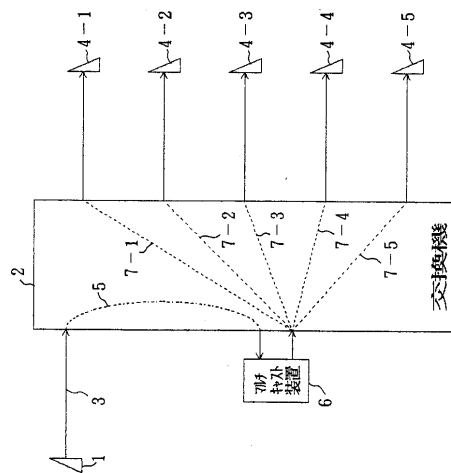
【図 8 4 6】



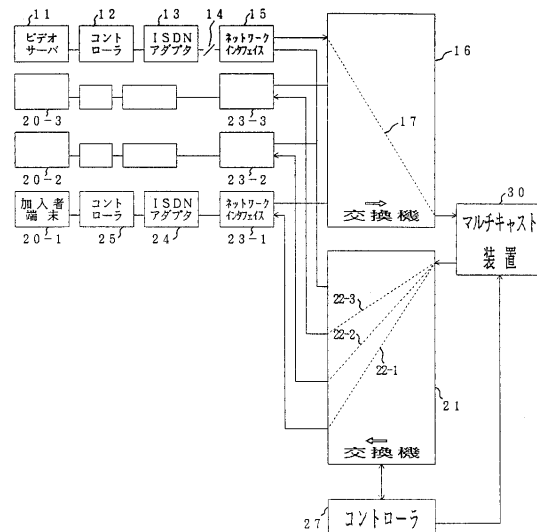
【図 8 4 7】



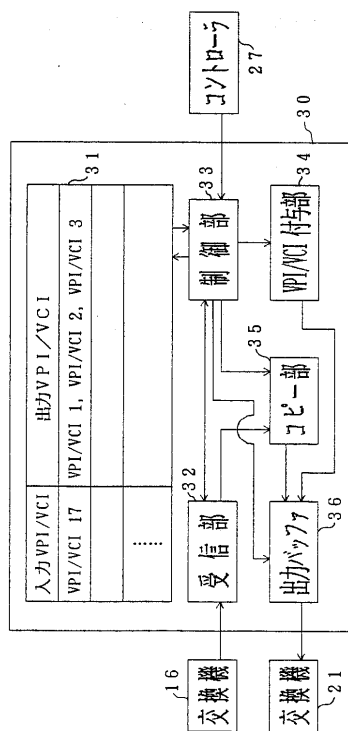
【図 8 4 8】



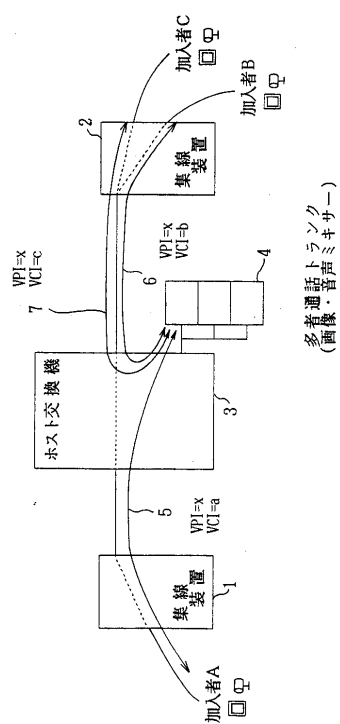
【図 8 4 9】



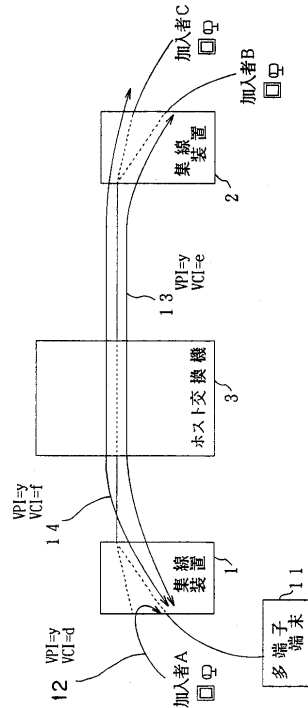
【図 8 5 0】



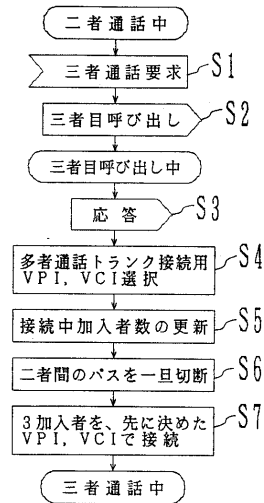
【図 8 5 1】



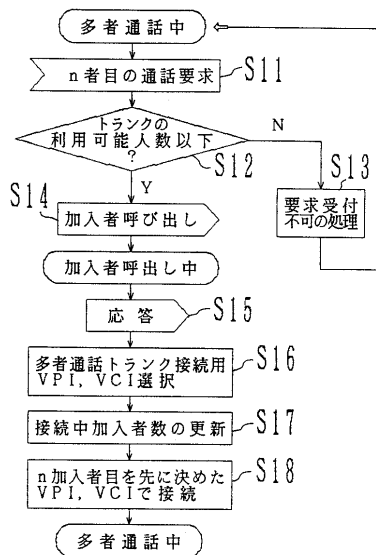
【図 8 5 2】



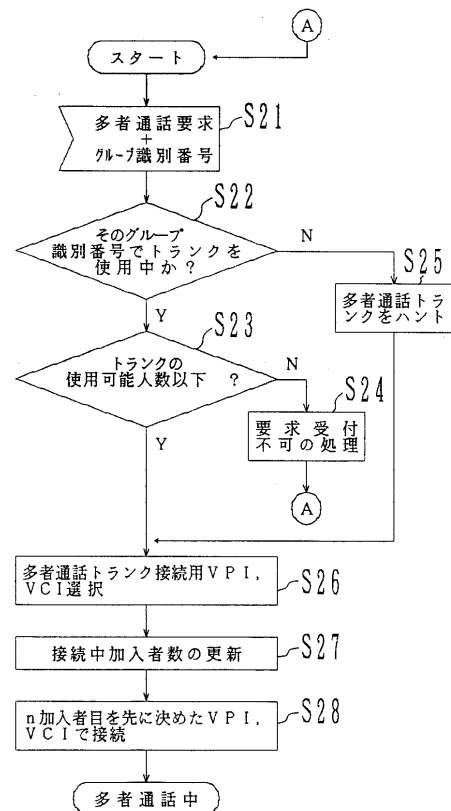
【図 8 5 3】



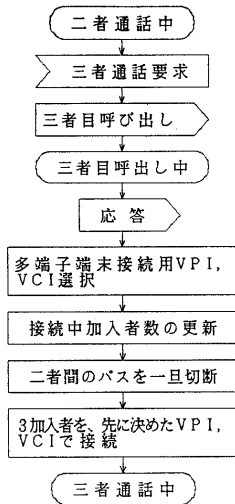
【図 8 5 4】



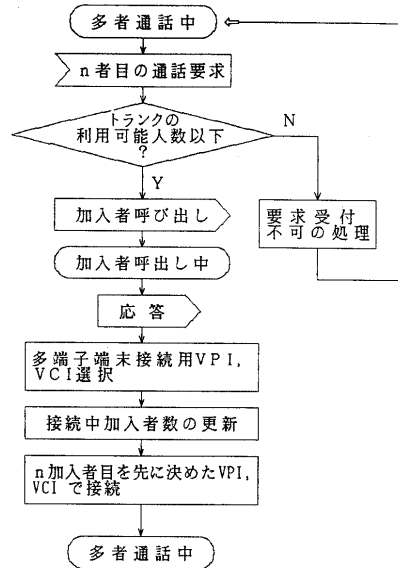
【図 8 5 5】



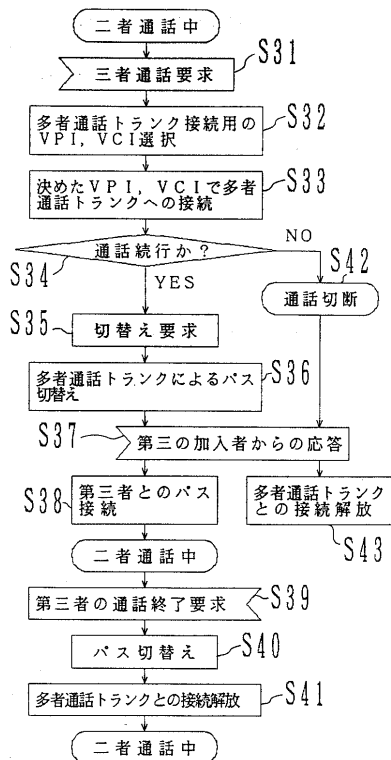
【図 8 5 6】



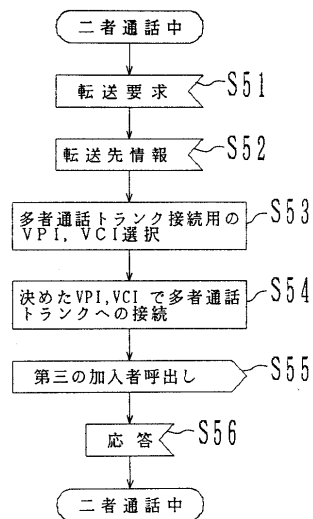
【図 8 5 7】



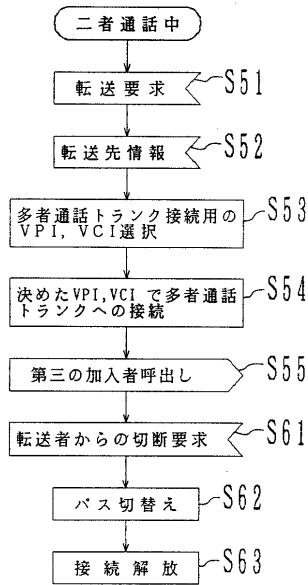
【図 8 5 8】



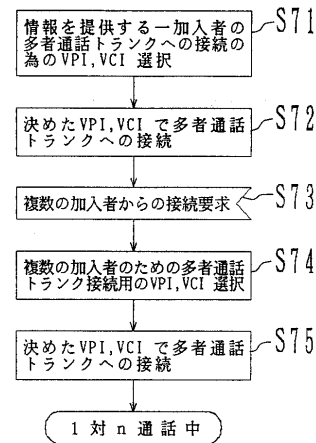
【図 8 5 9】



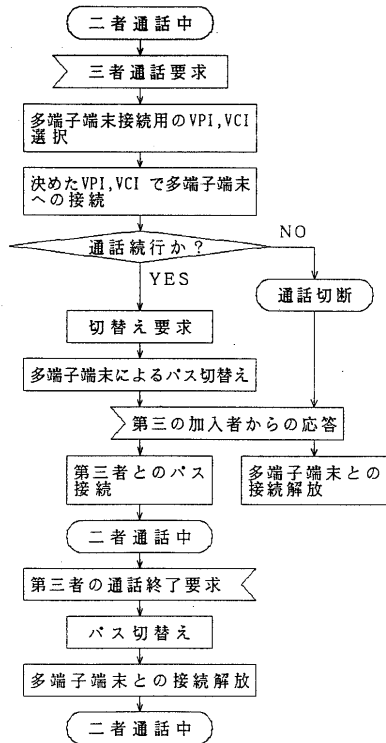
【図 8 6 0】



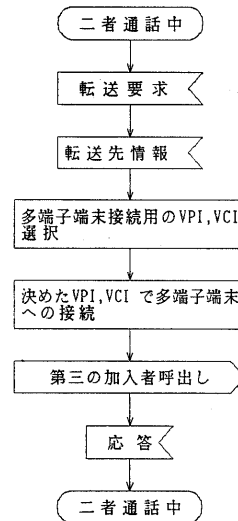
【図 8 6 1】



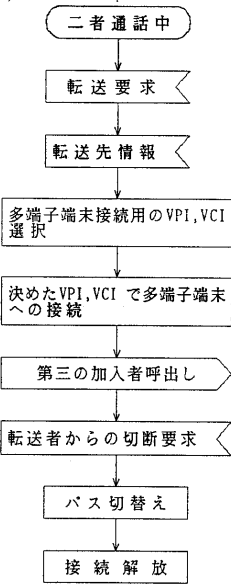
【図 8 6 2】



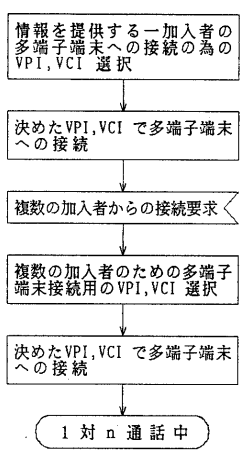
【図 8 6 3】



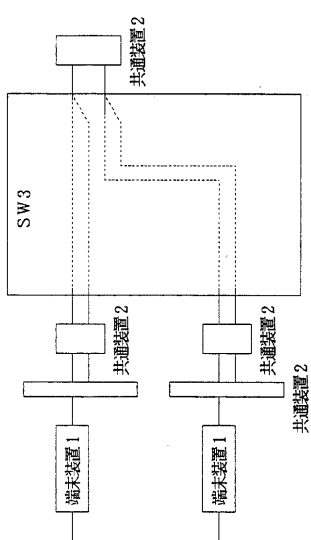
【図 8 6 4】



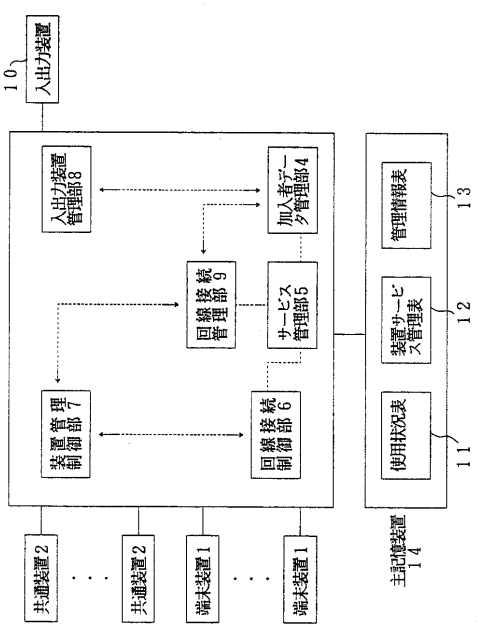
【図 8 6 5】



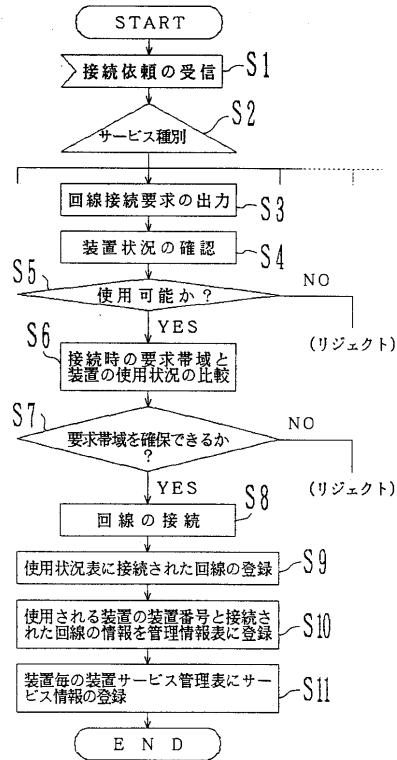
【図 8 6 6】



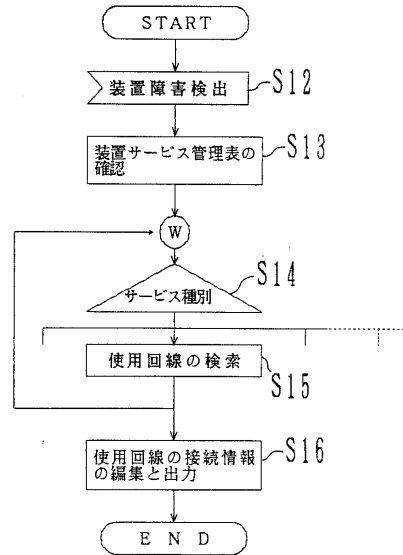
【図 8 6 7】



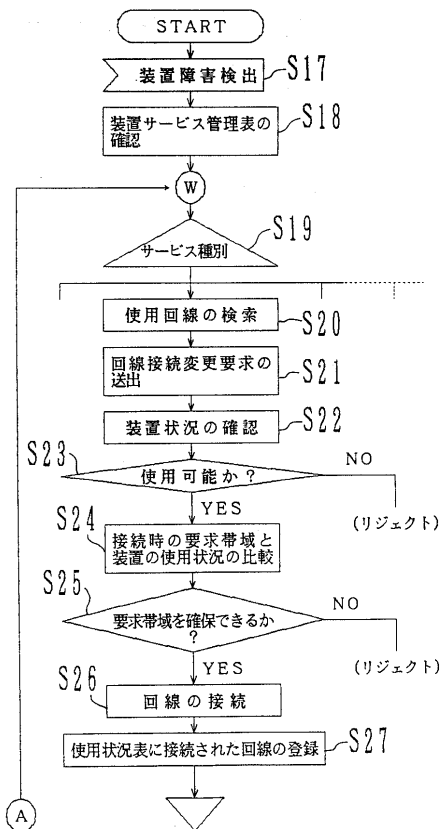
【図 8 6 8】



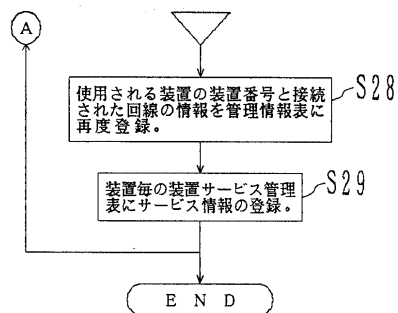
【図 8 6 9】



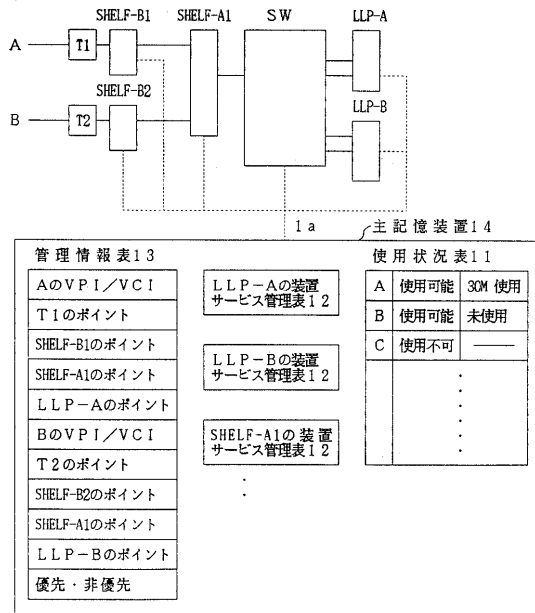
【図 8 7 0】



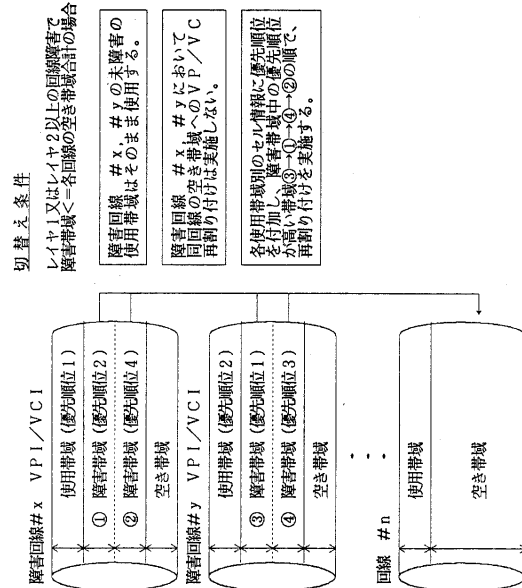
【図 8 7 1】



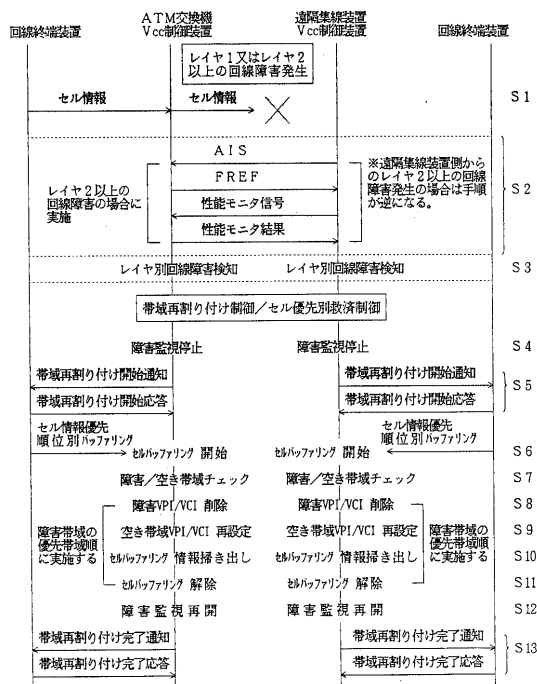
【図 872】



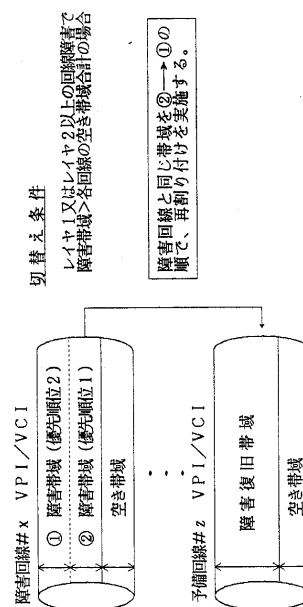
【図 873】



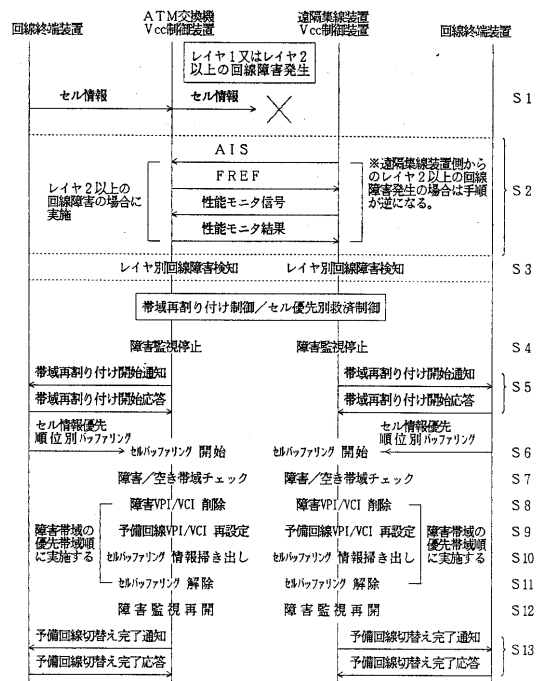
【図 874】



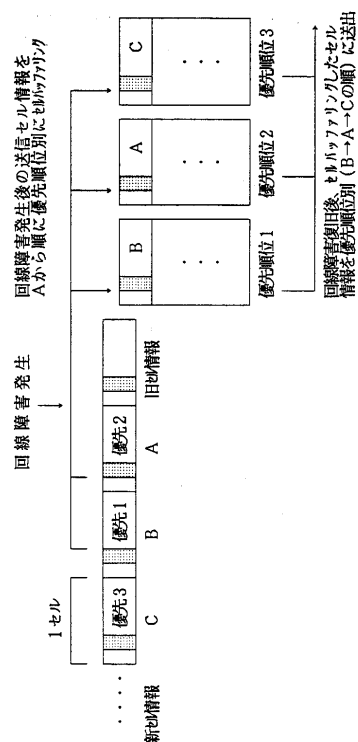
【図 875】



【図 8 7 6】



【図 8 7 7】

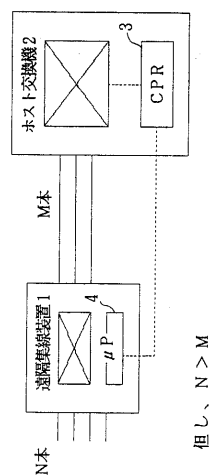


【图 8 7 8】

- (Ⅰ) セル種別レベル . . . OAMセル, 局内LAPセル, 一般セル, 試験セル等
(Ⅱ) サービスレベル . . . FR, SMDs, CR, CE等
(Ⅲ) 使用帯域レベル . . . 使用帯域大小による優先/非優先を区別
(Ⅳ) 回線種別レベル . . . OC3, OC12等

セル種別	セル信号名	優先順位
OAM用セル	AIS(警報表示信号) FERF(遠端受信故障) 性能モニタ信号 e t c	1
局内LAP用セル	トラヒック情報 課金情報 パフォーマンス情報 e t c	2
一般用セル	各サービス毎のセル内の優先ビットON情報 (情報量少ないセル少数セルで1情報の場合)	3
	各サービスのセル内の優先ビットON情報 (情報量多いセル多数セルで1情報の場合)	4
	各サービス毎のセル内の優先ビットOFF情報 (情報量少ないセル少数セルで1情報の場合)	5
	各サービスのセル内の優先ビットOFF情報 (情報量多いセル多数セルで1情報の場合)	6
試験用セル	セル折り返し試験情報 ループバック試験情報 e t c	7

【图 8 7 9】

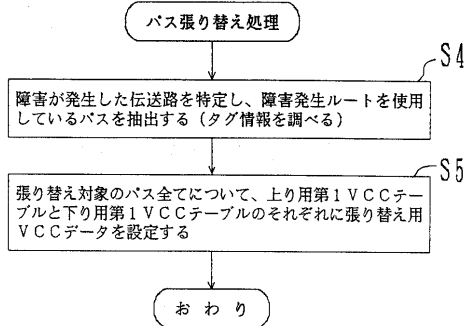


但し、 $N > M$

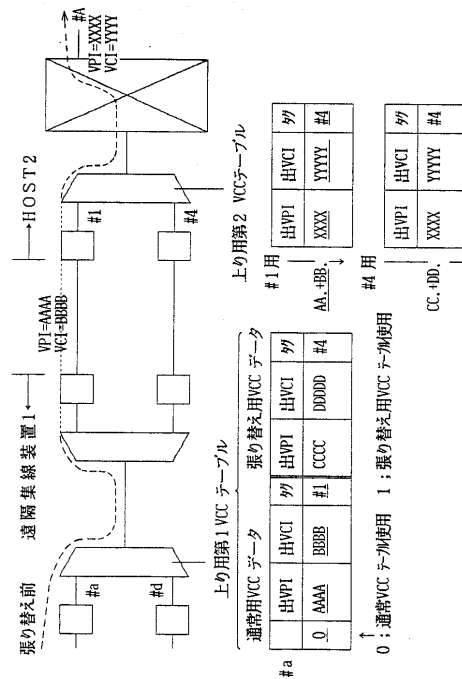
【図 884】

通常用VCCデータ			張り替え用VCCデータ		
出VPI	出VCI	タグ	出VPI	出VCI	タグ
AAAA	BBBB	#1	CCCC	DDDD	#4

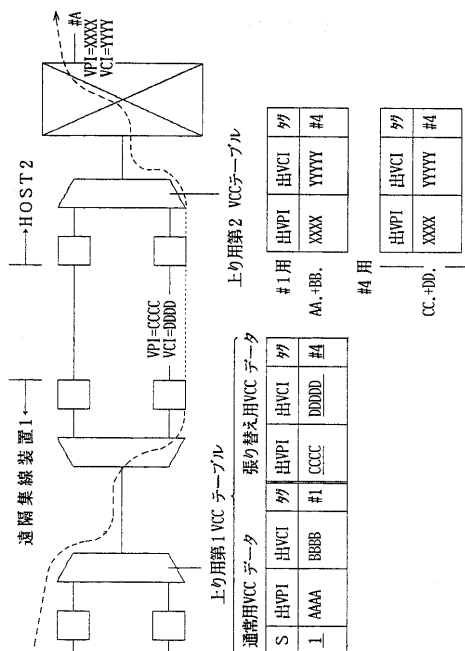
【図 885】



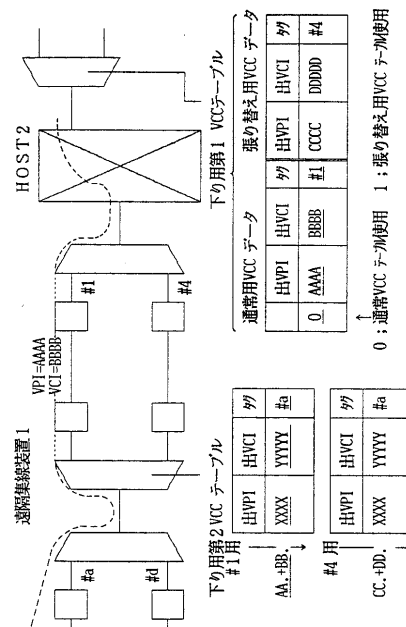
【図 886】



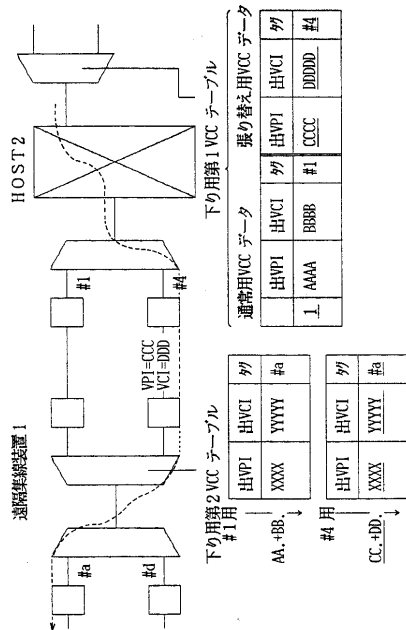
【図 887】



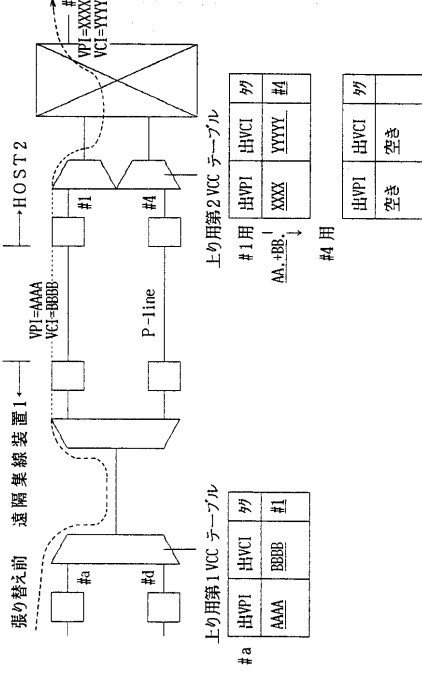
【図 888】



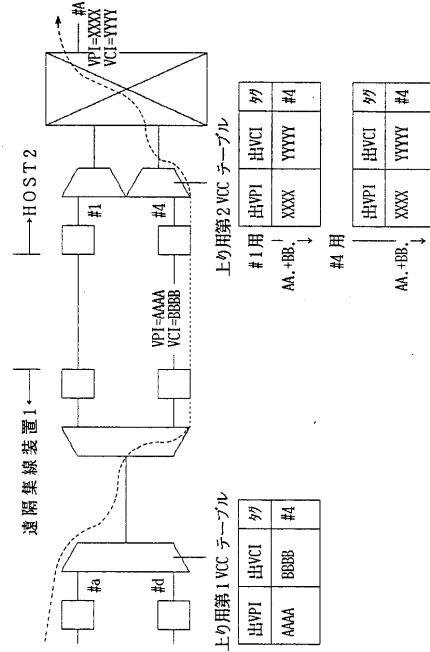
【図 889】



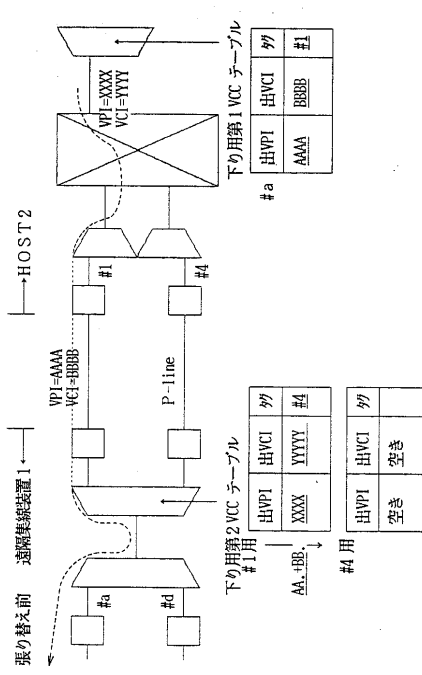
【図 890】



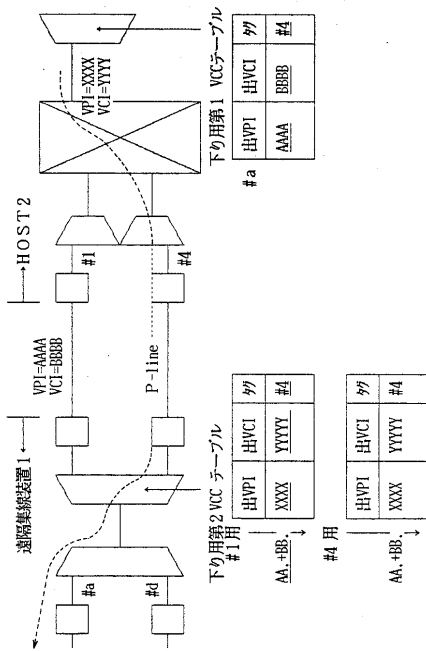
【図 891】



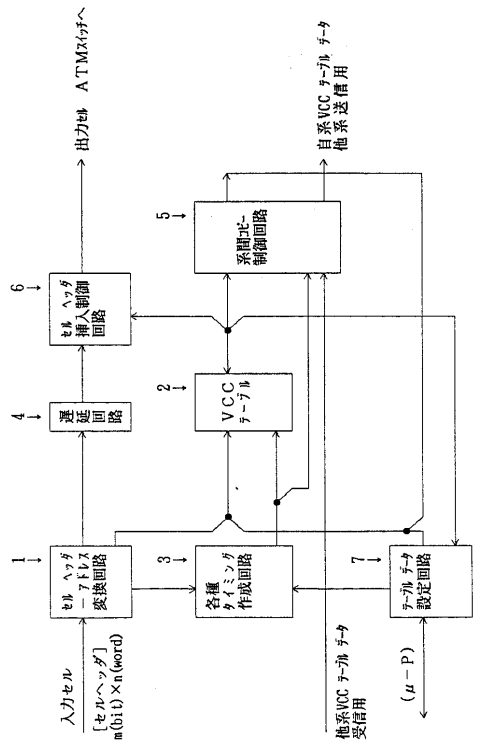
【図 892】



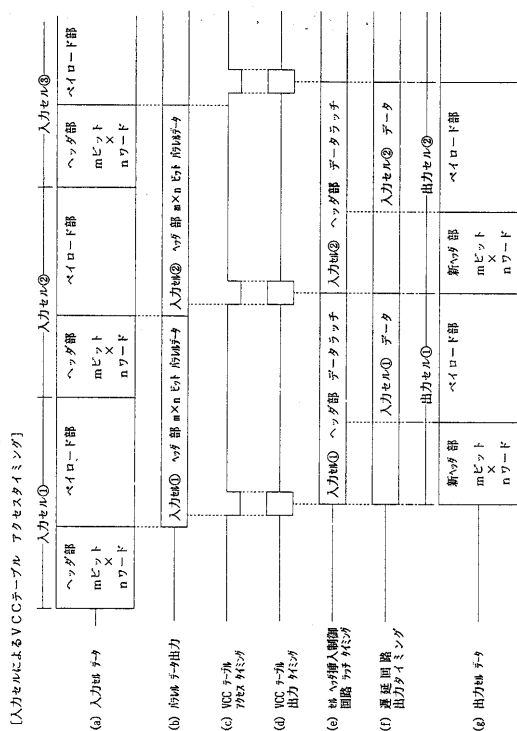
【図 893】



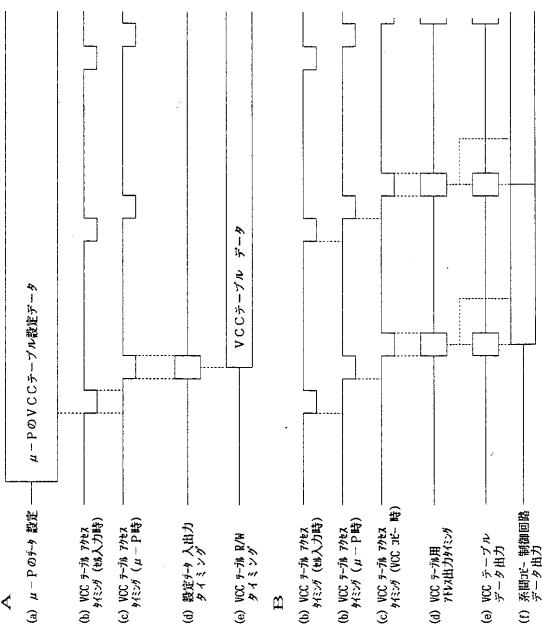
【図 894】



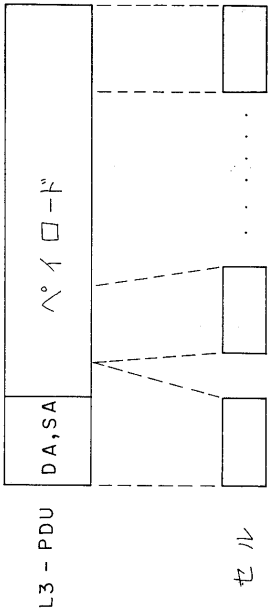
【図 895】



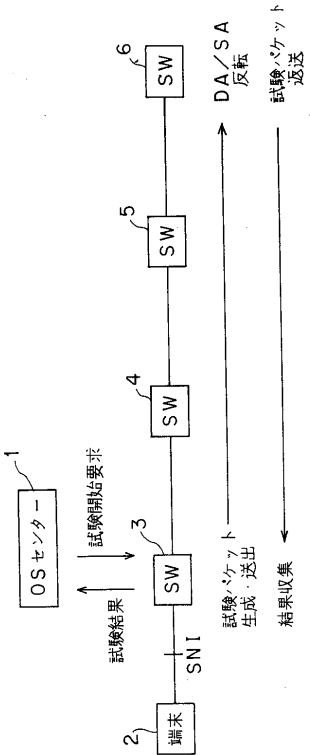
【図 896】



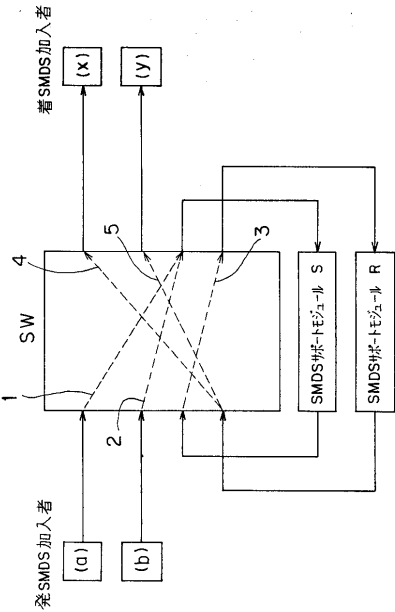
【図 8 9 7】



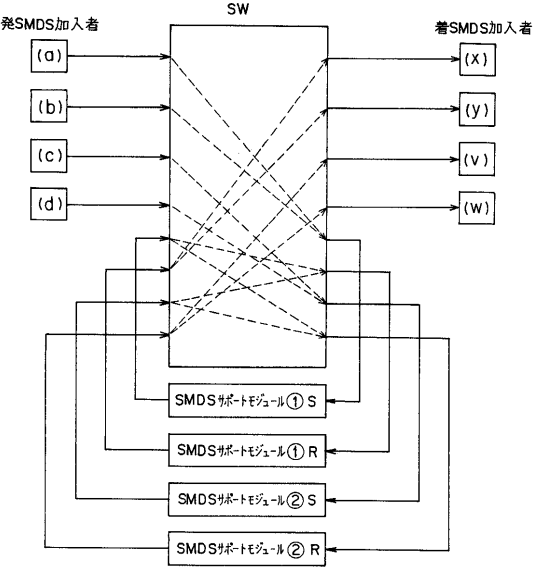
【図 8 9 8】



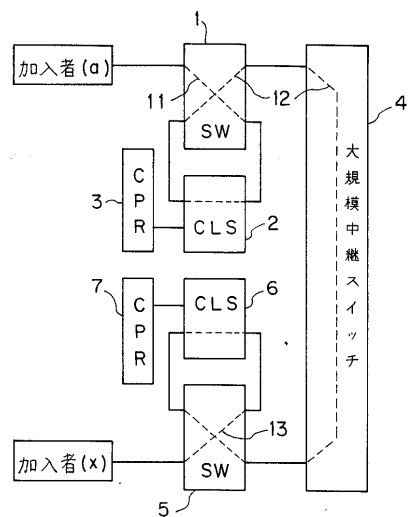
【図 8 9 9】



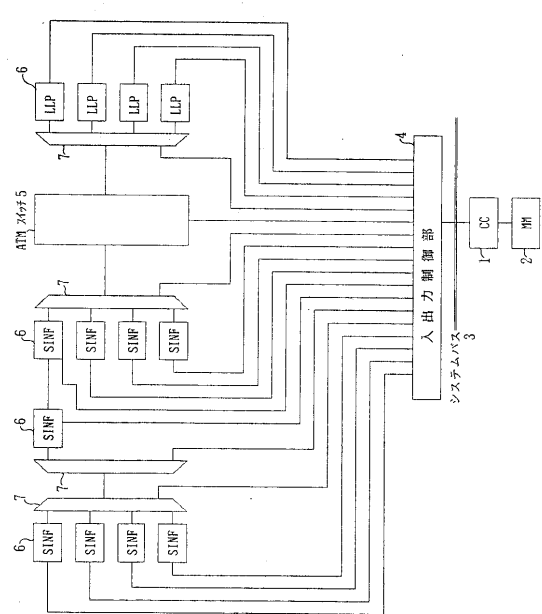
【図 9 0 0】



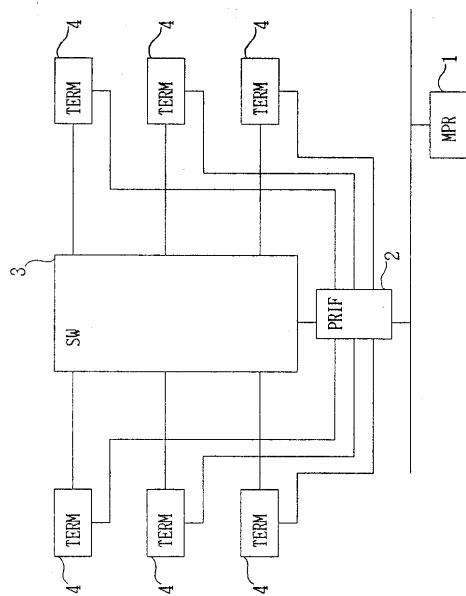
【図 9 0 1】



【図 9 0 2】



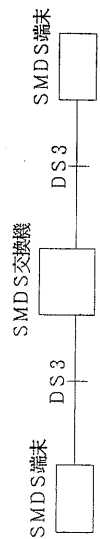
【図 9 0 3】



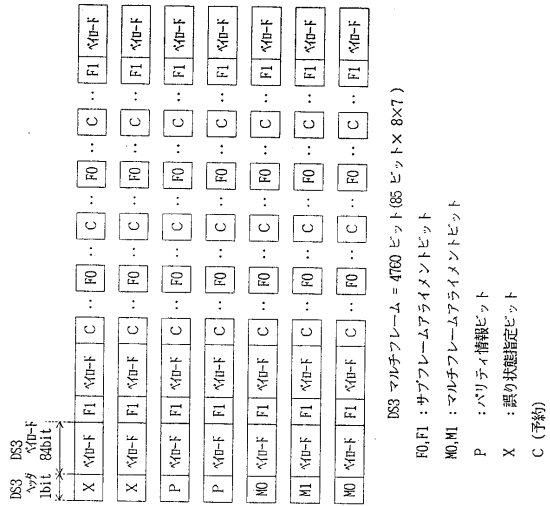
【図 9 0 4】



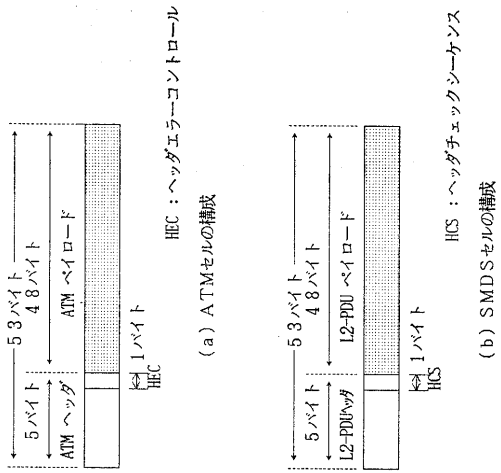
【図 9 0 5】



【図 9 0 6】



【図 9 0 7】



【図 9 0 8】

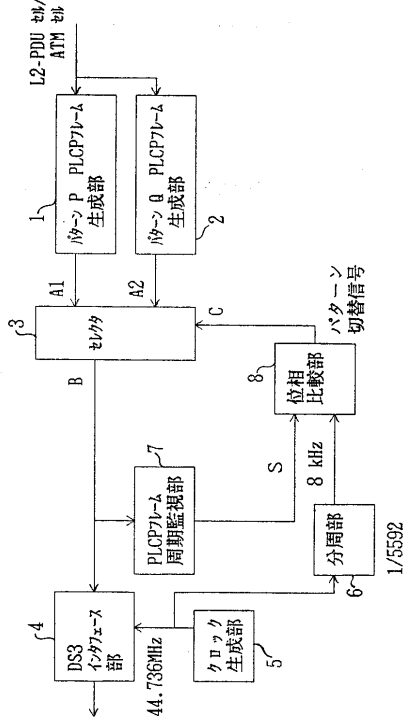
PLCPヘッダ 2バイト		POH 1バイト		PLCPユーザ 53(オクテット)	
A1	A2	P11	Z6	1st L2-PDU	
A1	A2	P10	Z5	L2-PDU	
A1	A2	P9	Z4	L2-PDU	
A1	A2	P8	Z3	L2-PDU	
A1	A2	P7	Z2	L2-PDU	
A1	A2	P6	Z1	L2-PDU	
A1	A2	P5	F1	L2-PDU	
A1	A2	P4	B1	L2-PDU	
A1	A2	P3	G1	L2-PDU	
A1	A2	P2	M2	L2-PDU	
A1	A2	P1	M1	L2-PDU	13/14=7
A1	A2	P0	C1	12th L2-PDU	トレイラ

A1,A2 : フレームアライメント
POH1 (P11~P0) : バスオーバーヘッド識別子オクテット
POH : PLCPバスオーバーヘッドオクテット
Z6~Z1 : グローブオクテット
F1 : PLCPバスユーザチャネル
B1 : ビットインターバルパリティ8
G1 : PLCPバスステータス
M2~M1 : S1 Pレベル1制御情報
C1 : サイクルスタンプカウンタ

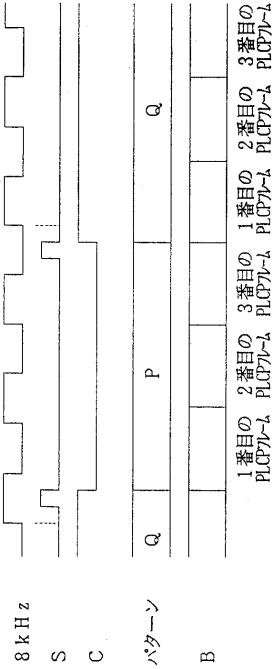
【図 9 0 9】

項目	ビット パターン	備 考
C 1	Cycle Stuff Counter	下記のようにDS3 PLCP7L-4はN/4- 長Lが周期的に変わるので4種のCIでLを示す。 → 1 番目 (TL=13) → 2 番目 (TL=14) → 3 番目 (TL=13 : no stuff) → 3 番目 (TL=14 : stuff)
トレイラ	1100	長さはCI バイトの値による。

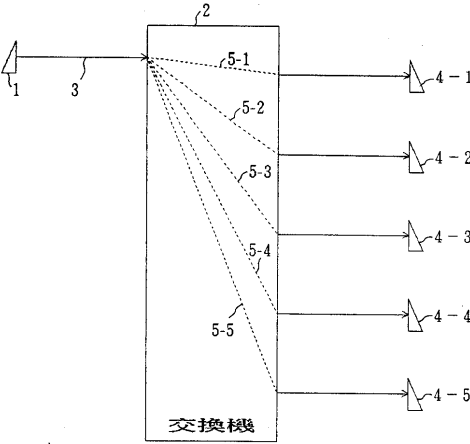
【図 9 1 0】



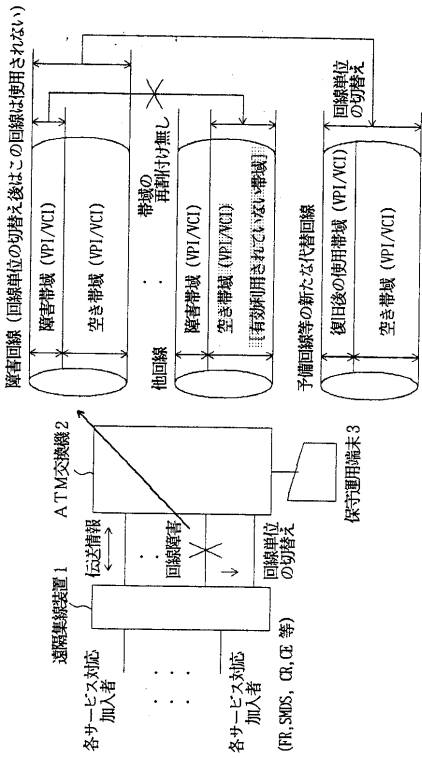
【図 9 1 1】



【図 9 1 2】



【図 9 1 3】



フロントページの続き

(51)Int.Cl.⁷

F I

H 0 4 Q 3/00

H 0 4 L 11/20 1 0 2 A

- (72)発明者 西田 洋
神奈川県川崎市中原区上小田中1 0 1 5番地 富士通株式会社内
- (72)発明者 村山 雅美
神奈川県川崎市中原区上小田中1 0 1 5番地 富士通株式会社内
- (72)発明者 井澤 直行
神奈川県川崎市中原区上小田中1 0 1 5番地 富士通株式会社内
- (72)発明者 麻生 泰弘
神奈川県川崎市中原区上小田中1 0 1 5番地 富士通株式会社内
- (72)発明者 内田 佳宏
神奈川県川崎市中原区上小田中1 0 1 5番地 富士通株式会社内
- (72)発明者 山中 ひろみ
神奈川県川崎市中原区上小田中1 0 1 5番地 富士通株式会社内
- (72)発明者 安部 仁
神奈川県川崎市中原区上小田中1 0 1 5番地 富士通株式会社内
- (72)発明者 鶴田 佳久
神奈川県川崎市中原区上小田中1 0 1 5番地 富士通株式会社内
- (72)発明者 加藤 美治
神奈川県川崎市中原区上小田中1 0 1 5番地 富士通株式会社内
- (72)発明者 加久間 哲
神奈川県川崎市中原区上小田中1 0 1 5番地 富士通株式会社内
- (72)発明者 瓜生 士郎
神奈川県川崎市中原区上小田中1 0 1 5番地 富士通株式会社内
- (72)発明者 鯨島 範子
神奈川県川崎市中原区上小田中1 0 1 5番地 富士通株式会社内
- (72)発明者 石岡 英二
神奈川県川崎市中原区上小田中1 0 1 5番地 富士通株式会社内
- (72)発明者 関根 茂
神奈川県川崎市中原区上小田中1 0 1 5番地 富士通株式会社内
- (72)発明者 辛川 良行
福岡県福岡市博多区博多駅前一丁目4番4号 富士通九州通信システム株式会社内
- (72)発明者 加川 敦
神奈川県横浜市港北区新横浜3丁目9番18号 富士通コミュニケーション・システムズ株式会社内
- (72)発明者 中山 幹夫
神奈川県川崎市中原区上小田中1 0 1 5番地 富士通株式会社内
- (72)発明者 川高 美由紀
神奈川県川崎市中原区上小田中1 0 1 5番地 富士通株式会社内
- (72)発明者 江坂 聡
福岡県福岡市博多区博多駅前一丁目4番4号 富士通九州通信システム株式会社内
- (72)発明者 筒井 伸行
神奈川県川崎市中原区上小田中1 0 1 5番地 富士通株式会社内
- (72)発明者 平瀬 文雄
神奈川県川崎市中原区上小田中1 0 1 5番地 富士通株式会社内
- (72)発明者 鈴木 敦子
神奈川県川崎市中原区上小田中1 0 1 5番地 富士通株式会社内

- (72)発明者 小平 莊治
神奈川県川崎市中原区上小田中1015番地 富士通株式会社内
- (72)発明者 岡部 健一
神奈川県川崎市中原区上小田中1015番地 富士通株式会社内
- (72)発明者 畑野 隆司
神奈川県川崎市中原区上小田中1015番地 富士通株式会社内
- (72)発明者 西川 泰弘
神奈川県横浜市港北区新横浜3丁目9番18号 富士通コミュニケーション・システムズ株式会社内
- (72)発明者 伊藤 淳
神奈川県横浜市港北区新横浜3丁目9番18号 富士通コミュニケーション・システムズ株式会社内
- (72)発明者 新谷 信一
神奈川県横浜市港北区新横浜3丁目9番18号 富士通コミュニケーション・システムズ株式会社内

審査官 石井 研一

- (56)参考文献 特開平04-157838 (JP, A)
特開平04-119042 (JP, A)
特開平05-122239 (JP, A)
特開平04-156026 (JP, A)
特開平06-030033 (JP, A)

(58)調査した分野(Int.Cl.⁷, DB名)

H04L 12/28
H04L 12/26
H04L 12/56
H04M 3/00
H04Q 3/00