(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第4185338号
(P4185338)

(45)発行日　平成20年11月26日(2008.11.26)　(24)登録日　平成20年9月12日(2008.9.12)

(51)Int.Cl.　　F I

H01L 21/82	***(2006.01)***	H01L 21/82	F
H01L 21/822	***(2006.01)***	H01L 27/04	P
H01L 27/04	***(2006.01)***	H01L 21/90	B
H01L 21/768	***(2006.01)***		
H01L 23/522	***(2006.01)***		

請求項の数 12　(全 14 頁)

(21)出願番号　特願2002-273090(P2002-273090)
(22)出願日　平成14年9月19日(2002.9.19)
(65)公開番号　特開2003-162954(P2003-162954A)
(43)公開日　平成15年6月6日(2003.6.6)
審査請求日　平成16年6月16日(2004.6.16)
(31)優先権主張番号　09/964770
(32)優先日　平成13年9月28日(2001.9.28)
(33)優先権主張国　米国(US)

(73)特許権者　398038580
ヒューレット・パッカード・カンパニー
ＨＥＷＬＥＴＴ－ＰＡＣＫＡＲＤ　ＣＯＭＰＡＮＹ
アメリカ合衆国カリフォルニア州パロアルト　ハノーバー・ストリート　３０００
(74)代理人　100087642
弁理士　古谷　聡
(74)代理人　100063897
弁理士　古谷　馨
(74)代理人　100076680
弁理士　溝部　孝彦
(74)代理人　100121061
弁理士　西山　清春

最終頁に続く

(54)【発明の名称】縦形ナノヒューズ及びナノ抵抗回路素子

(57)【特許請求の範囲】

【請求項１】

縦形ナノ回路であって、

第１の方向に延びる上部導体と、

第２の方向に延びる底部導体であって、前記上部導体と該底部導体との間に重複領域を画定する、底部導体とを含み、

前記底部導体が、前記底部導体の対向する側面に形成された縦形導電性スペーサと、前記縦形導電性スペーサの外側領域に形成された絶縁体と、前記縦形導電性スペーサの内側領域に形成された絶縁性プラグとを含み、前記重複領域において、前記上部導体及び前記底部導体が、前記縦形導電性スペーサを介して電気接続している、縦形ナノ回路。

【請求項２】

前記縦形導電性スペーサが、縦形ナノヒューズ及び縦形ナノ抵抗の一方である、請求項１に記載の縦形ナノ回路。

【請求項３】

前記縦形導電性スペーサが、半導体、導体、低融点材料、耐火金属、遷移金属、ケイ化物、高抵抗率材料、及び炭素のうちの何れかからなる、請求項２に記載の縦形ナノ回路。

【請求項４】

前記半導体が、Si及びGeのうちの少なくとも１つを含み、

前記導体が、Al、Cu、Ag、Au、Pt、及びそれらの合金のうちの少なくとも１つを含み、

前記低融点材料が、In、Zn、Sn、Pb、及びそれらの合金のうちの少なくとも１つを含み

、
前記耐火金属が、Ta、W、及びそれらの合金のうちの少なくとも１つを含み、
前記遷移金属が、Ni、Cr、及びそれらの合金のうちの少なくとも１つを含み、
前記ケイ化物が、PtSi、WSi、及びTaSiのうちの少なくとも１つを含み、
前記高抵抗率材料が、TaN、TaSiN、WN、WSiNのうちの少なくとも１つを含む、
請求項３に記載の縦形ナノ回路。
【請求項５】
前記絶縁性プラグが、前記縦形導電性スペーサの内側領域の一部を占有して、空隙を残している、請求項１に記載の縦形ナノ回路。
【請求項６】
前記上部導体及び前記底部導体の各々が、ポリシリコン、アルミニウム、銅、金、タングステン、及びそれらから形成される任意の合金のうちの少なくとも１つから形成され、
前記絶縁体及び前記絶縁性プラグの各々が、シリコン酸化物、シリコン窒化物、アルミニウム酸化物、アルミニウム窒化物、シリコンオキシニトリド、及びタンタル酸化物のうちの少なくとも１つから形成される、請求項１に記載の縦形ナノ回路。
【請求項７】
前記縦形導電性スペーサの垂直方向の高さと横方向の厚さとの比が１又はそれよりも大きい、請求項１に記載の縦形ナノ回路。
【請求項８】
前記縦形導電性スペーサ及び前記絶縁性プラグの上部が同一平面をなす、請求項１に記載の縦形ナノ回路。
【請求項９】
縦形ナノ回路を形成するための方法であって、
第１の方向に延びるトレンチを有する絶縁体を準備し、
前記トレンチの垂直壁部に縦形導電性スペーサの材料を堆積し、
前記縦形導電性スペーサの間の前記トレンチ内に導体材料を堆積して、底部導体を形成し、
絶縁性プラグの材料を堆積して、前記絶縁体、前記導電性スペーサ、及び前記絶縁性プラグが同一平面になるようにし、
前記平面上に前記導体材料を堆積して第２の方向に延びる上部導体を形成し、前記上部導体と前記底部導体との間に重複領域を画定するようにすることを含み、
前記重複領域において、前記上部導体及び前記底部導体が、前記縦形導電性スペーサを介して電気接続している、方法。
【請求項１０】
前記縦形導電性スペーサが、縦形ナノヒューズ及び縦形ナノ抵抗の一方である、請求項９に記載の方法。
【請求項１１】
前記絶縁性プラグの材料の一部を除去して、空隙を形成することを更に含む、請求項９に記載の方法。
【請求項１２】
前記縦形導電性スペーサの垂直方向の高さと横方向の厚さとの比が１又はそれよりも大きい、請求項９に記載の方法。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
本発明は、一般にナノ回路に関し、特に半導体デバイスの製造時における縦形ナノヒューズ及びナノ抵抗に関する。
【０００２】
【従来の技術】
近年、半導体デバイスに対する需要が急激に高まっている。現代社会において、コンシュ

ーマ電子装置の普及は容易に目にすることができる。半導体デバイスの開発により、コンシューマ（すなわち一般消費者向け）電子装置の大部分または全てが製造可能となる。電子装置がより小型に、より複雑に、そしてより安価になるにつれて、市場では、更に低価格でより高密度の半導体デバイスが益々要求されるようになる。これはデバイス内の回路もまた高密度になることを必要とする。

【０００３】

【発明が解決しようとする課題】

基本的な回路素子のうちの１つが、導体に電気的に接続することが可能なヒューズ又は抵抗である。該電気的な接続は、ヒューズ及び／又は抵抗に直列にダイオード又は他の回路素子を追加することにより維持することが可能である。

【０００４】

幾つかの半導体デバイスでは、回路素子を形成するために、薄膜ヒューズ及び抵抗が半導体基板の面内にリソグラフィを用いてパターニングされる。かかる素子から形成される回路は低密度の用途には妥当なものとなる。ただし、平面的なヒューズ又は抵抗を回路内に集積化するためには、接触領域がヒューズの各端部に必要とされるため、$8\lambda^2$（λはフォトリソグラフィ機構の最小サイズ）という面積が最小限必要となるという問題がある。一般に、ヒューズは$8\lambda^2$よりも更に大きな空間を占有する。このため、その高密度用途での使用は、著しい量のシリコン（Si）資産(real estate)を消費することに起因して制限されたものとなる。したがって、薄膜ヒューズ及び／又は抵抗は典型的には、密度が決定的に重要な用途では使用されない。

【０００５】

【課題を解決するための手段】

一態様では、垂直方向に配向された(vertically oriented)（以下「縦型」と称す）ナノ回路の典型的な一実施形態は、第１の方向に延びる上部導体と、第２の方向に延びる底部導体とを含む。該上部及び底部導体は、重複領域を画定することが可能であり、該２つの導体は電気的に接続することが可能である。縦形ナノ回路はまた、前記重複領域において前記上部導体と前記底部導体との間に形成された縦形導電性スペーサを含むことが可能である。該導電性スペーサは、上部導体及び底部導体の両方に電気的に接続することが可能である。導電性スペーサは、縦形ナノヒューズ又は縦形ナノ抵抗とすることが可能である。縦形導電性スペーサと直列に第２の回路素子（おそらくは同様に垂直方向に配向される）を接続することが可能である。

【０００６】

別の態様では、縦形ナノ回路を形成するための方法の典型的な一実施形態は、第１の方向に延びる上部導体を形成し、第２の方向に延びる底部導体を形成する、という各ステップを含むことが可能である。この場合も、上部導体及び底部導体は重複領域を画定することが可能である。該方法はまた、上部導体及び底部導体が電気的に接続されるよう前記重複領域に縦形導電性スペーサを形成するステップを含むことが可能である。

【０００７】

上記の典型的な実施形態は、特定の態様を達成することが可能なものである。例えば、薄膜導電性素子（すなわちヒューズ又は抵抗）は、それが基板面に対して垂直方向に向けられる場合には、隣接するメタライゼーションレベル間に配置するのに理想的に適したものとなり、これにより著しく密度を高めることが可能となる。該素子は、２つのメタライゼーションレベルの重複領域を越える更なる領域を必要とすることなく該２つのメタライゼーションレベル間に挿入することが可能なものとなる。また、密度を低下させることなくヒューズ又は抵抗をアンチヒューズ又はダイオードと直列に容易に接続することが可能である。更に、該素子は、周知の半導体プロセス（Damasceneプロセス等）で作製することができる。したがって、既存の装置以外の設備投資を殆ど又は全く不要とすることが可能である。

【０００８】

【発明の実施の形態】

本発明の特徴は、図面に関連する以下の説明から当業者に明らかとなろう。

【０００９】

単純化及び例示を目的として、その典型的な実施形態を主に参照することにより本発明の原理を説明する。しかし、当業者であれば、これと同じ原理を、縦形導電性スペーサを用いた多数のタイプのナノ回路及びその製造方法に等しく適用することが可能であることが理解されよう。

【００１０】

縦形導電性スペーサは、実質的に垂直方向（すなわち基板面と直交する方向）の電流を有する。縦形導電性スペーサは典型的には、該スペーサの垂直方向の高さと横方向の厚さとの比が少なくとも１であり、一般には１よりも著しく大きく、おそらくは30：1若しくはそれ以上となるように製造される。このため、横方向の面積の消費が最小限に保たれて、高密度を達成することが可能となる。

【００１１】

図１Ａは、本発明の一態様によるナノ回路100の第１の実施形態を示す断面図である。図１Ａに示すように、ナノ回路100は、底部導体110と、該底部導体110上に配置された第１の絶縁体120とを含むことが可能である。第１の絶縁体120は、閉じられた領域185の周囲に形成される。以下で例証するように、閉じられた領域185は実質的に、ナノ回路100の重複部分115（図１Ｂに示す）によって画定される領域を占有する。

【００１２】

底部導体110を形成するために、アルミニウム、銅、金、及びタングステンや、それらの任意の合金といった、導電性材料を用いることが可能である。ポリシリコンを使用して底部導体110を形成することも可能である。第１の絶縁体120を形成するために、シリコン酸化物及び窒化物、アルミニウム酸化物及び窒化物、シリコンオキシニトリド(oxynitrides)、及びタンタル酸化物等を用いることが可能である。

【００１３】

ナノ回路100はまた、縦形導電性スペーサ130及び絶縁性プラグ140を含むことが可能である。導電性スペーサ130は典型的には、縦形ナノヒューズ又はナノ抵抗である。底部導体110上で、縦形導電性スペーサ130は、閉じられた領域185の縁部を実質的に占有することが可能であり、絶縁性プラグ140は、閉じられた領域185の中央部を実質的に占有することが可能である。絶縁体120、導電性スペーサ130、及び絶縁性プラグ140の上部は、同一平面をなすことが可能である。

【００１４】

縦形導電性スペーサ130がナノヒューズである場合には、半導体（例えば、Si,Ge）、導体（例えば、Al,Cu,Ag,Au,Pt）、低融点材料（例えば、In,Zn,Sn,Pb）、耐火金属（例えば、Ta,W）、及び遷移金属（Ni,Cr）や、その任意の合金といった材料を用いることができる。導電性スペーサが抵抗である場合には、半導体（例えば、Si,Ge）、ケイ化物（例えば、PtSi,WSi,TaSi）、高抵抗率材料（例えば、TaN,TaSiN,WN,WSiN）、金属（例えば、Cu,Al,Ta,W）、及び炭素等の材料を用いることができる。また、第１の絶縁体120を形成するために用いる材料は、絶縁性プラグ140を形成するために一般に用いることが可能であるが、実施形態によっては、エッチングを行って空隙を残すのが絶縁性プラグにとって望ましいことがある。

【００１５】

絶縁性プラグ140は絶対に必要なものではないことに留意されたい。絶縁性プラグ140は、基板面と平行な面における導電性スペーサ130の断面積（例えば、底部導体110と接触する導電性スペーサ130の面積）を調整するのに資するものである。おそらくは、導電性スペーサ130を適当な表面積で作製して絶縁性プラグ140を不要にすることが可能である。

【００１６】

ナノ回路100は更に、第２の絶縁体150及び上部導体160を含むことが可能であり、これらは何れも、第１の絶縁体120、縦形導電性スペーサ130、及び絶縁性プラグ140上に配置される。図１Ａは、上部導体160が、閉じられた領域185の上部で導電性スペーサ130全体を

覆うことを図示しているが、これは、本発明を実施するための要件ではない。同様に、図１Ａは、底部導体110が、閉じられた領域185の下部で導電性スペーサ130全体を覆うことを図示しているが、これもまた本発明を実施するための要件ではない。

【００１７】

完全に覆うよう図示されているが、必要なのは、上部導体160と底部導体110との間に導電性経路が存在することだけである。したがって、底部導体110、導電性スペーサ130、及び上部導体160の間に電気的接続が存在することになる。底部導体110、ヒューズ130、及び上部導体160は互いに物理的に接触する必要はない。

【００１８】

図１Ａはまた、縦形導電性スペーサ130の内壁が絶縁性プラグ140に隣接し、及び縦形導電性スペーサ130の外壁が第１の絶縁体120に隣接していることを図示している。しかし、縦形導電性スペーサの壁部の境界が絶縁性プラグ140及び第１の絶縁体120により画定されることが絶対に必要というわけではない。

【００１９】

第２の絶縁体150は、第１の絶縁体120及び絶縁性プラグ140を形成するために用いられる材料と類似した材料から形成することができ、上部導体160は、底部導体110を形成するために用いられる材料と類似した材料から形成することができることに留意されたい。

【００２０】

一般に、上部導体及び底部導体は、ナノ回路100が形成される半導体デバイスの基板に対して平行である。縦形導電性スペーサ130（すなわち縦形ナノヒューズ又はナノ抵抗）内の電流は実質的に垂直方向に流れることが理解されよう。この構造は、導電性スペーサ130を隣接する導体間に挿入することを可能にする。

【００２１】

図１Ｂは、図１Ａの第１の実施形態の平面図であり、上部導体160及び底部導体110の重複領域115内に配置された閉じられた領域185の実質的に縁部及び中央部をそれぞれ占有する縦形導電性スペーサ130及び絶縁性プラグ140を示している。上部導体160及び底部導体110は、それぞれの方向に延びて重複領域115を形成する（例示のため破線で囲まれた領域として示す）。該閉じられた領域185は、重複領域115内に完全に配置されるように図示されているが、これは絶対に必要というわけではない。上述のように、必要なことは、該閉じられた領域185内の構造体を介して上部導体160と底部導体110との間に電気的接続が保持されることだけである。

【００２２】

単純化のために、第１及び第２の絶縁体120,150は図１Ｂに含まれていない。また、例示を目的として、縦形導電性スペーサ130及び絶縁性プラグ140は、重複領域115において図示されている。しかし、上部導体160は一般に導電性スペーサ130及び絶縁性プラグ140を完全に覆うことになろう。

【００２３】

また図１Ｂにおいて、閉じられた領域185が円筒形であり、縦形導電性スペーサ130が閉じられた領域185の環状部を実質的に占有し、絶縁性プラグ140が閉じられた領域185の中央部を実質的に占有するよう図示されている。しかし、閉じられた領域185の形状はこれに限定されるものではなく、長方形、正方形、楕円形、又は他の任意の取り囲まれた形状といった別の形状を含むことが可能である。この場合も、絶縁性プラグ140を部分的に又は全体的にエッチングして空隙を残すことが可能である。

【００２４】

図１Ｃは、図１Ａの第１の実施形態の変形例である。第２の導電性スペーサ170は、縦形導電性スペーサ130と底部導体110との間に配置される。これはまさに、他のナノ回路をナノ回路100内に集積化することができることを示している。第２の導電性スペーサ170は、ダイオード、抵抗、アンチヒューズ等とすることが可能である。図示しないが、第２の導電性スペーサ170は、縦形導電性スペーサ130と上部導体160との間に配置することも可能である。上部導体160と底部導体110との間の電気的接続は第２の導電性スペーサ170を追

加することにより破壊されないことに留意されたい。

【００２５】

既述のように、絶縁性プラグ140のうちの一部又は全てにエッチングを施して絶縁性プラグ140の領域内に空隙を残すことが可能である。この構成は、極端に低い熱伝導性を導電性スペーサ130に隣接して提供するものとなる。これは、例えばスペーサ130がヒューズである場合に有用である。該空隙は、融解又は気化したヒューズ材料が入るための空間を提供し、これにより、縦形ヒューズを溶断するために必要となる電力が低減される。

【００２６】

図２Ａ～図２Ｇは、図１Ａのナノ回路100の第１の実施形態を製造するための方法の典型的な一実施形態の断面図を示している。図２Ａに示すように、導電性材料を堆積させパターニングして底部導体110を形成することが可能である。パターニングプロセスの一部として、化学機械研磨（CMP）等の周知の方法を用いることにより底部導体110を平坦にすることが可能である。

【００２７】

次に、底部導体110上に誘電体薄膜140'を堆積させることが可能である。次いで、図２Ｂに示すように、該誘電体薄膜140'をエッチングして絶縁性プラグ140を形成することができる。標準的なリソグラフィ及びエッチング方法を用いて、絶縁性プラグ140を形成することが可能である。

【００２８】

次いで、図２Ｃに示すように、底部導体110上と、更に絶縁性プラグ140上とに導電性スペーサ材料130'を堆積させることが可能である。原子層堆積（ALD）等の堆積方法を用いて、ヒューズ材料130'のコンフォーマルコーティングと精確な厚さ調整とを確実に得ることが可能である。次いで、導電性スペーサ材料130'をエッチングして、主に絶縁性プラグ140の壁部に導電性スペーサ材料130'を残し、これにより図２Ｄに示すように縦形導電性スペーサ130を形成することが可能である。導電性スペーサ130は、イオンエッチング、反応性イオンエッチング、又は他のエッチング方法を用いて、導電性スペーサ材料130'を異方性エッチングすることにより形成することが可能である。

【００２９】

閉じられた領域185に対する周辺領域で底部導体110が露出するように縦形導電性スペーサ130が閉じられた領域185内に一般に形成されることに留意されたい。また、縦形導電性スペーサ130の垂直方向の高さ「h」と、閉じられた領域185の幅「w」との比を5：1又はそれ以上に大きくすることができることにも留意されたい。異方性エッチングを用いる場合には、そのプロセスは基本的には、主に絶縁性プラグ140の垂直方向の側壁上に導電性スペーサ130を残す。このため、横方向の面積の消費が最小限に維持され、これにより、導電性スペーサ130の横方向の厚さ「t」を精確に調整することが可能となる。導電性スペーサ130の垂直方向の高さ「h」と横方向の厚さ「t」との比を非常に大きく（例えば30：1又はそれよりも大きく）することができることに留意されたい。

【００３０】

次いで、図２Ｅに示すように、底部導体110上に絶縁性材料120'を堆積させて閉じられた領域185の周辺の外側の領域を覆うことが可能である。次いで該絶縁性材料120'をパターニングして図２Ｆに示すように第１の絶縁体120を形成する。第１の絶縁体120のパターニングは、やはりCMP及び／又は他の平坦化方法を用いて絶縁性材料120'を平坦化させて導電性スペーサ130及び絶縁性プラグ140を露出させることにより、実施することが可能である。実際に、第１の絶縁体120、導電性スペーサ130、及び絶縁性プラグ140の上側は平面を画定することが可能である。この時点で、縦形導電性スペーサ130は、その全ての垂直方向の側面が絶縁体に隣接することになる。この構成は、導電性スペーサ130からその周囲への熱伝達を低減させるものとなる。

【００３１】

次いで、該プロセスを完了させるために、導電性スペーサ130、絶縁性プラグ140、及び第１の絶縁体120上で第１の方向に上部導体160を堆積させてパターニングすることが可能で

ある。所望により、第２の絶縁体150を上部導体160及び第１の絶縁体120上に堆積させてCMPその他の平坦化方法を用いて平坦化させることが可能である。その結果として得られる構造を図２Ｇに示す（図１Ａと同じ）。

【００３２】

絶縁性プラグ140の領域内に空隙が所望される場合には、上部導体160の画定後にウエットエッチング又はドライエッチングにより絶縁性材料を除去することが可能である。上部導体160が絶縁性プラグ140を完全に覆っていない際に、絶縁性プラグ140にアクセスすることが可能である。換言すれば、空隙領域を生成するために、上部導体160及び絶縁性プラグ140を互いにずらして配置して、絶縁性プラグ140の一部がエッチングのために露出するようにすることが可能である。空隙を形成した後、ナノ回路を完成させるために、第２の絶縁体150を堆積させ、パターニングすることができる。

【００３３】

図示しないが、当業者であれば、図１Ｃに示すような変形例を形成するように図２Ａ～図２Ｇに示す処理ステップを容易に変更することが可能である。

【００３４】

図３Ａは、本発明の一態様によるナノ回路300の第２の実施形態の断面図を示している。図示のように、ナノ回路300は、導電性スペーサ330と、該導電性スペーサ330の何れかの側面（すなわち導電性スペーサ330の外側）に形成される絶縁体320とを含むことが可能である。後に分かるように、導電性スペーサ330の内部は完全に充填されてもされなくてもよい。

【００３５】

ナノ回路300はまた、底部導体310を含むことが可能である。導電性スペーサ330の垂直部分と底部導体310とが「U」字領域385を形成することに留意されたい。この「U」字領域の概念は図３Ｄに一層明確に示されており、同図では、導電性スペーサ330の２つの垂直部分と底部導体310とが「U」字領域385を形成し、すなわち、導電性スペーサ330に対する水平部分は存在しない。図３Ａの導電性スペーサ330の水平部分は、本発明を実施するために不可欠なものではない。

【００３６】

ナノ回路300は更に、「U」字領域385の内部、すなわち導電性スペーサ330の内部の一部又は実質的に全てを占有する絶縁性プラグ340を含むことが可能である。ナノ回路300は更に、「U」字領域385及び絶縁体320の上側に上部導体360を含むことが可能である。導電性スペーサ330及び絶縁性プラグ340は一平面を画定することができることに留意されたい。

【００３７】

ナノ回路の種々の部分を形成するために用いられる材料は上述した通りであり、したがって繰り返し説明しないこととする。この場合も、上述の理由で、絶縁性プラグ340は絶対に必要なものではない。更に、絶縁性プラグ340が存在する場合には、絶縁体320、縦形導電性スペーサ330、及び絶縁性プラグ340の上側表面は同一平面をなすことが可能である。

【００３８】

図３Ｂは、図３Ａのナノ回路300の第２の実施形態を示す平面図である。図示のように、上部導体360は第１の方向に延びることが可能である。導電性スペーサ330と、絶縁性プラグ340及び底部導体310（図３Ｂには示されていない）を含む「U」字領域385とは、第２の方向に延び、これにより、それらの公差位置に重複領域（この場合には交点）を画定することが可能である。

【００３９】

縦形導電性スペーサ330は、それがナノ抵抗である場合には、互いに並列な２つの抵抗として作用し、これは、該ナノ抵抗330が、物理的に図３Ａに示すような「U」字状の形状を有する１つの連続体である場合であっても該当する、ということに留意されたい。これは、上部導体360と底部導体310との間の電流が、絶縁性プラグ340に起因して、閉じられた領域185の両方の縁部においてナノ抵抗を通って強制的に流されるためである。しかし、絶縁性プラグ140の下側では、該電流の大部分又は全てが底部導体310を通って流れること

になる。

【００４０】

図３Ｃ及び図３Ｄは、図３Ａの第１の実施形態の変形例を示している。図３Ｃでは、縦形導電性スペーサ330と底部導体310との間に第２の回路素子370が配置される。これはまさに、別の回路素子を縦形回路300に集積化することができることを示している。第２の回路素子370は、ダイオード、抵抗、アンチヒューズ等とすることが可能である。この場合も、図示しないが、第２の回路素子370は、縦形導電性スペーサ330と底部導体310との間に配置することが可能である。上部導体360と底部導体310との間の電気的接続は第２の回路素子370を追加することにより破壊されないことに留意されたい。

【００４１】

図３Ｄは、「U」字領域385を明瞭化することに加えて、図３Ａの第２の実施形態の変形例を示している。上述のように、導電性スペーサ330の水平部分は、本発明を実施するために不可欠なものではない。図３Ｄはこの概念を例示する。

【００４２】

メモリセルに関連する図３Ａ～図３Ｄの上記説明は、縦形導電性スペーサ330、絶縁性プラグ340、及び「U」字領域385が、底部導体310と共に第２の方向に延びることを示しているが、該方向は本発明の実施に不可欠なものではない。実際には、縦形導電性スペーサ330は、上部導体360と共に第１の方向に延びることができる。この場合、導電性スペーサ330の垂直部分と上部導体360とは、逆「U」字領域385を形成するものとなる。この場合も、絶縁性プラグ340は、逆「U」字領域385の一部又は実質的に全てを占有することができる。メモリセル300は更に、底部導体310上の逆「U」字領域385の底部を実質的に占有するアンチヒューズ380を含むことが可能である。

【００４３】

図４Ａ～図４Ｇは、図３Ａのナノ回路300の第２の実施形態を製造する方法の典型的な一実施形態を示す断面図である。図４Ａに示すように、絶縁性材料を堆積させパターニングして絶縁体320を形成することが可能である。該絶縁体320は、「U」字領域385が形成されることになるトレンチ（すなわち溝部）を画定するようパターニングすることが可能である。この場合にも、閉じられた領域385の高さと幅との比を大きくすることができる（5：1又はそれ以上）。

【００４４】

次いで、図４Ｂに示すように、該トレンチ内、更には絶縁体320上に導電性スペーサ材料330'を堆積させることが可能である。その堆積は、必然的に導電性スペーサ330の「U」字を形成するものとなる。垂直壁部を含む第１の絶縁体320のコンフォーマルコーティングはALD等の堆積方法を用いて達成することが可能である。次いで、「U」字領域385内を含めて導電性スペーサ材料330'上に導体材料310'を堆積させる。

【００４５】

次いで、図４Ｃに示すように、CMP等の標準的な方法を用いて導電性スペーサ材料330'及び導体材料310'を平坦化させることが可能である。この時点で、絶縁体320、底部導体310、及び導電性スペーサ330を同一平面にすることが可能である。

【００４６】

次いで、図４Ｄに示すように、ウエットエッチング、反応性イオンエッチング、及びイオンミリング(ion milling)等のエッチング技術を用いて底部導体310を所定の深さまで選択的にエッチングして、底部導体310が「U」字領域385の横方向部分を形成するようにすることが可能である。

【００４７】

次いで、図４Ｅに示すように、絶縁性プラグ材料340'を堆積させて「U」字領域385の内部を満たし、その結果として得られる表面を平坦化させることが可能である。この時点で、図４Ｆに示すように、絶縁性プラグ340、絶縁体320、及び導電性スペーサ330が同一平面をなすことが可能である。

【００４８】

次いで、このプロセスを完了させるために、別の導体材料を堆積させ随意選択的にパターニングして、図４Ｇ（図３Ａと同じ）に示すような上部導体360を形成することが可能である。上部導体360の平坦化は本製造プロセスの一部として行うことが可能である。

【００４９】

図４Ａ～図４Ｇに示すステップは、図３Ｃ及び図３Ｄに示すような変形形態を形成するために当業者により変更することが可能なものである。この場合も、第１の実施形態に関連して説明したのと同様の空隙を形成することが可能である。

【００５０】

本発明をその典型的な実施形態を参照して説明してきたが、当業者は、本発明の真の思想及び範囲から逸脱することなく、本発明の上記実施形態に対して変更を加えることが可能である。本明細書において用いられる用語及び説明は、例示のためだけに述べられており、限定することを意味しない。詳細には、本発明の方法が例を用いて記載されているが、該方法の各ステップは、本開示とは異なる順序で又は同時に実行することが可能なものである。当業者であれば、かかる変形形態及び他の変形形態を特許請求の範囲及びその等価物により規定されるような本発明の思想及び範囲内で実現することが可能であることが理解されよう。

【００５１】

以下においては、本発明の種々の構成要件の組み合わせからなる例示的な実施態様を示す。

【００５２】

１．縦形ナノ回路(100,300)であって、
第１の方向に延びる上部導体(160,360)と、
第２の方向に延びる底部導体(110,310)であって、前記上部導体(160,360)と該底部導体(110,310)との間に重複領域(115,315)を画定し、前記上部導体(160,360)との電気的接続を有している、底部導体(110,310)と、
前記上部導体(160,360)及び前記底部導体(110,310)との電気的接続を有する、前記重複領域(115,315)内に形成された縦形導電性スペーサ(130,330)と
を含む、縦形ナノ回路(100,300)。

２．前記縦形導電性スペーサ(130,330)が、
Si及びGeのうちの少なくとも１つを含む半導体と、
Al、Cu、Ag、Au、Pt、及びそれらの合金のうちの少なくとも１つを含む導体と、
In、Zn、Sn、Pb、及びそれらの合金のうちの少なくとも１つを含む低融点材料と、
Ta、W、及びそれらの合金のうちの少なくとも１つを含む耐火金属と、
Ni、Cr、及びそれらの合金のうちの少なくとも１つを含む遷移金属と、
PtSi、WSi、及びTaSiのうちの少なくとも１つを含むケイ化物と、
TaN、TaSiN、WN、WSiN、及び炭素のうちの少なくとも１つを含む高抵抗率材料と
のうちの少なくとも１つとすることが可能である、前項１に記載の縦形ナノ回路(100,300)。

３．前記縦形導電性スペーサ(130,330)が、該縦形導電性スペーサ(130,330)の中央部の実質的に周囲で該縦形導電性スペーサ(130,330)内に空隙が存在するような形状を有する、前項１に記載の縦形ナノ回路(100,300)。

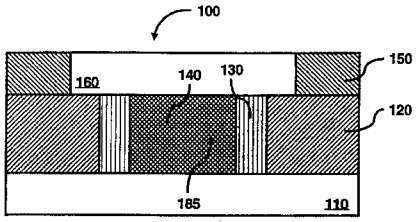
４．前記導電性スペーサ(130,330)が、前記重複領域の近傍の閉じられた領域(185)を実質的に占有し、前記縦形ナノ回路(100)が更に、
前記閉じられた領域(185)の中央部を実質的に占有する絶縁性プラグ(140)であって、該絶縁性プラグ(140)に前記導電性スペーサの内壁が隣接するようになっている、絶縁性プラグ(140)と、
前記閉じられた領域(185)の周囲に形成された絶縁体(120)であって、該絶縁体(120,320)に前記導電性スペーサ(130,330)の外壁が隣接するようになっている、絶縁体(120)とを含む、前項１に記載の縦形ナノ回路(100)。

５．前記縦形導電性スペーサ(330)が、前記第１の方向及び前記第２の方向のうちの一方

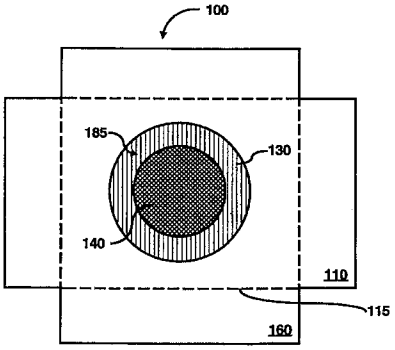
の方向に延び、前記縦形ナノ回路(300)が更に、
前記縦形導電性スペーサ(330)の外側領域に形成された絶縁体(320)と、
前記縦形導電性スペーサ(330)の内側領域(385)に形成された絶縁性プラグ(340)とを含む、前項１に記載の縦形ナノ回路(300)。
６．前記上部導体(160,360)及び前記底部導体(110,310)の各々が、ポリシリコン、アルミニウム、銅、金、タングステン、及びそれらから形成される任意の合金のうちの少なくとも１つから形成され、
前記絶縁体(120,320)及び前記絶縁性プラグ(140,340)の各々が、シリコン酸化物、シリコン窒化物、アルミニウム酸化物、アルミニウム窒化物、シリコンオキシニトリド、及びタンタル酸化物のうちの少なくとも１つから形成される、
前項１に記載の縦形ナノ回路(100,300)。
７．縦形ナノ回路を形成するための方法であって、
第１の方向に延びる上部導体(160,360)を形成し、
第２の方向に延びる底部導体(110,310)を形成して、前記上部導体(160,360)と前記底部導体(110,310)との間に重複領域(115,315)を画定し、該底部導体(110,310)が該上部導体(160,360)との電気的接続を有し、
前記上部導体(160,360)及び前記底部導体(110,310)との電気的接続を有する縦形導電性スペーサ(130,330)を前記重複領域(115,315)内に形成する、
という各ステップを含む方法。
８．前記縦形導電性スペーサ(130,330)の中央部の実質的に周囲で前記縦形導電性スペーサ(130,330)内に空隙を形成するステップを更に含む、前項７に記載の方法。
９．前記重複領域(115)の近傍の閉じられた領域(185)の実質的に中央部内に絶縁性プラグ(140)を形成して、該絶縁性プラグ(140)に前記縦形導電性スペーサ(130)の内壁が隣接するようにし、
前記閉じられた領域(185)の周囲に絶縁体(120)を形成して、該絶縁体(120)が前記導電性スペーサの外壁に隣接するようにする、
という各ステップを更に含む、前項７に記載の方法。
10．前記縦形導電性スペーサ(330)が、前記第１の方向及び前記第２の方向のうちの一方の方向に延び、前記方法が更に、
前記縦形導電性スペーサ(330)の外側領域に絶縁体(320)を形成し、
前記縦形導電性スペーサ(330)の内側領域(385)に絶縁性プラグ(340)を形成する、
という各ステップを含む、前項７に記載の方法。
【図面の簡単な説明】
【図１Ａ】本発明の一態様による縦形ナノ回路の第１の実施形態を示す断面図である。
【図１Ｂ】ナノ回路の重複態様を示す図１Ａの第１の実施形態の平面図である。
【図１Ｃ】図１Ａの第１の実施形態の変形例を示す断面図である。
【図２Ａ】縦形ナノ回路の第１の実施形態を製造する方法の典型的な一実施形態を示す断面図である（1/7）。
【図２Ｂ】縦形ナノ回路の第１の実施形態を製造する方法の典型的な一実施形態を示す断面図である（2/7）。
【図２Ｃ】縦形ナノ回路の第１の実施形態を製造する方法の典型的な一実施形態を示す断面図である（3/7）。
【図２Ｄ】縦形ナノ回路の第１の実施形態を製造する方法の典型的な一実施形態を示す断面図である（4/7）。
【図２Ｅ】縦形ナノ回路の第１の実施形態を製造する方法の典型的な一実施形態を示す断面図である（5/7）。
【図２Ｆ】縦形ナノ回路の第１の実施形態を製造する方法の典型的な一実施形態を示す断面図である（6/7）。
【図２Ｇ】縦形ナノ回路の第１の実施形態を製造する方法の典型的な一実施形態を示す断面図である（7/7）。

【図３Ａ】本発明の別の態様による縦形ナノ回路の第２の実施形態を示す断面図である。
【図３Ｂ】ナノ回路の重複態様を示す図３Ａの第１の実施形態の平面図である。
【図３Ｃ】図３Ａの第１の実施形態の変更例を示す断面図である。
【図３Ｄ】図３Ａの第１の実施形態の変更例を示す断面図である。
【図４Ａ】縦形ナノ回路の第２の実施形態を製造する方法の典型的な一実施形態を示す断面図である（1/7）。
【図４Ｂ】縦形ナノ回路の第２の実施形態を製造する方法の典型的な一実施形態を示す断面図である（2/7）。
【図４Ｃ】縦形ナノ回路の第２の実施形態を製造する方法の典型的な一実施形態を示す断面図である（3/7）。
【図４Ｄ】縦形ナノ回路の第２の実施形態を製造する方法の典型的な一実施形態を示す断面図である（4/7）。
【図４Ｅ】縦形ナノ回路の第２の実施形態を製造する方法の典型的な一実施形態を示す断面図である（5/7）。
【図４Ｆ】縦形ナノ回路の第２の実施形態を製造する方法の典型的な一実施形態を示す断面図である（6/7）。
【図４Ｇ】縦形ナノ回路の第２の実施形態を製造する方法の典型的な一実施形態を示す断面図である（7/7）。
【符号の説明】
100,300　縦形ナノ回路
110,310　底部導体
115,315　重複領域
130,330　縦形導電性スペーサ
160,360　上部導体

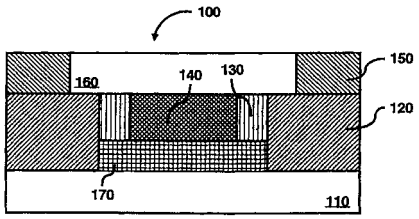
【図１Ａ】



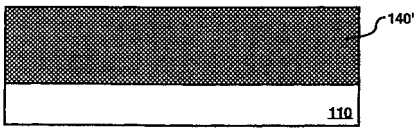
【図１Ｂ】



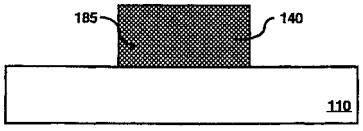
【図１Ｃ】



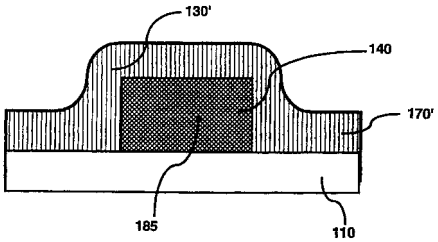
【図２Ａ】



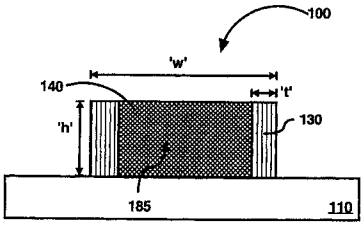
【図２Ｂ】



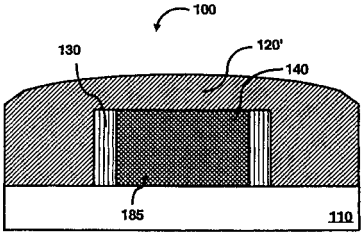
【図２Ｃ】



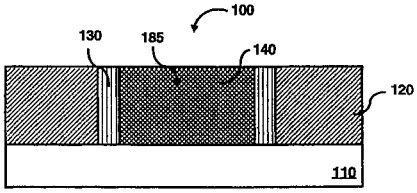
【図２Ｄ】



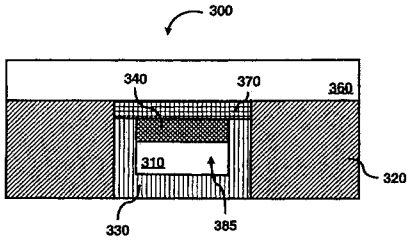
【図２Ｅ】



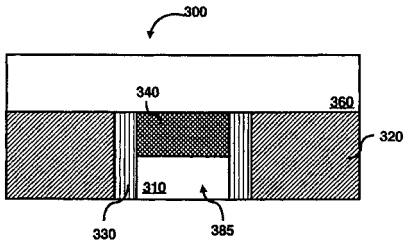
【図２Ｆ】



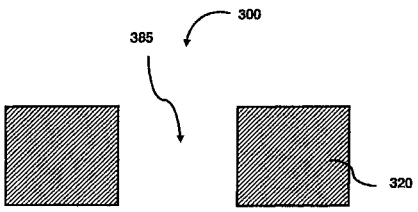
【図３Ｃ】



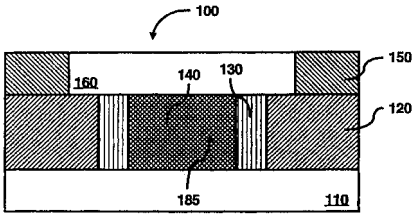
【図３Ｄ】



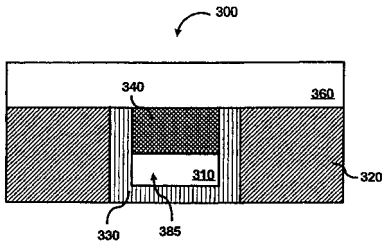
【図４Ａ】



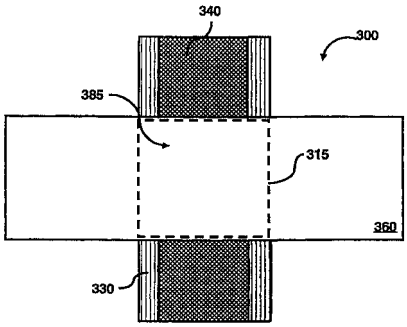
【図２Ｇ】



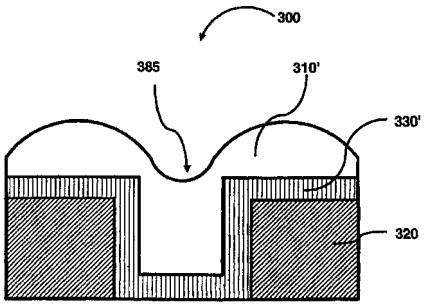
【図３Ａ】



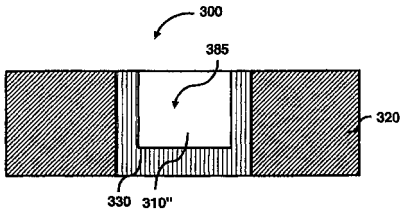
【図３Ｂ】



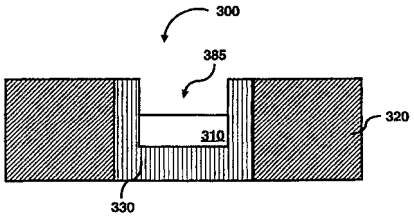
【図４Ｂ】



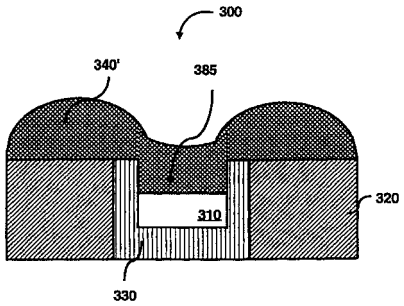
【図４Ｃ】



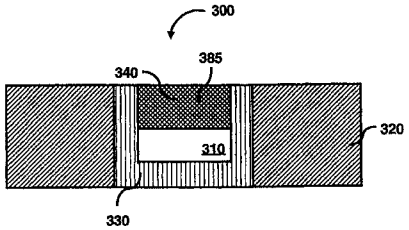
【図４Ｄ】



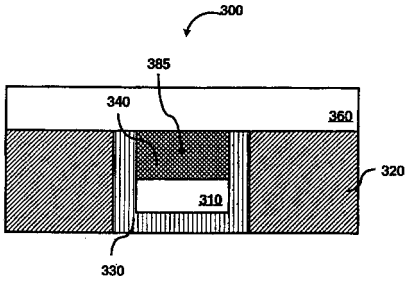
【図４Ｅ】


300
340'
385
320
310
330

【図４Ｆ】


300
340
385
320
310
330

【図４Ｇ】


300
385
340
360
320
310
330

フロントページの続き

(72)発明者　トーマス・シー・アンソニー
アメリカ合衆国カリフォルニア州９４０８７，サニーベイル，ピメント・アベニュー・１１６１

審査官　宇多川　勉

(56)参考文献　特開平０７－１７６７７２（ＪＰ，Ａ）
特開平０４－３６１５６６（ＪＰ，Ａ）
特開平０７－２６３６４７（ＪＰ，Ａ）
特開昭６０－１４０８５４（ＪＰ，Ａ）
特開２００１－０２４０６３（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
H01L 21/82
H01L 21/768
H01L 21/822
H01L 23/522
H01L 27/04