(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3997372号
(P3997372)
(45)発行日　平成19年10月24日(2007.10.24)　(24)登録日　平成19年8月17日(2007.8.17)

(51)Int.Cl.		F I		
H01L 27/00	(2006.01)	H01L	27/00	301Z
G02F 1/1368	(2006.01)	G02F	1/1368	
G09F 9/30	(2006.01)	G09F	9/30	316Z
H01L 27/12	(2006.01)	H01L	27/12	Z
H01L 27/146	(2006.01)	H01L	27/14	A

請求項の数 7　(全 21 頁)　最終頁に続く

(21)出願番号　特願平11-80726
(22)出願日　平成11年3月25日(1999.3.25)
(65)公開番号　特開平11-340417
(43)公開日　平成11年12月10日(1999.12.10)
審査請求日　平成15年6月24日(2003.6.24)
(31)優先権主張番号　特願平10-78147
(32)優先日　平成10年3月25日(1998.3.25)
(33)優先権主張国　日本国(JP)

(73)特許権者　000002369
セイコーエプソン株式会社
東京都新宿区西新宿２丁目４番１号
(74)代理人　100079108
弁理士　稲葉　良幸
(74)代理人　100080953
弁理士　田中　克郎
(74)代理人　100093861
弁理士　大賀　眞司
(72)発明者　井上　聡
長野県諏訪市大和３丁目３番５号
セイコーエプソン株式会社内

審査官　河口　雅英

最終頁に続く

(54)【発明の名称】半導体素子、液晶表示用アクティブマトリクス基板及びこれらの製造方法

(57)【特許請求の範囲】
【請求項１】
透明基板上の少なくともトランジスタ素子を固定する位置に接着剤からなる絶縁膜を形成する第１工程と、
前記絶縁膜上に酸化膜で覆われたシリコン粒を配置する第２工程と、
前記透明基板から反対側に位置する前記シリコン粒の頂部を囲む略環状のゲート電極を前記酸化膜上に形成し、前記絶縁膜上に走査線を形成し、かつ前記ゲート電極と前記走査線とを接続する接続部を前記シリコン粒の表面に沿って形成する第３工程と、
前記ゲート電極をマスクとして前記シリコン粒に対してイオン注入を行うことにより、前記ゲート電極を境に前記シリコン粒の下部側に配置されるドレイン領域と、前記ゲート電極を境に前記シリコン粒の上部側に配置されるソース領域と、前記シリコン粒の前記ゲート電極下に配置されるチャネル層と、を形成する第４工程と、
前記ソース領域に接続するソース電極と、前記ドレイン電極に接続するドレイン電極と、を形成する第５工程と、
を含む、トランジスタ素子の製造方法。
【請求項２】
請求項１において、
前記第２工程における前記シリコン粒の一部が前記絶縁膜の中に位置する、
ことを特徴とするトランジスタ素子の製造方法。
【請求項３】

請求項１又は２において、
前記シリコン粒が略球形である、
ことを特徴とするトランジスタ素子の製造方法。
【請求項４】
透明基板と、
前記透明基板上に形成された、接着剤からなる絶縁膜と、
酸化膜で覆われており、前記絶縁膜上に配置されたシリコン粒と、
前記酸化膜上に形成され、前記透明基板から反対側に位置する前記シリコン粒の頂部を囲む略環状のゲート電極と、前記絶縁膜上に形成された走査線と、前記シリコン粒の表面に沿って形成され、前記ゲート電極と前記走査線とを接続する接続部と、を含む金属線と、
前記シリコン粒の前記ゲート電極下のチャネル層と隣接し、当該シリコン粒の上部側に配置されたソース領域及び当該シリコン粒の下部側に配置されたドレイン領域と、を含む不純物領域と、
前記ソース領域に接続されたソース電極と前記ドレイン電極に接続されたドレイン電極と、を含む電極と、
を備える、トランジスタ素子。
【請求項５】
請求項４において、
前記シリコン粒が略球形である、
ことを特徴とするトランジスタ素子。
【請求項６】
請求項４又は５において、
前記シリコン粒がシリコン単結晶から構成される、
ことを特徴とするトランジスタ素子。
【請求項７】
請求項４乃至６のいずれかにおいて、
前記酸化膜がシリコン酸化膜である、
ことを特徴とするトランジスタ素子。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
本発明はトランジスタ素子に係わるものであり、具体的には、シリコン粒を用いてトランジスタ素子を得る技術に係わるものである。特に、大型液晶ディスプレイ等の製造に好適なトランジスタ素子に係わるものである。
【０００２】
【従来の技術】
従来のＴＦＴ液晶ディスプレイにおけるアクティブマトリクス基板の平面図を図１１に示す。絶縁基板１０上においてデータ線３１と走査線１５とによって区画形成された各画素領域のそれぞれにおいてＴＦＴ（Thin Film Transistor）が形成されている。
【０００３】
このＴＦＴは、図１２（Ｄ）に示すように、ソース領域１４とドレイン領域１６との間にチャネルを形成するためのチャネル領域１７、このチャネル領域１７にゲート絶縁膜１３を介して対峙するゲート電極１５、それらの表面に形成された層間絶縁膜２０のコンタクトホール２０１を介してソース領域１４に電気的接続するソース電極３１、及び層間絶縁膜２０のコンタクトホール２０２を介してドレイン領域１６に電気的接続するスパッタＩＴＯ（Indium Thin Oxide）膜からなる画素電極４０を備えている。ここで、ソース電極３１はデータ線の一部であり、ゲート電極１５は走査電極の一部である。従って、これらについては同一の符号を付してある。
【０００４】

このような構成のＴＦＴを製造するにあたっては、従来は図１２に示すような製造工程を経て製造されていた。この図は、図１１のＸ－Ｘ矢視断面図に相当するものである。図１２（Ａ）に示すように、絶縁基板１０の下地保護膜１１の表面に半導体膜を形成し、これをパターニングして島状の半導体膜とした後にゲート絶縁膜１３を形成する。

【０００５】

次に、アルミニウム膜等の薄膜をスパッタ形成した後、それをパターニングしてゲート電極１５を形成する。このとき走査線も形成される。次に、ゲート電極１５をマスクとして半導体膜に不純物イオンを導入し、ソース領域１４及びドレイン領域１６を形成する。その後、層間絶縁膜２０を形成する。次いで、図１２（Ｂ）に示すように、コンタクトホール２０１，２０２を形成し、コンタクトホール２０１を介してソース領域１４に電気的接続するソース電極３１を形成する。次いで、図１２（Ｃ）に示すように、層間絶縁膜２０の表面にＩＴＯ膜をスパッタ法により形成した後、レジストマスク７０１を所望のパターンに形成する。次いで、図１２（Ｄ）に示すように、レジストマスク７０１をマスクとしてＩＴＯ膜をパターニングし、画素電極４０を形成する。

【０００６】

【発明が解決しようとする課題】

このように、ＴＦＴ液晶ディスプレイのアクティブマトリクス基板を製造する場合、基板上に半導体膜を形成するには、ＣＶＤ法（Chemical Vapor Deposition）やＰＶＤ法（Physical Vapor Deposition）を用いていた。このため、１m^2以上の大きな面積を有するシリコン基板を有するＴＦＴディスプレイを製造するには、ＣＶＤ法等でシリコン基板を１m^2以上の面積に形成しなければならず、装置が大掛かりとなり製造コストが増大する問題があった。

【０００７】

また、小型のシリコン基板を組み合わせて大面積のＴＦＴディスプレイを製造することも考えられるが、アライメントが複雑になり、製造が困難になる問題がある。

【０００８】

一方、近年では、シリコン溶液を絶縁基板上に塗布し、その後、液体を除去してシリコン膜を形成することも試みられているが、この方法によっても大型のシリコン基板を形成することが困難である。従って、従来のシリコン基板上にトランジスタ素子等を形成する技術は、大面積のシリコン基板を必要とする場合に適していない問題があった。

【０００９】

また、近年配線形成用の導電性材料を液状態にして、配線パターン形成面にこれをインクジェットプリンタを用いて塗布し、溶媒を飛ばして配線パターンを形成することが行われている。しかしながら、このプロセスでは、配線パターンを形成するための工程が増える等の問題がある。

【００１０】

そこで、本発明はシリコン基板上に形成される従来の半導体素子とは異なり、いわば絶縁基板上に載置することで半導体素子として機能するトランジスタ素子及びその製造方法を提供することを第１の課題とする。

【００１１】

さらに、上記トランジスタ素子を用いた大型のＴＦＴ液晶ディスプレイのアクティブマトリクス基板及びその製造方法を提供することを第２の課題とする。

【００１２】

さらに本発明は、配線のパターンをより容易に形成可能な半導体装置を提供することをその他の課題とする。

【００１３】

【課題を解決するための手段】

上記の課題を解決するために、本発明に係わる半導体素子は、絶縁基板上に複数の微小シリコンのバルク（粉、粒又は片等）をアレイ状に固定し、このシリコン粒そのものをトランジスタのチャネル層として利用したことを特徴とするものである。

【００１４】
さらに本発明は、このアクティブマトリクス基板の各画素電極に対するスイッチング素子をこの半導体素子から構成したものであることを特徴とするものである。
【００１５】
さらにまた、本発明は、従来半導体装置のワイヤボンディングに利用される金属細線そのものを半導体素子に対する配線パターンとして利用することを特徴とするものである。
さらに本発明は、半導体素子のソース領域及びドレイン領域につながるコンタクトホールを絶縁膜に形成してなる半導体装置において、このコンタクトホールが微細切削手段によって前記絶縁膜が選択的に切削された切削痕から形成されてなる半導体装置である。
【００１６】
本発明に係るトランジスタ素子の製造方法は、（ａ）透明基板上の少なくともトランジスタ素子を固定する位置に接着剤からなる絶縁膜を形成する第１工程と、（ｂ）前記絶縁膜上に酸化膜で覆われたシリコン粒を配置する第２工程と、（ｃ）前記透明基板から反対側に位置する前記シリコン粒の頂部を囲む略環状のゲート電極を前記酸化膜上に形成し、前記絶縁膜上に走査線を形成し、かつ前記ゲート電極と前記走査線とを接続する接続部を前記シリコン粒の表面に沿って形成する第３工程と、（ｄ）前記ゲート電極をマスクとして前記シリコン粒に対してイオン注入を行うことにより、前記ゲート電極を境に前記シリコン粒の下部側に配置されるドレイン領域と、前記ゲート電極を境に前記シリコン粒の上部側に配置されるソース領域と、前記シリコン粒の前記ゲート電極下に配置されるチャネル層と、を形成する第４工程と、（ｅ）前記ソース領域に接続するソース電極と、前記ドレイン電極に接続するドレイン電極と、を形成する第５工程と、を含む。
好ましくは、上記のトランジスタ素子の製造方法において、前記第２工程における前記シリコン粒の一部が前記絶縁膜の中に位置する。
好ましくは、上記のトランジスタ素子の製造方法において、前記シリコン粒が略球形である。
本発明に係るトランジスタ素子は、（ａ）透明基板と、（ｂ）前記透明基板上に形成された、接着剤からなる絶縁膜と、（ｃ）酸化膜で覆われており、前記絶縁膜上に配置されたシリコン粒と、（ｄ）前記酸化膜上に形成され、前記透明基板から反対側に位置する前記シリコン粒の頂部を囲む略環状のゲート電極と、前記絶縁膜上に形成された走査線と、前記シリコン粒の表面に沿って形成され、前記ゲート電極と前記走査線とを接続する接続部と、を含む金属線と、（ｅ）前記シリコン粒の前記ゲート電極下のチャネル層と隣接し、当該シリコン粒の上部側に配置されたソース領域及び当該シリコン粒の下部側に配置されたドレイン領域と、を含む不純物領域と、（ｆ）前記ソース領域に接続されたソース電極と前記ドレイン電極に接続されたドレイン電極と、を含む電極と、を備える。
好ましくは、上記のトランジスタ素子において、前記シリコン粒が略球形である。
好ましくは、上記のトランジスタ素子において、前記シリコン粒がシリコン単結晶から構成される。
好ましくは、上記のトランジスタ素子において、前記酸化膜がシリコン酸化膜である。
【００１７】
【発明の実施の形態】
既述の本発明の一つの形態は、チャネル領域を介して形成されたドレイン領域とソース領域を備えるシリコン粒と、シリコン粒の表面を覆う酸化膜と、酸化膜を介してチャネル領域の上部に形成されるゲート電極と、ドレイン領域に電気的接続するドレイン電極と、ソース領域に電気的接続するソース電極とを備えるものである。
【００１８】
このような構成により、本発明に係わるトランジスタ素子をプラスチック基板等の絶縁基板に固定するができ、これを所望の機能を備えるトランジスタ素子として利用すれば良い。したがって、大型のシリコン基板を作る困難性も解消される。さらに、シリコン膜を形成する工程を真空装置を利用した気層状態で実行する必要がないために、基板として既述のような耐熱性が低い基板を利用することができる。

【００１９】
本発明に係わるトランジスタ素子の好適な形態として、シリコン粒は略球形であることが好ましく、また、シリコン単結晶から構成されることが好ましい。また、酸化膜は二酸化珪素膜であることが好ましい。シリコン粒を略球形することで、本発明に係わるトランジスタ素子を絶縁基板上に載置、配置或いは固定する際に、シリコン粒の向きの調整が容易になる。また、シリコン粒をシリコン単結晶から構成することで、本発明に係わるトランジスタ素子の性能が向上する。また、シリコン粒を覆う酸化膜を二酸化珪素膜で形成することで、この二酸化珪素膜はゲート電極として機能する。ゲート電極はシリコン粒の周囲を囲むように環状に形成してもよい。
【００２０】
本発明に係わる液晶表示用アクティブマトリクス基板は、絶縁基板上においてデータ線と走査線とによって区画形成された複数の画素領域の各々に対して、データ線に電気的接続するソース領域、走査線に電気的接続するゲート電極及び画素電極に電気的接続するドレイン電極を備えるトランジスタ素子が構成された液晶表示用アクティブマトリクス基板において、このトランジスタ素子を本発明に係わるトランジスタ素子で構成するものである。液晶表示用アクティブマトリクス基板のスイッチング素子として本発明に係わるトランジスタ素子を用いることで、大型の液晶ディスプレイを製造することができる。
【００２１】
本発明に係わる液晶表示用アクティブマトリクス基板の好適な形態として、トランジスタ素子は絶縁基板に対して接着剤を介して固定されることが好ましく、さらに、接着剤はトランジスタ素子が配置されるべき位置に合わせて絶縁基板上に塗布されていることが好ましい。この接着剤は絶縁基板上にトランジスタ素子を固定するものであるが、この他、ＳＯＧ（Spin on Glass）等の絶縁膜でトランジスタ素子を固定することもできる。また、絶縁基板はプラスチック基板、又は、フレキシブル基板であることが好ましく、耐熱性が２００℃以下であることが好ましい。本発明によれば、３００℃乃至４００℃の温度環境下でシリコン薄膜を形成するＣＶＤ法等を採用する必要がないため、低温環境下で液晶表示用アクティブマトリクス基板を製造することができる。
【００２２】
本発明に係わるトランジスタ素子の製造方法は、シリコン片からシリコン粒を形成する工程と、シリコン粒の表面に酸化膜を形成する工程と、シリコン粒のチャネル領域が形成されるべき領域の上部にゲート電極を形成する工程と、ゲート電極をマスクとして前記シリコン粒に不純物イオンを導入し、ドレイン領域とソース領域を形成する工程と、ドレイン領域に電気的接続するドレイン電極を形成する工程と、ソース領域に電気的接続するソース電極を形成する工程と、を備える。この製造方法によれば、トランジスタ素子が位置するべき所望の位置にトランジスタ素子を載置すればよいため、シリコン基板上に各半導体素子を製造する従来の技術に必要とされる素子分離工程等を省略することができる。
【００２３】
本発明に係わるトランジスタ素子の製造方法の好適な形態として、トランジスタ素子の製造方法は、大気圧中、即ち、真空装置を使用しない方法であることが好ましい。シリコン粒を形成する工程は、シリコン粒を略球形に形成する工程であることが好ましく、また、シリコン片はシリコン単結晶から構成し、酸化膜は二酸化珪素膜から構成することが好ましい。
【００２４】
本発明に係わる液晶表示用アクティブマトリクス基板の製造方法は、絶縁基板上においてデータ線と走査線とによって区画形成された複数の画素領域の各々に対して、データ線に電気的接続するソース領域、走査線に電気的接続するゲート電極及び画素電極に電気的接続するドレイン電極を備えるトランジスタ素子が構成された液晶表示用アクティブマトリクス基板の製造方法において、このトランジスタ素子は、上記の本発明に係わるトランジスタ素子の製造方法で形成される。
【００２５】

本発明に係わる液晶表示用アクティブマトリクス基板の製造方法の好適な形態として、上記トランジスタ素子は、ディスペンサーを用いて絶縁基板上に載置することが好ましく、また、トランジスタ素子は、絶縁基板に対して接着剤を介して絶縁基板上に固定されることが好ましい。特に、接着剤はインクジェット式記録ヘッドを用いて絶縁基板上に形成する方法が好ましい。かかる構成により、従来のようにシリコン薄膜をフォトリソ工程でパターニングする必要はないため、製造工程を簡略化することができる。この場合、接着剤はインクジェット式記録ヘッドを用いて絶縁基板上にトランジスタ素子が形成されるべき位置に形成してもよい。

【００２６】

本発明他の実施形態は、金属細線そのものを半導体素子のゲート線及び／又はソース線として利用したものである。このような金属細線としては、従来ワイヤボンディング等でのＩＣ実装の分野で既に使用されている金属細線を利用し、かつＩＣ実装の分野で利用されている金属細線の配線技術をそのまま利用して、ここで説明する本発明に係わる半導体装置を得ることが可能となる。

【００２７】

これらの金属線は、金、アルミニウム、銅或いはこれらの合金から構成され、かつこの金属線としての太さは数十乃至数百μｍであることが低抵抗化の観点から好ましい。この配線を使用した半導体装置は、ＬＣＤ或いはＥＬディスプレイに使用される。金属線同士あるいは他の導体領域と重なったときの短絡を防止するために、金属細線の表面を絶縁膜でコートすることが好ましい。これらの絶縁膜を層間絶縁膜やゲート絶縁膜としてそのまま使用することにより、この絶縁膜を形成する工程を省略することも可能となる。

【００２８】

ここで、金属細線そのものを半導体装置のソース線やゲート線として利用することが可能となる。金属細線のうち、他の領域とコンタクトをとる必要がある部分を選択的にエッチングして絶縁被覆を除けば良い。この結果、この半導体装置が適用される基板をプラスチック、フレキシブル基板等耐熱性が摂氏２００度以下のものを使用することができる。

【００２９】

既述のとおり、金属配線を、配線材料を含む液状体から構成することも試みられているが、金属細線そのものを配線パターンとして利用することにより、この工程に伴う困難性を解消できる。

【００３０】

また、前記微細切削手段としてダイシングカッターを使用できる。このカッターは微細切削痕を形成できるので、微細シリコンバルクにもコンタクトホールを形成することが可能となる。

【００３１】

次に、本発明の具体的な実施形態について説明する。

【００３２】

［発明の実施の形態１］

（全体構成）

本発明の実施の形態１を図１乃至図７を参照して説明する。図１は、本発明に係わるトランジスタ素子・半導体素子を応用したアクティブマトリクス型のカラー液晶表示装置の分解斜視図である。液晶表示装置１は液晶７００を封入した２枚の透明基板５００、６００を備え、液晶７００としてはネマティック液晶が使われる。動作モードはＴＮモードである。

【００３３】

透明基板６００上には、赤（Ｒ）、緑（Ｇ）、青（Ｂ）の着色層８０Ｒ、８０Ｇ及び８０Ｂを備えるカラーフィルタ８００が形成されている。着色層８０Ｒ、８０Ｇ及び８０Ｂの間にはブラックマトリクス８１０が形成され、透明基板２０側のカラーフィルタ８００には、対向電極９００が形成されている。

【００３４】

カラーフィルタ８００は、公知の技術を用いて製造することができる。例えば、透明基板６００上にクロム等の金属からなる遮光膜を形成した後、フォトリソグラフィ法で格子状にパターニングしてブラックマトリクス８１０を形成する。次いで、染色法、顔料分散法等を用いて着色層８０Ｒ、８０Ｇ及び８０Ｂを形成する。

【００３５】

透明基板５００上にはデータ線４００と走査線３００によって画設される格子状の区画領域に画素電極２００が形成される。また、データ線４００と走査線３００の各交点には本発明に係わるトランジスタ素子１００が形成される。トランジスタ素子１００は画素電極２００に供給される信号電圧を制御するスイッチング素子として機能する。また、透明基板５００、６００は、各着色層８０Ｒ、８０Ｇ及び８０Ｂのそれぞれが画素電極２００に対峙するように貼り合わされる。

【００３６】

（アクティブマトリクス基板の構造）

次に、図２及び図３を参照して本実施の形態のアクティブマトリクス基板の構造を説明する。図２はアクティブマトリクス基板の平面図である。データ線４００、走査線３００の各交点にはトランジスタ素子１００が形成される。

【００３７】

後に詳述するが、トランジスタ素子１００は直径１００μｍ程度の略球形をしたシリコン粒からなるトランジスタ素子であり、透明基板５００上に接着剤等を介してアレイ状に固定される。

【００３８】

このシリコン粒の上部には走査線３００に連設し、シリコン粒の上部を囲むように略環状に形成されたゲート電極３００Ａがパターン形成される。また、データ線４００に連設し、シリコン粒の頂部に接続するソース電極４００Ａが形成される。画素電極２００にはトランジスタ素子１００のドレイン領域と電気的に接続するドレイン電極２００Ａが形成される。

【００３９】

（トランジスタ素子の構造）

トランジスタ素子１００の全体構造を図３，４を参照して説明する。同図は、トランジスタ素子１００とゲート電極３００Ａ、ドレイン電極２００Ａ及びソース電極４００Ａとの立体的な接続関係を示した図である。これら電極間に位置する絶縁層等の記載は省略してある。

【００４０】

前述したように、トランジスタ素子１００はシリコン粒からなり、その表面はシリコン酸化膜１０１からなる。シリコン粒の形状は球形であることが好ましい。ゲート電極３００Ａ下にあるシリコン酸化膜１０１はゲート酸化膜として機能する。

【００４１】

従って、酸化膜１０１の厚さを１０オングストローム乃至１０μｍの範囲とし、ゲート電極３００Ａの幅を０．１μｍ乃至１００μｍとすることが好ましい。後述するように、トランジスタ素子１００にはゲート電極３００Ａをマスクとして不純物が導入されているので、図３及び図４において、ゲート電極３００Ａを境に、シリコン粒の下部側（透明基板５００側）がドレイン領域として機能し、シリコン粒の上部側（透明基板６００側）がソース領域として機能する。

【００４２】

また、ゲート電極３００Ａはトランジスタ素子１００の頂部を囲むように略環状に形成されており、走査線３００との間に接続部３００Ｂが形成されている。後述するように、走査線３００は透明基板５００上に形成される絶縁膜（膜厚がトランジスタ素子１００の半径程度）上に形成され、また、ゲート電極３００Ａはこの絶縁膜よりも高い位置に形成されるため、接続部３００Ｂは両者を接続するためにトランジスタ素子１００の表面に沿って形成される。

【００４３】
これらの走査線３００、ゲート電極３００Ａ及び接続部３００Ｂは同一の材質（例えば、アルミニウム、多結晶シリコン）を所望の領域に膜形成し、パターニングすることで得ることができる。
【００４４】
このトランジスタ素子１００の断面構造を、図４を参照して説明する。なお、同図は、図２におけるＡ－Ａ矢視断面図に相当する。透明基板５００上にはトランジスタ素子１００を固定する絶縁膜５１０が形成されており、走査線３００とデータ線４００の交差するアレイ状の各位置にトランジスタ素子１００を透明基板５００上に固定している。
【００４５】
また、絶縁膜５２０に形成されているコンタクトホール２００Ｂを介して画素電極（ＩＴＯ電極）２００と連通するドレイン電極２００Ａがトランジスタ素子１００のドレイン領域４０２に接続し、コンタクトホール４００Ｂを介してデータ線４００と連通するソース電極４００Ａがトランジスタ素子１００のソース領域４０１に接続する。
【００４６】
ゲート電極３００Ａ下の領域はチャネル領域４０３として機能する。また、トランジスタ素子１００の表面にはシリコン酸化膜１０１が形成されているが、ゲート電極３００Ａより上側のシリコン酸化膜１０１はエッチング除去されており、シリコン粒の表面が露出している。これは、絶縁膜５２０のコンタクトホール４００Ｂを介してソース電極４００Ａをソース領域４０１に電気的に接続させるためである。
【００４７】
（トランジスタ素子の製造工程）
トランジスタ素子１００の製造工程を図５及び図６を参照して説明する。これらの図で示されるトランジスタ素子１００の製造工程は図２のＢ－Ｂ矢視断面に沿って説明されている。
【００４８】
トランジスタ素子固定用絶縁膜形成工程（図５（Ａ））
透明基板５００としてプラスチック基板、フレキシブル基等を用いることができる。この他、汎用の無アルカリガラスを用いることができる。本発明によれば、ＣＶＤ法等を用いて基板上にシリコン薄膜を形成する必要はないため、低温プロセスで液晶表示用アクティブマトリクス基板を製造することができる。従って、透明基板５００として耐熱性が２００℃以下の絶縁基板でもかまわない。
【００４９】
透明基板５００を洗浄した後、透明基板５００の上にトランジスタ素子１００を固定するための絶縁膜５１０を形成する。この絶縁膜５１０として、紫外線硬化、熱硬化型等の接着剤を用いることができる。このとき、透明基板５００の全表面に絶縁膜としてこの接着剤を塗布するか、トランジスタ素子１００を固定する位置にのみ接着剤を塗布してもよい。
【００５０】
この場合、インクジェット式記録ヘッドを用いて上記接着剤を塗布すれば良い。また、絶縁膜５１０として、有機溶剤に溶けたガラス溶液を透明基板５００上にスピンコートして加熱処理し、ＳＯＧ（Spin on Glass）を形成してもよい。加熱処理はトランジスタ素子１００を透明基板５００上に置いてから行う。
【００５１】
シリコン粒載置工程（図５（Ｂ））
表面が酸化膜１０１で覆われたシリコン粒１００Ａを透明基板５００上に載置し、接着剤の接着作用等により透明基板５００上に固定する。シリコン粒１００Ａを透明基板５００上に載置するには、図１０（Ａ）に示すように、ノズル６３内を減圧して先端にシリコン粒１００Ａを吸引し、ノズル６３を所定の位置まで移動させ、次いでこの減圧を解除して基板上に複数のシリコン粒をアレイ状に配置する。

【００５２】
また、図１０（Ｂ）に示すように、アクティブマトリクス基板上に形成されるべきトランジスタ素子１００の位置に合わせて複数の空気吸入孔６１が形成された載置板６０の各空気送気孔６１にシリコン粒を吸着させ、圧縮空気を導入することで複数のシリコン粒１００Ａを一度で基板にアレイ状に載置することもできる。
【００５３】
シリコン粒１００Ａはシリコン片を細かい粒子状に粉砕し、研磨剤を入れたミキサーで研磨することで得ることができる。また、シリコン片を溶解させ、これを噴霧し、冷却させることで得ることもできる。シリコン粒の大きさは直径１００μｍ程度が好ましいが、特に限定されるものではない。また、シリコン粒１００Ａの表面に酸化膜１０１を形成するには、シリコン粒１００Ａを酸化炉にいれてシリコン酸化膜１０１を成長させる。酸化膜１０１の膜厚としては、１０オングストローム乃至１０μｍの範囲が好ましい。
【００５４】
ゲート電極形成工程（図６（Ｄ））
絶縁膜５１０と表面に露出したシリコン粒１００Ａにゲート電極３００Ａとなるアルミニウム膜等の薄膜をスパッタ形成する。膜厚は０．８μｍ程度にする。このとき、ゲート電極３００Ａとともに、走査線３００を一体成形する。アルミニウム膜を形成した後、図３に示すような形状にパターニングを行い、ゲート電極３００Ａ、接続部３００Ｂ及び走査線３００を同一工程で形成する。
【００５５】
尚、この工程では、大きさ１００Å程度の金の微粒子を溶媒に溶かした溶液をインクジェット式記録ヘッドで吐出することでゲート電極３００Ａ、走査線３００のパターンを形成してもよい。
【００５６】
不純物イオン打ち込み工程（図６（Ｄ））
ゲート電極３００Ａをマスクとしてシリコン粒１００Ａに不純物イオンを打ち込み、シリコン粒１００Ａにソース領域４０１、ドレイン領域４０２を形成する。ゲート電極３００Ａ下のシリコン粒１００Ａは不純物イオンが打ち込まれないため、チャネル層４０３として機能する。
【００５７】
この工程では、ゲート電極３００Ａが不純物イオン打ち込みの際のマスクとなるため、チャネル層４０３はゲート電極３００Ａ下にのみ形成される自己整合構造となるが、ＬＤＤ構造（Lightly Doped Drain-Source）にしてもよい。不純物イオンの導入は質量非分離型イオン注入装置を用いてドーパントとなる不純物と水素とを同時に注入するイオン・ドーピング法や、質量分離型イオン注入装置を用いて所望の不純物イオンのみを注入するイオン打ち込み法等を用いることができる。不純物イオンの打ち込み後、レーザー照射を行いシリコン粒１００Ａをアニールし、シリコン粒１００Ａの結晶性を回復させる。
【００５８】
絶縁膜形成工程（図６（Ｅ））
トランジスタ素子１００のソース領域４０１、ドレイン領域４０２及びチャネル領域４０３を形成した後、トランジスタ素子１００、走査線３００を覆うように絶縁膜５２０を形成する。この工程は、ＣＶＤ法やＰＶＤ法を用いてシリコン酸化膜を形成することで絶縁膜５２０を形成する。次いで、この絶縁膜５２０のソース領域４０１に対応する位置にコンタクトホール４００Ｂを形成する。図示しないが、同様に、絶縁膜５２０のドレイン領域４０２に対応する位置にコンタクトホール２００Ｂを形成する。なお、勿論、ＣＶＤやＰＶＤのように気層を用いた膜の製造方法に依らず、ここでの実施形態の全てにおいて該当することであるが、液状物質をインクジェット式記録ヘッドによって半導体素子に塗布して、各種の電極パターンや絶縁膜のパターンを形成することもできる。シリコンバルクの使用は、シリコン基板自体を気層を利用した製造方法に依らないと云う点において改良された半導体素子の製造方法である。また、後述するように、金属パターンを金属細線自

体から得ることも同様に理解される。
【００５９】
ソース電極形成工程（図６（Ｆ））
絶縁膜５２０の表面にアルミニウム膜をスパッタ法により形成した後、このアルミニウム膜をパターニングし、ソース電極４００Ａ、データ線４００を同一工程で形成する。また、図４に示すような画素電極２００とこの画素電極２００に接続するドレイン電極２００Ａを形成する。この場合、画素電極２００はＩＴＯ（Indium Thin Oxide）からなる薄膜を絶縁膜５２０上に形成した後、所望の領域にレジストマスク（図示せず）を形成し、これらを一括して王水系やＨＢｒ等を用いてウエットエッチングするか、又は、CH_4等のガスでドライエッチングし、パターニングすることで得る。
【００６０】
また、画素電極２００の組成としてＩＴＯ膜の他、酸化インジウムと酸化亜鉛の複合酸化物等の光透過性・導電性を兼ね備えた材料を用いることができる。このようにしてアクティブマトリクス基板を製造することができる。
【００６１】
［発明の実施の形態２］
本発明の実施の形態の第２例を図７乃至図１１を参照して説明する。この実施の形態は、本発明に係わるトランジスタ素子を応用したアクティブマトリクス型のカラー液晶表示装置に関するものであり、実施の形態１と異なる点は、トランジスタ素子１００のソース領域４０１が下側（透明基板５００側）に位置し、ドレイン領域４０２が上側（透明基板６００側）に位置される点である。
【００６２】
（トランジスタ素子の構造）
図７（Ａ）は、アクティブマトリクス基板上に形成される画素電極の一部を含むトランジスタ素子と各配線（データ線、走査線等）の平面的位置関係を示す説明図である。また、図７（Ｂ）は、図７（Ａ）のＣ－Ｃ矢視断面図である。前述したように、トランジスタ素子１００は上半球部にドレイン領域４０２が形成され、下上半球部にソース領域４０１が形成されている。また、ゲート電極３００Ａに囲まれている領域にはチャネル領域４０３が形成されている。
【００６３】
透明基板５００上にはデータ線４００が形成されており、データ線４００の側面と透明基板５００の全面にはＰＳＧ（Phospho Silicate Glass）からなる絶縁膜５３０が形成されている。
【００６４】
データ線４００の上にはトランジスタ素子１００が固定されており、ソース領域４０１がデータ線４００に接続している。この場合、トランジスタ素子１００は絶縁膜５３０上に形成されている接着剤等からなる絶縁膜５４０によって固定される。この接着剤は絶縁膜５３０の全面に塗布してもよく、トランジスタ素子１００が固定されるべき位置にのみ塗布してもよい。
【００６５】
この絶縁膜５４０上には走査線３００とゲート電極３００Ａが同一工程で一体成形されている。ゲート電極３００Ａはトランジスタ素子１００の周囲を囲むように略環状に形成されている。トランジスタ素子１００の表面にはシリコン酸化膜１０１が形成されており、ゲート電極３００Ａ下のシリコン酸化膜１０１はゲート酸化膜として機能する。
【００６６】
絶縁膜５４０上にはシリコン酸化膜等からなる絶縁膜５５０が形成されている。絶縁膜５５０に形成されたコンタクトホール２００Ｂを介して画素電極２００と一体成形されたドレイン電極２００Ａがトランジスタ素子１００のドレイン領域４０２に接続する。
【００６７】
（トランジスタ素子の製造工程）

トランジスタ素子１００の製造工程を図８及び図１１を参照して説明する。これらの図で示されるトランジスタ素子１００の製造工程は図７（Ａ）のＣ－Ｃ矢視断面図に相当するものである。

【００６８】

データ線形成工程（図８（Ａ））

透明基板５００として汎用の無アルカリガラスを用いる。透明基板５００を洗浄した後、透明基板５００の上にデータ線となるアルミニウム膜をスパッタ形成する。次いで、所望の領域にレジスト膜（図示せず）を形成し、アルミニウム膜パターニングすることで、データ線４００を形成する。

【００６９】

その後、データ線４００の側面と透明基板５００の全面を覆うようにＰＳＧ膜を形成し、データ線４００の表面が露出するようにパターニングし、絶縁膜５３０を形成する。絶縁膜５３０を形成した後、トランジスタ素子１００を基板上に固定するための接着剤等からなる絶縁膜５４０を形成する。

【００７０】

尚、データ線４００を形成する工程は、大きさ１００Å程度の金の微粒子を溶媒に溶かした溶液をインクジェット式記録ヘッドで吐出することでパターン形成してもよい。

【００７１】

シリコン粒載置工程（図８（Ｂ））

表面が酸化膜１０１で覆われたシリコン粒１００Ａをデータ線４００上に載置し、接着剤の接着作用等によりデータ線４００上に固定する。このシリコン粒１００Ａには、ソース領域４０１となるべき領域に予め不純物イオンを注入しておく。

【００７２】

ゲート電極形成工程（図８（Ｃ））

ゲート電極となるべきアルミニウム膜を絶縁膜５４０上に形成し、所望の形状にパターニングすることでゲート電極３００Ａと走査線３００を同一工程で一体成形する。

【００７３】

尚、ゲート電極３００Ａを形成する工程は、上述したように、インクジェット式記録ヘッドで金溶液を吐出することでパターン形成してもよい。

【００７４】

不純物イオン打ち込み工程（図９（Ｄ））

ゲート電極３００Ａをマスクとしてシリコン粒１００Ａに不純物イオンを打ち込み、シリコン粒１００Ａにドレイン領域４０２を形成する。この工程では、ゲート電極３００Ａが不純物イオン打ち込みの際のマスクとなるため、チャネル層４０３はゲート電極３００Ａ下にのみ形成される自己整合構造となるが、ＬＤＤ構造（Lightly Doped Drain-Source）にしてもよい。不純物イオンの導入は質量非分離型イオン注入装置を用いてドーパントとなる不純物と水素とを同時に注入するイオン・ドーピング法や、質量分離型イオン注入装置を用いて所望の不純物イオンのみを注入するイオン打ち込み法等を用いることができる。

【００７５】

不純物イオンの打ち込み後にレザー照射を行ってシリコン粒１００Ａをアニールし、シリコン粒１００Ａの結晶性を回復させる。

【００７６】

絶縁膜形成工程（図９（Ｅ））

トランジスタ素子１００のドレイン領域４０２、チャネル領域４０３を形成した後、トランジスタ素子１００、走査線３００を覆うように絶縁膜５５０を形成する。この工程は、ＣＶＤ法やＰＶＤ法を用いてシリコン酸化膜を形成することで絶縁膜５５０を形成する。次いで、この絶縁膜５５０のドレイン領域４０２に対応する位置にコンタクトホール２００Ｂを形成する。

【００７７】

ドレイン電極形成工程（図９（Ｆ））
絶縁膜５５０の表面にＩＴＯからなる薄膜を形成した後、所望の領域にレジストマスク（図示せず）を形成し、これらを一括して王水系やＨＢｒ等を用いてウエットエッチングするか、又は、CH_4等のガスでドライエッチングし、パターニングすることで画素電極２００、ドレイン電極２００Ａを形成する。
【００７８】
このようにしてアクティブマトリクス基板を製造することができ、走査線３００を介して供給される制御信号によってトランジスタ素子１００を駆動すれば、画素電極２００と対向電極９００との間に構成されている液晶セルには、データ線４００からトランジスタ１００を介して画像情報が書き込まれ、所望の画像表示をすることができる。
【００７９】
[発明の実施の形態３]
次に本発明の実施の形態の第３の例について説明する。この第３の形態の平面図を図１３に示し、この平面図のＡ－Ａ'断面図を図１４に示す。この実施形態は、絶縁基板上に既述のシリコンボールを固定した時、チャネル領域、ソース領域、ドレイン領域をどのような位置関係にするかという点における、第１及び第２の実施形態とは異なる他の態様である。要するに、本発明において、シリコン粒においてこれらの領域を作る箇所は、半導体素子として働くことができる限り特に限定されない。
【００８０】
図１４に示された断面図は、第１及び第２実施例と同様に絶縁膜上に置かれたシリコン粒１００Ａのゲート電極３００Ａを介してソース電極４００Ａとドレイン電極２００Ａを絶縁膜５２０の図示上方側で対峙させてシリコンボールにコンタクトさせた点が示されている。
【００８１】
この半導体素子を形成する場合には、図１３に示すように絶縁膜５２０上に帯状のパターンの走査線３００を形成する。そして、この走査線３００はシリコン粒１０１Ａの上を屈曲しながら跨いで形成されている。
【００８２】
相関絶縁膜５２０を介してゲート線３００にほぼ直交するようにデータ線４００のパターンが形成され、図１４に示すようにこのソース線４００につながるソース電極４００Ａがコンタクトホールを介してシリコン粒１００Ａに接続されている。さらに、画素電極２００に繋がるドレイン電極２００Ａもコンタクトホールを介してシリコン粒のドレイン領域に繋がっている。
【００８３】
これら電極の製造方法や、ソース電極に導通するシリコン粒にソース領域を形成する方法及びシリコン粒にドレイン領域を形成する等方法は、既述の実施形態と同じである。この実施形態によれば、シリコン粒の同じ側にゲート線、ソース線、画素電極等を形成するので、工程自体を第１、２の実施形態に比較するとより簡単に行うことができる。
【００８４】
ここで、シリコン粒１００Ａの回りの酸化膜１０１にコンタクトホールを形成する方法について説明する。
【００８５】
第１の例：シリコン酸化膜上にレジストパターンを形成し、エッチングする。レジストパターンは、インクジェットプリンタによって塗工する。
【００８６】
第２の例：シリコン酸化膜にレーザーを照射してコンタクト用の孔を形成する。
【００８７】
第３の例：ダイシングカッターによって、コンタクトホールに相当する切れ込みを形成する。図１５は、切れ込みが形成されたシリコン粒のモデルを上から見た平面図である。符号Ｘはシリコン粒の回りに形成された酸化膜１０１に形成された切れ込みであり、シリコ

ン粒のソース領域又はドレイン領域に繋がるコンタクトホールである。
【００８８】
Ｘ'はゲート電極３００を介してＸと対峙する同様な切れ込みであり、ゲート電極を介してＸと向き合うドレイン領域又はソース領域に繋がる切れ込みである。シリコン粒を含む半導体素子にコンタクトホールを形成するに際し、ダイシングカッター等の微細切削手段を使用することにより、エッチング等の化学的手段を用いることなくコンタクトホールを形成することが可能となる。このような微細切削手段によって、幅が数乃至十ミクロン程度の切れ込み（切削痕）微細シリコン粒にも形成することが可能となる。
【００８９】
第４の例：図１６に示すように、シリコン粒１００Ａの回りの絶縁膜１０１上にゲート電極３００Ａを形成する。次いで、ゲート電極３００Ａをマスクにして絶縁膜１０１をエッチングする。ゲート電極の下のシリコン酸化膜１０１はエッチングされないためゲート絶縁膜３００Ｄとして残存する。
【００９０】
次いで、シリコン粒のドレイン領域及びソース領域のそれぞれの上にレジストのパターン３００Ｅ,３００Ｆを形成する。次いで、既述のＬＰＤ法等で二酸化シリコン３００Ｇを形成する。このとき、レジストパーンが形成されている部分には二酸化シリコンは形成されない。次いで、レジストを除去することにより、ソース領域又はドレイン領域に繋がるコンタクトホール３００Ｈ,３００Ｉが形成される。
【００９１】
第５の例：インクジェット式プリンタによってエッチング液をシリコン酸化膜１０１上に微細パターンで直接落とし、コンタクトホールを直接形成する。
【００９２】
[発明の実施の形態４]
次に第４の実施形態について説明する。この実施形態の特徴は、半導体素子の導線性配線パターンを金属の細線自体によって形成することにある。図１７は、この形態を簡単に説明した模式図である。図１７（１）は平面図であり、（２）は断面図である。基板５００上の接着剤層５０２の上に金属細線１７２－１・・・１７２－ｎを等間隔かつ平行になるように敷設する。金属細線は本発明の出願時に既に公知の技術となっているワイヤボンディング等のＩＣ実装における技術をそのまま適用することができる。この公知技術分野では、金属細線の素材、径サイズや金属細線をプロッタから巻き出し、所定ピッチ毎に移動させて金属細線を半導体装置の複数のパッドのそれぞれに接続させること、この接続方法として、超音波を利用することなどが良く知られている。これらの金属細線自体は１０ミクロン程度の直径であれば、既述のいずれの実施形態においても配線パターンとして使用することができる。
【００９３】
この実施形態によれば、気層状態や既述のようにインクジェットプリンタを利用して配線パターンを形成する場合における、金属配線形成時の困難を克服することができる。低温下で金属細線を半導体素子に固定することができるので、プラスチック基板上に半導体素子を形成することができる。また、基板として大型（１×１平方メートル程度）のものを利用することができる。真空装置を必要とせず、かつフォトリソ工程を省略することができる。
【００９４】
図１８及び図１９は、金属細線自体を主として既述の実施形態で説明した半導体膜装置に配線パターンとして利用した場合の模式図である。図１８はシリコン粒を半導体素子として使用した場合の平面図であり、図１９は従来のシリコン半導体素子を使用した場合の平面図である。
【００９５】
図１８、１９においては、ゲート線３００とソース線４００を既述の金属細線から構成する。ゲート線、又はソース線としてこれら金属細線を直交させる。この時、ゲート線に絶

縁被覆をしておけば、ソース線との短絡を防ぐとともにこの被覆自体をゲート絶縁膜として使用することが可能となる。

【００９６】

図２０は、この実施例のより具体的な構造を示すものである。シリコン粒のほぼ頂部に絶縁被膜を有する金属細線をゲート線２０６として設ける。酸化膜２０４を形成し、シリコン粒のドレイン領域に通じるドレイン電極２００Ａをドレイン用コンタクトホールを介してこのドレイン領域に接続する。シリコン粒のソース領域に接続するコンタクトホールを形成し、ゲート電極にほぼ直交するように、ソース線となる金属細線２０４を敷設する。この金属細線は絶縁膜２０４上を走行し、ソース用コンタクト内をシリコン粒のソース領域に向けて屈曲してかつ当該領域と接続する。この後、ソース線がこのコンタクトホールから出て隣接するシリコン粒に向けて走行する。この実施形態によれば、ソース線用金属細線とゲート線用金属細線とは交差してもゲート線の絶縁被覆によって両者の短絡が防止される。

【００９７】

【発明の効果】

本発明に係わるトランジスタ素子によれば、絶縁基板に固定することで所望の機能を備えるトランジスタ素子を得ることができるため、従来のようにシリコン基板上に半導体素子を形成する必要はなく、また、大型のシリコン基板を形成する困難も解消できる。

【００９８】

また、本発明に係わるトランジスタ素子の製造方法によれば、トランジスタ素子が位置するべき所望の位置にトランジスタ素子を載置すればよいため、シリコン基板上に各半導体素子を製造する従来の技術に必要とされる素子分離工程、フォトリソグラフィによるパターニング工程等を省略することができる。

【００９９】

本発明に係わる液晶表示用アクティブマトリクス基板によれば、大型のシリコン基板を製造する困難を回避することができるため、低コストで大型の液晶表示装置を提供することができる。

【０１００】

また、本発明に係わる液晶表示用アクティブマトリクス基板の製造方法によれば、基板上に載置されたトランジスタ素子を接着剤等を介して固定するため、シリコン基板上に各半導体素子を製造する必要はなく、製造工程を簡略化することができる。

【０１０１】

また、さらに本発明によれば、半導体素子の配線パターンとして金属細線を使用するので、金属パターンを形成する上でのエッチング処理等を省略することが可能となる。

【０１０２】

またさらに、半導体素子の絶縁膜に形成するコンタクトホールの形成を物理手段である微細切削加工手段によって行ったために、エッチング等の化学的処理を省略することが可能となる。

【図面の簡単な説明】

【図１】本発明に係わるトランジスタ素子を応用したアクティブマトリクス型のカラー液晶表示装置の分解斜視図である。

【図２】本発明に係わるアクティブマトリクス基板（実施の形態１）の平面図である。

【図３】本発明に係わるトランジスタ素子の斜視図である。

【図４】図２におけるＡ－Ａ矢視断面図である。

【図５】図２におけるＢ－Ｂ矢視断面に相当する製造工程断面図である。

【図６】図２におけるＢ－Ｂ矢視断面に相当する製造工程断面図である。

【図７】図７（Ａ）は、本発明に係わるアクティブマトリクス基板（実施の形態２）の部分平面図であり、図７（Ｂ）は、図７（Ａ）におけるＣ－Ｃ矢視断面図である。

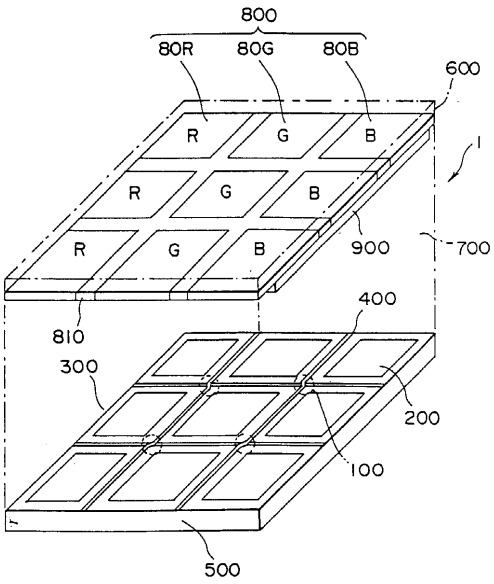
【図８】図７（Ａ）におけるＣ－Ｃ矢視断面に相当する製造工程断面図である。

【図９】図７（Ａ）におけるＣ－Ｃ矢視断面に相当する製造工程断面図である。

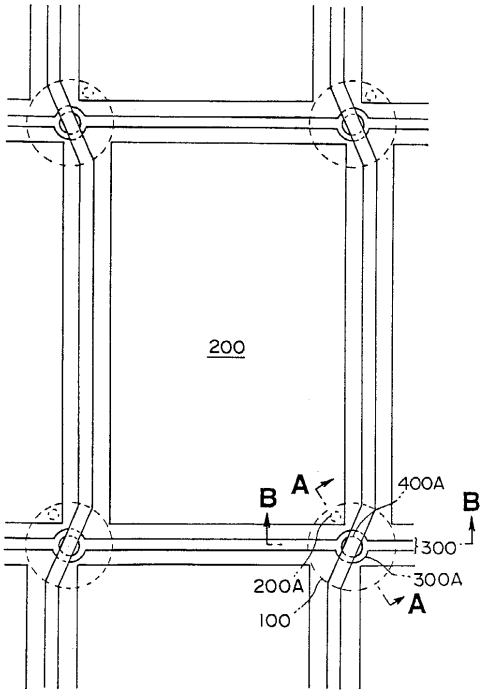
【図１０】シリコン粒の載置工程を説明するための図である。
【図１１】従来のアクティブマトリクス基板の平面図である。
【図１２】図１１におけるＸ－Ｘ矢視断面に相当する製造工程断面図である。
【図１３】本発明の実施の形態の第３の例に係わる平面である。
【図１４】図１３のＡ－Ａ'断面図である。
【図１５】酸化膜にコンタクトホールを形成するための切れ込みが形成されたシリコン粒のモデルを上から見た平面図である。
【図１６】このコンタクトホールを形成するための他の例に係わる模式図である。
【図１７】半導体素子の導線性配線パターンを金属の細線自体によって形成する場合の模式図である。
【図１８】金属細線自体を配線パターンとして利用したシリコン粒の模式図に係わる平面図である。
【図１９】シリコン粒に代えて従来のシリコン膜を半導体素子として利用した場合の同様な平面図である。
【図２０】図１８の実施例をより具体的的に説明する構成図である。
【符号の説明】

１００	トランジスタ素子
２００	画素電極
２００Ａ	ドレイン電極
２００Ｂ	コンタクトホール
３００	走査線
３００Ａ	ゲート電極
３００Ｂ	接続部
４００	信号線
４００Ａ	ソース電極
４００Ｂ	コンタクトホール
４０１	ドレイン電極
４０２	ソース電極
４０３	チャネル領域
５００	透明基板
５１０	絶縁膜
５２０	絶縁膜
５３０	絶縁膜
５４０	絶縁膜
５５０	絶縁膜
６００	透明基板
７００	液晶
８００	カラーフィルタ
９００	対向電極

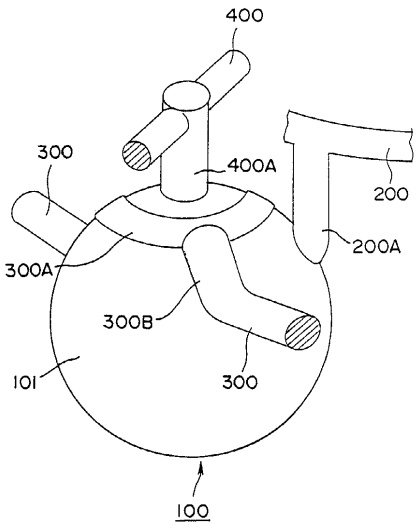
【図１】


800
80R
80G
80B
600
R
G
B
1
900
700
400
810
300
200
100
500

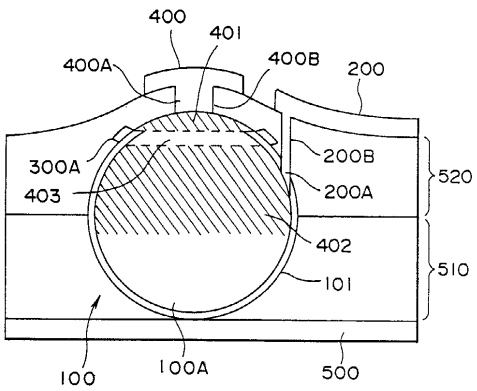
【図２】


200
B
A
400A
B
300
200A
300A
100
A

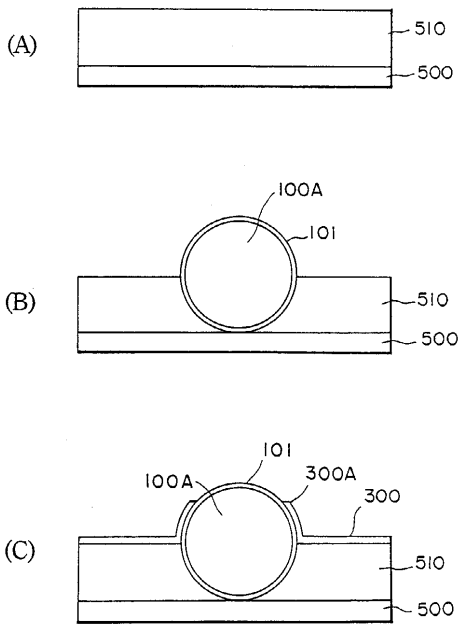
【図３】


400
300
400A
200
200A
300A
300B
101
300
100

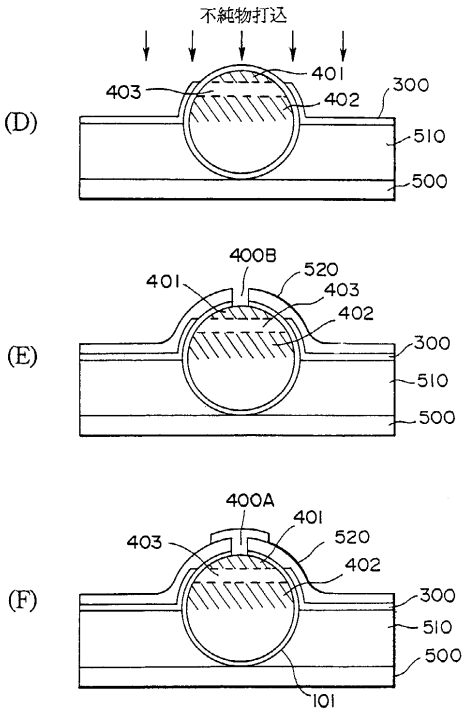
【図４】


400
401
400A
400B
200
300A
200B
403
200A
520
402
101
510
100
100A
500

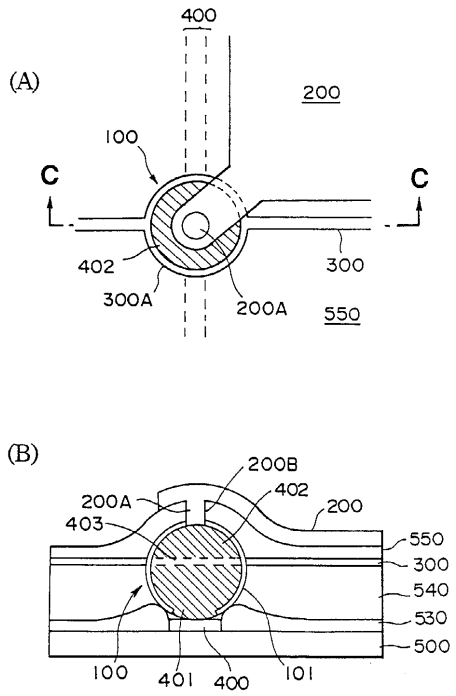
【図５】


(A)
510
500
(B)
100A
101
510
500
(C)
101
100A
300A
300
510
500

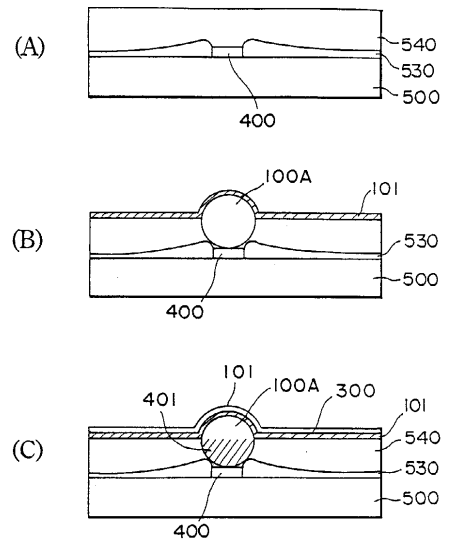
【図６】


不純物打込
(D)
401
403
402
300
510
500
(E)
400B
401
520
403
402
300
510
500
(F)
400A
401
403
520
402
300
510
500
101

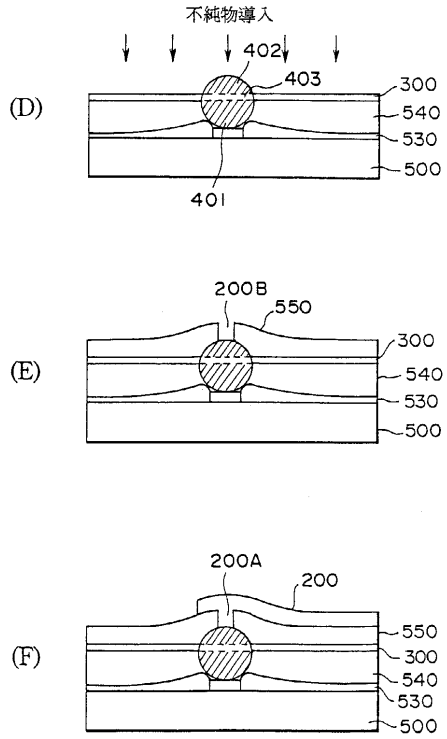
【図７】


(A)
400
200
100
C
C
402
300
300A
200A
550
(B)
200B
200A
402
403
200
550
300
540
530
500
100
401
400
101

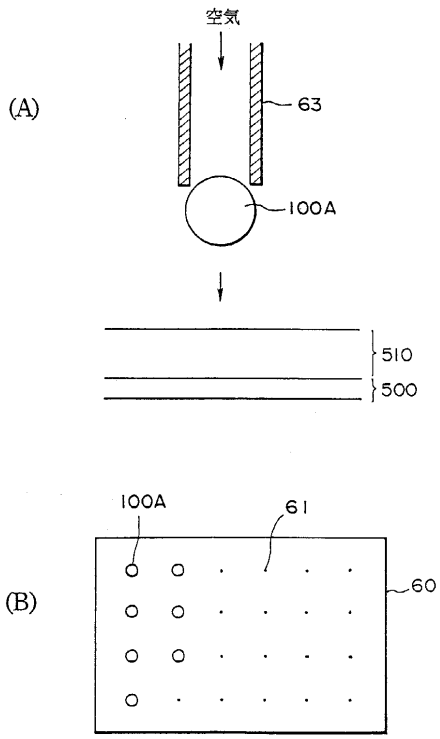
【図８】


(A)
540
530
500
400
(B)
100A
101
530
500
400
(C)
101
401
100A
300
101
540
530
500
400

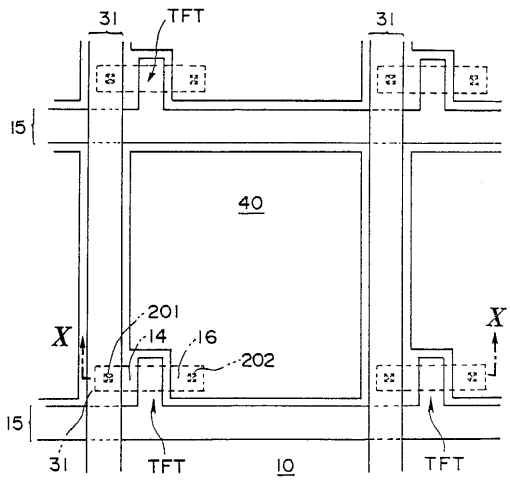
【図９】



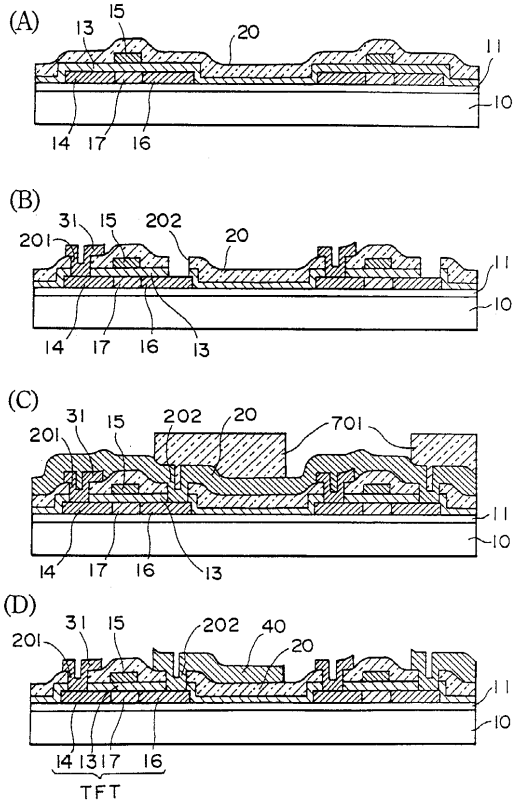
【図１０】



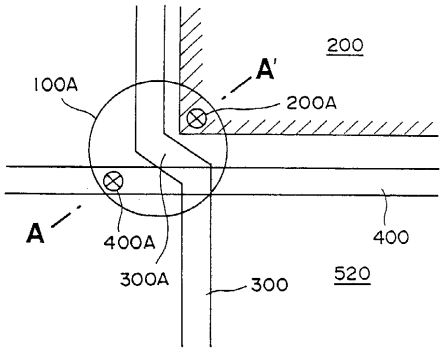
【図１１】



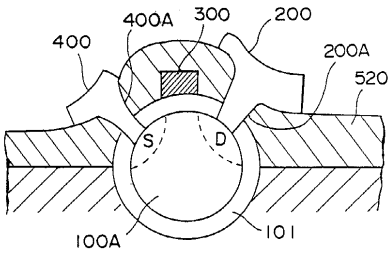
【図１２】



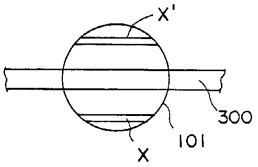
【図１３】



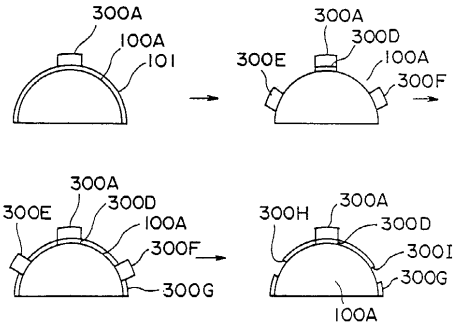
【図１４】



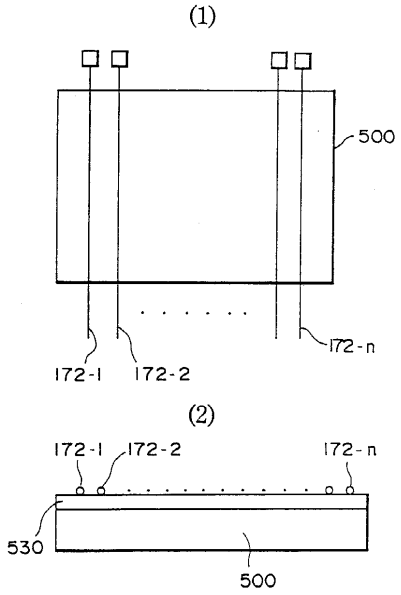
【図１５】



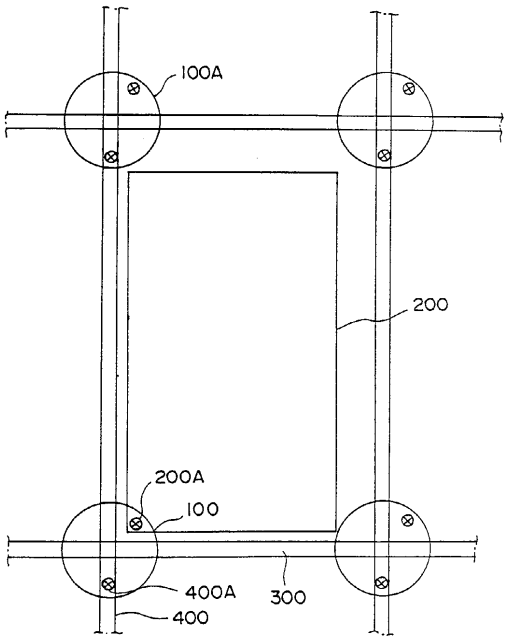
【図１６】



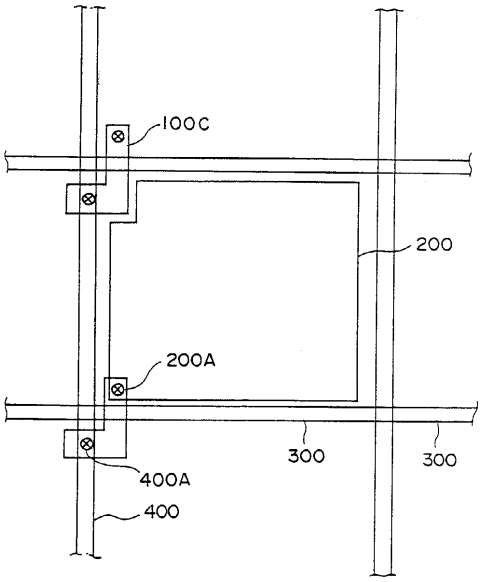
【図１７】



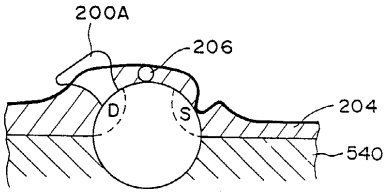
【図１８】



【図１９】



【図２０】



フロントページの続き

(51)Int.Cl. F I
H01L 21/336 (2006.01) H01L 29/78 618Z
H01L 29/786 (2006.01)

(56)参考文献 特開平０８－１３３８９９（ＪＰ，Ａ）
特開平０７－１１８０９９（ＪＰ，Ａ）
特開平０９－１１６１５８（ＪＰ，Ａ）
特表２００１－５０８９３７（ＪＰ，Ａ）
特表２００１－５０１７７９（ＪＰ，Ａ）
国際公開第９７／０３３３０７（WO，Ａ１）
国際公開第９８／０２５０９０（WO，Ａ１）

(58)調査した分野(Int.Cl.，ＤＢ名)
H01L 27/00
G02F 1/1368
G09F 9/30
H01L 21/336
H01L 27/12
H01L 27/146
H01L 29/786