

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-252330
(P2010-252330A)

(43) 公開日 平成22年11月4日(2010.11.4)

(5) Int.Cl.	F I	テーマコード (参考)
H03K 19/0185 (2006.01)	H03K 19/00 I O I D	5 J 0 5 6
H03F 3/34 (2006.01)	H03F 3/34 Z	5 J 5 0 0

審査請求 有 請求項の数 13 O L 外国語出願 (全 12 頁)

(21) 出願番号 特願2010-92457(P2010-92457)
 (22) 出願日 平成22年4月13日(2010.4.13)
 (31) 優先権主張番号 61/168,801
 (32) 優先日 平成21年4月13日(2009.4.13)
 (33) 優先権主張国 米国(US)
 (31) 優先権主張番号 12/717,705
 (32) 優先日 平成22年3月4日(2010.3.4)
 (33) 優先権主張国 米国(US)

(71) 出願人 500262038
 台湾積體電路製造股▲ふん▼有限公司
 Taiwan Semiconductor Manufacturing Company, Ltd.
 台湾新竹科學工業園區新竹市力行六路八號
 8, Li-Hsin Rd. 6, Hsinchu Science Park, Hsinchu, Taiwan 300-77, R. O. C.

(74) 代理人 100123434
 弁理士 田澤 英昭

(74) 代理人 100101133
 弁理士 濱田 初音

最終頁に続く

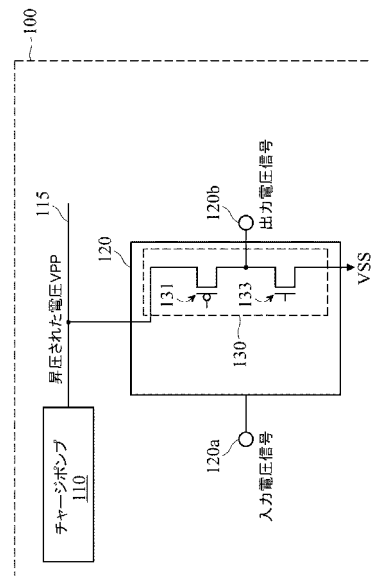
(54) 【発明の名称】 レベルシフタ、集積回路、システム、およびレベルシフタの動作方法

(57) 【要約】

【課題】 レベルシフタ、集積回路、システムおよびレベルシフタの動作方法を提供する。

【解決手段】 第1電圧状態から第2電圧状態への第1状態遷移を含む入力電圧信号を受けるように構成された入力端、第3電圧状態から入力電圧信号の第1状態遷移に対応した第2電圧状態への第2状態遷移を有する出力電圧信号を出力するように構成された出力端、及び入力端と出力端の間に結合され、第1トランジスタと第2トランジスタを含み、第1電圧状態と第2電圧状態の電圧レベルの約平均値に対応した時間からほぼ直ちに、第2電圧状態がトランジスタのゲートに実質的に印加されることがなくなり、第1トランジスタを実質的にオフにするドライバ段を含むレベルシフタ。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

第 1 電圧状態から第 2 電圧状態への第 1 状態遷移を含む入力電圧信号を受けるように構成された入力端、

第 3 電圧状態から前記入力電圧信号の前記第 1 状態遷移に対応した第 2 電圧状態への第 2 状態遷移を有する出力電圧信号を出力するように構成された出力端、及び

前記入力端と前記出力端の間に結合され、第 1 トランジスタと第 2 トランジスタを備えたドライバ段であって、前記第 1 電圧状態と前記第 2 電圧状態の電圧レベルの約平均値に対応した時間からほぼ直ちに、前記第 2 電圧状態が前記トランジスタのゲートに実質的に印加されることがなくなり、前記第 1 トランジスタを実質的にオフにするドライバ段を含むレベルシフト。

10

【請求項 2】

前記第 1 電圧状態と前記第 2 電圧状態の電圧レベルの約平均値に対応した時間からのほぼ直ちに(substantially immediately)は、約 1 ナノセカンド(ns)以下である請求項 1 に記載のレベルシフト。

【請求項 3】

前記第 1 状態遷移に対応する電荷漏洩は、前記第 1 と第 2 トランジスタを通過し、前記電荷漏洩は、前記第 1 電圧状態と前記第 2 電圧状態の電圧レベルの約平均値に対応した時間から約 0.5 ピコクーロン(pC)以下である請求項 2 に記載のレベルシフト。

【請求項 4】

前記第 1 トランジスタのゲートは前記第 2 トランジスタのゲートに結合され、前記第 1 と第 2 トランジスタのゲートは同じ電圧に結合される請求項 1 に記載のレベルシフト。

20

【請求項 5】

前記第 1 電圧状態は、動作電圧VDDとほぼ等しく、第 2 電圧状態約 0Vである請求項 1 に記載のレベルシフト。

【請求項 6】

前記第 1 トランジスタのソース端は、昇圧された電圧を提供できるラインに結合され、前記昇圧された電圧は動作電圧VDDより高い請求項 5 に記載のレベルシフト。

【請求項 7】

前記入力端に結合されたインバータ、

30

前記インバータに結合され、ドレイン端とソース端を有する第 3 トランジスタであって、この第 3 トランジスタのドレイン端は前記ラインに結合されること、

前記出力端に結合され、ドレイン端とソース端を有する第 4 トランジスタであって、この第 4 トランジスタのソース端は前記ラインに結合されること、

前記入力端に結合され、ドレイン端とソース端を有する第 5 トランジスタであって、この第 5 トランジスタのソース端は前記第 3 と第 4 トランジスタに結合されること、及び

前記入力端に結合され、ドレイン端とソース端を有する第 6 トランジスタであって、この第 6 トランジスタのドレイン端は、第 5 トランジスタのドレイン端と、前記第 1 と第 2 トランジスタのゲートに結合されることを更に含む請求項 6 に記載のレベルシフト。

【請求項 8】

40

レベルシフトを動作する方法であって、前記方法は、

第 1 電圧状態から第 2 電圧状態への第 1 状態遷移を含む入力電圧信号を受けるステップ、

前記第 1 電圧状態と前記第 2 電圧状態の電圧レベルの約平均値に対応した時間のほぼ直後に、前記第 2 電圧状態をドライバ段の第 1 トランジスタのゲートに印加することは実質的になくなり前記第 1 トランジスタをオフにするステップであって、前記第 1 トランジスタは、前記第 1 電圧状態より大きい第 3 電圧と結合されること、及び

第 3 電圧状態から前記入力電圧信号の前記第 1 状態遷移に対応した前記第 2 電圧状態への第 2 状態遷移を有する出力電圧信号を出力するステップを含む方法。

【請求項 9】

50

前記第 1 電圧状態と前記第 2 電圧状態の電圧レベルの約平均値に対応した時間からのほぼ直ちには、約 1 ナノセカンド (ns) 以下である請求項 8 に記載の方法。

【請求項 10】

前記第 1 状態遷移に対応する電荷漏洩は、前記ドライバ段を通過し、前記電荷漏洩は、前記第 1 電圧状態と前記第 2 電圧状態の電圧レベルの約平均値に対応した時間から約 0.5 ピコクーロン (pC) 以下である請求項 9 に記載の方法。

【請求項 11】

前記ドライバ段の前記第 1 トランジスタのゲートと第 2 トランジスタのゲートに同じ電圧を印加するステップを更に含む請求項 8 に記載の方法。

【請求項 12】

前記第 1 電圧状態は、動作電圧 VDD とほぼ等しく、第 2 電圧状態は、約 0V である請求項 8 に記載の方法。

【請求項 13】

チャージポンプ、

前記チャージポンプと結合されたライン、及び

前記ラインと接続されたレベルシフタを備えた集積回路において、前記レベルシフタは、

入力電圧信号を受けることが可能である入力端であって、この入力電圧信号は、遷移期間中、第 1 電圧状態から第 2 電圧状態に遷移することが可能であること、

前記入力電圧信号に対応した出力電圧信号を出力することが可能である出力端、及び

前記入力端と出力端の間に結合され、第 1 トランジスタと第 2 トランジスタを含むドライバ段を備え、前記第 1 電圧状態と前記第 2 電圧状態の電圧レベルの約平均値に対応した時間からほぼ直ちに、前記第 2 電圧状態が前記トランジスタのゲートに実質的に印加されることはなくなり、前記第 1 トランジスタを実質的にオフにするドライバ段を含む集積回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体回路分野に関し、特に、レベルシフタ、集積回路、システム、およびレベルシフタの動作方法に関するものである。

【背景技術】

【0002】

フラッシュメモリは、各種の電子アプリケーションに用いられている。フラッシュメモリは、例えばアプリケーションプログラムなどの保存されたデータに対するランダムアクセスを提供することができる。データは、何度もフラッシュメモリへの書き込みとフラッシュメモリセルからの読み出しをすることができる。典型的なフラッシュメモリセルは、スタックドゲートを備えた変更 MOS トランジスタである。スタックドゲートは、制御ゲートとフローティングゲートを含む。制御ゲートは、トランジスタのオンとオフを切り換えるのに用いられ、よってドレインからソースに流れる電流を制御する。フローティングゲートは、制御ゲートとデバイスチャネル (device channel) 間に位置される。電荷は、フローティングゲートを囲む絶縁材料により捕捉されたフローティングゲートに注入するか、フローティングゲートから引き抜くことができる。フラッシュトランジスタセル (flash transistor cell) のしきい値は、フローティングゲートの充電状態に対して変化する。バイナリデータ値は、フローティングゲートの充電状態に基づいて各フラッシュセルに保存される。

【0003】

フローティングゲートの充電または放電のプロセスは、消去またはプログラミングといわれる。フラッシュセルの消去またはプログラミングは、電子がフローティングゲート電極と充電ソース間の、例えば酸化物層によって生じたエネルギー障壁を克服することを必要とする。電子のエネルギーレベルは、障壁の両端に相対的に大きい電圧を強制印加する

10

20

30

40

50

ことで、このエネルギー障壁値以上に上げられる。例えば、フラッシュセルは、フローティングゲートから制御ゲート内に電子を注入することで消去することができる。制御ゲートは、大きな正電圧が印加され、フローティングゲートは、低電圧または負電圧に容量結合される。同様に、デバイスのドレイン、ソース、またはチャンネル領域は、プログラムおよび消去中に、電子を吹き出し (to source) または吸い込み (to sink) するのに用いることができる。

【発明の概要】

【発明が解決しようとする課題】

【0004】

レベルシフタ、集積回路、システム、およびレベルシフタの動作方法を提供する。

10

【課題を解決するための手段】

【0005】

本発明の実施例は、第1電圧状態から第2電圧状態への第1状態遷移を含む入力電圧信号を受けるように構成された入力端、第3電圧状態から入力電圧信号の第1状態遷移に対応した第2電圧状態への第2状態遷移を有する出力電圧信号を出力するように構成された出力端、及び入力端と出力端の間に結合され、第1トランジスタと第2トランジスタを含み、第1電圧状態と第2電圧状態の電圧レベルの約平均値に対応した時間からほぼ直ちに、第2電圧状態がトランジスタのゲートに実質的に印加されることがなくなり、第1トランジスタを実質的にオフにするドライバ段を含むレベルシフタを提供する。

20

【図面の簡単な説明】

【0006】

【図1】模範的な集積回路を示している概略図である。

【図2】入力電圧信号の状態遷移とドライバ段の第1トランジスタのゲートに印加される電圧状態を示しているシミュレーションの結果である。

【図3】模範的なレベルシフタのリーク電流を示しているシミュレーションの結果である。

【図4】模範的なレベルシフタを示す概略図である。

【図5】模範的な集積回路を含むシステムを示す概略図である。

【発明を実施するための形態】

【0007】

本発明についての目的、特徴、長所が一層明確に理解されるよう、以下に実施形態を例示し、図面を参照にしながら、詳細に説明する。

30

[実施例]

【0008】

従来のフラッシュメモリ回路はレベルシフタを有する。従来のレベルシフタは、高電圧スイッチに使える。従来のレベルシフタは、ドライバ段、NMOSトランジスタN1、PMOSトランジスタP1と、インバータから構成される。NMOSトランジスタN1とPMOSトランジスタP1は、直列に結合され、ドライバ段と並列に配置される。インバータは、NMOSトランジスタN1とドライバ段の間に結合される。PMOSトランジスタP1のソース端は、高電圧HVに結合される。NMOSトランジスタN1のソース端は、低電圧VSSに結合される。入力電圧信号が高い場合、高電圧HVは、ドライバ段の出力端に出力される。入力電圧信号が低い場合、低電圧VSSは、ドライバ段の出力端に出力される。

40

【0009】

従来のドライバ段は、NMOSトランジスタN2とPMOSトランジスタP2から構成される。PMOSトランジスタP2とNMOSトランジスタN2は、高電圧HVと低電圧VSSの間に直列に結合される。PMOSトランジスタP2のソース端は、高電圧HVと結合される。PMOSトランジスタのソース端は、低電圧VSSに結合される。NMOSトランジスタN2とPMOSトランジスタP2のドレイン端は、レベルシフタの出力端に使える。レベルシフタの出力端は、PMOSトランジスタP1のゲートと結合される。PMOSトランジスタP1のドレイン端は、PMOSトランジスタP2のゲートと結合される。

50

【 0 0 1 0 】

入力電圧信号が高い場合、NMOSトランジスタN1はオンにされる。インバータは、高電圧状態を低電圧状態に反転し、NMOSトランジスタN2をオフにする。オンにされたNMOSトランジスタN1は、PMOSトランジスタP1のドレインを低電圧VSSに結合する。低電圧VSSは、高電圧HVをレベルシフタの出力端に結合するPMOSトランジスタP2をオンにすることができる。

【 0 0 1 1 】

入力電圧信号が高電圧状態から低電圧状態に遷移した場合、NMOSトランジスタN1は、オフにされる。その後直ちに低電圧状態は、低電圧状態を高電圧状態に反転させるインバータに印加される。高電圧状態は、NMOSトランジスタN2のゲートに印加され、NMOSトランジスタN2をオンにする。高電圧状態がNMOSトランジスタN2のゲートに印加される間は、低電圧状態がまだPMOSトランジスタP2のゲートに印加される。NMOSトランジスタN2とPMOSトランジスタP2は、完全にオンにされていることがわかる。完全にオンにされたNMOSトランジスタN2とPMOSトランジスタP2は、高電圧HVから低電圧VSSに流れる高リーク電流となる。たとえ完全にオンにされた時間が短い可能性はあるとしても、大きいリーク電流により、完全にオンにされたPMOSトランジスタP2とNMOSトランジスタN2に流れる電荷は望まれるものではない。電荷損失は、高電圧HVを引き下げ、フラッシュメモリの各種デバイス、トランジスタ及び/または回路の高電圧動作を妨げるおそれがある。

【 0 0 1 2 】

上述に基づいて、所望の電荷損失を有するレベルシフタ、集積回路、システムと、レベルシフタを動作する方法が求められる。

【 0 0 1 3 】

以下の内容は、本発明の異なる特徴を実施する、異なる実施例または範例を提供していることが分かるだろう。本発明を簡素化するために、組成と配置の特定例が以下に説明される。これらは、単に例であり、これらを限定するものではない。また、本実施例は、各種実施例の参照番号と、または文字を繰り返すことができる。この重複は、簡素化と明確化の目的のためであり、述べられる各種の実施例と、または構成間の関係自体を指定するものではない。また、本発明の素子(feature)に、もう1つの素子が接続、または接合される形成は、素子が直接接触(コンタクト)で形成される実施例を含むことができ、且つ追加の素子が直接接触していない素子に介在して形成される実施例を含むことができる。また、空間的に相対した語彙、例えば、下方(lower)、上方(upper)、水平、垂直、の上(above)、の下(below)、上、下、上部、底部など、またはその派生語(例えば、水平に、下向きに(downwardly)、上向きに(upwardly)など)も実施例の1つの素子ともう1つの素子の関係を述べるのに用いられる。空間的に相対的な用語は、素子を含むデバイスの異なる方向をカバーすることを目的としている。

【 0 0 1 4 】

図1は、模範的な集積回路を示している概略図である。図1では、集積回路100は、チャージポンプ110、ライン115と、レベルシフタ120を含むことができる。チャージポンプ110は、ライン115と結合することができる。ライン115は、レベルシフタ120と結合することができる。集積回路100は、例えば、FLASH、EPROM、E²PROMなどの不揮発性メモリ回路、スタティックランダムアクセスメモリ(SRAM)回路、内蔵したSRAM回路、ダイナミックランダムアクセスメモリ(DRAM)回路、内蔵したDRAM回路、フィールドプログラム可能ゲートアレイ(FPGA)回路、ロジック回路及び/または他の集積回路を含むことができる。

【 0 0 1 5 】

チャージポンプ110は、1つの電圧状態からもう1つの電圧状態に電圧を昇圧(pump)することができる。フラッシュメモリ回路を用いたいくつかの実施例では、チャージポンプ110は、例えば約1.8Vの内部動作電圧VDDを例えば約1.0V~約1.3Vの昇圧された電圧VPPに昇圧することができる。ライン115は、昇圧された電圧VPPを高電圧動作のための集積回路120内の各種のデバイス、トランジスタ、ダイオード及び/または回路に伝送することができる。

10

20

30

40

50

【0016】

図1を参照して、ライン115は、昇圧された電圧VPPを高電圧入力としてレベルシフタ120に結合することができる。レベルシフタ120は、入力端120a、出力端120bと、ドライバ段130を含むことができる。入力端120aは、入力電圧信号を受けることができる。入力電圧信号は、遷移期間中、例えば高電圧状態またはVDDの電圧状態から、例えば低電圧状態または0Vのもう一つの電圧状態に遷移することができる。出力端120bは、出力電圧信号を出力することができる。出力電圧信号は、例えばライン115の昇圧された電圧VPPの高電圧状態から、入力端120aで受けた入力電圧信号に対応したVSSまたは接地の電圧状態に遷移することができる。述べたように、いくつかの実施例では、入力端120aで受けた入力電圧信号が高い場合、レベルシフタ120は、出力端120bに昇圧された電圧VPPを出力することができる。入力端120aで受けた入力電圧信号が低い場合、レベルシフタ120は、出力端120bに低電圧状態VSSを出力することができる。

10

【0017】

ドライバ段130は、入力端120aと出力端120bの間に結合することができる。ドライバ段130は、例えばトランジスタ131の第1トランジスタと例えばトランジスタ133の第2トランジスタを含むことができる。トランジスタ131と133のそれぞれは、ゲート、ソース端と、ドレイン端を有することができる。トランジスタ131のソース端は、昇圧された電圧VPPを提供するライン115と結合することができる。トランジスタ133のソース端は、例えば接地またはVSSの電圧源と結合することができる。トランジスタ131と133のドレイン端は、互いに結合し、且つレベルシフタ120の出力端120bと結合することができる。

20

【0018】

第1電圧状態と第2電圧状態の電圧レベルの約平均値(図2に図示された例えば $1/2$ VDD)に対応した時間 t_1 からほぼ直ちに、第2電圧状態(例えば0V)がトランジスタ131のゲートに実質的に印加されることはなくなり(free from being applied)、トランジスタ131を実質的にオフにする。図2は、入力電圧信号の状態遷移とドライバ段の第1トランジスタのゲートに印加される電圧状態を示しているシミュレーションの結果である。図2では、入力電圧信号は、例えばVDDの高電圧状態から、例えば0Vの低電圧状態に遷移する。時間 t_1 では、入力電圧信号の電圧状態は、約 $1/2$ のVDDに遷移することができる。時間 t_1 からほぼ直ちに(substantially immediately)、トランジスタ131のゲートに印加された電圧状態は、例えば0Vの低電圧状態から、例えばVDDの高電圧状態に向けて上昇を始め、トランジスタ131をオフにする。いくつかの実施例では、“時間 t_1 からほぼ直ちに”なる表現は、時間 t_1 後、約1ナノセカンド(ns)以下という意味である。いくつかの他の実施例では、“時間 t_1 からほぼ直ちに”なる表現は、時間 t_1 後、約0.5ナノセカンド(ns)以下という意味である。

30

【0019】

述べたように、従来のレベルシフタは、PMOSトランジスタP2とNMOSトランジスタN2を含むドライバ段を有する。入力電圧が高い場合、PMOSトランジスタP2は、オンにされる。入力電圧信号がVDDから0Vに遷移した場合、電圧状態VDDがNMOSトランジスタN2のゲートに印加されているが、電圧状態0VがまだPMOSトランジスタP2のゲートに印加される。NMOSトランジスタN2とPMOSトランジスタP2は、よって、完全にオンにされる。たとえPMOSトランジスタP2とNMOSトランジスタN2を完全にオンにする時間が短くても、高電圧HVから低電圧VSSに流れるリーク電流は、例えば、約1.5ミリアンペア(mA)と大きい。0.18 μ mのCMOSトランジスタと2.7Vの昇圧された電圧を用いたいくつかの実施例では、リーク電流は、約1ピコクーロン(pC)の電荷損失となる可能性がある。電荷損失は、実質的に高電圧HVを引き下げ、デバイス、トランジスタ及び/または回路の高電圧動作を妨げる可能性がある。

40

【0020】

従来のレベルシフタとは逆に、レベルシフタ120は、約 $1/2$ のVDDの電圧状態に対

50

応した時間 t_1 からほぼ直ちに、トランジスタ131のゲートに低電圧状態0を実質的に印加することはなくすることができる。時間 t_1 のほぼ直後、トランジスタ131のゲートは、電圧状態0Vの認識(seeing)はなくなり(free from)、トランジスタ133のゲートは、電圧状態VDDの認識がある。時間 t_1 の後、トランジスタ131と133の両方は同時に完全にオンにされることはなくなるので、ライン115から低電圧VSSに流れるリーク電流は、小さいのが望ましい(例えば約0.8mA以下)。2.7Vの昇圧された電圧と0.18 μ mのCMOS技術を用いたいくつかの実施例では、入力電圧信号の高低遷移に対応した電荷損失は、時間 t_1 の後、約0.5pCとすることができる(図3に図示)。注意するのは、約0.5pCの電荷損失は、単に模範例(exemplary)であることである。当業者は、昇圧される電圧及び/またはトランジスタ131と133のサイズを変更して電荷損失を望ましく低減することができる。本発明の範囲はこれを限定するものではない。

10

【0021】

注意するのは、図1~図3に関連した上述の入力と出力電圧信号の遷移状態は、単に模範例であることである。また注意することは、電圧状態VDD、VSS、VPPと、または0Vは、単に模範例であることである。当業者は、入力と出力電圧信号の遷移と、または電圧状態を変更して望ましいレベルシフトの動作を得ることができる。

【0022】

図4は、模範的なレベルシフトを示す概略図である。図4では、レベルシフト120は、入力端120aと結合したインバータ(例えば、インバータ410)を含むことができる。第3トランジスタ(例えばトランジスタ415)は、インバータ410と結合することができる。トランジスタ415は、ドレイン端とソース端を有することができる。トランジスタ415のドレイン端は、昇圧された電圧VPPを有するライン115(図1に図示)と結合することができる。

20

【0023】

レベルシフト120は、出力端120bと結合することができる第4トランジスタ(例えば、トランジスタ420)を含むことができる。トランジスタ420は、ドレイン端とソース端を有することができる。トランジスタ420のソース端は、昇圧された電圧VPPを有するライン115(図1に図示)と結合することができる。

【0024】

レベルシフト120は、第5トランジスタ(例えば、トランジスタ425)を含むことができる。トランジスタ425は、入力端120aと結合することができる。トランジスタ425は、ドレイン端とソース端を有することができる。トランジスタ425のソース端は、トランジスタ415と420に結合することができる。

30

【0025】

レベルシフト120は、出力端120aと結合することができる第6トランジスタ(例えば、トランジスタ430)を含むことができる。トランジスタ430は、ドレイン端とソース端を有することができる。トランジスタ430のドレイン端は、トランジスタ425のドレイン端とドライバ段130のトランジスタ131と133のゲートと結合することができる。

【0026】

下記は、レベルシフト120の模範的な動作に関する説明である。入力端120aの入力電圧信号が例えば電圧状態VDDと高い場合、電圧状態VDDはトランジスタ425をオフにし、トランジスタ430をオンにすることができる。オンにされたトランジスタ430は、節点aを例えばVSSまたは接地の低電圧状態に結合することができる。図4に示されるように、節点aは、トランジスタ131と133のゲートと結合することができる。トランジスタ131と133のゲートは、互いに結合する。電圧状態VSSは、トランジスタ131と133のゲートに結合することができる。トランジスタ133をオフにし、トランジスタ131をオンにすることができる。オンにされたトランジスタ131は、昇圧された電圧VPPをレベルシフト120の出力端120bに結合することができる。例えば約10V~13Vの昇圧された電圧VPPは、出力端120bに出力することができる。

40

50

【0027】

入力電圧信号が電圧状態VDDから例えば0Vの低電圧状態に遷移した場合、電圧状態0Vは、トランジスタ430をオフにし、トランジスタ425をオンにすることができる。述べたように、インバータ410は、電圧状態0Vを電圧状態VDDに反転することができる。電圧状態VDDは、トランジスタ415をオンにすることができる。オンにされたトランジスタ415と425は、昇圧された電圧VPPを節点aとトランジスタ131と133のゲートに望ましく結合することができる。昇圧された電圧VPPは、トランジスタ131をオフにし、トランジスタ133をオンにすることができる。オンにされたトランジスタ133は、出力端子120bとトランジスタ420のゲートをVSSに結合することができる。電圧状態VSSは、トランジスタ420をオンにすることができる。オンにされたトランジスタ420は、昇圧された電圧に向けて節点aにて電圧を引き上げるため役立つことができる。

10

【0028】

図2と図4を参照して、入力電圧信号が電圧VDDから1/2VDDまたはそれ以下に遷移した時、トランジスタ425は、オンになり始めることができる。インバータ410から出力された電圧状態もトランジスタ415をオンにし始めることができる。時間 t_1 のほぼ直後、節点aの電圧状態は、昇圧された電圧VPPに向けた引き上げを始めることができる。節点aにて引き上げられた電圧状態は、トランジスタ133をオンにし、トランジスタ131をオフにし始めることができる。同一の引き上げられた電圧状態がトランジスタ131と133のゲートに印加されるため、トランジスタ131のゲートは、電圧状態VDDの認識がなくなり、トランジスタ133のゲートは、電圧状態0Vを認識する。トランジスタ131と133は、同時に完全にオンにされることはない。よって、昇圧された電圧VPPから電圧VSSに流れるリーク電流は、減少される。リーク電流から生じる電荷損失は、ライン115の昇圧された電圧状態を実質的に引き下げないことになるレベルまで低下することができる。

20

【0029】

注意するのは、図4に関連した上述のトランジスタ415～430とインバータ410のタイプと数は、単に模範例であることである。例えば、追加のインバータが加えられて電圧信号の状態を変えることができる。追加のトランジスタが加えられてドライバ段130に流れるリーク電流を望ましく制御することができる。当業者はトランジスタ415～430とインバータ410のタイプと数を変更して所望のレベルシフトを得ることができる。

30

【0030】

図5は、模範的なメモリ回路を含むシステムを示す概略図である。図5では、システム500は、集積回路100と結合されたプロセッサ510を含むことができる。いくつかの実施例では、プロセッサ510は、処理装置、中央処理装置、デジタルシグナルプロセッサ、またはメモリ回路のデータにアクセスするのに適する他のプロセッサであることができる。

【0031】

いくつかの実施例では、プロセッサ510と集積回路100は、プリント配線板またはプリント回路板(PCB)と物理的に電氣的に結合され、電子アセンブリを形成しうるシステム内に形成することができる。電子アセンブリは、コンピュータ、無線通信デバイス、コンピュータ関連の周辺機器、娯楽機器などの電子システムの一部とすることができる。

40

【0032】

いくつかの実施例では、集積回路100を含むシステム500は、1つのICに全てのシステムを提供する、いわゆるシステムオンチップ(SOC)またはSOIC(system on integrated circuit)デバイスを提供することができる。SOCデバイスは、例えば携帯電話、PDA、デジタルVCR、デジタルビデオカメラ、デジタルカメラ、MP3プレーヤーなどを単一集積回路において実施するため必要な回路の全てを提供することができる。

【0033】

50

以上、本発明の好適な実施例を例示したが、これは本発明を限定するものではなく、本発明の精神及び範囲を逸脱しない限りにおいては、当業者であれば行い得る少々の変更や修飾を付加することが可能である。従って、本発明が請求する保護範囲は、特許請求の範囲を基準とする。

【符号の説明】

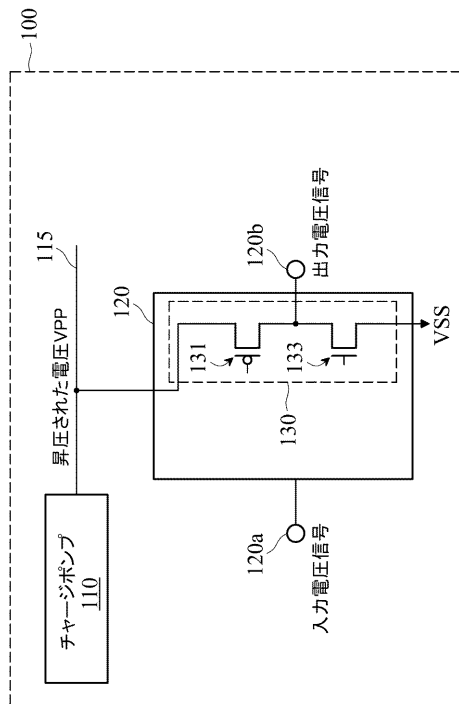
【0034】

- 100 集積回路
- 110 チャージポンプ
- 115 ライン
- 120 レベルシフト
- 120a 入力端
- 120b 出力端
- 130 ドライバ段
- 131 トランジスタ
- 133 トランジスタ
- 410 インバータ
- 415、420、425、430 トランジスタ
- 500 システム
- 510 プロセッサ
- a 節点

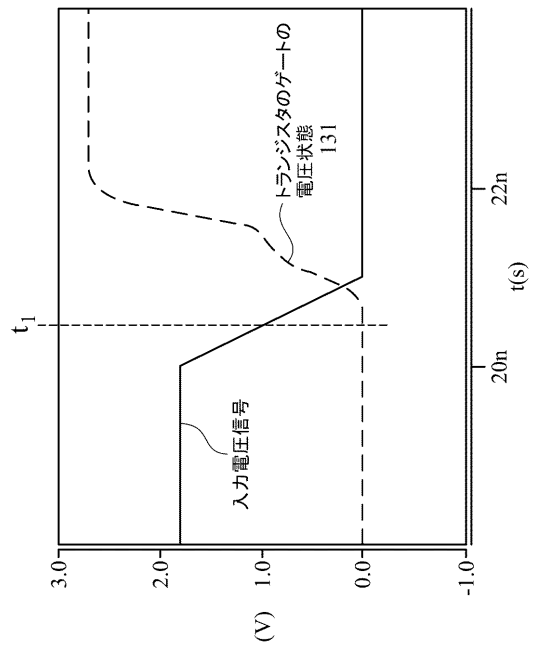
10

20

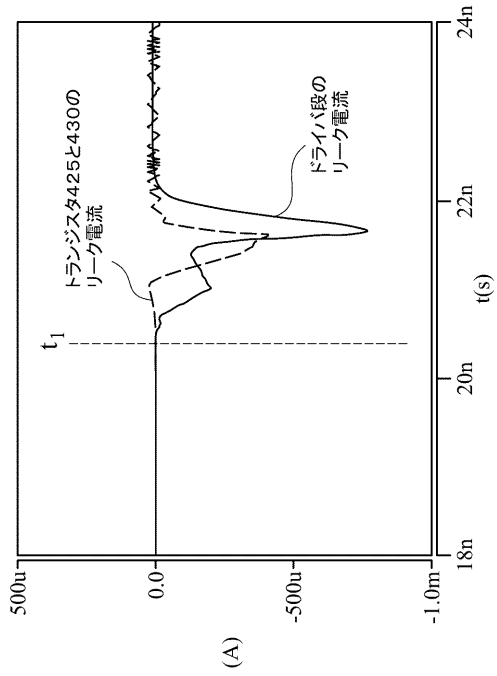
【図1】



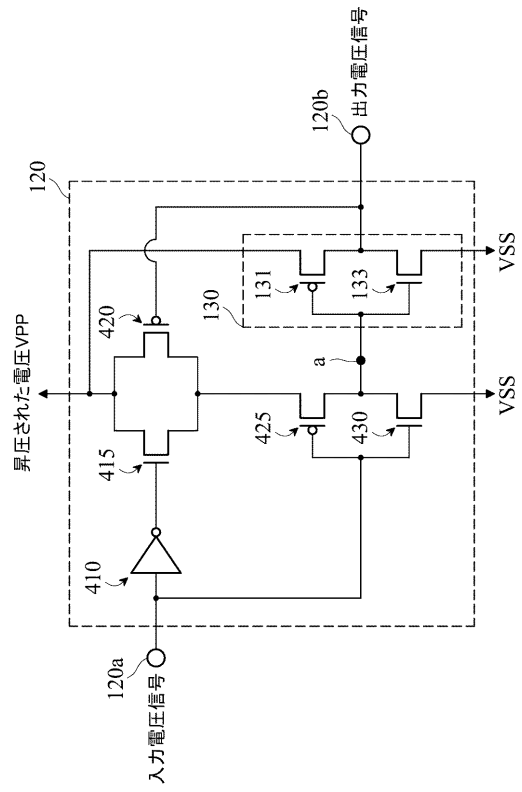
【図2】



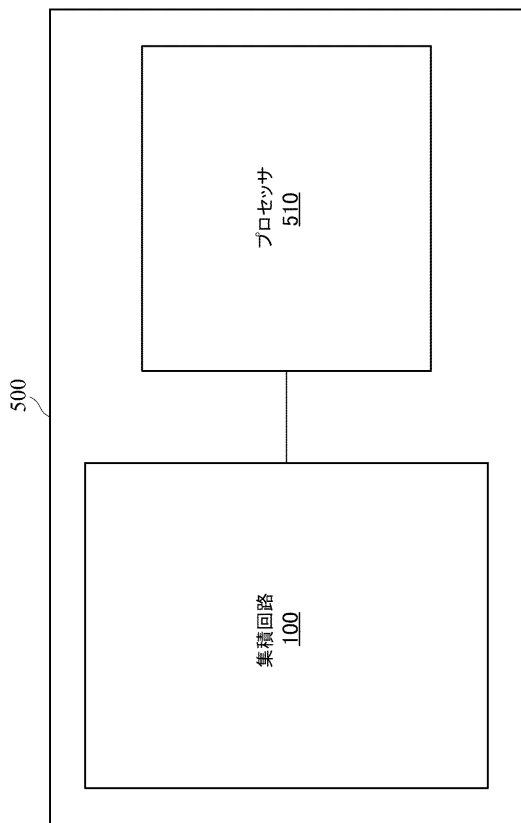
【 図 3 】



【 図 4 】



【 図 5 】



フロントページの続き

- (72)発明者 ティエン - チュン・ヤン
台湾、タイペイ、ホーピング・イースト・ロード、セクション2、レーン・118、ナンバー
63 - 1、2エフ
- (72)発明者 ユ - ウェン・スウェイ
アメリカ合衆国、94539・カリフォルニア州、フレモント、インペリオ・ブレイス、4034
3
- (72)発明者 チ - チャン・リン
アメリカ合衆国、95129・カリフォルニア州、サンノゼ・アーデンウッド・ドライブ、154
8
- (72)発明者 チアン・プー
アメリカ合衆国、95129・カリフォルニア州、サンノゼ、ウエスト・リバーサイド・ウェイ、
1050

F ターム(参考) 5J056 AA37 BB49 CC00 CC21 CC29 CC30 DD13 DD29 EE06 EE07
EE08 FF08 GG09 KK01 KK03
5J500 AA01 AC33 AF17 AH10 AH17 AK04 AK18 AS10 AT06 NM02
NN04

【外国語明細書】

2010252330000001.pdf