

(19) 대한민국특허청(KR)
(12) 특허공보(B1)

(51) Int. Cl.⁵
H01L 20/115

(45) 공고일자 1990년06월02일
(11) 공고번호 특1990-0003875

| | | | |
|------------|--|-----------|---------------|
| (21) 출원번호 | 특1987-0000077 | (65) 공개번호 | 특1987-0007571 |
| (22) 출원일자 | 1987년01월08일 | (43) 공개일자 | 1987년08월20일 |
| (30) 우선권주장 | 61-005310 1986년01월14일 일본(JP) | | |
| (71) 출원인 | 후지쓰가부시끼가이샤 야마모도 다꾸마 일본국 가나가와켄 가와사끼시 나가하라구 가미고다나까 1015반찌 | | |
| (72) 발명자 | 스가따니 신지 일본국 가나가와켄 가와사끼시 나가하라구 가미고다나까 1015반찌 후지쓰가부시끼가이샤내 | | |
| (74) 대리인 | 문기상, 조기호 | | |

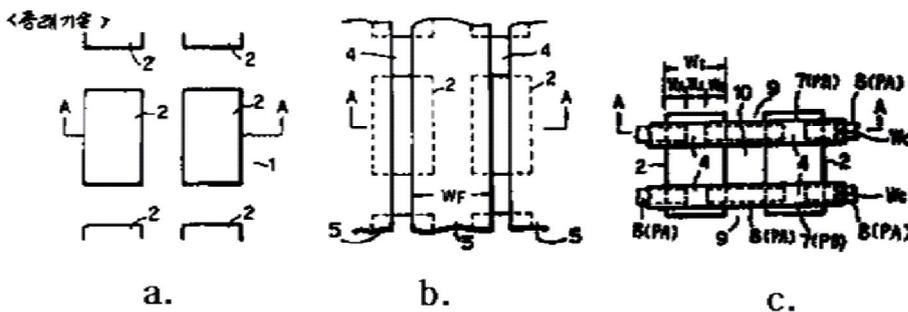
심사관 : 유환열 (책자공보 제1893호)

(54) 소거가능 프로그래머블 판독전용 메모리장치 및 그의 제조방법

요약

내용 없음.

대표도



명세서

[발명의 명칭]

소거가능 프로그래머블 판독전용 메모리장치 및 그의 제조방법

[도면의 간단한 설명]

제 1 도는 종래의 방법에 의한 제조단계들을 나타내는 통상의 EPROM장치의 기본 메모리셀의 평면도.

제 2 도는 각 제조단계들에 대응하는 제 1 도의 선 AA를 취해 화살표 방향에서 본 단면도.

제 3 도는 부유 게이트 FET를 제조하기 위해 자기 정렬 방법에 적용되는 종래 방법의 개략도.

제 4 도는 본 발명의 EPROM 장치를 제조하기 위한 방법의 단계들을 개략적으로 나타내는 단면도.

제 5 도는 제 4 도의 EPROM 메모리 셀의 개략적인 구조도로서,

제 5(a) 도는 본 발명의 EPROM장치의 평면도.

제 5(b) 도는 제 5(a) 도의 선 BB를 취해 화살표 방향에서 본 장치의 횡단면도.

[발명의 상세한 설명]

본 발명은 고도로 집적된 소거가능 프로그래머블 판독전용 메모리(EPROM)장치와 그의 제조방법에 관한 것으로 특히, 자기 정렬 기술을 이용하여 장치의 기억 밀도(packing density)를 증가시킨 EPROM에 관한 것이다.

IC상에 소자장치의 기억밀도를 증가시키기 위해서는 회로패턴내의 여백공간을 줄이는 것이 중요하다. 자기 정렬기술이 IC들을 제조하기 위한 사진식판술 마스크 정렬 방법을 위해 여백공간을 줄이기 위한 효과

적인 방법들중 하나이다.

부유게이트를 갖는 MOS-FET(금속산화 반도체형 전계 효과 트랜지스터)로 구성되는 통상의 EPROM장치들에서, 자기정렬은 FET들의 게이트의 길이를 결정하도록 게이트 양측상의 여백공간을 줄이기 위해 응용된다.

그러나 부유 게이트의 폭을 결정하도록 마스크 정렬을 위한 여백을 둘 필요가 있다. 그러한 상황은 제 1 및 제 2 도를 참조하여 간단히 설명하겠다.

제 1 도는 EPROM장치의 기본 메모리 셀의 평면도로서 그의 제조공정 단계들을 나타내는 도면이며, 제 2 도는 선 AA를 따라 취한 단면도로서 각 제조단계들에 대응하는 제 1 도에서 화살표 방향에서 본 도면이다. 제 1(a)와 2(a) 도에 보인 바와같이, 예를들어 P-형 실리콘기판 1상에는 통상의 선택 산화에 의해 이산화실리콘(SiO_2) 피막 2가 제조된다. 이 SiO_2 피막은 장치들을 상호간에 분리시키기 위해 기판 1상에서 매트릭스상으로 배열되는 섬영역이 패턴된다. 그러한 SiO_2 층들은 전계산화층으로 호칭된다.

그다음, 제 1(b) 와 2(b)도에 보인 바와같이, 기판의 전 표면은 열산화에 의해 형성된 SiO_2 의 제 1 게이트산화피막 3으로 피복된다. 그다음, 그 표면은 제 1 도전성 다실리콘층(PA) 5에 의해 피복된다. 제 1의 다실리콘층 5는 식각에 의해 형성되는 홈들 4에 의해 서로 분리되는 띠들을 형성하도록 패턴된다. 각각의 홈 4는 전계산화층 2는 그의 중심부분에서 위치된다. 따라서 전계산화층 2의 컬럼의 중심상에 노출된다. 폭 W_F 를 갖는 각 띠들은 제 1(b) 도에 보인 바와같이 전계산화층들 2의 인접 컬럼들간에 브리지되어 있다. 띠의 폭 W_F 는 나중에 FET를 부유게이트의 폭이 된다. 제 1 도에서 선 AA의 방향 또는 제 2 도에서 폭 W_F 의 방향은 앞으로 게이트폭의 방향으로 호칭될 것이며, 또한 그에 직교하는 방향 즉, 제 1 도에서 화살표 방향은 이후 게이트 길이 방향으로 호칭될 것이다.

그다음, 제 1(c) 및 2(c) 도에서 보인 바와같이, 기판의 전체 표면은 열산화에 의해 제 2 게이트 산화피막 6으로 피복된다. 그다음, 그 표면은 제 2 도전성 다실리콘층(PB) 7로 피복된다. 그다음, 제 2 게이트산화층 6과 제 1다실리콘층 5의 띠들은 홈들 4에 직교하는 제 2 띠들을 남기고 선택적으로 식각 제거된다. 제 2 띠들은 추후 FET의 게이트 길이가 되는 예정된 폭 W_G 를 갖는다 이 식각공정에 의해 제 2 띠들 7에 의해 피복되는 제 1 띠들 5의 부분들은 FET들의 게이트들 8이 된다. 그리고 제 2 띠들 7은 제어 게이트가 된다. 그들은 도면에서 수평방향으로 연장되어 워드라인들이 된다. 그러한 방식으로, 부유게이트들 8은 제 2 게이트 산화피막 6에 의해 그로부터 분리된 제어게이트 7 밑에 형성된다. 부유게이트들 8의 폭과 길이는 각각 W_F 와 W_G 이다.

그다음, 제 2 띠들로부터 노출된 P-형 실리콘기판 1의 표면은 n^+ -형 소오스 9와 드레인 10을 형성하도록 예를들어 이온주입에 의해 n -형 불순물들로 도우프된다.

제 1(c) 도에서 부유게이트 8은 그것을 명확히 하기위해 제어게이트 7보다 약간 더 좁은 파선으로 보였지만, 상술한 설명으로부터 이해될 수 있는 바와같이 제어게이트 7과 부유게이트 8은 서로 자기정렬되어 실제로 동일 폭을 갖는다. 왜냐하면, 부유게이트 8은 마스크로서 제어게이트 7을 이용하는 자기정렬 기술을 사용하여 식각되기 때문이다. 그러므로, 게이트 길이 방향으로 제어게이트와 부유게이트간에 마스크 정렬을 위한 여백공간을 마련할 필요가 없다.

그래서 그들의 게이트 길이의 방향으로 FET들의 기억 밀도는 사진석판술의 해상도에 의해 결정되는 한계까지 증가된다. 그러나 그와 대조적으로 그에 직교하는 방향(게이트폭 방향)으로 여백공간이 필요하다.

전술한 바와같이, 제 1 및 2 도에서 홈들 4는 전계산화층 2의 각 컬럼에 정렬되어야 한다. 홈들 4가 사진석판술 식각방법으로 형성되기 때문에 제 1(c)와 2(c) 도에 보인 바와같이 폭 W_S 를 갖는 홈들 4의 양측상에 여백공간 W_A 를 제공할 필요가 있다. 현상태의 사진석판술에서는 약 0.3-0.5 μm 의 여백공간들 W_A 가 예를들어 0.6-1 μm 의 폭 W_S 를 갖는 홈의 양측에 필요하다. 그러므로, 게이트폭의 방향으로 FET들의 기억 밀도는 사진석판술의 해상도에 의해 결정되는 한계까지 증가될 수 없다.

게이트 폭의 방향으로 기억밀도를 감소시키는 또다른 사실은 제 2(b) 도내의 부유게이트 폭 W_F 의 양측면의 사용되지 않는 공간들이다. 이 사용되지 않는 공간들은 제 2 도에서 11로 명시된다. 그들은 기술상 "버즈비크(bird's beak)로서 호칭된다. 그들은 전계산화층들 2의 양측상에 필연적으로 형성된다. 버즈비크는 때때로 전계산화층 2의 양측상에서 1 μm 연장되어 있어 FET의 도전성이나 부유게이트의 용량성에도 기여하지 못한다. 따라서 대규모 집적 EPROM 들에서 증가되는 여백공간들과 버즈비크들을 줄여주는 것이 좋다.

최근에, 자기정렬 기술에 의해 마스크 정렬을 위한 여백공간을 줄이기 위한 시도가 1984, 10월 IEEE Trans. 간행물 볼륨 ED-31, No.10의 H.Nozawa 등에 의해 "SEEPROM CELL의 특성과 신뢰성"에서 제안된 바 있다. 제조공정을 나타내는 개략도가 제 3 도에 나타나 있다.

그들은 기판 21, 제 1 게이트 산화층 23, 제 1 도전성 다실리콘층 25 그리고 질화실리콘피막 31상에 연속으로 적층된다.

그다음 제 3(a) 도에 보인 바와같은 질화실리콘 피막 31을 패턴한다. 그다음, 제 3(b) 도에 보인 바와같이 제 1의 다실리콘층 25는 마스크로서 질화실리콘 피막 31을 사용하는 전계산화층들 22를 형성하도록 산화된다. 질화실리콘 피막 31을 제거한 후 제 2 게이트 산화물층 26이 형성된다. 그다음, 제 2 도전성 다실리콘층 27은 제 3(c) 도에 보인 바와같이 형성된다. 그다음, 기판은 제 1(c)와 2(c)도와 동일한 식으로 식각된 다음 n^+ -형 소오스 29와 드레인 30을 형성하도록 n -형 불순물로 주입된다. 소오스로부터 드레인 라인으로 라인을 따라 절단한 장치의 횡단면도는 제 3(d) 도에 보인 바와같이 된다.

상술한 방식과 같이 제어 게이트 27과 부유게이트 25는 서로 자기정렬된다. 그러나, 버즈 비크는 여전히 남아있다. 그리고 제 3(c) 도는 형상으로부터 추정될 수 있는 바와같이 부유게이트와 제어게이트간의 용량은 부유게이트와 채널 영역간의 것보다 작게 된다. 이는 제어게이트의 감도와 FET의 프로그래밍 효율을 감소시킨다. 더우기, 장치 표면의 평탄성은 그렇게 완만하지 못하다. 이는 IC칩상의 장치들을 상호연결하기 위한 배선상의 문제점을 야기한다.

그러므로 본 발명의 일반 목적은 소자장치들의 초고 기억밀도를 갖는 EPROM 장치를 제공하고 또한 그를 제조하는 방법을 제공하는데 있다.

본 발명의 목적은 IC칩상의 여백공간을 줄이는 것이 가능한 EPROM 장치의 구성과 제조방법을 제공하는데 있다. 본 발명의 또다른 목적은 칩표면상의 소자장치들을 위한 상호연결 배선의 고신뢰성을 얻도록 칩표면이 완만한 EPROM 장치의 제조방법을 제공하는데 있다.

본 발명은 메모리 FET의 부유 게이트를 제조하기 위한 자기정렬 기술을 적용한다. 자기정렬 기술은 마스크 정렬을 위한 여백공간을 줄이도록 게이트 폭과 게이트 길이의 양방향으로 적용된다.

모든 부유게이트는 식각에 의해 형성되는 분리홀들에 의해 그의 주변을 격리시킨다. 따라서 버즈 비크가 나타나지 않는다 이 홀들은 이산화실리콘으로 충전된다. 그러므로 칩의 표면은 완만하다.

본 발명에 의해 EPROM 장치를 제조하기 위한 방법은 다음 주요단계들을 포함한다.

(a) 기판상에 제 1 게이트 절연피막과 제 1 도전층을 연속으로 형성하는 단계와, (b) 기판상에 제조될 메모리 셀 FET들의 게이트 길이방향으로 연장되어 서로 평행하게 배열되는 분리홀들을 형성하는 단계와, 여기서 이 분리홀들간의 공간은 메모리 셀 FET들의 게이트 폭과 동일하며 또한 홀의 깊이는 제 1 도전층과 제 1 게이트 절연피막을 통해 기판속으로 뚫고 들어갈 정도로 깊다.

(c)단계(b)에 의해 형성된 분리 홀들을 메립하도록 기판위에 두꺼운 절연층을 형성하는 단계와, (d) 제 1 도전층의 표면을 노출시키도록 단계(c)에 의해 형성되는 두꺼운 절연층을 식각 제거하는 단계와, (e)단계(d)에 의해 노출된 제 1 도전층의 표면위에 제 2 게이트 절연피막을 형성한 다음, 기판의 전체표면위에 제 2 도전층을 형성하는 단계와, (f) 제 1분리홀들에 직교하는 방향으로 배열되는 병렬 띠들을 남기고 제 2 게이트 절연피막을 식각 제거하고, 여기서, 상기 띠들간의 공간들은 기판상에 제조될 메모리 셀 FET들간의 공간들과 동일하며 또한 띠들의 폭은 메모리 셀 FET들의 게이트 길이와 동일하다. 그다음, 기판을 노출시키도록 제 2 게이트 절연피막, 제 1 도전층 그리고 제 1 게이트 절연피막을 식각제거하는 단계와, (g) 셀 FET들의 소오스와 드레인을 형성하도록 노출된 기판속으로 불순물들을 주입시키는 단계.

단계들(b)와 (f)에서 식각 공정들은 자기정렬된 식각 공정이다. 그러므로, 사진석판술을 위한 여백공간이 불필요하다. 그리고 셀 FET들이 분리홀들내에 매립된 절연층들에 의해 분리되므로 버즈 비크가 나타나지 않는다 따라서, 메모리 셀 FET들의 기억밀도는 사진석판술 해상도의 한계까지 증가된다. 본 발명의 또다른 특징과 장점들을 첨부도면들을 참조하여 설명하면 다음과 같다. 도면전체에 걸쳐 동일참조번호는 동일 또는 대응 부품들을 나타낸다.

본 발명의 EPROM 메모리 셀의 형태와 그의 제조 방법을 제 4 및 5 도를 참조하여 설명한다. 제 4 도는 제조단계들을 개략적으로 나타내는 장치의 횡단면도이고, 제 5 도는 메모리 셀의 패턴의 부분평면도와 그의 횡단면도이다. 다음 발표내용에 응용된 방법과 기술은 기술상 모두 공지된 것이므로 특별한 것을 제외하고는 상세한 설명을 생략한다. 그러나 여기에 기술된 실시에는 기술상 최신의 샘플이다.

우선 제 4(a) 도에 나타난 바와같이, 예를들어 10-20옴의 저항율을 갖는 P-형 실리콘 기판상에는 통상의 열산화법에 의해 50-500Å의 두께를 갖는 이산화실리콘의 제 1 게이트산화피막 3이 형성된다. 그다음 계속해서, 기판의 전 표면은 3000-4000Å의 두께를 갖는 다실리콘의 제 1 도전층에 의해 피복된다. 이 제 1 다결정층(PA)은 화학증기 증착(CVD)법에 의해 형성되며, 그것은 한 도전율을 갖도록 예를들어 인 또는 비소로 도우프된다. 이 도우프는 다실리콘 PA를 성장하는 동안이나 또는 그후에 예를들어 종래의 가스확산 또는 이온주입에 의해 행해진다.

그 다음 제 4(b) 도에 보인 바와같이, 제 1 다실리콘층 PA는 다수의 병렬 장치 분리홀들 11로써 홀이 파인다.

각 홀들은 예를들어 1 μ m의 폭 dF와 0.6 μ m의 깊이를 갖는다. 그러므로, 홀들 11은 제 1 다실리콘층 PA와 제 1 게이트 산화피막 3을 통해 뚫려서 2000-4000Å의 깊이까지 침투하여 기판 1에 도달한다 이 홀들 11은 사진석판 마스크와 종래의 반응이온 식각(RIE)에 의해 형성된다. 홀들 11은 후에 메모리 셀 FET들의 게이트 폭이 되는 거리 W_g 가 일실시예의 도면에서 오히려 길게 보이고 있지만 게이트폭 W_g 는 1 μ m이다.

그에 연속하여 제 4(c) 도에 보인 바와 같이, 0.5-1 μ m 두께의 이산화실리콘층 12는 기판의 전체표면상에 형성된다. 따라서, 홀들 11은 SiO₂에 의해 완전히 매립된다.

SiO₂층 12를 형성하기 전에 수백 Å 두께의 열산화된 SiO₂박막 12'에 의해 기판의 전 표면을 피복하는 것이 바람직하다. 이 SiO₂피막 12'는 CVD성장된 SiO₂후막층 12내에 내포될지도 모르는 오염물들로부터 추후 메모리 셀 FET의 부유게이트가 되는 다실리콘층 PA의 연부를 보호하여 누설전류를 방지한다. 그러나 SiO₂박막 12'와 SiO₂후막층 12는 모두 이산화실리콘이고, 또한 그들은 서로 동일할 수 없기 때문에 다음 도면들에서 이 SiO₂박막 12'는 제거된다.

그 다음 제 4(d) 도에 보인 바와같이, 기판의 표면은 다실리콘의 다실리콘층 PA의 표면이 노출될 때까지 광택을 낸다. 광택은 기계적 광택에 의해 행할 수도 있으나 식각제 가스로서 후로후루오로포움(CHF₃)을 사용하는 반응이온 식각(RIE)은 판판한 식각 표면을 제공하도록 SiO₂층 12를 식각 제거하는 것이 좋다.

제 1 다실리콘층 PA를 노출시키도록 표면을 지켜보면서 기판의 광택 또는 식각을 정지시키는 것은 쉽다. 만일 상술한 바와같이 RIE가 응용될 경우, SiO_2 는 다실리콘보다 더 신속하게 식각된다. 따라서, 구체적으로 말해 매립된 SiO_2 12의 표면은 제 4(d) 도에서 볼 수 있는 바와같이 제 1의 다실리콘층 PA의 표면보다 약간 위로 식각된다.

그러나, 제 1의 다실리콘 PA의 표면과 홈 11내의 SiO_2 12간의 레벨차는 무시될 정도로 작으므로 납작한 표면이 얻어진다.

후에 홈 11내의 SiO_2 12는 기판내에 매립된 장치 분리영역 13이 되며 또한 매립된 SiO_2 12의 폭 dF는 메모리 셀 FET들간의 장치분리폭 W_{1F} 가 된다. 제 4(b) 도의 단계에서 단 한번 사용된 사진석판 마스크와 장치분리 영역들 13은 자기정렬에 의해 형성된다. 그러므로 장치분리폭 W_{1F} 는 홈 11의 폭 dF와 동일하다.

게이트폭 W_F 의 양측상의 마스크 정렬을 위한 여백공간이 없다. 그리고 분리영역들 13은 식각에 의해 형성되기 때문에 버즈 비크는 나타나지 않는다.

그다음 제 4(e) 도에 보인 바와같이 제 1 다실리콘층 PA의 표면은 300-500Å 두께의 제 2 게이트 산화피막6으로 피복된다. 그것은 열산화에 의해 제조된다.

그다음 기판의 전체 표면위에는 4000-4500Å 두께의 제 2의 다실리콘층 PB가 형성된다. 제 2 다실리콘층 PB는 CVD에 의해 증착되어 예를들어 가스확산 또는 이온 주입에 의해 성장하는 동안 또는 그후 인 또는 비크로서 도우프된다.

계속적으로, 제 2 다실리콘층 PB는 장치분리 홈들 11에 대해 직교방향으로 방위된 병렬 띠들을 형성하도록 사진석판술로 패턴된다. 띠의 폭은 나중에 메모리셀 FET의 게이트 길이가 되며 또한 띠들간의 공간은 게이트 길이방향으로 메모리 셀들간의 공간이 된다. 일실시예에서, 띠의 폭은 1 μm 이며, 띠들간의 공간은 예를들어 1.2-1.5 μm 이다. 각각의 띠들은 제 5 도에 보인 바와같이 위드라인 WL을 형성하도록 도면의 양측상에 연장되는 제어 게이트 전극 7이 된다. 마스크로서 이 제어 게이트 전극 7을 이용하면, 제 2 게이트산화피막 6, 제 1 다실리콘층 PA와 제 1 게이트산화 피막 3은 P-형 실리콘 기판의 표면을 노출시키도록 연속적으로 식각제거된다.

이 식각방법에 의해 메모리셀 FET들의 부유게이트들 8은 게이트전극 7밑에 형성된다. 부유 게이트들 8은 제 1 및 제 2 게이트 산화피막들 3과 6에 의해 각각 기판 1과 게이트전극 7로부터 절연된다. 부유게이트들 8과 제어 게이트들 7은 자기정렬되므로 게이트 길이방향으로 사진석판을 위한 여백공간이 없음을 알 수 있다. 그래서 장치분리 영역 13은 식각에 의해 형성되기 때문에 버즈 비크가 생기지 않는다. 따라서, 게이트기장과 게이트폭의 양방향으로 여백공간과 버즈 비크가 없어진다.

이 단계에서, 제 5(b) 도에 보인 바와같이 오염들로부터 그들을 보호하도록 부유게이트들 8과 제어 게이트들 7의 양측상에 수백 Å 두께의 SiO_2 박막 12를 형성하는 것이 바람직하다.

제 5(b) 도는 제 5(a) 도의 장치의 선 BB를 따라 취해 화살표 방향에서 본 횡단면도이다.

그다음 예를들어 비소와 같은 n⁺-형 불순물들은 제 5 도에 보인 바와같이 소오스들 9와 드레인들 10을 형성하도록 기판 1의 노출된 표면속으로 도우프된다. 이 도우핑은 확산 또는 이온주입과 같은 통상의 방법에 의해 행해질 수 있다. 만일 그것이 확산공정에 의해 행해질 경우, 기판 1의 표면상의 SiO_2 박막 12는 사전에 제거되어야 한다. 그러나, 만일 도우핑이 이온주입에 의해 행해질 경우 그대로 남아있을 수도 있다. 그러한 공정들은 기술상 통상의 것들이므로 더 이상의 설명을 생략한다.

제 5 도에서 볼 수 있는 바와같이, 장치분리 영역들 13은 게이트 길이의 방향을 향해 그렇게 길게 연장되지 않지만 그들은 소오스 영역들 9에서 차단된다. 이는 통상의 EPROM 장치들에서 소오스 영역들이 위드라인 WL의 방향으로 서로 연결되어야만 하는 사실로 인한 상술한 공정들의 수정이다. 장치분리 영역들 13의 그러한 차단은 제 4(b) 도의 단계에서 장치분리 홈들 11을 차단시킴으로서 행해질 수 있는 것으로 숙련된 자는 이해할 수 있을 것이다. 그렇게 함으로서, 각 소오스들을 연결하기 위한 상호연결 배선이 절약된다.

그러한 식으로, EPROM 메모리셀 FET들의 요부가 제조된다. 그다음 단계에서 기판의 표면에 그들을 상호 연결한다. 그러한 방법은 기술상 종래의 것이다. 도면에 도시되진 않았지만 장치의 표면은 예를들어 인-규산염 유리(PSG)의 패시베이션층에 의해 도포되며, 또한 접촉창들은 예를들어 드레인들 10에 접촉을 위해 개방된다. 그다음, 예를들어 비트라인들과 같은 상호연결 배선은 이 접촉창들을 통해 행해져서 장치가 완성된다.

상술한 본 발명을 EPROM 장치에 적용하면 메모리 셀들의 기억밀도가 종래 장치의 것에 비해 30% 증가됐다.

양호한 실시예의 상기 설명에서는 P-형 실리콘기판에 응용한 기술내용을 발표했다. 그러나, 불순물 재료들의 도전형을 단순히 변화시킨 n-형 기판에도 그 방법이 응용될 수 있음을 명백히 알 수 있을 것이다. 제 1 및 제 2 다실리콘층들 PA와 PB는 금속 실리사이드(metal silicide)와 같은 기타 종류의 도전성재료로 대체될 수도 있다. 반도체 재료는 실리콘에만 국한되지 않으며, 본 발명의 방법은 예를들어 갈륨 아세나이드와 같은 기타 종류의 반도체 재료들에도 응용될 수 있다.

그러므로 여기서 기술된 실시예는 설명을 위한 것으로, 본 발명의 범위가 이에만 국한되지 않으며, 청구 범위에서 벗어나지 않는 한도내에서 많은 수정변경이 가능하다

(57) 청구의 범위

청구항 1

반도체기판상에 매트릭스상으로 배열되는 다수의 메모리셀 FET들(전계효과 트랜지스터들)을 갖는 소거가능 프로그래머블 판독전용메모리(EPROM)장치에 있어서, 상기 메모리 셀 FET의 도전율을 제어하고 또한 그위에 게이트 진압을 기억하기 위한 부유 게이트와, 상기 기판으로부터 상기 부유게이트를 절연시키기 위한 상기 기판과 상기 부유 게이트간에 제공되는 제 1 게이트 절연 피막과, 상기 부유 게이트의 전압을 제어하기 위해 상기 부유 게이트위에 위치되는 제어 게이트와, 상기 제어 게이트로부터 상기 부유 게이트를 절연시키기 위해 상기 부유 게이트와 상기 제어 게이트간에 제공되는 제 2 게이트 절연피막과, 그리고 양측상의 인접 메모리 셀 FET들로부터 상기 메모리셀 FET를 분리시키기 위해 상기 부유 게이트의 게이트폭 방향으로 양측상에 제공되는 장치 분리 영역들을 포함하며, 여기서, 상기 부유게이트는 상기 제어 게이트 밑에 위치되며, 상기 제어 게이트의 폭은 상기 부유게이트의 기장과 동일하며, 그리고 상기 부유 게이트와 상기 장치 분리영역들은 그의 게이트폭 양측상의 부유 게이트의 연부에 나란히 정렬되는 것이 특징인 소거가능 프로그래머블 판독전용 메모리 장치.

청구항 2

제 1 항에서, 상기 메모리 셀 FET는 상기 부유 게이트와 상기 제어 게이트의 상기 연부들을 피복하는 절연박막을 더 포함하는 소거가능 프로그래머블 판독전용 메모리 장치.

청구항 3

제 1 항에서, 상기 부유 게이트와 제어 게이트는 다실리콘으로부터 제조되는 소거가능 프로그래머블 판독전용 메모리 장치.

청구항 4

제 1 또는 2항에서, 상기 기판은 실리콘으로 제조되며, 상기 제 1 게이트 절연피막, 제 2 게이트절연피막 및 절연박막은 이산화실리콘으로 제조되는 소거가능 프로그래머블 판독전용 메모리 장치.

청구항 5

제 1 또는 2 항에서, 상기 부유 게이트와 제어 게이트는 금속 실리사이드로 제조되는 소거가능 프로그래머블 판독전용 메모리 장치.

청구항 6

반도체 기판상에 매트릭스상으로 배열되는 다수의 메모리셀 FET들(전계효과 트랜지스터들)을 갖는 소거가능 프로그래머블 판독전용 메모리(EPROM)를 제조하기 위한 방법에 있어서, (a) 제 1형 도전성을 갖는 반도체 기판(1)상에 제 1 게이트 절연피막(3)과 제 1 도전층(PA)을 연속적으로 형성하는 단계와, (b)제조할 셀 FET들의 게이트 길이방향으로 배열되는 다수의 평행장치분리 홈들(11)을 상기 기판상에 사진식판술로 형성하되, 이 장치분리 홈들(11)간의 공간은 메모리 셀 FET의 게이트 폭과 동일하며 또한 이 홈들의 깊이는 상기 제 1 도전층(PA)과 상기 제 1 게이트 절연피막(3)을 통하여 기판내로 뚫고 들어갈 정도로 깊도록 형성하는 단계와, (c) 단계 (b)에 의해 형성되는 장치분리홈들(11)을 매립하도록 기판위에 절연후막층(12)을 형성하는 단계와, (d) 제 1 도전층(PA)의 표면을 노출시키도록 단계(c)에 의해 형성되는 절연후막층(12)을 제거하는 단계와, (e) 단계 (d)에 의해 노출된 제 1 도전층(PA)의 표면위에 제 2 게이트 절연막(6)을 형성한 다음 기판의 전체표면위에 제 2 도전층(PB)을 형성하는 단계와, (f) 제 1 장치분리홈들(11)에 직교하는 방향으로 배열되는 평행 띠들(7)을 남기면서 단계(e)에 의해 형성된 제 2 도전층(PB)을 식각제거하되, 띠들간의 공간들은 기판상에 제조될 메모리 셀 FET들간의 공간들과 동일하며, 또한 띠들의 폭은 메모리 셀 FET들의 게이트 길이와 동일하게 식각 제거한 다음, 마스크로서 상기 평행 띠들(7)을 이용하여 기판을 노출시키도록 제 2 게이트 절연피막(6), 제 1 도전층(PA) 그리고 제 1 게이트 절연피막(3)을 연속으로 식각 제거하는 단계와, 그리고 (g) 셀 FET들의 소오스(9)와 드레인(10)을 형성하도록 기판과 반도체전형을 갖는 불순물을 노출된 기판속으로 도우핑하는 단계를 포함하는 소거가능 프로그래머블 판독전용 메모리 제조방법.

청구항 7

제 6 항에서, 단계들 (b)와 (c) 사이에 단계 (b)에 의해 처리된 기판의 전체표면위에 절연박막을 형성하는 단계 (b')와 단계들 (f)와 (g) 사이에, 단계 (f)에 의해 처리된 기판의 전체 표면위에 절연박막을 형성하는 단계(f')를 더 포함하는 소거가능 프로그래머블 판독전용 메모리 제조방법.

청구항 8

제 6 또는 7 항에서, 상기 기판은 실리콘으로 제조되는 한편, 상기 제 1 게이트 절연피막, 제 2 게이트 절연피막 그리고 절연박막은 이산화실리콘이며, 그들을 제조하기 위한 방법은 열산화법인 소거가능 프로그래머블 판독전용 메모리 제조방법.

청구항 9

제 6 또는 7 항에서, 상기 제 1 및 제 2 도전층의 재료는 다실리콘이며, 상기 단계(a)와 (e)에서 그들을 제조하기 위한 방법은 화학증기 증착법인 소거가능 프로그래머블 판독전용 메모리 제조방법.

청구항 10

제 6 또는 7 항에서, 상기 단계 (d)는 반응성 이온식각공정인 소거가능 프로그래머블 판독전용 메모리 제조방법.

청구항 11

제 6 또는 7 항에서, 상기 단계 (d)는 기계적 광택공정인 소거가능 프로그래머블 판독전용 메모리 제조 방법.

청구항 12

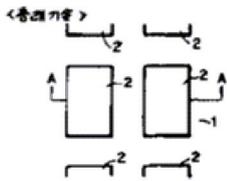
제 6 또는 7 항에서, 상기 단계들 (b), (d) 및 (f)에서 식각공정은 반응성이온 식각공정인 소거가능 프로그래머블 판독전용 메모리 제조방법.

청구항 13

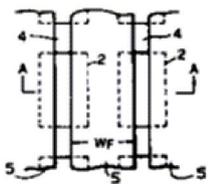
제 6 또는 7 항에서, 상기 단계 (c)는 화학증기 증착법이며, 상기 절연 후막층(12)은 이산화실리콘층인 소거가능 프로그래머블 판독전용 메모리 제조방법.

도면

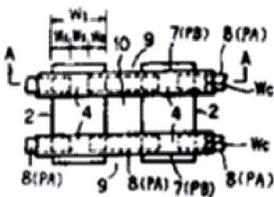
도면 1a



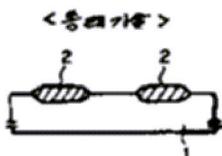
도면 1b



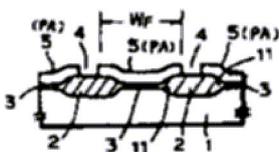
도면 1c



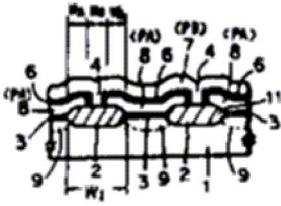
도면 2a



도면 2b

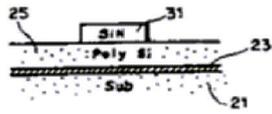


도면2c

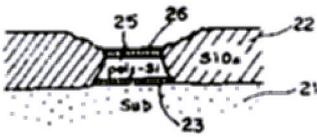


도면3a

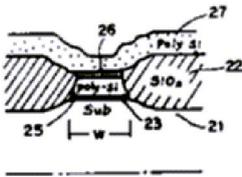
<용액기법>



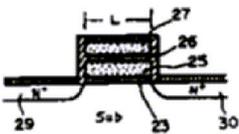
도면3b



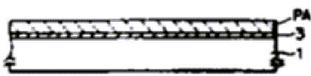
도면3c



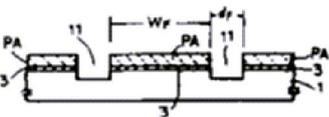
도면3d



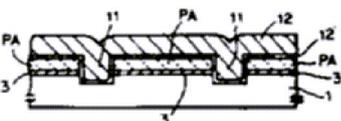
도면4a



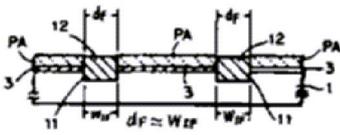
도면4b



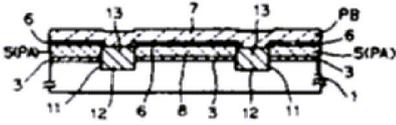
도면4c



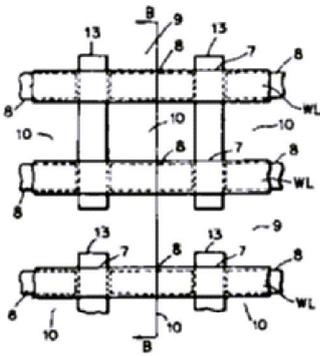
도면4d



도면4e



도면5a



도면5b

