



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

205252

(11)

(B1)

(51) Int. Cl.³
H 03 L 7/06

/22/ Přihlášeno 30 12 77
/21/ /PV 9119-77/

(40) Zveřejněno 30 03 79

(45) Vydáno 15 11 82

(75)

Autor vynálezu

ZIMA VÁCLAV ing. DrSc., PRAHA

(54) Dekadický syntezátor kmítočtu

1

Vynález se týká dekadického syntezátoru kmítočtu. V syntezátorech kmítočtu se využívá buď přímých metod aditivní syntézy kmítočtu, nebo nepřímých metod syntézy pomocí fázově zavedených oscilátorů. Nevýhodou aditivní syntézy, založené na sčítání, odečítání, násobení a dělení kmítočtu, je vznik intermodulačních produktů ve směšovačích jednotlivých stupňů syntezátoru. Výhodou však je možnost řadit jednotlivé bloky iterativně a dosáhnout tak libovolně jemného kmítočtového členění výstupního signálu. Nevýhodou známých zapojení více-smyčkových fázových závěsů s napěťově řízenými oscilátory je pokles kmítočtu signálů v obvodech fázových komparátorů při zvyšovaných požadavcích na jemnost kmítočtového členění. Nízký kmítočet v obvodu fázového komparátoru zhoršuje stabilitu stacionární fáze výstupního signálu, prodlužuje dobu potřebnou ke změně kmítočtu a obtížně se odstraňuje jeho vliv na nežádoucí fázovou modulaci výstupního signálu.

Nevýhody obou známých systémů odstraňuje dekadický syntezátor kmítočtu podle vynálezu, jehož podstata spočívá v tom, že blok pro nastavování kmítočtů obsahuje přestavitelný dělič kmítočtu s hodnotou jedna, dvě, čtyři nebo osm a přestavitelný dělič kmítočtu s hodnotou celistvé mocniny deseti. Dále obsahuje obvod pro nastavení kmítočtu, obvody pro vytváření signálů s diskretními kmítočty ve formě iterativního řetězce, který se skládá z libovolného počtu článků. Každý článek obsahuje napěťově řízený oscilátor, první proměnný dělič kmítočtu, fázový komparátor, ovládací obvod s násobičkou dělicího poměru činitelem jedna, dvě, čtyři nebo osm a pevný dělič kmítočtu. Druhý až poslední článek obsahuje ještě druhý proměnný dělič kmítočtu. Jednotlivé prvky jsou zapojeny tak, že vstup posledního druhého proměnného děliče kmítočtu je spojen s výstupem posledního pevného děliče kmítočtu, jehož vstup je spojen s hlavním vstupem referenčního signálu s přesným kmítočem.

Vstup druhého až předposledního druhého proměnného děliče kmitočtu je spojen s výstupem druhého až předposledního pevného děliče kmitočtu a vstup prvního až předposledního pevného děliče kmitočtu je spojen s výstupem napěťově řízeného oscilátoru následného článku. Výstup prvního napěťově řízeného oscilátoru je spojen se vstupem přestavitelného děliče kmitočtu buď jednou, dvěma, čtyřmi nebo osmi. V jednotlivých řetězcích je výstup napěťově řízeného oscilátoru spojen také s prvním vstupem prvního proměnného děliče kmitočtu, jehož výstup je spojen s prvním vstupem fázového komparátoru a druhý vstup fázového komparátoru je spojen u prvního článku s výstupem pevného děliče kmitočtu a u druhého až předposledního článku je spojen s výstupem druhého proměnného děliče kmitočtu.

Výstup fázového komparátoru je spojen se vstupem napěťově řízeného oscilátoru, druhý vstup prvního proměnného děliče kmitočtu je spojen s prvním výstupem ovládacího obvodu s násobičkou dělicího poměru činitelem buď jedna, dvě, čtyři nebo osm, k jehož prvnímu výstupu je u prvního až předposledního článku také připojen druhý vstup následného druhého proměnného děliče kmitočtu. Jeho první vstup je spojen s jemu příslušným výstupem obvodu pro nastavování kmitočtu, druhý vstup prvního až předposledního ovládacího obvodu s násobičkou dělicího poměru činitelem buď jedna, dvě, čtyři nebo osm je spojen s druhým výstupem druhého až posledního ovládacího obvodu s násobičkou dělicího poměru činitelem buď jedna, dvě, čtyři nebo osm.

Řídicí výstup obvodu pro nastavení kmitočtu je spojen s druhým vstupem přestavitelného děliče kmitočtu s hodnotou buď jedna, dvě, čtyři nebo osm, jehož výstup je spojen se vstupem přestavitelného děliče kmitočtu s hodnotou celistvé mocniny a výstup tohoto přestavitelného děliče kmitočtu s hodnotou celistvé mocniny deseti a výstup tohoto přestavitelného děliče kmitočtu s hodnotou celistvé mocniny deseti je spojen s výstupní svorkou vytvořeného signálu.

Výhody dekadického syntezátoru kmitočtu podle vynálezu spočívají především v tom, že v jeho celém systému není ani jediný směšovač kmitočtu, jehož činnost je vždy zákonitě doprovázena vznikem nežádoucích intermodulačních produktů. Tuto výhodu mají i některé jiné známé systémy. Dekadický syntezátor kmitočtu podle vynálezu má však podstatnou přednost v tom, že umožňuje realizovat iterativní řetězec a dosáhnout libovolně jemného členění kmitočtu přidáním dalších článků k řetězci, které jsou obvodově téměř shodné s předchozími články. Další výhodou dekadického syntezátoru podle vynálezu je, že neobsahuje vůbec frekvenční filtry LC, je sestaven z funkčních bloků s vysokou obvodovou dědičností a může být tedy snadno realizován s širokým uplatněním mikroelektronických integrovaných obvodů.

Příklad zapojení dekadického syntezátoru kmitočtu podle vynálezu je znázorněn na přiloženém výkrese, který představuje blokové schéma zapojení.

Na obr. 1 je blok 2000 pro nastavování kmitočtu, který obsahuje přestavitelný dělič 200 kmitočtu s hodnotou buď jedna, dvě, čtyři nebo osm, přestavitelný dělič 300 kmitočtu s hodnotou celistvé mocniny deseti a obvod 400 pro nastavení kmitočtu. Obvody 1000 pro vytváření signálů s diskrétními kmitočty jsou tvořeny iterativním řetězcem, skládajícím se z libovolného počtu článků 1, 2, 3, N, z nichž každý článek 1, 2, 3, N obsahuje napěťově řízený oscilátor 10, 20, 30, N0, první proměnný dělič 11, 21, 31, N1 kmitočtu, fázový komparátor 12, 22, 32, N2, ovládací obvod 13, 23, 33, N3 s násobičkou dělicího poměru činitelem buď jedna, dvě, čtyři nebo osm, pevný dělič 15, 25, 35, N5 kmitočtu.

Druhý až poslední článek 2, 3, N obsahuje ještě druhý proměnný dělič 24, 34, N4 kmitočtu. Jednotlivé prvky iterativního řetězce jsou zapojeny tak, že vstup N42 posledního druhého proměnného děliče N4 kmitočtu je spojen s výstupem N51 posledního pevného děliče 25 kmitočtu, jehož vstup N52 je spojen s hlavním vstupem 600 referenčního signálu s přesným kmitočtem. Vstup 242, 342 druhého až předposledního druhého proměnného děliče 24, 34 kmitočtu je spojen s výstupem 251, 351 druhého až předposledního pevného děliče 25, 35 kmitočtu a vstup 151, 252, 352 prvního až předposledního pevného děliče 15, 25, 35 kmitočtu je spojen s výstupem 202, 302, N02 napěťově řízeného oscilátoru 20, 30, N0 následného článku 2, 3, N.

Výstup 102 prvního napěťově řízeného oscilátoru 10 je také spojen se vstupem 2001 přestavitelného děliče 200 kmitočtu buď jednou, dvěma, čtyřmi nebo osmi. V jednotlivých člancích 1, 2, 3, N je výstup 102, 202, 302, N02 napěťově řízeného oscilátoru 10, 20, 30, N0 spojen také s prvním vstupem 111, 211, 311, N11 prvního proměnného děliče 11, 21, 31, N1 kmitočtu, jehož výstup 112, 212, 312, N12 je spojen s prvním vstupem 121, 221, 321, N21 fázového komparátoru 12, 22, 32, N2. Druhý vstup 122, 222, 322, N22 fázového komparátoru 12, 22, 32, N2 je spojen u prvního článku 1 s výstupem 151 pevného děliče 15 kmitočtu a u druhého až posledního článku 2, 3, N je spojen s výstupem 241, 341, N41 druhého proměnného děliče 24, 34, N4 kmitočtu.

Výstup 123, 223, 323, N23 fázového komparátoru 12, 22, 32, N2 je spojen se vstupem 101, 201, 301, N01 napěťově řízeného oscilátoru 10, 20, 30, N0. Druhý vstup 113, 213, 313, N13 prvního proměnného děliče 11, 21, 31, N1 kmitočtu je spojen s prvním výstupem 131, 231, 331, N31 ovládacího obvodu 13, 23, 33, N3 s násobičkou dělicího poměru činitelem buď jedna, dvě, čtyři nebo osm. Tento první výstup 131, 231, 331 je u prvního až předposledního článku 1, 2, 3 spojen také s druhým vstupem 243, 343, N43 následného druhého proměnného děliče 24, 34, N4 kmitočtu. První vstup 132, 232, 332, N32 ovládacího obvodu 13, 23, 33, N3 s násobičkou dělicího poměru činitelem buď jedna, dvě, čtyři nebo osm je spojen s jemu příslušným výstupem 4001, 4002, 4003, 400N obvodu 400 pro nastavování kmitočtu.

Druhý vstup 133, 233, 333 prvního až předposledního ovládacího obvodu 13, 23, 33 s násobičkou dělicího poměru činitelem buď jedna, dvě, čtyři nebo osm je spojen s druhým výstupem 234, 334, N34 druhého až posledního ovládacího obvodu 23, 33, N3 s násobičkou dělicího poměru činitelem buď jedna, dvě, čtyři nebo osm. Řídicí výstup 500 obvodu 400 pro nastavení kmitočtu je spojen s druhým vstupem 2002 přestavitelného děliče 200 kmitočtu, jehož výstup 2003 je spojen se vstupem 3001 přestavitelného děliče 300 kmitočtu s hodnotou celistvé mocniny deseti a výstup 3002 tohoto přestavitelného děliče 300 kmitočtu s hodnotou celistvé mocniny deseti je spojen s výstupní svorkou 100 vytvořeného signálu.

Funkce syntezátoru kmitočtu podle vynálezu vyplývá z blokového schématu na obr. 1. Ve stavu fázové rovnováhy mají kmitočty napěťově řízených oscilátorů 10, 20, 30, N0 hodnoty F1, F2, F3, FN. První proměnný dělič 11 kmitočtu prvního článku 1 a druhý proměnný dělič 24 druhého článku 2 iterativního řetězce mají nastaven shodný dělicí poměr q_1 . První proměnný dělič 12 kmitočtu druhého článku 2 a druhý proměnný dělič 34 třetího článku 3 iterativního řetězce mají nastaven shodný dělicí poměr q_2 . Podobně mají první proměnný dělič $k2$ kmitočtu k -tého článku k a druhý proměnný dělič $k4$ ($k+1$)-tého článku ($k+1$) nastaven shodný dělicí poměr q_k , kde $k = 1, 2, 3, \dots, N$, N je počet článků iterativního řetězce. Pevný dělič 15 kmitočtu prvního článku 1 má konstantní dělicí poměr m . Ostatní pevné děliče 25, 35, N5 v druhém až posledním článku 2, 3, N řetězce mají konstantní dělicí poměr r , který je celistvou mocninou deseti.

Přehled dělicích poměrů a kmitočtů v základním pásmu I syntezátoru

q_1	q_2	q_3	F_1	F_2	F_3	F_{d1}	F_{d2}	F_{d3}
100	10000	1000000	4000000	5000000	5000000	40000,00	500,000	5,000000
119	11999	1999999	4799996	5042013	5000412	40396,10	420,203	4,1672
139	13999	1399999	5599996	5035968	5000354	40287,31	359,669	3,5717
159	15999	1599999	6399996	5031443	5000309	40251,55	314,485	3,1252
179	17999	1799999	7199996	5027930	5000275	40223,44	279,345	2,7779
199	19999	1999999	7999996	5025123	5000247	40200,98	251,269	2,5001

Přehled kmitočtů v jednotlivých blocích syntezátoru

Stav	n	F ₁	F ₂	F ₃	F _{d1}	F _{d2}	F _{d3}	F ₂₀₀₃
V	0	4000000	5000000	5000000	40000,00	500,000	5,0000	
	74999	42999996	5023318	5000461	40186,87	467,329	4,6516	
IV	75000	4000000	5000000	5000000	40000,00	500,00	5,0000	800000
	124999	79999996	5025123	5000247	40200,98	251,27	2,5001	999996
III	125000	4000000	5000000	5000000	40000,00	500,00	5,0000	1000000
	249999	79999996	5025123	5000247	40200,98	251,27	2,5001	1999996
II	250000	4000000	5000000	5000000	40000,00	500,00	5,0000	2000000
	499999	79999996	5025123	5000247	40200,98	251,27	2,5001	3999996
I	500000	4000000	5000000	5000000	40000,00	500,00	5,0000	4000000
	999999	79999996	5025123	5000247	40200,98	251,27	2,5001	7999996

Uvedený příklad provedení dekadického syntezátoru kmitočtu podle vynálezu má v základním pásmu 800 kHz až 7999,996 kHz kmitočtový krok 4 Hz. Jestliže je výstup veden do sinusového tvarovače signálů s děličem kmitočtu čtyřmi, změníme základní pásmo syntezátoru na rozsah 200 kHz až 1999,999 kHz s krokem 1 Hz.

Dekadický syntezátor kmitočtu podle vynálezu je možné s výhodou použít v mnoha oborech sdělovací techniky k vytváření signálů s libovolnou diskretní hodnotou přesného kmitočtu. Jelikož v syntezátoru nejsou vůbec použity směšovače, které jsou zdrojem škodlivých intermodulačních produktů, je kvalita spektra výstupního signálu velmi vysoká. Proto se syntezátor hodí jako budič rozhlasových a televizních vysílačů. Vysoká je také stabilita stacionární fáze výstupního signálu syntezátoru, který se proto hodí k užití v širokém oboru měřicí techniky.

PŘEDMĚT VYNÁLEZU

Dekadický syntezátor kmitočtu, obsahující blok pro nastavování kmitočtu a obvody pro vytváření signálů s diskretními kmitočty, vyznačený tím, že blok (2000) pro nastavování kmitočtu obsahuje přestavitelný dělič (200) kmitočtu hodnotou jedna, dvě, čtyři, osm, přestavitelný dělič (300) kmitočtu hodnotou celistvé mocniny deseti a obvod (400) pro nastavení kmitočtu, dále obvody (1000) pro vytváření signálů s diskretními kmitočty, které jsou tvořeny iterativním řetězcem, skládajícím se z libovolného počtu článků (1, 2, 3, N), z nichž každý článek (1, 2, 3, N) obsahuje napěťově řízený oscilátor (10, 20, 30, N0), první proměnný dělič (11, 21, 31, N1) kmitočtu, fázový komparátor (12, 22, 32, N2), ovládací obvod (13, 23, 33, N3) s přestavitelnou násobičkou dělicího poměru činitelem jedna, dvě, čtyři, osm, pevný dělič (15, 25, 35, N5) kmitočtu a druhý až poslední článek (2, 3, N) obsahuje ještě druhý proměnný dělič (24, 34, N4) kmitočtu, přičemž jednotlivé prvky jsou zapojeny tak, že vstup (N42) druhého proměnného děliče (N4) kmitočtu posledního článku (N) je spojen s výstupem (N51) pevného děliče (N5) kmitočtu tohoto článku (N), jehož vstup (N52) je spojen s hlavním vstupem (600) pro referenční signál s přesným kmitočtem, vstup (242, 342) druhého proměnného děliče (24, 34) kmitočtu druhého až předposledního článku (2, 3) je spojen s výstupem (251, 351) pevného děliče (25, 35) kmitočtu svého článku (25, 35) a vstup (152, 252, 352) pevného děliče (15, 25, 35) kmitočtu prvního až předposledního článku (1, 2, 3) je spojen s výstupem (202, 302, N02) napěťově řízeného oscilátoru (20, 30, N0) následného článku (2, 3, N), výstup (102) prvního napěťově řízeného oscilátoru (10) je také spojen se vstupem (2001) přestavitelného děliče (200) kmitočtu hodnotou jedna, dvě, čtyři, osm, v jednotlivých článcích (1, 2, 3, N) je výstup (102, 202, 302, N02) napěťově řízeného oscilátoru (10, 20, 30, N0) spojen také s prvním vstupem (111, 211, 311, N11) prvního proměnného děliče (11, 21, 31, N1) kmitočtu, jehož výstup (112, 212, 312, N12) je spojen s prvním vstupem (121, 221, 321, N21) fázového komparátoru (12, 22, 32, N2), druhý vstup (122, 222, 322, N22)

fázového komparátoru (12, 22, 32, N2) je spojen u prvního článku (1) s výstupem (152) pevného děliče (15) kmitočtu a u druhého až posledního článku (2, 3, N) je spojen s výstupem (241, 341, N41) druhého proměnného děliče (24, 34, N4) kmitočtu, výstup (123, 223, 323, N23) fázového komparátoru (12, 22, 32, N2) je spojen se vstupem (101, 201, 301, N01) napěťově řízeného oscilátoru (10, 20, 30, N0), druhý vstup (113, 213, 313, N13) prvního proměnného děliče (11, 21, 31, N1) kmitočtu je spojen s prvním výstupem (131, 231, 331, N31) ovládacího obvodu (13, 23, 33, N3) s přestavitelnou násobičkou dělicího poměru činitelem jedna, dvě, čtyři, osm a jeho první výstup (131, 231, 331) je u prvního až předposledního článku (1, 2, 3) spojen také s druhým vstupem (243, 343, N43) následného druhého proměnného děliče (24, 34, N4) kmitočtu a jeho první vstup (132, 232, 332, N32) je spojen s jemu příslušným výstupem (4001, 4002, 4003, 400N) obvodu (400) pro nastavení kmitočtu, druhý vstup (133, 233, 333) prvního až předposledního ovládacího obvodu (13, 23, 33) s přestavitelnou násobičkou dělicího poměru činitelem jedna, dvě, čtyři, osm je spojen s druhým výstupem (234, 334, N34) ovládacího obvodu (23, 33, N3) s přestavitelnou násobičkou dělicího poměru činitelem jedna, dvě, čtyři, osm druhého až posledního článku (2, 3, N) řídicí výstup (500) obvodu (400) pro nastavení kmitočtu je spojen s druhým vstupem (2002) přestavitelného děliče (200) kmitočtu hodnotou jedna, dvě, čtyři, osm, jehož výstup (2003) je spojen se vstupem (3001) přestavitelného děliče (300) kmitočtu hodnotou celistvé mocniny deseti a výstup (3002) tohoto přestavitelného děliče (300) kmitočtu hodnotou celistvé mocniny deseti je spojen s výstupní svorkou (100) pro vytvořený signál.

1 list výkresů

