



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2007년10월05일
(11) 등록번호 10-0764405
(24) 등록일자 2007년09월28일

(51) Int. Cl.

H01L 23/50(2006.01)

(21) 출원번호 10-2001-0064221
(22) 출원일자 2001년10월18일
심사청구일자 2006년10월18일
(65) 공개번호 10-2002-0031050
공개일자 2002년04월26일

(30) 우선권주장

JP-P-2000-00320794 2000년10월20일 일본(JP)

(56) 선행기술조사문현
US5177032
(뒷면에 계속)

(73) 특허권자

가부시키가이샤 히타치세이사쿠쇼

일본국 도쿄도 치요다구 마루노우치 1초메 6반 6
고

(72) 발명자

미야끼요시노리

일본도쿄도지요다구마루노우찌1초메5-1신마루노우
찌빌딩가부시키가이샤히타치세이사쿠쇼지적소유
권본부내

스즈끼히로미찌

일본도쿄도지요다구마루노우찌1초메5-1신마루노우
찌빌딩가부시키가이샤히타치세이사쿠쇼지적소유
권본부내

(74) 대리인

구영창, 장수길

전체 청구항 수 : 총 15 항

심사관 : 배진용

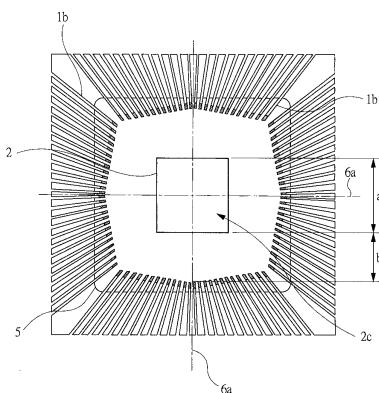
(54) 반도체 장치

(57) 요 약

신뢰성 향상 및 리드 프레임의 표준화를 가능하게 한다.

반도체 칩(2)의 주위로 연장되는 복수의 내측 리드(1b)와, 반도체 칩(2)을 지지하고, 또한 내측 리드(1b)의 단부와 접합된 테이프 기판(5)과, 반도체 칩(2)의 주면(2c)에 형성된 패드와 내측 리드(1b)를 접속하는 와이어와, 반도체 칩(2)과 상기 와이어를 수지 밀봉하여 형성된 밀봉부와, 내측 리드(1b)에 이어지며, 또한 상기 밀봉부로부터 4방향의 외부로 돌출된 복수의 외측 리드로 이루어지고, 반도체 칩(2)의 짧은 변 길이(a)와, 반도체 칩(2)으로부터 그 선단 개소가 가장 멀리 떨어진 내측 리드(1b)의 반도체 칩(2)과의 클리어런스(b)와의 관계가 $a \leq 2b$ 로 되어 있으며, 협 패드 피치화를 도모함과 함께 작은 반도체 칩(2)의 탑재가 가능해지고, 리드 프레임 표준화를 도모할 수 있다.

대표도 - 도2



1b: 내측 리드
2: 반도체칩
2c: 주면

5: 테이프 기판
6a: 중집전

(56) 선 행 기술조사 문현
US5068708
JP02217995
US5457340
KR101990017153
US5304844

특허청구의 범위

청구항 1

반도체 칩의 주위로 연장되는 복수의 내측 리드와,
 상기 반도체 칩을 지지하고, 각각의 상기 내측 리드의 단부와 접합된 박판형의 절연성 부재와,
 상기 반도체 칩의 표면 전극과 이에 대응하는 상기 내측 리드를 접속하는 본딩용의 와이어와,
 상기 반도체 칩과 상기 와이어와 상기 절연성 부재를 수지 밀봉하여 형성된 밀봉부와,
 상기 내측 리드에 이어지며, 상기 밀봉부로부터 노출되는 복수의 외측 리드
 를 포함하고,
 상기 반도체 칩의 사각형의 주면의 짧은 변의 길이가, 선단이 반도체 장치의 평면 방향의 중심선으로부터 가장
 면 개소에 배치된 내측 리드의 상기 선단으로부터 상기 반도체 칩까지의 거리의 2배 이하인
 것을 특징으로 하는 반도체 장치.

청구항 2

반도체 칩의 주위로 연장되는 복수의 내측 리드와,
 상기 반도체 칩을 지지하고, 각각의 상기 내측 리드의 단부와 접합된 박판형의 절연성 부재와,
 상기 반도체 칩의 표면 전극과 이에 대응하는 상기 내측 리드를 접속하는 본딩용의 와이어와,
 상기 반도체 칩과 상기 와이어와 상기 절연성 부재를 수지 밀봉하여 형성된 밀봉부와,
 상기 내측 리드에 이어지며, 상기 밀봉부로부터 노출되는 복수의 외측 리드
 를 포함하고,
 상기 반도체 칩의 사각형의 주면의 짧은 변의 길이가, 선단이 반도체 장치의 평면 방향의 중심선으로부터 가장
 면 개소에 배치된 내측 리드의 상기 선단으로부터 상기 반도체 칩까지의 거리 이상이며, 또한 상기 거리의 2배
 이하인
 것을 특징으로 하는 반도체 장치.

청구항 3

제2항에 있어서,

상기 반도체 칩의 상기 표면 전극의 설치 피치가 인접하는 상기 내측 리드간의 선단의 피치의 최소치의 1/2 이
 하인 것을 특징으로 하는 반도체 장치.

청구항 4

제3항에 있어서,

상기 반도체 장치는 상기 밀봉부의 평면 사이즈가 $20\text{mm} \times 20\text{mm}$ 이상이고, 또한 상기 외측 리드의 수가 176개 이
 상인 것을 특징으로 하는 반도체 장치.

청구항 5

제2항에 있어서,

상기 절연성 부재가 테이프 기재와 접착층을 포함하는 테이프 기판이고, 상기 테이프 기재와 상기 내측 리드가
 상기 접착층에 의해 접합되어 있는 것을 특징으로 하는 반도체 장치.

청구항 6

제2항에 있어서,

상기 절연성 부재가 유리 함유 에폭시 기판이고, 상기 유리 함유 에폭시 기판과 상기 내측 리드가 접착층에 의해 접합되어 있는 것을 특징으로 하는 반도체 장치.

청구항 7

제2항에 있어서,

상기 절연성 부재가 세라믹 기판이고, 상기 세라믹 기판과 상기 내측 리드가 접착층에 의해 접합되어 있는 것을 특징으로 하는 반도체 장치.

청구항 8

제2항에 있어서,

상기 절연성 부재의 내측 리드 배치측의 면에 상기 반도체 칩이 탑재되어 있는 것을 특징으로 하는 반도체 장치.

청구항 9

제8항에 있어서,

상기 절연성 부재의 내측 리드 배치측의 면과 반대측의 면에 금속판이 부착되어 있는 것을 특징으로 하는 반도체 장치.

청구항 10

제2항에 있어서,

상기 내측 리드와 상기 절연성 부재가 접착층에 의해 접합되고, 상기 반도체 칩의 두께가 상기 절연성 부재와 상기 접착층을 합한 두께보다 두꺼운 것을 특징으로 하는 반도체 장치.

청구항 11

제2항에 있어서,

상기 절연성 부재가 유리 함유 에폭시 기판이고, 상기 유리 함유 에폭시 기판과 상기 내측 리드가, 표리 양면에 접착층이 배치된 테이프 기재를 갖는 양면 접착 테이프의 상기 접착층에 의해 접합되어 있는 것을 특징으로 하는 반도체 장치.

청구항 12

제2항에 있어서,

상기 절연성 부재가 알루미나 입자를 함유하는 유리 함유 에폭시 기판이고, 상기 유리 함유 에폭시 기판과 상기 내측 리드가 접착층에 의해 접합되어 있는 것을 특징으로 하는 반도체 장치.

청구항 13

제9항에 있어서,

상기 절연성 부재에 관통 구멍이 형성되고, 상기 관통 구멍에 몰드 수지가 매립되어 있는 것을 특징으로 하는 반도체 장치.

청구항 14

제2항에 있어서,

상기 내측 리드와 상기 절연성 부재가 접착층에 의해 접합되고, 상기 접착층이 상기 절연성 부재의 내측 리드 배치측의 면의 전면에 걸쳐 배치되어 있는 것을 특징으로 하는 반도체 장치.

청구항 15

제2항에 있어서,

상기 내측 리드와 상기 절연성 부재가 접착층에 의해 접합되고, 상기 접착층이 상기 절연성 부재의 내측 리드 배치측의 면의 리드 접합부에만 배치되어 있는 것을 특징으로 하는 반도체 장치.

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

청구항 21

삭제

청구항 22

삭제

청구항 23

삭제

청구항 24

삭제

청구항 25

삭제

청구항 26

삭제

청구항 27

삭제

청구항 28

삭제

청구항 29

삭제

청구항 30

삭제

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <75> 본 발명은 반도체 제조 기술에 관한 것으로, 특히, 협(狹) 패드 피치(narrow pad pitch)로 작은 반도체 칩을 탑재하는 반도체 장치의 신뢰성 향상에 적용하기에 유효한 기술에 관한 것이다.
- <76> 내측 리드를 접착제 등을 통해 금속판이나 세라믹판에 고정하는 기술로서, 특개평8-116012호 공보, 특개평5-160304호 공보, 특개평5-36862호 공보, 특개평11-289040호 공보, 특개평11-514149호 공보, 특개평7-153890호 공보, 특개평6-291217호 공보 및 특개평5-235246호 공보에 그 기재가 있다.
- <77> 우선, 특개평8-116012호 공보에는 방열판으로서 알루미늄판을 이용하고, 또한 이 알루미늄판의 표면에 절연층을 설치함으로써 알루미늄판에 접착제를 통해 내측 리드를 고정하는 수지 밀봉형 반도체 장치가 기재되어 있고, 이 반도체 장치에서 방열성 향상, 재료비의 절감 및 제조 시간의 단축화를 도모하는 것을 목적으로 하고 있다.
- <78> 특개평5-160304호 공보에는 방열판으로서 알루미늄판을 이용하고, 열 특성의 향상을 목적으로 접착제를 통해 리드를 알루미늄판에 접착한 구조의 반도체 장치가 기재되어 있다.
- <79> 특개평5-36862호 공보에는 내측 리드에 세라믹판을 접착하는 구조의 반도체 장치가 기재되어 있고, 반도체 칩으로부터의 열을 세라믹판 및 내측 리드를 통해 외부로 방출하여 반도체 장치의 방열성의 향상을 목적으로 하고 있다.
- <80> 특개평11-289040호 공보에는 방열판의 한쪽 면에 전기적 절연층 및 접착제층을 통해 내측 리드가 접합된 리드 프레임과 이것을 이용한 반도체 장치가 품질 향상 및 제조 비용 절감을 목적으로 하여 기재되어 있다.
- <81> 특개평11-514149호 공보에는 표면에 전기 절연성 애노드 처리 코팅이 실시된 히트 슬래그에 반도체 칩과 리드를 고정하는 구조의 전자 패키지가 열 특성의 개선을 목적으로 하여 기재되어 있다.
- <82> 특개평7-153890호 공보에는 절연 처리를 실시한 금속판으로 이루어진 방열판에 접착제를 통해 내측 리드를 고정하는 반도체 장치용 리드 프레임이 기재되어 있고, 이 리드 프레임에 의해 방열성 향상, 신호 처리의 고속화 및 반도체 장치의 장기 수명화를 도모하는 것을 목적으로 하고 있다.
- <83> 특개평6-291217호 공보에는 방열판으로서 세라믹판을 이용하고, 또한 이 세라믹판에 접착제를 통해 내측 리드를 고정하는 열 방산형 리드 프레임이 기재되어 있고, 이 리드 프레임을 패키지 구조로 하였을 때, 열에 의한 잔류 응력을 억제함과 함께 제작 단계에서의 프레임 형상의 변형을 방지하는 것을 목적으로 하고 있다.
- <84> 특개평5-235246호 공보에는 절연 테이프의 한쪽 면에 반도체 칩의 주면을 접착제를 통해 고정하고, 또한 다른쪽 면에 접착제를 통해 내측 리드를 고정하고, 절연 테이프의 구멍에 반도체 칩의 표면 전극을 노출시켜 내측 리드와 표면 전극을 상기 구멍을 통해 와이어에 의해 접속하는 구조의 반도체 장치가 기재되어 있으며, 칩의 설계 자유도를 크게 함과 함께 신호 전달의 고속화를 목적으로 하고 있다.

발명이 이루고자 하는 기술적 과제

- <85> 그런데, 특개평5-235246호 공보를 제외한 상기 7개의 공보에 기재된 기술은 금속판이나 세라믹판을 이용하여 방열성을 향상시키는 것이 목적이고, 접착제를 통해 내측 리드를 금속판이나 세라믹판에 고정하는 기술을 다(多)핀, 또한 협(狹) 패드 피치의 반도체 장치에 이용하는 사상은 기재되어 있지 않다.
- <86> 또한, 특개평5-235246호 공보에는 내측 리드를 절연 테이프에 고정하는 기술이 기재되어 있지만, 여기에 기재된 구조(절연 테이프의 한쪽 면에 반도체 칩의 주면을 고정하고, 또한 다른쪽 면에 내측 리드를 고정하며, 절연 테이프의 구멍에 반도체 칩의 패드를 노출시켜 내측 리드와 패드를 상기 구멍을 통해 와이어에 의해 접속하는 구조)에서는 반도체 칩이 작고, 또한 다핀으로 이루어지면, 칩 상의 테이프 영역이 적어져 절연 테이프에서 구멍을 형성하는 영역이 없어지는 문제가 발생한다.
- <87> 따라서, 특개평5-235246호 공보에 기재된 구조로 소(小)칩이면서 또한 다핀 구조의 실현은 곤란하다는 것이 문제가 된다.
- <88> 또한, 특개평5-235246호 공보에 기재된 구조에서는 절연 테이프에 구멍을 형성해야만 하기 때문에, 칩 사이즈에

맞춘 크기의 절연 테이프가 필요해짐과 함께, 이 절연 테이프가 접착된 리드 프레임을 준비해야만 하고, 리드 프레임의 표준화를 도모할 수 없는 것이 문제가 된다.

<89> 본 발명의 목적은 협 패드 피치화 및 신뢰성 향상을 도모하는 반도체 장치 및 그 제조 방법을 제공하는 것에 있다.

<90> 또한, 본 발명의 그 밖의 목적은 리드 프레임의 표준화를 가능하게 하는 반도체 장치 및 그 제조 방법을 제공하는 것에 있다.

<91> 본 발명의 상기 및 그 밖의 목적과 신규 특징은 본 명세서의 기술 및 첨부 도면에서 분명해질 것이다.

발명의 구성 및 작용

<92> 본원에서 개시되는 발명 중, 대표적인 것의 개요를 간단하게 설명하면, 이하와 같다.

<93> 즉, 본 발명의 반도체 장치는 반도체 칩의 주위로 연장되는 복수의 내측 리드와, 상기 반도체 칩을 지지하고, 각각의 상기 내측 리드의 단부와 접합된 박판(薄板)형의 절연성 부재와, 상기 반도체 칩의 표면 전극과 이것에 대응하는 상기 내측 리드를 접속하는 본딩용의 와이어와, 상기 반도체 칩과 상기 와이어와 상기 절연성 부재를 수지 밀봉하여 형성된 밀봉부와, 상기 내측 리드에 이어지며, 상기 밀봉부로부터 노출되는 복수의 외측 리드를 갖고, 상기 반도체 칩의 사각형의 주면의 짧은 변의 길이가, 선단이 반도체 장치의 평면 방향의 중심선으로부터 가장 면 개소에 배치된 내측 리드의 상기 선단으로부터 상기 반도체 칩까지의 거리의 2배 이하이다.

<94> 본 발명에 따르면, 내측 리드를 절연성 부재에 고정하여 몰드 수지의 흐름에 의한 와이어 밀립이나 내측 리드 변동을 억제하는 효과를 확실하게 작용시킬 수 있다.

<95> 그 결과, 내측 리드를 절연성 부재에 접합하는 구조의 반도체 장치의 신뢰성을 향상시킬 수 있다.

<96> 또한, 칩 사이즈가 작아지더라도 절연성 부재에 반도체 칩을 탑재할 수 있으며, 칩 사이즈마다 리드 프레임을 준비하지 않아도 되고, 그 결과, 리드 프레임의 표준화를 도모할 수 있다.

<97> 또한, 본 발명의 반도체 장치는 반도체 칩의 주위로 연장되는 복수의 내측 리드와, 상기 반도체 칩을 지지하고, 각각의 상기 내측 리드의 단부와 접합된 박판형의 절연성 부재와, 상기 반도체 칩의 표면 전극과 이에 대응하는 상기 내측 리드를 접속하는 본딩용의 와이어와, 상기 반도체 칩과 상기 와이어와 상기 절연성 부재를 수지 밀봉하여 형성된 밀봉부와, 상기 내측 리드에 이어지며, 상기 밀봉부로부터 노출되는 복수의 외측 리드를 갖고, 상기 반도체 칩의 사각형의 주면의 짧은 변의 길이가, 선단이 반도체 장치의 평면 방향의 중심선으로부터 가장 면 개소에 배치된 내측 리드의 상기 선단으로부터 상기 반도체 칩까지의 거리 이상이며, 또한 이 거리의 2배 이하이다.

<98> 또한, 본 발명의 반도체 장치는 반도체 칩의 주위로 연장되는 복수의 내측 리드와, 상기 반도체 칩을 지지하고, 각각의 상기 내측 리드의 단부와 접합된 박판형의 절연성 부재와, 상기 내측 리드와 상기 절연성 부재를 접합하는 접착층과, 상기 반도체 칩의 표면 전극과 이에 대응하는 상기 내측 리드를 접속하는 본딩용의 와이어와, 상기 반도체 칩과 상기 와이어와 상기 절연성 부재를 수지 밀봉하여 형성된 밀봉부와, 상기 내측 리드에 이어지며, 상기 밀봉부로부터 노출되는 복수의 외측 리드를 갖는 것이다.

<99> 본 발명에 따르면, 몰드 수지의 흐름에 의한 와이어 밀립이나 내측 리드 변동을 억제하는 수 있으며, 그 결과, 내측 리드의 협 패드 피치화를 도모할 수 있다.

<100> 또한, 몰드 수지와 내측 리드와의 열 팽창 계수의 차에 의해 발생하는 땀납 리플로우 시의 내측 리드의 선축을 억제할 수 있다.

<101> 이에 따라, 와이어의 내측 리드와의 접합부에서 발생하는 단선을 방지할 수 있으며, 그 결과, 반도체 장치의 신뢰성을 향상시킬 수 있다.

<102> 또한, 본 발명의 반도체 장치는 반도체 칩의 두께가 절연성 부재와 접착층을 합한 두께보다 두꺼운 것이다.

<103> 본 발명에 따르면, 절연성 부재의 두께를 얇게 할 수 있기 때문에, 다이 본딩 시의 열 전도를 향상시킬 수 있다.

<104> 또한, 절연성 부재의 두께를 얇게 할 수 있기 때문에, 반도체 장치의 두께를 얇게 형성할 수 있다. 이에 따라, 재료비를 저감할 수 있으며, 반도체 장치의 저비용화를 도모할 수 있다.

<105> 또한, 본 발명의 반도체 장치의 제조 방법은 복수의 내측 리드와, 각각의 상기 내측 리드의 단부와 접합함과 함께 반도체 칩을 지지할 수 있는 박판형의 절연성 부재와, 상기 내측 리드와 이어지는 복수의 외측 리드로 이루어진 복수의 패키지 영역이 1열로 다수 연결되어 형성된 리드 프레임을 준비하는 공정과, 상기 패키지 영역에서 상기 절연성 부재에 상기 반도체 칩을 탑재하는 공정과, 상기 반도체 칩의 표면 전극과 이에 대응하는 상기 내측 리드를 와이어에 의해 접속하는 공정과, 상기 반도체 칩과 상기 와이어와 상기 절연성 부재를 수지 밀봉하여 밀봉부를 형성하는 공정과, 상기 밀봉부로부터 노출된 복수의 외측 리드를 상기 리드 프레임의 프레임부로부터 분리하는 공정을 갖는 것이다.

<106> 또한, 본 발명의 반도체 장치의 제조 방법은 복수의 내측 리드와, 각각의 상기 내측 리드의 단부와 접합함과 함께 반도체 칩을 지지할 수 있는 박판형의 절연성 부재와, 상기 내측 리드와 이어지는 복수의 외측 리드로 이루어진 복수의 패키지 영역이 매트릭스 배치로 형성된 매트릭스 프레임을 준비하는 공정과, 상기 패키지 영역에서 상기 절연성 부재에 상기 반도체 칩을 탑재하는 공정과, 상기 반도체 칩의 표면 전극과 이에 대응하는 상기 내측 리드를 와이어에 의해 접속하는 공정과, 상기 반도체 칩과 상기 와이어와 상기 절연성 부재를 수지 밀봉하여 밀봉부를 형성하는 공정과, 상기 밀봉부로부터 노출된 복수의 외측 리드를 상기 매트릭스 프레임의 프레임부로부터 분리하는 공정을 갖는 것이다.

<107> <실시예>

<108> 이하, 본 발명의 실시예를 도면에 기초하여 상세하게 설명한다.

<109> 이하의 실시예에서는 편의상 그 필요가 있을 때는 복수의 섹션 또는 실시예로 분할하여 설명하지만, 특히 명시한 경우를 제외하고, 이들은 상호 무관계한 것이 아니라, 한쪽은 다른쪽의 일부 또는 전부의 변형예, 상세, 보충 설명 등의 관계에 있다.

<110> 또한, 이하의 실시예에서 요소의 수 등(개수, 수치, 양, 범위 등을 포함함)을 언급하는 경우, 특히 명시한 경우 및 원리적으로 분명히 특정한 수로 한정되는 경우 등을 제외하고, 그 특정한 수로 한정되는 것이 아니라, 특정한 수 이상이라도 이하라도 좋은 것으로 한다.

<111> 또한, 이하의 실시예에서 그 구성 요소(요소 단계 등도 포함함)는 특히 명시한 경우 및 원리적으로 분명히 필수로 생각되는 경우 등을 제외하고, 반드시 필수적인 것이 아닌 것은 물론이다.

<112> 마찬가지로, 이하의 실시예에서 구성 요소 등의 형상, 위치 관계 등을 언급할 때는 특히 명시한 경우 및 원리적으로 분명하게 그렇지 않다고 생각되는 경우 등을 제외하고, 실질적으로 그 형상 등에 근사 또는 유사한 것 등을 포함하는 것으로 한다. 이것은 상기 수치 및 범위에 대해서도 마찬가지이다.

<113> 또한, 실시예를 설명하기 위한 모든 도면에서 동일 기능을 갖는 것은 동일한 부호를 붙이고 그 반복 설명은 생략한다.

<114> (실시예 1)

도 1은 본 발명의 실시예 1의 반도체 장치의 구조의 일례를 나타내는 도면이고, 도 1의 (a)는 단면도, 도 1의 (b)는 평면도, 도 2는 도 1에 도시한 반도체 장치에서의 반도체 칩과 내측 리드와의 거리의 일례를 나타내는 부분 평면도, 도 3은 도 1에 도시한 반도체 장치에서의 반도체 칩의 패드 피치 및 내측 리드의 리드간 피치의 일례를 나타내는 확대 부분 평면도, 도 4는 도 1에 도시한 반도체 장치의 조립에 이용되는 매트릭스 프레임의 구조의 일례를 일부 과단하여 나타내는 부분 평면도, 도 5는 도 4에 도시한 A-A선을 따른 단면의 구조를 나타내는 확대 부분 단면도, 도 6은 도 4에 도시한 매트릭스 프레임을 이용한 반도체 장치의 조립에서의 다이 본딩 후의 구조의 일례를 일부 과단하여 나타내는 부분 평면도, 도 7은 도 6에 도시한 B-B선을 따른 단면의 구조를 나타내는 확대 부분 단면도, 도 8은 도 4에 도시한 매트릭스 프레임을 이용한 반도체 장치의 조립에서의 와이어 본딩 후의 구조의 일례를 일부 과단하여 나타내는 부분 평면도, 도 9은 도 7에 대한 변형예의 다이 본딩 후의 구조를 나타내는 확대 부분 단면도, 도 10은 도 4에 도시한 매트릭스 프레임을 이용한 반도체 장치의 조립에서의 와이어 본딩 후의 구조의 일례를 일부 과단하여 나타내는 부분 평면도, 도 11은 도 10에 대한 변형예의 와이어 본딩 후의 구조를 나타내는 확대 부분 단면도, 도 12는 도 4에 도시한 매트릭스 프레임을 이용한 반도체 장치의 조립에서의 수지 밀봉 후의 구조의 일례를 일부 과단하여 나타내는 부분 평면도, 도 13은 도 12에 도시한 D-D선을 따른 단면의 구조를 나타내는 확대 부분 단면도, 도 14는 도 1에 도시한 반도체 장치의 조립에 이용되는 단열(單列) 리드 프레임의 프레임 본체의 구조의 일례를 나타내는 부분 평면도, 도 15는 도 14에 프레임 본체에 절연성 부재가 부착된 단열 리드 프레임의 구조를 나타내는 확대 부분 평면도, 도 16은 도 15에 도시한 단열 리드 프레임을 이용한 반도체 장치의 조립에서의 와이어 본딩 후의 구조

의 일례를 나타내는 확대 부분 평면도, 도 17은 도 15에 도시한 단열 리드 프레임을 이용한 반도체 장치의 조립에서의 수지 밀봉 후의 구조의 일례를 나타내는 확대 부분 평면도, 도 18은 도 15에 도시한 단열 리드 프레임을 이용한 반도체 장치의 조립에서의 절단 성형 후의 구조의 일례를 나타내는 측면도, 도 19는 도 1에 도시한 반도체 장치와 다른 반도체 장치의 실장 상태의 일례를 나타내는 확대 부분 평면도, 도 20은 도 5에 대한 변형예의 구조를 나타내는 확대 부분 단면도, 도 21은 본 발명의 실시예 1의 변형예의 반도체 장치의 구조를 나타내는 단면도, 도 22는 도 21에 도시한 변형예의 반도체 장치의 상세 구조를 나타내는 단면도, 도 23은 도 21에 도시한 변형예의 반도체 장치의 상세 구조를 나타내는 단면도, 도 24는 도 21에 도시한 변형예의 반도체 장치의 상세 구조를 나타내는 단면도, 도 25는 본 발명의 실시예 1의 변형예의 반도체 장치인 QFN의 구조를 나타내는 도면이고, 도 25의 (a)는 단면도, 도 25의 (b)는 저면도이다.

<116> 본 실시예 1의 반도체 장치는 수지 밀봉형이고, 또한, 면실장형임과 함께, 크기가 비교적 작고 또한 협 패드 피치(예를 들면, 패드 피치가 $80\mu\text{m}$ 이하)의 반도체 칩(2)이 내장된 것이며, 본 실시예 1에서는 이 반도체 장치의 일례로서 도 1에 도시한 QFP(Quad Flat Package: 6)를 예로 들어 설명한다.

<117> 또한, 본 실시예 1의 QFP(6)는 다핀이다.

<118> QFP(6)의 기본 구성을 대하여 설명하면, 도 1의 (a), 도 1의 (b)에 도시한 바와 같이, 반도체 칩(2)의 주위로 연장되는 복수의 내측 리드(1b)와, 반도체 칩(2)을 지지하고, 또한 각각의 내측 리드(1b)의 단부와 접합된 박판형의 절연성 부재와, 반도체 칩(2)의 주면(2c)에 형성된 표면 전극인 패드(2a)와 이에 대응하는 내측 리드(1b)를 전기적으로 접속하는 본딩용의 와이어(4)와, 반도체 칩(2)과 와이어(4)와 상기 절연성 부재를 수지 밀봉하여 형성된 밀봉부(3)와, 내측 리드(1b)에 이어지며, 또한 밀봉부(3)로부터 4방향의 외부로 돌출된 외부 단자인 복수의 외측 리드(1c)로 이루어지고, 이 외측 리드(1c)가 걸윙(gull-wing)형으로 굽힘 가공되어 있다.

<119> 또, QFP(6)는 상기 절연성 부재가, 예를 들면, 절연성의 예폭시계 등의 테이프 기재(5a)와 열가소성 수지 등의 절연성의 접착층(5b)으로 이루어진 테이프 기판(5)이고, 그 칩 지지면(5c)에서 반도체 칩(2)을 지지하고 있으며, 각각의 내측 리드(1b)의 단부가 접착층(5b)에 의해 절연성 부재(5)에 고정되어 있기 때문에, 몰드(수지 밀봉)할 때의 몰드 수지의 흐름에 의한 와이어 밀림이나 내측 리드(1b)의 변동을 억제하는 구조로 되어 있다.

<120> 그래서, 본 실시예 1의 QFP(6)의 특징은 박판형의 테이프 기판(5)에 의한 내측 리드(1b)의 고정 외에, 도 2에 도시한 바와 같이, 반도체 칩(2)의 사각형의 주면(2c)의 짧은 변의 길이(a)가 선단이 QFP(6)의 평면 방향의 중심선(6a)[X축 또는 Y축의 중심선(6a)]으로부터 가장 면 개소에 배치된 내측 리드(1b)의 상기 선단으로부터 반도체 칩(2)까지의 거리 (b)의 2배 이하로 되어 있다.

<121> 즉, 반도체 칩(2)의 짧은 변 길이(a)와, 반도체 칩(2)으로부터 그 선단 개소가 가장 멀리 떨어진 내측 리드(1b)의 반도체 칩(2)과의 클리어런스(b)와의 관계가 $a \leq 2b$ 로 되어 있다.

<122> 또한, 바람직하게는 $b \leq a \leq 2b$ 로 되어 있다.

<123> 이에 따라, 작고, 또한 좁은 패드 피치의 반도체 칩(2)을 탑재하는 다핀의 QFP(6)에서, 와이어 밀림이나 내측 리드(1b)의 변동을 억제하는 효과를 확실하게 작용시킬 수 있다.

<124> 그 결과, QFP(6)의 신뢰성을 향상시킬 수 있다.

<125> 또한, QFP(6)에서는 반도체 칩(2)의 크기가 작아지더라도 테이프 기판(5)에 반도체 칩(2)을 탑재할 수 있기 때문에, 칩 사이즈마다 매트릭스 프레임(1)(도 4 참조)이나 단열 리드 프레임(1g)(도 15 참조) 등의 리드 프레임을 준비하지 않아도 되고, 그 결과, 리드 프레임의 표준화를 도모할 수 있다.

<126> 또한, 도 3은 QFP(6)에서 이것에 탑재된 협 패드 피치의 반도체 칩(2)의 패드 피치(P)와, 인접하는 선단의 리드 간 피치가 가장 작은(좁은) 내측 리드(1b)의 선단 피치(L)와의 관계를 나타낸 것으로, $P \leq L/2$ 의 관계로 되어 있다.

<127> 즉, 반도체 칩(2)의 패드 피치가 인접하는 내측 리드(1b)간의 선단의 피치의 최소치의 $1/2$ 이하인 것에 의해, 협 패드 피치의 반도체 칩(2)을 탑재한 QFP(6)에의 유효성을 높일 수 있다.

<128> 또, 반도체 칩(2)의 패드 피치(P)는, 예를 들면, $60\mu\text{m}$ 이고, 내측 리드(1b)의 선단 피치의 최소치(L)는, 예를 들면, $180\mu\text{m}$ 이고, 이 경우 $(P=60\mu\text{m}) \leq (L=180\mu\text{m})/2$ 가 된다.

<129> 또한, 본 실시예 1의 QFP(6)는 협 패드 피치이며, 또한 다핀이다. 그래서, 상기 QFP(6)에의 유효성이 얻어지는

것은 밀봉부(3)의 평면 방향의 크기가, 예를 들면, 20mm×20mm 이상이고, 또한 핀 수(외부 단자 수)가 176개 이상인 경우에 높은 유효성이 얻어진다.

<130> 단, 상기 패드 피치(P), 내측 리드(1b)의 선단 피치의 최소치(L), 밀봉부(3)의 평면 방향의 크기 및 핀 수 등에 대해서는 상기 수치로 한정되는 것이 아니다.

<131> 또, 반도체 칩(2)에는 그 주면(2c)에 원하는 반도체 접적 회로가 형성되고, 이 주면(2c)에 형성된 패드(2a)와 이것에 대응하는 내측 리드(1b)가 와이어(4)에 의해 접속되며, 또한, 내측 리드(1b)와 연결된 외측 리드(1c)가 QFP(6)의 외부 단자로서 외부로 출력된다.

<132> 따라서, 반도체 칩(2)과 외측 리드(1c)와의 신호 전달은 와이어(4)와 내측 리드(1b)를 통해 행해진다.

<133> 또한, 와이어(4)는, 예를 들면, 금선이다.

<134> 또한, 내측 리드(1b) 및 외측 리드(1c)는, 예를 들면, 철-Ni 합금 또는 구리 합금 등이다.

<135> 또한, 밀봉부(3)는, 예를 들면, 예폭시계의 열 경화성 수지 등을 이용하여 몰드(수지 밀봉)를 행하고, 그 후, 이것을 열 경화시켜 형성한 것이다.

<136> 다음으로, 본 실시예 1의 QFP(6)의 제조 방법에 대하여 설명한다.

<137> 또, QFP(6)의 제조 방법에 이용되는 리드 프레임으로서, 우선, 도 4에 도시한 매트릭스 프레임(1)을 이용하는 경우를 설명한다.

<138> 처음에, 복수의 내측 리드(1b)와, 각각의 내측 리드(1b)의 단부와 접합함과 함께 반도체 칩(2)을 지지할 수 있는 박판형의 테이프 기판(5: 절연성 부재)과, 내측 리드(1b)와 이어지는 복수의 외측 리드(1c)로 이루어진 복수의 패키지 영역(1h)이 매트릭스 배치로 형성된 도 4에 도시한 매트릭스 프레임(1)을 준비한다.

<139> 즉, 철-Ni 합금 또는 구리 합금 등으로 이루어진 프레임 본체(1a)의 각 패키지 영역(1h)에, 도 5에 도시한 바와 같이 테이프 기판(5)이 부착된 매트릭스 프레임(1)을 준비한다.

<140> 예를 들면, 테이프 기재(5a)에 열가소성 수지의 접착제를 도포하여 접착층(5b)을 형성한 테이프 기판(5)을 준비하고, 매트릭스 프레임(1)의 각 패키지 영역(1h)에서 각각의 내측 리드(1b)의 단부와 테이프 기판(5)을 접착층(5b)을 통해 열 압착법에 의해 고정한다.

<141> 그 때, 테이프 기판(5)의 내측 리드 배치측의 면 즉 칩 지지면(5c) 전면에 걸쳐 접착층(5b)을 형성하고, 이 접착층(5b)에 의해 각 내측 리드(1b)와 테이프 기판(5)을 접합한다.

<142> 이것에 의해, 도 4에 도시한 매트릭스 프레임(1)이 완성된다.

<143> 또, 1개의 매트릭스 프레임(1)에는 1개의 QFP(6)에 대응한 패키지 영역(1h)이 매트릭스 배치로 형성되고, 각각의 패키지 영역(1h)에서 각 내측 리드(1b)의 단부에 절연성의 접착층(5b)을 통해 테이프 기재(5a)가 접합되어 있다.

<144> 또한, 각각의 패키지 영역(1h)에는 테이프 기판(5)의 주위 4방향에 대하여 복수의 내측 리드(1b)와, 각각으로 이어져 일체로 형성된 외부 단자인 외측 리드(1c)와, 몰드 시의 몰드 수지의 유출을 저지하는 램바(1i)가 배치되고, 각 외측 리드(1c)는 프레임 본체(1a)의 프레임부(1f)에 의해 지지되어 있다.

<145> 또한, 이 프레임부(1f)에는 다이 본딩 시나 와이어 본딩 시 매트릭스 프레임(1)을 반송할 때의 가이드용 긴 구멍(1d) 및 위치 결정 구멍(1e)이 형성되어 있다.

<146> 그 후, 도 6 및 도 7에 도시한 바와 같이, 각 패키지 영역(1h)에서 테이프 기판(5)의 칩 지지면(5c)에 반도체 칩(2)을 탑재하는 다이 본딩(웰릿 본딩 또는 칩 마운트라고도 함)을 행한다.

<147> 즉, 반도체 칩(2)의 이면(2b)과 테이프 기판(5)의 칩 지지면(5c)을 고정한다.

<148> 그 때, 반도체 칩(2)의 고정은 도 7에 도시한 바와 같이 테이프 기판(5)의 접착층(5b)에 의해 행해도 되고, 혹은, 도 8에 도시한 변형예와 같이, 은 페이스트 등의 수지 페이스트(8)에 의해 고정해도 좋다.

<149> 또, 각 패키지 영역(1h)의 테이프 기판(5)에서 반도체 칩(2)은 테이프 기판(5)의 내측 리드 배치측의 면에 탑재됨과 함께, 반도체 칩(2)의 사각형의 주면(2c)의 짧은 변의 길이가 선단이 QFP(6)의 평면 방향의 중심선(6a)으로부터 가장 면 개소에 배치된 내측 리드(1b)의 상기 선단으로부터 반도체 칩(2)까지의 거리의 2배 이하가 되도록

록 탑재한다.

<150> 즉, 도 2에 도시한 $a \leq 2b$ 의 관계로 한다.

<151> 또, 본 실시예 1의 QFP(6)에 삽입되는 반도체 칩(2)은 소형임과 함께, 그 패드 피치가, 예를 들면, $80\mu\text{m}$ 미만, 바람직하게는 $60\mu\text{m}$ 이하의 협 패드 피치이다.

<152> 그 후, 도 9, 도 10에 도시한 바와 같이, 반도체 칩(2)의 패드(2a)와 이에 대응하는 내측 리드(1b)를 와이어 본딩에 의해 접속한다.

<153> 즉, 금선 등의 본딩용의 와이어(4)를 이용하여 와이어 본딩을 행하고, 이에 따라, 패드(2a)와 이에 대응하는 내측 리드(1b)를 와이어(4)에 의해 접속한다.

<154> 또, 도 11에 도시한 변형에는 절연성 부재로서, 유리 함유 에폭시 기판(5d)을 이용한 경우이다.

<155> 와이어 본딩 종료 후, 몰드 방법에 의해 반도체 칩(2)과 와이어(4)와 각 내측 리드(1b)와 테이프 기판(5)을 수지 밀봉하여, 도 12, 도 13에 도시한 바와 같이 밀봉부(3)를 형성한다.

<156> 또, 상기 몰드에 이용하는 몰드 수지는, 예를 들면, 에폭시계의 열 경화성 수지 등이다.

<157> 수지 밀봉 종료 후, 밀봉부(3)로부터 돌출된 176개의 외측 리드(1c)를 리드 프레임(1)의 프레임 본체(1a)의 프레임부(1f)로부터 절단 성형 금형(도시하지 않음) 등을 이용한 절단에 의해 분리하고, 또한, 도 1의 (a)에 도시한 바와 같이, 외측 리드(1c)를 걸윙형으로 굽힘 성형한다.

<158> 이에 따라, 도 1에 도시한 QFP(6: 반도체 장치)를 제조할 수 있다.

<159> 계속해서, 리드 프레임으로서, 도 15에 도시한 단열 리드 프레임(1g)을 이용하여 제조를 행하는 경우를 설명한다.

<160> 단열 리드 프레임(1g)은 복수의 내측 리드(1b)와, 각각의 내측 리드(1b)의 단부와 접합함과 함께 반도체 칩(2)을 지지할 수 있는 박판형의 절연성 부재인 테이프 기판(5)과, 내측 리드(1b)와 이어지는 복수의 외측 리드(1c)로 이루어진 도 14에 도시한 복수의 패키지 영역(1h)이 1열로 다수 연결되어 형성된 것이다.

<161> 즉, 복수의 내측 리드(1b)와 이것에 이어지는 복수의 외측 리드(1c)로 이루어진 복수의 패키지 영역(1h)이 1열로 이어져 형성된 도 14에 도시한 프레임 본체(1a)의 각 패키지 영역(1h)에, 도 4에 도시한 매트릭스 프레임(1)의 경우와 마찬가지로 테이프 기판(5)을 부착한 것이다.

<162> 이하, 매트릭스 프레임(1)을 이용한 경우의 제조 방법과 마찬가지의 수순에 의해, 다이 본딩 및 와이어 본딩을 행하여 도 16에 도시한 상태로 한다.

<163> 또한, 몰드에 의한 수지 밀봉을 행하여 도 17에 도시한 상태로 하고, 그 후, 절단 성형을 행하여 도 18에 도시한 QFP(6)로 한다.

<164> 또, 완성된 QFP(6)는, 도 19에 도시한 바와 같이, 다른 반도체 패키지인 SOP(Small Out line Package: 9)나, 다른 전자 부품 등과 함께 동일한 실장 기판(7)에, 예를 들면, 땀납 리플로우 등에 의해 혼재 가능하다.

<165> 다음으로, 도 20~도 25에 도시한 본 실시예 1의 변형예에 대하여 설명한다.

<166> 도 20은 박판형의 절연성 부재로서 세라믹 기판(5e)을 이용한 예이고, 세라믹 기판(5e)과 내측 리드(1b)가 접착층(5b)에 의해 접합되어 있다. 세라믹 기판(5e)을 이용해도 테이프 기판(5)을 이용한 경우와 마찬가지의 효과를 얻을 수 있다.

<167> 또한, 도 21에 도시한 QFP(6)는 테이프 기판(5) 등의 절연성 부재의 내측 리드 배치측의 면[침 지지면(5c)]과 반대측의 면에 금속판(5f)이 부착된 구조이며, 도 22~도 24는 그 구체예를 나타내는 것이다.

<168> 도 22는 절연성 부재로서 접착층(5b)을 사용하는 것이다.

<169> 즉, 금속판(5f)의 한쪽 면에 절연성의 접착제를 도포하여 접착층(5b)을 형성하고, 이 접착층(5b)을 통해 내측 리드(1b)와 금속판(5f)이 접합되어 있다.

<170> 또한, 도 23은 접착층(5b)이 경질 접착층(5g)과 연질 접착층(5h)으로 이루어진 2층식의 것으로, 연질 접착층(5h)에 의해 내측 리드(1b)와 경질 접착층(5g)과의 접합을 도모하고, 또한, 경질 접착층(5g)에 의해 내측 리드(1b)의 벼어(burr)에 의한 금속판(5f)측으로의 관통을 막는 것이다.

- <171> 또한, 도 24는 테이프 기재(5a)의 표리 양면에 접착층(5b)을 형성하여, 이것에 의해 내측 리드(1b)와 테이프 기재(5a)의 접합, 및 테이프 기재(5a)와 금속판(5f)과의 접합을 도모하는 것이다.
- <172> 또, 도 21~도 24에 도시한 변형예의 경우, 도 1에 도시한 테이프 기판(5)을 이용한 경우의 효과와 마찬가지의 효과 외에, 금속판(5f)이 부착됨으로써 QFP(6)의 방열성을 향상시킬 수 있다.
- <173> 또한, 도 25의 (a), 도 25의 (b)에 도시한 변형예는 반도체 장치가 QFN(Quad Flat Non-leaded Package: 10)인 경우이고, 본 실시예 1의 반도체 장치는 QFN(10)이라도 그 목적을 실현할 수 있다.
- <174> QFN(10)은, 도 25의 (b)에 도시한 바와 같이, 밀봉부(3)의 이면(3a)의 주연부에 외부 단자가 되는 외측 리드(1c)가 배치되는 구조이며, 도 25의 (a)에 도시한 바와 같이, 내측 리드(1b)의 단부에, 예를 들면, 테이프 기판(5) 등의 절연성 부재[세라믹 기판(5e)이나 유리 함유 에폭시 기판(5d) 등이라도 좋음]가 고정되고, 그 칩 지지면(5c)에 반도체 칩(2)이 고정된 구조이다.
- <175> 이 QFN(10)에서도 반도체 칩(2)과 내측 리드(1b)와의 관계를 도 2에 도시한 관계로 하고, 혹은, 이에 덧붙여서도 3에 도시한 패드 피치 및 내측 리드(1b)의 선단 피치의 조건을 설정함으로써, 도 1에 도시한 QFP(6)와 마찬가지의 효과를 얻을 수 있다.
- <176> (실시예 2)
- <177> 도 26은 본 발명의 실시예 2의 반도체 장치의 구조의 일례를 나타내는 단면도, 도 27은 도 26에 도시한 반도체 장치의 조립에 이용되는 리드 프레임의 구조의 일례를 나타내는 부분 단면도, 도 28~도 33은 본 발명의 실시예 2의 변형예의 리드 프레임의 구조를 나타내는 부분 단면도, 도 34는 본 발명의 실시예 2의 리드 프레임의 절연성 부재에 반도체 칩을 탑재했을 때의 반도체 칩과 절연성 부재 및 접착층과의 두께의 관계의 일례를 나타내는 부분 단면도, 도 35와 도 36은 본 발명의 실시예 2의 변형예의 리드 프레임의 구조를 나타내는 확대 부분 평면도이다.
- <178> 도 26에 도시한 본 실시예 2의 반도체 장치는 실시예 1의 QFP(6)와 거의 마찬가지의 기본 구조를 갖는 QFP(11)이지만, 실시예 1에서 설명한 도 2 및 도 3에 도시한 조건은 포함되어 있지 않은 것이다.
- <179> QFP(11)의 기본 구성은 반도체 칩(2)의 주위로 연장되는 복수의 내측 리드(1b)와, 반도체 칩(2)을 지지하고, 또한 각각의 내측 리드(1b)의 단부와 접합된 박판형의 절연성 부재와, 반도체 칩(2)과 상기 절연성 부재를 접합하는 수지 페이스트(8)와, 내측 리드(1b)와 상기 절연성 부재를 접합하는 접착층(5b)과, 반도체 칩(2)의 패드(2a)와 이에 대응하는 내측 리드(1b)를 접속하는 본딩용의 와이어(4)와, 반도체 칩(2)과 와이어(4)와 상기 절연성 부재를 수지 밀봉하여 형성된 밀봉부(3)와, 내측 리드(1b)에 이어지며, 또한, 밀봉부(3)로부터 노출되는 복수의 외측 리드(1c)로 이루어진다.
- <180> 그래서, 본 실시예 2의 QFP(11)의 특징은 접착층(5b)의 형성 개소나 절연성 부재의 재질 또는 형상 등을 변화시킨 것이다.
- <181> 우선, 도 27은 상기 절연성 부재로서 테이프 기판(5)을 이용하고, 또한, 접착층(5b)이 테이프 기판(5)의 내측 리드 배치측의 면의 리드 접합부(51)에만 배치되어 있고, 테이프 기판(5)의 테이프 기재(5a)와 내측 리드(1b)가 접착층(5b)에 의해 접합되어 있다.
- <182> 이것에 의해, 접착층(5b)을 형성하는 접착제의 양을 감소시켜 비용 저감을 도모할 수 있다.
- <183> 또한, 도 28은 상기 절연성 부재로서 유리 함유 에폭시 기판(5d)을 이용한 것이고, 또한, 도 29는 상기 절연성 부재로서 유리 함유 에폭시 기판(5d)을 이용하였을 때, 접착층(5b)을 유리 함유 에폭시 기판(5d)의 내측 리드 배치측의 면의 리드 접합부(51)에만 배치한 것이다.
- <184> 도 28 및 도 29에서는 유리 함유 에폭시 기판(5d)과 내측 리드(1b)가 접착층(5b)에 의해 접합되어 있다.
- <185> 또한, 도 30 및 도 31은 상기 절연성 부재로서, 유리 함유 에폭시 기판(5d)을 이용한 경우이고, 유리 함유 에폭시 기판(5d)과 내측 리드(1b)가 표리 양면에 접착층(5b)이 배치된 테이프 기재(5a)를 갖는 양면 접착 테이프(5i)의 접착층(5b)에 의해 접합되어 있다.
- <186> 그 때, 도 30은 양면 접착 테이프(5i)가 유리 함유 에폭시 기판(5d)의 내측 리드 배치측의 면[칩 지지면(5c)]의 전면에 걸쳐 배치되어 있고, 또한, 도 31은 내측 리드(1b)의 리드 접합부(51)에만 양면 접착 테이프(5i)가 배치되어 있는 경우이다.

- <187> 또한, 도 32 및 도 33은 상기 절연성 부재가 알루미나 입자(5j)를 함유하는 유리 함유 에폭시 기판(5d)이고, 유리 함유 에폭시 기판(5d)과 내측 리드(1b)가 양면 접착 테이프(5i)의 접착층(5b)에 의해 접합되어 있는 것이다.
- <188> 그 때, 도 32는 양면 접착 테이프(5i)가 유리 함유 에폭시 기판(5d)의 내측 리드 배치측의 면[침 지지면(5c)]의 전면에 걸쳐 배치되어 있고, 또한, 도 33은 유리 함유 에폭시 기판(5d)의 양면 접착 테이프 접합측과 반대측의 면에 금속판(5f)이 부착되어 있는 것이다.
- <189> 또, 상기 절연성 부재로서, 알루미나 입자(5j)를 함유한 유리 함유 에폭시 기판(5d)을 이용함으로써, 유리 함유 에폭시 기판(5d)의 열 팽창 계수를 반도체 칩(2)의 실리콘에 가깝게 할 수 있음과 함께, 방열성을 향상시킬 수 있다. 또한, 도 33에 도시한 바와 같이, 금속판(5f)을 부착함으로써, 방열성을 더욱 향상시킬 수 있다.
- <190> 또한, 도 34는 상기 절연성 부재로서 유리 함유 에폭시 기판(5d)을 이용하였을 때[테이프 기판(5)이라도 좋음], 반도체 칩(2)의 두께(C)가 유리 함유 에폭시 기판(5d)과 접착층(5b)을 합한 두께(D)보다 두꺼워지는 구조로 한 것이며, C>D로 되어 있다.
- <191> 이에 따라, 반도체 칩(2)의 다이 본딩 시의 열 전도를 향상시킬 수 있다.
- <192> 또한, 반도체 칩(2)의 두께가 유리 함유 에폭시 기판(5d) 등의 절연성 부재와 접착층(5b)을 합한 두께보다 두꺼워짐으로써, 상기 절연성 부재의 두께를 얇게 할 수 있기 때문에, 본 실시예 2의 QFP(11)의 두께를 얇게 형성할 수 있다.
- <193> 그 결과, 재료비를 저감할 수 있으며, 따라서, QFP(11)의 저비용화를 도모할 수 있다.
- <194> 또한, 도 35 및 도 36에 도시한 변형예는 절연성 부재로서 테이프 기판(5)[유리 함유 에폭시 기판(5d)이라도 좋음]을 이용하였을 때, 테이프 기판(5)에 여러 가지 형상의 관통 구멍(5k)이 형성되고, 관통 구멍(5k)에 수지 밀봉할 때의 몰드 수지가 매립되는 것이다.
- <195> 도 35는 테이프 기판(5)에 복수의 원형의 관통 구멍(5k)을 설치한 경우이고, 또한, 도 36은 가늘고 긴 관통 구멍(5k)을 십자 배치로 설치한 것이다.
- <196> 도 35 및 도 36에 도시한 구조에 의해, 내측 리드(1b)의 변동을 억제하면서, 또한 와이어 밀립을 막을 수 있음과 함께, 몰드 수지와 테이프 기판(5)의 밀착성을 향상시킬 수 있으며, QFP(11)의 신뢰성을 향상시킬 수 있다.
- <197> 또, 테이프 기판(5)에서의 관통 구멍(5k)의 형상이나 형성 영역은 몰드 수지에 의한 와이어 밀립을 발생시키지 않을 정도의 크기(형상)나 영역이면, 특별히 한정되는 것은 아니다.
- <198> 본 실시예 2의 QFP(11)에 따르면, 내측 리드(1b)의 단부를 테이프 기판(5)이나 유리 함유 에폭시 기판(5d) 등의 박판형의 절연성 부재와 접합함으로써, 몰드 수지의 흐름에 의한 와이어 밀립이나 내측 리드 변동을 억제할 수 있고, 그 결과, 내측 리드(1b)의 협 패드 퍼치화를 도모할 수 있음과 함께, 내측 리드(1b)의 변동에 의한 와이어(4)의 단선을 방지할 수 있다.
- <199> 또한, 내측 리드(1b)의 단부를 상기 박판형의 절연성 부재와 접합함으로써, 몰드 수지와 내측 리드(1b)와의 열 팽창 계수의 차에 의해 발생하는 맴남 리플로우 시의 내측 리드(1b)의 선단 부근의 신축을 억제할 수 있다.
- <200> 이에 따라, 와이어(4)의 내측 리드(1b)와의 접합부에서 발생하는 단선을 방지할 수 있으며, 그 결과, QFP(11)의 신뢰성을 향상시킬 수 있다.
- <201> 또한, QFP(11)는 내측 리드(1b)를 상기 박판형의 절연성 부재[유리 함유 에폭시 기판(5d), 알루미나 입자(5j)가 함유된 유리 함유 에폭시 기판(5d) 또는 테이프 기판(5) 등]에 고정하는 구조이기 때문에, 구리판 등의 금속의 박판에 내측 리드(1b)를 고정하는 경우와 비교하여, 상기 박판형의 절연성 부재가 부착된 매트릭스 프레임(1) (도 4 참조)이나 단열 리드 프레임(1g) (도 15 참조)을 가볍게 또한 저비용으로 할 수 있다.
- <202> 또한, 상기 구리판이 두께 약 $120\mu\text{m}$ 이고, 그 때의 반도체 장치의 두께가 $2.8\sim3\text{mm}$ 정도인 데 반하여, 본 실시예 2와 같이, 상기 박판형의 절연성 부재는 $50\mu\text{m}$ 정도의 두께로 형성할 수 있기 때문에, 이것을 이용하여 조립하는 QFP(11)를 $1\sim1.2\text{mm}$ 정도의 두께로 할 수 있다.
- <203> 따라서, 본 실시예 2에 따르면, 가볍게 박형으로, 또한 다편의 QFP(11)를 실현할 수 있다.

- <204> 또, 본 실시예 2의 QFP(11)의 제조 방법은 실시예 1에서 설명한 QFP(6)의 제조 방법과 마찬가지이기 때문에, 그 중복 설명은 생략한다.
- <205> 이상, 본 발명자에 의해 이루어진 발명을 발명의 실시예에 기초하여 구체적으로 설명하였지만, 본 발명은 상기 발명의 실시예에 한정되는 것이 아니라, 그 요지를 일탈하지 않는 범위에서 여러 가지 변경 가능한 것은 물론이다.
- <206> 예를 들면, 상기 실시예 2에서는 반도체 장치로서 QFP(11)를 예로 들어 설명하였지만, 실시예 2의 반도체 장치로서는 QFP(11) 이외의 외측 리드(1c)가 2방향으로 돌출되는 것이어도 된다.
- <207> 또한, 본 발명의 반도체 장치 및 그 제조 방법은 상기 실시예 1과 상기 실시예 2를 조합한 내용의 것이어도 좋다.

발명의 효과

- <208> 본원에서 개시되는 발명 중, 대표적인 것에 의해 얻어지는 효과를 간단하게 설명하면, 이하와 같다.
- <209> (1). 내측 리드를 절연성 부재에 접합하고, 또한 반도체 칩의 주면의 짧은 변 길이가, 선단이 반도체 장치의 중심선으로부터 가장 먼 개소에 배치된 내측 리드의 상기 선단으로부터 반도체 칩까지의 거리의 2배 이하인 것에 의해, 내측 리드를 절연성 부재에 고정하여 몰드 수지의 흐름에 의한 와이어 밀림이나 내측 리드 변동을 억제하는 효과를 확실하게 작용시킬 수 있다. 그 결과, 내측 리드를 절연성 부재에 접합하는 구조의 반도체 장치의 신뢰성을 향상시킬 수 있다.
- <210> (2). 내측 리드를 절연성 부재에 접합하고, 또한 반도체 칩의 주면의 짧은 변 길이가, 선단이 반도체 장치의 중심선으로부터 가장 먼 개소에 배치된 내측 리드의 상기 선단으로부터 반도체 칩까지의 거리의 2배 이하인 것에 의해, 칩 사이즈가 작아지더라도 절연성 부재에 반도체 칩을 탑재할 수 있으며, 칩 사이즈마다 리드 프레임을 준비하지 않아도 되며, 그 결과, 리드 프레임의 표준화를 도모할 수 있다.
- <211> (3). 내측 리드의 단부를 박판형의 절연성 부재와 접합함으로써, 몰드 수지의 흐름에 의한 와이어 밀림이나 내측 리드 변동을 억제하는 수 있으며, 그 결과, 내측 리드의 협 패드 피치화를 도모할 수 있음과 함께, 내측 리드의 변동에 의한 와이어의 단선을 방지할 수 있다.
- <212> (4). 내측 리드의 단부를 박판형의 절연성 부재와 접합함으로써, 몰드 수지와 내측 리드와의 열 팽창 계수의 차에 의해 발생하는 땀납 리플로우 시의 내측 리드의 선단의 신축을 억제할 수 있다. 이에 따라, 와이어의 내측 리드와의 접합부에서 발생하는 단선을 방지할 수 있으며, 그 결과, 반도체 장치의 신뢰성을 향상시킬 수 있다.
- <213> (5). 반도체 칩의 두께가 절연성 부재와 접착층을 합한 두께보다 두꺼워짐으로써, 다이 본딩 시의 열 전도를 향상시킬 수 있다.
- <214> (6). 반도체 칩의 두께가 절연성 부재와 접착층을 합한 두께보다 두꺼워짐으로써, 절연성 부재의 두께를 얇게 할 수 있기 때문에, 반도체 장치의 두께를 얇게 형성할 수 있다. 이에 따라, 재료비를 저감할 수 있으며, 반도체 장치의 저비용화를 도모할 수 있다.

도면의 간단한 설명

- <1> 도 1의 (a), 도 1의 (b)는 본 발명의 실시예 1의 반도체 장치의 구조의 일례를 나타내는 도면이고, 도 1의 (a)는 단면도, 도 1의 (b)는 평면도.
- <2> 도 2는 도 1에 도시한 반도체 장치에서의 반도체 칩과 내측 리드와의 거리의 일례를 나타내는 부분 평면도.
- <3> 도 3은 도 1에 도시한 반도체 장치에서의 반도체 칩의 패드 피치 및 내측 리드의 리드간 피치의 일례를 나타내는 확대 부분 평면도.
- <4> 도 4는 도 1에 도시한 반도체 장치의 조립에 이용되는 매트릭스 프레임의 구조의 일례를 일부 파단하여 나타내는 부분 평면도.
- <5> 도 5는 도 4에 도시한 A-A선을 따른 단면의 구조를 나타내는 확대 부분 단면도.
- <6> 도 6은 도 4에 도시한 매트릭스 프레임을 이용한 반도체 장치의 조립에서의 다이 본딩 후의 구조의 일례를 일부

파단하여 나타내는 부분 평면도.

- <7> 도 7은 도 6에 도시한 B-B선을 따른 단면의 구조를 나타내는 확대 부분 단면도.
- <8> 도 8은 도 7에 대한 변형예의 다이 본딩 후의 구조를 나타내는 확대 부분 단면도.
- <9> 도 9는 도 4에 도시한 매트릭스 프레임을 이용한 반도체 장치의 조립에서의 와이어 본딩 후의 구조의 일례를 일부 파단하여 나타내는 부분 평면도.
- <10> 도 10은 도 9에 도시한 C-C선을 따른 단면의 구조를 나타내는 확대 부분 단면도.
- <11> 도 11은 도 10에 대한 변형예의 와이어 본딩 후의 구조를 나타내는 확대 부분 단면도.
- <12> 도 12는 도 4에 도시한 매트릭스 프레임을 이용한 반도체 장치의 조립에서의 수지 밀봉 후의 구조의 일례를 일부 파단하여 나타내는 부분 평면도.
- <13> 도 13은 도 12에 도시한 D-D선을 따른 단면의 구조를 나타내는 확대 부분 단면도.
- <14> 도 14는 도 1에 도시한 반도체 장치의 조립에 이용되는 단열(單列) 리드 프레임의 프레임 본체의 구조의 일례를 나타내는 부분 평면도.
- <15> 도 15는 도 14에 프레임 본체에 절연성 부재가 부착된 단열 리드 프레임의 구조를 나타내는 확대 부분 평면도.
- <16> 도 16은 도 15에 도시한 단열 리드 프레임을 이용한 반도체 장치의 조립에서의 와이어 본딩 후의 구조의 일례를 나타내는 확대 부분 평면도.
- <17> 도 17은 도 15에 도시한 단열 리드 프레임을 이용한 반도체 장치의 조립에서의 수지 밀봉 후의 구조의 일례를 나타내는 확대 부분 평면도.
- <18> 도 18은 도 15에 도시한 단열 리드 프레임을 이용한 반도체 장치의 조립에서의 절단 성형 후의 구조의 일례를 나타내는 측면도.
- <19> 도 19는 도 1에 도시한 반도체 장치와 다른 반도체 장치의 실장 상태의 일례를 나타내는 확대 부분 평면도.
- <20> 도 20은 도 5에 대한 변형예의 구조를 나타내는 확대 부분 단면도.
- <21> 도 21은 본 발명의 실시예 1의 변형예의 반도체 장치의 구조를 나타내는 단면도.
- <22> 도 22는 도 21에 도시한 변형예의 반도체 장치의 상세 구조를 나타내는 단면도.
- <23> 도 23은 도 21에 도시한 변형예의 반도체 장치의 상세 구조를 나타내는 단면도.
- <24> 도 24는 도 21에 도시한 변형예의 반도체 장치의 상세 구조를 나타내는 단면도.
- <25> 도 25의 (a), 도 25의 (b)는 본 발명의 실시예 1의 변형예의 반도체 장치인 QFN의 구조를 나타내는 도면으로서, 도 25의 (a)는 단면도, 도 25의 (b)는 저면도.
- <26> 도 26은 본 발명의 실시예 2의 반도체 장치의 구조의 일례를 나타내는 단면도.
- <27> 도 27은 도 26에 도시한 반도체 장치의 조립에 이용되는 리드 프레임의 구조의 일례를 나타내는 부분 단면도.
- <28> 도 28은 본 발명의 실시예 2의 변형예의 리드 프레임의 구조를 나타내는 부분 단면도.
- <29> 도 29는 본 발명의 실시예 2의 변형예의 리드 프레임의 구조를 나타내는 부분 단면도.
- <30> 도 30은 본 발명의 실시예 2의 변형예의 리드 프레임의 구조를 나타내는 부분 단면도.
- <31> 도 31은 본 발명의 실시예 2의 변형예의 리드 프레임의 구조를 나타내는 부분 단면도.
- <32> 도 32는 본 발명의 실시예 2의 변형예의 리드 프레임의 구조를 나타내는 부분 단면도.
- <33> 도 33은 본 발명의 실시예 2의 변형예의 리드 프레임의 구조를 나타내는 부분 단면도.
- <34> 도 34는 본 발명의 실시예 2의 리드 프레임의 절연성 부재에 반도체 칩을 탑재했을 때의 반도체 칩과, 절연성 부재 및 접착층과의 두께의 관계의 일례를 나타내는 부분 단면도.

- <35> 도 35는 본 발명의 실시예 2의 변형예의 리드 프레임의 구조를 나타내는 확대 부분 평면도.
- <36> 도 36은 본 발명의 실시예 2의 변형예의 리드 프레임의 구조를 나타내는 확대 부분 평면도.
- <37> <도면의 주요 부분에 대한 부호의 설명>
- <38> 1 : 매트릭스 프레임(리드 프레임)
- <39> 1a : 프레임 본체
- <40> 1b : 내측 리드
- <41> 1c : 외측 리드
- <42> 1d : 가이드용 긴 구멍
- <43> 1e : 위치 결정 구멍
- <44> 1f : 프레임부
- <45> 1g : 단열 리드 프레임(리드 프레임)
- <46> 1h : 패키지 영역
- <47> 1i : 땜바
- <48> 2 : 반도체 칩
- <49> 2a : 패드(표면 전극)
- <50> 2b : 이면
- <51> 2c : 주면
- <52> 3 : 밀봉부
- <53> 3a : 이면
- <54> 4 : 와이어
- <55> 5 : 테이프 기판(절연성 부재)
- <56> 5a : 테이프 기재
- <57> 5b : 접착층
- <58> 5c : 칩 지지면
- <59> 5d : 유리 함유 애폴시 기판(절연성 부재)
- <60> 5e : 세라믹 기판(절연성 부재)
- <61> 5f : 금속판
- <62> 5g : 경질 접착층
- <63> 5h : 연질 접착층
- <64> 5i : 양면 접착 테이프
- <65> 5j : 알루미나 입자
- <66> 5k : 관통 구멍
- <67> 5l : 리드 접합부
- <68> 6 : QFP(반도체 장치)
- <69> 6a : 중심선
- <70> 7 : 실장 기판

<71> 8 : 수지 페이스트

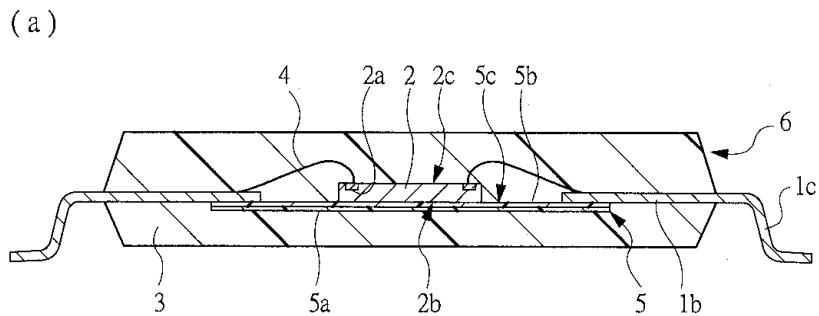
<72> 9 : SOP

<73> 10 : QFN(반도체 장치)

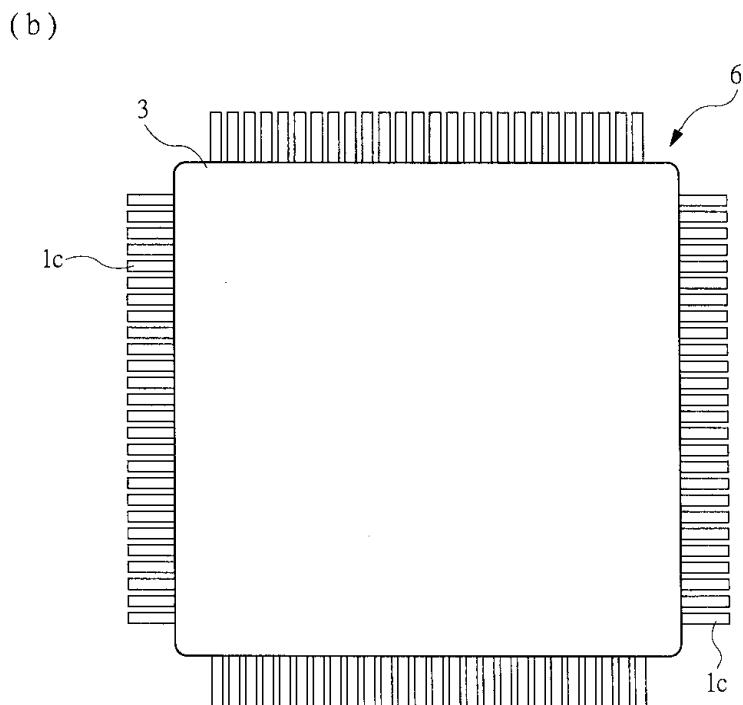
<74> 11 : QFP(반도체 장치)

도면

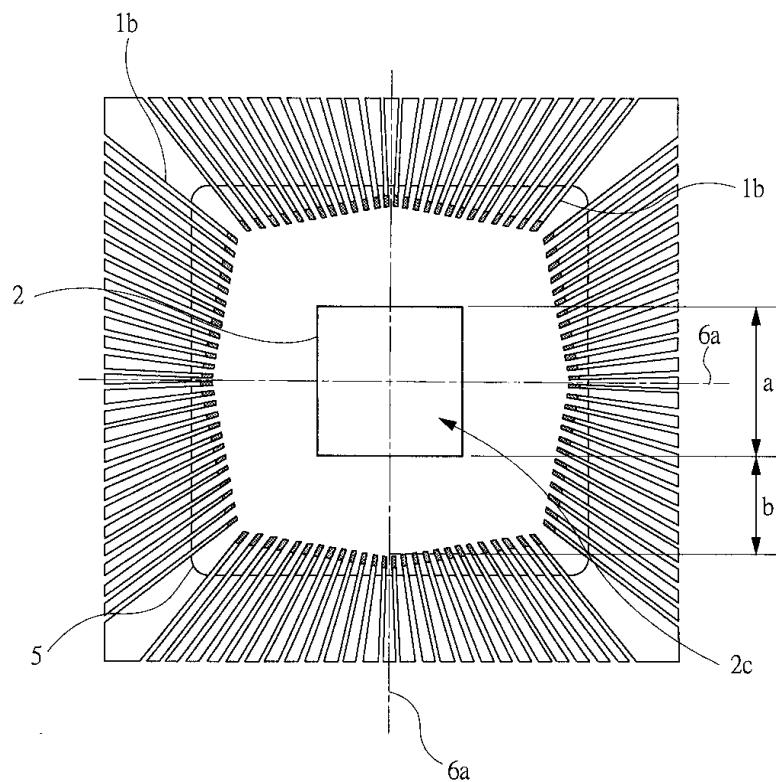
도면1



| | |
|------------|------------------|
| 1c : 외측 리드 | 5a : 테이프 기재 |
| 2a : 페드 | 5b : 접착층 |
| 3 : 밀봉부 | 6 : QFP (반도체 장치) |
| 4 : 와이어 | |



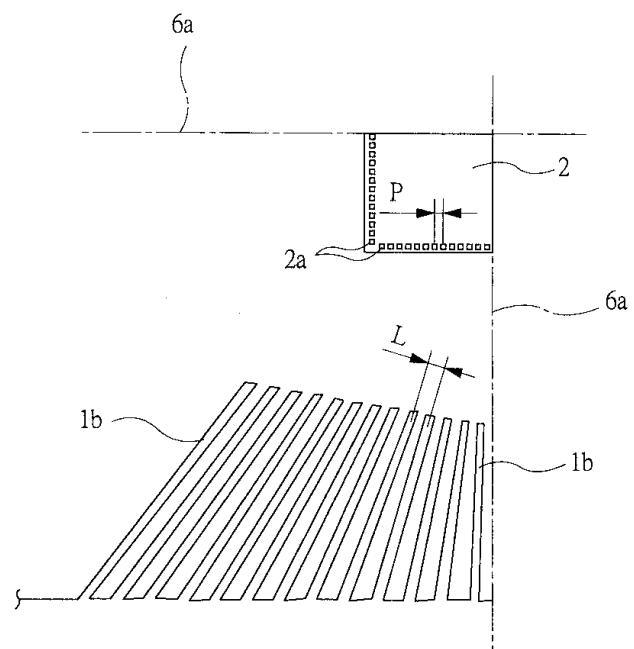
도면2



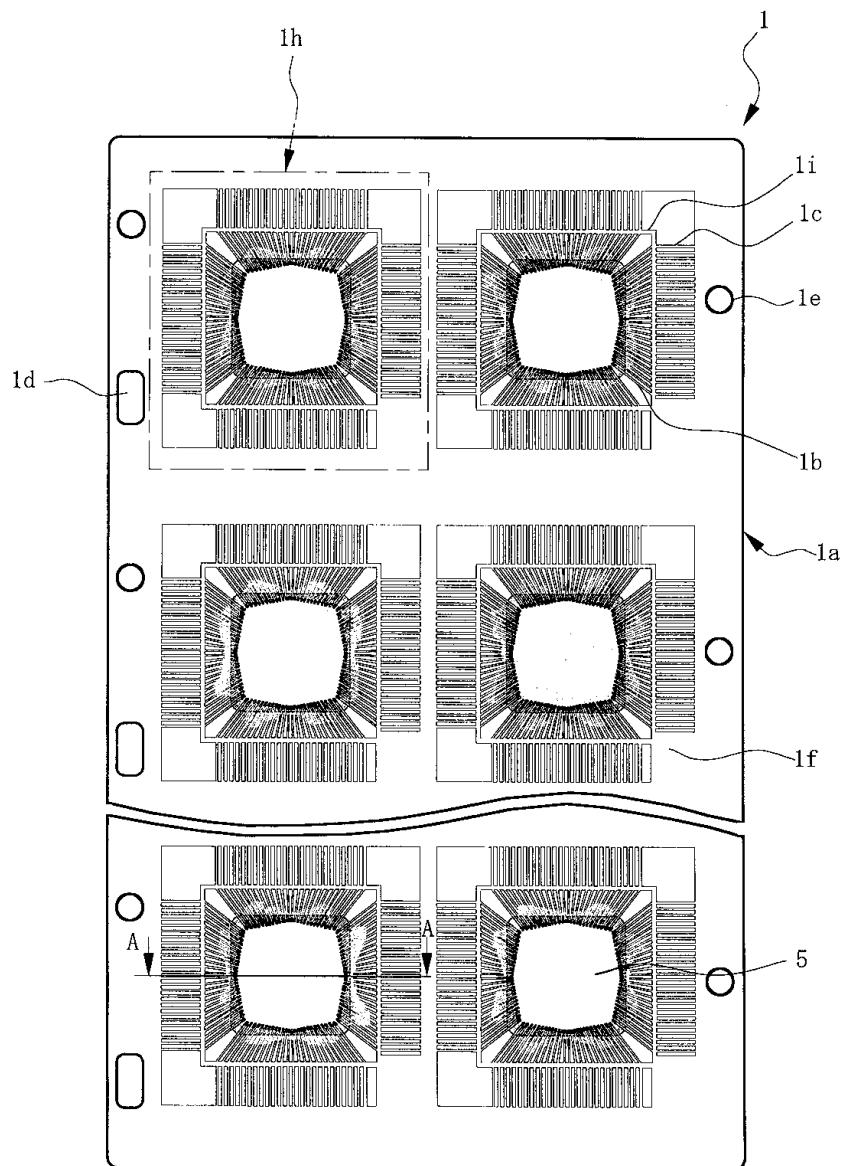
1b : 내측 리드
2 : 반도체칩
2c : 주면

5 : 테이프 기판
6a : 중심선

도면3

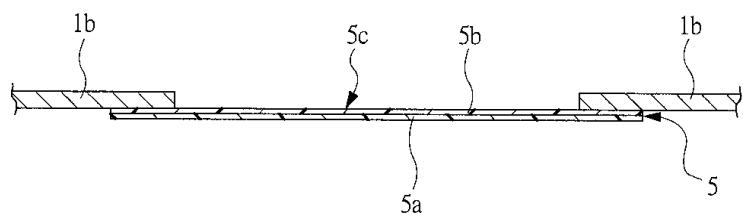


도면4

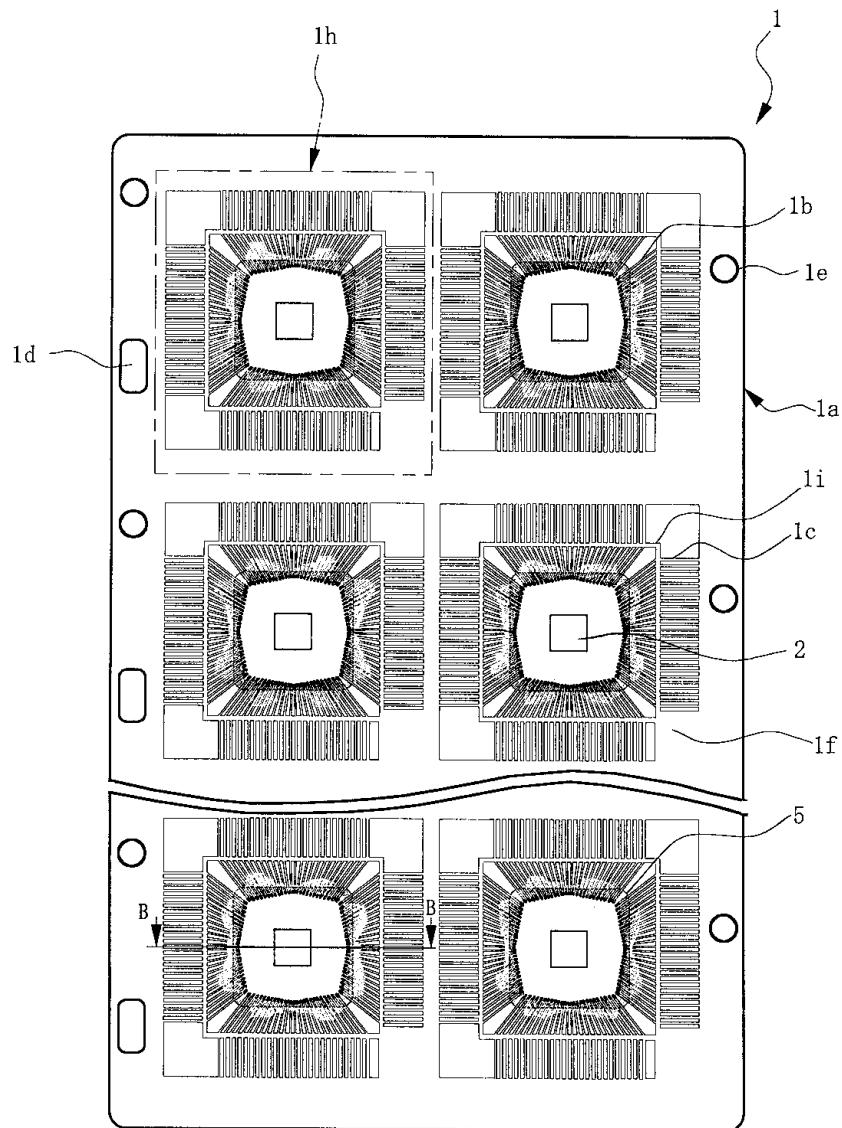


1 : 매트릭스 프레임(리드 프레임)
1h : 페키지 영역

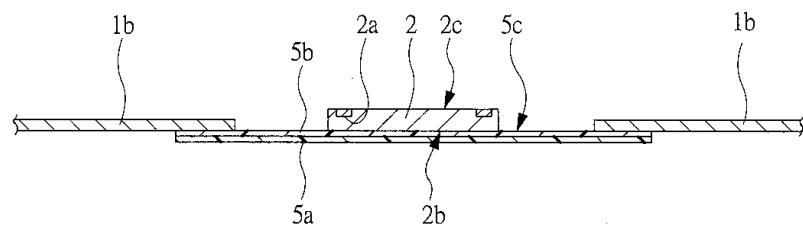
도면5



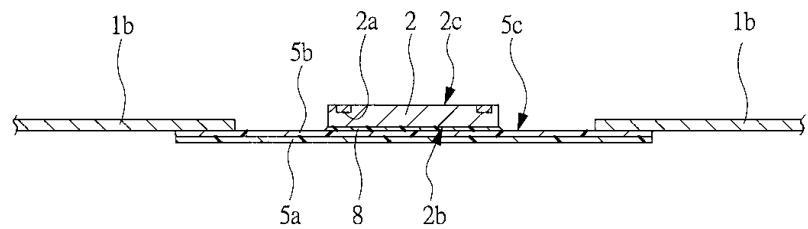
도면6



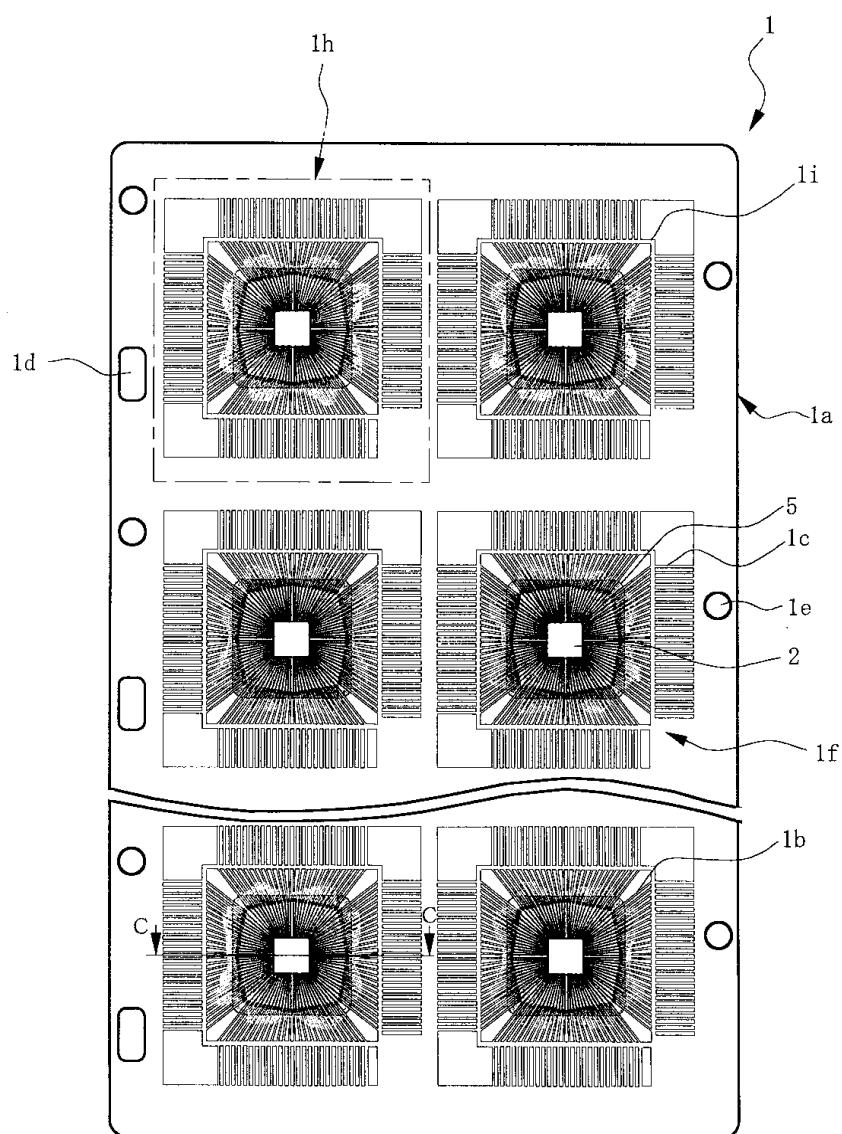
도면7



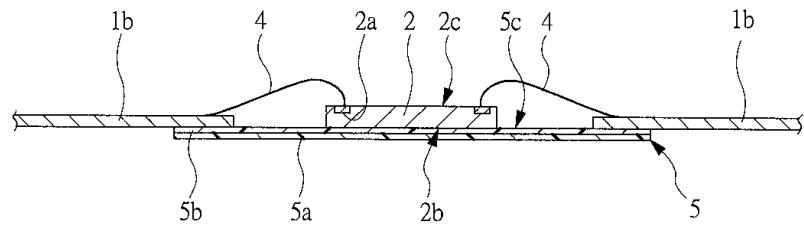
도면8



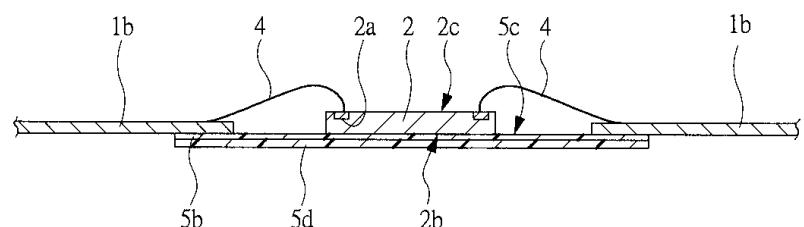
도면9



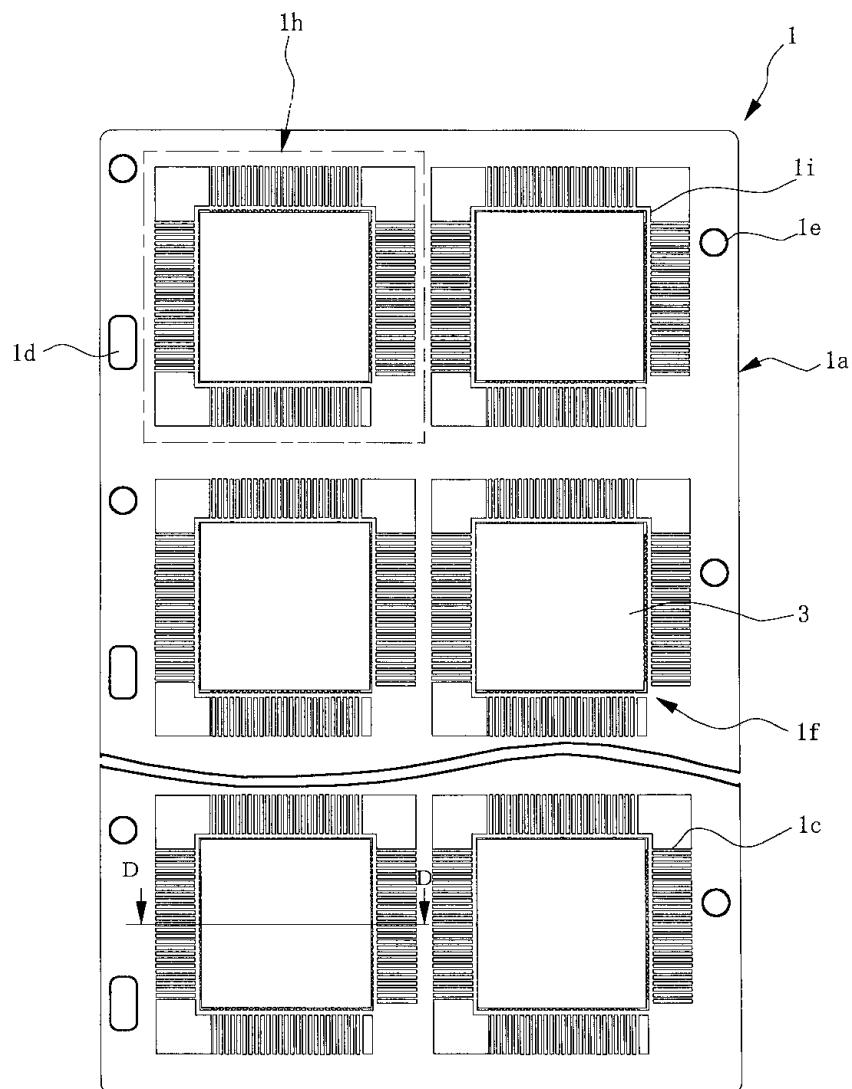
도면10



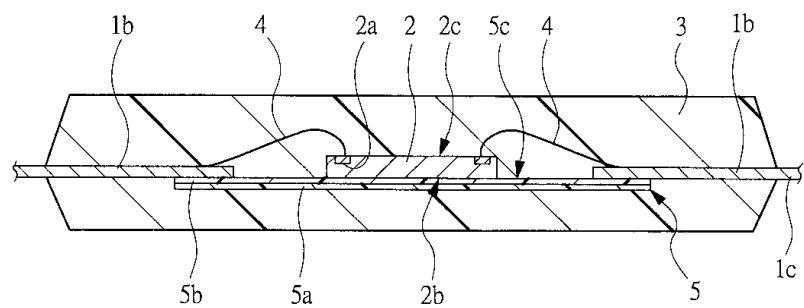
도면11



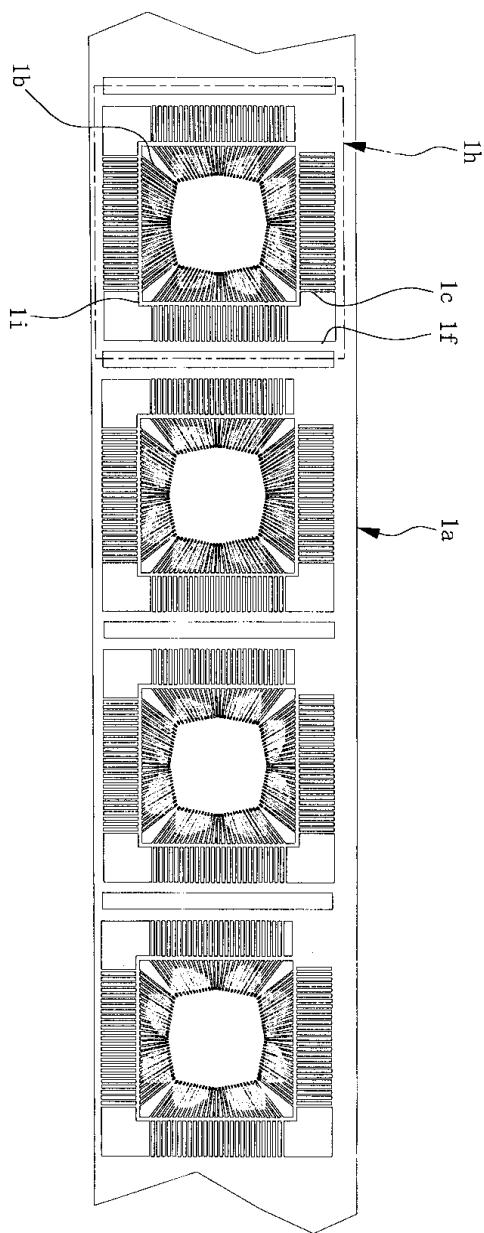
도면12



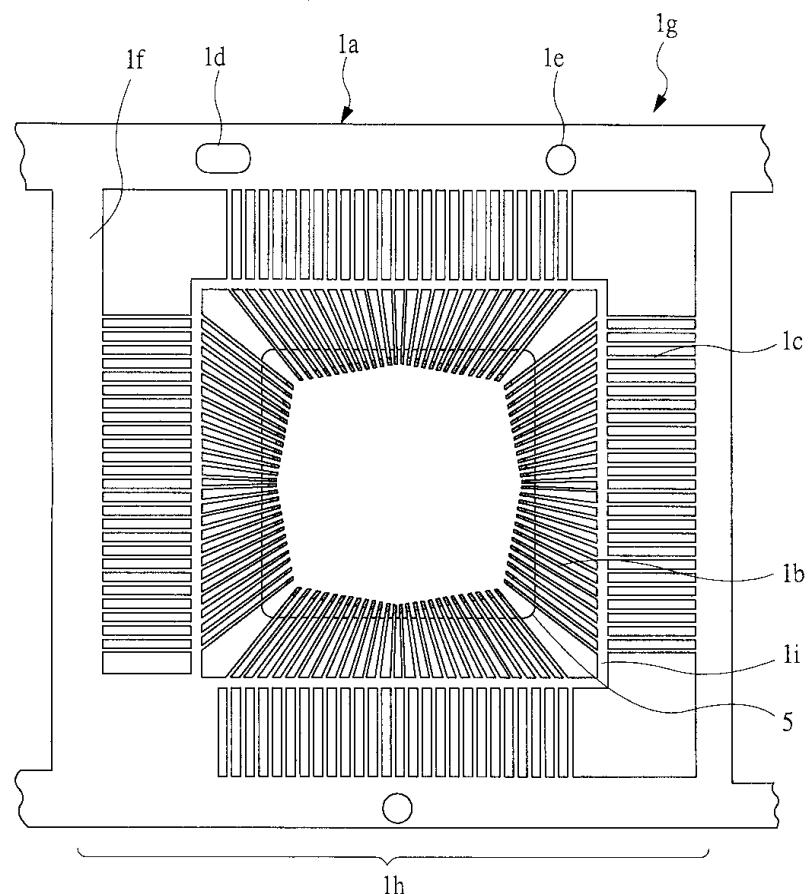
도면13



도면14

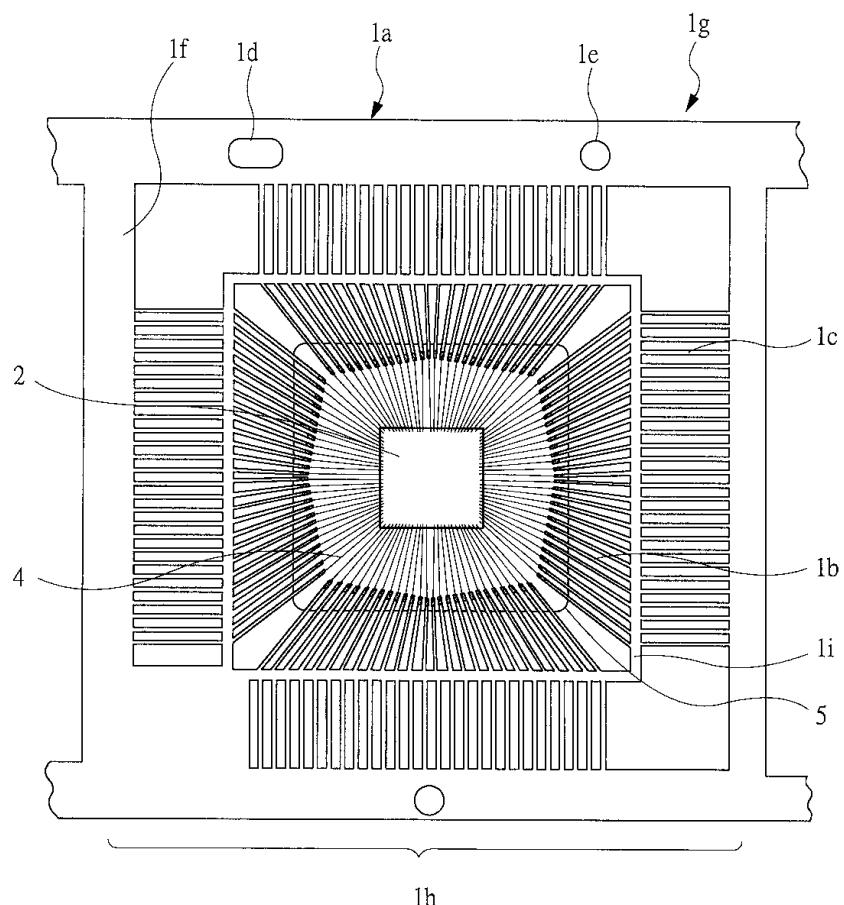


도면15

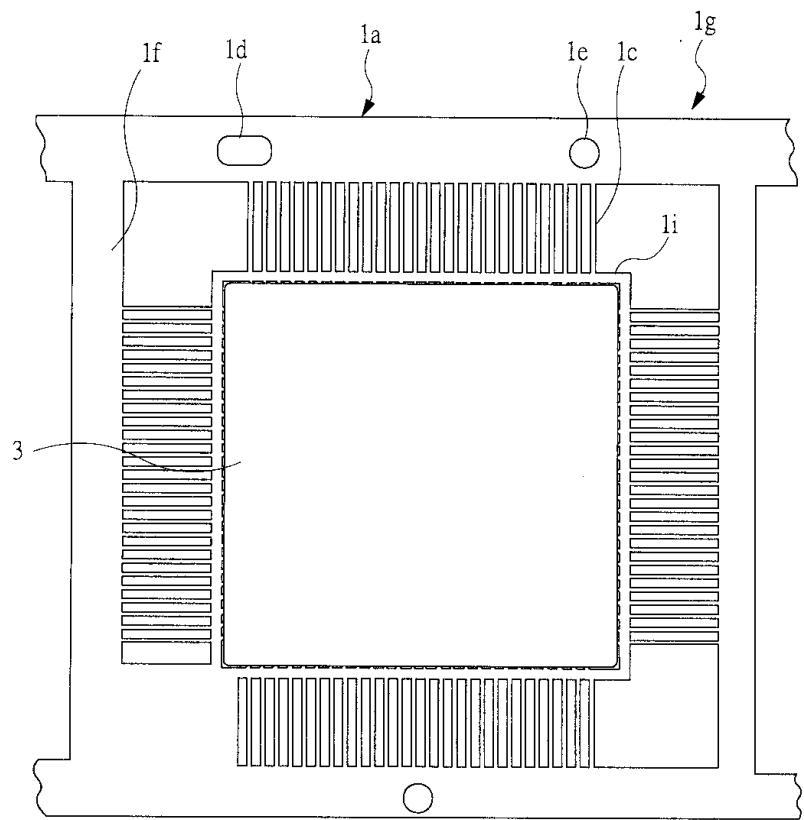


1g : 단열 리드 프레임(리드 프레임)

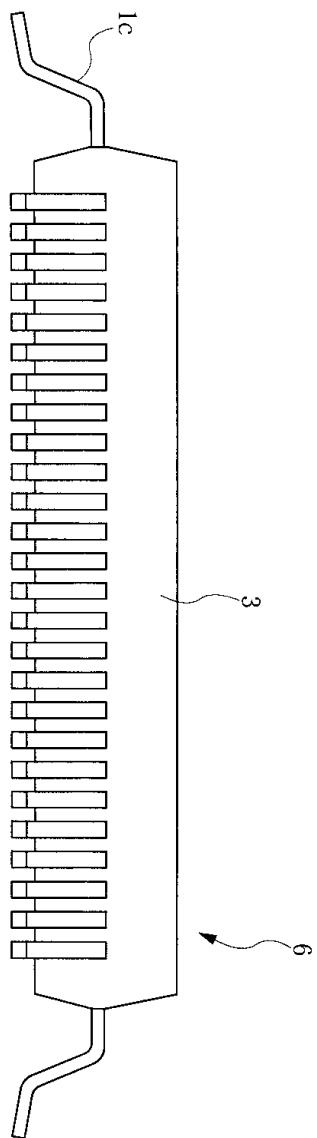
도면16



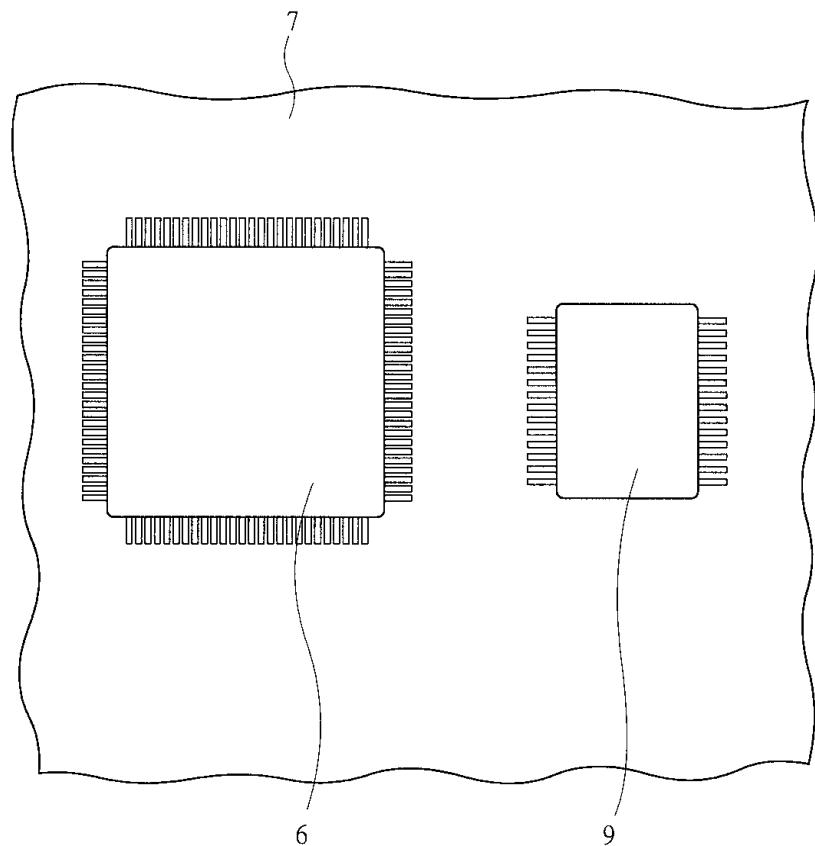
도면17



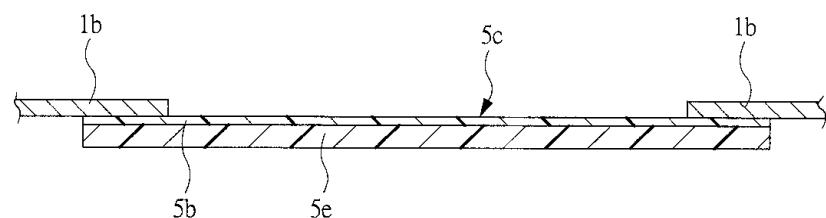
도면18



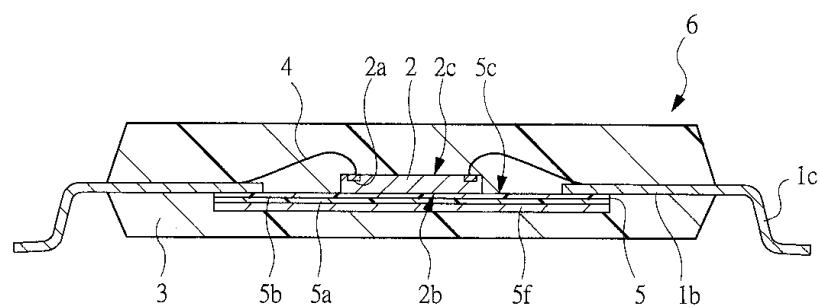
도면19



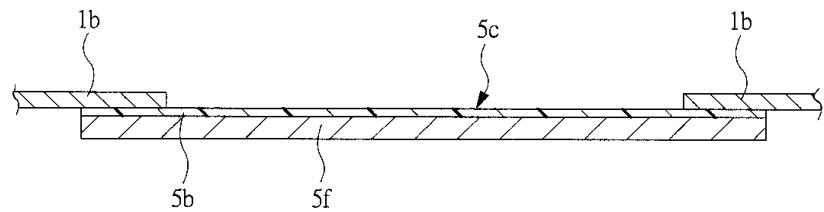
도면20



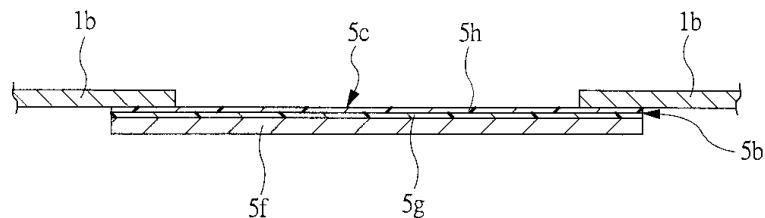
도면21



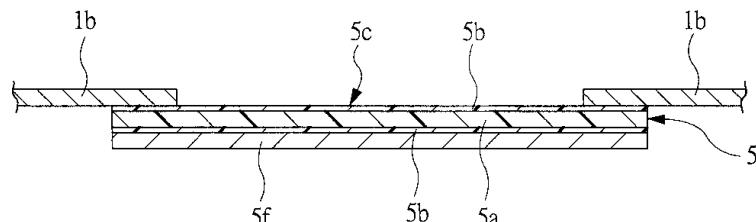
도면22



도면23

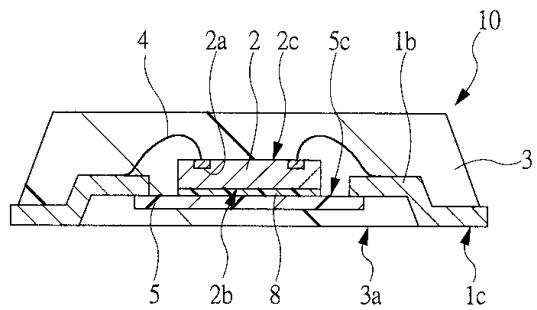


도면24

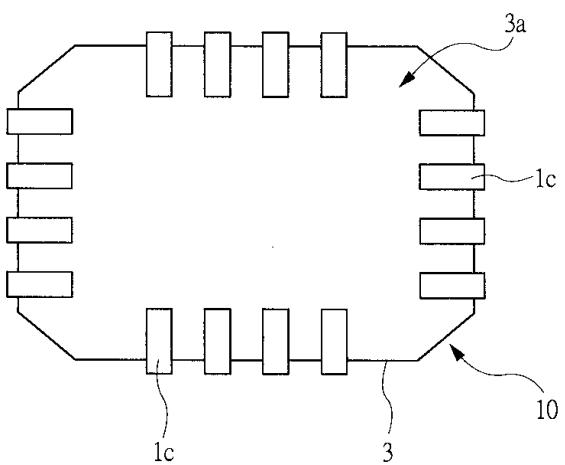


도면25

(a)

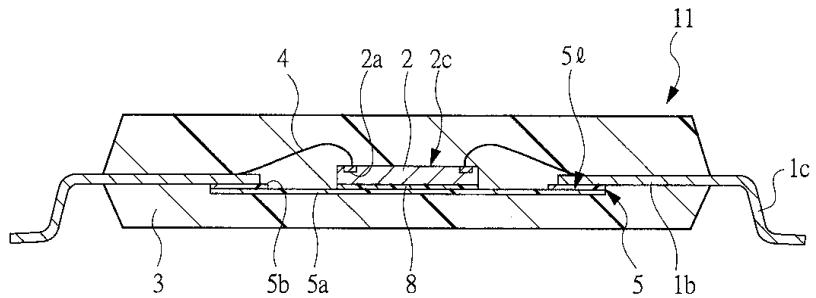


(b)

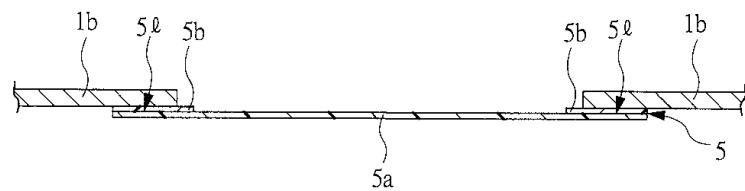


10 : QFN (반도체 장치)

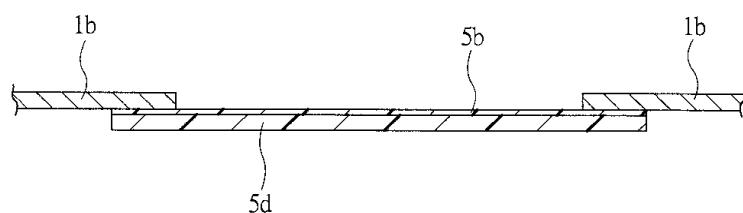
도면26



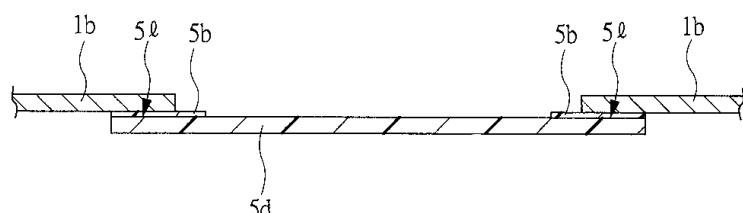
도면27



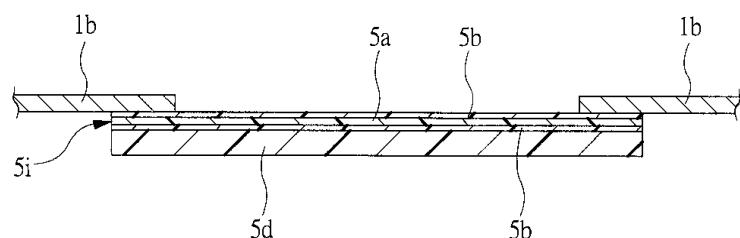
도면28



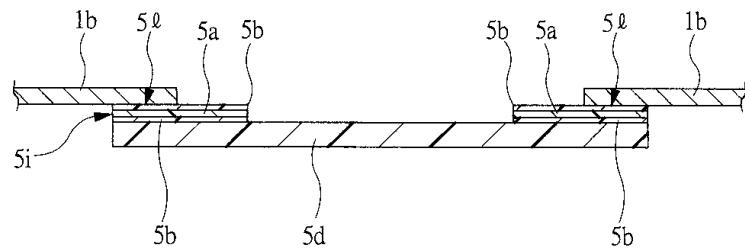
도면29



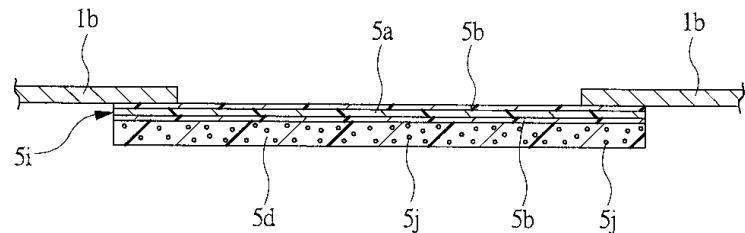
도면30



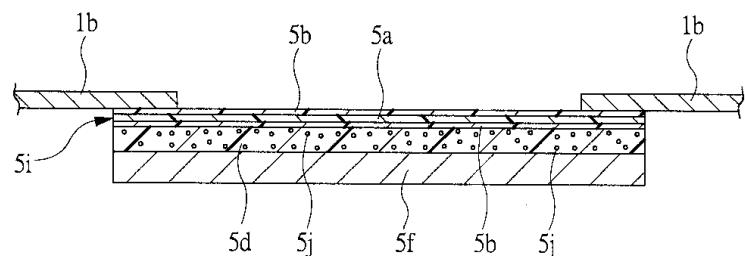
도면31



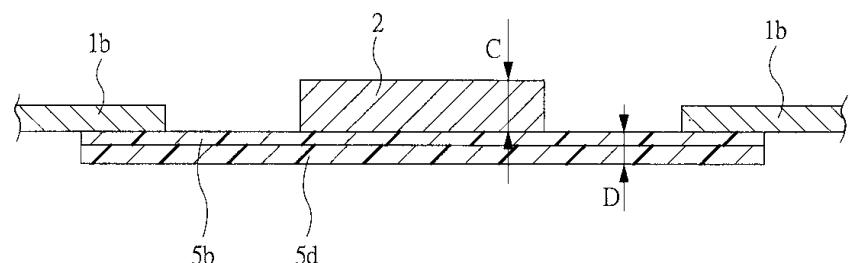
도면32



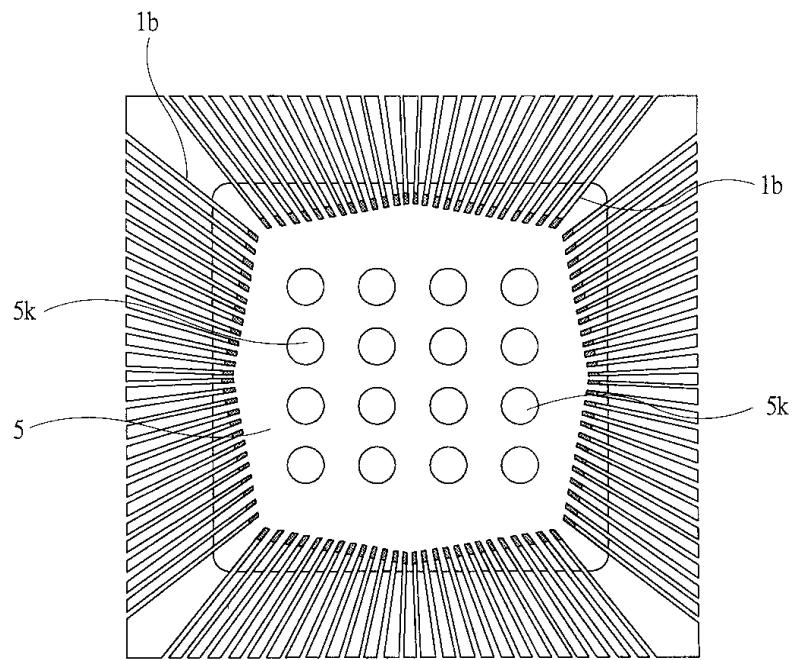
도면33



도면34



도면35



도면36

