



(12) 发明专利申请

(10) 申请公布号 CN 113092978 A

(43) 申请公布日 2021.07.09

(21) 申请号 202110367813.4

(22) 申请日 2021.04.06

(71) 申请人 苏州通富超威半导体有限公司

地址 215000 江苏省苏州市工业园区苏桐路88号

(72) 发明人 徐凯 曾昭孔 刘永祥 宁福英

(74) 专利代理机构 北京志霖恒远知识产权代理
事务所(普通合伙) 11435

代理人 郭栋梁

(51) Int. Cl.

G01R 31/26 (2014.01)

G01R 31/52 (2020.01)

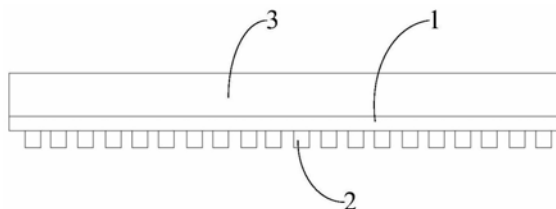
权利要求书1页 说明书4页 附图3页

(54) 发明名称

用于电子元器件短路失效定位的测试构件及测试方法

(57) 摘要

本申请公开了一种用于电子元器件短路失效定位的测试构件及测试方法,采用该测试构件进行测试时,将第一测试层或第二测试层与电子元器件表面直接贴合,并使用侦测设备将多个第一温感单元和多个第二温感单元上的多个引线端以并联的方式连接;对电子元器件施加电压,同时侦测设备针对每个所述引线端给予相同的电压并收集反馈的电流,并计算每个测试点位的电流差;若其中某个测试点位的电流差出现异常,则可判定所述电子元器件与该测试点位对应的位置处内部出现短路缺陷。该方案具有成本低,操作简单等优势。



1. 一种用于电子元器件短路失效定位的测试构件,其特征在于,包括第一测试层和第二测试层,所述第一测试层包括沿第一方向设置的相互平行的多个第一温感单元,所述第二测试层包括沿第二方向设置的相互平行的多个第二温感单元,所述多个第一温感单元与所述多个第二温感单元相互交叠,形成阵列排布的多个测试点位。

2. 根据权利要求1所述的用于电子元器件短路失效定位的测试构件,其特征在于,所述第一方向与所述第二方向相互垂直,所述多个第一温感单元与所述多个第二温感单元上下交叠,形成矩形阵列排布的多个测试点位。

3. 根据权利要求1或2所述的用于电子元器件短路失效定位的测试构件,其特征在于,所述第一温感单元和所述第二温感单元的尺寸均大于所述电子元器件的尺寸。

4. 根据权利要求3所述的用于电子元器件短路失效定位的测试构件,其特征在于,所述第二温感单元大于所述第一温感单元的尺寸。

5. 根据权利要求2所述的用于电子元器件短路失效定位的测试构件,其特征在于,第一测试层还包括第一基膜,所述多个第一温感单元沿水平方向相互平行排布于所述第一基膜上,第二测试层还包括第二基膜,所述多个第二温感单元沿垂直方向相互平行排布于所述第二基膜上。

6. 根据权利要求5所述的用于电子元器件短路失效定位的测试构件,其特征在于,所述测试构件还包括保护膜,所述保护膜设于所述第二基膜外侧。

7. 根据权利要求1或5所述的用于电子元器件短路失效定位的测试构件,其特征在于,所述第一温感单元和所述第二温感单元均为串联有一长条形热敏电阻的侦测电路。

8. 根据权利要求7所述的用于电子元器件短路失效定位的测试构件,其特征在于,所述长条形热敏电阻采用负温度系数热敏电阻器。

9. 一种采用权利要求1所述的用于电子元器件短路失效定位的测试构件实现的测试方法,其特征在于,该方法包括:

将第一测试层或第二测试层与电子元器件表面直接贴合,并使用侦测设备将多个第一温感单元和多个第二温感单元上的多个引线端以并联的方式连接;

对所述电子元器件施加电压,同时侦测设备针对每个所述引线端给予相同的电压并收集反馈的电流,并计算每个测试点位的电流差;

若其中某个测试点位的电流差出现异常,则可判定所述电子元器件与该测试点位对应的位置处内部出现短路缺陷。

10. 根据权利要求9所述的电子元器件短路失效定位的测试方法,其特征在于,该方法还包括:

根据所述电子元器件的尺寸选择第一测试层和第二测试层的尺寸,所述第一测试层和第二测试层的尺寸均大于等于所述电子元器件的尺寸。

用于电子元器件短路失效定位的测试构件及测试方法

技术领域

[0001] 本发明一般涉及半导体测试技术领域,具体涉及一种用于电子元器件短路失效定位的测试构件及测试方法。

背景技术

[0002] 随着工艺的进步,线程不断缩小,短路缺陷大小往往只有几十到几百纳米。因此在大范围内,定位短路的失效位置,成了失效分析的关键步骤。短路缺陷是半导体元器件电性不良的主要失效模式之一,因此对短路缺陷进行监控和失效分析能够促进工艺改善,以及良率的提升。目前短路失效的定位方法,最常见的是利用热成像的原理,侦测集成电路中的失效位置。但热成像设备价格昂贵,失效分析成本较大。

发明内容

[0003] 鉴于现有技术中的上述缺陷或不足,期望提供一种用于电子元器件短路失效定位的测试构件及测试方法。

[0004] 第一方面,本发明提供一种用于电子元器件短路失效定位的测试构件,包括第一测试层和第二测试层,所述第一测试层包括沿第一方向设置的相互平行的多个第一温感单元,所述第二测试层包括沿第二方向设置的相互平行的多个第二温感单元,所述多个第一温感单元与所述多个第二温感单元相互交叠,形成阵列排布的多个测试点位。

[0005] 第二方面,本发明提供一种采用第一方面所描述的用于电子元器件短路失效定位的测试构件实现的测试方法,该方法包括:将第一测试层或第二测试层与电子元器件表面直接贴合,并使用侦测设备将多个第一温感单元和多个第二温感单元上的多个引线端以并联的方式连接;对电子元器件施加电压,同时侦测设备针对每个所述引线端给予相同的电压并收集反馈的电流,并计算每个测试点位的电流差;若其中某个测试点位的电流差出现异常,则可判定所述电子元器件与该测试点位对应的位置处内部出现短路缺陷。

[0006] 与现有技术相比,本发明的有益效果是:

[0007] 本发明的测试构件对电子元器件进行测试时,将第一测试层或第二测试层与电子元器件表面直接贴合,并使用侦测设备将多个第一温感单元和多个第二温感单元上的多个引线端以并联的方式连接;对电子元器件施加电压,同时侦测设备针对每个所述引线端给予相同的电压并收集反馈的电流,并计算每个测试点位的电流差;若其中某个测试点位的电流差出现异常,则可判定所述电子元器件与该测试点位对应的位置处内部出现短路缺陷。该方案具有成本低,操作简单等优势。

附图说明

[0008] 通过阅读参照以下附图所作的对非限制性实施例所作的详细描述,本申请的其它特征、目的和优点将会变得更明显:

[0009] 图1示出了本申请实施例涉及的用于电子元器件短路失效定位的测试构件的截面

图；

[0010] 图2示出了本申请实施例涉及的第一测试层的结构示意图；

[0011] 图3示出了本申请实施例涉及的第一测试层的结构示意图；

[0012] 图4示出了本申请实施例涉及的用于电子元器件短路失效定位的测试方法的流程图。

[0013] 图中：1-第一测试层，11-第一温感单元，12-第一基膜，2-第二测试层，21-第二温感单元，22-第二基膜，3-保护膜。

具体实施方式

[0014] 下面结合附图和实施例对本申请作进一步的详细说明。可以理解的是，此处所描述的具体实施例仅仅用于解释相关发明，而非对该发明的限定。另外还需要说明的是，为了便于描述，附图中仅示出了与发明相关的部分。

[0015] 需要说明的是，在不冲突的情况下，本申请中的实施例及实施例中的特征可以相互组合。下面将参考附图并结合实施例来详细说明本申请。

[0016] 短路是指电路或电路中的一部分被短接。如负载与电源两端被导线连接在一起，就称为短路，短路时电源提供的电流将比通路时提供的电流大得多，一般情况下不允许短路，如果短路，严重时会烧坏电源或设备。目前，随着工艺的进步，线宽不断缩小，短路缺陷大小往往只有几十到几百纳米。因此在大范围内，定位短路的失效位置，成了失效分析的关键步骤。短路缺陷是半导体元器件电性不良的主要失效模式之一，因此对短路缺陷进行监控和失效分析能够促进工艺改善，以及良率的提升。为了降低短路失效定位的成本，本实施例提供一种用于电子元器件短路失效定位的测试构件及测试方法。

[0017] 如图1至图3所示，用于电子元器件短路失效定位的测试构件，包括第一测试层1和第二测试层2，所述第一测试层1包括沿第一方向设置的相互平行的多个第一温感单元11，所述第二测试层2包括沿第二方向设置的相互平行的多个第二温感单元21，所述多个第一温感单元11与所述多个第二温感单元21相互交叠，形成阵列排布的多个测试点位。

[0018] 第一温感单元11和第二温感单元21可以采用热敏元件，热敏元件是利用某些物体的物理性质随温度变化而发生变化的敏感材料制成。例如：易熔合金或热敏绝缘材料、双金属片、热电偶、热敏电阻、半导体材料等。示例的，可以将所述第一温感单元11和所述第二温感单元21均设为串联有一长条形热敏电阻的侦测电路。

[0019] 热敏电阻器：是敏感元件的一类，按照温度系数不同分为正温度系数热敏电阻器(PTC)和负温度系数热敏电阻器(NTC)。热敏电阻器的典型特点是对温度敏感，不同的温度下表现出不同的电阻值。正温度系数热敏电阻器(PTC)在温度越高时电阻值越大，负温度系数热敏电阻器(NTC)在温度越高时电阻值越低，它们同属于半导体器件。作为一种可实现方式，所述长条形热敏电阻采用负温度系数热敏电阻器。

[0020] 负温度系数热敏电阻器在测试时可安装于电子元器件上，通常封装成类似于金属膜电阻、小型陶瓷电容、表面安装贴片元件的形式。为了适应检测环境和便于安装，将热敏元件根据所应用的具体场合做成各种各样的封装形式，以对应用于不同电子元器件表面的温度检测。

[0021] 为了方便多个第二温感单元21与多个第一温感单元11进行交叠，更好地使测试点

位在电子元器件上分布均匀,设置所述第一方向与所述第二方向相互垂直,所述多个第一温感单元11与所述多个第二温感单元21上下交叠,形成矩形阵列排布的多个测试点位。

[0022] 需要说明的是,上下设置次序不做特定限制,可以将多个第一温感单元11设于所述多个第二温感单元21上,也可以将多个第二温感单元21设于所述多个第一温感单元11上。

[0023] 为了保证第一测试层1和第二测试层2全面覆盖电子元器件表面的发热点,第一测试层1和第二测试层2须大于电子元器件的尺寸,即所述第一温感单元11和所述第二温感单元21的尺寸均大于所述电子元器件的尺寸。

[0024] 倘若短路失效位置可能极端点发生在芯片边缘位置,所以如果不覆盖全,那么失效位置可能侦测不到,因而进一步设置所述第二温感单元21大于所述第一温感单元11的尺寸。

[0025] 在上述实施例的基础上,第一测试层1还包括第一基膜12,所述多个第一温感单元11沿水平方向相互平行排布于所述第一基膜12上,第二测试层2还包括第二基膜22,所述多个第二温感单元21沿竖直方向相互平行排布于所述第二基膜22上。

[0026] 第一基膜12和第二基膜22的尺寸大于等于电子元器件的尺寸,长条形热敏电阻的侦测电路在第一基膜12和第二基膜22的两侧延引伸出电路引脚。

[0027] 另外,所述测试构件还包括保护膜3,所述保护膜3设于所述第二基膜22外侧。需要说明的是,也可不单独设保护膜3,直接以第二基膜22作为保护膜3。

[0028] 如图4所示,图4示出了通过上述测试构件实现的用于电子元器件短路失效定位的测试方法。

[0029] 步骤410,将第一测试层1或第二测试层2与电子元器件表面直接贴合,并使用侦测设备将多个第一温感单元11和多个第二温感单元21上的多个引线端以并联的方式连接;

[0030] 步骤420,对电子元器件施加电压,同时侦测设备针对每个所述引线端给予相同的电压并收集反馈的电流,并计算每个测试点位的电流差;

[0031] 步骤430,若其中某个测试点位的电流差出现异常,则可判定所述电子元器件与该测试点位对应的位置处内部出现短路缺陷。

[0032] 在步骤410前,该方法还可以包括:

[0033] 步骤440,根据所述电子元器件的尺寸选择第一测试层1和第二测试层2的尺寸,所述第一测试层1和第二测试层2的尺寸均大于等于所述电子元器件的尺寸。

[0034] 下面以测试芯片作为示例,具体对用于电子元器件短路失效定位的测试构件及测试方法进行详细说明。其中所选测试芯片的参数:厚度为780 μm ,尺寸为10*10mm,材质为硅。

[0035] 根据测试芯片的实际尺寸,选择10*10mm的第一测试层1和第二测试层2,单根热敏电阻的宽度为0.5mm。以便能够全面测试芯片表面的发热点。

[0036] 将测试构件通过第二测试层2直接与芯片表面贴合的方式固定在芯片表面上,并使用侦测设备将第一测试层1和第二测试层2上的多个电路引脚以并联的方式连接。所选用的热敏电阻与温度呈负相关,即温度升高,阻值降低。

[0037] 首先针对测试芯片施加1V的电压,若测试芯片内部存在短路,则在短路位置会产生热。产生的热会引起热敏电阻阻值变小。同时,侦测设备针对多个第一温感单元11和多个第二温感单元21施加相同的电压,并收集多个第一温感单元11和多个第二温感单元21反馈

的电流,若有一路电流值明显偏高,则说明在该方向存在失效。

[0038] 定位出第一方向和第二方向的电流变大的线路,从而定位出短路失效在测试芯片中发生的位置。

[0039] 基于上述描述可以理解的是,本申请的方案具有成本低,操作简单等优势。

[0040] 以上描述仅为本申请的较佳实施例以及对所运用技术原理的说明。本领域技术人员应当理解,本申请中所涉及的公开范围,并不限于上述技术特征的特定组合而成的技术方案,同时也应涵盖在不脱离前述公开构思的情况下,由上述技术特征或其等同特征进行任意组合而形成的其它技术方案。例如上述特征与本申请中公开的(但不限于)具有类似功能的技术特征进行互相替换而形成的技术方案。

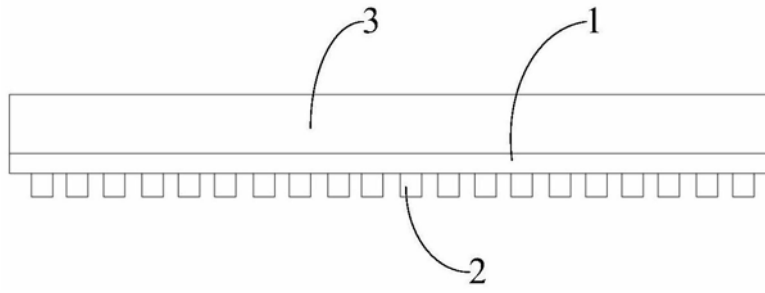


图1

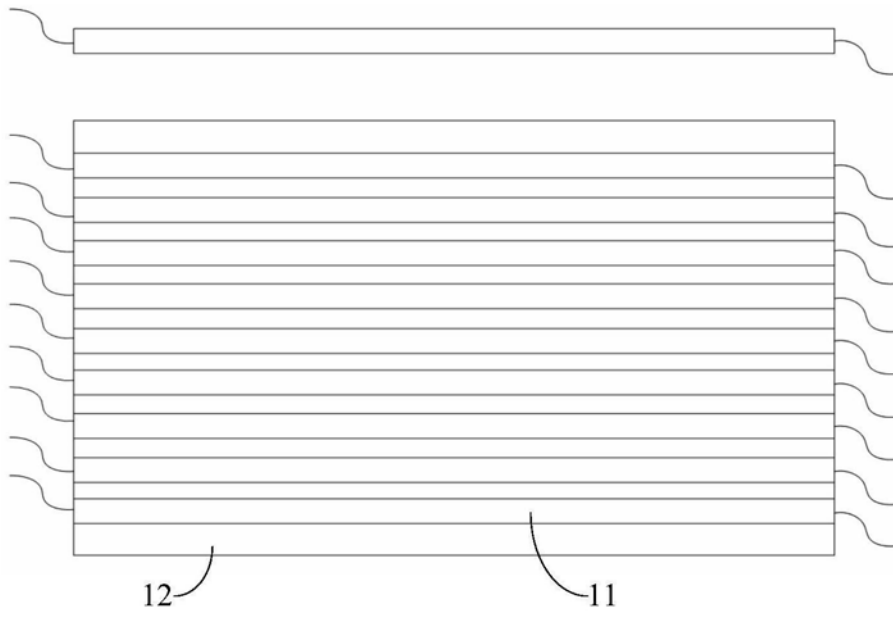


图2

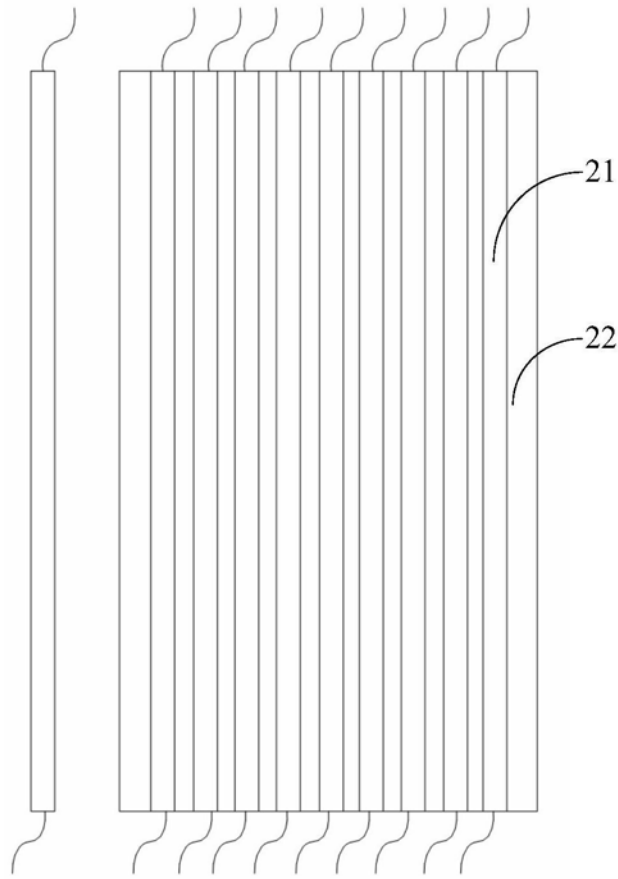


图3

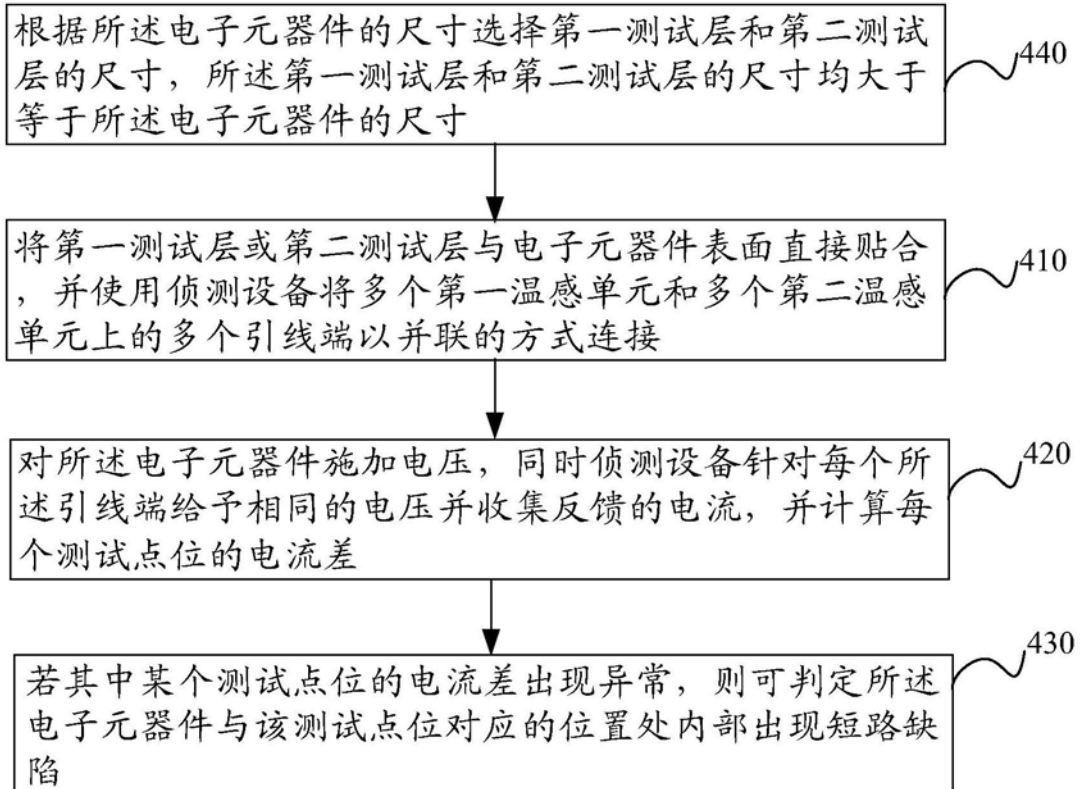


图4