

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5388847号
(P5388847)

(45) 発行日 平成26年1月15日(2014.1.15)

(24) 登録日 平成25年10月18日(2013.10.18)

(51) Int.Cl.	F I	
HO 1 L 21/764 (2006.01)	HO 1 L 21/76	A
HO 1 L 21/76 (2006.01)	HO 1 L 21/76	L
HO 1 L 21/8222 (2006.01)	HO 1 L 27/08	I O 1 B
HO 1 L 27/082 (2006.01)	HO 1 L 29/72	Z
HO 1 L 21/331 (2006.01)	HO 1 L 27/14	F
請求項の数 36 (全 31 頁) 最終頁に続く		

(21) 出願番号	特願2009-518933 (P2009-518933)	(73) 特許権者	502124444
(86) (22) 出願日	平成19年7月9日(2007.7.9)		コミッサリア ア レネルジー アトミー
(65) 公表番号	特表2009-543367 (P2009-543367A)		ク エ オ ゼネルジ ザルタナティヴ
(43) 公表日	平成21年12月3日(2009.12.3)		フランス国 エフー75015 パリ、
(86) 国際出願番号	PCT/FR2007/051618		パテイマン 「ル ポナン デー」、
(87) 国際公開番号	W02008/007008		リュ ルブラン 25
(87) 国際公開日	平成20年1月17日(2008.1.17)	(74) 代理人	100064908
審査請求日	平成22年6月2日(2010.6.2)		弁理士 志賀 正武
(31) 優先権主張番号	0652926	(74) 代理人	100089037
(32) 優先日	平成18年7月12日(2006.7.12)		弁理士 渡邊 隆
(33) 優先権主張国	フランス (FR)	(74) 代理人	100108453
			弁理士 村山 靖彦
		(74) 代理人	100110364
			弁理士 実広 信哉
最終頁に続く			

(54) 【発明の名称】 個別電子コンポーネントのマトリクスを形成する方法および形成されるマトリクス

(57) 【特許請求の範囲】

【請求項1】

基板ベース(100; 600; 1002)上にアクティブ層(101; 601; 1001)を特にエピタキシーにより形成する段階、およびトレンチ(102; 620; 1005)を特にエッチングによりアクティブ層(101; 601; 1001)内に形成することにより、前記コンポーネントを個別化する段階を含むタイプの、個別電子コンポーネント(111; 611; 801)のマトリクスを形成する方法であって、前記個別化する段階が、少なくとも前記基板ベース(100; 600; 1002)を露出するものであり、

前記アクティブ層(101; 1001)上に機能材料(103; 1007)の層を蒸着する段階と、

前記トレンチ(102; 1005)を充填し、前記電子コンポーネント(111)の上側面に薄膜(105)を形成するように、機能材料の前記層(103; 1007)上に、事前に設定されている放射線に対する感光性を有する樹脂(104; 1008)を蒸着する段階と、

前記トレンチ(102; 620; 1005)を充填する樹脂の部分の露光を少なくしつつ前記樹脂(104; 1008)を前記放射線に少なくとも部分的に曝露する段階と、

前記適切に露光された部分を除去するように前記樹脂(104; 1008)を現像する段階と、

前記現像段階の後、外面に現われる前記機能材料層(103; 1007)部分を除去する段階と、

残存樹脂の前記部分を除去する段階とを含むことを特徴とする方法。

【請求項 2】

前記機能材料(103; 1007)は、弾力性および/または導電性および/または不透明性を有することを特徴とする請求項1に記載の個別電子コンポーネントのマトリクスを形成する方法。

【請求項 3】

前記露光段階は、フォトリソグラフィマスク(107; 1009)を前記樹脂の前記表面に施す段階を含むことを特徴とする請求項1または2に記載の個別電子コンポーネントのマトリクスを形成する方法。

【請求項 4】

前記フォトリソグラフィマスク(107; 1009)は、前記トレンチを覆う部分を備えることを特徴とする請求項3に記載の個別電子コンポーネントのマトリクスを形成する方法。

【請求項 5】

前記露光段階は、前記トレンチ(102; 1005)の深さよりも小さく、前記電子コンポーネント(111; 801)の上側面を覆う前記樹脂膜(105)の厚さよりも大きい事前に設定されている放射線の被写界深度を選択する段階を含むことを特徴とする請求項1から4のいずれか一項に記載の個別電子コンポーネントのマトリクスを形成する方法。

【請求項 6】

前記アクティブ層を形成する前記段階の後に、前記アクティブ層(101; 601; 1001)の前記空き表面上に前記コンポーネントに特徴的な機能素子(603; 1004)を蒸着し、および/または埋め込む段階が続くことを特徴とする請求項1から5のいずれか一項に記載の個別電子コンポーネントのマトリクスを形成する方法。

【請求項 7】

機能素子(603; 1004)を蒸着し、および/または埋め込む前記段階は、電極および/またはメタライゼーション層を蒸着し、および/または埋め込み、それぞれのコンポーネントのハイブリダイゼーションを可能にする段階を含むことを特徴とする請求項6に記載の個別電子コンポーネントのマトリクスを形成する方法。

【請求項 8】

前記アクティブ層(1001)は、第1のタイプの半導体層であること、および機能素子を蒸着し、および/または埋め込む前記段階は、前記アクティブ層の前記空き表面内にそれぞれのコンポーネントに対する第2のタイプ(1004)の半導体領域を形成する段階を含むことを特徴とする請求項6に記載の個別電子コンポーネントのマトリクスを形成する方法。

【請求項 9】

トレンチを形成することにより前記コンポーネントを個別化する前記段階は、それぞれのコンポーネントの少なくとも1つの側面内に前記第2のタイプ(1006)の半導体領域を形成する段階を含むか、またはその段階が後に続くことを特徴とする請求項8に記載の個別電子コンポーネントのマトリクスを形成する方法。

【請求項 10】

前記側方エッジ内に前記第2のタイプの半導体領域を形成する前記段階は、特に前記「ループホール」タイプのドーピングにより実装されることを特徴とする請求項8に記載の個別電子コンポーネントのマトリクスを形成する方法。

【請求項 11】

前記機能材料は、金属であること、および前記フォトリソグラフィマスクは、前記アクティブ層の前記空き表面上に形成された前記第2のタイプの前記半導体領域(1004)の前記表面上に金属層(1010)を形成するように選択されることを特徴とする、請求項3に依存している場合の請求項8から10のいずれか一項に記載の個別電子コンポーネントのマトリクスを形成する方法。

10

20

30

40

50

【請求項 12】

前記金属層のそれぞれの表面上に導電性バンプ接触部(813)を形成する段階を含むことを特徴とする請求項11に記載の個別電子コンポーネントのマトリクスを形成する方法。

【請求項 13】

前記現像段階の結果、基板(402; 502; 602; 803)上に前記マトリクスをハイブリダイズする段階を含むことを特徴とする請求項1から12のいずれか一項に記載の個別電子コンポーネントのマトリクスを形成する方法。

【請求項 14】

隣接する電子コンポーネントの対毎に、前記コンポーネントを隔てるスルートレンチ(102、1005)を少なくとも部分的に覆い、前記トレンチの上部につるされ、前記トレンチを定める側壁のそれぞれとの少なくとも1つの接点を含む、前記コンポーネント(111; 303、311; 403、411、412; 501; 601; 801、802)に接続されている少なくとも1つの膜素子(112; 305、307; 405、407; 506、516、526; 606; 814)を備えることを特徴とする、中に形成されたスルートレンチ(102; 1005)を使ってアクティブ層(101)内で個別化された少なくとも2つの電子コンポーネント(111; 303、311; 403、411、412; 501; 601; 801、802)のマトリクス。

10

【請求項 15】

それぞれのコンポーネント(111; 303、311; 403、411、412; 501; 601; 801、802)は、正多角形の全体的形状、特に矩形ベースの平行六面体形状を有することを特徴とする請求項14に記載のマトリクス。

20

【請求項 16】

前記素子(112; 305、307; 405、407; 506、516、526; 606; 814)は、不透明であることを特徴とする請求項14または15に記載のマトリクス。

【請求項 17】

前記素子(112; 305、307; 405、407; 506、516、526; 606; 814)は、コンポーネント間の相対的変位があっても隣接するコンポーネントとの電気的接続の完全性を維持する十分な弾力性を有することを特徴とする請求項14から16の一項に記載のマトリクス。

30

【請求項 18】

前記素子(112; 305、307; 405、407; 506、516、526; 606; 814)は、導電性であることを特徴とする請求項14から17のいずれか一項に記載のマトリクス。

【請求項 19】

前記素子(112; 305、307; 405、407; 506、516、526; 606; 814)は、糸状であることを特徴とする請求項18に記載のマトリクス。

【請求項 20】

前記素子(112; 305、307; 405、407; 506、516、526; 606; 814)は、表面ベースであることを特徴とする請求項18に記載のマトリクス。

40

【請求項 21】

前記素子(305、306、307; 405、407; 506、516、526; 606)は、電気的接触ピックアップ(304、308、309; 404、408、409; 508、509; 518、519; 528、529; 608、609)と接触していることを特徴とする請求項18から20のいずれか一項に記載のマトリクス。

【請求項 22】

前記接触ピックアップ(304、308、309; 404、408、409; 508、509; 518、519; 528、529; 608、609)は、隣接する電子コンポーネント(303、311; 403、411、412; 501; 601)の前記対のコンポ

50

ーネットの面上に形成されることを特徴とする請求項 2 1 に記載のマトリクス。

【請求項 2 3】

前記接触ピックアップ(508、509)は、考察対象のコンポーネントの横断面(502)の1つに形成されることを特徴とする請求項 2 1 に記載のマトリクス。

【請求項 2 4】

前記素子(112; 305、307; 405、407; 506、516、526; 606; 814)は、導電層; および、前記接触ピックアップ上に組み立てを行えるようにし、それとともに接触することを意図されている結合層を含む、複数の層から構成されることを特徴とする請求項 1 7 から 2 3 のいずれか一項に記載のマトリクス。

【請求項 2 5】

前記結合層は、チタン(Ti)、クロム(Cr)、およびチタンとタングステンの合金(TiW)からなる群から選択された材料で構成されること、および前記導電層は、白金、金、アルミニウム、銅、または銅とベリリウムの合金からなる群から選択された材料で構成されることを特徴とする請求項 2 4 に記載のマトリクス。

【請求項 2 6】

前記素子(112; 305、307; 405、407; 506、516、526; 606; 814)は、前記コンポーネントの全部または一部に共通であり、連続線またはグリッドを形成することを特徴とする請求項 1 8 から 2 5 の一項に記載のマトリクス。

【請求項 2 7】

それぞれの電子コンポーネント(801)は、バイポーラトランジスタであり、その少なくとも1つの半導体領域(805、806; 1006)は、その前記側面の1つに形成され、前記素子(814)と接触することを特徴とする請求項 1 8 から 2 6 のいずれか一項に記載のマトリクス。

【請求項 2 8】

基板(602)に追加された複数の電子コンポーネント(611)を備える電子デバイスを製造する方法であって、

エピタキシーによりアクティブ層(601)を犠牲層(600)上に形成する段階と、
前記アクティブ層(601)の空き表面上に、前記コンポーネント(611)に特徴的な機能素子(603)を蒸着し、および/または埋め込む段階と、

マトリクス内の前記コンポーネント(611)を個別化するように、少なくとも前記犠牲層(600)が出現するまで前記アクティブ層(601)内の行および/または列内にトレンチ(620)をエッチングする段階と、

接触ピックアップ(608、609)を形成するように、そのように個別化されたそれぞれのコンポーネント(611)の空き面の少なくとも1つに導電性バンプ接触部を形成する段階と、

隣接するコンポーネント(611)の前記接触ピックアップ(608、609)を少なくとも2つずつ接続するように前記トレンチ(620)上に広がる少なくとも1つの導電性膜(606)を蒸着により形成し、前記膜(606)がコンポーネント(611)間の相対的変位があるにもかかわらず前記電氣的接続を維持するのに十分な弾力性を与えるために設定された厚さを有する段階と、

前記コンポーネント(611)を基板(602)上にハイブリダイズする段階と、

前記機能素子(603)の全部または一部を突起したまま残すようにして、前記基板(602)に向かい合って配置されているそれぞれのコンポーネント(611)の面を選択的に薄くする段階と、

前記導電性膜(606)を露出するように、機械的加工または化学攻撃により前記犠牲層(600)を除去する段階とを含み、

請求項 1 により前記アクティブ層を形成し、トレンチをエッチングし、前記少なくとも1つの膜を蒸着する前記段階を含むことを特徴とする方法。

【請求項 2 9】

前記蒸着段階は、

10

20

30

40

50

前記アクティブ層(701)の表面全体、つまり、前記トレンチ(720)の表面全体および前記コンポーネント(701)の表面全体を覆う電気絶縁材料の層(741)を蒸着する段階と、

フォトリソグラフィにより電気絶縁材料の前記層(741)に孔をあけ、その後、前記トレンチ(720)の底部で、および前記トレンチ(720)のエッジの全部または一部の上で実行されるエッチング作業が続く段階と、

前記コンポーネント(701)および前記トレンチ(720)の空き表面の全部または一部上に前記導電性膜(706)を蒸着する段階と、

前記コンポーネント(701)の前記表面をエッチングすることにより前記導電性膜(706)を局所的に除去する段階とを含むことを特徴とする請求項28に記載の複数の電子コンポーネントを備える電子デバイスを製造する方法。

10

【請求項30】

前記導体は、導電層および前記接触ピックアップ上に組み立てを行えるようにすることを意図されている結合層を含む複数の層で構成されること、および前記除去段階は、少なくとも前記導電層に関して不活性となるように選択されたプラズマを使用して実行されることを特徴とする請求項28または29に記載の複数の電子コンポーネントを備える電子デバイスを製造する方法。

【請求項31】

基板(302; 402; 502)に追加された複数の電子コンポーネント(303、311; 403、411、412; 501; 601)を備える電子デバイスであって、それぞれのコンポーネント(303、311; 403、411、412; 501; 601)はリンク素子(301; 401; 503; 603)を使って前記基板(302; 402; 502; 602)に機械的に接続され、それぞれのコンポーネント(303、311; 403、411、412; 501; 601)は、それに加えて、導体(305、306、307; 405、407; 506、516、526; 606)を形成する部分を使って少なくとも1つの隣接するコンポーネントに電氣的に接続され、前記コンポーネントおよびその関連する導体は、請求項14から27のいずれか一項に記載のマトリクスを形成することを特徴とする電子デバイス。

20

【請求項32】

前記接触ピックアップ(508、509)は、前記基板(502)上に付けられたコンポーネント面に対向するコンポーネント面上に形成されることを特徴とする請求項31に記載の電子デバイス。

30

【請求項33】

前記接触ピックアップ(304、308、309; 404、408、409; 518、519; 608、609)は、前記基板(302; 402; 502; 602)上に付けられたコンポーネント面上に形成されることを特徴とする請求項31に記載の電子デバイス。

【請求項34】

前記コンポーネントは、トランジスタまたはダイオードであることを特徴とする請求項31から33のいずれか一項に記載の電子デバイス。

40

【請求項35】

請求項31から34の一項に記載のデバイスを備え、それぞれのコンポーネント(303、311; 403、411、412; 501; 601)は、考察対象の放射線と相互作用することができる材料を含むことを特徴とする、X線、赤外線、または可視光線のような電磁放射線の検出器。

【請求項36】

請求項31から34の一項に記載のデバイスを備え、それぞれのコンポーネント(303、311; 403、411、412; 501; 601)は、垂直キャビティ面発光レーザー放射体(VCSL)または発光ダイオードにより構成されることを特徴とする、レーザービームのような電磁放射線の放射体。

50

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、個別化された電子コンポーネントの集積化の分野、およびそのような電子コンポーネントを含む集積回路の実装面の機能高密度化に関する。

【0002】

本発明は、より具体的には、特にエピタキシーにより基板ベース上にアクティブ層を製造する段階および少なくとも基板ベースが現れるまで、トレンチを特にエッチングによりアクティブ層内に形成することで前記コンポーネントを個別化する段階を含むタイプの、個別電子コンポーネントのマトリクスを形成する方法に関する。

10

【0003】

本発明は、さらに、中に形成されたスルートレンチを使ってアクティブ層内に個別化された少なくとも2つの電子コンポーネントのマトリクスにも関係する。

【背景技術】**【0004】**

例えばマトリクス検出器などの電子マトリクスデバイスでは、マトリクスを形成する単一素子、または画像処理の分野との類似性により「ピクセル」は、独立の局所的挙動を定義するためにトレンチにより個別化される。例えば、マトリクス検出器の場合、個別コンポーネントにより、そこに入射する放射線を他のコンポーネントと独立して測定することができ、これにより、結局、区別できるドットの画像が形成されうる。

20

【0005】

そのように定義されたコンポーネント間の空間は、一般的には、欠点として認識されるが、それは、単位面積当たりのコンポーネントの集積度を制限するだけでなく、またこの体積が、隣接するコンポーネントの挙動を損なったり、または高い故障率を引き起こしたりすることなく一般的な技術と併用するのが困難であると考えられているからである。

【0006】

例えば、隣接するコンポーネント間の電氣的接続は、コンポーネントの上面に溶接された電線を使用して形成されている。しかし、溶接された電線は、使用された溶接部のため脆くなっており、それに加えて、コンポーネントの作業面の一部を使用する。

【0007】

本発明の目的は、個別コンポーネントのマトリクスおよびそれを形成する方法を提案することにより上述の問題を解決することであるが、ただし、コンポーネント間の空間は、例えば、隣接するピクセル間に信頼性の高い電氣的接続を形成したり、隣接するピクセル間の相対的変位を吸収したり、または相互接続部により占有される表面を減らすことによりピクセル密度を高めたりするために、最適な形で使用される。

30

【0008】

本発明は、電子コンポーネントのマトリクスの製造の分野に適用され、そのいくつかの寸法は、特にコンポーネント同士を隔てる空間に関係する寸法は、約10 μ m未満であることに留意されたい。周知のように、このようなコンポーネントの製造は、例えばフォトリソグラフィなどの、これらの規模に特有の技術の実装を必要とする特定の問題の影響を受けることがある。

40

【先行技術文献】**【非特許文献】****【0009】**

【非特許文献1】「Summary of HgCdTe 2D array technology in the UK」、Baker I.M.およびMaxey C.D.、Journal of Electronic Materials、第90巻、第6号、2001年

【発明の概要】**【発明が解決しようとする課題】**

50

【0010】

そこで、本発明の目的は、特にエピタキシーにより基板ベース上にアクティブ層を形成する段階、および少なくとも基板ベースが現れるまでトレンチを特にエッチングによりアクティブ層内に形成することで前記コンポーネントを個別化する段階、を含むタイプの、個別電子コンポーネントのマトリクスを形成する方法である。

【課題を解決するための手段】

【0011】

本発明によれば、この方法は、

アクティブ層上に機能材料の層を蒸着する段階と、

前記トレンチを充填し、電子コンポーネントの上側面に薄膜を形成するようにして、機能材料の層上に、事前に設定されている放射線に対する感光性を有する樹脂を蒸着する段階と、

トレンチを充填する樹脂の部分の露光を少なくしつつ樹脂を前記放射線に少なくとも部分的に曝露する段階と、

適切に露光された部分を除去するように樹脂を現像する段階と、

現像段階の後、外面に現われる機能材料層部分を除去する段階と、

樹脂の残り部分を除去する段階とを含む。

【0012】

言い換えると、機能材料の層は、露光の結果、これらの段階においてトレンチを充填する樹脂により保護されるということである。実際、トレンチ内の樹脂の露光が不足しているため、その現像が妨げられる。実際、電子コンポーネントを機能化する作業が完了した後（エッチング、イオン攻撃など）、トレンチ内の機能材料の層は損なわれていない。したがって、例えば化学浴法によりトレンチ内の樹脂が除去された後、隣接する電子コンポーネント同士を接続する機能材料の膜が形成される。

【0013】

次いで、この膜は、特に前記コンポーネントの側部または側面を覆う隣接するコンポーネント同士を隔てる空間を正確に満たすことがわかるであろう。

【0014】

例えば、マトリクス検出器内のコンポーネントマトリクスを使用し、それを基板にハイブリダイズし（例えば、よく知られているいわゆる「フリップチップ」技術を使用して）、次いで、基板ベースを縮小することを考慮した場合、幅がトレンチと正確に等しい機能材料のブリッジにより接続される電子コンポーネントのマトリクスが得られる。

【0015】

次いで、多くの応用事例も考えられる。

【0016】

例えば、このようにして形成されたブリッジを使用し、弾力性のあるブリッジを選択する（例えば、あまり厚くなくすることを選択する）ことにより、隣接するコンポーネント間の相対的変位の問題を解決することも考えられる。これは、ブリッジがさらにコンポーネント間の電氣的相互接続部として使用される場合に特に有利である。実際、これらの相互接続部は、隣接するコンポーネント間の相対的変位の大きさが何であれ、与えられ続ける。例えば、あまり厚くないブリッジを用意することを選んだ場合、前記ブリッジは、帯状材または軟質フィルムのような挙動を示し、使用されている電子コンポーネントにより持続されうる相対的変位の大きさに比べて一般的に大きい有意な大きさの歪みを有する。

【0017】

例えば、機能材料が伝導性を有する場合、ブリッジは、コンポーネントの電氣的相互接続部に使用されうる。この電氣的相互接続部は、コンポーネントの側面に形成されうるので、その上側面が空きになる。

【0018】

他の応用事例では、ブリッジが、不透明材料で作られる場合、コンポーネントの完全な光アイソレーションが得られ、したがって、「クロストーク」と呼ばれ、マトリクス検出

10

20

30

40

50

器においてよく見られる外部ノイズが防止される。実際、いかなる放射線も、これらのブリッジにより保護されているトレンチに到達しえない。したがって、検出される放射線は、電子コンポーネントの検出面に入射する放射線に正確に対応する。

【0019】

さらに、本発明は、最終的に、ミクロンクラスのマトリクスデバイスの製造の分野において以前には一般に欠陥としてみなされていたものを実装することに留意されたい。

【0020】

例えば、メタライゼーション領域などの、トレンチにより分離される電子コンポーネントの表面上の機能パターンは、一般に、放射線に基づくサブトラクション法を使用して形成される。サブトラクションという用語は、ここでは、機能材料のコンポーネントの広範な層が表面に蒸着され、余剰機能材料が取り除かれて、パターンを形成するという状況を指している。フォトリソグラフィは、特にこの点に関して引用されうる。

10

【0021】

この技術の実施例について考えると、機能材料の広範な層は、感光性樹脂でコーティングされ、次いで、機能パターンを形成するために除去される材料層部分を定義するサブトラクションマスクを通じて、紫外線(UV)が施される。UV放射線の効果の下で、露光されたポジティブ樹脂部分は、塩基性溶液を使用する現像プロセスを通じてその樹脂部分を除去することを可能にする化学的転換を維持する。

【0022】

現像が実行された後、除去すべき材料層の部分は、次いで、外面に現われるようになり、化学エッチングにより除去される。それと同時に、非露光樹脂は、現像によって除去されておらず、したがって、パターンの材料はエッチングから保護される。この非露光樹脂部分が、化学浴法により除去された後、必要な機能パターンが、電子コンポーネントの表面上に現れる。

20

【0023】

しかし、よく知られているように、マスクングによりミクロンパターンを形成するためには、放射線波長は、パターンの寸法よりも小さくしなければならず、特に、放射線がマスクを通過するときの回折現象を避けるべきである場合にはそうであり、したがって、紫外線を使用してミクロンパターンを形成する。したがって、放射線波長が小さければ小さいほど、放射線の樹脂貫通能力が低いか、または被写界深度が低い。

30

【0024】

トレンチを充填する樹脂は、かなりの厚さを有しているため、そっくりそのまま露光されることはなく、したがって、現像により完全に除去することもできない。したがって、トレンチの底部にある不要な材料は、露光した後も、化学エッチングにより除去されえない。

【0025】

それまでの間、エッチングにより除去することが不可能であるならば、いわゆる深いトレンチ内の機能材料の蒸着は回避されている。

【0026】

したがって、本発明では、トレンチ底部に機能材料を意図的に蒸着することにより、従来技術においてトレンチを正確に覆うリンク素子を製造する際の欠陥として以前にはみなされていたものを有利に使用する。

40

【0027】

本発明によれば、この方法は、有利な特徴として、機能材料は、考えられる用途に応じて、弾力性を有し、および/または伝導性を有し、および/または不透明である、

露光段階は、フォトリソグラフィマスクを感光性樹脂の表面に施す段階を含む、

フォトリソグラフィマスクは、トレンチを覆う部分を含む、

露光段階は、トレンチの深さよりも小さく、電子コンポーネントの上側面をコーティングする樹脂膜の厚さよりも大きい、樹脂が曝露される放射線に対する被写界深度を選択す

50

る段階を含む、

アクティブ層形成段階の後に、前記コンポーネントに特徴的な機能素子を前記アクティブ層の空き表面に蒸着し、および/または埋め込む段階が続く、

機能素子を蒸着し、および/または埋め込む段階は、電極および/またはメタライゼーション層を蒸着し、および/または埋め込み、それぞれのコンポーネントのハイブリダイゼーションを可能にする段階を含む、

アクティブ層は、第1のタイプの半導体層であり、機能素子を蒸着し、および/または埋め込む段階は、アクティブ層の空き表面内にそれぞれのコンポーネントに対する第2のタイプの半導体領域を形成する段階を含む、

トレンチを形成することにより前記コンポーネントを個別化する段階は、それぞれのコンポーネントの少なくとも1つの側面内に第2のタイプの半導体領域を形成する段階を含むか、またはその段階が後に続く、

前記側方エッジ内に第2のタイプの半導体領域を形成する段階は、ドーピング、特に「ループホール(loop hole)」ドーピングにより実装される(「ループホール」ドーピングは、材料を同時にドーピングするイオン衝撃によるエッチングである)、

機能材料は、金属であり、フォトリソグラフィマスクは、アクティブ層の空き表面上に形成された第2のタイプの半導体領域の表面上に金属層を形成するように選択される、

この方法は、前記金属層のそれぞれの表面上に導電性バンプ接触部を形成する段階を含む、

この方法は、現像段階の結果として、基板上にマトリクスをハイブリダイズする段階を含む、という特徴のうちの1つまたは複数を含む。

【0028】

本発明の他の目的は、さらに、中に形成されたスルートレンチを使ってアクティブ層内に個別化された少なくとも2つの電子コンポーネントのマトリクスである。

【0029】

本発明によれば、このマトリクスは、隣接する電子コンポーネントのそれぞれの対について、前記コンポーネントに接続されている少なくとも1つの素子を含み、前記コンポーネントを分離するトレンチを少なくとも部分的に覆い、前記トレンチを定める側壁のそれぞれとの少なくとも1つの接点を含む。

【0030】

言い換えると、隣接するコンポーネント同士の間リンク素子は、トレンチの全長にわたって広がる少なくとも1つの部分を含む。したがって、最適な使用は、コンポーネント間空間を使用するものである。

【0031】

特定の実施形態によれば、このマトリクスは、

それぞれのコンポーネントは、正多角形の形状、特に矩形、六角形、三角形などに基づく平行六面体形状を全体として有する、

リンク素子は、不透明である、

リンク素子は、コンポーネント間の相対的な変位に関わらず隣接するコンポーネントとの電氣的接続の安全性を維持するのに十分な弾力性を有する、

リンク素子は、導電性である、

リンク素子は、糸状である、

リンク素子は、表面ベースである、

リンク素子は、1つまたは複数のコンポーネントの電氣的接触ピックアップと接触している、

前記接触ピックアップは、考察対象のコンポーネントの横断面の側面の1つまたは横断面の1つに形成される、

リンク素子は、接触ピックアップ上に組み立てられるようにすることを意図されている導電層および結合層を含む、複数の層で構成され、外部層は、有利には、チタン(Ti)、クロム(Cr)、およびチタンとタングステンの合金(TiW)からなる群から選択さ

10

20

30

40

50

れた材料で構成され、導電層は、有利には、白金、金、アルミニウム、銅、または銅とベリリウムの合金からなる群から選択された材料で構成される、

リンク素子は、前記コンポーネントの全部または一部に共通であり、連続線またはグリッドを形成する、

それぞれの電子コンポーネントは、バイポーラトランジスタであり、その少なくとも1つの半導体領域は、その側面の1つに形成され、前記リンク素子と接触する、という特徴の1つまたは複数を備える。

【0032】

本発明の他の目的は、基板に加えられた複数の電子コンポーネントを備える電子デバイスを製造する方法である。

【0033】

本発明によれば、この方法は、

エピタキシーによりアクティブ層を犠牲層上に形成する段階と、

前記アクティブ層の空き表面上に、電極、特にアノード、および/またはそれぞれのコンポーネントをハイブリダイズできるメタライゼーション層などの、前記コンポーネントに特徴的な機能素子を蒸着し、および/または埋め込む段階と、

マトリクス内の前記コンポーネントを個別化するようにして、少なくとも前記犠牲層が出現するまで前記アクティブ層内の行および/または列内にトレンチをエッチングする段階と、

接触ピックアップを形成するようにして、そのように個別化されたそれぞれのコンポーネントの空き面の少なくとも1つに導電性パンプ接触部を形成する段階と、

隣接するコンポーネントの前記接触ピックアップを少なくとも2つずつ接続するように前記トレンチ上に広がる少なくとも1つの導電性膜を蒸着により形成し、前記膜がコンポーネント間の相対的変位があるにもかかわらず電気的接続を維持するのに十分な弾力性を与えるために設定された厚さを有する段階と、

コンポーネントを基板上にハイブリダイズする段階と、

前記機能素子の全部または一部を突起したまま残すようにして、前記基板に向かい合って配置されているそれぞれのコンポーネントの面を選択的に薄くする段階と、

導電性膜が出現するように、機械的加工または化学攻撃により前記犠牲層を除去する段階とを含み、

アクティブ層を形成し、トレンチをエッチングし、少なくとも1つの膜を蒸着する前記段階は前記の方法によるものである。

【0034】

本発明の特定のいくつかの実施形態によれば、この方法は、以下の特徴の1つまたは複数を含み、

したがって、有利には、蒸着段階は、

前記アクティブ層の表面全体、つまり、トレンチの表面全体および前記コンポーネントの表面全体を覆う電気絶縁材料の1つの層を蒸着する段階と、

フォトリソグラフィにより電気絶縁材料の前記層に孔をあけ、その後、底部で、および前記トレンチのエッジの全部または一部上で実行されるエッチング作業が続く段階と、

前記コンポーネントおよび前記トレンチの空き表面の全部または一部上に前記導電性膜を蒸着する段階と、

前記コンポーネントの表面をエッチングすることにより前記導電性膜を局所的に取り除く段階とを含む。

【0035】

さらに、有利なことに、得られる導体は、導電層および接触ピックアップ上に組み立てを行えるようにすることを意図されている結合層を含む複数の層で構成され、また除去段階は、少なくとも前記導電層に関して不活性となるように選択されたプラズマの下で実行される。

【0036】

10

20

30

40

50

本発明の他の目的は、基板に加えられた複数の電子コンポーネントを備える電子デバイスがあり、それぞれのコンポーネントはリンク素子を使って前記基板に機械的に接続されており、それぞれのコンポーネントは、それに加えて、導電体を形成する少なくとも1つの部分を使って少なくとも1つの隣接するコンポーネントに電氣的に接続される。本発明によれば、コンポーネントおよびその関連する導体は、前述のタイプのマトリクスを形成する。

【0037】

特定の実施形態によれば、このデバイスは、

接触ピックアップは、基板上に施されているコンポーネント面と反対側のコンポーネント面上に形成される、

10

接触ピックアップは、前記基板上に施されているコンポーネント面上に形成される、という特徴の1つまたは複数を含む。

【0038】

本発明の他の目的は、X線、赤外線、または可視光線などの電磁放射線の検出器である。本発明によれば、このような検出器は、すでに説明されているようにデバイスにより形成されるマトリクスを備え、それぞれのコンポーネントは、この放射線と相互作用することができる材料を含む。

【0039】

本発明の他の目的は、すでに説明されているようなデバイスにより形成されるマトリクスを含む、レーザービームなどの電磁放射線の放射体であり、それぞれのコンポーネントは、垂直キャビティ面発光レーザー放射体(VCSSEL)または発光ダイオード(LED)である。

20

【0040】

本発明は、もっぱら例により示され、付属の図面に関してなされている、同一の参照符号は同一または類似の素子に関係する、以下の説明を読むことによりよく理解されるであろう。

【図面の簡単な説明】

【0041】

【図1a】本発明に従って、ブリッジにより接続される個別電子コンポーネントを製造する方法を示す図である。

30

【図1b】本発明に従って、ブリッジにより接続される個別電子コンポーネントを製造する方法を示す図である。

【図1c】本発明に従って、ブリッジにより接続される個別電子コンポーネントを製造する方法を示す図である。

【図1d】本発明に従って、ブリッジにより接続される個別電子コンポーネントを製造する方法を示す図である。

【図1e】本発明に従って、ブリッジにより接続される個別電子コンポーネントを製造する方法を示す図である。

【図1f】本発明に従って、ブリッジにより接続される個別電子コンポーネントを製造する方法を示す図である。

40

【図1g】本発明に従って、ブリッジにより接続される個別電子コンポーネントを製造する方法を示す図である。

【図1h】本発明に従って、ブリッジにより接続される個別電子コンポーネントを製造する方法を示す図である。

【図1i】本発明による電子コンポーネントのマトリクスの線図である。

【図2a】従来技術の電子デバイスの断面を表す線図である。

【図2b】従来技術の電子デバイスの断面を表す線図である。

【図3】本発明による電子コンポーネントのマトリクスを含む第1の電子デバイスの断面を表す線図である。

【図4】本発明による電子コンポーネントのマトリクスを含む第2の電子デバイスの断面

50

を表す線図である。

【図5 a】それぞれ電氣的接触ピックアップの代替え位置を有する本発明による電子コンポーネントのマトリクスを含むデバイスの断面を表す線図である。

【図5 b】それぞれ電氣的接触ピックアップの代替え位置を有する本発明による電子コンポーネントのマトリクスを含むデバイスの断面を表す線図である。

【図5 c】それぞれ電氣的接触ピックアップの代替え位置を有する本発明による電子コンポーネントのマトリクスを含むデバイスの断面を表す線図である。

【図6 a】図3および4のデバイスを製造する方法における異なる段階を示す断面を表す線図である。

【図6 b】図3および4のデバイスを製造する方法における異なる段階を示す断面を表す線図である。

【図6 c】図3および4のデバイスを製造する方法における異なる段階を示す断面を表す線図である。

【図6 d】図3および4のデバイスを製造する方法における異なる段階を示す断面を表す線図である。

【図6 e】図6 dに示されている電子デバイスの上から見た図である。

【図7 a】図3および4のデバイスを製造する方法の一実施形態におけるいくつかの段階を示す断面を表す線図である。

【図7 b】図3および4のデバイスを製造する方法の一実施形態におけるいくつかの段階を示す断面を表す線図である。

【図7 c】図3および4のデバイスを製造する方法の一実施形態におけるいくつかの段階を示す断面を表す線図である。

【図7 d】図3および4のデバイスを製造する方法の一実施形態におけるいくつかの段階を示す断面を表す線図である。

【図7 e】図3および4のデバイスを製造する方法の一実施形態におけるいくつかの段階を示す断面を表す線図である。

【図7 f】図3および4のデバイスを製造する方法の一実施形態におけるいくつかの段階を示す断面を表す線図である。

【図8】本発明による電子コンポーネントのマトリクスを含む第3の電子デバイスの断面を表す線図である。

【図9】図8のデバイスを表す電子回路図である。

【図10 a】図8のデバイスを製造する方法を示す図である。

【図10 b】図8のデバイスを製造する方法を示す図である。

【図10 c】図8のデバイスを製造する方法を示す図である。

【図10 d】図8のデバイスを製造する方法を示す図である。

【図10 e】図8のデバイスを製造する方法を示す図である。

【発明を実施するための形態】

【0042】

本発明による方法の実施形態

図1 aから1 hは、本発明によるミクロンクラスの電子コンポーネントのマトリクスを形成する方法の一実施形態の異なる連続する段階を示している。本発明によれば、この方法は、最初に、例えばエピタキシーにより、基板ベース100上にアクティブ層101を形成する段階(図1 a)を含む。層101は、製造される電子コンポーネントの主要機能に必要であるため、アクティブであると言われる。層101は、例えば、CdHgTe、InSb、AsGa、Si、Ge、またはさらに複数の量子井戸などのいわゆる検出または発光材料から作られる。

【0043】

次の段階は、形成されるマトリクス内のコンポーネント111を個別化するように、少なくとも基板ベース100が出現するまで、アクティブ層101の行と列内にトレンチ102をエッチングすることである(図1 b)。エッチングは、例えば、イオンエッチング

10

20

30

40

50

、反応性プラズマエッチング、または化学エッチングである。

【0044】

次いで、いわゆる「リフトオフ」技術を使用して、例えば、そうしてエッチングされたアクティブ層101の表面上に機能材料103の膜が蒸着される(図1c)。膜103は、例えば、TiPdAu、TiNiAu、TiPt、CrPdAu、OrNiAu、CrPt、Al、CuBeからなる。いくつかの場合において、この膜を形成する層は、異なる材料、例えば、適度の弾力性レベルが得られるように選択された、トレンチの底部の第1の材料、および溶接に適するように選択された、表面の第2の材料で構成することができる。

【0045】

感光性樹脂104は、トレンチ102を充填し、電子コンポーネント111の上側面に薄膜105を形成するようにして、機能膜103上に蒸着される(図1d)。ここで使用されている記述用語「薄(い)」は、現像に必要な、樹脂の化学修飾に使用される放射線が膜105を完全に貫通してその後の現像において露光された膜部分が完全に除去されるくらい膜の厚さが十分に小さいことを表す概念を指す。

【0046】

フォトリソグラフィマスク107は、樹脂104に向かい合う形で施され、全体がマスク107を通じて紫外線104に曝される。紫外線の被写界深度は、膜105をその厚さ全体にわたって貫通するが、トレンチ102の内側の深さ全体にわたって樹脂を貫通することはないように選択される。フォトリソグラフィの分野では周知のように、適切に露光された樹脂部分のみが、化学反応に曝される。マスク107の下に配置されているような露光不足の部分およびトレンチ102を充填する部分は、このような反応に曝されない。

【0047】

図1eの実施例では、トレンチは、マスクされない。別の方法として、フォトリソグラフィマスク107は、前記トレンチ102をマスクする。したがって、被写界深度を正確に定めるために、放射線を制御する必要はない。

【0048】

露光が生じた後、適切に露光された樹脂が現像される(図1f)。この段階の終わりに、マスク107によりマスクされた樹脂部分109およびトレンチ102を充填する部分のみが残る。

【0049】

次いで、樹脂が消失することにより見えるように残された機能膜103の部分は、現像段階に続いて化学攻撃によりエッチングされ(図1g)、次いで、残留樹脂が化学浴法により除去される(図1h)。

【0050】

この段階の終わりに、次いで、2つの隣接するコンポーネント111の間に、トレンチ102の壁の直後のブリッジ112、およびそれぞれのコンポーネント111の上側面上の膜110の領域がある。

【0051】

応用事例によっては、トレンチの樹脂内にUV放射線が貫通する深さを正確に制御することは重要でないことに留意されたい。肝心なのは、現像プロセスの終わりに、トレンチ102内に蒸着された膜103上に保護樹脂104の膜が残っていることである。

【0052】

機能材料の膜の一領域がそれぞれのコンポーネント111の上側面上に形成されるこの方法の一実施形態が説明されている。

【0053】

この実施形態は、特に、複数の電氣的接続部の形成に有用である。実際、導電性機能材料を選択することで、隣接するコンポーネント111のそれぞれの対とそれぞれのコンポーネント111の上側面上の接続領域との間がブリッジにより相互接続される。

【0054】

10

20

30

40

50

コンポーネント 111 の上側面上に機能材料の一領域を保持する必要がない場合、露光段階で使用されるフォトリソグラフィマスク 107 は無意味なものとなる。次いで、樹脂 104 の表面全体が露光され、樹脂が現像された後、コンポーネントの上側面全体がエッチングされる。

【0055】

同様に、膜の領域 110 とは別に、コンポーネントの機能化がいっさい実行されない一実施形態が説明されている。途中の段階は、以下の応用例で説明されるようにコンポーネントに特徴的な他の機能素子を蒸着するか、または埋め込むために、必要に応じて実行される。

【0056】

本発明によれば、図 1 i に示されているように、アクティブ層 101 において個別化されている電子コンポーネント 111 のマトリクスは、中に形成されたスルーレンチ 102 を使用して得られる。本発明のマトリクスは、隣接する電子コンポーネント 111 のそれぞれの対について、前記コンポーネント 111 に接続されている少なくとも 1 つの素子 112 を含み、前記コンポーネントを分離するトレンチ 102 を少なくとも部分的に覆い、前記トレンチ 102 を定める側壁のそれぞれとの少なくとも 1 つの接点 114、116 を含む。

【0057】

素子 112、つまり、図 1 i の実施例のブリッジは、アクティブ層 101 内にエッチングされたトレンチ 102 の形状および図 1 c に示されている機能材料膜を蒸着するプロセスに応じてさまざまな形態および寸法を取りうる。例えば、膜は、糸状素子を形成するようにして蒸着される。

【0058】

コンポーネント 111 およびブリッジ 112 により形成され、本発明の方法を使用して得られる、電子コンポーネントのマトリクスには、非常に多くの応用が考えられる。

【0059】

これは、基板ベース 100 を保持するか、または保持せずに、そのようなものとして使用され、および/または電子回路上にハイブリダイズされる。

【0060】

本発明の他の特徴および利点は、後述の応用例に関してより明確に現れる。

【0061】

本発明による方法およびマトリクスの第 1 の特定の応用

図 2 から 7 は、電子マトリクスデバイスの分野における本発明の応用例を示しており、そこでは、個別化された電子コンポーネントのマトリクスが基板上にハイブリダイズされている。前記図は、特にマトリクス検出器での応用を示しており、そこでは、複数の単一検出器素子のマトリクスが感知基板に追加される。

【0062】

マトリクス検出器を構成するものなどの電子デバイスを組み立てるか、または使用したときに、組み立てられた素子間の膨張差の問題が発生しうる。これらの素子の組み立てまたはハイブリダイゼーションの際に生じるこのような膨張差現象は、電子デバイスの動作を損なう限りにおいて回避されるべきである。実際、これらは、一般的に、組み立てられた電子デバイスを冷却する際に生じる熱機械応力により引き起こされるコンポーネント間の電氣的接続の不具合の原因である。

【0063】

従来技術で説明されている基板を使ってマイクロ電子コンポーネントを組み立てる方法がいろいろあるが、比較的高い温度で溶接または鐳付けすることにより一般的に実施される、組み立て時に発生するこれらの膨張差現象に対する解決策が提案されている。

【0064】

しかしながら、これらの従来技術の方法は、デバイスのハイブリダイゼーションにおいて生じる膨張差を対処するものであるが、こうして組み立てられたマイクロ電子デバイス

10

20

30

40

50

は、マイクロ電子デバイスを使用したときに生じる膨張差に必ずしも耐えるわけではない。実際、マイクロ電子デバイスが使用される温度は、それがハイブリダイズされたときの温度と実質的に異なることがある。

【0065】

したがって、これらの従来技術の方法の1つに従って組み立てられたマイクロ電子デバイスが、程度の差はあれ、組み立てまたはハイブリダイゼーションの際の膨張差を免れている場合でも、使用しているときに発生する膨張差による機械的応力には耐えなければならない。これらの応力は、構成素子間の電氣的接続部の不具合、したがってその動作不良を引き起こすことすらありうる。

【0066】

したがって、残存膨張応力を制限または取り除いて周囲温度で電子コンポーネントを組み立てることが可能であるが、デバイスが使用可能な非常に低い作業温度、例えば、-200と非常に低い温度だと、膨張差が、コンポーネント間に過剰な相対的変位を引き起こす原因となり、延いては、特にマイクロ電子デバイスの端部において、電氣的接続に不具合を生じることがある。

【0067】

従来技術では、そのようなマイクロ電子デバイスをデバイスの使用段階において膨張差により引き起こされる機械的応力に耐えられるようにする2つの解決策が提案されている。これら2つの解決策は、原理については類似しており、それぞれ図2aおよび2bに示されている。

【0068】

図2aの実施例では、電子デバイスは、例えば、マトリクス検出器用の感知回路を形成する基板2、および一組の電子コンポーネント3、例えば、半導体材料から作られ、機械的にリンクされ、鐳付けボールなどの接続素子1を使って電氣的に接続された「ピクセル」を備える。図2aに示されている組み立ては、例えば、よく知られている「フリップチップ」組み立て法により行うことができる。

【0069】

図2aに示されている電子デバイスでは、一組のコンポーネント1を形成する材料の層は、デバイスの使用段階において膨張差が生じるときに接続素子3により維持される機械的応力を低減するように薄くされる。このような薄い層構造は、実際に、電氣的接続部3が故障する危険性を低減するけれども、それと引き換えに、薄層1内の機械的応力および熱的応力を増大し、結局、実際にはこのような応力によりもたらされる問題は前記層へと移される。

【0070】

その結果、層1は、高いレベルの応力を維持しなければならず、したがって、細部に大きな注意を払って設計および製造されなければならず、そのため、コストが増大する。したがって、その構成材料は、そのような応力に耐えられるように選択されなければならず、そのような選択ですぐに不適切な材料が使用されることがなくなり、これにより、そのような薄層1により実行できる電子的機能が制限される。

【0071】

図2bは、材料層2を薄くし、例えば基板を構成し、その上に層4を重ね合わせることを伴う他の従来技術の解決策を示している。このような構造のため、電氣的接続部3により持続される応力を実質的に低減することが可能になるが、図2aの場合のように、結局、材料層2上の使用段階において作用する機械的および熱的応力が増大する。図2aに関してすでに述べられている結果とは別に、さらにこの構造により、製造コストの負担が増す。

【0072】

それに加えて、図2aまたは2bのうちの一方に示されているようなデバイスの構造を有する電子デバイスは、その電子コンポーネントを小型化できる極限を表すものとなっている。実際、それぞれのピクセルが、ある設定された数の電氣的接続部を必要とする限り

10

20

30

40

50

において、デバイスは、それらの電氣的接続部を形成する素子3を埋め込むのに必要な空間に依存する。

【0073】

したがって、そのような電子デバイスにより構成される多数の電磁放射線検出器について、それぞれのピクセルは、少なくとも2つの電氣的接続部、つまり、ピクセル特有の接続部とすべてのピクセルに共通の接続部とを備えていなければならない。実際、現在の傾向は、特に検出器またはマトリクス放射体の分野におけるマイクロ電子コンポーネントの小型化である。

【0074】

次に、開示されたばかりの従来技術の欠点を有していない製造のデバイスおよび方法について説明する。そこで、本発明の応用例の1つは、一方で電氣的接続部には使用段階における故障の危険性がなく、他方で電子コンポーネントの適合性がそれらの電氣的接続部に必要な空間により制限されることはない、電子デバイスに関するものである。

【0075】

図3は、本発明の方法により得られる、基板302に追加される複数の個別化された電子コンポーネント303、311を備える電子デバイスの第1の実施形態を示している。

【0076】

図3に実施例では以下の図のように、電子コンポーネント303、311は、検出対象の電磁放射線と相互作用することができる材料および例えば、赤外線を検出するのに適しているカドミウム(Cd)、水銀(Hg)、およびテルル(Te)の合金からなる。しかしながら、電子コンポーネントは、他のタイプのものでよく、またX線、可視(LED)、レーザー(VCSL)などの他の形態の放射線の検出または放射などの他の機能を持つものでもよい。実際、大半の検出器および放射体が関わる。

【0077】

基板302それ自体は、一般に電磁放射線のマトリクス検出器の場合と同様に、CMOSタイプの半導体回路により構成されうる。

【0078】

それぞれの電子コンポーネント303、311は、「フリップチップ」組み立て法の一部として使用されている鐮付けボール、または電気伝導性重合体バンプ接触部などのリンク素子301、310を使って基板302に機械的にリンクされ、また電氣的に接続される。したがって、リンク素子は、組み立て物の機械的結合性を確保するのに役立つ。

【0079】

電磁放射線を検出するために電子デバイスが使用される場合、リンク素子301、310は、それぞれの電子コンポーネントのアノード極を構成することができる。したがって、光子とコンポーネント303、311中の物質との間に相互作用が生じたときに放出される電荷担体は、感知回路302へと導かれうる。このような電子放射線検出器は、従来、例えば、それぞれマトリクス検出器の1つのピクセルに対応する矩形、正方形、六角形、または三角形に基づく平行六面体の形状などの正多角形の形状全体の中にコンポーネントを収める。

【0080】

本発明によれば、それぞれのコンポーネント303、311は、さらに、隣接するコンポーネントのうちの少なくとも1つに電氣的に接続される。この電氣的接続は、少なくとも1つの弾力的に歪ませることができる導体305~307を使って形成される。したがって、導体305~307は、それぞれの電子コンポーネントの表面のうちの1つに電氣的接触ピックアップ機能を実現しうる。

【0081】

さらに、導体305~307は弾力があるため、コンポーネント303、311および基板302に膨張差が生じたときに発生する熱機械応力により引き起こされる歪みを吸収することができる。実際、従来技術に関して開示されているように、基板302およびコンポーネント303、311を構成する材料の膨張に差が生じた場合に、それらの素子間

10

20

30

40

50

に相対的変位が観察されうる。これらの応力は、主に、剪断応力を含むが、クリープ応力なども含みうる。

【0082】

図3の実施例では、導体305～307は、実質的に刃の形をしている、言い換えると、図3の平面に垂直な方向で考えたときに厚さも幅もあまり大きくないということである。したがって、導体305～307は、実際、図6eにおいて上から見た形で示されているデバイスのようにグリッドの形をとっているため、図3に示されている検出器のすべての点において同じ電位を有する。

【0083】

導体305～307は、それぞれのコンポーネント303、311の側部の拡張面上に接触部を形成する連続的帯状材またはフィルムの外観を呈する。このような表面ベースの接触は、図3に示されている検出デバイスに共通のカソードを形成しうる、導体305～307に向かう電荷担体の流れに対する電氣的抵抗を下げるという利点を有する。その結果、アクティブ材料内の応力の除去を通じてそれぞれの電子コンポーネント内の信号劣化を制限する高い信号対雑音比が維持されうる。さらに、デバイスの量子効率を高め、隣接するデバイス間の混変調（漏れ電流）を下げるができる。

【0084】

ここで、機能材料で作られたブリッジ、この場合導体305～307により接続された個別電子コンポーネント303、311のマトリクスを見ることができる。

【0085】

さらに、直接的に、またはそれぞれのコンポーネント303、311に関連する接続手段を通じて、それぞれのピクセルの側部304、308、および309上の導体305～307の接触ピックアップを形成できる。

【0086】

実際、導体は、少なくとも2つの層、つまり、接触ピックアップレベルに関連するコンポーネントによる組み立てが可能な結合層、および定義により、検出器のピクセルの全部または一部に共通の捕集チャネル内の電荷担体を移動するために使用される導電層を含む。

【0087】

結合または「ロックオン」層は、たまたまチタン（Ti）から作られるが、クロム（Cr）などの結合特性に関して知られている他の材料から構成することも可能である。導電層は、白金（Pt）、金（Au）、アルミニウム（Al）、銅（Cu）、または銅とベリリウムの合金（CuBe）などの良導体材料からなる。

【0088】

しかしながら、ただし本発明の範囲から逸脱することなく、半導体材料中に弾力性のある導体を形成することが考えられる。これは、1つの単一材料を使用して、導電性および機械的結合機能を実現することができることを意味している。

【0089】

図4は、コンポーネント403、411、412がCMOSタイプの基板402に電氣的に接続されている本発明の第2の実施形態を示している。さらに、コンポーネント403、411、412は、基板402の表面上に設けられたキャビティ420の底部に挿入されたリンク素子401、423を使って基板402に機械的にリンクされる。これにより、このようなリンク素子401、423は、常温接続を可能にし、溶接に必要な発熱を回避するある種のコネクタを構成する。

【0090】

さらに、図3に示されている電子デバイスの場合のように、弾力性のある導体405、407により、隣接するコンポーネント403、411を互いに電氣的に接続することができる。図3の場合のように、導体405、407は、図4の電子デバイスを構成する素子の材料同士の間膨張の差により引き起こされる熱機械応力の大半に十分に耐えられる弾力性を有している。

10

20

30

40

50

【0091】

図3に示されている電子デバイスとは異なり、図4に示されているデバイスは、411、412が2つずつ並んで配置されているピクセルを備え、これにより、導体405、407との接触ピックアップ408~409とともに側部に取り付けられたブロックを構成する。この実施形態は、コンポーネント411、412を合わせて「島」にすることができること、したがって、接続する箇所の個数を減らし、電子デバイスを製造する方法を簡素化できることを意味している。それに加えて、アクティブ面を増やすことができることを意味している。しかし、基板402の周辺領域に配置されている電子コンポーネント403は、個別化されたままであり、導体405との接触ピックアップ404を有する。

【0092】

ここで、機能材料のブリッジ、この場合導体405~407によりリンクされた個別電子コンポーネント403、411を備える本発明によるマトリクスが得られる。

【0093】

図5a、5b、および5cは、電子デバイスを形成するコンポーネント501の異なる面上の弾力性のある導体506、516、526の接触ピックアップに対する代替形態をそれぞれ示している。

【0094】

したがって、図5aでは、接触ピックアップ508、509が、基板502上に付けられた面と反対側のコンポーネント501の面上に形成される。これは、一方では、ピクセルの下側面上の電気的接続部により占有される空間を減らせることを、他方では、隣接するコンポーネントの間に必要な間隙を縮めることによりコンポーネントのコンパクトさを高めることができることを意味している。

【0095】

図5cの場合、接触ピックアップ528、529は、基板502上に施されたコンポーネントの面上に、言い換えると、この基板502と向かい合い、リンク素子、特に鍵付けボール503などの機械的素子を受け入れるように配置された下側面上に、特にこの面がすでに接触ピックアップを有している場合に、形成される。これにより、できる限りコンポーネントの上側面に空きを作ることができる。

【0096】

図5bは、接触ピックアップ518、519が、図3および4に示されている電子デバイスと同様に、それぞれのコンポーネントの側部または側面上に形成される代替形態を示している。このような代替形態は、それぞれのコンポーネントの上側表面と下側表面に空きを作り、それにより検出または放射のための「アクティブ」体積を最大にする。

【0097】

図6aから6dは、本発明により電子デバイスを製造する方法の一実施形態における異なる連続する段階を示している。本発明によれば、図6に示されている方法は、エピタキシーにより犠牲層600上にアクティブ層601を最初に形成する段階を含み、この層は、例えば検出器のピクセルの場合に入射光子と相互作用して電荷担体を放出することによりコンポーネントの主要機能を実現する。

【0098】

次いで、コンポーネント611に特徴的な機能素子603が、このアクティブ層601の空き表面上に蒸着され、および/または埋め込まれ、たまたま、これらは、個別のアノードおよびメタライゼーション層であり、これによりそれぞれのコンポーネント611をハイブリダイズすることができる。

【0099】

マトリクス内の前記コンポーネント611を個別化するように、少なくとも犠牲層600が出現するまで、アクティブ層601内の行および列内にトレンチ620がエッチングされる。

【0100】

導電性バンプ接触部は、接触ピックアップ608、609を形成するように、個別化さ

10

20

30

40

50

れたコンポーネント611の側部または側面に形成され、これらの側部は、基板から現れるので「空き」と称されうる。

【0101】

次いで、エッチングされたトレンチ620上に広がる導電性膜606が、例えば、いわゆる「リフトオフ」技術を使用し、隣接するコンポーネント611の接触ピックアップ608、609を互いに接続するようにして、蒸着される。

【0102】

本発明によれば、この膜606の厚さは、デバイス内に膨張の差が生じた場合に、コンポーネント611間に相対的変位があっても電氣的接続を維持するのに十分な弾力性をもたらすように決定される。

【0103】

次いで、コンポーネント611は、基板602上にハイブリダイズされ、ここではCMOS回路により構成され、次いで、基板602と向かい合う形で配置されているそれぞれのコンポーネント611の面は、機能素子603を突起した状態に残すようにして選択的に薄くされる。

【0104】

最後に、導電性膜606を露出するように、化学攻撃を使用して犠牲層600が除去される。

【0105】

したがって、アクティブ層を形成し、トレンチをエッチングし、機能膜を蒸着する異なる段階が、図1aから1hに関して説明されている、本発明の方法により実装されることがわかるであろう。

【0106】

その後、例えばカソード出力チャネルを形成するように、検出器のすべてのピクセルに共通の捕集手段630を加える設定を行うことができる。

【0107】

したがって、このような方法を使用することで、本発明による電子デバイスを直接的で費用効果の高い方法により製造することができる。

【0108】

したがって、この方法は、事前処理された検出器回路、またはセンサーがまとめてハイブリダイズされている、シリコン(Si)ファウンドリからのCMOSウェハに適用することができる。

【0109】

犠牲層600を除去する段階の化学攻撃を実装するために、この犠牲層を機械加工で厚さ10 μ mにしてから、トレンチ620の底部の金属に到達するまでフッ素化プラズマ処理でゲルマニウムの残存層をエッチングするようにできる。この作業を行う際に、CMOS感知回路などの電子デバイスの他の露出部分、またはセンサーもしくは検出回路のエッジを保護することが望ましい。

【0110】

図7aから7fは、上述の方法の文脈において実装されうる段階のシーケンスを示しており、これは、

アクティブ層701の表面全体、つまりエッチングで形成されたトレンチ720の表面全体およびコンポーネント701の表面全体を覆う電気絶縁材料741の層を蒸着する段階と、

フォトリソグラフィにより電気絶縁材料741の前記層に孔を明け、その後、底部で、および前記トレンチ720のエッジの一部の上で実行されるエッチング作業が続き、そうして、それぞれのピクセルの空いている「上側」部分が絶縁材料を剥ぎ取られる段階と、

コンポーネント701の空き表面全体にわたって、またトレンチ720の表面全体にわたって導電性膜706を蒸着する段階と、

前記コンポーネント701の表面をエッチングすることにより導電性膜706を局所的

10

20

30

40

50

に取り除く段階とを含む。

【0111】

このような段階のシーケンスにより、トレンチ720における導電性膜706と底部のピクセル701との間、したがって、複数のコンポーネント701のうちのそれぞれのコンポーネントの空き表面、言い換えると、図7に示されていない基板上に施された面と反対側に配置されている表面上で、接触ピックアップ領域を位置決めすることが可能になる。こうして、接触ピックアップは、コンポーネントのアクティブ部分701から遠ざけられ、これにより、電氣的攪乱の危険性が制限されるが、これは、近すぎると電氣的干渉が誘発されるからである。

【0112】

1辺4cmの正方形の検出器を構成する、15 μ mから20 μ mまでのピッチを有する2000 \times 2000ピクセルのマトリクス検出器を形成することが可能である。このような検出器では、温度が周囲温度から77Kまで低下したときに膨張が対角線方向に18 μ mに達する可能性がある。実際、このようなピクセルピッチを使用すると、図2aまたは2bに示されている従来の方法では、コンポーネント毎に、言い換えるとピクセル毎に、2つのリンクを実装することは、不可能でないとしても、非常に困難ではある。しかし、この製造法を使用すると、電子放射線検出器を構成するために完全に機能する本発明による電子デバイスを製造することが可能である。

【0113】

したがって、上昇であろうと下降であろうと、温度偏差があるときに、本発明の電子デバイスの膨張挙動により、熱機械応力が弾力性のある導体に伝えられうる。それぞれの電子コンポーネントは、個別に、基板を構成する材料の全体的膨張による変位に従う。

【0114】

さらに、弾力性のある導体を通じて基板によりそれぞれの電子コンポーネントに局所的に加えられる機械応力および熱応力は、比較的小さく、さらには、弾力性のある導体を構成する材料がインジウム(In)のように比較的軟らかい場合、および/または弾力性のある導体がそれを受け入れる面の中心でそれぞれのコンポーネントに固定される場合に無視できるくらい小さな値にすることさえできる。これは、膨張した際に、歪み、コンポーネントと基板との間の膨張差による機械応力を局所的に「吸収」する弾力性のある導体である。

【0115】

膨張に対する抵抗があるというこのような重要な利点とは別に、本発明の電子デバイスを使用することで、基板に追加されるそれぞれのコンポーネントの面上で必要な機械的および電氣的リンク素子の数を、例えば、2つから1つに減らすことが可能になる。したがって、このような電子デバイスを小型化することが可能である。

【0116】

さらに、本発明によるデバイスは、さらに、表面全体に、例えば、膨張率が電子デバイスに依存しない支持材上に接着されるようにすることにより、集積化できるという利点を有する。したがって、常温の平面物体により感知基板に加えられる機械応力は、基板から機械的に減結合されるので、いっさいピクセルには伝えられない。

【0117】

必要になった場合には、直接入射または放射される光子から来る信号への干渉を避けるように、弾力性のある導体膜上に反射防止層を蒸着することも可能である。

【0118】

本発明の他の実施形態は、本発明の範囲から逸脱することなく可能である。したがって、検出ピクセルを形成するコンポーネントは、上に示されているように、垂直キャビティ面発光レーザー(略してVCSEL)または発光ダイオード(またはLED)などの基本的なレーザー放射体で置き換えることができる。

【0119】

言い換えると、図2aおよび2bに関して説明されている問題を解決するという状況で

10

20

30

40

50

は、個別化された電子コンポーネントのマトリクスが感知基板上にハイブリダイズされている、本発明の説明されたばかりの電子マトリクスデバイスへの応用は以下のように要約することができる。

【0120】

まず第1に、この応用は、構成素子、コンポーネント、および/または基板が比較的低い熱機械応力に曝され、その電気接続部が特に使用段階において膨張差に耐え、また電子コンポーネントの小型化に対する制限となることがない、電子デバイスに関係する。

【0121】

本出願の主題となる電子デバイスは、基板に追加された複数の個別化された電子コンポーネントを備え、それぞれのコンポーネントはリンク素子により基板に機械的にリンクされる。それぞれのコンポーネントは、さらに、電氣的接触ピックアップ機能を実現する少なくとも1つの導体を使って少なくとも1つの隣接するコンポーネントに電氣的に接続され、前記導体はコンポーネント同士の間に関連的な変位があっても電氣的接続を維持する十分な弾力性を有する。

【0122】

言い換えると、電子コンポーネントは、すべて、デバイスの素子間の膨張差により引き起こされる熱機械応力をピックアップする少なくとも1つの「柔軟な」導体を使って電氣的に接続されまとめられる。さらに、このような導体は、電子コンポーネント間の電氣的接触ピックアップ機能を実現するが、これは、基板とそれぞれの電子コンポーネントとの間の機械的および電氣的リンク素子の個数を1つに制限できることを意味する。したがって、リンク素子によって必要とされる領域の縮小は、電子コンポーネントを小型化できることを意味している。

【0123】

第1の実施形態によれば、この導体は糸状とすることができる。この種の導体構造は、ほとんどスペースを占有しない電氣的接触ピックアップをそれぞれの電子コンポーネントの表面上に形成できることを意味する。

【0124】

したがって、単純な「電線」で2つの隣接する電子コンポーネントを接続することができる。

【0125】

第2の実施形態によれば、この導体は表面ベースの導体とすることができる。表面ベースの導体とは、糸状部分とは反対に、拡張された表面部分のことである。したがって、表面ベース部分という用語は、膜、帯状材、または薄板を記述するために使用されうる。

【0126】

言い換えると、このような導体により、電氣的接触ピックアップをそれぞれの電子コンポーネントの比較的広範な表面上に配置することができ、これにより、接触部の電気抵抗を下げられる。

【0127】

実際、導体は、電氣的接触ピックアップと接触していてもよい。

【0128】

実用的な一実施形態によれば、それぞれのコンポーネントは、例えば、矩形、正方形、六角形、または三角形に基づく平行六面体形状などの正多角形の全体的形状を有することができる。

【0129】

このような形状により、それぞれのコンポーネントがピクセルとして働くマトリクスを形成できる。

【0130】

この実用的な一実施形態では、接触ピックアップは、コンポーネントの側面のうちの1つに形成されうる。

【0131】

10

20

30

40

50

このことは、2つの隣接する電子コンポーネントが、比較的直接的な、したがって費用効果の高い方法で電氣的に接続できることを意味する。側面は、基板と向かい合って配置されているコンポーネントの面に垂直な面を意味するものと解釈する。

【0132】

この実用的な実施形態によれば、接触ピックアップは、基板上に施されているコンポーネント面と反対側のコンポーネント面上に形成されうる、言い換えると、これが基板上に置かれたときにコンポーネントの上側面に形成されうる。

【0133】

このタイプの接触ピックアップは、2つの電子コンポーネントを隔てる間隙を最大限減らして、コンポーネントのコンパクトさを高めることができることを意味している。

10

【0134】

この実用的な実施形態の他の代替形態によれば、接触ピックアップは、さらに、基板上に施されたコンポーネント面上にも形成されうる、言い換えると、これが基板上に置かれたときにコンポーネントの下側面上に形成されうる。これは、例えば、適切な局所的ドーピングの場合に、接触ピックアップがこの面上ですでに利用可能である場合に特に有益である。

【0135】

一実施形態によれば、導体は、接触ピックアップ上に組み立てられるようにすることを意図されている導電層および結合層を含む、複数の層で構成されうる。

【0136】

この多層構造により、導体により実現されなければならない2つの機能、つまり、コンポーネント間の導電性と膨張差の熱機械応力を許容するために必要な弾力性が分離される。

20

【0137】

こうして、導体の層のそれぞれが、これらの機能の一方または他方を適宜実現できる。

【0138】

実際、外部層は、チタン(Ti)、クロム(Cr)、およびチタンとタングステンの合金(TiW)からなる群から選択された材料で構成され、導電層は、白金(Pt)、金(Au)、アルミニウム(Al)、銅(Cu)、または銅とベリリウムの合金(CuBe)からなる群から選択された材料で構成されうる。

30

【0139】

このような材料により、その複数の機能を適宜実現する導体を製造することができる。

【0140】

特定の一実施形態によれば、導体は、コンポーネントの全部または一部に共通であり、この導体は例えば連続線またはグリッドを形成する。

【0141】

このような特徴があるため、導体は、例えば、検出器のカソードを構成するために、比較的直接的に、費用効果の高い方法で製造することができる。

【0142】

さらに、本出願は、X線、赤外線、または可視光線などの電磁放射線の検出器に関する。本出願によれば、このような検出器は、すでに説明されているようにデバイスにより形成されるマトリクスを備え、それぞれのコンポーネントは、この放射線と相互作用することができる材料を含む。

40

【0143】

そのように構成された検出器は、構成素子間の膨張差により引き起こされる機械応力に耐える、高水準の小型化を達成できる。

【0144】

実際、この検出器の基板は、CMOS技術を使用して半導体回路により構成され、前記放射線と相互作用できる材料は、カドミウム(Cd)、水銀(Hg)、およびテルル(Te)の合金、InGaAs、InSb、Si、またはGeとしてよい。このような検出器

50

は、高度の小型化に適合する検出性能を発揮する。

【0145】

他方では、本出願は、すでに説明されているようなデバイスにより形成されるマトリクスを含む、レーザービームなどの電磁放射線の放射体に関するものであるが、ただし、それぞれのコンポーネントは、垂直キャビティ面発光レーザー放射体（VCSEL）または発光ダイオード（LED）である。

【0146】

そのように構成された放射体は、高度の小型化を実現することができる。

【0147】

さらに、本出願は、基板に加えられた複数の電子コンポーネントを備える電子デバイスを製造する方法に関する。本発明の方法は、

エピタキシーによりアクティブ層を犠牲層上に形成する段階と、

このアクティブ層の空き表面上に、アノード、および/またはそれぞれのコンポーネントをハイブリダイズできるメタライゼーション層などの、これらのコンポーネントに特徴的な機能素子を蒸着し、および/または埋め込む段階と、

マトリクス内のこれらのコンポーネントを個別化するようにして、少なくともこの犠牲層が出現するまでこのアクティブ層内の行および/または列内にトレンチをエッチングする段階と、

接触ピックアップを形成するように、そのように個別化されたそれぞれのコンポーネントの空き面の少なくとも1つに導電性バンプ接触部を形成する段階と、

例えばいわゆるリフトオフ技術を使用して、隣接するコンポーネントの接触ピックアップを少なくとも2つずつ接続するようにトレンチ上に広がる少なくとも1つの導電性膜を蒸着により形成する段階であって、この膜がコンポーネント間の相対的変位があるにもかかわらず電気的接続を維持するのに十分な弾力性を与えるために設定された厚さを有する段階と、

CMOS半導体回路などの、基板上のコンポーネントをハイブリダイズする段階と、

これらの機能素子の全部または一部を突起したまま残すようにして、基板に向かい合って配置されているそれぞれのコンポーネントの面を選択的に薄くする段階と、

導電性膜を露出するように、機械的加工または化学攻撃を使用して犠牲層を除去する段階のシーケンスを含む。

【0148】

言い換えると、トレンチをエッチングし、接触ピックアップを形成した後に、本発明の対象を形成する方法は、コンポーネントと場合によっては基板との間に柔軟な導体を形成するのに適している膜を蒸着する段階を含む。

【0149】

実際に、この蒸着段階は、

アクティブ層の表面全体、つまり、トレンチの表面全体およびコンポーネントの表面全体を覆う電気絶縁材料の1つの層を蒸着する段階と、

フォトリソグラフィにより電気絶縁材料の層に孔をあけ、その後、底部で、および前記トレンチのエッジの全部または一部の上で実行されるエッチング作業が続く段階と、

コンポーネントおよびトレンチの空き表面の全部または一部上に導電性膜を蒸着する段階と、

コンポーネントの表面をエッチングすることにより導電性膜を局所的に取り除く段階のシーケンスを含む。

【0150】

このような製造方法により、電気的接触ピックアップを複数の電子コンポーネントのうちのそれぞれの電子コンポーネントの空き部分の中に形成し、そうして、ピクセル間の電荷担体の外乱および漏れにより引き起こされるそれぞれのコンポーネントの信号の劣化を低減するようにできる。「空き」は、基板により覆われていないコンポーネントの表面の部分、したがってその側面および上側面を意味するものと解釈される。

10

20

30

40

50

【0151】

特定の一実施形態によれば、導体は、接触ピックアップ上に組み立てられるようにすることを意図されている導電層および結合層を含む、複数の層で構成されうる。さらに、除去段階は、少なくともこの導電層に関して不活性となるように選択されたプラズマを使用して実行されうる。

【0152】

これは、良質の導体を比較的安価に製造できることを意味している。

【0153】

ブリッジ305、307、405、407、606の機能が、隣接する電子コンポーネント303、311、403、411、611の間の電氣的相互接続を形成すること、および相対的変位がある場合に前記相互接続を固定することである、マトリクス検出器の製造を対象とする本発明の応用について説明された。

10

【0154】

これらのブリッジ305、307、405、407、606に対し不透明材料を選択することにより、感光コンポーネント303、311、403、411の完全な光分離がなされる。図6eを見るとわかるように、電子コンポーネント611の上側面のみが入射放射線に自由に曝されるが、それはこれらのコンポーネント間のスペースがブリッジ606により光照射から保護されているからであることに留意されたい。

【0155】

本発明による方法およびマトリクスの第2の特定の応用

20

図8から10は、図2から7に関して説明されているものと似た応用例を示している。第2の応用は、主に電子コンポーネントがバイポーラトランジスタまたはダイオードであるという点で第1の応用と異なる。

【0156】

したがって、図2から7に関して説明されている内容は、該当する場合に当業者の技量の範囲内でわずかに修正を加えるだけで後述の応用にも当てはまることは理解されるであろう。

【0157】

図8では、感知基板803上にハイブリダイズされたコレクタ接地配列のバイポーラトランジスタ801、802のマトリクスを備える検出器が示されている。次にNPN型トランジスタの実施例を考察することにする。明らかに、以下に述べることは、PNP型トランジスタにも当てはまる。

30

【0158】

それぞれのトランジスタ801、802は、検出対象の電磁放射線と相互作用することができる、P型ドーピングされた材料、例えば、赤外線を検出するのに適している、カドミウム(Cd)、水銀(Hg)、およびテルル(Te)のP型ドーピングされた合金から作られたブロック804内に形成される。

【0159】

それぞれのトランジスタ801、802は、さらに、ブロック804内に形成された3つの領域805、806、807を備え、第1の2つの805、806は、トランジスタの側面808、809に出現し、第3の807は、基板803上に施されているブロック804の面810上に出現する。領域805、806、807は、これらがN型ドーピングされていることを除き、ブロック804と同じ材料から形成されている。

40

【0160】

基板803上に施されているブロック804の面は、さらに、第3の領域807上に出現する開口812を含む反射防止層811で覆われる。開口807は、導電性材料、例えば、白金(Pt)または金(Au)の材料で充填される。

【0161】

基板803それ自体は、一般に電磁放射線のマトリクス検出器の場合と同様に、CMOSタイプの半導体感知回路により構成される。

50

【0162】

それぞれのトランジスタ801、802は、「フリップチップ」組み立て法の一部として使用されている鑢付けボール、または電気伝導性重合体バンプ接触部などのリンク素子813を使って基板803に機械的にリンクされ、また電氣的に接続される。したがって、リンク素子は、組み立て物の機械的結合性を確保するのに役立つ。

【0163】

それぞれのトランジスタ802、803は、それに加えて、少なくとも1つの弾力的に変形できる導体814を使って隣接する複数のトランジスタのうちの少なくとも1つのトランジスタに電氣的に接続され、またそれらのトランジスタのうちのそれぞれのトランジスタのN型ドーピングされた側方領域805、806に接続される。導体814は、図3から7に関して説明され、本発明の方法を使用して製造されるものに適合している。

10

【0164】

したがって、導体814は、糸状であるか、または表面ベースであるとしてよい。導体は、さらに、すべてのトランジスタに共通で、一体形成されうる。

【0165】

最後に、マトリクスは、それぞれの行および/または列の末尾に、感知基板803のコモンモードコレクタ接続領域とともに隣接しているトランジスタの導体814の電氣的ピックアップを保証するコンポーネント815を備える。

【0166】

したがって、それぞれのトランジスタ801、802のN型ドーピング領域805、806、807およびP型ドーピングブロック804は、バイポーラトランジスタの構成素子であるPNおよびNP接合を形成する。それに加えて、こうして形成されたバイポーラトランジスタは、導体814により共通に接続されているコレクタを有する。したがって、2つの隣接するトランジスタの間の導体814は、側面上の接触ピックアップ内にある。

20

【0167】

トランジスタのベースは、浮動状態であり、放射線に曝される。図8のマトリクスと等価な電子回路図が図9に示されている。

【0168】

それとは別に、領域807は、ブロック804に関してドーピングされない。ダイオードタイプの簡素化された構成がこうして得られる。

30

【0169】

図8のデバイスを製造する方法は、図10aから10eに示されており、エピタキシーによりP型アクティブ層1001を犠牲層1002上に形成する段階と、エピタキシーにより反射防止材料の層1003をアクティブ層1001の空き面に形成する段階と、

それぞれのトランジスタについて、例えば、イオン注入法または機械加工法を使ってアクティブ層1001内にN型領域1004を形成する段階と、

個別のトランジスタのマトリクスを形成し、個別のトランジスタの側部または側面内にN型領域1006を形成し、前記トランジスタのコレクタを形成するように、N型領域1004の周囲にトレンチ1005をエッチングする段階であって、CdHgTeの特定の場合では領域1006に対し、例えば、非特許文献1で説明されているいわゆる「ループホール」技術を使用してエッチングと形成が同時に行われる段階と、

40

いわゆる「リフトオフ」技術を使用して導電性の弾力的な膜を形成するように、エッチングされた組み立て物の表面全体にわたって二重層メタライゼーション1007を施す段階であって、このメタライゼーション1007が例えば、チタンまたはクロムで第1の接触部およびロックオン層の蒸着を行い、次いで、すでに説明されているように、白金または金で第2の導電層の蒸着を行うことを含む段階と、

組み立て物を感光性樹脂で覆い、トランジスタの上側面上のN型領域1004を覆う樹脂およびトレンチの樹脂をマスクするフォトリソグラフィマスクを通じてUV放射線に曝

50

す段階と、

露光した樹脂を現像し、現像後メタライゼーション1007をエッチングして外面に現われるようにし、残存樹脂を除去する段階と、

いわゆる「フリップチップ」技術を使用してCMOS感知回路上の組み立て物をハイブリダイズする段階と、

トレンチのメタライゼーションを露出するように、化学攻撃および/または機械的な攻撃を使用して犠牲層1002を除去する段階のシーケンスを含む。

【0170】

メタライゼーション、樹脂蒸着、露光、現像、およびエッチングの段階は、図1aから1iに関して説明されている方法により実行される。

10

【0171】

好ましくは、犠牲層の除去は、

トレンチのメタライゼーションの上にある犠牲層の薄い、例えば10ミクロン未満の残存層を残すように犠牲層1002を機械加工で薄くする段階と、

トレンチメタライゼーションでデバイスの他の部分を保護するように注意が払われている限りは犠牲層の残存層をフッ素化プラズマ処理でエッチングする段階とを含む。

【0172】

こうして、得られるバイポーラトランジスタのマトリクスは、

ピクセルサイズが縮小され、実際、マトリクスを構成するときにより小さなピッチが形成されるただ1つの接続部がデバイスの上側面に設けられるという利点、

20

アクティブ層を通じてのトランジスタとの接続が形成されないのでトランジスタアクセス抵抗が低減され、さらに、トランジスタ間の接続の実効断面積が、それらの間の導電性膜の有効面により増大するという利点、

二重層膜が不透明であり、柔軟であるという利点、

二重層膜が正確にトレンチを覆うという利点を有する。

【符号の説明】

【0173】

- 1 接続素子
- 2 基板
- 3 一組の電子コンポーネント
- 4 層
- 100 基板ベース
- 101 活性層
- 102 トレンチ
- 103 機能膜
- 104 感光性樹脂
- 105 薄膜
- 107 フォトリソグラフィマスク
- 109 マスクされた樹脂部分
- 110 膜
- 111 電子コンポーネント
- 112 ブリッジ
- 301、310 リンク素子
- 302 基板
- 304、308、および309 ピクセルの側部
- 303、311 個別化された電子コンポーネント
- 305～307 導体
- 401、423 リンク素子
- 402 CMOSタイプの基板
- 403、411、412 コンポーネント

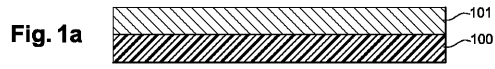
30

40

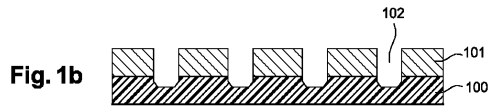
50

4 0 4	接触ピックアップ	
4 0 5、4 0 7	弾力性のある導体	
4 0 8 ~ 4 0 9	接触ピックアップ	
4 2 0	キャビティ	
5 0 1	コンポーネント	
5 0 2	基板	
5 0 6、5 1 6、5 2 6	弾力性のある導体	
5 0 8、5 0 9	接触ピックアップ	
5 1 8、5 1 9	接触ピックアップ	
6 0 0	犠牲層	10
6 0 1	アクティブ層	
6 0 3	機能素子	
6 0 6	導電性膜	
6 0 8、6 0 9	接触ピックアップ	
6 1 1	コンポーネント	
6 2 0	トレンチ	
6 3 0	捕集手段	
7 0 1	アクティブ層	
7 0 6	導電性膜	
7 2 0	トレンチ	20
7 4 1	電気絶縁材料	
8 0 1、8 0 2	バイポーラトランジスタ	
8 0 3	感知基板	
8 0 4	ブロック	
8 0 5、8 0 6、8 0 7	領域	
8 0 8、8 0 9	トランジスタの側面	
8 1 0	面	
8 1 2	開口	
8 1 1	反射防止層	
8 1 3	リンク素子	30
8 1 4	導体	
8 1 5	コンポーネント	
1 0 0 1	P型アクティブ層	
1 0 0 2	犠牲層	
1 0 0 3	反射防止材料の層	
1 0 0 4	N型領域	
1 0 0 5	トレンチ	
1 0 0 6	N型領域	
1 0 0 7	メタライゼーション	
1 0 0 8	樹脂	40

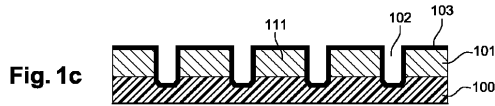
【 図 1 a 】



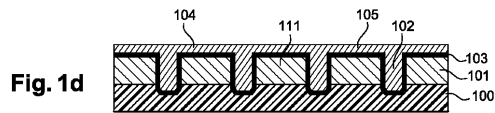
【 図 1 b 】



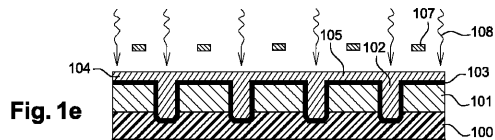
【 図 1 c 】



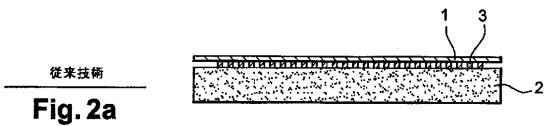
【 図 1 d 】



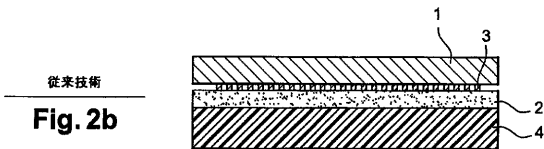
【 図 1 e 】



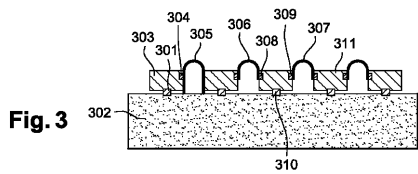
【 図 2 a 】



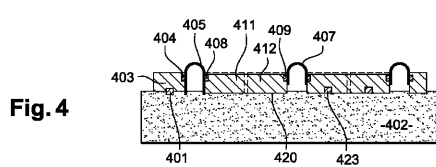
【 図 2 b 】



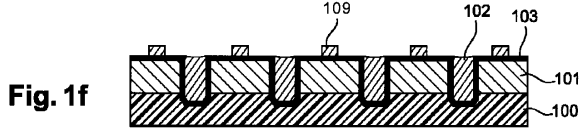
【 図 3 】



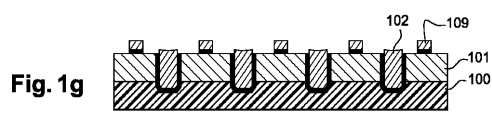
【 図 4 】



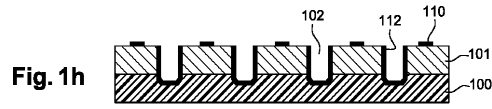
【 図 1 f 】



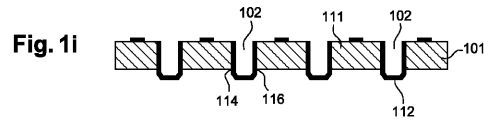
【 図 1 g 】



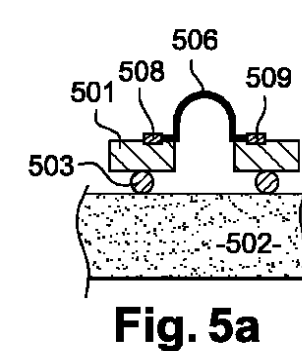
【 図 1 h 】



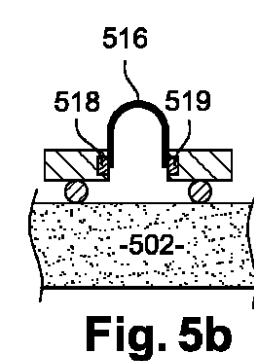
【 図 1 i 】



【 図 5 a 】



【 図 5 b 】



【 5 c 】

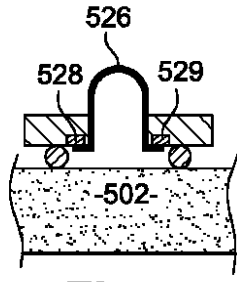


Fig. 5c

【 6 a 】

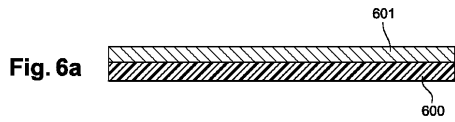


Fig. 6a

【 6 b 】

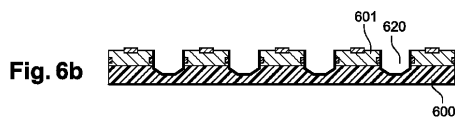


Fig. 6b

【 7 b 】

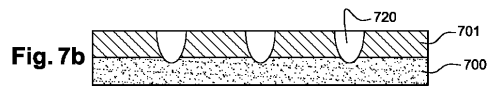


Fig. 7b

【 7 c 】

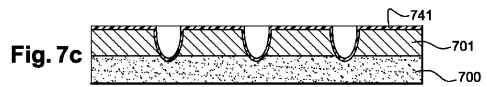


Fig. 7c

【 7 d 】

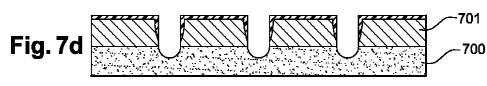


Fig. 7d

【 7 e 】

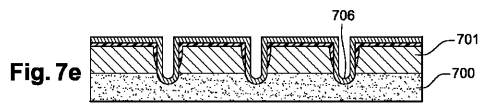


Fig. 7e

【 7 f 】

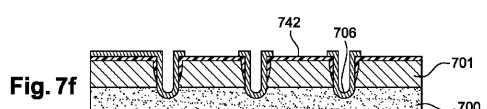


Fig. 7f

【 6 c 】

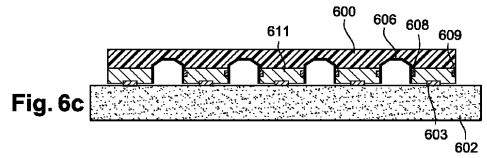


Fig. 6c

【 6 d 】

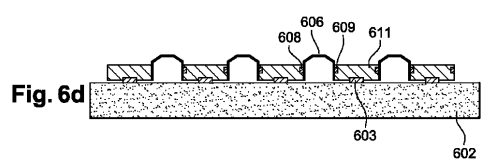


Fig. 6d

【 6 e 】

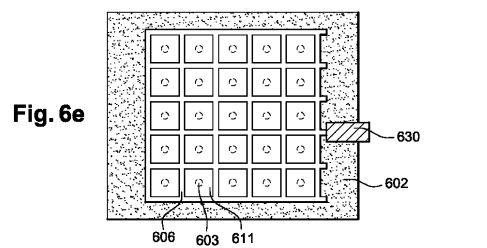


Fig. 6e

【 7 a 】

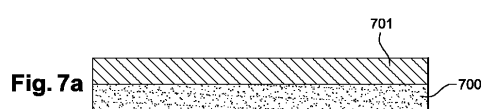


Fig. 7a

【 8 】

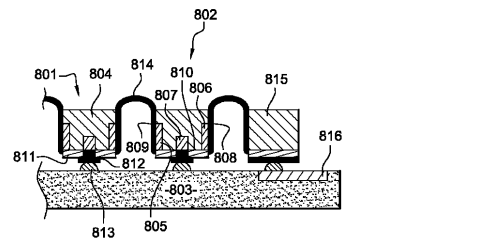


Fig. 8

【 9 】

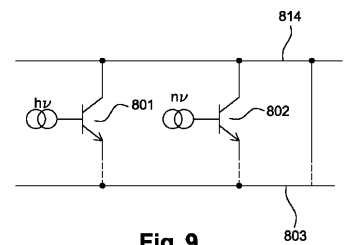


Fig. 9

【 10 a 】

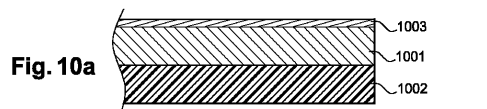
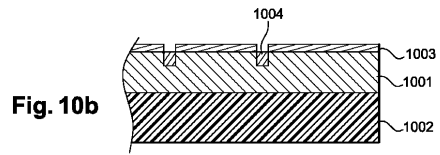
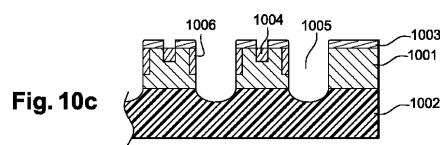


Fig. 10a

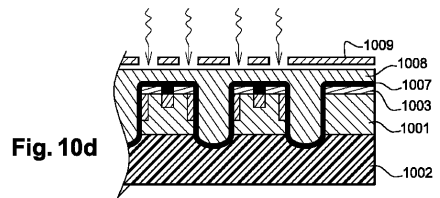
【 10 b 】



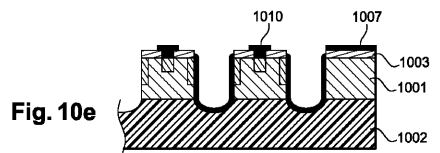
【 10 c 】



【 10 d 】



【 10 e 】



フロントページの続き

(51)Int.Cl.		F I		
H 0 1 L	29/73	(2006.01)	H 0 1 L	27/14 K
H 0 1 L	27/146	(2006.01)	H 0 1 L	21/88 J
H 0 1 L	27/144	(2006.01)	H 0 1 L	21/88 B
H 0 1 L	21/3205	(2006.01)	H 0 1 L	29/44 L
H 0 1 L	21/768	(2006.01)	H 0 1 L	33/00 4 0 0
H 0 1 L	23/522	(2006.01)	H 0 1 S	5/022
H 0 1 L	29/41	(2006.01)	H 0 1 L	31/10 Z
H 0 1 L	33/48	(2010.01)		
H 0 1 S	5/022	(2006.01)		
H 0 1 L	31/10	(2006.01)		

(72)発明者 フランソワ・マリヨン
 フランス・3 8 9 5 0・サン・マルタン・ル・ヴィヌー・ルート・ドゥ・クレマンシエール・4 4
 8 0

(72)発明者 オリヴィエ・グラヴラン
 フランス・3 8 1 2 0・フォンタニル・コルニヨン・リュ・デュ・ロシェ・8 9

審査官 石坂 博明

(56)参考文献 特開2 0 0 4 - 0 7 1 9 4 6 (J P , A)
 特開平0 4 - 3 4 6 4 7 3 (J P , A)
 特表2 0 0 5 - 5 2 2 8 8 2 (J P , A)

(58)調査した分野(Int.Cl. , D B名)
 H 0 1 L 2 1 / 3 3 9、2 1 / 7 0、2 1 / 7 4 - 2 1 / 7 6 4
 2 7 / 1 4、2 7 / 1 4 4 - 2 7 / 1 4 4
 2 9 / 7 6 2