

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2007年8月16日(16.08.2007)

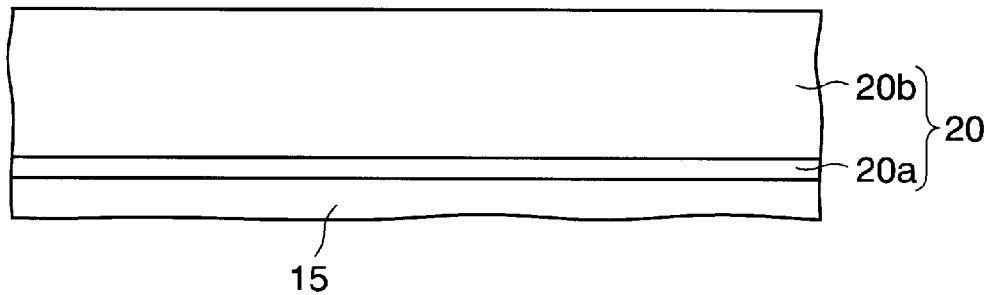
PCT

(10) 国際公開番号
WO 2007/091301 A1

- (51) 国際特許分類:
HOIL 21/318 (2006.01) *HOIL 27/778* (2006.01)
HOIL 21/338 (2006.01) *HOIL 29/812* (2006.01)
 - (21) 国際出願番号: PCT/JP2006/302046
 - (22) 国際出願日: 2006年2月7日(07.02.2006)
 - (25) 国際出願の言語: 日本語
 - (26) 国際公開の言語: 日本語
 - (71) 出願人(米国を除く全ての指定国について): 富士通株式会社 (FUJITSU LIMITED) [JP/JP]; 〒2118588 神奈川県川崎市中原区上小田中4丁目1番1号 Kanagawa (JP).
 - (72) 発明者: および
 - (75) 発明者/出願人(米国についてのみ): 牧山 剛三 (MAKIYAMA, Kozo) [JP/JP]; 〒2118588 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内 Kanagawa (JP).
 - (74) 代理人: 岡本 啓三 (OKAMOTO, Keizo); 〒1030013 東京都中央区日本橋人形町3丁目11番7号 山西ビル4階 岡本国際特許事務所 Tokyo (JP).
 - (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, C ϕ , CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, LY, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, N ϕ , NZ, ϕ M, PG, PH, PL, PT, R ϕ , RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, U $_$, UZ, VC, VN, YU, ZA, ZM, ZW
 - (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, $_$ D, SL, SZ, TZ, UG, ZM, ZW), -X-ラシT (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ/i (AT, BE, BG, CH, CY, CZ, DE, DK, EE, E $_$, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, R ϕ , SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, G ϕ , GW, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告書
- 2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(54) Title: SEMICONDUCTOR DEVICE AND PROCESS FOR PRODUCING THE SAME

(54) 発明の名称: 半導体装置とその製造方法



(57) Abstract: A semiconductor device furnished with a protective insulating film of silicon nitride with optimized film quality; and a process for producing the same. There is provided a semiconductor device comprising a GaAs substrate, compound semiconductor layer (15) superimposed on the GaAs substrate and protective insulating film (20) of silicon nitride superimposed on a surface of the compound semiconductor layer (15), wherein the protective insulating film (20) consists of a film laminate of two or more silicon nitride films (20a),(20b) laminated so that the second layer has a film density higher than that of the first layer, or consists of a single-layer silicon nitride film whose film density is decreased upwards from the bottom.

[続葉有]

WO 2007/091301 A1



(57) 要約:

膜質が最適化された窒化シリコンよりなる保護絶縁膜を備えた半導体装置とその製造方法を提供するために、GaAs 基板、GaAs 基板上に形成された化合物半導体層 (15) と、化合物半導体層 (15) の表面上に形成された空化シリコンからなる保護絶縁膜 (20) とを有し、保護絶縁膜 (20) は、二層目が一層目よりも膜密度が低くなるように積層された二以上の空化シリコン膜 (20 a)、(20 b) の積層膜で構成されるか、成いは、膜密度が下から上に向かって低くなる単層の空化シリコン膜で構成される半導体装置による。

明 細 書

半導体装置とその製造方法

技術分野

[0001] 本発明は、半導体装置とその製造方法に関する。

背景技術

[0002] 電子走行層等に化合物半導体層を用いた接合型電界効果型トランジスタは、高出力用の半導体装置として有用である。その半導体装置に使用される化合物半導体層の表面は、シリコン層等の表面にくらべて化学的、物理的に脆弱であり、一旦酸化されると表面に電子トラップ等を形成し実使用に適さなくなる。

[0003] そこで、この種の半導体装置を製造するときには、最上層の化合物半導体層の表面上に保護絶縁膜を形成し、製造途中で化合物半導体層が酸化しないようにする。

[0004] 下記の特許文献1～4には、その保護絶縁膜の様々な例について開示されている。

[0005] 例えば、特許文献1には、水素含有量の多い第1の窒化シリコン(Si₃N₄)膜と、水素含有量の少ない第2の窒化シリコン膜とをこの順に積層した膜を保護絶縁膜として使用している。

[0006] しかしながら、この保護絶縁膜では、水素を多く含む第1の窒化シリコン膜から基板に水素が移動するため、その水素によってドナーが中性化されてしまい、ソース電極とドレイン電極との間に電流が流れ難くなってしまわれず不都合が発生してしまう。

[0007] このように、化合物半導体層を備えた半導体装置では、保護絶縁膜として機能する窒化シリコン膜の膜質を最適化することにより、化合物半導体層の表面状態を安定化し、電気的な特性を向上させるのが重要となる。

特許文献1：特開平4－6835号公報

特許文献2：特開平3－240265号公報

特許文献3：特開2000－323495号公報

特許文献4：特許第2792948号公報

発明の開示

- [0008] 本発明の目的は、膜質が最適¹された窒化シリコンよりなる保護絶縁膜を備えた半導体装置とその製造方法を提供することにある。
- [0009] 本発明の一観点によれば、基板と、前記基板上に形成された¹化合物半導体層と、前記¹化合物半導体層の表面上に形成され、膜密度が下部より膜の中途部の方が低い窒化シリコンよりなる保護絶縁膜とを有する半導体装置が提供される。
- [0010] そのような保護絶縁膜としては、二層目が一層目よりも膜密度が低くなるように積層された二以上の窒化シリコン膜の積層膜や、膜密度が下から上に向かって低くなる単層の窒化シリコン膜がある。
- [0011] 膜密度の大小関係は、ストレスの大小関係に概ね一致する。従って、膜密度の高い単層の窒化シリコン膜を保護絶縁膜として用いる場合と比較して、本発明に係る保護絶縁膜のストレスが緩和される。
- [0012] 更に、保護絶縁膜の下部を構成する膜密度の高い窒化シリコン膜は、下地の¹化合物半導体層との密着性が良好であるため、保護絶縁膜の膜剥がれを防止することができる。
- [0013] しかも、窒化シリコン膜の積層膜で保護絶縁膜を構成する場合、一層目の窒化シリコン膜は、二層目と比較して膜密度が高いため、膜中に含まれる水素の量が少ない。よって、一層目と二層目の窒化シリコン膜の膜密度の大小関係が逆の場合と比較して、保護絶縁膜から¹化合物半導体層に移動する水素の量が少なくなり、もしくは窒化シリコン膜形成初期における水素の半導体基板への拡散が少なくなり、その水素によって¹化合物半導体層中のドナーが中性¹されるれづ不都合を回避し易くなる。この利点は、膜密度が下から上に向かって低くなる単層の窒化シリコン膜で保護絶縁膜を構成する場合にも得られる。
- [0014] また、本発明の別の観点によれば、基板上に化合物半導体層を形成する工程と、前記¹化合物半導体層の表面上に、保護絶縁膜を構成する一層目の窒化シリコン膜をプラズマcvD法で形成する工程と、前記一層目の窒化シリコン膜上に、該窒化シリコン膜よりも膜密度が低くなる成膜条件により、前記保護絶縁膜を構成する二層目の窒化シリコン膜をプラズマCVD法で形成する工程とを有する半導体装置の製造方法が提供される。

[0015] そして、本発明の更に別の観点によれば、基板上に化合物半導体層を形成する工程と、前記化合物半導体層の表面上に、膜密度が下から上に向かって連続的に低くなる成膜条件を用いて、窒化シリコンで構成される保護絶縁膜をプラズマCVD法で形成する工程と、を有する半導体装置の製造方法が提供される。

図面の簡単な説明

[0016] [図1] 図1(a)～(c)は、本発明の第1実施形態に係る半導体装置の製造途中の断面図(その1)である。

[図2] 図2(a)、(b)は、本発明の第1実施形態に係る半導体装置の製造途中の断面図(その2)である。

[図3] 図3(a)、(b)は、本発明の第1実施形態に係る半導体装置の製造途中の断面図(その3)である。

[図4] 図4(a)、(b)は、本発明の第1実施形態に係る半導体装置の製造途中の断面図(その4)である。

[図5] 図5は、本発明の第1実施形態に係る半導体装置の断面図(その5)である。

[図6] 図6は、本発明の各実施形態で使用されるプラズマCVD装置の構成図である。

[図7] 図7は、本発明の第1実施形態の第1例に係る第1保護絶縁膜の成膜方法を説明するための断面図である。

[図8] 図8は、成膜条件を様々に変えて得られた窒化シリコン膜の膜密度をRBS(Rutherford Backscattering Spectrometry)により調査した結果を示す図である。

[図9] 図9は、本発明の第1実施形態の第2例に係る第1保護絶縁膜の成膜方法を説明するための断面図である。

[図10] 図10は、本発明の第1実施形態の第2例において、窒化シリコン膜の膜密度の大小関係を示す図である。

[図11] 図11は、本発明の第1実施形態の第4例に係る第1保護絶縁膜の成膜方法を説明するための断面図である。

[図12] 図12は、本発明の第1実施形態の第5例に係る第1保護絶縁膜の成膜方法を説明するための断面図である。

[図13] 図13(a)、(b)は、本発明の第2実施形態に係る半導体装置の製造途中の断

面図(その1)である。

[図14] 図14(a)、(b)は、本発明の第2実施形態に係る半導体装置の製造途中の断面図(その2)である。

[図15] 図15(a)、(b)は、本発明の第2実施形態に係る半導体装置の製造途中の断面図(その3)である。

[図16] 図16(a)、(b)は、本発明の第2実施形態に係る半導体装置の製造途中の断面図(その4)である。

[図17] 図17(a)、(b)は、本発明の第2実施形態に係る半導体装置の製造途中の断面図(その5)である。

[図18] 図18は、本発明の第2実施形態に係る半導体装置の製造途中の断面図(その6)である。

[図19] 図19(a)～(c)は、本発明の第3実施形態に係る半導体装置の製造途中の断面図(その1)である。

[図20] 図20(a)、(b)は、本発明の第3実施形態に係る半導体装置の製造途中の断面図(その2)である。

[図21] 図21(a)、(b)は、本発明の第3実施形態に係る半導体装置の製造途中の断面図(その3)である。

[図22] 図22(a)、(b)は、本発明の第3実施形態に係る半導体装置の製造途中の断面図(その4)である。

[図23] 図23は、本発明の第3実施形態に係る半導体装置の製造途中の断面図(その5)である。

[図24] 図24(a)、(b)は、本発明の第3実施形態に係る半導体装置の製造途中の断面図(その1)である。

[図25] 図25(a)、(b)は、本発明の第3実施形態に係る半導体装置の製造途中の断面図(その2)である。

[図26] 図26(a)、(b)は、本発明の第3実施形態に係る半導体装置の製造途中の断面図(その3)である。

[図27] 図27(a)、(b)は、本発明の第3実施形態に係る半導体装置の製造途中の断

面図(その4)である。

[図28] 図28(a)、(b)は、本発明の第3実施形態に係る半導体装置の製造途中の断面図(その5)である。

[図29] 図29は、本発明の第3実施形態に係る半導体装置の製造途中の断面図(その6)である。

発明を実施するための最良の形態

[0017] 以下に、本発明の実施の形態について、添付図面を参照しながら詳細に説明する。

[0018] (1) 第1実施形態

図1～図5は、本実施形態に係る半導体装置の製造途中の断面図である。

[0019] 最初に、図1(a)に示す断面構造を得るまでの工程について説明する。

[0020] まず、半絶縁性のGaAs基板10の上に、GaAsよりなるバッファ層12、InG_{0.5}Asよりなる電子走行層13、AlG_{0.5}Asよりなる電子供給層14、及びGaAsよりなるコンタクト層15をMOCVD(Metal Organic Chemical Vapor Deposition)法によりエピタキシャル成長させる。これらのうち、バッファ層12は、GaAs基板10の表面の格子欠陥が電子走行層13に伝わらないようにする役割を担う。またコンタクト層15は、次に形成されるソース電極やドレイン電極とのオーミックコンタクトをとるために形成される。

[0021] 次に、トランジスタを形成しない領域における各層12～15とGaAs基板10に酸素をイオン注入し、その領域におけるドーパントを不活性化させることにより、素子分離領域を形成する。

[0022] 次に、図1(b)に示すように、フォトリソグラフィおよび真空蒸着法により、コンタクト層15の上に厚さ約20nmのAuGe膜と厚さ約200nmのAu膜をこの順に形成し、互いに間隔がおかれたソース電極18とドレイン電極19とを形成し、350°C、3分間の熱処理によりオーミックコンタクトを形成する。

[0023] そして、図1(c)に示すように、各電極18、19とコンタクト層15の表面上に、プラズマCVD法により窒化シリコンで構成される第1保護絶縁膜20を形成する。この第1保護絶縁膜20は、化学的、物理的に脆弱なコンタクト層15の表面を保護し、プロセス中にその表面が酸化されるのを防ぎ、最終的に得られるトランジスタの電気的特性を

向上させるために形成される。

- [0024] なお、この第1保護絶縁膜20の層構造や成膜条件については後で詳述する。
- [0025] 続いて、図2(a)に示すように、第1保護絶縁膜20の上に紫外線感光フォトレジストを塗布し、それを露光、現像することにより、各電極18、19の間に第1窓22aを備えた第1レジストパターン22を形成する。本実施形態では、その紫外線感光フォトレジストとして、住友化学社製のPFI32-A8を使用する。
- [0026] 次に、図2(b)に示すように、上記の第1レジストパターン22をマスクにしなが、 F_6 をエッチングガスとするドライエッチングにより第1保護絶縁膜20をエッチングし、第1窓22aの下の第1保護絶縁膜20に第1開口20xを形成する。さらに、 $SiCl_4$ を用いたドライエッチングによりコンタクト層15をエッチングし、第1開口20xの下に第2開口15xを形成する。
- [0027] このエッチングを終了後、加温した剥離剤を用いて第1レジストパターン22を除去する。
- [0028] 次に、図3(a)に示すように、第1保護絶縁膜20上と第1、第2開口20x、15x内に、アルカリ溶液に対して可溶でサイドエッチングが可能な樹脂、例えばポリメチルグルタルイミド(PMGI)を厚さ約500nmに形成し、樹脂層24を形成する。
- [0029] そして、基板温度180°C、処理時間3分の条件でこの樹脂層24を加熱して硬化する。
- [0030] その後、樹脂層24上に、紫外線感光型フォトレジストを塗布し、それを露光、現像することにより、第1開口20xよりも幅広の第2窓25aを備えた第2レジストパターン25を形成する。その紫外線感光型フォトレジストは特に限定されないが、本実施形態では住友化学社製のPFI32-A8を使用する。
- [0031] 続いて、図3(b)に示すように、第2レジストパターン25の第2窓25aを通じて樹脂層24をウェットエッチングする。このウェットエッチングでは、樹脂層24を選択的にエッチングするアルカリ性のエッチング液、例えば水酸化テトラメチルアンモニウム(TMAH)水溶液を用いて、樹脂層24をサイドエッチングする。
- [0032] これにより、第2窓25aよりも幅広の第3窓24aが樹脂層24に形成されると共に、第1、第2開口20x、15x内の電子供給層14がその第3窓24aから露出することになる。

- [0033] 次に、図4(a)に示すように、各窓24a、25a内に蒸着法により金属積層膜を形成することにより、第1、第2開口20x、15xとその周囲の第1保護絶縁膜20上にマッシュルーム状のゲート電極28を形成する。その金属積層膜として、例えば、厚さ約10nmのTi層、厚さ約10nmのPt層、厚さ約300nmのAu層をこの順に形成する。このゲート電極28と電子供給層14との界面にはショットキー接合が形成される。
- [0034] そして、図4(b)に示すように、樹脂層24と第2レジストパターン25とを除去することにより、第2レジストパターン25上に形成されていた上記の金属積層膜(不図示)をリフトオフする。
- [0035] その後、図5に示すように、ゲート電極28と第1保護絶縁膜20のそれぞれの上には、窒化シリコンで構成される第2保護絶縁膜29を形成する。
- [0036] 以上により、本実施形態に係る半導体装置の基本構造が完成したことになる。
- [0037] その半導体装置は、接合型電界効果型トランジスタであって、電子供給層14から電子走行層13に電子が供給され、電子走行層13を流れる電流のオン・オフがゲート電圧によって制御される。そして、ゲート電極28の断面形状をマッシュルーム状にしたことで、コンタクト層15とのショットキー接合の面積が小さくなってゲート長を短くすることができると共に、ゲート電極28の上部の断面積が大きくなってゲート電極28を低抵抗化することができる。
- [0038] 次に、上記した第1保護絶縁膜20の成膜方法について詳述する。
- [0039] 既述のように、第1保護絶縁膜20は、プラズマCVD法で形成された窒化シリコン層で構成される。図6は、この第1保護絶縁膜20を形成するのに使用されるプラズマCVD装置の構成図である。
- [0040] 図6に示されるように、そのプラズマCVD装置100は、不図示の減圧ポンプにより内部が減圧可能なチャンバ101を有する。そして、チャンバ101内には基板載置台102が設けられ、その基板載置台102の上に基板10が載置される。なお、基板載置台102には、電熱線等の不図示の加熱手段が内蔵されており、その加熱手段により基板10が所望の温度に加熱される。
- [0041] 更に、基板載置台102の上方には、ガス導入口105から導入された反応ガスを基板10の表面に向かって分散させるシャワーヘッド103が設けられる。そして、シャワ

一ヘッド1 03には、高周波電源1 04が電氣的に接続されており、この高周波電源1 04から供給された高周波電力によって反応ガスがプラズマ化することになる。また、チャンバ1 01内の反応に寄与しなかった材料ガスは、排気口1 06から外部に排気される。

[0042] このようなプラズマCVD装置1 00を用いて形成された第1保護絶縁膜2 0(図5参照)には、コンタクト層15等の化合物半導体層を保護するために、半導体層との密着性、渦密性、低ストレス注等の注能が要求される。

[0043] ここで、第1保護絶縁膜2 0の密着性が高周波電源1 04の周波数にどのように依存するかを考える。

[0044] 本願発明者の調査によれば、高周波電源1 04の周波数が低周波、例えば380kHzの場合は、高周波の場合と比較して第1保護絶縁膜2 0と下地との密着性が高められることが明らかとなった。

[0045] ところが、このように高周波電源1 04の周波数が低いと、チャンバ1 01内のプラズマの前駆体が、ゆっくり変動する電場の向きに追従することが可能となって比較的高い運動エネルギーを有するため、第1保護絶縁膜2 0の形成時にその前駆体によって半導体基板1 0が受ける電氣的損傷が大きくなってしまふ。

[0046] 一方、高周波電源1 04の周波数が高周波、例えば13.56MHzの場合は、上記のように低周波の場合と比較して、第1保護絶縁膜2 0と下地との密着性が低くなる。

[0047] しかし、このように高い周波数を採用すると、チャンバ1 01内のプラズマの前駆体が高速に向きを変える電場に追従できなくなるため、前駆体の運動エネルギーが低くなり、半導体基板1 0が受ける電氣的損傷が小さくなる。

[0048] また、窒化シリコン膜は、酸化シリコン(SiO_2)膜と異なり、その成膜条件によって渦密性、すなわち膜密度の大小が変化する。

[0049] 高密度な窒化シリコン膜は、水分等のブロック性に優れているためデバイスの信頼性を高めると利点を有するものの、ストレスが大きいため膜剥がれ等を起こし易いと利点不都合もある。これとは逆に、低密度な窒化シリコン膜は、水分等のブロック性に難があるものの、ストレスが小さく、ストレスに起因する膜剥がれが発生し難いと利点がある。

[0050] このように、単層の窒化シリコン膜では、高い密着性、稠密性、低い電氣的損傷、及び低ストレス性の全てを同時に満足するのが難しい。

[0051] 上記した窒化シリコン膜の特性に鑑み、本願発明者は、以下に説明するような第1保護絶縁膜20の成膜方法に想到した。

[0052] 第1例

図7は、第1例に係る第1保護絶縁膜20の成膜方法を説明するための断面図である。

[0053] 図7に示されるように、本例では、一層目の窒化シリコン膜20aと、該窒化シリコン膜20aよりも膜密度が低い二層目の窒化シリコン膜20bとをこの順に積層して第1保護絶縁膜20とする。

[0054] 窒化シリコン膜の密度の大小関係はストレスの大小関係と概ね一致する。すなわち、密度の大きい窒化シリコン膜はストレスが大きく、密度の小さい窒化シリコン膜は、密度が大きな窒化シリコン膜よりもストレスが小さくなるか、或いはストレスの向きが逆になる。

[0055] よって、このように密度の異なる二種類の窒化シリコン膜20a、20bを積層することで、膜密度が大きくストレスも大きな窒化シリコン膜のみで第1保護絶縁膜を形成する場合と比較して、第1保護絶縁膜20の全体としてのストレスを緩和することができる。

[0056] しかも、一層目の窒化シリコン膜20aとして膜密度が高い膜を採用するので、該窒化シリコン膜20aの透水性を二層目の窒化シリコン膜20bよりも低くすることができる。これにより、コンタクト層15に近い部分における第1保護絶縁膜20の水分ブロック性が高まり、外部の水分等がコンタクト層15に至るのを阻止し易くなる。

[0057] 更に、このように一層目の窒化シリコン膜20aの膜密度が高いので、該窒化シリコン膜20aに含まれる水素の量が、二層目の窒化シリコン膜20bに含まれる水素の量よりも少なくなる。従って、特許文献1に比べて第1保護絶縁膜20からコンタクト層15に移動する水素の量または成膜初期における水素の拡散が低減され、水素によってコンタクト層15等の化合物半導体層中のドナーが中性化されるのを抑制でき、水素に起因するトランジスタの電氣的特性の劣化を防止することができる。

[0058] 上記のように二層目の窒化シリコン膜20bの膜密度を低くする方法には幾つかある

。

[0059] 本例では、二層目の窒化シリコン膜20bの窒素の原料ガスとしてアンモニアを含むガスを用い、且つ一層目の窒化シリコン膜20aの窒素の原料ガスとして窒素を用いることで、二層目の窒化シリコン膜20bの膜密度を一層目の窒化シリコン膜20aのそれよりも低くする。なお、各膜20a、20bのシリコンの原料ガスとしてはシラン(SiH_4)を用いる。

[0060] この場合の各膜20a、20bの成膜条件の一例は次のようになる。

[0061] (一層目の窒化シリコン膜20aの成膜条件)

- ・高周波電源104の周波数・・・380kHz
- ・高周波電源104のパワー・・・50W
- ・成膜ガスの流量比($\text{SiH}_4:\text{N}_2$)・・・1:100
- ・基板温度・・・250°C
- ・膜厚・・・約5nm

(二層目の窒化シリコン膜20bの成膜条件)

- ・高周波電源104の周波数・・・13.56MHz
- ・高周波電源104のパワー・・・50W
- ・成膜ガスの流量比($\text{SiH}_4:\text{NH}_3:\text{N}_2$)・・・1:0.5:100
- ・基板温度・・・250°C
- ・膜厚・・・約40nm

この条件に従って形成された一層目の窒化シリコン膜20aは、屈折率が2.05、膜密度が $2.499/\text{cm}^2$ 、ストレスが500MPa(圧縮)となった。

[0062] 一方、二層目の窒化シリコン膜20bは、屈折率が2.10、膜密度が $2.15/\text{cm}^2$ 、ストレスが50MPa(引っ張り)となった。

[0063] このように、二層目の窒化シリコン膜20bの窒素の原料ガスとしてアンモニアを含むガスを用いることで、二層目の窒化シリコン膜20bの膜密度が一層目の窒化シリコン膜20aよりも低くなり、且つ二層目の窒化シリコン膜20bのストレスの向きが一層目の窒化シリコン膜20aのそれと反対になることが実際に確かめられた。これは、二層目の窒化シリコン膜20bに対する窒素の原料ガスとして、アンモニアを含むガスを用い

たことで、膜中に水素が取り込まれたことによると考えられる。

- [0064] また、一層目の窒化シリコン膜20aの透水性が二層目の窒化シリコン膜20bの約6分の1になることも確かめられ、一層目の窒化シリコン膜20aの水分ブロッグ注が二層目よりも高いことが明らかとなった。
- [0065] 二層目の窒化シリコン膜20bの膜密度を一層目の窒化シリコン膜20aのそれよりも低める方法は上記に限定されない。
- [0066] 図8は、成膜条件を様々に変えて得られた窒化シリコン膜の膜密度をRBS(Rutherford Backscattering Spectrometry)により調査した結果を示す図である。なお、この調査では、シリコン基板(不図示)の上に各窒化シリコン膜を形成した。そして、N、Si、Hの濃度も併せて調査された。
- [0067] 図8のサンプル番号1とサンプル番号2とを比較して明らかのように、高周波電源104の周波数を高めることによっても、窒化シリコン膜の膜密度を低くすることができる。
- [0068] また、サンプル番号2とサンプル番号3とを比較して明らかのように、上記で説明したように反応ガスにアンモニアを添加することによっても窒化シリコン膜の膜密度を低くすることができる。
- [0069] 本願発明者は、これ以外にも、窒化シリコン膜の膜密度を低減させるための条件を幾つか見出した。二層目の窒化シリコン膜20bの膜密度が一層目の窒化シリコン膜20aのそれよりも低くなるような二層目の窒化シリコン膜20bの成膜条件をまとめると次のようになる。
- [0070] (i)一層目の窒化シリコン膜20aを形成する工程よりも成膜雰囲気中に印加される高周波電力の周波数(高周波電源104の周波数)を高める。
- [0071] (ii)一層目の窒化シリコン膜20aを形成する工程よりも成膜雰囲気中に印加される高周波電力のパワー(高周波電源104のパワー)を低くする。
- [0072] (iii)一層目の窒化シリコン膜20aを形成する工程よりも成膜雰囲気の圧力を高める。
- [0073] (iv)窒素の原料ガスとしてアンモニアを用い、且つ一層目の窒化シリコン膜20aの窒素の原料ガスとして窒素を用いる。
- [0074] (v)一層目の窒化シリコン膜20aを形成する工程よりも基板温度を下げる。
- [0075] (vi)一層目の窒化シリコン膜20aを形成する工程よりも成膜速度を速める。

- [0076] 二層目の窒化シリコン膜20bの成膜条件としては、これら①～④のいずれかを採用し得る。
- [0077] なお、(vi)のように二層目の窒化シリコン膜20bの成膜速度を速めるには、一層目の窒化シリコン膜20aを形成する場合よりも成膜ガスの流量、例えば SiH_4 と N_2 との混合ガスの流量を高めればよい。
- [0078] ところで、①～(vi)のように膜密度が小さくなる窒化シリコン膜の成膜条件は、結果としてラジカル性が高められた成膜条件となる。この条件では、プラズマ雰囲気中の前駆体が比較的低い運動エネルギーを有しており、上記のように膜密度が低い窒化シリコン膜よりなる二層目の窒化シリコン膜20bを形成することができる。更に、前駆体の運動エネルギーが低いことから、基板10等が受ける電氣的損傷が低い。従って、二層目の窒化シリコン膜20bは、上記の電氣的損傷をそれほど気にせずに、比較的厚い厚さに形成し得る。
- [0079] これに対し、一層目の窒化シリコン膜20aのように膜密度が大きくなる窒化シリコン膜の成膜条件は、イオン性が高められた成膜条件と呼ばれる。ラジカル性が高められた成膜条件と比較して、この成膜条件では、コンタクト層15等の化合物半導体層との密着性が良い窒化シリコン膜20aを形成でき、第1保護絶縁膜20の膜剥がれを効果的に防止することができる。
- [0080] 一方、イオン性が高められた成膜条件では、ラジカル性が高められた成膜条件と比較してプラズマ雰囲気中の前駆体の運動エネルギーが高く、成膜時に基板10等が電氣的損傷を受け易い。
- [0081] そこで、この電氣的損傷を低減すべく、一層目の窒化シリコン膜20aの膜厚は、数nm程度の極薄い厚さに留めるのが好ましい。
- [0082] このような観点から、二層目の窒化シリコン膜20bは、基板10の電氣的損傷を気にせずに厚く形成し、一層目の窒化シリコン膜20aは、その電氣的損傷を軽減するために二層目の窒化シリコン膜20bよりも薄く形成するのが好ましい。
- [0083] 更に、第1保護絶縁膜20の全体の応力となるべくゼロに近づくように、上記のように薄い一層目窒化シリコン膜20aと厚い二層目窒化シリコン膜20bのそれぞれの厚さを決定するのが好ましい。

- [0084] なお、一層目の窒化シリコン膜20aと二層目の窒化シリコン膜20bは、それらの屈折率がなるべく同一になるように形成するのが好ましい。このようにすると、第1保護絶縁膜20の誘電率が膜中において一定となり、誘電率の変動に伴って膜中電界が不連続になるのを防止でき、半導体装置の信頼性を高めることができる。
- [0085] ところで、既述の特許文献2～4には、最下層が窒化シリコン膜よりなり、且つ最上層が酸化シリコン膜よりなる積層膜で保護絶縁膜を構成することが開示されている。
- [0086] しかしながら、酸化シリコン膜は、成膜条件によりストレスをコントロールするのが窒化シリコン膜に比べて困難であるため、保護絶縁膜の全体としてのストレスをゼロに近づけるのが難しい。
- [0087] これに対し、本例では、成膜条件によってストレスを容易にコントロールし得る窒化シリコンのみで第1保護絶縁膜20を構成しているので、酸化シリコン膜を使用する場合よりも第1保護絶縁膜20のストレスをゼロに近づけ易くなる。これについては、後述の第2～第5例でも同様である。
- [0088] 第2例
- 図9は、第2例に係る第1保護絶縁膜20の成膜方法を説明するための断面図である。
- [0089] 図9に示されるように、本例では、三以上の窒化シリコン膜20a～20gを積層して第1の保護絶縁膜20とする。
- [0090] これらの窒化シリコン膜20a～20gは、図10に示されるように、膜密度の大小関係が交互に入れ替わるように形成される。なお、一層目と二層目に関しては、第1例と同様に、二層目の窒化シリコン膜20bが一層目の窒化シリコン膜20aよりも低くなるようにする。
- [0091] 既述のように、膜密度の大小関係は、ストレスの大小関係と概ね一致する。よって、本例のように膜密度の大小関係を交互に入れ替えることにより、膜密度の大きな単層の窒化シリコン膜で第1保護絶縁膜20を構成する場合と比較して、第1保護絶縁膜20の全体としてのストレスが緩和される。
- [0092] このように窒化シリコン膜を三層以上積層することで、上下の窒化シリコン膜の界面に加わる内部応力を第1例よりも小さくすることができ、その界面において窒化シリコ

ン膜が剥離する危険性を低減することが可能となる。

- [0093] しかも、第1例で説明したように、膜密度が高い一層目の窒化シリコン膜20aは、イオン性が高められた成膜条件で形成されるので、コンタクト層15等の下地との密着性が良好となり、第1保護絶縁膜20の膜剥がれを防止することができる。
- [0094] ところで、既述のように、膜密度が小さい窒化シリコン膜は膜中に水素を比較的多く含み、その水素が移動することによってコンタクト層15等のドナーが中性化されてしまう。
- [0095] この点に鑑み、本例では、図9に示されるように、膜密度が小となる窒化シリコン膜20b、20d、20fの厚さを下の膜ほど薄くしたので、コンタクト層15に近い二層目の窒化シリコン膜20bに含まれる水素の量が低減される。これにより、コンタクト層15に影響を与え易い二層目の窒化シリコン20bからコンタクト層15への水素の移動量を低減でき、コンタクト層15等におけるドナーが中性化されるのを抑制することができる。
- [0096] 各窒化膜20a～20fの膜密度をコントロールするには、第1例で説明した条件(0～vi)のいずれかを用いればよい。各窒化膜20a～20bの成膜条件の一例は次のようになる。
- [0097] (一層目の窒化シリコン膜20aの成膜条件)
- ・高周波電源104の周波数・・・380kHz
 - ・高周波電源104のパワー・・・50W
 - ・成膜ガスの流量比($\text{SiH}_4:\text{N}_2$)・・・1:100
 - ・基板温度・・・250°C
 - ・膜厚・・・約5nm
- (二層目の窒化シリコン膜20bの成膜条件)
- ・高周波電源104の周波数・・・13.56MHz
 - ・高周波電源104のパワー・・・50W
 - ・成膜ガスの流量比($\text{SiH}_4:\text{NH}_3:\text{N}_2$)・・・1:0.5:100
 - ・基板温度・・・250°C
 - ・膜厚・・・約5nm
- (三層目の窒化シリコン膜20cの成膜条件)

・高周波電源104の周波数・・・13.56MHz

・高周波電源104のパワー・・・50W

・成膜ガスの流量比($\text{SiH}_4:\text{N}_2$)・・・1:100

・基板温度・・・25℃

・膜厚・・・約5nm

(四層目の窒化シリコン膜20dの成膜条件)

・高周波電源104の周波数・・・13.56MHz

・高周波電源104のパワー・・・50W

・成膜ガスの流量比($\text{SiH}_4:\text{NH}_3:\text{N}_2$)・・・1:0.5:100

・基板温度・・・25℃

・膜厚・・・約10nm

(五層目の窒化シリコン膜20eの成膜条件)

・高周波電源104の周波数・・・13.56MHz

・高周波電源104のパワー・・・50W

・成膜ガスの流量比($\text{SiH}_4:\text{N}_2$)・・・1:100

・基板温度・・・25℃

・膜厚・・・約5nm

(六層目の窒化シリコン膜20fの成膜条件)

・高周波電源104の周波数・・・13.56MHz

・高周波電源104のパワー・・・50W

・成膜ガスの流量比($\text{SiH}_4:\text{NH}_3:\text{N}_2$)・・・1:0.5:100

・基板温度・・・25℃

・膜厚・・・約35nm

このような条件を採用したところ、一層目の窒化シリコン膜20aの膜密度は2.499/cm²、ストレスは500MPa(圧縮)となった。また、第二、四、六層目の窒化シリコン膜20b、20d、20fの膜密度は2.15g/cm²、ストレスは50MPa(引っ張り)となった。そして、第三、五層目の窒化シリコン膜20c、20eの膜密度は2.429/cm²、応力は略ゼロとなった。

[0098] その結果、第1保護絶縁膜20の全体としての屈折率はほぼ2.10、ストレスは略0となった。

[0099] 更に、一層目の窒化シリコン膜20aの透水性は第二、四、六層目の窒化シリコン膜20b、20d、20fの約6分の1になった。

[0100] なお、第1例と同様に、本例でも各窒化シリコン膜20a～20fの屈折率を近づけることにより、第1保護絶縁膜20の誘電率を膜中で一定にし、誘電率の変動に伴って膜中電界が不連続になるのを防止するのが好ましい。

[0101] 第3例

本例は、第2例と比較して、一層目の窒化シリコン膜20aの成膜条件のみが異なり、これ以外は第2例と同じである。

[0102] 本例における一層目の窒化シリコン膜20aの成膜条件としては、次の条件を採用する。

[0103] ・高周波電源104の周波数・・・13.56MHz

・高周波電源104のパワー・・・80W

・成膜ガスの流量比($\text{SiH}_4:\text{N}_2$)・・・1:80

・基板温度・・・25°C

・膜厚・・・約5nm

このように、本例では、第2例の低密度膜(二層目、四層目、六層目の窒化シリコン膜)よりも高周波電源104のパワーを高めている。

[0104] 上記の条件で形成された一層目の窒化シリコン膜20aの膜密度は $2.21\text{g}/\text{cm}^2$ 、ストレスは200MPa(圧縮)となった。なお、二層目～六層目の窒化シリコン膜20b～20fの膜密度とストレスは第2例と同じである。

[0105] 第4例

図11a: 本例に係る第1保護絶縁膜20の成膜方法を説明するための断面図である。図11aに示されるように、本例は、第3例の第1保護絶縁膜20の最上層に7層目の窒化シリコン膜20gを追加したものである。その窒化シリコン膜20gは、その下の六層目の窒化シリコン膜20fよりも膜密度が大となるように形成される。

[0106] このように、第1保護絶縁膜20の最上層に膜密度が大で耐水性に富む窒化シリコ

ン膜20gを形成することで、外部から基板10に浸入しようとする水分を窒化シリコン膜20gで阻止し易くなり、第1保護絶縁膜20の水分ブロッグ注を向上させることができる。

[0107] なお、この7層目の窒化シリコン膜20gの成膜条件は特に限定されないが、本例では次のような条件を採用する。

- [0108] ・高周波電源104の周波数・・・380kHz
- ・高周波電源104のパワー・・・50W
- ・成膜ガスの流量比($\text{SiH}_4:\text{N}_2$)・・・1:100
- ・基板温度・・・250°C
- ・膜厚・・・約5nm

この条件で形成された7層目の窒化シリコン膜20gの膜密度は2.499/cm²、ストレスは500MPa(圧縮)となった。

[0109] 第5例

図12は、第5例に係る第1保護絶縁膜20の成膜方法を説明するための断面図である。

[0110] 図12に示されるように、本例では、膜密度が下から上に向かって低くなる単層の窒化シリコン膜で第1保護絶縁膜20を構成する。

[0111] この第1保護絶縁膜20の成膜条件の一例は次のようになる。

[0112] まず、周波数が13.56MHzでパワーが50Wの高周波電源104を用い、基板温度250°C、成膜ガスの流量比($\text{SiH}_4:\text{NH}_3:\text{N}_2$)を1:0:100とする条件で窒化シリコン膜の堆積を開始する。その直後から、高周波電源104のパワーと基板温度を変化させずに、成膜ガスの流量比($\text{SiH}_4:\text{NH}_3:\text{N}_2$)を1:0:100から1:0.5:100まで約2分間で変化させる。これにより、膜密度が下から上に向かって低くなる窒化シリコンよりなる第1保護絶縁膜20が約50nmの厚さに形成される。

[0113] このようにして形成された第1保護絶縁膜20の全体の屈折率はほぼ2.10、ストレスは約100MPa(引っ張り)となった。

[0114] また、この第1保護絶縁膜20の透水性は、膜密度を変化させない比較例に係る窒化シリコン膜に比べて約2分の1となった。なお、その比較例に係る窒化シリコン膜は

、高周波電源104の周波数を13.56MHz、パワーを50W、成膜ガスの流量比(SiH_4 : NH_3 : N_2)を1:0.5:100、基板温度250°Cで形成された。

[0115] このように第1保護絶縁膜20の膜密度を連続的に変化させることにより、膜のストレスが下から上に向かって連続的に変化する、膜密度が変化するしない高密度の単層の窒化シリコン膜と比べて、第1保護絶縁膜20の全体としての応力を低減することができる。

[0116] 更に、第1～第4例のような多層構造となっていないので、層間の界面に内部応力が集中するおぼつかない不都合を本質的に解消できる。

[0117] しかも、上記によれば、第1保護絶縁膜20の下面での密度が上面よりも高いので、第1保護絶縁膜20の下面付近における水素の量が低減され、水素がコンタクト層15等へ移動してドナーを中性化させるおぼつかない不都合を回避し易くなる。

[0118] そして、第1例で説明したように、第1保護絶縁膜20の下面近傍の密度が高い部分は、イオン注が高められた成膜条件で形成されるので、コンタクト層15等の下地との密着性が良好となり、第1保護絶縁膜20の膜剥がれを防止することができる。

[0119] このように第1保護絶縁膜20の膜密度を連続的に変化するさせる方法は上記に限定されず、次の(i)～(v)のいずれかの成膜条件を採用することで、第1保護絶縁膜20の膜密度を変化するさせる得る。

[0120] (i)成膜雰囲気に加えられる高周波電力のパワー(高周波電源104のパワー)を連続的に低くする。

[0121] (ii)成膜雰囲気の圧力を連続的に高める。

[0122] (iii)助成膜ガスとしてアンモニアを含むガスを用い、且つアンモニアの流量比を連続的に増加させる。

[0123] (iv)成膜速度を連続的に速める。

[0124] なお、(iv)のように成膜速度を早めるには、例えば、成膜ガスの流量を連続的に増加させればよい。

[0125] また、第1例と同様に、本例でも第1保護絶縁膜20の誘電率を膜中で一定にし、誘電率の変動に伴って膜中電界が不連続になるのを防止するのが好ましい。

[0126] 上記した第1例～第5例では、第1保護絶縁膜20の成膜方法について説明したが

、各例の成膜方法は第2保護絶縁膜29にも適用し得る。

[0127] (2) 第2実施形態

図13～図18は、本実施形態に係る半導体装置の製造途中の断面図である。なお、これらの図において、第1実施形態で説明した要素には第1実施形態と同じ符号を付し、以下ではその説明を省略する。

[0128] 本実施形態は、トランジスタの形成方法のみが第1実施形態と異なり、そのトランジスタを保護する保護絶縁膜の成膜方法は第1実施形態と同じである。

[0129] 本実施形態に係る半導体装置を製造するには、まず、第1実施形態で説明した図1(a)～(c)の工程を行う。

[0130] 次に、図13(a)に示す断面構造を得るまでの工程について説明する。

[0131] まず、第1保護絶縁膜20の上に、ポジ型電子線レジストをスピコートにより厚さ約300nmに塗布し、基板温度180°C、処理時間5分の条件でそのレジストを加熱して硬化する。ポジ型電子線レジストは特に限定されないが、本実施形態では、日本ゼオン社製のZEP520-A7を使用する。

[0132] そして、電子線露光装置でそのレジストを露光した後、現像して、ソース電極18とドレイン電極19との間に第1窓30aを備えたレジストパターン30を形成する。

[0133] 次に、図13(b)に示すように、エッチングガスとしてSF₆を用いるドライエッチングにより、レジストパターン30の第1窓30aを通じて第1保護絶縁膜20をエッチングし、第1保護絶縁膜20に第1開口20yを形成する。

[0134] 更に、上記の第1窓30aを通じてコンタクト層15をドライエッチングし、コンタクト層15に第2開口15aを形成する。コンタクト層15に対するエッチングガスとしては、例えばSiCl₄を用いる。

[0135] なお、第1、第2開口20y、15aの幅は特に限定されないが、本実施形態では約0.2μmとする。

[0136] この後に、レジストパターン30は除去される。

[0137] 次に、図14(a)に示すように、プラズマCVD法を用いて、第1保護絶縁膜20上と各開口15a、20y内とに窒化シリコンで構成される第2保護絶縁膜32を形成する。その第2保護絶縁膜32の成膜方法としては、第1実施形態で説明した第1例～第5例の

いずれか一を採用し得る。

- [0138] 続いて、図14 (b) に示すように、この第2保護絶縁膜32の上に第1ポジ型電子線レジスト33として例えば日本ゼオン社製のZEP520-A7をスピコートにより厚さ約300nmに塗布する。その後、基板温度180°C、処理時間5分の条件でこの第1ポジ型電子線レジスト33を加熱して硬化する。
- [0139] 更に、この第1ポジ型電子線レジスト33の上に、アルカリ溶液に対して可溶でサイドエッチングが可能なポリメチルグルタルイミドをスピコートにより厚さ約500nmに形成し、それを樹脂層34とする。その樹脂層34は熱処理により硬化される。熱処理の条件は特に限定されないが、本実施形態では基板温度を180°C、処理時間を3分とする。
- [0140] 次いで、この樹脂層34の上に、スピコートにより厚さ約200nmの第2ポジ型電子線レジスト35を塗布する。第2ポジ型電子線レジスト35としては、例えば、日本ゼオン社製のZEP520-A7がある。この後に、基板温度180°C、処理時間2分の条件で第2ポジ型電子線レジスト35を加熱して硬化する。
- [0141] 続いて、図15 (a) に示すように、電子線露光装置を用いて第2ポジ型電子線レジスト35を露光した後、メチルエチルケトン(MEK)とメチルイソブチルケトン(MIBK)の混合溶液よりなる現像液で第2ポジ型電子線レジスト35を現像することにより、第1開口20yの上方に第2窓35aを形成する。
- [0142] 次に、図15 (b) に示すように、水酸化テトラメチルアンモニウム等のアルカリ性のエッチング液を用い、第2窓35aを通じて樹脂層34をサイドエッチングすることにより、第2窓よりも幅広の第3窓34aを形成する。
- [0143] 次いで、図16 (a) に示すように、電子線露光装置により第1ポジ型電子線レジスト33を露光した後、メチルイソブチルケトンとイソプロピルアルコール(IPA)との混合溶液よりなる現像液でレジスト33を現像し、第1窓34aよりも幅が狭い第3窓33aを形成する。
- [0144] その後に、図16 (b) に示すように、第3窓33aを通じて第2保護絶縁膜32をエッチングし、ソース電極18とドレイン電極19の間の第2保護絶縁膜32に第3開口32aを形成する。このドライエッチングでは、エッチングガスとして例えばSF₆が使用される。

[0145] 次に、図17(a)に示すように、各窓33a～35a内に蒸着法により金属積層膜を形成することにより、第3開口32a内の電子供給層14上にマッシュルーム状のゲート電極38を形成する。その金属積層膜は、例えば、厚さ約10nmのTi層、厚さ約10nmのPt層、厚さ約300nmのAu層をこの順に形成してなる。

[0146] 次に、図17(b)に示すように、第1、第2ポジ型電子線レジスト33、35と樹脂層34とを除去することにより、第2ポジ型電子線レジスト35上に形成されていた上記の金属積層膜(不図示)をリフトオフする。

[0147] その後、図18に示すように、ゲート電極38と第2保護絶縁膜32のそれぞれの上に、窒化シリコンで構成される第3保護絶縁膜39を形成する。

[0148] 以上により、本実施形態に係る半導体装置の基本構造が完成したことになる。

[0149] この半導体装置は、第1実施形態と同様に接合型電界効果型トランジスタであり、電子走行層13を流れる電流のオン・オフがゲート電圧によって制御される。

[0150] 上記のように、この半導体装置には、窒化シリコンで構成される第1～第3保護絶縁膜20、32、39が形成される。これらの保護絶縁膜20、32、39の成膜方法は特に限定されないが、第1実施形態で説明した第1例～第5例のいずれか一をその成膜方法として採用し、各保護絶縁膜のストレスを緩和するのが好ましい。また、各保護絶縁膜20、32、39の成膜方法は同じである必要は無く、別々の方法で形成してよい。

[0151] (3) 第3実施形態

図19～図23は、本実施形態に係る半導体装置の製造途中の断面図である。

[0152] 最初に、図19(a)に示す断面構造を得るまでの工程について説明する。

[0153] まず、高抵抗SiC基板10の上に、バッファ層12、GaNよりなる電子走行層13、AlGaNよりなる電子供給層14、及びGaNよりなる表面層40をMOCVD法によりエピタキシャル成長させる。これらのうち、バッファ層12は、SiC基板10の表面の格子欠陥が電子走行層13に伝わらないようにする役割を担う。

[0154] 次に、トランジスタを形成しない領域における各層12～15とSiC基板10に酸素をイオン注入し、その領域におけるドーパントを不活性化させることにより、素子分離領域11を形成する。

[0155] 次に、図19(b)に示すように、フォトリソグラフィおよび真空蒸着法により、表面層

4 0の上に厚さ約30nmのTi膜と厚さ約100nmのAl膜をこの順に形成し、互いに間隔がおかれたソース電極18とドレイン電極19とを形成し、350°C、3分間の熱処理によりオーミックコンタクトを形成する。

[0156] そして、図19(c)に示すように、各電極18、19と表面層40の表面上に、プラズマCVD法により窒化シリコンで構成される第1保護絶縁膜20を形成する。この第1保護絶縁膜20は、化学的、物理的に脆弱な表面層40を保護し、プロセス中にその表面が酸化されるのを防ぎ、最終的に得られるトランジスタの電気的特性を向上させるために形成される。

[0157] その第1保護絶縁膜20の成膜方法としては、第1実施形態で説明した第1例～第5例のいずれか一を採用し得る。

[0158] 続いて、図20(a)に示すように、第1保護絶縁膜20の上に紫外線感光フォトレジストを塗布し、それを露光、現像することにより、各電極18、19の間に第1窓22aを備えた第1レジストパターン22を形成する。本実施形態では、その紫外線感光フォトレジストとして、住友化学社製のPFI32-A8を使用する。

[0159] 次に、図20(b)に示すように、上記の第1レジストパターン22をマスクにしながら、SF₆をエッチングガスとするドライエッチングにより第1保護絶縁膜20をエッチングし、第1窓22aの下の第1保護絶縁膜20に開口20xを形成する。

[0160] このエッチングを終了後、加温した剥離剤を用いて第1レジストパターン22を除去する。

[0161] 次に、図21(a)に示すように、第1保護絶縁膜20上と開口20x内に、アルカリ溶液に対して可溶でサイドエッチングが可能な樹脂、例えばポリメチルグルタルイミドを厚さ約500nmに形成し、樹脂層24を形成する。

[0162] そして、基板温度180°C、処理時間3分の条件でこの樹脂層24を加熱して硬化する。

[0163] その後、樹脂層24上に、紫外線感光型フォトレジストを塗布し、それを露光、現像することにより、開口20xよりも幅広の第2窓25aを備えた第2レジストパターン25を形成する。その紫外線感光型フォトレジストは特に限定されないが、本実施形態では住友化学社製のPFI32-A8を使用する。

- [0164] 続いて、図21(b)に示すように、第2レジストパターン25の第2窓25aを通じて樹脂層24をウエットエッチングする。このウエットエッチングでは、樹脂層24を選択的にエッチングするアルカリ性のエッチング液、例えば水酸イソテトラメチルアンモニウム水溶液を用いて、樹脂層24をサイドエッチングする。
- [0165] これにより、第2窓25aよりも幅広の第3窓24aが樹脂層24に形成されると共に、開口20x内の表面層40がその第3窓24aから露出することになる。
- [0166] 次に、図22(a)に示すように、各窓24a、25a内に蒸着法により金属積層膜を形成することにより、開口20xとその周囲の第1保護絶縁膜20上にマッシュルーム状のゲート電極28を形成する。その金属積層膜として、例えば、厚さ約10nmのNi層、厚さ約100nmのAu層をこの順に形成する。このゲート電極28と表面層40との界面にはショットキー接合が形成される。
- [0167] そして、図22(b)に示すように、樹脂層24と第2レジストパターン25とを除去することにより、第2レジストパターン25上に形成されていた上記の金属積層膜(不図示)をリフトオフする。
- [0168] その後、図23に示すように、ゲート電極28と第1保護絶縁膜20のそれぞれの上に、窒化シリコンで構成される第2保護絶縁膜29を形成する。
- [0169] 以上により、本実施形態に係る半導体装置の基本構造が完成したことになる。
- [0170] この半導体装置は、第1実施形態と同様に接合型電界効果型トランジスタであり、電子走行層13を流れる電流のオン・オフがゲート電圧によって制御される。
- [0171] 上記のように、この半導体装置には、窒化シリコンで構成される第1、第2保護絶縁膜20、29が形成される。これらの保護絶縁膜20、29の成膜方法は特に限定されないが、第1実施形態で説明した第1例～第5例のいずれか一をその成膜方法として採用し、各保護絶縁膜のストレスを緩和するのが好ましい。また、各保護絶縁膜20、29の成膜方法は同じである必要は無く、別々の方法で形成してよい。
- [0172] (4)第4実施形態
- 図24～図29は、本実施形態に係る半導体装置の製造途中の断面図である。
- [0173] 本実施形態に係る半導体装置を製造するには、まず、第3実施形態で説明した図19(a)～(c)の工程を行う。

- [0174] 次に、図24 (a) に示す断面構造を得るまでの工程について説明する。
- [0175] まず、第1保護絶縁膜20の上に、ポジ型電子線レジストをスピコートにより厚さ約300nmに塗布し、基板温度180°C、処理時間5分の条件でそのレジストを加熱して硬化する。ポジ型電子線レジストは特に限定されないが、本実施形態では、日本ゼオン社製のZEP520-A7を使用する。
- [0176] そして、電子線露光装置でそのレジストを露光した後、現像して、ソース電極18とドレイン電極19との間に第1窓30aを備えたレジストパターン30を形成する。
- [0177] 次に、図24 (b) に示すように、エッチングガスとしてSF₆を用いるドライエッチングにより、レジストパターン30の第1窓30aを通じて第1保護絶縁膜20をエッチングし、第1保護絶縁膜20に第1開口20yを形成する。
- [0178] なお、第1開口20yの幅は特に限定されないが、本実施形態では約0.2μmとする。
- [0179] この後に、レジストパターン30は除去される。
- [0180] 次に、図25 (a) に示すように、プラズマCVD法を用いて、第1保護絶縁膜20上と第1開口20y内とに窒化シリコンで構成される第2保護絶縁膜32を形成する。その第2保護絶縁膜32の成膜方法としては、第1実施形態で説明した第1例～第5例のいずれか一を採用し得る。
- [0181] 続いて、図25 (b) に示すように、この第2保護絶縁膜32の上に第1ポジ型電子線レジスト33として例えば日本ゼオン社製のZEP520-A7をスピコートにより厚さ約300nmに塗布する。その後、基板温度180°C、処理時間5分の条件でこの第1ポジ型電子線レジスト33を加熱して硬化する。
- [0182] 更に、この第1ポジ型電子線レジスト33の上に、アルカリ溶液に対して可溶でサイドエッチングが可能なポリメチルグルタルイミドをスピコートにより厚さ約500nmに形成し、それを樹脂層34とする。その樹脂層34は熱処理により硬化される。熱処理の条件は特に限定されないが、本実施形態では基板温度を180°C、処理時間を3分とする。
- [0183] 次いで、この樹脂層34の上に、スピコートにより厚さ約200nmの第2ポジ型電子線レジスト35を塗布する。第2ポジ型電子線レジスト35としては、例えば、日本ゼオン

社製のZEP520-A7がある。この後に、基板温度180°C、処理時間2分の条件で第2ポジ型電子線レジスト35を加熱して硬化する。

[0184] 続いて、図26(a)に示すように、電子線露光装置を用いて第2ポジ型電子線レジスト35を露光した後、メチルエチルケトンとメチルイソブチルケトンの混合溶液よりなる現像液で第2ポジ型電子線レジスト35を現像することにより、第1開口20yの上方に第2窓35aを形成する。

[0185] 次に、図26(b)に示すように、水酸イピテトラメチルアンモニウム等のアルカリ性のエッチング液を用い、第2窓35aを通じて樹脂層34をサイドエッチングすることにより、第2窓よりも幅広の第3窓34aを形成する。

[0186] 次に、図27(a)に示すように、電子線露光装置により第1ポジ型電子線レジスト33を露光した後、メチルイソブチルケトンとイソプロピルアルコールとの混合溶液よりなる現像液でレジスト33を現像し、第1窓34aよりも幅が狭い第3窓33aを形成する。

[0187] その後に、図27(b)に示すように、第3窓33aを通じて第2保護絶縁膜32をエッチングし、ソース電極18とドレイン電極19の間の第2保護絶縁膜32に第2開口32aを形成する。このドライエッチングでは、エッチングガスとして例えばSF₆が使用される。

[0188] 次に、図28(a)に示すように、各窓33a～35a内に蒸着法により金属積層膜を形成することにより、第2開口32a内の表面層40上にマッシュルーム状のゲート電極38を形成する。その金属積層膜は、例えば、厚さ約10nmのNi層、及び厚さ約100nmのAu層をこの順に形成してなる。

[0189] 次に、図28(b)に示すように、第1、第2ポジ型電子線レジスト33、35と樹脂層34とを除去することにより、第2ポジ型電子線レジスト35上に形成されていた上記の金属積層膜(不図示)をリフトオフする。

[0190] その後に、図29に示すように、ゲート電極38と第2保護絶縁膜32のそれぞれの上に、窒化シリコンで構成される第3保護絶縁膜39を形成する。

[0191] 以上により、本実施形態に係る半導体装置の基本構造が完成したことになる。

[0192] この半導体装置は、第1実施形態と同様に接合型電界効果型トランジスタであり、電子走行層13を流れる電流のオン・オフがゲート電圧によって制御される。

[0193] 上記のように、この半導体装置には、窒化シリコンで構成される第1～第3保護絶縁

膜20、32、39が形成される。これらの保護絶縁膜20、32、39の成膜方法は特に限定されないが、第1実施形態で説明した第1例～第5例のいずれか一をその成膜方法として採用し、各保護絶縁膜のストレスを緩和するのが好ましい。また、各保護絶縁膜20、32、39の成膜方法は同じである必要は無く、別々の方法で形成してよい。

請求の範囲

- [1] 基板と、
前記基板上に形成された化合物半導体層と、
前記化合物半導体層の表面上に形成され、膜密度が下部より膜の中途部の方が低い窒化シリコンよりなる保護絶縁膜と、
を有することを特徴とする半導体装置。
- [2] 前記保護絶縁膜は、膜密度が下から上に向かって低くなる単層の窒化シリコン膜で構成されることを特徴とする請求項1に記載の半導体装置。
- [3] 前記保護絶縁膜は、二層目が一層目よりも膜密度が低くなるように積層された二以上の窒化シリコン膜の積層膜で構成されることを特徴とする請求項1に記載の半導体装置。
- [4] 前記積層膜を構成する前記一層目の窒化シリコン膜の膜厚は、前記二層目の窒化シリコン膜よりも薄いことを特徴とする請求項3に記載の半導体装置。
- [5] 前記積層膜は、膜密度の大小関係が交互に入れ替わるように三以上の窒化シリコン膜を積層してなることを特徴とする請求項3に記載の半導体装置。
- [6] 前記積層膜において膜密度が小となる複数の窒化シリコン膜は、下の膜ほど厚さが薄くなることを特徴とする請求項5に記載の半導体装置。
- [7] 前記積層膜において膜密度が大となる窒化シリコン膜が、該積層膜の最上層に形成されたことを特徴とする請求項5に記載の半導体装置。
- [8] 前記化合物半導体層は、バッファ層、電子走行層、電子供給層、及び第1開口を備えたコンタクト層がこの順に形成された積層化合物半導体層であり、
前記コンタクト層の上に、ソース電極とドレイン電極とが互いに間隔をおいて形成され、
前記保護絶縁膜が、前記ソース電極とドレイン電極上にも形成されると共に、該ソース電極と該ドレイン電極との間に前記第1開口に重なる第2開口を有し、
前記第1開口内の前記電子供給層上にゲート電極が形成されたことを特徴とする請求項1に記載の半導体装置。
- [9] 前記化合物半導体層は、バッファ層、電子走行層、電子供給層、及び第1開口を

備えたコンタクト層がこの順に形成された積層⁽ⁱ⁾化合物半導体層であり、

前記コンタクト層の上に、前記第1開口を挟んでソース電極とドレイン電極とが形成され、

前記保護絶縁膜が、前記ソース電極とドレイン電極上にも形成されると共に、前記第1開口の上に第2開口を有し、

前記第2開口内の前記電子供給層上にゲート電極が形成されたことを特徴とする請求項1に記載の半導体装置。

[10] 前記⁽ⁱ⁾化合物半導体層は、バッファ層、電子走行層、電子供給層、及び表面層がこの順に形成された積層⁽ⁱ⁾化合物半導体層であり、

前記表面層の上に、ソース電極とドレイン電極とが互いに間隔をおいて形成され、前記保護絶縁膜が、前記ソース電極とドレイン電極上にも形成されると共に、該ソース電極と該ドレイン電極との間に開口を有し、

前記開口内の前記表面層上にゲート電極が形成されたことを特徴とする請求項1に記載の半導体装置。

[11] 前記基板は⁽ⁱ⁾化合物半導体よりなることを特徴とする請求項1に記載の半導体装置。

[12] 基板上に⁽ⁱ⁾化合物半導体層を形成する工程と、

前記⁽ⁱ⁾化合物半導体層の表面上に、保護絶縁膜を構成する一層⁽ⁱ⁾の窒化シリコン膜をプラズマCVD法で形成する工程と、

前記一層⁽ⁱ⁾の窒化シリコン膜上に、該窒化シリコン膜よりも膜密度が低くなる成膜条件により、前記保護絶縁膜を構成する二層⁽ⁱ⁾の窒化シリコン膜をプラズマCVD法で形成する工程とを有することを特徴とする半導体装置の製造方法。

[13] 前記二層⁽ⁱ⁾の窒化シリコン膜の成膜条件として、(i)前記一層⁽ⁱ⁾の窒化シリコン膜を形成する工程よりも成膜雰囲気中に印加される高周波電力の周波数を高める、(ii)前記一層⁽ⁱ⁾の窒化シリコン膜を形成する工程よりも成膜雰囲気中に印加される高周波電力のパワーを低くする、(iii)前記一層⁽ⁱ⁾の窒化シリコン膜を形成する工程よりも成膜雰囲気の圧力を高める、(iv)窒素の原料ガスとしてアンモニアを用い、且つ前記一層⁽ⁱ⁾の窒化シリコン膜の窒素の原料ガスとして窒素を用いる、(v)前記一層⁽ⁱ⁾の窒化シリコン膜を形成する工程よりも基板温度を下げる、及び(vi)前記一層⁽ⁱ⁾の窒化シリコン膜

を形成する工程よりも成膜速度を速める、のいずれかを採用することを特徴とする請求項12に記載の半導体装置の製造方法。

[14] 前記一層目の窒化シリコン膜を形成する工程において、前記二層目の窒化シリコン膜よりも薄い厚さに前記一層目の窒化シリコン膜を形成することを特徴とする請求項12に記載の半導体装置の製造方法。

[15] 前記二層目の窒化シリコン膜の上に一以上の窒化シリコン膜を積層して、膜密度の大小関係が交互に入れ替わる三以上の窒化シリコン膜で前記保護絶縁膜を構成する工程を有することを特徴とする請求項12に記載の半導体装置の製造方法。

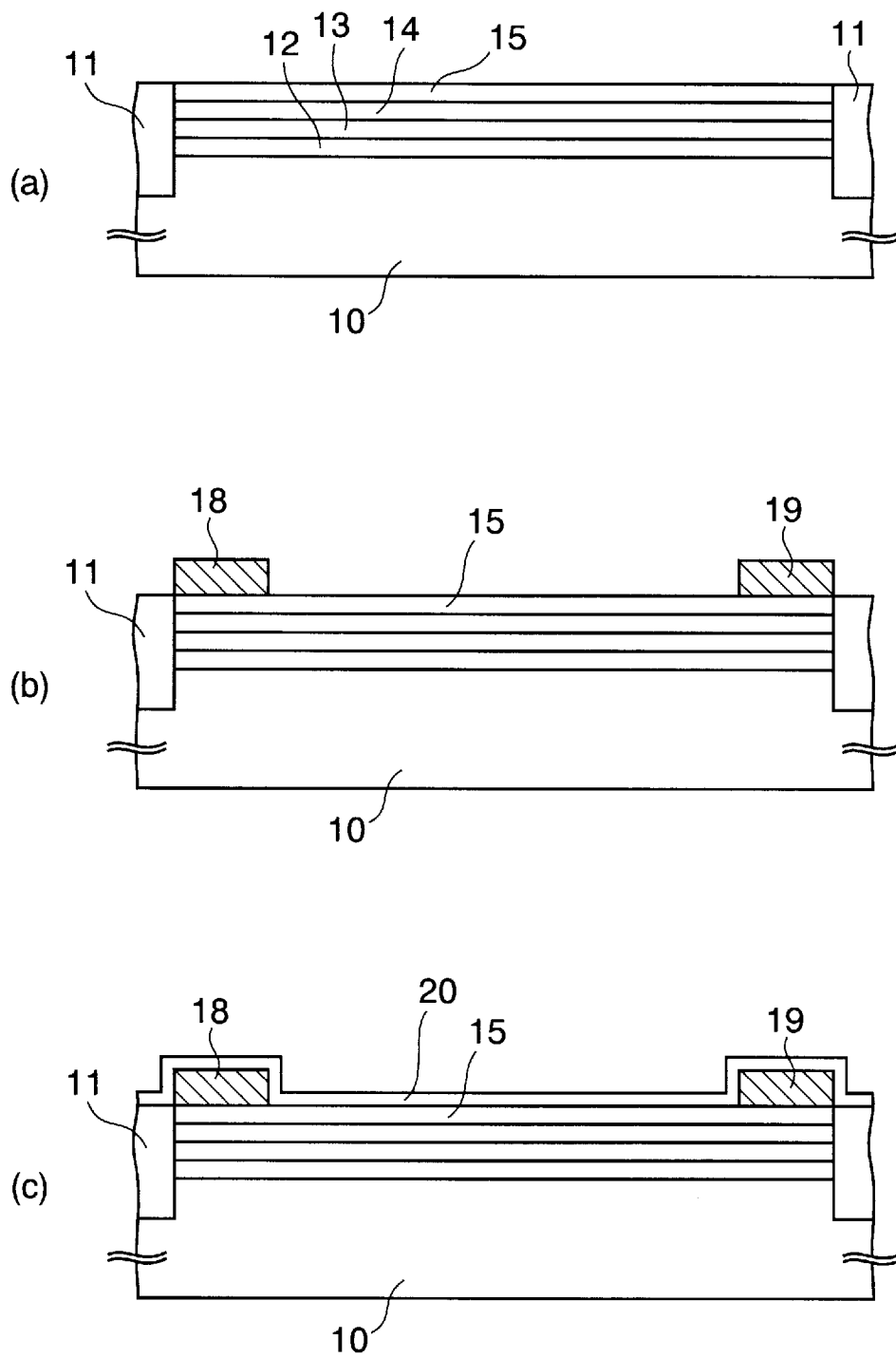
[16] 基板上に SiO_2 化合物半導体層を形成する工程と、
前記 SiO_2 化合物半導体層の表面上に、膜密度が下から上に向かって連続的に低くなる成膜条件を用いて、窒化シリコンで構成される保護絶縁膜をプラズマCVD法で形成する工程と、
を有することを特徴とする半導体装置の製造方法。

[17] 前記保護絶縁膜の成膜条件として、(i)成膜雰囲気中に印加される高周波電力のパワーを連続的に低くする、(ii)成膜雰囲気の圧力を連続的に高める、(iii)成膜ガスとしてアンモニアを含むガスを用い、且つアンモニアの流量比を連続的に増加させる、(iv)成膜速度を連続的に速める、のいずれかを採用することを特徴とする請求項16に記載の半導体装置の製造方法。

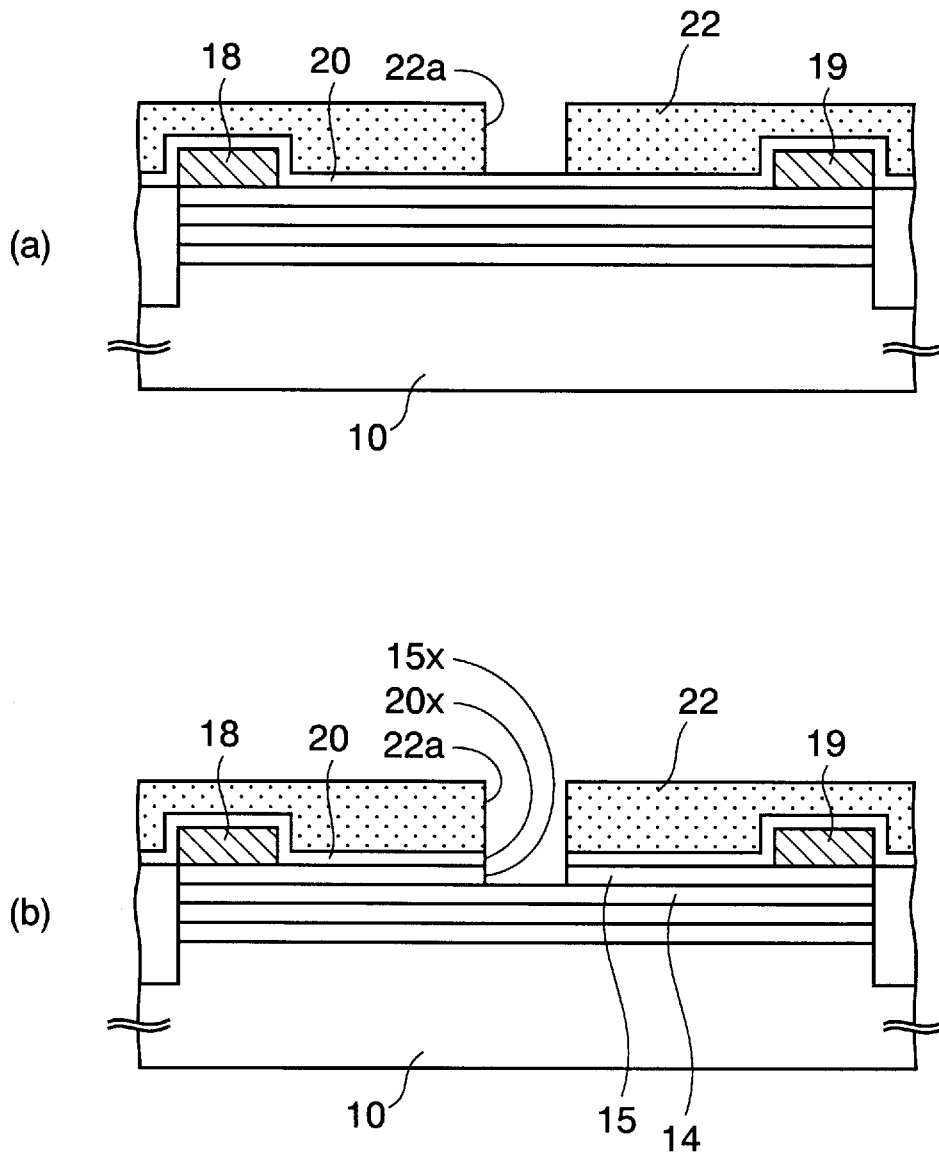
[18] 前記 SiO_2 化合物半導体層として、バッファ層、電子走行層、電子供給層、及びコンタクト層がこの順に形成された積層 SiO_2 化合物半導体層を形成すると共に、
前記保護絶縁膜を形成する工程の前に、前記コンタクト層の上に、互いに間隔がおかれたソース電極とドレイン電極とを形成する工程を有し、
前記保護絶縁膜を形成する工程において、前記ソース電極とドレイン電極の上にも該保護絶縁膜を形成して、
前記ソース電極とドレイン電極の間の前記コンタクト層と前記保護絶縁膜にそれぞれ第1、第2開口を形成する工程と、
前記第1開口内の前記電子供給層上にゲート電極を形成する工程とを有することを特徴とする請求項12又は請求項16に記載の半導体装置の製造方法。

- [19] 前記 InGaAs 化合物半導体層として、バッファ層、電子走行層、電子供給層、及びコンタクト層がこの順に形成された積層 InGaAs 化合物半導体層を形成すると共に、
- 前記保護絶縁膜を形成する工程の前に、前記コンタクト層の上に、互いに間隔がおかれたソース電極とドレイン電極とを形成する工程を有し、
- 前記保護絶縁膜を形成する工程において、前記ソース電極とドレイン電極の上にも該保護絶縁膜を形成して、
- 前記ソース電極と前記ドレイン電極の間の前記コンタクト層と前記保護絶縁膜にそれぞれ第1、第2開口を形成する工程と、
- 前記第1、第2開口内の前記電子供給層上にゲート電極を形成する工程とを有することを特徴とする請求項12又は請求項16に記載の半導体装置の製造方法。
- [20] 前記 InGaAs 化合物半導体層として、バッファ層、電子走行層、電子供給層、及び表面層がこの順に形成された積層 InGaAs 化合物半導体層を形成すると共に、
- 前記保護絶縁膜を形成する工程の前に、前記表面層の上に、互いに間隔がおかれたソース電極とドレイン電極とを形成する工程を有し、
- 前記保護絶縁膜を形成する工程において、前記ソース電極とドレイン電極の上にも該保護絶縁膜を形成して、
- 前記ソース電極とドレイン電極の間の前記保護絶縁膜に開口を形成する工程と、
- 前記開口内の前記表面層上にゲート電極を形成する工程とを有することを特徴とする請求項12又は請求項16に記載の半導体装置の製造方法。

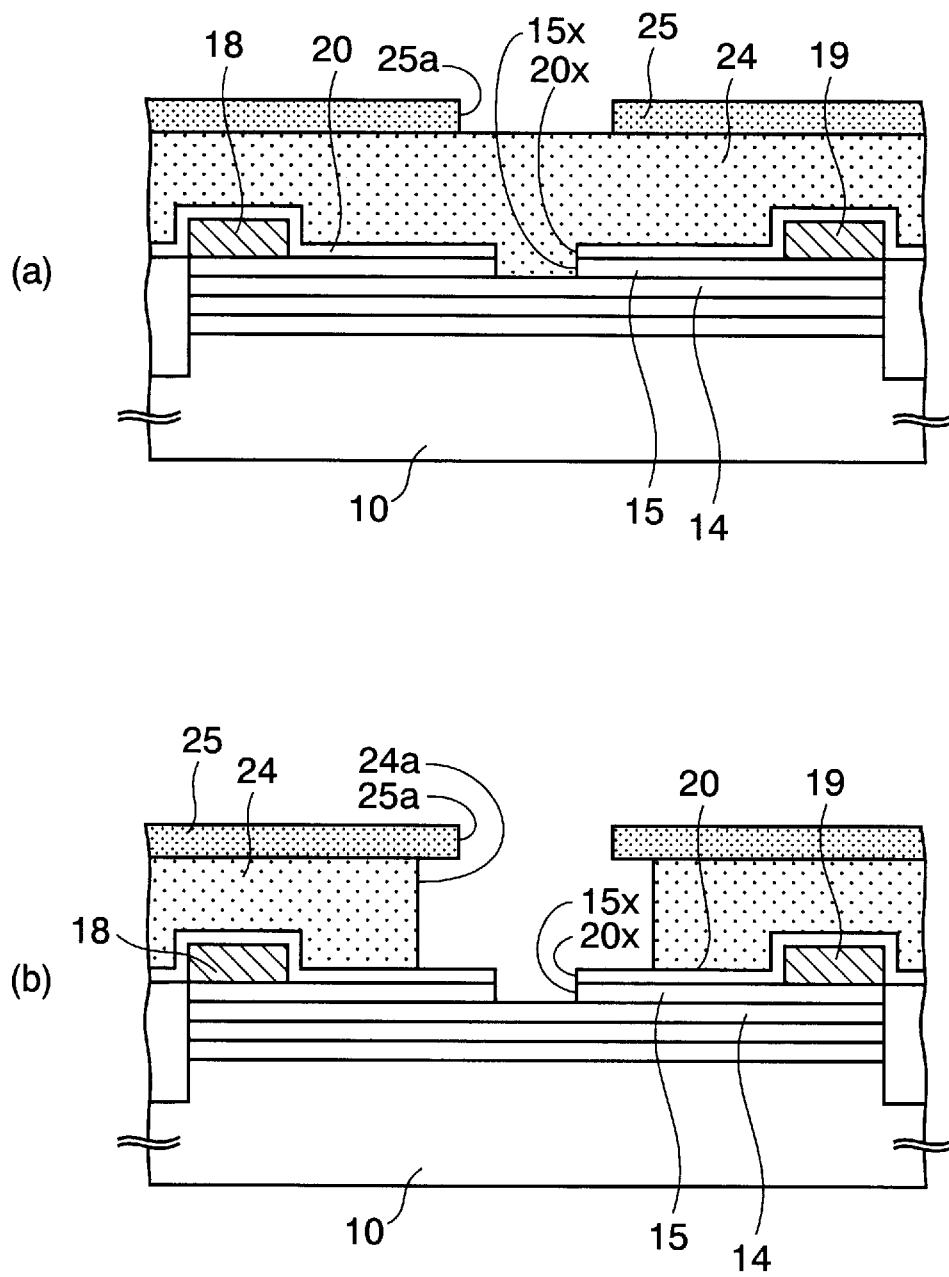
[図1]



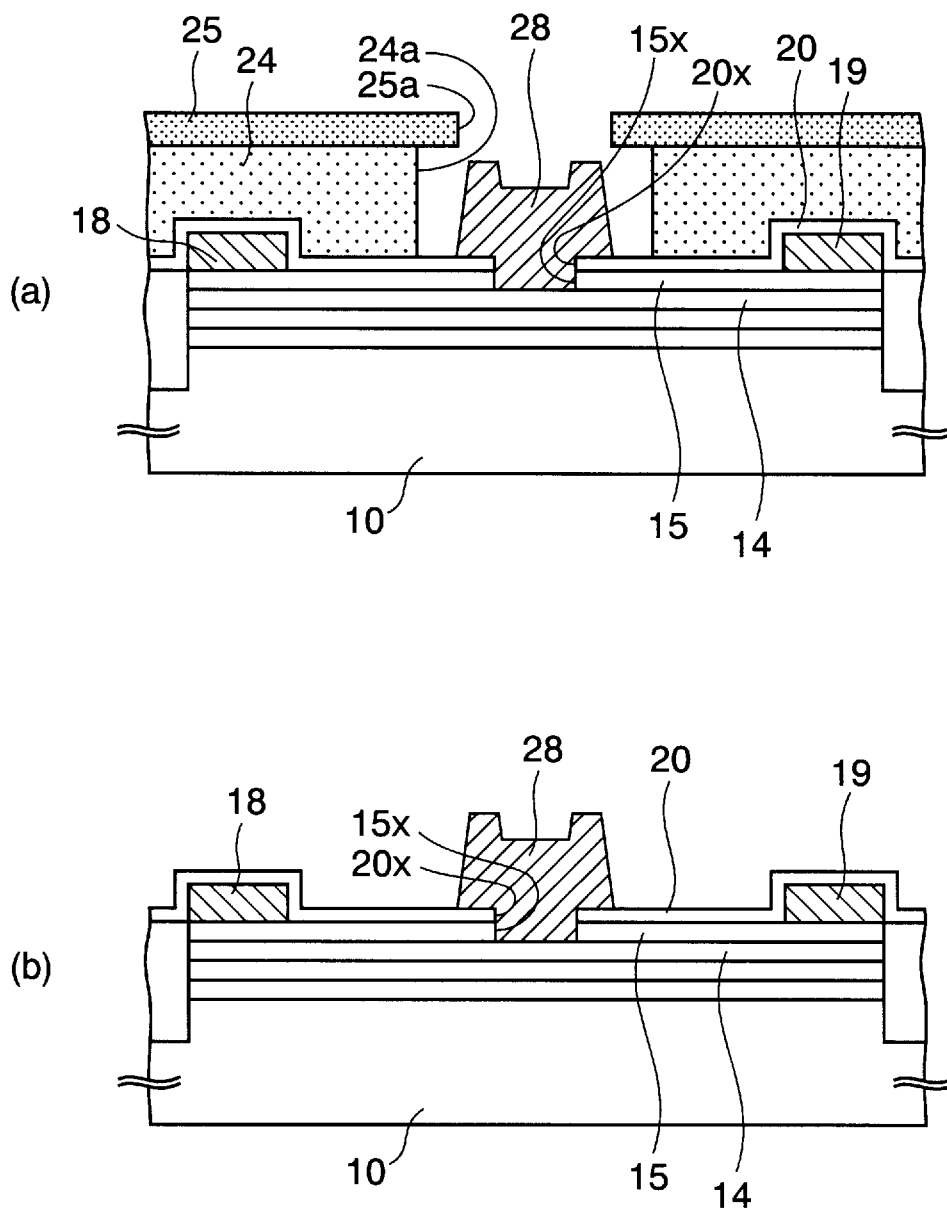
[図2]



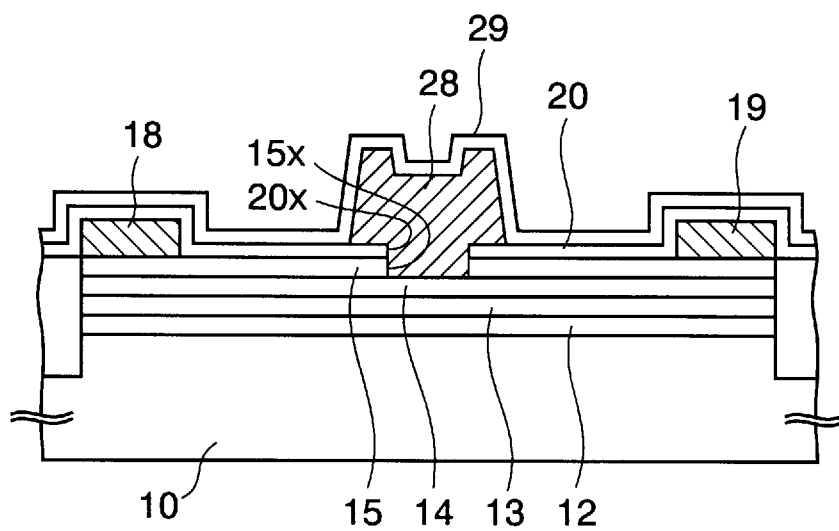
[図3]



[図4]

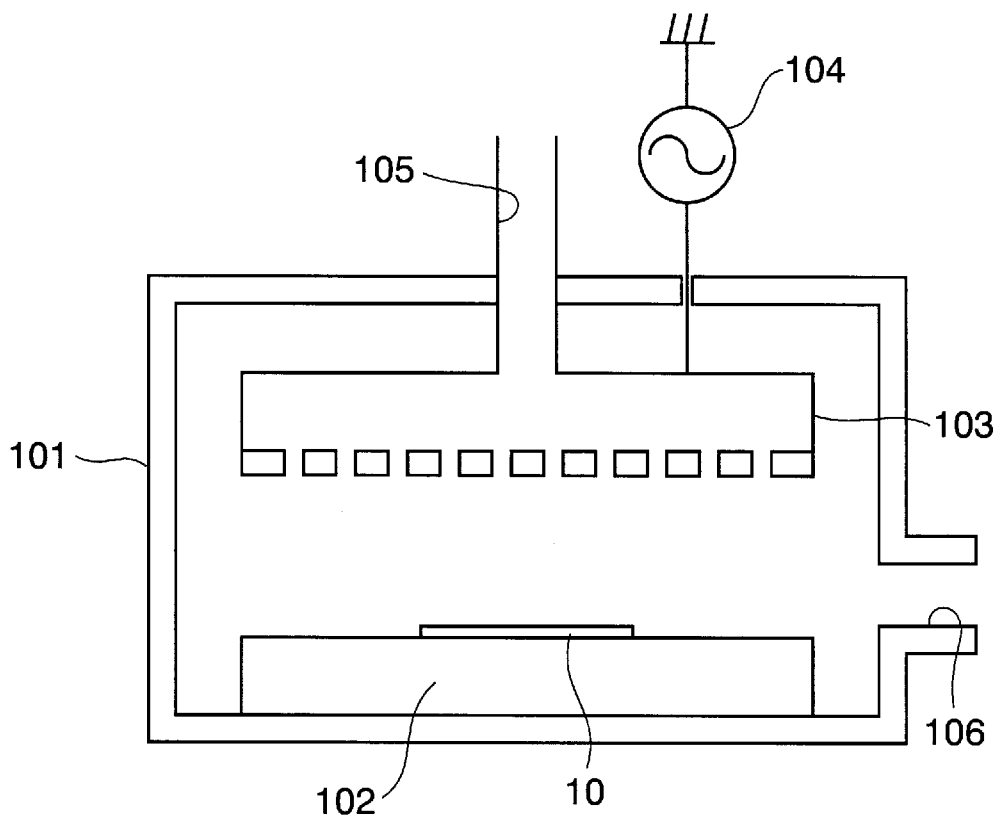


[図5]

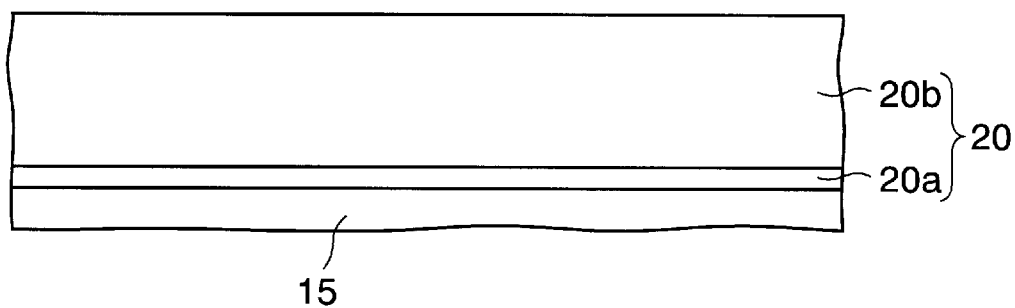


[図6]

100



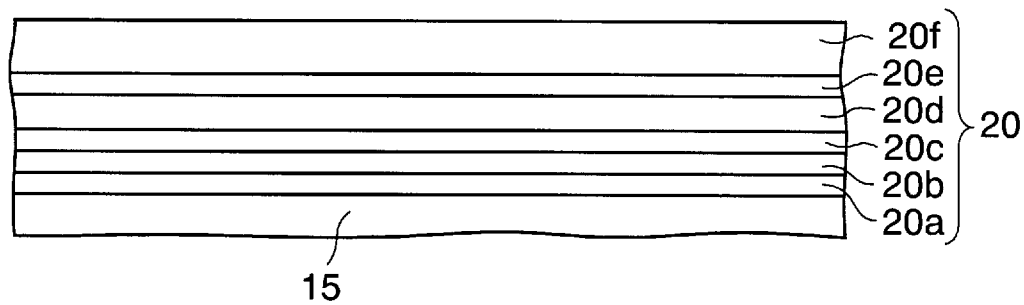
[図7]



[図8]

サンプル番号	反応ガスの流量比 ($\text{SiH}_4:\text{NH}_3:\text{N}_2$)	高周波電源104の 周波数、パワー	N(%)	Si(%)	H(%)	密度(g/cm^2)
1	1:0:100	380kHz、50W	49.1	37.4	13.5	2.49
2	1:0:100	13.56MHz、50W	41.2	41.9	16.9	2.42
3	1:0.5:100	13.56MHz、50W	38.3	36.4	25.3	2.15
4	1:0:80	13.56MHz、80W	41.1	42.7	16.2	2.21

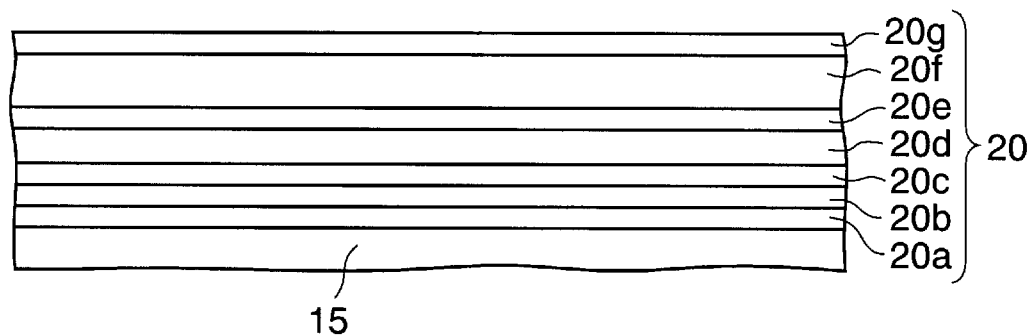
[図9]



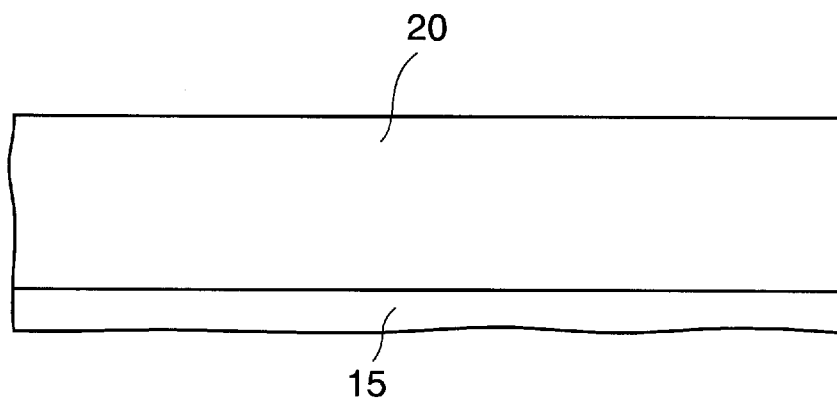
[図10]

各窒化シリコン膜の密度の大小関係		
一層目の窒化シリコン膜20a	>	二層目の窒化シリコン膜20b
二層目の窒化シリコン膜20b	<	三層目の窒化シリコン膜20c
三層目の窒化シリコン膜20c	>	四層目の窒化シリコン膜20d
四層目の窒化シリコン膜20d	<	五層目の窒化シリコン膜20e
五層目の窒化シリコン膜20e	>	六層目の窒化シリコン膜20f

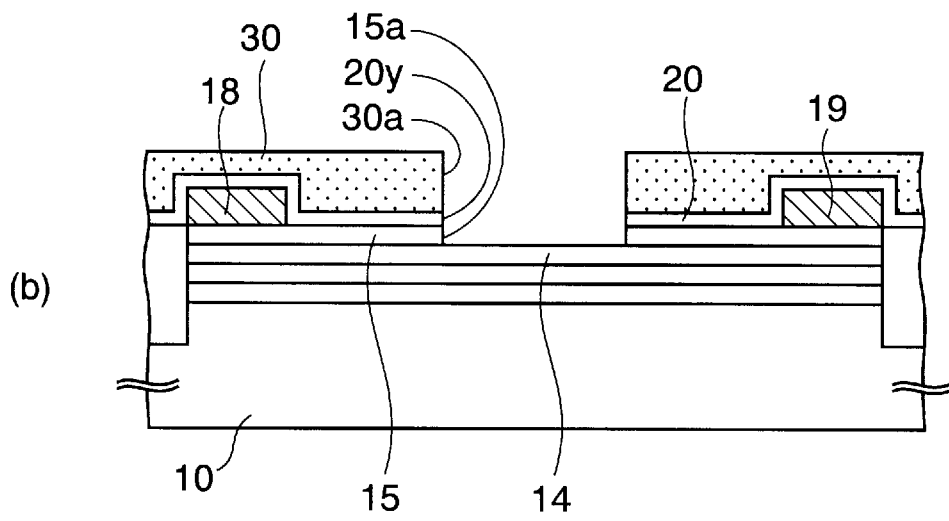
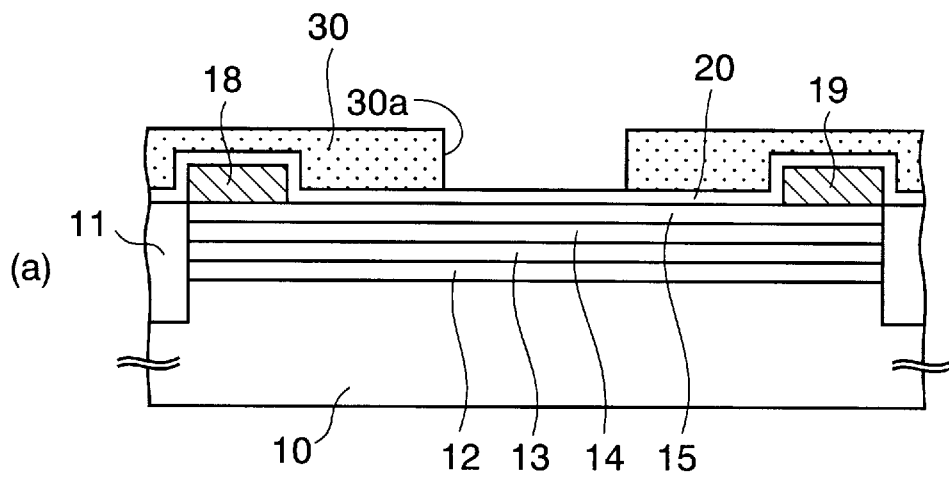
[図11]



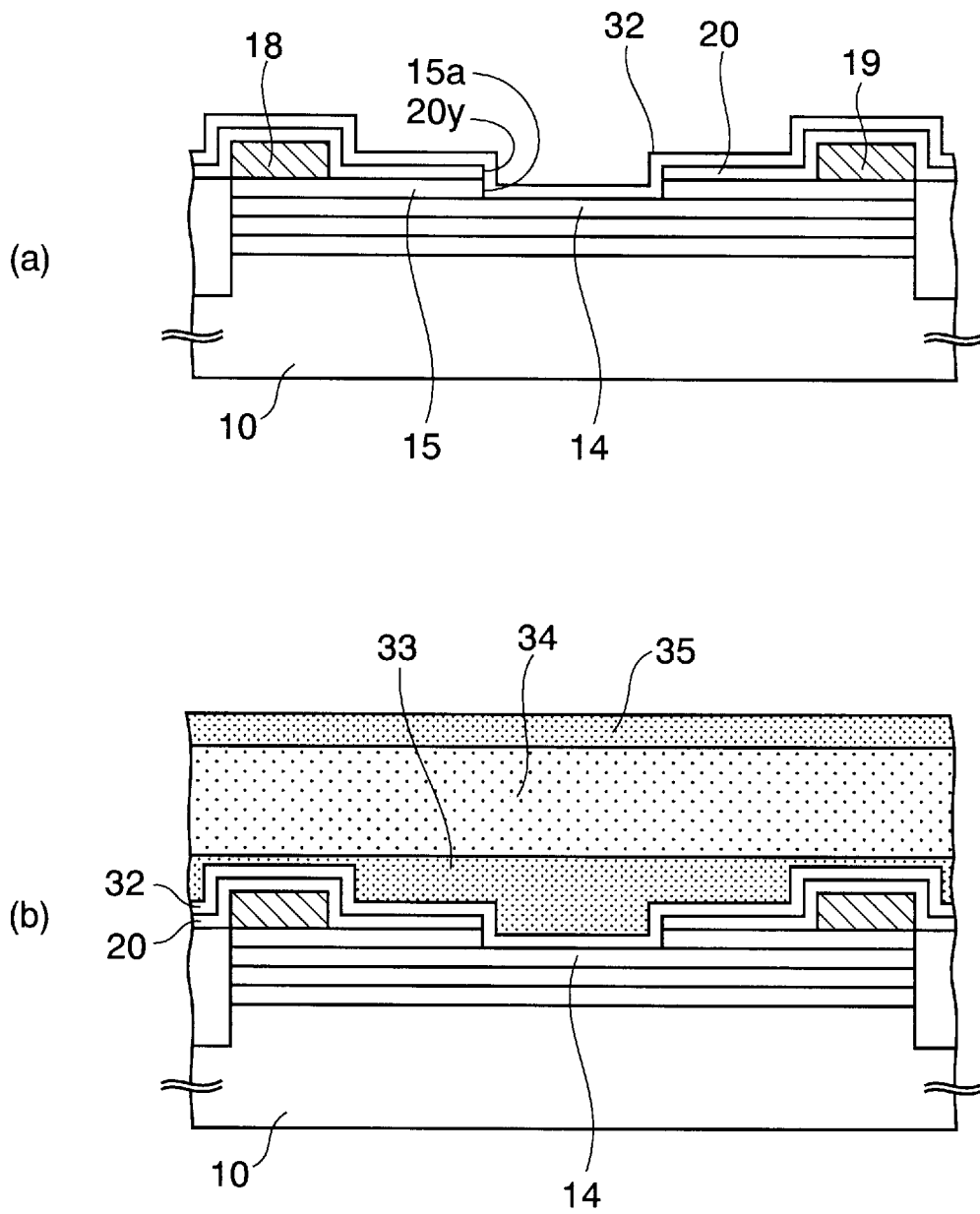
[図12]



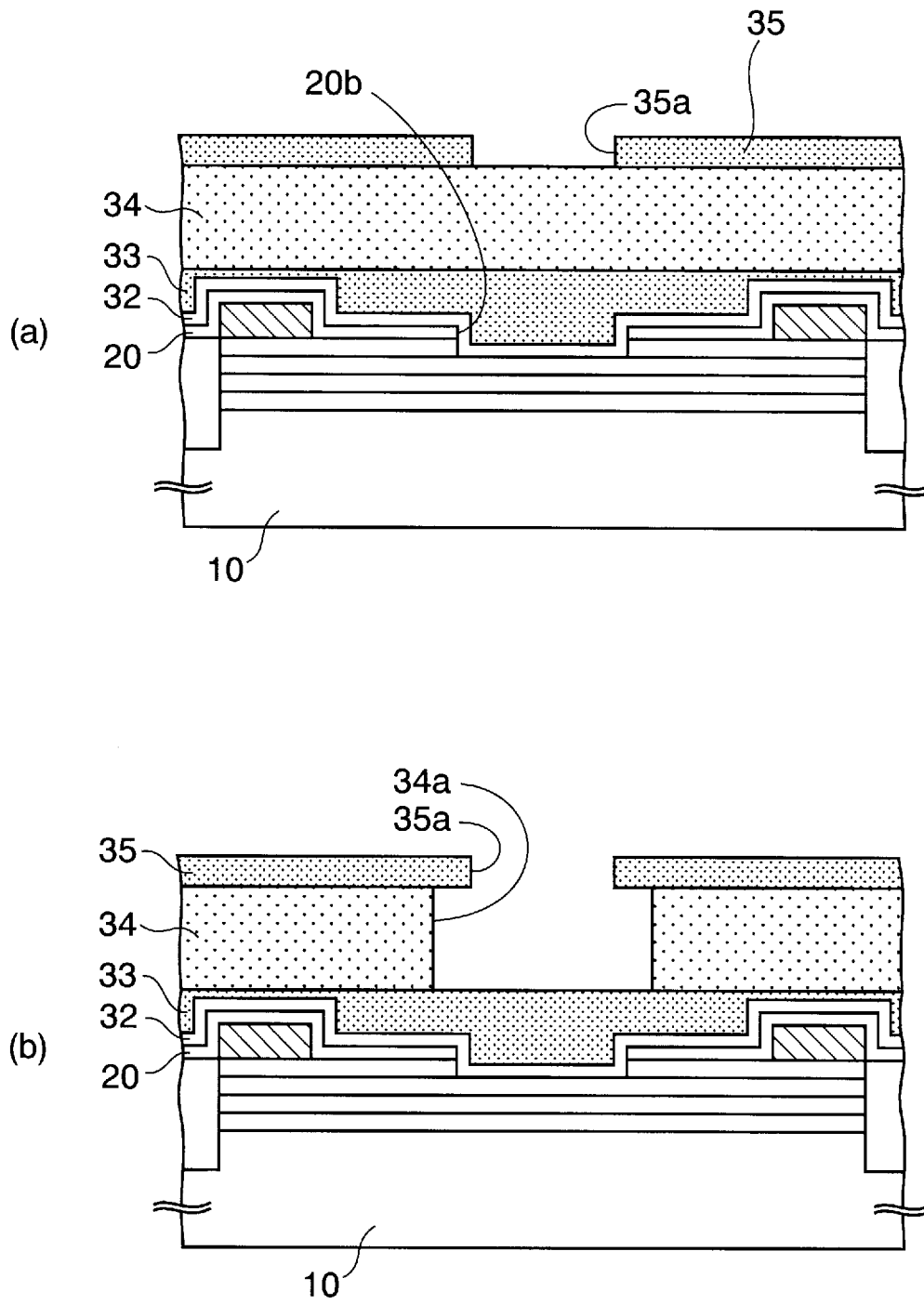
[図13]



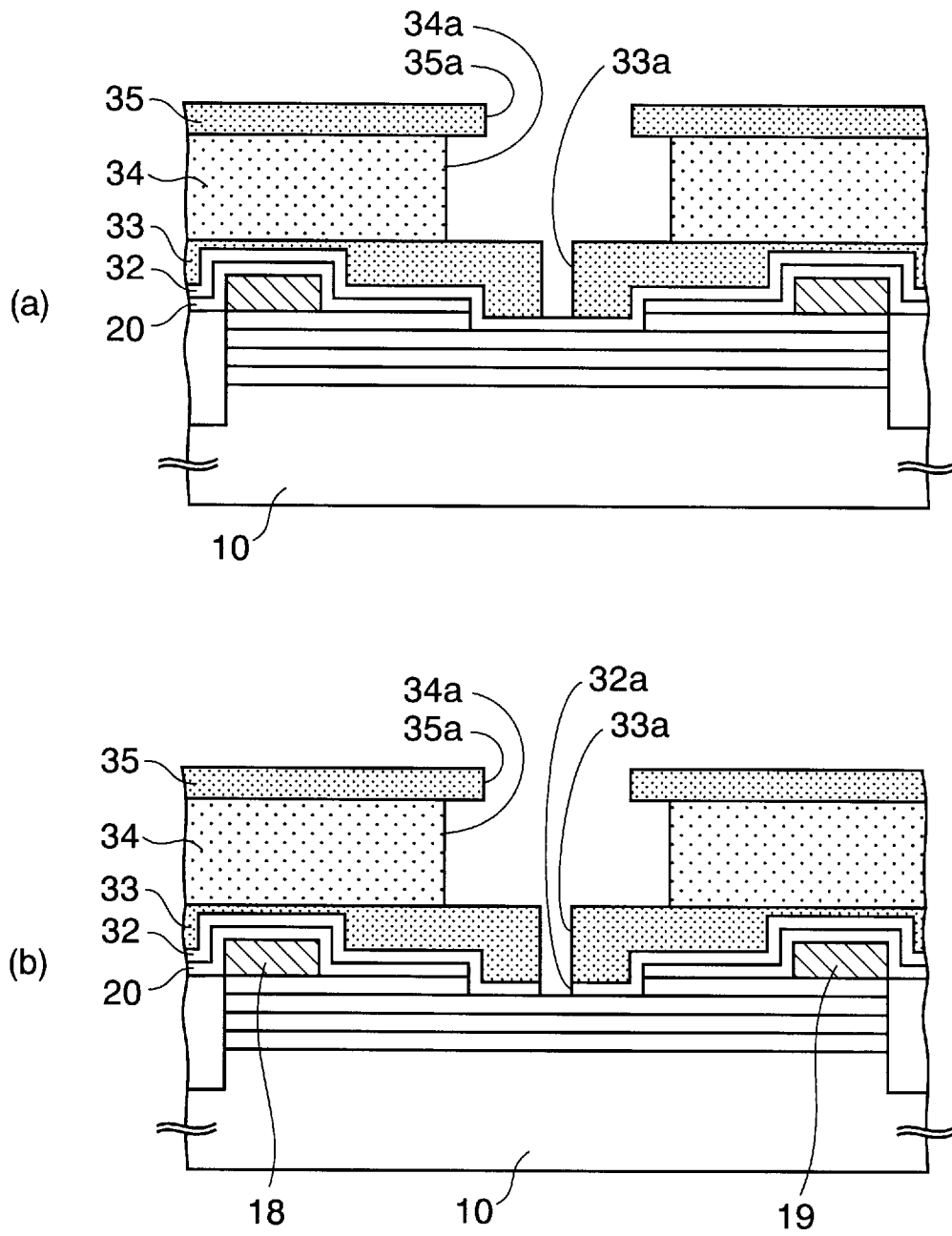
[図14]



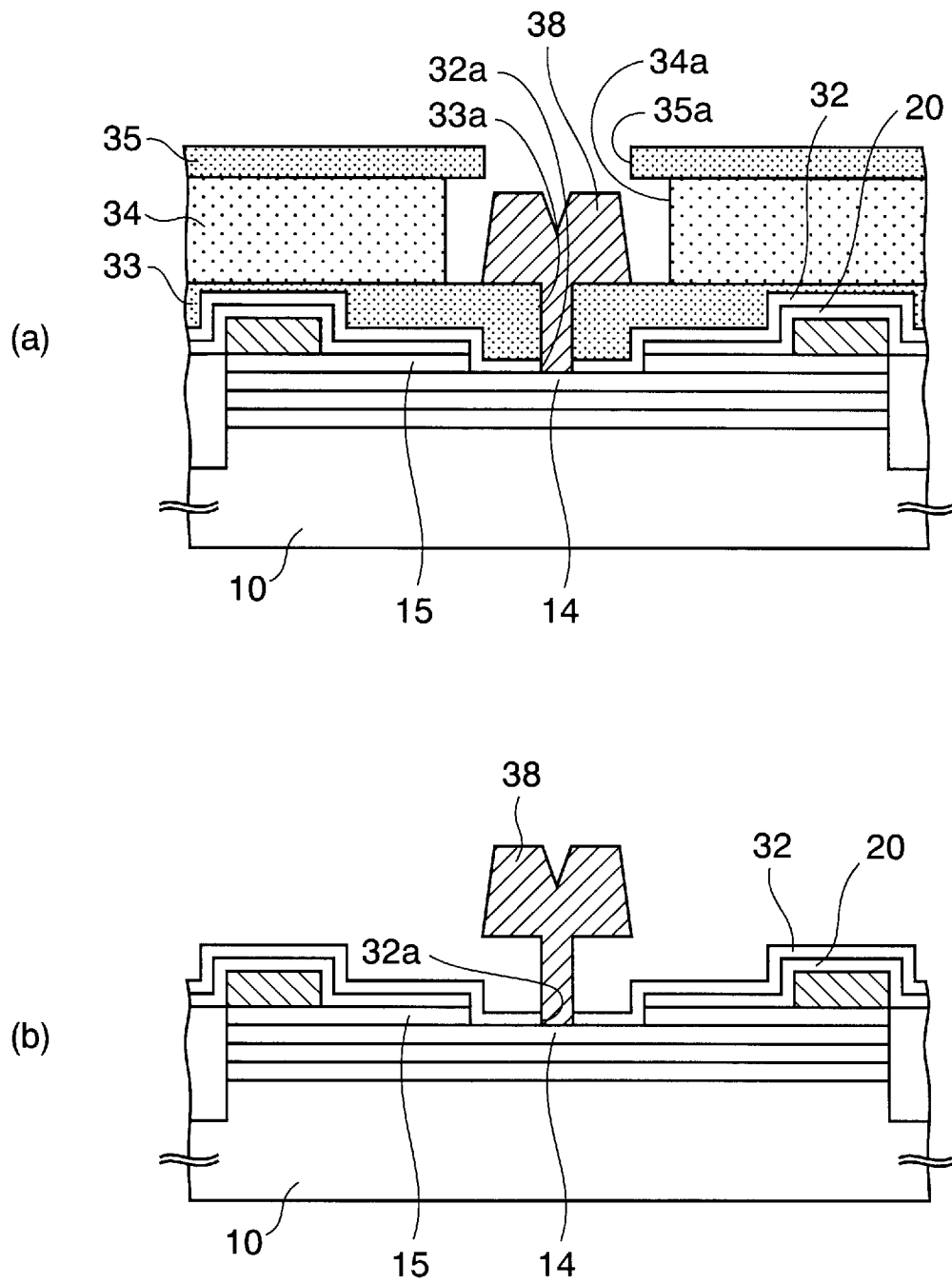
[図15]



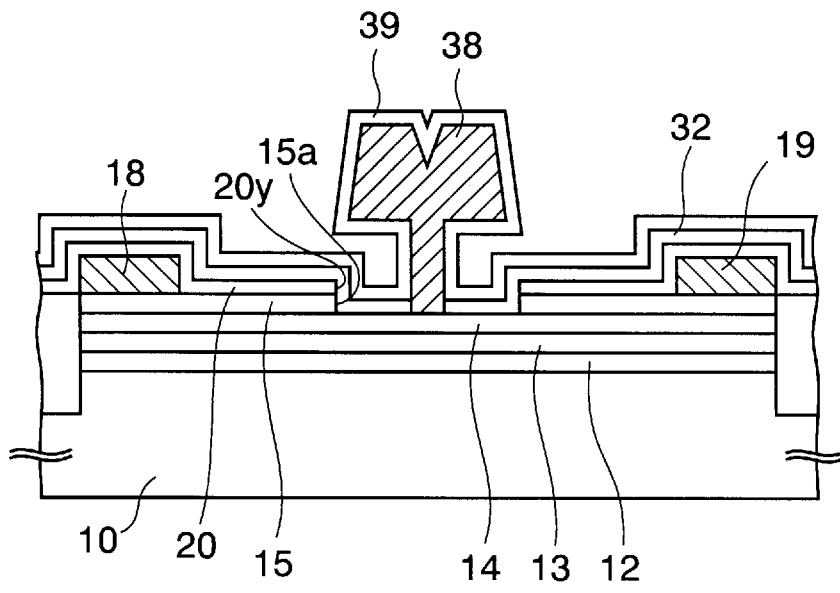
[図16]



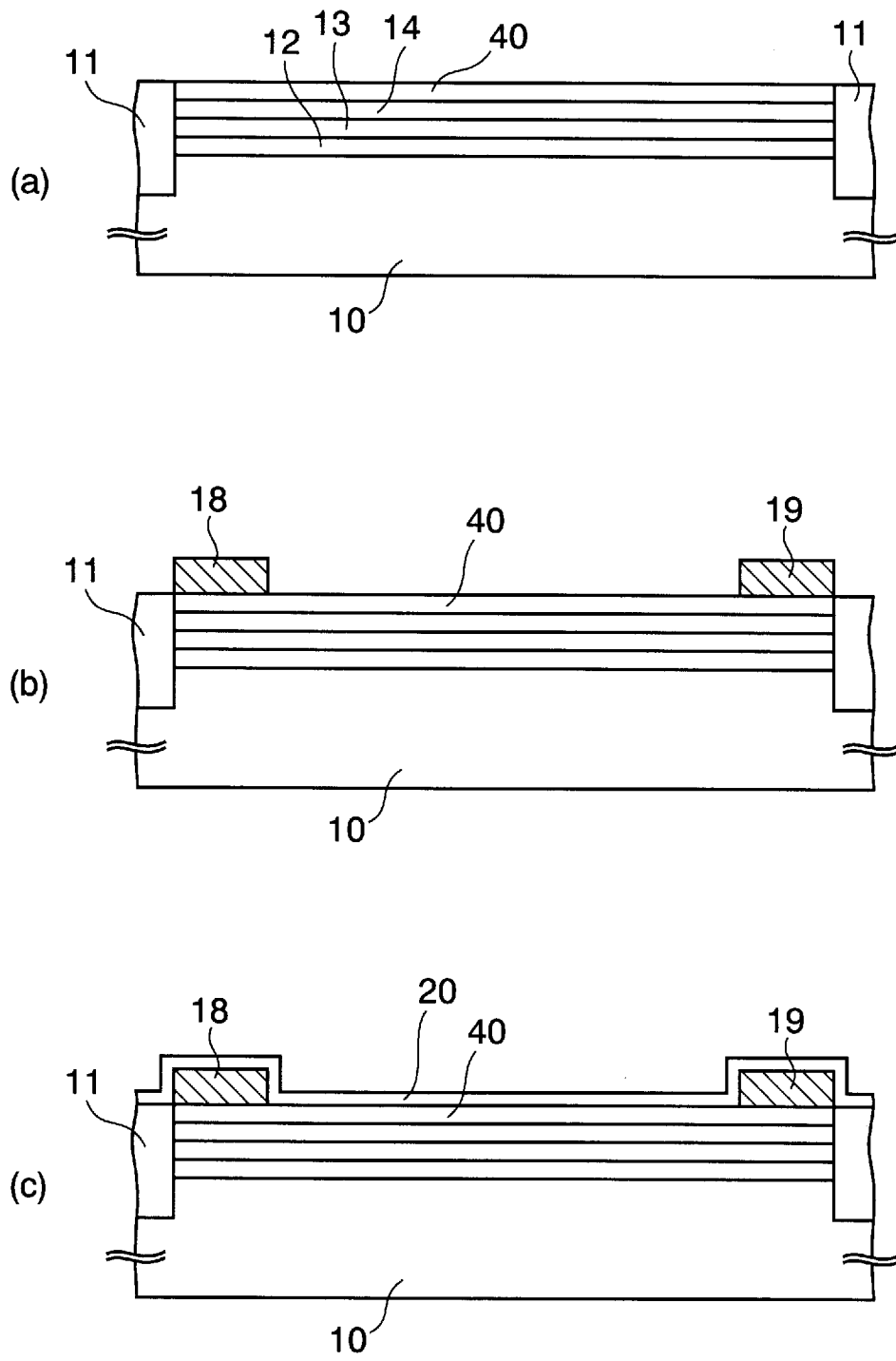
[図17]



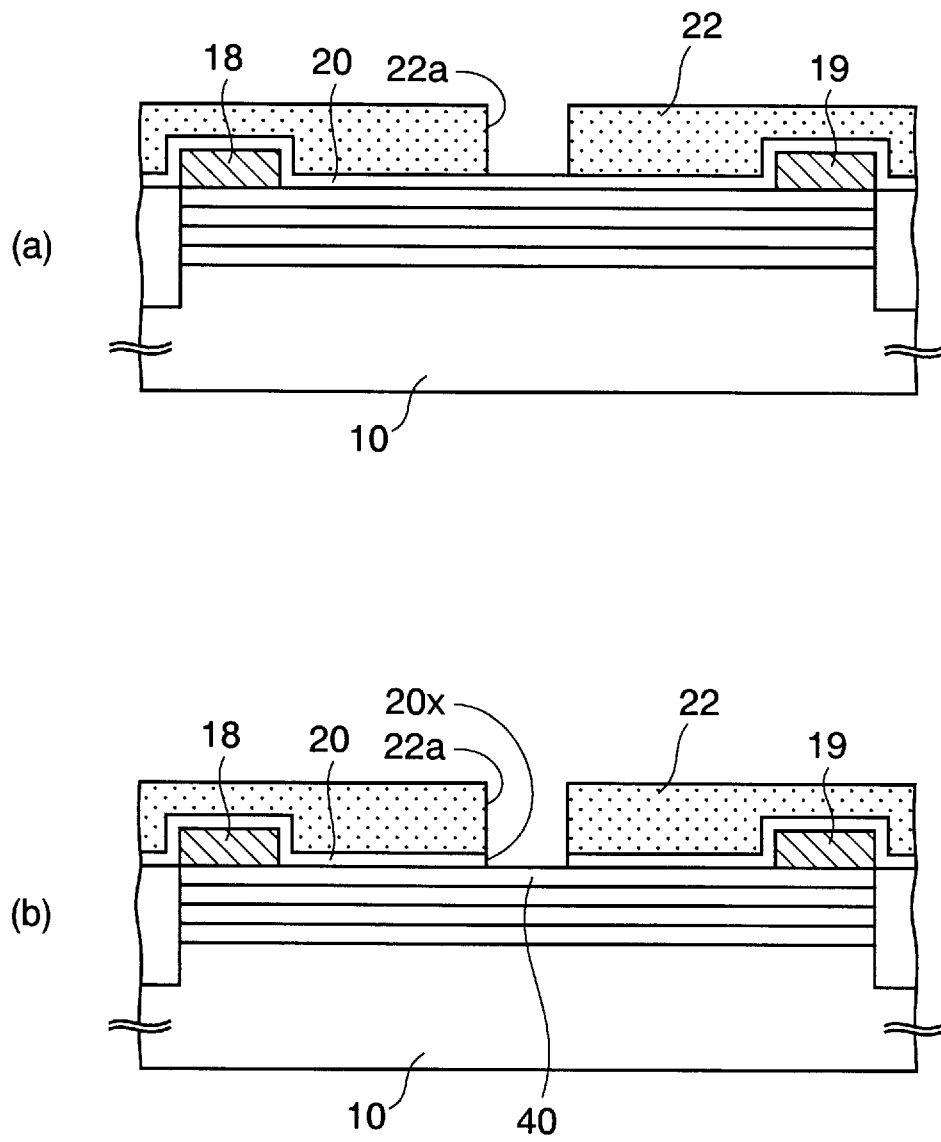
[図18]



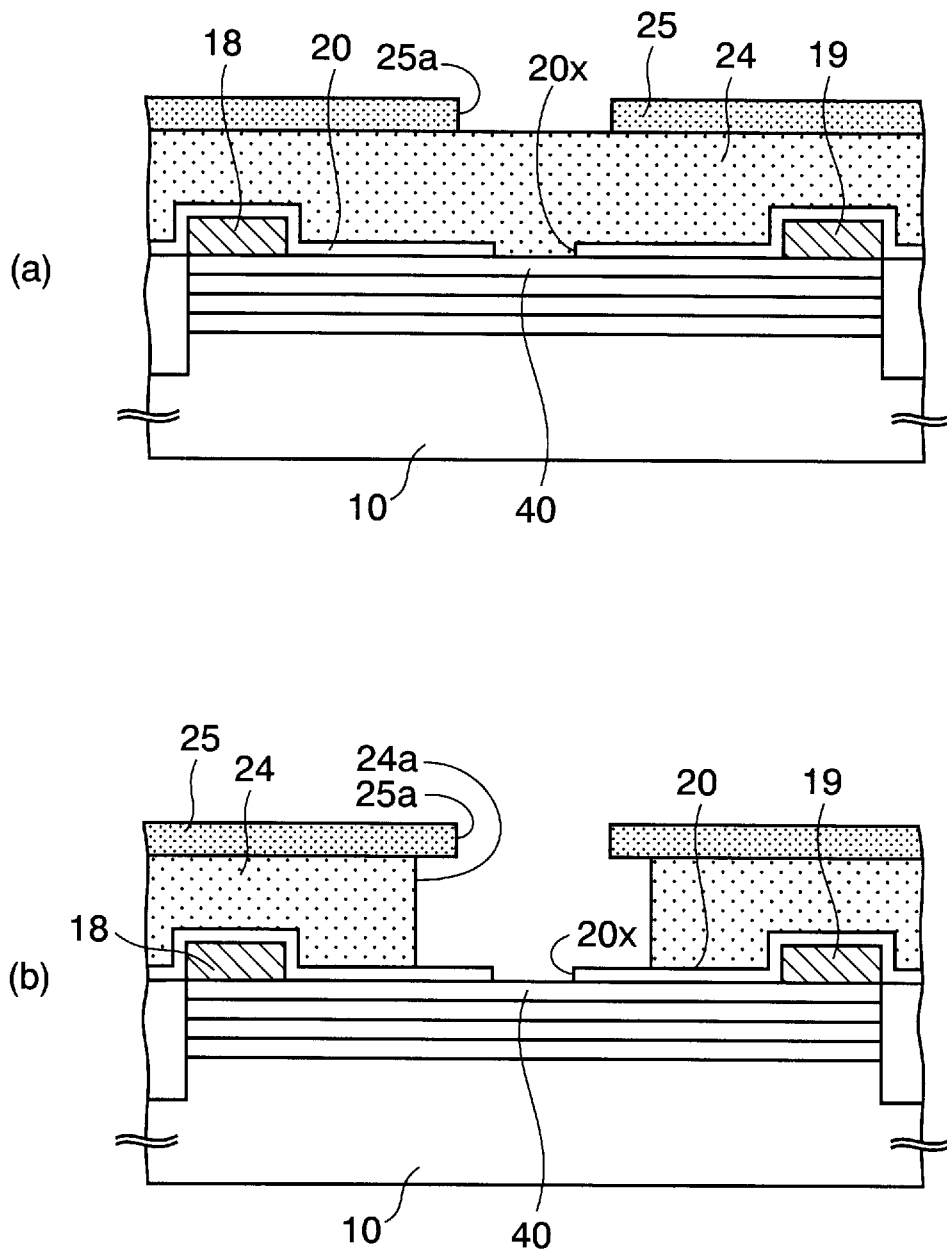
[図19]



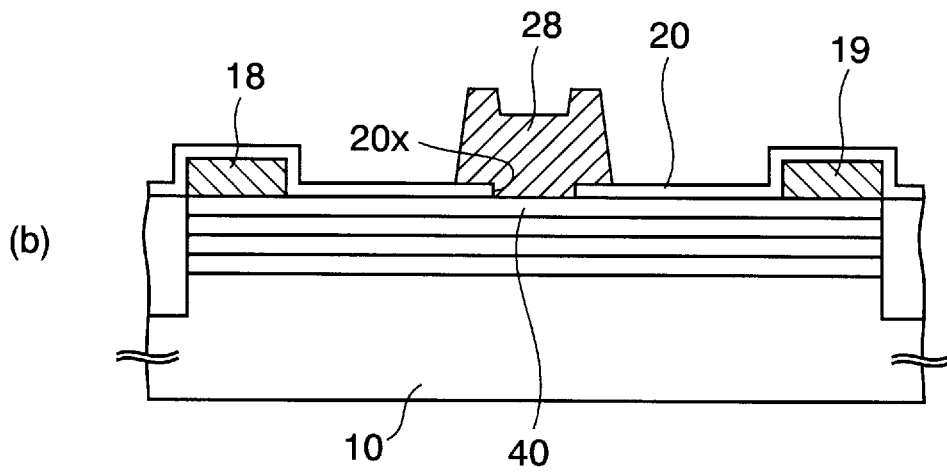
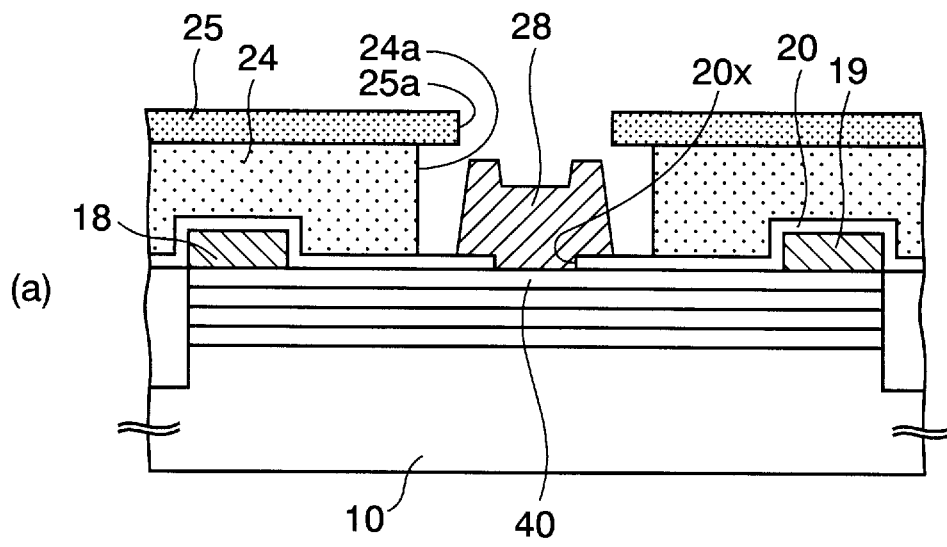
[図20]



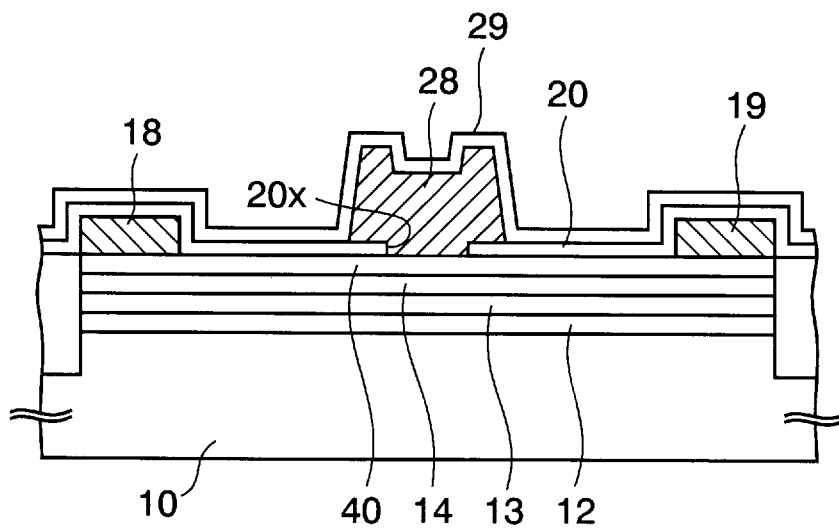
[図21]



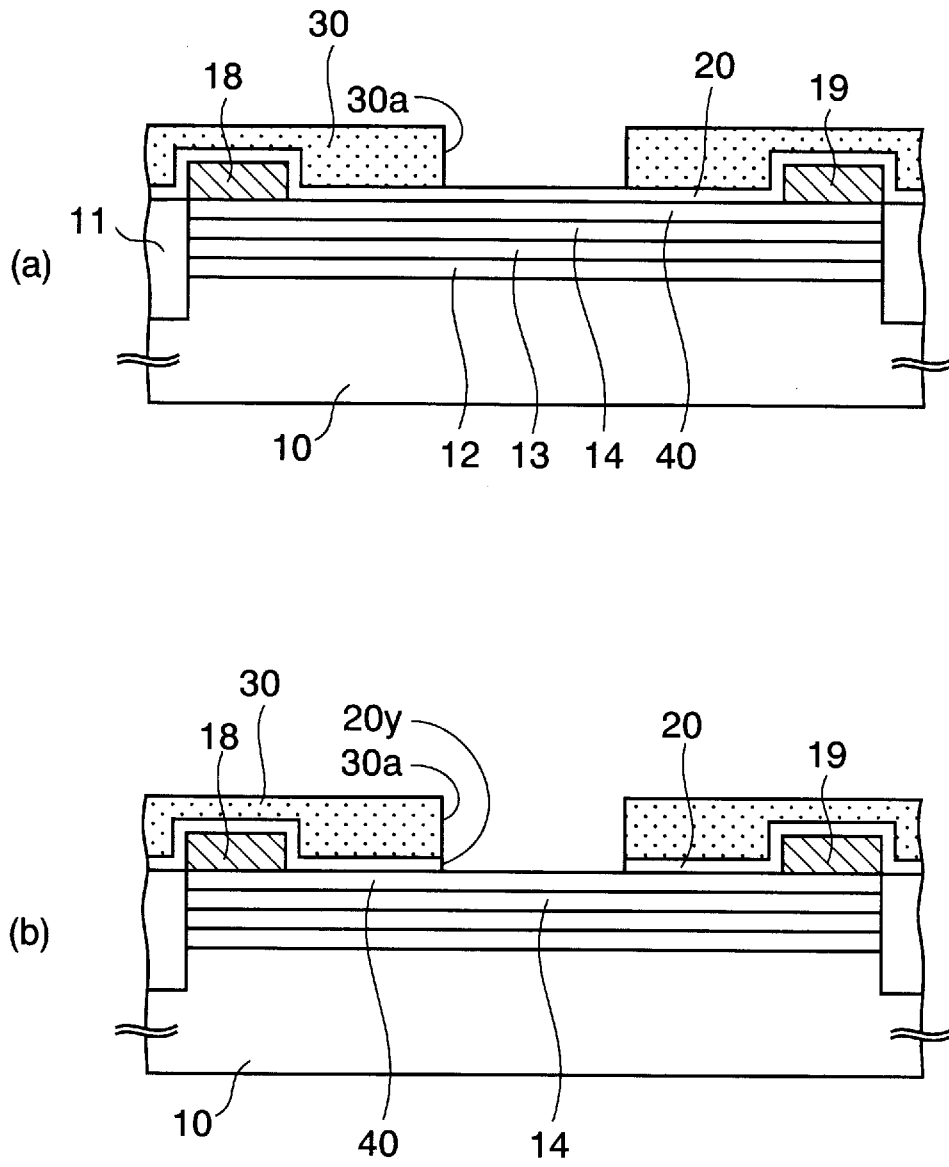
[図22]



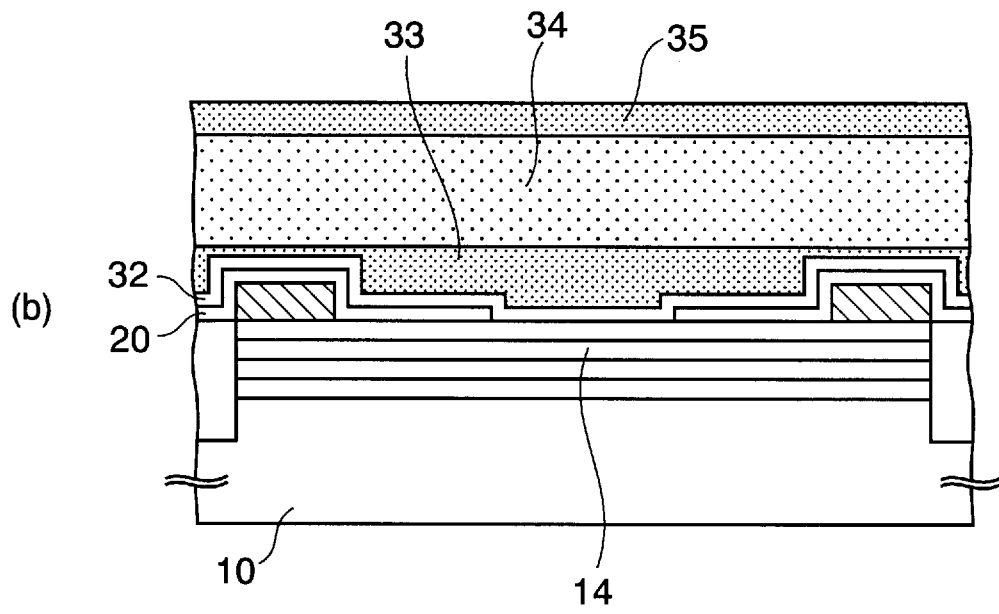
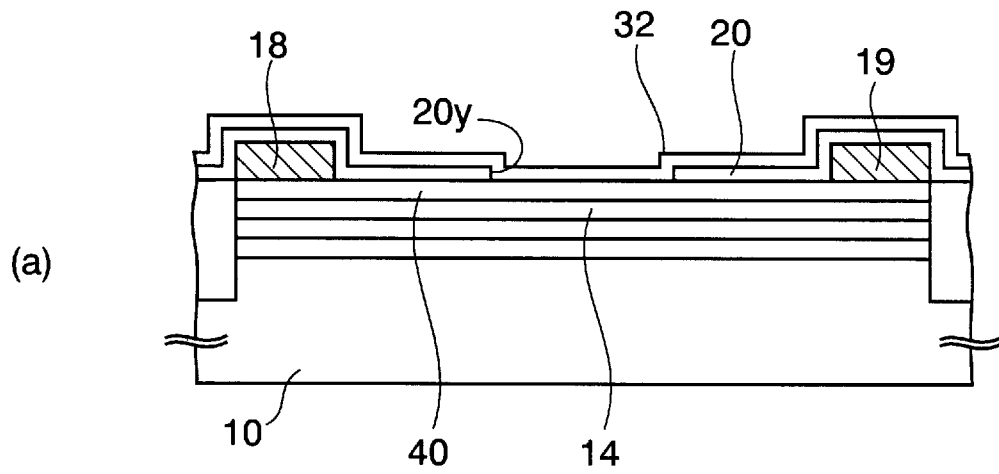
[図23]



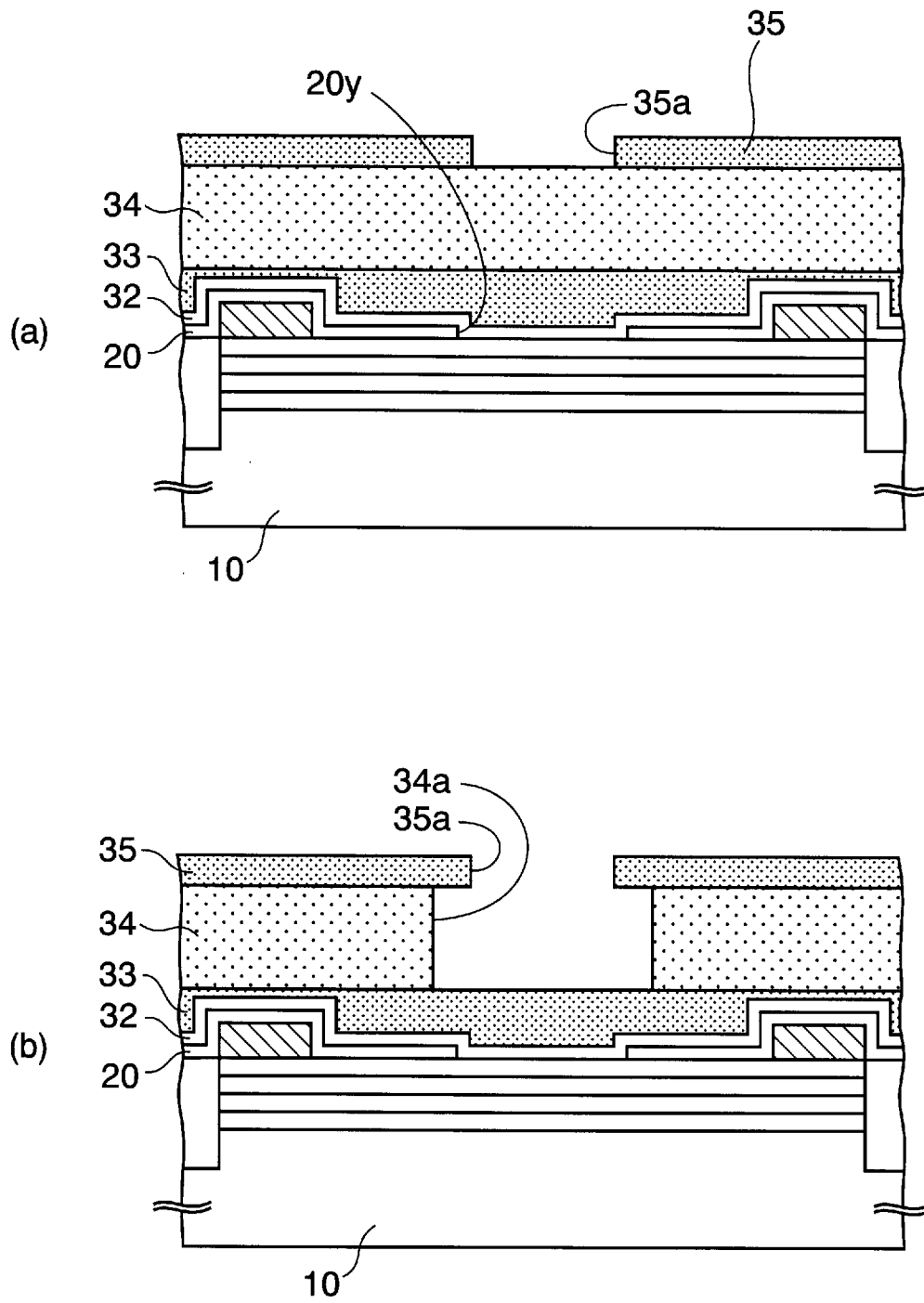
[図24]



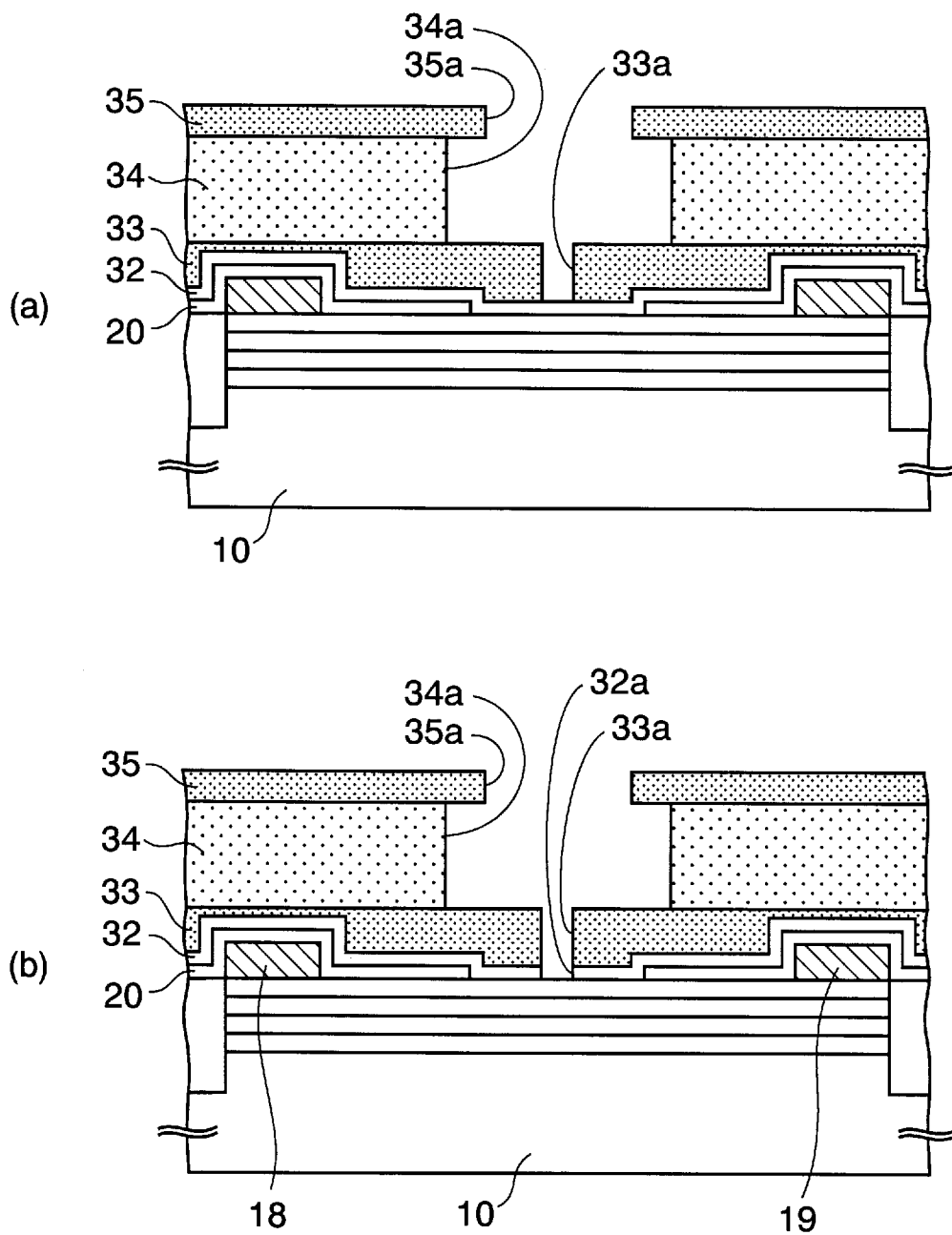
[図25]



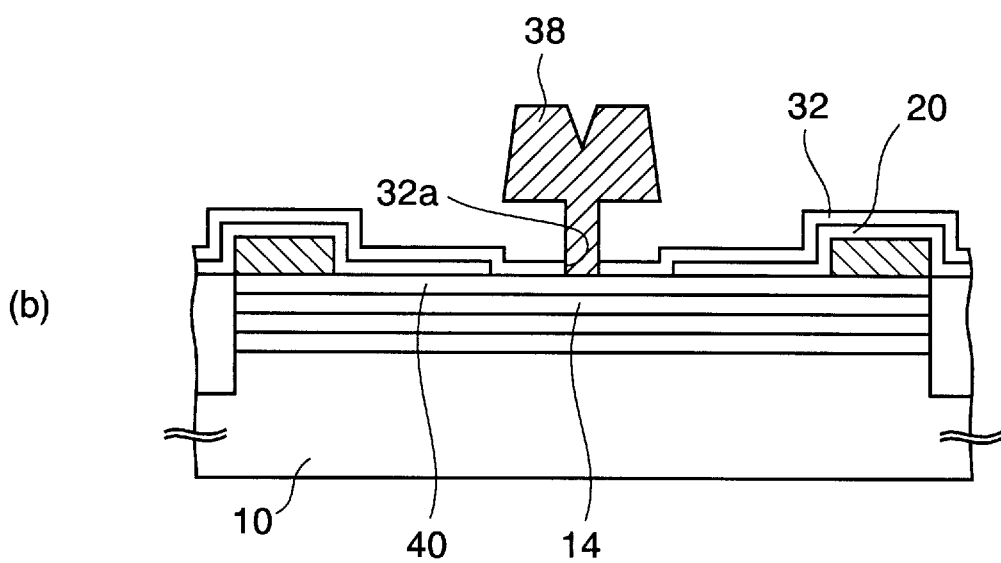
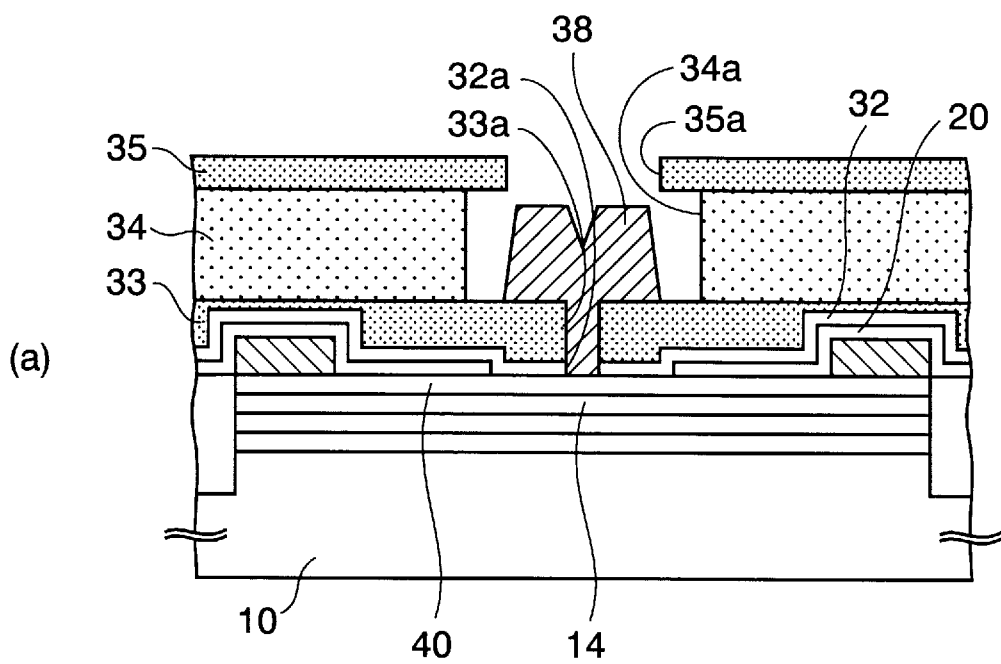
[図26]



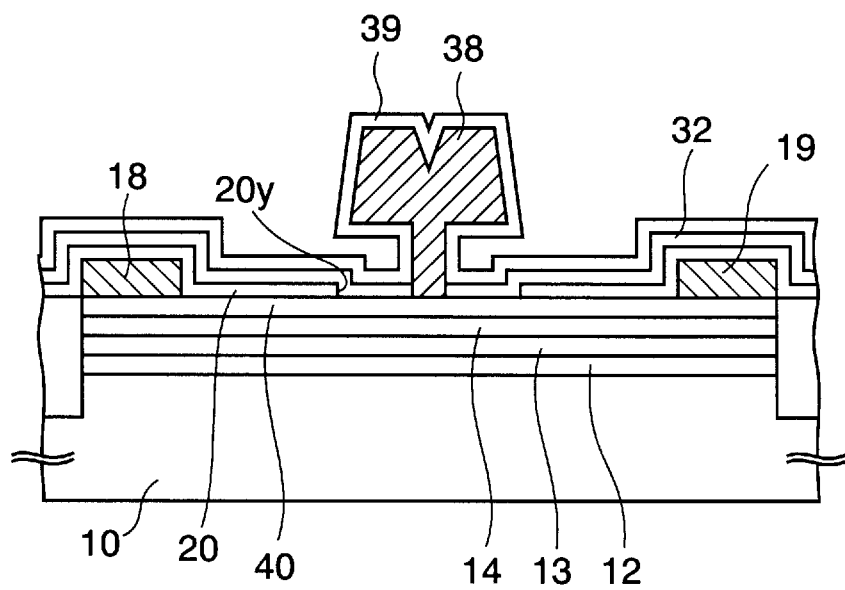
[図27]



[図28]



[図29]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2006/302046

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/318 (2006.01), H01L21/338 (2006.01), H02L29/778(2006.01), H01L29/812 (2006.01)

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L2 1/318, H01L2 1/338, H01L2 9/778, H01L2 9/812, H01L2 1/205

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2006
Kokai Jitsuyo Shinan Koho	1971-2006	Toroku Jitsuyo Shinan Koho	1994-2006

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A —	JP 11-204542 A (Sony Corp.), 30 July, 1999 (30.07.99), Claims; Figs. 1, 3 (Family: none)	1, 3, 4, 8-11 <u>2, 5-7, 12-20</u>
A	JP 64-50535 A (Mitsubishi Electric Corp.), 27 February, 1989 (27.02.89), (Family: none)	1-20
A	JP 2001-135824 A (Semiconductor Energy Laboratory Co., Ltd.), 18 May, 2001 (18.05.01), & US 2004/0007748 A1	1-20
A	JP 2002-110674 A (Toshiba Corp.), 12 April, 2002 (12.04.02), (Family: none)	1-20

Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
01 May, 2006 (01.05.06)

Date of mailing of the international search report
16 May, 2006 (16.05.06)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2-303118 A (Fujitsu Ltd.), 17 December, 1990 (17.12.90), & US 5210052 A & EP 0407233 A1	1-20
A	JP 64-20629 A (NEC Corp.), 24 January, 1989 (24.01.89), (Family: none)	1-20
A	JP 63-161625 A (Matsushita Electric Industrial Co., Ltd.), 05 July, 1988 (05.07.88), (Family: none)	1-20
A	JP 9-102494 A (Toshiba Corp.), 15 April, 1997 (15.04.97), (Family: none)	1-20
A	JP 2001-15693 A (Fujitsu Quantum Devices Ltd.), 19 January, 2001 (19.01.01), & US 2002/0130389 A1	1-20

A. 発明の属する分野の分類 (国際特許分類 (IPC))
 Int.Cl. H01L21/318 (2006.01), H01L21/338 (2006.01), H01L29/778 (2006.01), H01L29/812 (2006.01)

B. 調査を行った分野
 調査を行った最小限資料 (国際特許分類 (IPC))
 Int.Cl. HOIL 21/318, HOIL 21/338, HOIL 29/778, HOIL 29/812, HOIL 21/205

最小限資料以外の資料で調査を行った分野に含まれるもの
 日本国実用新案公報 1922-1996年
 日本国公開実用新案公報 1971-2006年
 日本国実用新案登録公報 1996-2006年
 日本国登録実用新案公報 1994-2006年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献		
引用文献の カテゴリー ^ホ	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X A	JP 11-204542 A (ソニー株式会社) 1999.07.30, 特許請求の範囲, 図1, 図3 (ファミリーなし)	1, 3, 4, 8-11 2, 5-7, 12-20
A	JP 64-50535 A (三菱電機株式会社) 1989.02.27 (ファミリーなし)	1-20

注 C欄の続きにも文献が列挙されている。 R パテントファミリーに関する別紙を参照。

ホ 引用文献のカテゴリー IA) 特に関連のある文献ではなく、一般的な技術水準を示すもの IE) 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの IL) 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) IO) 口頭による開示、使用、展示等に言及する文献 rp) 国際出願日前で、かつ優先権の主張の基礎となる出願	の日の役に公表された文献 IT) 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「XJ」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「YJ」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの I&J 同一パテントファミリー文献
--------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------	----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------

国際調査を完了した日 01.05.2006	国際調査報告の発送日 16.05.2006
--------------------------	--------------------------

国際調査機関の名称及びあて先 日本国特許庁 (ISA/JP) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 田中 永一 電話番号 03-3581-1101 内線 3469	4R	9539
------------------------------------------------------------------------	--------------------------------------------------------	----	------

C (続き). 関連すると認められる文献		
引用文献の カテゴリー	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 2001-135824 A (株式会社半導体エネ/レギー研究所) 2001.05.18 & US 2004/0007748 A1	1-20
A	JP 2002-110674 A (株式会社東芝) 2002.04.12 (ファミリーなし)	1-20
A	JP 2-303118 A (富上通株式会社) 1990.12.17 & US 5210052 A & EP 0407233 A1	1-20
A	JP 64-20629 A (日本電気株式会社) 1989.01.24 (ファミリーなし)	1-20
A	JP 63-161625 A (松下電器産業株式会社) 1988.07.05 (ファミリーなし)	1-20
A	JP 9-102494 A (株式会社東芝) 1997.04.15 (ファミリーなし)	1-20
A	JP 2001-15693 A (富上通カンタムデバイス株式会社) 2001.01.19 & US 2002/0130389 A1	1-20