(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2017-181594
(P2017-181594A)
(43)公開日　平成29年10月5日(2017.10.5)

(51)Int.Cl.			F I			テーマコード（参考）
G09F	9/30	(2006.01)	G09F	9/30	330	2H092
G09F	9/00	(2006.01)	G09F	9/00	346Z	2H192
G02F	1/1345	(2006.01)	G02F	1/1345		2H193
G02F	1/133	(2006.01)	G02F	1/133	550	5C094
G02F	1/1368	(2006.01)	G02F	1/1368		5G435

審査請求 未請求　請求項の数 9　ＯＬ　（全 17 頁）

(21)出願番号　特願2016-64539(P2016-64539)
(22)出願日　平成28年3月28日(2016.3.28)

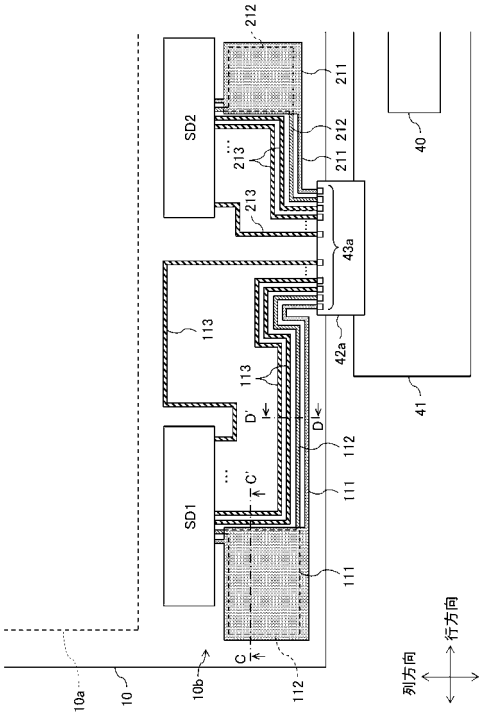
(71)出願人　506087819
パナソニック液晶ディスプレイ株式会社
兵庫県姫路市飾磨区妻鹿日田町１－６
(74)代理人　110000154
特許業務法人はるか国際特許事務所
(72)発明者　岩見　隆
兵庫県姫路市飾磨区妻鹿日田町１－６　パナソニック液晶ディスプレイ株式会社内

Ｆターム(参考)　2H092 GA14 GA17 GA33 GA40 GA59
GA60 GA64 JA26 JA38 JA46
JB33 JB64 JB66 PA06 PA08
PA09 QA09
2H192 AA24 BB13 BC31 CB05 CC04
DA15 DA82 EA22 EA43 FA52
FA73 FB22 FB46 GA03 JA33

最終頁に続く

(54)【発明の名称】表示装置

(57)【要約】
【課題】額縁領域を増加させることなく、ソースドライバの発熱を抑えつつ、電源線からの輻射ノイズの影響を低減する。
【解決手段】表示装置は、画像を表示する表示パネルと、前記表示パネルに駆動信号を出力する駆動回路と、前記表示パネルに形成され、前記駆動回路に電源電圧を供給する電源線と、前記表示パネルに形成され、前記駆動回路にグランド電位を供給するグランド線と、を含み、平面的に見て、前記電源線及び前記グランド線のそれぞれの少なくとも一部が絶縁膜を介して互いに重なっている。
【選択図】図６



【特許請求の範囲】
【請求項１】
画像を表示する表示パネルと、
前記表示パネルに駆動信号を出力する駆動回路と、
前記表示パネルに形成され、前記駆動回路に電源電圧を供給する電源線と、
前記表示パネルに形成され、前記駆動回路にグランド電位を供給するグランド線と、
を含み、
平面的に見て、前記電源線及び前記グランド線のそれぞれの少なくとも一部が絶縁膜を介して互いに重なっている、
ことを特徴とする表示装置。
【請求項２】
前記グランド線は、前記グランド電位を前記駆動回路に供給する第１グランド線及び第２グランド線を含み、
前記電源線、前記第１グランド線及び前記第２グランド線は、それぞれ異なる層に形成されており、かつ、平面的に見て、それぞれの少なくとも一部が絶縁膜を介して互いに重なっている、
ことを特徴とする請求項１に記載の表示装置。
【請求項３】
前記第１グランド線、前記電源線及び前記第２グランド線が、前記絶縁膜を介してこの順に積層されている、
ことを特徴とする請求項２に記載の表示装置。
【請求項４】
前記表示パネルに、前記駆動信号を生成するためのデータ信号及び制御信号を供給する複数の信号線をさらに含み、
前記グランド線は、さらに、前記グランド電位を前記駆動回路に供給する第３グランド線及び第４グランド線を含み、
前記第３グランド線及び前記第４グランド線は、前記第１グランド線及び前記第２グランド線の間の層であって前記複数の信号線と同一層において、前記複数の信号線の少なくとも一部を挟むように両側に形成されており、かつ、前記第１グランド線及び前記第２グランド線に電気的に接続されている、
ことを特徴とする請求項３に記載の表示装置。
【請求項５】
前記電源線は、前記電源電圧を前記駆動回路に供給する第１電源線及び第２電源線を含み、
前記グランド線、前記第１電源線及び前記第２電源線は、それぞれ異なる層に形成されており、かつ、平面的に見て、それぞれの少なくとも一部が絶縁膜を介して互いに重なっている、
ことを特徴とする請求項１に記載の表示装置。
【請求項６】
前記第１電源線、前記グランド線及び前記第２電源線が、前記絶縁膜を介してこの順に積層されている、
ことを特徴とする請求項５に記載の表示装置。
【請求項７】
前記表示パネルに、前記駆動信号を生成するためのデータ信号及び制御信号を供給する信号線をさらに含み、
平面的に見て、前記グランド線の一部は、絶縁膜を介して前記信号線に重なっている、
ことを特徴とする請求項１に記載の表示装置。
【請求項８】
前記駆動回路は、前記表示パネルに複数個搭載されており、
前記表示パネルに接続され、前記駆動信号を生成するためのデータ信号及び制御信号と

、前記電源電圧と、前記グランド電位とを出力する制御回路が搭載された制御回路基板をさらに含み、
　複数の前記駆動回路は、前記表示パネルにおける、前記制御回路基板から出力される前記各信号が入力される入力端子に近い第１駆動回路と、前記第１駆動回路よりも前記入力端子から遠い第２駆動回路とを含み、
　前記第２駆動回路に接続される前記電源線及び前記グランド線が互いに重なる重畳部分の面積は、前記第１駆動回路に接続される前記電源線及び前記グランド線が互いに重なる重畳部分の面積より大きい、
　ことを特徴とする請求項１に記載の表示装置。
【請求項９】
　前記表示パネルは、複数のゲート線と、複数のデータ線と、共通電極と、前記共通電極に共通電圧を供給する共通配線と、複数の画素電極と、を含み、
　前記電源線及び前記グランド線の一方は前記複数のゲート線と同一層に形成されており、他方は前記複数のデータ線と同一層に形成されている、又は、
　前記電源線及び前記グランド線の一方は前記複数のデータ線と同一層に形成されており、他方は前記共通配線と同一層に形成されている、
　ことを特徴とする請求項１に記載の表示装置。
【発明の詳細な説明】
【技術分野】
【０００１】
　本発明は、表示装置に関する。
【背景技術】
【０００２】
　近年、表示装置において、表示パネルの高解像度化に伴い、映像信号の伝送速度が高速化し、またソースドライバの個数が増加する傾向にある。これにより、ソースドライバ１個当たりの駆動パルス数が増加し、ソースドライバの発熱が増加している。また、表示パネル内に配置される配線の長さが長くなり、特に電源線からの輻射ノイズが増加している。
【０００３】
　従来、表示パネルの高解像度化に対応する技術として、例えば特許文献１には、画像信号線（データ線）の増加に伴って発生する高周波のクロックノイズ等を低減する技術が開示されている。
【先行技術文献】
【特許文献】
【０００４】
【特許文献１】特開２００９－２０５２８号公報
【発明の概要】
【発明が解決しようとする課題】
【０００５】
　近年では表示パネルの高解像度化とともに、表示パネルの狭額縁化が提案されている。狭額縁の表示パネルでは、配線領域が狭く配線パターンが細長くなるため、配線抵抗が増加して上記輻射ノイズがさらに増加する。このような表示装置においては、従来の技術を適用したとしても、ソースドライバの発熱及び電源線からの輻射ノイズを十分に低減することが困難である。
【０００６】
　本発明は、上記実情に鑑みてなされたものであり、その目的は、額縁領域を増加させることなく、ソースドライバの発熱を抑えつつ、電源線からの輻射ノイズの影響を低減することができる表示装置を提供することにある。
【課題を解決するための手段】
【０００７】

上記課題を解決するために、本発明に係る表示装置は、画像を表示する表示パネルと、前記表示パネルに駆動信号を出力する駆動回路と、前記表示パネルに形成され、前記駆動回路に電源電圧を供給する電源線と、前記表示パネルに形成され、前記駆動回路にグランド電位を供給するグランド線と、を含み、平面的に見て、前記電源線及び前記グランド線のそれぞれの少なくとも一部が絶縁膜を介して互いに重なっている、ことを特徴とする。

【０００８】

本発明に係る表示装置では、前記グランド線は、前記グランド電位を前記駆動回路に供給する第１グランド線及び第２グランド線を含み、前記電源線、前記第１グランド線及び前記第２グランド線は、それぞれ異なる層に形成されており、かつ、平面的に見て、それぞれの少なくとも一部が絶縁膜を介して互いに重なっていてもよい。

【０００９】

本発明に係る表示装置では、前記第１グランド線、前記電源線及び前記第２グランド線が、前記絶縁膜を介してこの順に積層されていてもよい。

【００１０】

本発明に係る表示装置では、前記表示パネルに、前記駆動信号を生成するためのデータ信号及び制御信号を供給する複数の信号線をさらに含み、前記グランド線は、さらに、前記グランド電位を前記駆動回路に供給する第３グランド線及び第４グランド線を含み、前記第３グランド線及び前記第４グランド線は、前記第１グランド線及び前記第２グランド線の間の層であって前記複数の信号線と同一層において、前記複数の信号線の少なくとも一部を挟むように両側に形成されており、かつ、前記第１グランド線及び前記第２グランド線に電気的に接続されていてもよい。

【００１１】

本発明に係る表示装置では、前記電源線は、前記電源電圧を前記駆動回路に供給する第１電源線及び第２電源線を含み、前記グランド線、前記第１電源線及び前記第２電源線は、それぞれ異なる層に形成されており、かつ、平面的に見て、それぞれの少なくとも一部が絶縁膜を介して互いに重なっていてもよい。

【００１２】

本発明に係る表示装置では、前記第１電源線、前記グランド線及び前記第２電源線が、前記絶縁膜を介してこの順に積層されていてもよい。

【００１３】

本発明に係る表示装置では、前記表示パネルに、前記駆動信号を生成するためのデータ信号及び制御信号を供給する信号線をさらに含み、平面的に見て、前記グランド線の一部は、絶縁膜を介して前記信号線に重なっていてもよい。

【００１４】

本発明に係る表示装置では、前記駆動回路は、前記表示パネルに複数個搭載されており、前記表示パネルに接続され、前記駆動信号を生成するためのデータ信号及び制御信号と、前記電源電圧と、前記グランド電位とを出力する制御回路が搭載された制御回路基板をさらに含み、複数の前記駆動回路は、前記表示パネルにおける、前記制御回路基板から出力される前記各信号が入力される入力端子に近い第１駆動回路と、前記第１駆動回路よりも前記入力端子から遠い第２駆動回路とを含み、前記第２駆動回路に接続される前記電源線及び前記グランド線が互いに重なる重畳部分の面積は、前記第１駆動回路に接続される前記電源線及び前記グランド線が互いに重なる重畳部分の面積より大きくてもよい。

【００１５】

本発明に係る表示装置では、前記表示パネルは、複数のゲート線と、複数のデータ線と、共通電極と、前記共通電極に共通電圧を供給する共通配線と、複数の画素電極と、を含み、前記電源線及び前記グランド線の一方は前記複数のゲート線と同一層に形成されており、他方は前記複数のデータ線と同一層に形成されている、又は、前記電源線及び前記グランド線の一方は前記複数のデータ線と同一層に形成されており、他方は前記共通配線と同一層に形成されていてもよい。

【発明の効果】

【００１６】
本発明に係る表示装置の構成によれば、額縁領域を増加させることなく、ソースドライバの発熱を抑えつつ、電源線からの輻射ノイズの影響を低減することができる。
【図面の簡単な説明】
【００１７】
【図１】本発明の実施形態に係る液晶表示装置の概略構成を示す平面図である。
【図２】本実施形態に係る表示パネルにおける表示領域の概略構成を示す平面図である。
【図３】本実施形態に係る表示パネルの一部の構成を示す平面図である。
【図４】図３のＡ－Ａ´断面図である。
【図５】図３のＢ－Ｂ´断面図である。
【図６】本実施形態に係る表示パネルにおける非表示領域の一部の構成を示す平面図である。
【図７】図６のＣ－Ｃ´断面図である。
【図８】図６のＤ－Ｄ´断面図である。
【図９】本実施形態に係るグランド線及び電源線の他の配置構成を示す平面図である。
【図１０】図９のＥ－Ｅ´断面図である。
【図１１】本実施形態に係るグランド線及び電源線の他の配置構成を示す断面図である。
【図１２】本実施形態に係るグランド線及び電源線の他の配置構成を示す断面図である。
【図１３】本実施形態に係るグランド線及び電源線の他の配置構成を示す断面図である。
【図１４】本実施形態に係るグランド線及び電源線の他の配置構成を示す平面図である。
【図１５】図１４のＦ－Ｆ´断面図である。
【図１６】本実施形態に係るグランド線及び電源線の他の配置構成を示す断面図である。
【図１７】本実施形態に係るグランド線及び電源線の他の配置構成を示す断面図である。
【図１８】本実施形態に係るグランド線及び電源線の他の配置構成を示す断面図である。
【発明を実施するための形態】
【００１８】
本発明の実施形態について、図面を用いて以下に説明する。以下の実施形態では、液晶表示装置を例に挙げるが、本発明に係る表示装置は、液晶表示装置に限定されるものではなく、例えば有機ＥＬ表示装置等であってもよい。
【００１９】
図１は、本実施形態に係る液晶表示装置の概略構成を示す平面図である。液晶表示装置１は、画像を表示する表示パネル１０と、表示パネル１０を駆動する駆動回路（ソースドライバＳＤ、ゲートドライバＧＤ、コモンドライバ（図示せず））と、各駆動回路を制御する制御回路４０と、制御回路４０を搭載する制御回路基板４１と、表示パネル１０に背面側から光を照射するバックライト（図示せず）とを含んで構成されている。表示パネル１０は、領域に大別すると、画像を表示する表示領域１０ａと、表示領域１０ａの周囲の非表示領域１０ｂ（額縁領域ともいう。）とで構成されている。ソースドライバＳＤ及びゲートドライバＧＤは、非表示領域１０ｂに設けられている。図１では、４個のソースドライバＳＤ１～ＳＤ４と、４個のゲートドライバＧＤ１～ＧＤ４とを示しているが、ソースドライバＳＤ及びゲートドライバＧＤの数量は限定されない。尚、以下では、各ソースドライバＳＤ１～ＳＤ４に共通する説明をする際には、ソースドライバＳＤと称し、同様、各ゲートドライバＧＤ１～ＧＤ４に共通する説明をする際には、ゲートドライバＧＤと称す。
【００２０】
各ソースドライバＳＤは、対応する複数のデータ線１１にデータ信号（データ電圧）を出力する。各ゲートドライバＧＤは、対応する複数のゲート線１２にゲート信号（ゲート電圧）を出力する。コモンドライバは、共通電圧Ｖｃｏｍをコモン線１７（図３参照）に出力する。
【００２１】
表示パネル１０と制御回路基板４１とはＦＰＣ（Flexible Printed Circuits）を介し

て互いに電気的に接続されている。図１では、２個のＦＰＣ４２ａ，４２ｂを例示している。ＦＰＣの数量は、ソースドライバＳＤの数量、表示パネル１０の大きさ及び制御回路基板４１の大きさ等に応じて設定される。但し、制御回路基板４１は、基板面積が大きくなるとコストが増大するため、必要最小限の大きさに設定され、ＦＰＣの数量及び配置も、これに応じて設定される。このため、例えば図１に示す例では、制御回路４０から出力される、ソースドライバＳＤ１，ＳＤ２用のデータ信号及び制御信号は、ＦＰＣ４２ａを介して入力端子４３ａに入力され、入力端子４３ａに接続された各配線を介してソースドライバＳＤ１，ＳＤ２に入力される。また制御回路４０から出力される、ソースドライバＳＤ３，ＳＤ４用のデータ信号及び制御信号は、ＦＰＣ４２ｂを介して入力端子４３ｂに入力され、入力端子４３ｂに接続された各配線を介してソースドライバＳＤ３，ＳＤ４に入力される。ここで、入力端子４２ａとソースドライバＳＤ１とを接続する配線には、グランド電位を伝送するグランド線１１１と、電源電圧を伝送する電源線１１２と、データ信号及び制御信号を伝送する信号線１１３とを含む。また入力端子４２ａとソースドライバＳＤ２とを接続する配線には、グランド電位を伝送するグランド線２１１と、電源電圧を伝送する電源線２１２と、データ信号及び制御信号を伝送する信号線２１３とを含む。入力端子４２ｂとソースドライバＳＤ３，ＳＤ４とを接続する配線も同様である。尚、上記グランド電位は、例えば低電位側電源電位であり、上記電源電圧は、例えば高電位側電源電位である。これらの電位は、制御回路基板４１に搭載される電源回路（図示せず）から出力される。

【００２２】

各ソースドライバＳＤとＦＰＣ４２ａ，４２ｂと制御回路基板４１それぞれにおける上記配置の関係上、入力端子４２ａからソースドライバＳＤ１までの距離が、入力端子４２ａからソースドライバＳＤ２までの距離よりも長いため、グランド線１１１、電源線１１２及び信号線１１３のそれぞれの長さは、グランド線２１１、電源線２１２及び信号線２１３のそれぞれの長さよりも長くなっている。同様に、グランド線４１１、電源線４１２及び信号線４１３のそれぞれの長さは、グランド線３１１、電源線３１２及び信号線３１３のそれぞれの長さよりも長くなっている。尚、ゲートドライバＧＤについては省略しているが、ソースドライバＳＤに関する上記構成と同様である。すなわち、例えば、入力端子４２ａからゲートドライバＧＤ２までの距離が、入力端子４２ａからゲートドライバＧＤ１までの距離よりも長いため、入力端子４２ａとゲートドライバＧＤ２とを接続する各配線の長さは、入力端子４２ａとゲートドライバＧＤ１とを接続する各配線の長さよりも長くなっている。同様に、入力端子４２ｂとゲートドライバＧＤ４とを接続する各配線の長さは、入力端子４２ｂとゲートドライバＧＤ３とを接続する各配線の長さよりも長くなっている。

【００２３】

図２は表示パネル１０における表示領域１０ａの概略構成を示す平面図である。図３は表示パネル１０の一部の構成を示す平面図である。図４は図３のＡ－Ａ´断面図であり、図５は図３のＢ－Ｂ´断面図である。図４に示すように、表示パネル１０は、背面側に配置される薄膜トランジスタ基板１００（以下、ＴＦＴ基板という。）と、前面側（表示面側）に配置され、ＴＦＴ基板１００に対向するカラーフィルタ基板２００（以下、ＣＦ基板という。）と、ＴＦＴ基板１００及びＣＦ基板２００の間に挟持される液晶層３００と、を含んでいる。なお、図３は便宜上、前面側から、ＣＦ基板２００を透視し、ＴＦＴ基板１００を見た状態を示している。

【００２４】

ＴＦＴ基板１００には、第１方向（例えば列方向）に延在する複数のデータ線１１と、平面的に見てデータ線１１に重なるように第１方向（例えば列方向）に延在する複数のコモン線１７と、第１方向とは異なる第２方向（例えば行方向）に延在する複数のゲート線１２とが形成され、複数のデータ線１１と複数のゲート線１２とのそれぞれの交差部近傍にＴＦＴ１３が形成され、隣り合う２本のデータ線１１と隣り合う２本のゲート線１２とにより囲まれる矩形領域が１つの画素１４として規定され、該画素１４がマトリクス状（

行方向及び列方向）に複数配置されている。複数のデータ線１１及び複数のコモン線１７はそれぞれ、行方向に等間隔で配置されており、複数のゲート線１２は、列方向に等間隔で配置されている。尚、図２では、便宜上、コモン線１７をデータ線１１に隣接して表している。

【００２５】

各画素１４には画素電極１５が設けられている。図３に示すように、各画素電極１５は、開口部（例えばスリット）を有し、ストライプ状に形成されている。またＴＦＴ基板１００には、各画素１４に共通する１つの共通電極１６（図４及び図５参照）が形成されている。ＴＦＴ１３は、ゲート絶縁膜１０２（図４及び図５参照）上に、非晶質シリコン（ａ－Ｓｉ）からなる半導体層８が形成され、半導体層８上にドレイン電極６及びソース電極７が形成されている。ドレイン電極６はデータ線１１に電気的に接続され、ソース電極７と画素電極１５とはコンタクトホール９を介して電気的に接続されている。

【００２６】

各データ線１１には、対応するソースドライバＳＤからデータ信号（データ電圧）が供給され、各ゲート線１２には、対応するゲートドライバＧＤからゲート信号（ゲート電圧）が供給される。共通電極１６には、コモンドライバからコモン線１７を介して共通電圧Ｖｃｏｍが供給される。ゲート信号のオン電圧（ゲートオン電圧）がゲート線１２に供給されると、ゲート線１２に接続されたＴＦＴ１３がオンし、ＴＦＴ１３に接続されたデータ線１１を介して、データ電圧が画素電極１５に供給される。画素電極１５に供給されたデータ電圧と、共通電極１６に供給された共通電圧Ｖｃｏｍとの差により電界が生じる。この電界により液晶を駆動してバックライトの光の透過率を制御することによって画像表示を行う。なお、カラー表示を行う場合は、ストライプ状の着色部で形成された赤色、緑色、青色に対応するそれぞれの画素１４の画素電極１５に接続されたそれぞれのデータ線１１に、所望のデータ電圧を供給することにより実現される。

【００２７】

次に、図４及び図５を用いて、画素１４の断面構造について具体的に説明する。図４は、図３において画素１４の開口領域を行方向に切断した断面（Ａ－Ａ´断面）を示し、図５は、図３において画素１４の開口領域を列方向に切断した断面（Ｂ－Ｂ´断面）を示している。

【００２８】

ＴＦＴ基板１００において、ガラス基板１０１上にゲート線１２が形成されている。ゲート線１２を覆うように、ゲート絶縁膜１０２が形成されている。ゲート絶縁膜１０２上には半導体層８（図２参照）が形成されている。半導体層８上には、データ線１１と、ＴＦＴ１３を構成するドレイン電極６及びソース電極７（図２参照）とが形成されている。ドレイン電極６は、データ線１１に電気的に接続されている。データ線１１とドレイン電極６とソース電極７とを覆うように、絶縁膜１０３が形成されている。絶縁膜１０３は、有機絶縁膜を含んでもよい。すなわち、絶縁膜１０３は、無機絶縁膜及び有機絶縁膜の２層で構成されてもよい。絶縁膜１０３上には共通電極１６が形成されている。共通電極１６は、透明の電極材料ＩＴＯで構成されている。各画素１４の領域は、ＴＦＴ１３が形成される領域を除いて、共通電極１６に覆われている。すなわち、共通電極１６は、データ線１１を覆っており、シールド電極としての機能を有している。共通電極１６上には、平面的に見てデータ線１１に重なるようにコモン線１７が形成されている。

【００２９】

共通電極１６及びコモン線１７を覆うように、上層絶縁膜１０４が形成されている。上層絶縁膜１０４上には、画素電極１５が形成されている。画素電極１５は、透明の電極材料ＩＴＯで構成されている。画素電極１５は、絶縁膜１０３及び上層絶縁膜１０４に形成されたコンタクトホール９（図３参照）を介して、ソース電極７に電気的に接続されている。画素電極１５を覆うように配向膜１０５が形成されている。なお、図４及び図５に示す構成では、共通電極１６が下層に配置され、画素電極１５が上層に配置されているが、画素電極１５が下層に配置され、共通電極１６が上層に配置されてもよい。

【００３０】
ＣＦ基板２００において、ガラス基板２０１上に着色部２０２とブラックマトリクス２０３とが形成されている。着色部２０２は、例えば赤色、緑色及び青色の顔料分散レジストによる着色層により形成されており、ブラックマトリクス２０３は、黒色の顔料を用いた樹脂材料あるいは金属材料で形成されている。着色部２０２及びブラックマトリクス２０３を覆うようにオーバーコート膜２０４が形成されており、オーバーコート膜２０４の上に配向膜２０５が形成されている。
【００３１】
液晶層３００は、正又は負の誘電率異方性を有する液晶分子３０１を含む。
【００３２】
上記の例では、ＩＰＳ方式の画素構造を挙げたが、これに限定されない。また、画素１４を構成する各部の積層構造は、上記の構成に限定されない。
【００３３】
次に、非表示領域１０ｂに配置される各配線の構成について説明する。図６は、非表示領域１０ｂの一部の構成を示す平面図である。図７は図６のＣ－Ｃ´断面図であり、図８は図６のＤ－Ｄ´断面図である。下では、主に、ソースドライバＳＤに関する構成を例に挙げて説明する。
【００３４】
図６に示すように、非表示領域１０ｂには、制御回路４０から出力され、ＦＰＣ４２ａを介して入力端子４３ａに入力された各信号をソースドライバＳＤ１に伝送する配線、例えば、グランド電位を伝送するグランド線１１１と、電源電圧を伝送する電源線１１２と、データ信号及び制御信号を伝送する信号線１１３とが配置されている。同様に、制御回路４０から出力され、ＦＰＣ４２ａを介して入力端子４３ａに入力された各信号をソースドライバＳＤ２に伝送する配線、例えば、グランド電位を伝送するグランド線２１１と、電源電圧を伝送する電源線２１２と、データ信号及び制御信号を伝送する信号線２１３とが配置されている。
【００３５】
図６に示すように、各信号線１１３は、入力端子４３ａからソースドライバＳＤ１まで互いに並行するように配置されている。グランド線１１１及び電源線１１２は、平面的に見て（図６参照）、それぞれの少なくとも一部が互いに重なるように配置されている。図６に示す例では、グランド線１１１及び電源線１１２は、入力端子４３ａの近傍の領域と、行方向に延在する領域とでは互いに並行するように配置され、ソースドライバＳＤ１の近傍の領域であって、信号線１１３が配置されていない空いたスペース（図１の領域１１４）では互いに重なるように配置されている（図６では左下の領域）。また、グランド線１１１及び電源線１１２が互いに重なり合う部分（以下、重畳部分という。）は、領域１１４を満たすように、それぞれの面積が大きく形成されている。尚、平面的に見て、グランド線１１１及び電源線１１２の面積が拡大された部分では、グランド線１１１が電源線１１２よりも大きいことが好ましい。
【００３６】
図７及び図８に示すように、ＴＦＴ基板１００において、ガラス基板１０１上に電源線１１２が形成されており、電源線１１２を覆うように、ゲート絶縁膜１０２が形成されている。ゲート絶縁膜１０２上にはグランド線１１１と、信号線１１３とが形成されている。グランド線１１１と信号線１１３とを覆うように絶縁膜１０３が形成されており、絶縁膜１０３上には上層絶縁膜１０４が形成されている。ゲート線１２及び電源線１１２は、例えば銅（Ｃｕ）及びモリブデン（Ｍｏ）の２層構造を有する。電源線１１２は、ゲート線１２（図５参照）と同一層に形成されるため、ゲート線１２を形成する際に使用するマスクを利用して、ゲート線１２と電源線１１２とを同一工程で形成することができる。尚、同一工程で同時に形成することができる。また、グランド線１１１及び信号線１１３は、データ線１１（図４参照）と同一層に形成されるため、データ線１１を形成する際に使用するマスクを利用して、データ線１１とグランド線１１１と信号線１１３とを同一工程

で形成することができる。

【００３７】

上記構成によれば、グランド線１１１及び電源線１１２の面積を拡大した重畳部分がソースドライバＳＤ１の放熱経路となるため、ソースドライバＳＤ１の放熱効果を高めることができる。よって、ソースドライバＳＤ１の発熱を抑えることができる。また、重畳部分は、グランド線１１１及び電源線１１２が絶縁膜１０２を介して対向するため、グランド線１１１及び電源線１１２を電極としたコンデンサ（バイパスコンデンサ）として機能する。このため、ソースドライバＳＤ１の近傍の電源容量を増加させることができる。よって、電源線１１２からの輻射ノイズの影響を低減することができる。また、非表示領域１０ｂにおいて空いたスペースに、グランド線１１１及び電源線１１２を重畳させつつ延伸させることができるため、額縁領域が増加することもない。

【００３８】

グランド線１１１及び電源線１１２の配置構成に限定されない。図９は、グランド線１１１及び電源線１１２の他の配置構成を示す平面図である。図１０は、図９のＥ－Ｅ´断面図である。図９及び図１０に示すように、電源線１１２がグランド線１１１より上層に形成されてもよい。具体的には、ＴＦＴ基板１００において、ガラス基板１０１上にグランド線１１１が形成されており、グランド線１１１を覆うように、ゲート絶縁膜１０２が形成されている。ゲート絶縁膜１０２上に電源線１１２と信号線１１３とが形成されている。電源線１１２と信号線１１３とを覆うように絶縁膜１０３が形成されており、絶縁膜１０３上には上層絶縁膜１０４が形成されている。

【００３９】

図１１は、グランド線１１１及び電源線１１２の他の配置構成を示す断面図である。図１１に示す構成では、図６及び図７に示すグランド線１１１の面積がさらに大きくなるように形成されている。具体的には、グランド線１１１が電源線１１２よりも列方向にさらに延在している。上記構成によれば、グランド線１１１及び電源線１１２の重畳部分は、バイパスコンデンサとして機能するため、上述した効果と同様に電源線１１２からの輻射ノイズの影響を低減することができる。また、グランド線１１１を延長しているため、図６及び図７に示す構成と比較して放熱効果をより高めることができる。

【００４０】

尚、グランド線１１１及び電源線１１２の一方が、ゲート絶縁膜１０２上に形成され、他方が絶縁膜１０３上に形成されてもよい。

【００４１】

図１２は、グランド線１１１及び電源線１１２の他の配置構成を示す断面図である。図１２に示す構成では、図６及び図７に示す構成において、グランド線１１１の上層にさらに第２電源線１１２ｂが形成されている。具体的には、ＴＦＴ基板１００において、ガラス基板１０１上に第１電源線１１２ａが形成されており、第１電源線１１２ａを覆うように、ゲート絶縁膜１０２が形成されている。ゲート絶縁膜１０２上には、グランド線１１１と信号線１１３とが形成されている。グランド線１１１と信号線１１３とを覆うように絶縁膜１０３が形成されている。絶縁膜１０３上には第２電源線１１２ｂが形成されており、第２電源線１１２ｂを覆うように、上層絶縁膜１０４が形成されている。第２電源線１１２ｂは、平面的に見て、グランド線１１１に重なるように形成されている。

【００４２】

上記構成によれば、第１電源線１１２ａ及びグランド線１１１により第１バイパスコンデンサが形成され、第２電源線１１２ｂ及びグランド線１１１により第２バイパスコンデンサが形成されるため、電源容量をより増加させることができる。よって、電源線１１２からの輻射ノイズの影響をより低減することができる。また、電源線１１２の面積を第２電源線１１２ｂの面積分だけ増加させることができるため、図６及び図７に示す構成と比較して放熱効果をより高めることができる。また、第２電源線１１２ｂは、共通配線１７（図４参照）と同一層に形成されるため、共通配線１７を形成する際に使用するマスクを利用して、共通配線１７と第２電源線１１２ｂとを同一工程で形成することができる。尚

、共通配線１７と第２電源線１１２ｂとは、例えば銅（Ｃｕ）の単層構造とすることができる。

【００４３】

図１３は、グランド線１１１及び電源線１１２の他の配置構成を示す断面図である。図１３に示す構成では、図１０に示す構成において、電源線１１２の上層にさらにグランド線が形成されている。具体的には、ＴＦＴ基板１００において、ガラス基板１０１上に第１グランド線１１１ａが形成されている。第１グランド線１１１ａを覆うように、ゲート絶縁膜１０２が形成されている。ゲート絶縁膜１０２上には、第２グランド線１１１ｂと電源線１１２と信号線１１３とが形成されている。第２グランド線１１１ｂと電源線１１２と信号線１１３とを覆うように絶縁膜１０３が形成されている。絶縁膜１０３上には第３グランド線１１１ｃが形成されており、第３グランド線１１１ｃを覆うように、上層絶縁膜１０４が形成されている。第３グランド線１１１ｃは、平面的に見て、電源線１１２に重なるように形成されている。第１グランド線１１１ａ及び第２グランド線１１１ｂは、ゲート絶縁膜１０２に形成されたコンタクトホールを介して互いに電気的に接続されており、第２グランド線１１１ｂ及び第３グランド線１１１ｃは、絶縁膜１０３に形成されたコンタクトホールを介して互いに電気的に接続されている。電源線１１２の面積が拡大された部分では、第２グランド線１１１ｂが、電源線１１２と同一層において、電源線１１２を挟むように両側に形成されている。上記構成によれば、電源線１１２がグランド線１１１ａ，１１１ｂ，１１１ｃで囲まれるため、電源線１１２からの輻射ノイズを封じ込めることができる。また、第１グランド線１１１ａ及び電源線１１２により第１バイパスコンデンサが形成され、第３グランド線１１１ｃ及び電源線１１２により第２バイパスコンデンサが形成されるため、電源容量をより増加させることができる。よって、電源線１１２からの輻射ノイズの影響をより低減することができる。また、グランド線１１１の面積を、第２グランド線１１１ｂの面積分と第３グランド線１１１ｃの面積分だけ増加させることができるため、図１０に示す構成と比較して放熱効果をより高めることができる。

【００４４】

図１４は、グランド線１１１及び電源線１１２の他の配置構成を示す平面図である。図１５は図１４のＦ－Ｆ´断面図であり、図１４及び図１５に示す構成では、図１０に示す構成において、電源線１１２及び信号線１１３の上層にさらに第２グランド線１１１ｂが形成されている。具体的には、ＴＦＴ基板１００において、ガラス基板１０１上に第１グランド線１１１ａが形成されている。第１グランド線１１１ａを覆うように、ゲート絶縁膜１０２が形成されている。ゲート絶縁膜１０２上には、電源線１１２と信号線１１３とが形成されている。電源線１１２と信号線１１３とを覆うように絶縁膜１０３が形成されている。絶縁膜１０３上には第２グランド線１１１ｂが形成されており、第２グランド線１１１ｂを覆うように、上層絶縁膜１０４が形成されている。尚、図１４では、第１グランド線１１１ａは省略している。第２グランド線１１１ｂは、平面的に見て、電源線１１２及び信号線１１３に重なるように、広範囲に亘ってベタ状に形成されている。上記構成によれば、電源容量の増加による輻射ノイズの低減効果と、グランド線１１１及び電源線１１２の面積増加による放熱効果に加えて、第２グランド線１１１ｂが信号線１１３を覆うため、信号線１１３からのノイズの影響を低減することができるという効果が得られる。尚、図１４に示すように、入力端子４３ａとソースドライバＳＤ２との間の領域においても、グランド線２１１ｂが信号線２１３を覆うように形成されてもよい。

【００４５】

図１６は、グランド線１１１及び電源線１１２の他の配置構成を示す断面図である。図１６に示す構成では、図１５に示す構成において、電源線１１２及び信号線１１３を囲うように第３グランド線１１１ｃがさらに形成されている。上記構成によれば、電源線１１２及び信号線１１３がグランド線１１１ａ，１１１ｂ，１１１ｃで囲まれるため、電源線１１２及び信号線１１３からの輻射ノイズを封じ込めることができる。尚、グランド線１１１ａ，１１１ｂ，１１１ｃで囲まれる信号線は、全ての電源線１１２及び全ての信号線１１３でなくてもよい。例えば、グランド線１１１ａ，１１１ｂ，１１１ｃは、電源線１

１２のみを囲うように形成されてもよいし、信号線１１３のみを囲うように形成されてもよいし、複数本の信号線１１３のうち一部の本数の信号線１１３のみを囲うように形成されてもよい。一部の本数の信号線１１３は、画像データに対応するデータ信号を供給する信号線であることが好ましい。このように、少なくとも第３グランド線１１１ｃは、第１グランド線１１１ａ及び第２グランド線１１１ｂの間の層であって複数の信号線（電源線１１２、信号線１１３）と同一層において、複数の信号線の少なくとも一部を挟むように両側に形成されており、かつ、第１グランド線１１１ａ及び第２グランド線１１１ｂに電気的に接続されていることが好ましい。

【００４６】

ここで、図６に示す、グランド線１１１、電源線１１２及び信号線１３が行方向に延在する領域における他の配置構成について説明する。上記領域における配置構成は、図８に示す構成に限定されず、図１７に示す構成であってもよいし、図１８に示す構成であってもよい。

【００４７】

図１７に示す構成では、電源線１１２が、下層に配置される第１電源線１１２ａと、中間層に配置される第２電源線１１２ｂと、上層に配置される第３電源線１１２ｃとを含んでいる。この構成によれば、電源線１１２の配線抵抗を低くすることができるため、電源電圧の供給効率を高めることができる。

【００４８】

図１８に示す構成では、図１７に示す構成に加えて、グランド線１１１が、下層に配置される第１グランド線１１１ａと、上層に配置される第２グランド線１１１ｂとを含んでいる。第１グランド線１１１ａと第２グランド線１１１ｂとの間の層には信号線１１３が配置される。この構成によれば、さらに、信号線１１３からのノイズの影響を低減することができる。

【００４９】

上記各構成では、ソースドライバＳＤ１に接続されるグランド線１１１及び電源線１１２の配置構成を示したが、ソースドライバＳＤ２に接続されるグランド線２１１及び電源線２１２についても、同様の構成とすることができる（図６等参照）。但し、入力端子４３ａからの距離が遠い程、輻射ノイズの影響を受け易くなるため、図６、図９、図１４に示すように第１ソースドライバＳＤの近傍に配置される、グランド線１１１及び電源線１１２が互いに重なる重畳部分の面積が、第２ソースドライバの近傍に配置される、グランド線２１１及び電源線２１２が互いに重なる重畳部分の面積より大きくなっていることが好ましい。尚、グランド線１１１及び電源線１１２により形成されるバイパスコンデンサによる電源容量の増加により得られる輻射ノイズの低減効果と、グランド線１１１及び電源線１１２の面積の拡大により得られる放熱効果とのバランスを考慮して、上記重畳部分の面積を設定することが好ましい。

【００５０】

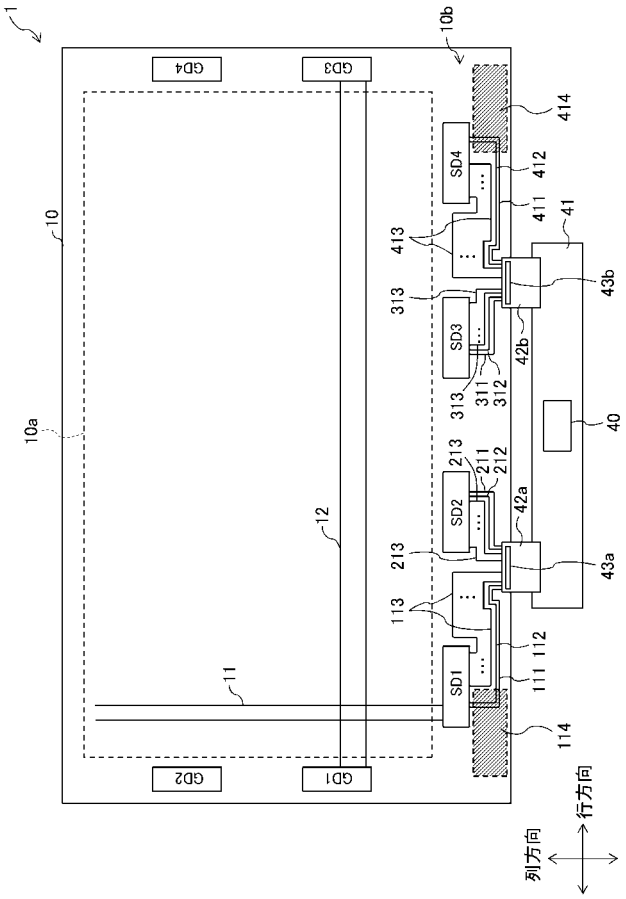
以上、本発明の一実施形態について説明したが、本発明は上記各実施形態に限定されるものではなく、本発明の趣旨を逸脱しない範囲内で上記各実施形態から当業者が適宜変更した形態も本発明の技術的範囲に含まれることは言うまでもない。

【符号の説明】

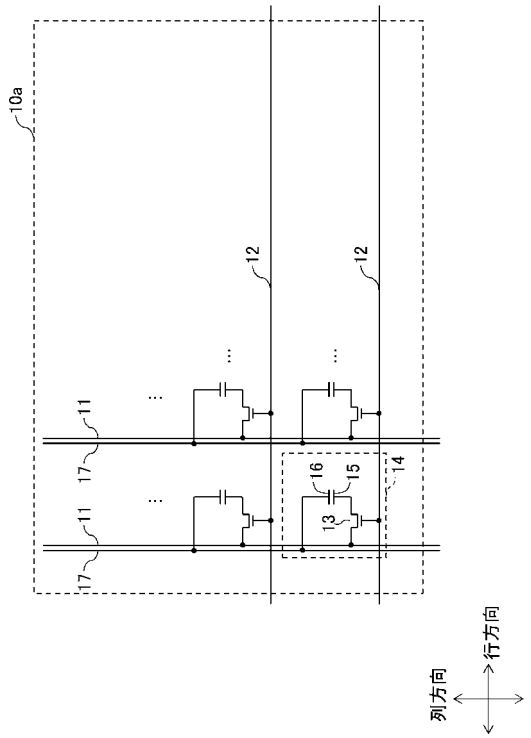
【００５１】

１　液晶表示装置、１０　表示パネル、１０ａ　表示領域、１０ｂ　非表示領域、ＳＤ　ソースドライバ、ＧＤ　ゲートドライバ、４０　制御回路、４１　制御回路基板、４２　ＦＰＣ、４３　入力端子、１１　データ線、１２　ゲート線、１３　ＴＦＴ、１４　画素、１５　画素電極、１６　共通電極、１７　共通配線、１１１，２１１，３１１，４１１　グランド線、１１２，２１２，３１２，４１２　電源線、１１３，２１３，３１３，４１３　信号線。

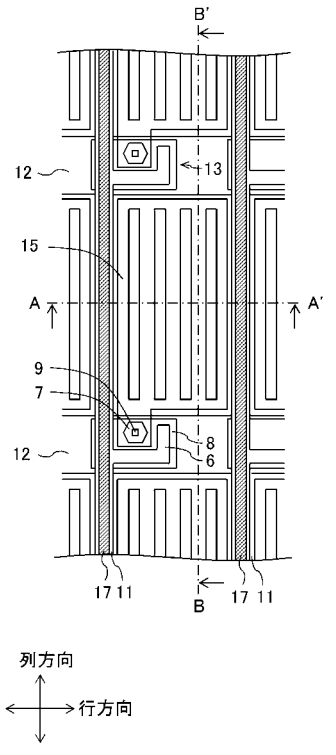
【図１】


1
10b
10
10a
12
11
GD4
GD3
GD2
GD1
SD4
SD3
SD2
SD1
414
412
411
41
413
43b
313
42b
311
312
40
213
211
212
42a
43a
113
111
112
114
行方向
列方向

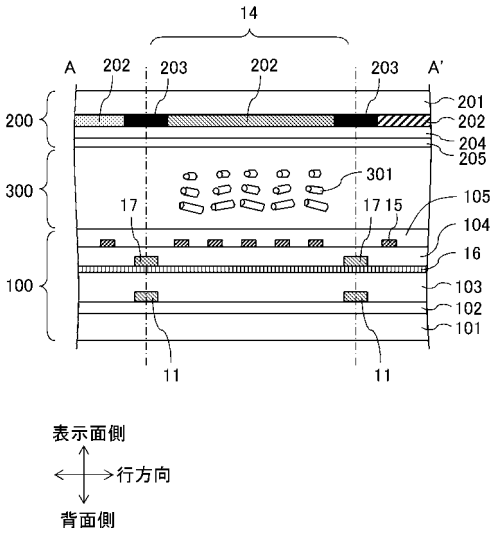
【図２】


10a
12
11
17
16
15
14
13
行方向
列方向

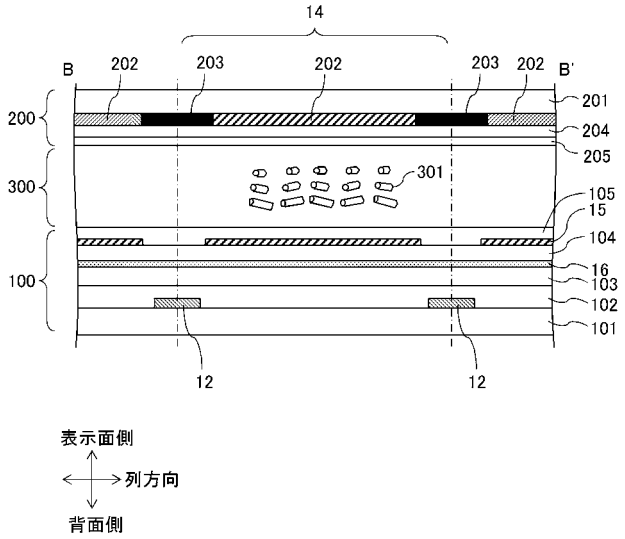
【図３】


B'
12
13
15
A
A'
9
7
8
6
17
11
B
行方向
列方向

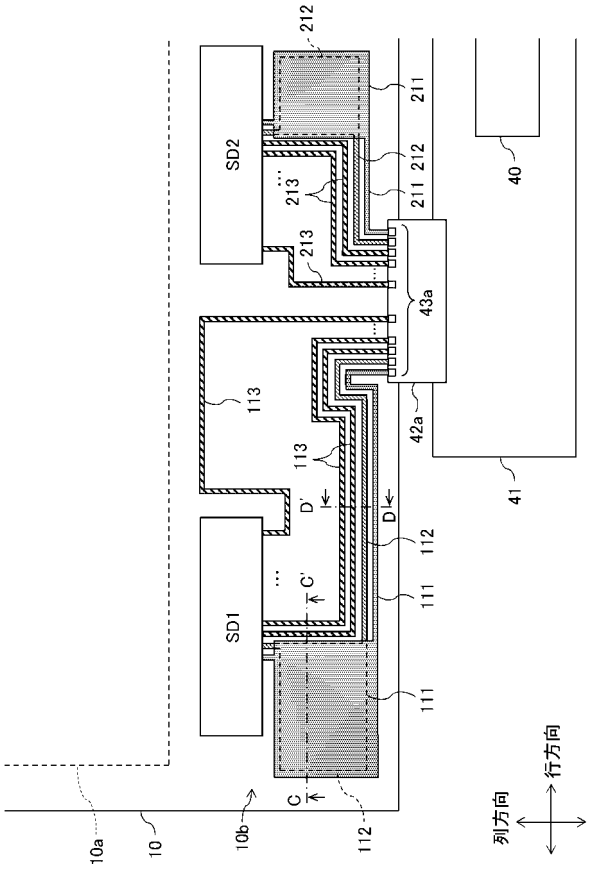
【図４】


14
A
202
203
202
203
A'
200
300
100
201
202
204
205
301
17
17
15
105
104
16
103
102
101
11
11
表示面側
行方向
背面側

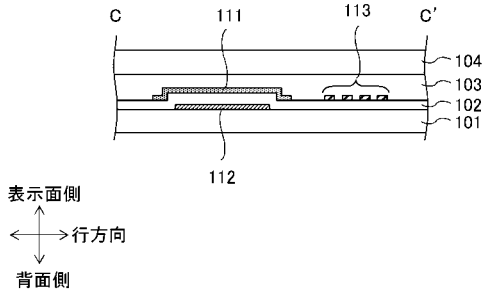
【図５】


14
B
202
203
202
203
202
B'
200
300
100
201
204
205
301
105
15
104
16
103
102
101
12
12
表示面側
列方向
背面側

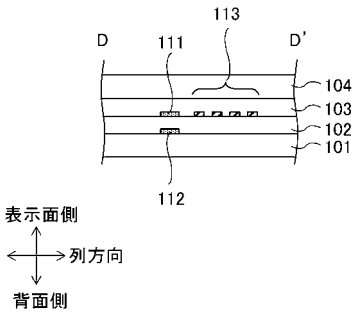
【図６】


212
211
SD2
213
211 212
213
40
43a
113
42a
113
41
D'
D
112
C'
SD1
111
111
C
10a
10
10b
112
行方向
列方向

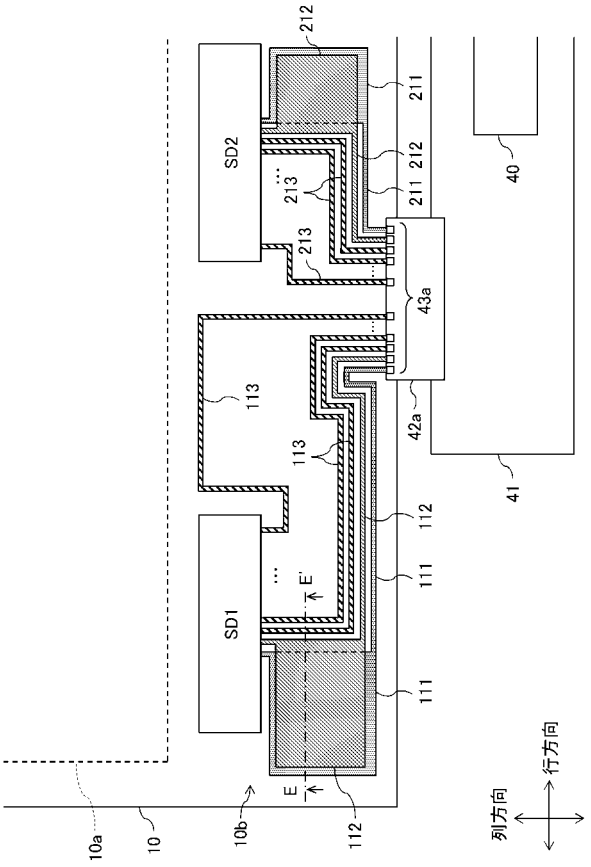
【図７】


C
111
113
C'
104
103
102
101
112
表示面側
行方向
背面側

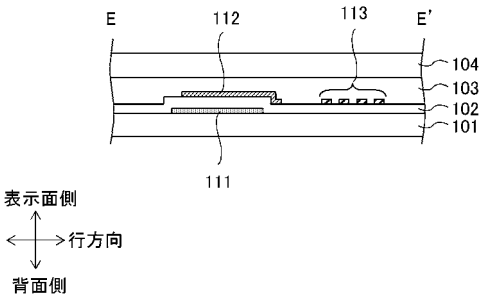
【図８】


113
D
111
D'
104
103
102
101
112
表示面側
列方向
背面側

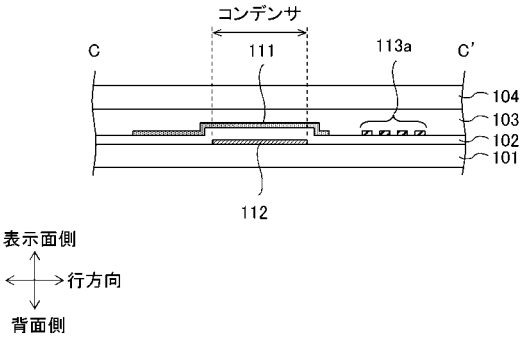
【図９】



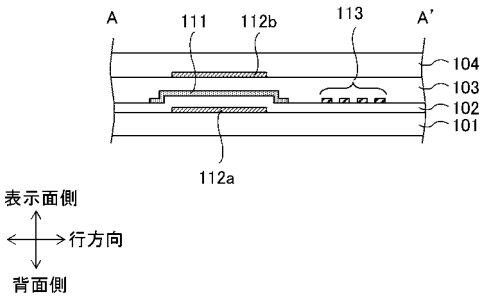
【図１０】



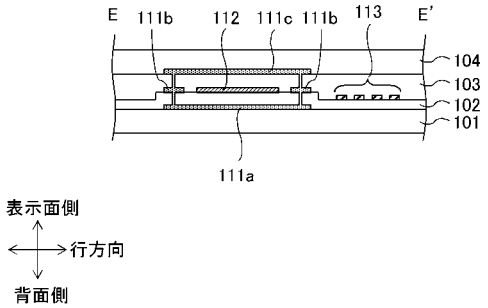
【図１１】



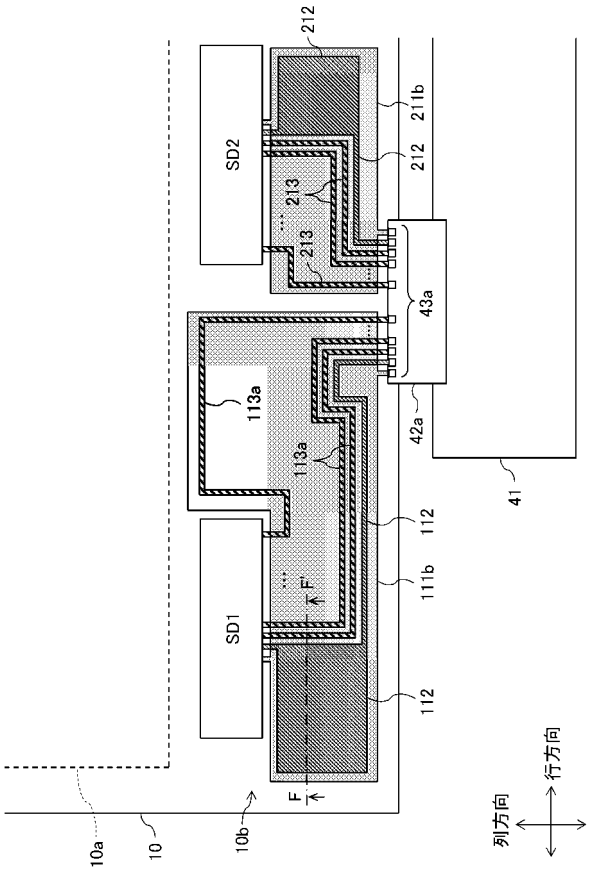
【図１２】



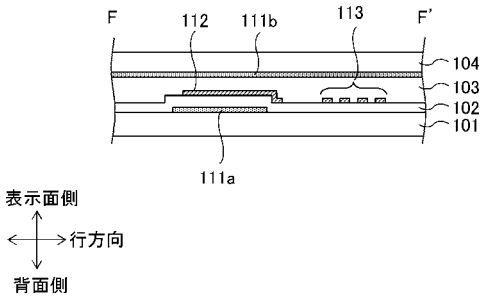
【図１３】



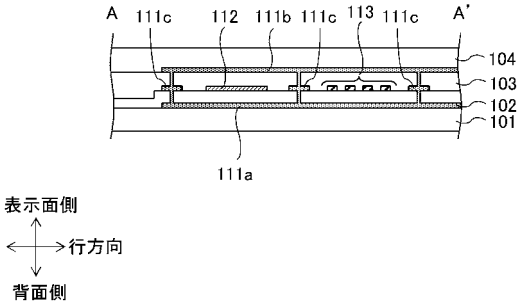
【図１４】



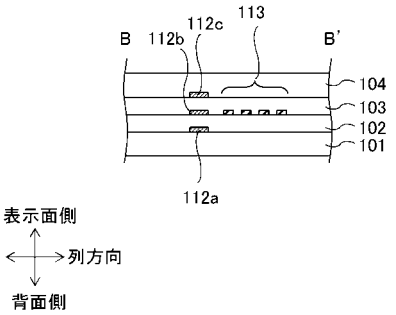
【図１５】



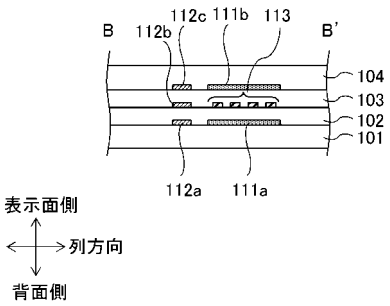
【図１６】



【図１７】


B
112b
112c
113
B'
104
103
102
101
112a
表示面側
列方向
背面側

【図１８】


B
112b
112c
111b
113
B'
104
103
102
101
112a
111a
表示面側
列方向
背面側

フロントページの続き

Ｆターム(参考) 2H193 ZA04 ZB05 ZF22 ZF36 ZF42 ZF43 ZF51 ZF59 ZJ11 ZP12
ZP13 ZQ16
5C094 AA15 AA21 BA27 BA43 DA13 DA15 EA07 FA01 FA04
5G435 AA16 AA18 BB05 BB12 EE34