

(19)대한민국특허청(KR) (12) 등록특허공보(B1)

(51) 。 Int. Cl. <i>G11C 11/15</i> (2006.01)	(45) 공고일자 2006년04월03일 (11) 등록번호 10-0566774 (24) 등록일자 2006년03월27일
--	--

(21) 출원번호	10-2003-7009724	(65) 공개번호	10-2003-0078888
(22) 출원일자	2003년07월23일	(43) 공개일자	2003년10월08일
번역문 제출일자	2003년07월23일		
(86) 국제출원번호	PCT/US2002/001919	(87) 국제공개번호	WO 2002/59973
국제출원일자	2002년01월24일	국제공개일자	2002년08월01일

(30) 우선권주장	60/263,931 09/967,662	2001년01월24일 2001년09월27일	미국(US) 미국(US)
(73) 특허권자	인피니언 테크놀로지스 노쓰 아메리카 코포레이션 미국 캘리포니아 95112-4508 산 호세 노쓰 퍼스트 스트리트 1730		
(72) 발명자	회니히슈미트하인츠 미국버몬트05452에섹스정션버터너트코트29		
(74) 대리인	송재련 김양오		

심사관 : 오웅기

(54) 직렬 MRAM 디바이스

요약

본 발명은, 서로 직렬로 결합된 마그네틱 메모리 저장 셀 또는 스택(MS0, MS1, MS2, MS3)을 구비한 MRAM 디바이스(100) 및 그 제조방법에 관한 것이다. 디바이스(X0, X1, X2, X3)들은 각각의 마그네틱 메모리 저장 셀(MS0, MS1, MS2, MS3)에 병렬로 결합된다. 활성영역(AA)은 연속적이고, 콘택트 비아(VU1, VL1, VU2, VL2, VU3)들은 마그네틱 스택(MS0, MS1, MS2, MS3)에 의하여 공유된다. N+ 영역(108, 110, 112, 114, 116, 118)들은 디바이스(X0, X1, X2, X3)에 의하여 함께 결합된다.

대표도

도 3

명세서

기술분야

본 발명은 일반적으로 반도체 디바이스의 제조에 관한 것으로, 특히 마그네틱 램(MRAM) 디바이스에 관한 것이다.

배경기술

예컨대 라디오, 텔레비전, 휴대폰 및 개인용 컴퓨터장치 등을 포함하는 전자 기기용 집적회로에는 반도체가 사용된다. 반도체 디바이스의 일 형태로는 정보를 저장하기 위해 전하를 사용하는 다이내믹 램(DRAM) 및 플래시 메모리와 같은 반도체 메모리 디바이스를 들 수 있다.

최근 메모리 집적회로 디바이스 분야는 반도체 기술 및 자기학을 결합하는 스핀 전자공학(spin electronics)을 수반하여 발전을 이루었다. 상기 전하보다는 오히려 전자의 스핀이 "1" 또는 "0"의 존재를 나타내는데 사용된다. 이러한 스핀 전자 디바이스의 일 예로는 마그네틱 램(MRAM)을 들 수 있는데, 이는 상이한 금속층내에서 서로 수직하게 위치한 도전성 라인을 포함하고, 상기 도전성 라인들 중간에는 마그네틱 스택이 끼어 있다. 도전성 라인들이 교차하는 장소는 교차점(cross-point)이라 지칭한다. 하나의 도전성 라인을 통해 흐르는 전류는 도전성 라인 주위에 자기장을 발생시키고, 자기 극성(magnetic polarity)을 와이어나 도전성 라인을 따르는 소정방향으로 향하게 한다. 다른 도전성 라인을 통해 흐르는 전류는 자기장을 유도하고, 자기 극성 또한 부분적으로 변화시킬 수 있다. "0" 또는 "1"로 표현되는 디지털 정보는 자기 모멘트의 정렬로 저장된다. 자기 구성요소의 저항은 모멘트의 정렬에 좌우된다. 저장된 상태는 구성요소의 저항상태를 검출하여 소자로부터 판독된다. 메모리셀은 도전성 라인 및 교차점을 행과 열을 갖는 매트릭스 구조로 배치하여 구성될 수 있다.

DRAM과 같은 전통적인 반도체 메모리 디바이스에 비해 MRAM은 비휘발성 메모리를 제공한다는 장점이 있다. 예를 들어, MRAM을 사용하는 개인용 컴퓨터(PC)는 DRAM을 사용하는 종래의 PC보다 "부팅(boot-up)" 시간이 짧다. 또한, MRAM은 전력을 높일 필요가 없고, 저장된 데이터를 "기억"하는 능력을 가진다.

발명의 상세한 설명

본 발명의 바람직한 실시예는, 직렬로 함께 결합된 마그네틱 메모리 저장 셀을 구비한 MRAM 디바이스에 의하여 기술적인 이점들을 달성한다.

일 실시예에서, 저항상 반도체 디바이스는 기판 위에 배치된 복수의 마그네틱 메모리 저장 셀을 포함한다. 각각의 저장 셀은 제1단 및 제2단을 포함하고, 상기 저장 셀들은 서로 직렬로 결합되어 어느 한 저장 셀의 제1단이 인접한 저장 셀의 제2단에 결합되도록 한다.

또 다른 실시예에서, MRAM 반도체 디바이스는 기판 상에 배치된 게이트, 제1의 소오스/드레인 영역 및 제2의 소오스/드레인 영역을 구비한 제1트랜지스터를 포함한다. 제2트랜지스터는 게이트, 제1의 소오스/드레인 영역 및 제2의 소오스/드레인 영역을 포함하고, 상기 제2트랜지스터의 제1의 소오스/드레인 영역은 상기 제1트랜지스터의 제2의 소오스/드레인 영역에 결합된다. 제1단 및 제2단을 구비한 제1마그네틱스택의 제1단은 상기 제1트랜지스터의 제1의 소오스/드레인 영역에 결합된다. 제1마그네틱스택의 제2단은 상기 제1트랜지스터의 제2의 소오스/드레인 영역에 결합된다. 제1단 및 제2단을 구비한 제2마그네틱스택의 제1단은 상기 제2트랜지스터의 제1의 소오스/드레인 영역에 결합된다. 제2마그네틱스택의 제2단은 상기 제2트랜지스터의 제2의 소오스/드레인 영역에 결합된다.

또 다른 실시예에서, MRAM 반도체 디바이스를 제조하는 방법은 기판 위에 복수의 마그네틱 메모리 저장 셀을 형성하는 단계를 포함한다. 각각의 저장 셀은 제1단 및 제2단을 포함한다. 상기 저장 셀들은 서로 직렬로 함께 결합되어, 어느 한 저장 셀의 제1단이 인접한 저장 셀의 제2단에 결합되도록 한다.

본 발명의 실시예의 장점은, 종래의 기술보다 더욱 작은 셀 레이아웃 면적을 갖는 MRAM 디바이스를 제공하는 것을 포함한다. 바람직한 실시예에서는 옵션형 디플리션 디바이스를 사용하여 보다 낮은 전력이 소모된다.

도면의 간단한 설명

도 1은 종래기술의 MRAM 셀의 개략도;

도 2는 도 1에 도시된 종래기술의 MRAM 셀의 회선 레이아웃의 평면도;

도 3은 본 발명의 바람직한 실시예의 개략도;

도 4는 본 발명의 바람직한 실시예의 단면도;

도 5는 도 4에 도시된 실시예의 회선 레이아웃의 평면도;

도 6은 금속화층이 포함된 평면도;

도 7은 본 발명의 또 다른 바람직한 실시예의 개략도; 및

도 8 및 도 9는 프리마그네틱층(free magnetic layer)에 접속이 이루어지는 바람직한 실시예를 도시한 도면이다.

실시예

종래기술의 MRAM 설계를 기술한 후에, 본 발명의 여러 바람직한 실시예 및 장점들을 설명한다.

트랜지스터 MRAM 셀 설계에 있어서 셀 크기는 $6F^2$ 내지 $8F^2$ 범위에 이를 수 있다(여기서, F는 최소 피처 크기). 예컨대, 도 1에는 최소 피처 크기가 $6F^2$ 또는 그 이상인 종래기술의 MRAM 셀(10)의 개략도가 예시되어 있다. 디바이스(X)는 게이트, 소오스 및 드레인을 구비한 트랜지스터를 포함한다. 상기 트랜지스터(X)의 게이트는 워드라인(WL)에 연결된다. 트랜지스터(X)의 드레인은 접지에 연결된다. 트랜지스터(X)의 소오스는 도전성 재료(MX)에 연결되는 VX를 거쳐 콘택트에 연결된다.

도전성 재료(MX)는 마그네틱 재료의 두 스택 사이에 배치된 터널 접합부(TJ)를 포함하는 마그네틱 스택(MS)에 결합된다. 상기 마그네틱 스택(MS)의 반대쪽은 비트라인(BL)에 결합된다. 디지털라인(digitline; DL)은 지면에 수직하게 뻗어 있는데, 도 1에서는 점 DL로 표시되어 있다.

로직상태는 저항(예를 들어, 낮은 로직상태는 $10k\Omega$, 높은 로직상태는 $12k\Omega$)을 판정하여 검출할 수 있는 상기 TJ내에 저장 가능하다. 상기 TJ내에 저장된 로직상태를 판독하기 위하여, 워드라인(WL)상의 활성화(activating) 또는 스위칭이 트랜지스터(X)를 활성화시킴으로써, 디바이스(X)를 통해 접지로부터 VX 및 MX를 거쳐 상기 TJ를 통하여 비트라인(BL)으로 접속시킨다. 상기 TJ의 저항상태는 비트라인(BL)을 통하여 흐르는 전류를 측정하여 판정가능하다.

마그네틱 메모리 셀(MS)의 TJ에 로직상태를 기록하기 위하여, 서로 수직으로 뻗어 있는 DL 및 BL을 통하여 전류가 흐른다. 상기 DL 및 BL 전류에 의하여 생성된 전자기장의 중첩(superposition)은 TJ의 저항상태를 변경시켜 상기 TJ에 로직상태를 기록한다.

도 2는 도 1에 도시된 종래기술의 마그네틱 메모리 셀 회선(10)의 레이아웃의 평면도를 보여준다. 반도체웨이퍼내의 하부 레벨상의 활성영역(AA)은 접지에 연결된다. 워드라인(WL)은 활성영역(AA) 위에 배치되어 디바이스(X)의 게이트(도시안됨)를 형성한다. 디바이스(X)의 한쪽 소오스/드레인 영역은 접지에 결합되는 한편, 반대쪽은 터널 접합부(TJ)에 결합된다. 접지영역은 두 워드라인(WL) 사이에서 볼 수 있다.

도 2의 우측에서, 영역(VX)은 접지된 활성영역(AA)을 금속콘택트영역(MX)에 결합시키는 VX 콘택트를 나타낸다. MX는 워드라인(WL) 가까이 배치되는 터널 접합부(TJ)에 VX를 결합시킨다. 상기 TJ는 MX 밑에 결합된다. 비트라인(BL)은 도시되지 않았지만, 그것은 활성영역(AA)의 최상부를 따라 수평방향으로 뻗어 있다.

도 1 및 도 2에 도시된 종래기술의 MRAM 셀(10)에 있어서, 워드라인(WL)의 폭은 F이고, 워드라인들간의 거리는 F이다. VX 콘택트는 폭과 높이가 F이다. MX는 $F \times 2F$ 이고, TJ 소자는 $F \times F$ 이다. BL 피치는 $2F$ 이고, WL 피치는 $3F$ 이다. 따라서, 이러한 설계법으로 얻을 수 있는 최소 피처 크기는 $6F^2$ 이다.

MRAM 디바이스와 같은 반도체 디바이스들은 전자디바이스의 소형화 요구를 충족시키기 위하여 그 크기가 계속해서 작아지고 있다. 당업계에서 요구되는 것은 보다 작은 최소 피처 크기를 갖는 MRAM 반도체 디바이스이다.

본 발명의 실시예들은 복수의 마그네틱 저장 셀을 서로 직렬로 결합시켜 보다 작은 피처 크기를 달성한다. 각각의 마그네틱 메모리 셀에 대해 별도의 활성영역을 갖기 보다는 연속적인 활성영역이 사용된다. 콘택트 비아들은 직렬 마그네틱 저장 셀들간에 공유된다.

본 발명의 바람직한 실시예(100)의 개략도가 도 3에 도시되어 있다. 복수의, 예를 들면 2이상의 마그네틱 스택(MS0, MS1, MS2, MS3)이 서로 직렬로 결합된다. 디바이스(X0, X1, X2, X3) 각각은, 도시된 바와 같이, 각각의 마그네틱 스택(MS0, MS1, MS2, MS3)에 병렬로 결합된다. 디바이스(X0, X1, X2, X3)는 인핸스먼트(enhancement) 트랜지스터를 포함하는 것이 바람직하며, 대안적으로 디플리션(depletion) 디바이스를 포함할 수도 있다. 이하, 후술한다.

각각의 디바이스(X0, X1, X2, X3)의 게이트는 워드라인, 상세하게는 워드라인(WL0, WL1, WL2, WL3)에 각각 결합된다. 인접한 디바이스의 드레인 및 소오스는 서로 결합된다. 예를 들어, 디바이스(X0)의 드레인은 디바이스(X1)의 소오스에 결합된다. 디바이스(X3)의 드레인은 접지에 결합된다.

각각의 마그네틱 스택(MS0, MS1, MS2, MS3)은 각각 터널 접합부(TJ0, TJ1, TJ2, TJ3)를 포함하고, 상기 터널 접합부(TJ0, TJ1, TJ2, TJ3)는 로직상태를 저장하도록 되어 있다. 마그네틱 스택(MS0, MS1, MS2, MS3)은, 비트라인(BL)을 통하여 감지 증폭기(도시안됨)로 전류를 흘려줌으로써, 액세스될 수 있다.

옵션형 선택스위치(S1)는 노드(A)로부터 비트라인(BL)에 결합될 수 있다. 선택스위치(S1)는 마그네틱 스택(MS0, MS1, MS2, MS3)이 그룹으로 어드레싱되도록 한다. 비아(VU1, VU2, VU3, VL1, VL2)는 디바이스(X0, X1, X2, X3)를 마그네틱 스택(MS0, MS1, MS2, MS3)에 결합시키는비아들을 나타내며, 이하 후술한다.

대안적으로, 옵션형 선택스위치(S1)는, 도 3에 가상선으로 도시된 바와 같이, 접지로부터 디바이스(X3)의 소오스/드레인에 결합될 수 있다. 본 실시예에서, 스위치(S1)의 한쪽은 직접 접지에 접속되기 때문에, 백바이어스(backbias) 효과가 없다는 장점이 있다.

도 3은 서로 직렬로 결합된 4개의 터널 접합부(TJ0, TJ1, TJ2, TJ3)를 보여주며, 각각의 터널 접합부(TJ0, TJ1, TJ2, TJ3)는 디바이스(X0, X1, X2, X3)에 병렬로 각각 결합된다. 하지만, 본 발명의 바람직한 실시예에 따르면, 2이상의 TJ 및 디바이스(X), 예를 들어 2, 4, 6, 8 또는 그 이상이 이용될 수도 있다. 짝수 개의 마그네틱 메모리 셀(MS0, MS1, MS2, MS3)이 직렬로 결합되는 것이 바람직하지만, 대안적으로 홀수 개의 메모리 셀이 사용될 수도 있다.

특정 마그네틱 스택, 예컨대 회선(100)의 셀(MS2)의 콘텐츠(TJ2에 저장된 로직상태)를 판독하는 것이 후술된다. 디바이스(X0, X1, X3)가 스위치 on 된다. 이는 우측, 즉 접지로부터 디바이스(X3)를 통하여 전류가 흐르게 한다. 디바이스(X2)는 스위치 off 되어 있으므로, 전류가 메모리 셀(MS2)을 통과한다. 디바이스(X1, X0)가 스위치 on 되기 때문에, 전류는 X1 및 X0를 통하여 비트라인(BL)으로 흐른다. 이러한 전류 경로를 얻기 위하여, 옵션형 스위치(S1)가 폐쇄된다는 점에 유의한다. TJ2를 통하여 흐르는 상기 전류를 측정하여, 메모리 셀(MS2)의 저장 또는 로직상태가 판정될 수 있다.

하나의 디바이스를 스위치 off 하고, 나머지 3개의 디바이스를 스위치 on 하면, 필요에 따라, 전류가 각각의 셀(MS0, MS1, MS2, MS3)을 통하여 비트라인으로 통과되어, 소정의 마그네틱 메모리 셀의 로직상태를 판정할 수 있다. 로직상태를 판독하기 위하여, 전류가 소정의 셀(MS0, MS1, MS2, MS3)을 통과한다.

셀의 그룹 또는 체인(TJ0, TJ1, TJ2, TJ3)은 노드(A)에서 비트라인(BL)에 직접 결합될 수 있음을 유의한다. 각각의 셀을 비트라인에 직접 결합하기 보다는, 전체 체인이 노드(A)에서 비트라인(BL)에 결합된다.

도 4는 도 3의 개략도에 도시된 바람직한 실시예(100)의 단면도를 보여준다. 기판(102)을 구비한 반도체웨이퍼가 제공된다. 상기 기판(102)은 예를 들어 p 기판을 포함할 수 있다. 활성영역(AA)이 기판내에 형성된다. 활성영역은 연속적이고, 인접한 복수의 n+ 영역(108, 110, 112, 114, 116, 118)을 포함하는 것이 바람직하다. 마지막 n+ 영역(118)은 도시된 바와 같이 접지에 결합된다.

예컨대, 워드라인(WL)은 제1도전층의 부분이고, 디지털라인(DL; 도시안됨)은 제2도전층의 부분이며, 비트라인(BL)은 제3도전층의 부분일 수 있다. 도전층들은 예를 들어, 폴리실리콘 컨덕터(PC)를 포함할 수 있다. 비아(V1)는 비트라인(BL)을 n+ 영역(108)에 결합시킨다.

상기 n+ 영역(108)은 스위치(S1)의 소오스를 포함한다. n+ 영역(110)은 디바이스(X0)의 소오스 뿐만 아니라, 디바이스(X1)의 드레인을 포함한다. 이와 유사하게, n+ 영역(112, 114, 116, 118)은 디바이스(X0, X1, X2, X3)의 드레인 및 소오스를 포함한다. 여러 디바이스(X0, X1, X2, X3)의 드레인 및 소오스 영역은 n+ 영역내에 공유된다. 활성영역(AA)은 연속적인 영역인 것이 좋다.

상부 비아(VU) 및 하부 비아(VL)는 마그네틱 스택을 활성영역에 결합시킨다. 예를 들어, 상부 비아(VU1)는 마그네틱 스택(MS0)의 한쪽을 n+ 확산영역(110)에 결합시키고, 하부 비아(VL1)는 마그네틱 스택(MS0)의 반대쪽을 n+ 확산영역(112)에 결합시킨다. 이와 유사하게, 다른 마그네틱 스택(MS1, MS2, MS3)들은 VL1, VU2, VL2, VU3에 의하여 밑에 있는 확산영역에 결합된다. 예컨대, 금속판(120/122/124/126/128)들은 각각 비아(VU1, VL1, VU2, VL2, VU3)의 최상부 위에 배치되어, 마그네틱 스택(MS0, MS1, MS2, MS3)에 대한 비아(VU1, VL1, VU2, VL2, VU3)의 전기접속을 촉진시킨다.

두 확산영역(110, 112)은 디바이스(X0)의 소오스 및 드레인을 형성한다. 디바이스(X0)의 게이트는 워드라인(WL)을 포함하고, 디지털라인(DL)은 M1을 포함한다. 이와 유사하게, 다른 확산영역(112와 114, 114와 116, 116과 118)은 각각 디바이스(X1, X2, X3)의 소오스/드레인 영역을 형성한다. 확산영역(118)은 접지에 결합된다.

도 3 및 도 4에 도시된 바람직한 실시예는 공유된 확산영역(110/112/114 및 116)을 포함한다. 또한, 여러 콘택트 비아들이 공유되는데, 예를 들면 하부 비아(VL1)는 셀(MS0, MS1)에 의하여 공유되고, 상부 비아(VU2)는 MS1 및 MS2에 의하여 공유된다. 도 1 및 도 2에 도시된 종래기술의 MRAM 셀에서는, 다수의 MRAM 셀을 위한 접지 확산영역만이 공유되고, 하나의 콘택트 비아(VX)가 각각의 디바이스(X0)에 대하여 존재한다.

본 발명의 바람직한 실시예의 신규 특징 가운데 하나는, 터널 접합부 또는 마그네틱 메모리 셀들이 비트라인, 워드라인 또는 디지털라인에 직접 연결되지 않는다는 점이다. 즉, 도 4에 도시되는 바와 같이, 비트라인(BL)이 마그네틱 스택(MS0, MS1, MS2, MS3) 또는 워드라인(WL)에 대하여 직접 전기접촉되어 있지 않다. 이와 반대로, 도 1에 도시된 종래기술의 MRAM 셀에서는, 비트라인(BL)이 마그네틱 스택(SM) 또는 터널 접합부(TJ)에 직접 결합된다.

본 발명의 바람직한 실시예의 또 다른 신규 특징은 마그네틱 스택(MS0, MS1, MS2, MS3)을 직렬로 결합시킨다는 점이다. 본 명세서에 예시된 실시예의 직렬 구성은 마그네틱 스택(MS0, MS1, MS2, MS3)을 통한, 특히 터널 접합부(TJ0, TJ1, TJ2, TJ3)를 통한 양방향 전류를 발생시킨다. 예를 들어, MS3/TJ3에서는 전류가 위에서 아래로 흐르고, MS2/TJ2에서는 전류가 아래에서 위로 흐른다. 구조체(100)내의 마그네틱 스택/터널 접합부의 위치에 따라, 전류가 어느 쪽의 방향이든 흐를 수 있다.

보다 특별하게는, 본 발명의 실시예에 따르면, 마그네틱 스택(MS0, MS2 등)을 통하여 같은 방향으로 전류가 흐르고, 마그네틱 스택(MS1, MS3 등)에 대해서는 상기와 반대방향으로 전류가 흐른다. 종래기술의 MRAM 설계에 있어서는, 전류가 같은 방향, 예를 들어 마그네틱 스택/터널 접합부를 통하여 단일방향으로 흐른다.

도 5는 도 4에 도시된 디바이스(100)의 평면도로서, 최소 피치 크기가 $4F^2$ 이다($2F$ BL 피치 x $2F$ WL 피치). 이는 본 발명의 실시예들이 종래기술의 MRAM 설계보다 보다 작은 셀 면적을 달성한다는 이점이 있다.

도 6은 본 발명의 실시예의 또 다른 평면도로서, 금속화 라인(M1, M2)은 도시된 바와 같이 비트라인 및 워드라인을 포함한다. 예를 들어, M2는 비트라인 및 프로그램라인을 포함하고, M1은 워드라인 스티치(stitch) 및 인에이블(enable) 라인을 포함할 수 있다. 장방형(130)은 피치 크기가 다음과 같은 단위 셀을 예시한다:

$$(1/2F + F + 1/2F) \times (1/2F + F + 1/2F) = 4F^2$$

도 7은 본 발명의 또 다른 바람직한 실시예(200)를 보여주며, 여기서 디바이스(X0, X1, X2, X3)들은 디플리션 디바이스를 포함한다. 디플리션 디바이스(X0, X1, X2, X3)의 사용은 전력 절감의 이점을 달성한다. 디플리션 디바이스(X0, X1, X2, X3)는 디플리션 디바이스의 게이트에 인가되는 전압없이도, 언제나 스위치 on, 즉 도통되고 있다. 도 3에 도시된 실시예(100)에서는, 판독되어지는 것을 원하지 않는 마그네틱 저장 셀들에 대하여, 예컨대 1.8볼트의 전압이 디바이스(X0, X1, X2, X3)에 인가될 수 있고, 판독될 마그네틱 저장 셀은 디바이스 게이트에 인가된 0볼트를 가질 수 있다. 하지만, 도 7에 도시된 실시예에서는, 디플리션 디바이스(X0, X1, X2, X3)의 체인이 항상 on 으로 있기 때문에, 예컨대 원하는 디플리션 디바이스(X0, X1, X2, X3)의 게이트에 $-1.8V$ 를 인가함으로써, 하나의 디플리션 디바이스를 스위칭 off 하여 원하는 메모리 셀이 선택될 수 있어, 전력을 절감할 수 있다.

도 8 및 도 9는 프리마그네틱층에 접촉시키는 대안적인 방법의 단면도를 보여준다. 비아(VU2)의 일부분은, 도시된 바와 같이, 금속 스택(MS1, MS2)에 직접 결합될 수 있다. 도 4에서, 금속판(124)은 특정 높이를 가지는 단점이 있는데, 그 이유는 BL로부터 프리층으로의 거리가 더해지기 때문이다. 도 8 및 도 9에 도시된 바와 같이, 금속판(124)을 제거하면, BL로부터 프리층으로의 거리가 줄어드는 이점이 있다.

본 발명의 실시예들은 마그네틱 저장 셀(MS0, MS1, MS2, MS3)들이 서로 직렬로 결합된 MRAM 디바이스(100/200)에 의하여 기술적인 이점들을 달성한다. MRAM 저장 셀의 직렬 그룹(MS0, MS1, MS2, MS3)은 옵션형 선택스위치(S1)에 의하여 노드(A)에서 그룹으로 어드레싱될 수 있다. 바람직한 실시예에서는, 비트라인, 워드라인 및/또는 디지털라인로의 마그네틱 저장 셀(MS0, MS1, MS2, MS3)의 직접적인 접속이 없다. 인헨스먼트 또는 디플리션 디바이스(X0, X1, X2, X3)가 사용되어, 전력을 절감할 수 있다. MRAM 셀(100/200)에서의 보다 작은, 특히 $4F^2$ 크기를 갖는 셀 면적은, 콘택트 비아(VU, VL)를 공유하고, 여러 마그네틱 저장 셀(MS0, MS1, MS2, MS3) 사이의 연속적인 활성영역(AA)을 공유하며, 또한 마그네틱 스택(MS0, MS1, MS2, MS3) 및 터널 접합부(TJ0, TJ1, TJ2, TJ3)를 직렬로 결합시켜 달성될 수 있다.

본 발명의 실시예들은 상기 MRAM 셀에 대한 특정 적용예를 참조하여 기술되었지만, 본 발명의 실시예들은 또한 여타의 저장 반도체 디바이스의 응용예를 가진다.

지금까지 예시적인 실시예들을 참조하여 기술하였지만, 상기 기술이 제한적인 뜻으로 간주되도록 하려는 것은 아니다. 본 발명의 여타의 실시예 및 예시적인 실시예 조합의 여러 수정예들은 본 기술을 참조하면, 당업계의 당업자에게는 명백한 것이다. 또한, 프로세스 단계들의 순서는 본 발명의 범위내라면 당업자에 의해 재구성될 수도 있다. 따라서, 첨부된 청구범위는 이러한 소정의 수정예 또는 실시예들을 내포한다. 더욱이, 본 출원의 범위는 본 명세서에 기술된 프로세스, 기계, 제조, 물질의 조성, 수단, 방법 및 단계들에 제한되지 않는다. 따라서, 첨부된 청구범위는 본 발명의 범위내에서 상기 프로세스, 기계장치, 제조, 물질의 조성, 수단, 방법 또는 단계들을 포함한다.

(57) 청구의 범위

청구항 1.

삭제

청구항 2.

삭제

청구항 3.

삭제

청구항 4.

삭제

청구항 5.

삭제

청구항 6.

삭제

청구항 7.

삭제

청구항 8.

삭제

청구항 9.

삭제

청구항 10.

삭제

청구항 11.

마그네틱 램(MRAM) 반도체 디바이스에 있어서,

반도체 기판;

상기 기판상에 배치된 게이트(PC), 제1의 소오스/드레인 영역(110) 및 제2의 소오스/드레인 영역(112)을 구비한 제1트랜지스터(X0);

게이트(PC), 제1의 소오스/드레인 영역(112') 및 제2의 소오스/드레인 영역(114)을 구비하며, 상기 제1의 소오스/드레인 영역(112')은 상기 제1트랜지스터의 제2의 소오스/드레인 영역(112)에 에 결합되는 제2트랜지스터(X1);

제1단 및 제2단을 구비하며, 상기 제1단은 상기 제1트랜지스터의 제1의 소오스/드레인 영역(110)에 결합되고, 상기 제2단은 상기 제1트랜지스터의 제2의 소오스/드레인 영역(112)에 결합되는 제1마그네틱스택(MS0); 및

제1단 및 제2단을 구비하며, 상기 제1단은 상기 제2트랜지스터의 제1의 소오스/드레인 영역(112')에 결합되고, 상기 제2단은 상기 제2트랜지스터의 제2의 소오스/드레인 영역(114)에 결합되는 제2마그네틱스택(MS1)을 포함하고,

상기 제1트랜지스터(X0) 및 상기 제2트랜지스터(X1)의 게이트(PC)들에 접속된 워드라인(WL)들과,

상기 제1마그네틱스택(MS0) 및 상기 제2마그네틱스택(MS1)의 저항성 상태를 변경시키기 위한 디지털 라인(DL)들을 포함하며,

상기 디지털 라인(DL)들은 상기 마그네틱스택들(MS0; MS1)과 상기 워드라인(WL)들 사이에 배치되는 것을 특징으로 하는 MRAM 반도체 디바이스.

청구항 12.

제11항에 있어서,

상기 제1트랜지스터의 게이트에 결합된 제1워드라인;

상기 제2트랜지스터의 게이트에 결합된 제2워드라인; 및

상기 제1트랜지스터의 제1의 소오스/드레인 영역(110)에 결합된 비트라인(BL)을 더욱 포함하여 이루어지는 것을 특징으로 하는 MRAM 반도체 디바이스.

청구항 13.

제11항 또는 제12항에 있어서,

게이트(PC), 제1의 소오스/드레인 영역(114') 및 제2의 소오스/드레인 영역(116)을 구비한 제3트랜지스터로서, 상기 제3트랜지스터의 제1의 소오스/드레인 영역(114')은 상기 제2트랜지스터의 제2의 소오스/드레인 영역(114)에 결합되고, 상기 제3트랜지스터의 게이트(PC)는 제3워드라인(WL)에 결합된 상기 제3트랜지스터(X2);

게이트(PC), 제1의 소오스/드레인 영역(116') 및 제2의 소오스/드레인 영역(118)을 구비한 제4트랜지스터로서, 상기 제4트랜지스터의 제1의 소오스/드레인 영역(116')은 상기 제3트랜지스터의 제2의 소오스/드레인 영역(116)에 결합되고, 상기 제4트랜지스터의 게이트(PC)는 제4워드라인(WL)에 결합된 상기 제4트랜지스터(X3);

제1단 및 제2단을 구비한 제3마그네틱스택(MS2)으로서, 상기 제3마그네틱스택의 제1단은 상기 제3트랜지스터의 제1의 소오스/드레인 영역(114')에 결합되고, 상기 제3마그네틱스택의 제2단은 상기 제3트랜지스터의 제2의 소오스/드레인 영역(116)에 결합되는 상기 제3마그네틱스택(MS2);

제1단 및 제2단을 구비한 제4마그네틱스택(MS3)으로서, 상기 제4마그네틱스택의 제1단은 상기 제4트랜지스터의 제1의 소오스/드레인 영역(116')에 결합되고, 상기 제4마그네틱스택의 제2단은 상기 제4트랜지스터의 제2의 소오스/드레인 영역(118)에 결합되는 상기 제4마그네틱스택(MS3); 및

상기 제4트랜지스터의 제2의 소오스/드레인 영역(118)에 결합된 접지노드(GND)를 더욱 포함하여 이루어지는 것을 특징으로 하는 MRAM 반도체 디바이스.

청구항 14.

제13항에 있어서,

상기 비트라인(BL)과 상기 제1트랜지스터의 제1의 소오스/드레인 영역(110) 사이에 결합된 선택스위치(S1)를 더욱 포함하여 이루어지는 것을 특징으로 하는 MRAM 반도체 디바이스.

청구항 15.

제13항 또는 제14항에 있어서,

상기 접지노드(GND)와 상기 제4트랜지스터의 제2의 소오스/드레인 영역(118) 사이에 결합된 선택스위치를 더욱 포함하여 이루어지는 것을 특징으로 하는 MRAM 반도체 디바이스.

청구항 16.

제13항 내지 제15항 중 어느 한 항에 있어서,

상기 제1, 제2, 제3 및 제4트랜지스터(X0; X1; X2; X3)는 디플리션 디바이스를 포함하는 것을 특징으로 하는 MRAM 반도체 디바이스.

청구항 17.

제13항 내지 제16항 중 어느 한 항에 있어서,

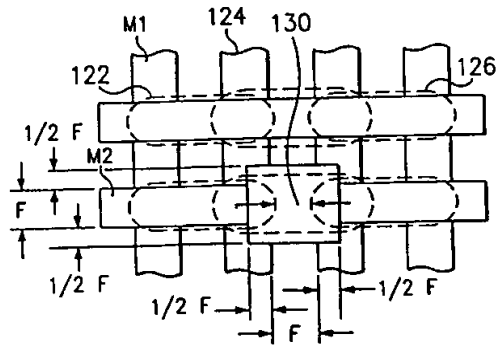
각각의 마그네틱 스택(MS0; MS1; MS2; MS3)은 터널 접합부(TJ0; TJ1; TJ2; TJ3)를 포함하고, 상기 터널 접합부들은 상기 비트라인(BL) 또는 워드라인(WL)에 직접 결합되지 않는 것을 특징으로 하는 MRAM 반도체 디바이스.

청구항 18.

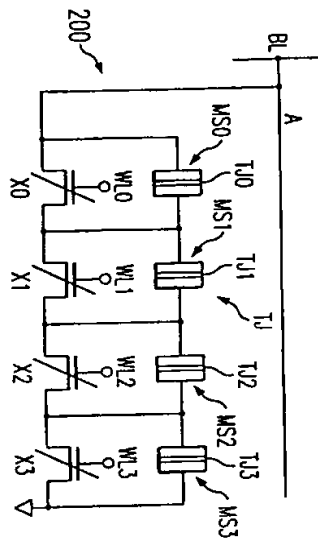
삭제

청구항 19.

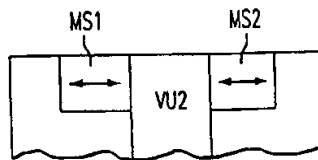
도면6



도면7



도면8



도면9

