(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2013-0063992
(43) 공개일자 2013년06월17일

(51) 국제특허분류(Int. Cl.)
H03K 3/037 (2006.01) *H03K 3/356* (2006.01)
(21) 출원번호 10-2012-0053188
(22) 출원일자 2012년05월18일
심사청구일자 2012년05월18일
(30) 우선권주장
1020110130007 2011년12월07일 대한민국(KR)

(71) 출원인
경희대학교 산학협력단
경기도 용인시 기흥구 덕영대로 1732, 국제캠퍼스 내 (서천동, 경희대학교)
(72) 발명자
장영규
대구광역시 수성구 신매동 시지보성서한타운 260동 1201호
윤창노
서울특별시 강동구 명일1동 현대아파트 101동 303호
(뒷면에 계속)
(74) 대리인
서재승

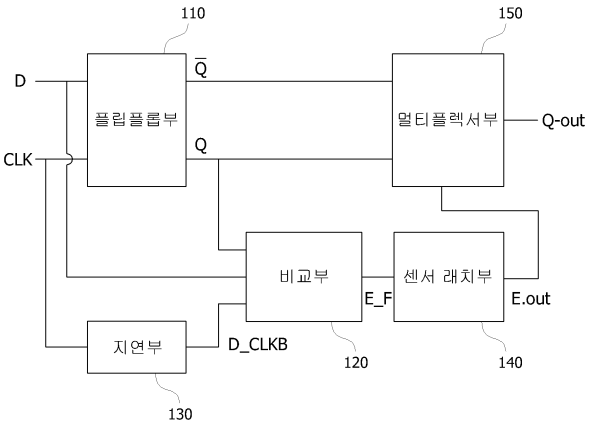
전체 청구항 수 : 총 8 항

(54) 발명의 명칭 **저전력 플립플롭**

(57) 요 약

본 발명은 오류를 감지하고 정정하는 기능을 구비한 플립플롭 장치에 관한 것으로, 보다 구체적으로 나노미터 공정에서 공정 변이로 인하여 발생하는 오류를 1클럭 주기에 오류 감지와 동시에 발생한 오류를 정정할 수 있는 플립플롭 장치에 관한 것이다.

대 표 도 - 도4



(72) 발명자

김진상

경기도 용인시 수지구 죽전1동 반도보라아파트 104동 803호

조원경

경기도 수원시 영통구 영통동 살구골 성지아파트 713동 1003호

특허청구의 범위

청구항 1

입력되는 데이터를 클락 신호에 동기화하여 저장 시각에 저장하는 플립플롭부;

상기 클락 신호에 동기화되어 상기 저장 시각에 상기 플립플롭부에 저장된 데이터와 상기 저장 시각 이후 상기 플립플롭부으로 입력되는 데이터를 비교하여 비교 결과 신호를 출력하는 비교부;

상기 비교 결과 신호에 기초하여 상기 플립플롭부에 저장된 데이터 또는 상기 플립플롭부에 저장된 데이터의 반전 데이터를 선택적으로 출력하는 멀티플렉서부를 포함하는 것을 특징으로 하는 플립플롭 장치.

청구항 2

제 1 항에 있어서, 상기 플립플롭 장치는

상기 비교 결과 신호를 상기 클락 신호 주기 동안 유지시켜주는 센서 래치부를 더 포함하는 것을 특징으로 하는 플립플롭 장치.

청구항 3

제 2 항에 있어서, 상기 플립플롭 장치는

상기 저장 시각에 상기 플립플롭부에 상기 입력되는 데이터가 저장되는 시간 만큼 반전된 상기 클럭 신호를 지연시켜 반전 지연 클럭 신호를 생성하는 지연부를 더 포함하며,

상기 비교부는 상기 지연 반전 클럭 신호에 동기화되어 동작 제어되는 것을 특징으로 하는 플립플롭 장치.

청구항 4

제 3 항에 있어서, 상기 지연부는

적어도 1개 이상의 인버터가 직렬로 연결되어 구성되는 것을 특징으로 하는 플립플롭 장치.

청구항 5

제 3 항에 있어서, 상기 플립플롭부는

D 플립플롭(Delay flip-flop)인 것을 특징으로 하는 플립플롭 장치.

청구항 6

제 5 항에 있어서,

상기 플립플롭부는 상기 클럭 신호가 '0'에서 '1'로 바뀌는 저장 시각에 클럭 시간 '1' 구간에서 상기 플립플롭부로 입력되는 데이터를 샘플링하여 샘플링 데이터를 저장하며,

상기 비교부는 상기 클럭 신호 '1' 구간 동안 상기 저장 시각 이후에 상기 플립플롭부로 입력되는 데이터와 상기 샘플링 데이터를 비교하여 비교 결과 신호를 출력하는 것을 특징으로 하는 플립플롭 장치.

청구항 7

제 6 항에 있어서, 상기 비교부는

제1 게이트로 상기 샘플링 데이터가 입력되며 제1 소스로 상기 플립플롭부로 입력되는 데이터가 입력되며 제1 P-MOS;

제2 게이트로 상기 플립플롭부로 입력되는 데이터가 입력되며, 제2 소스로 상기 샘플링 데이터가 입력되는 제2 P-MOS; 및

제3 게이트로 지연 반전 클럭 신호가 입력되며, 제3 소스에 상기 제1 P-MOS와 상기 제2 P-MOS의 드레인이 연결되며, 상기 3 드레인은 그라운드 단자에 연결되어 있는 제3 N-MOS를 구비하는 것을 특징으로 하는 플립플롭 장

치.

청구항 8

제 7 항에 있어서, 상기 멀티플렉서부는

'0'의 비교 결과 신호가 상기 센서 래치로부터 출력되는 경우 상기 샘플링 데이터를 출력하며,

'1'의 비교 결과 신호가 상기 센서 래치로부터 출력되는 경우 반전된 상기 샘플링 데이터를 출력하는 것을 특징으로 하는 플립플롭 장치.

명 세 서

기 술 분 야

[0001] 본 발명은 오류를 감지하고 정정하는 기능을 구비한 플립플롭 장치에 관한 것으로, 보다 구체적으로 나노미터 공정에서 공정 변이로 인하여 발생하는 오류를 1클럭 주기에 오류 감지와 동시에 발생한 오류를 정정할 수 있는 플립플롭 장치에 관한 것이다.

배 경 기 술

[0002] 디지털 집적회로의 성능을 향상시키기 위해서 매우 공격적인 공정의 집적화가 개발되었고 매 공정의 집적화가 이루어질 때마다 적어도 두 배 이상의 성능 향상을 얻을 수 있었다. 그러나 공정 변이와 방사능 원자에 의한 감도의 증가가 나노미터 기반의 공정 기술에서 발견됨에 따라, 무어의 법칙을 적용한 성능향상을 유지하는 것이 매우 힘든 일이 되었다. 그러므로 바다 높이에서의 환경에서 조차 외부의 방사능 원자와 변이들에 대해 나노미터 공정을 적용한 소자는 매우 민감하게 반응한다. 이러한 변이들의 원인으로는 공정(process)변이, 전압(voltage)변이, 온도(temperature)변이가 있다. 이를 PVT변이라 한다. 공정변이는 반도체 레이아웃 패턴 구현 시 리소그래피 작업시의 잡음으로 인한 변이와, 이로 인한 트랜지스터 문턱 전압 변이를 예로 들 수 있다

[0003] 나노 공정이 발달함에 따라 집적회로의 스케일링으로 인하여 점점 작아지는 내부노드의 커패시턴스로 인해 방사능 원자가 트랜지스터 내부 노드에 충돌할 경우 조합논리회로와 순차논리회로에 소프트 오류를 발생시키며 이러한 현상을 SEU(single event upset)라 한다. 낮아진 공급전압과 작아진 공정으로 인해 노드의 값은 작은 전하만으로도 변할 수 있다.

[0004] 이와 같은 오류로 인한 회로 내의 값의 변화는 전체적인 회로의 오작동을 유발할 수 있다. 특히 기억소자의 경우 기억하고 있던 값이 변하여 잘못된 값을 기억하고 오작동을 유발할 가능성이 커진다. 이로 인해 발생되는 오류는 공정 스케일링이 진행될수록 지수적으로 증가하게 된다.

[0005] 도 1은 다수의 조합논리회로와 다수의 순차논리회로를 구비하는 회로 장치의 동작 상태를 설명하기 위한 도면이다.

[0006] 도 1을 참고로 살펴보면, 조합논리회로1(10)은 데이터(D1)을 입력받아 제1 조합 연산을 수행하여 출력 데이터(D2)를 생성하고 생성한 출력 데이터(D2)를 순차논리회로1(20)로 제공한다. 순차논리회로1(20)은 클럭신호(CLK)에 동기화되어 출력 데이터(D2)를 저장하거나 조합논리회로2(11)로 저장한 출력 데이터(D2)를 출력한다. 한편, 조합논리회로2(11)는 출력 데이터(D2)를 입력받아 제2 조합 연산을 수행하여 출력 데이터(D3)을 생성하고 생성한 출력 데이터(D3)를 순차논리회로2(21)로 제공한다. 순차논리회로2(21)는 클럭신호에 동기화되어 출력 데이터(D3)를 저장하거나 다음 조합논리회로3(미도시)로 저장한 출력 데이터(D3)를 출력한다.

[0007] 여기서 조합논리회로1, 2(10, 11)은 데이터(D1, D2)를 이용하여 설정된 시간에 따라 조합 연산을 수행하여 출력 데이터(D2, D3)를 순차논리회로1, 2(20, 21)로 출력한다. 순차논리회로1, 2(20, 21)는 클럭신호(CLK)에 동기화되어 설정한 클럭 주기에 따라 출력 데이터(D2, D3)를 저장한다.

[0008] 도 2는 종래 순차논리회로로 사용되는 D 플립플롭(Delay flip-flop)의 일 예를 설명하기 위한 회로도이다.

[0009] 도 2를 참고로 보다 구체적으로 살펴보면, D 플립플롭은 2개의 래치(L1, L2)가 순차적으로 직렬로 접속되어 있는데, 각 래치(L1, L2)는 1개 비트를 저장하기 위한 디지털 논리회로이다. 제1 래치(L1)와 제2 래치(L2)는 클럭 신호에 동기화되어 클럭 신호가 '1'로 활성화되는 경우 입력되는 데이터를 샘플링하여 저장하며, 1 클럭 주기동안 저장한 데이터를 출력한다. D 플립플롭에 저장되는 데이터는 클럭 신호에 동기화되어 샘플링 저장되므로, 공정 변이로 인하여 D 플립플롭의 앞단에 접속되어 있는 조합논리회로에서 출력되어 D 플립플롭으로 입력되는 데이터가 지연되어 입력되는 경우 D 플립플롭의 샘플링 시각에 실제 입력되는 데이터와 다른 데이터가 샘플링되어 D 플립플롭에 저장될 수 있다.

[0010] 도 3은 종래 D 플립플롭으로 입력되는 데이터가 지연되는 경우 클럭 신호(CLK)에 동기화되어 D 플립플롭에 샘플링 저장되는 데이터(Q)의 일 예를 설명하기 위한 도면이다.

[0011] 도 3을 참고로 보다 구체적으로 살펴보면, 클럭 신호가 '0'에서 '1'로 활성화되는 순간에 제1 래치(L1)로 입력되는 데이터(D=1)는 샘플링되어 제1 래치(L1)에 저장되며 샘플링 데이터(D)는 다음 조합논리회로로 출력 데이터(Q=1)로 출력된다. 클럭 신호가 '1'에서 다시 '0'으로 비활성화되는 경우 제2 래치(L2)는 다음 클럭 신호 주기에 입력되는 새로운 데이터가 샘플링될 때까지 샘플링 데이터(D)를 저장 유지한다. 그러나 공정 변이로 인하여 입력되는 데이터가 시간 지연된 지연 입력 데이터(D_D)로 입력되는 경우, D 플립플롭은 클락 신호(CLK)에 동기화되어 동작하므로 지연 입력 데이터(D_D)의 시간 지연에 무관하게 클럭 신호가 '0'에서 '1'로 활성화되는 순간에 제1 래치(L1)로 입력되는 데이터(D=0)가 샘플링되어 제1 래치(L1)에 저장되며 샘플링 데이터는 다음 조합논리회로로 출력 데이터(Q_D=0)를 출력된다.

[0012] 따라서 공정변이로 인하여 지연 입력 데이터가 입력되는 경우, D 플립플롭은 잘못된 데이터를 출력하며, 1개의 D플립플롭에 잘못 저장된 데이터로 인하여 D 플립플롭의 후단에 연결되어 수행되는 조합논리회로들의 데이터 연산도 오류가 발생하여 전체 시스템에 치명적인 오류를 발생되는 문제점을 가진다.

[0013] 최근 CMOS 트랜지스터 공정이 22nm 공정까지 적용되고 있으며 계속해서 더 미세한 공정까지 적용될 것이라 예상한다. 전압변이와 문턱전압변이, 성능변이에 대한 예상이 2012년에는 각각 10%. 40%, 60%이상 증가할 것이라고 예상되고 있다. 같은 성능을 가질 것으로 예상되어 생산된 트랜지스터라고 할지라도 트랜지스터의 성능은 각 노드의 사용과 입력 노드의 패턴에 따른 시간에 종속적이기 때문에 계속해서 성능을 유지하기 곤란하다.

[0014] 전통적인 VLSI디자인 방법론은 특정한 가드밴드를 가진 정적 노드 성격을 모든 트랜지스터들이 가진다고 가정하고 최악의 상황과 최고의 상황의 파라미터들을 디자인한다. 이러한 방법론은 나노미터 디자인에서의 경우 가드밴드 범위가 커지며 파라미터들이 시간 종속적이기 때문에 효율적이지 못하다. 이러한 문제를 해결하기 위해서 변이에 강인한 신뢰성 있는 설계에 대한 연구가 필요하다.

[0015] 기존의 PVT변이나 소프트 에러에 강인한 플립플롭과 래치의 설계에 대한 연구는 오류 정정 구조와 하드웨어 중복, 시간 중복 기법을 사용하여 오류를 정정하는 방법, 조정 가능한 복제 회로와 오류정정구조를 이용하여 오류를 정정하는 방법, 센서 래치를 이용한 방법이 있다. 오류 정정 구조와 하드웨어 중복, 시간 중복 기법을 사용하여 오류를 정정하는 방법(종래 방법1)의 경우 그림자 래치, 또는 전파 디텍터를 이용하여 내부에서 발생한 오류 값을 발견한 후 1 클럭 주기 이후 오류정정구조를 이용하여 에러를 정정하는 방법을 이용하여 설계하였다. 종래 방법1은 1 클럭의 오류 정정 시간 중복이 필요함과 동시에 오류정정구조와 그림자 래치 또는 전파 디텍터를 이용하는 단점이 있다.

[0016] 조정 가능한 복제 회로와 오류정정구조를 이용하여 오류를 정정하는 방법(종래 방법2)은 조정 가능한 복제 조합논리 회로와 오류정정 순차회로를 파이프라인 구조의 회로에 삽입하여 위기 경로에서의 PVT변이에 의한 오류를 예상하고 오류정정 구조를 동작시켜서 오류를 예방하는 방법이다. 종래 방법2는 오류 정정 순차회로를 모든 회로에 삽입하지 않아도 되는 장점이 있는 반면에 오류 정정 능력이 떨어지며, 소프트에러에 대한 오류 정정이 불가능 하다는 단점이 있다.

[0017] 센서 래치를 이용하는 방법(종래 방법3)은 래치의 샘플링 구간을 플립플롭보다 먼저 수행함으로써 별도의 오류정정 구조를 사용하지 않고 오류 정정을 수행할 수 있다는 장점이 있다. 그러나 클럭 신호를 지연시키는 모듈이 반드시 삽입되어야 하며 이로 인한 클럭 스큐 내구력이 약하지는 단점을 가진다

발명의 내용

해결하려는 과제

[0018] 본 발명은 위에서 설명한 오류 탐지 및 오류 정정 기능을 가지는 플립플롭 장치가 가지는 문제점들을 해결하기 위한 것으로, 본 발명이 이루고자 하는 목적은 1 클럭 주기에 오류를 탐지하고 동시에 오류를 정정하는 기능을 구비한 플립플롭 장치를 제공하는 것이다.

[0019] 본 발명이 이루고자 하는 다른 목적은 3개의 트랜지스터을 구비하는 비교부와 지연부를 통해 오류를 탐지하고 탐지한 오류를 정정하여 간단한 구조를 가지며 소비 전력을 줄인 플립플롭 장치를 제공하는 것이다.

[0020] 본 발명이 이루고자 하는 또 다른 목적은 플립플롭부에 입력되는 샘플링 데이터의 저장 시간을 고려하여 샘플링 데이터와 입력 데이터를 비교하여 오류를 정확하게 탐지하고 정정할 수 있는 플립플롭 장치를 제공하는 것이다.

[0021] 본 발명이 이루고자 하는 또 다른 목적은 센서 래치부를 이용하여 비교부의 비교 결과 신호를 1 클럭 주기 동안 유지시켜 플립플롭 장치에서 출력되는 데이터를 제어하는 플립플롭 장치를 제공하는 것이다.

과제의 해결 수단

[0022] 본 발명의 목적을 달성하기 위하여 본 발명의 일 실시예에 따른 플립플롭 장치는 입력되는 데이터를 클락 신호에 동기화하여 저장 시각에 저장하는 플립플롭부와, 클락 신호에 동기화되어 저장 시각에 플립플롭부에 저장된 데이터와 저장 시각 이후 플립플롭부으로 입력되는 데이터를 비교하여 비교 결과 신호를 출력하는 비교부와, 비교 결과 신호에 기초하여 플립플롭부에 저장된 데이터 또는 플립플롭부에 저장된 데이터의 반전 데이터를 선택적으로 출력하는 멀티플렉서부를 포함한다.

[0023] 바람직하게, 본 발명의 일 실시예에 따른 플립플롭 장치는 비교 결과 신호를 상기 클락 신호 주기 동안 유지시켜주는 센서 래치부를 더 포함한다.

[0024] 더욱 바람직하게, 본 발명의 일 실시예에 따른 플립플롭 장치는 저장 시각에 플립플롭부에 입력되는 데이터가 저장되는 시간 동안 반전된 클럭 신호를 지연시켜 지연 반전 클럭 신호를 생성하는 지연부를 더 포함하며, 비교부는 지연 반전 클럭 신호에 동기화되어 동작 제어되는 것을 특징으로 한다. 여기서 지연부는 적어도 1개 이상의 인버터가 직렬로 연결되어 구성되는 것을 특징으로 한다.

[0025] 여기서 플립플롭부는 D 플립플롭(Delay flip-flop)인 것을 특징으로 하는데, 플립플롭부는 클럭 신호가 '0'에서 '1'로 바뀌는 저장 시각에 클럭 시간 '1' 구간에서 플립플롭부로 입력되는 데이터를 샘플링하여 샘플링 데이터를 저장하며, 비교부는 클럭 신호 '1' 구간 동안 저장 시각 이후에 플립플롭부로 입력되는 데이터와 샘플링 데이터를 비교하여 비교 결과 신호를 출력하는 것을 특징으로 한다.

[0026] 여기서 비교부는 제1 게이트로 샘플링 데이터가 입력되며 제1 소스로 플립플롭부로 입력되는 데이터가 입력되며 제1 P-MOS와, 제2 게이트로 플립플롭부로 입력되는 데이터가 입력되며 제2 소스로 샘플링 데이터가 입력되는 제2 P-MOS와, 제3 게이트로 지연 반전 클럭 신호가 입력되며 제3 소스에 제1 P-MOS와 제2 P-MOS의 드레인이 연결되며 3 드레인은 그라운드 단자에 연결되어 있는 제3 N-MOS를 구비하는 것을 특징으로 한다.

[0027] 여기서 멀티플렉서부는 '0'의 비교 결과 신호가 센서 래치로부터 출력되는 경우 샘플링 데이터를 출력하며, '1'의 비교 결과 신호가 센서 래치로부터 출력되는 경우 반전된 샘플링 데이터를 출력하는 것을 특징으로 한다.

발명의 효과

[0028] 본 발명에 따른 플립플롭 장치는 종래 플립플롭 장치와 비교하여 다음과 같은 다양한 효과를 가진다.

[0029] 첫째, 본 발명에 따른 플립플롭 장치는 1 클럭 주기에 오류를 탐지하고 동시에 오류를 정정함으로써, 데이터 처리 시간을 단축할 수 있다.

[0030] 둘째, 본 발명에 따른 플립플롭 장치는 3개의 트랜지스터을 구비하는 비교부와 지연부를 통해 오류를 탐지하고 탐지한 오류를 정정함으로써, 하드웨어적으로 간단한 구조를 가지며 이로 인하여 소비 전력을 향상시킨다.

[0031] 셋째, 본 발명에 따른 플립플롭 장치는 플립플롭부에 입력되는 샘플링 데이터의 저장 시간을 고려하여 비교부의 비교 동작 시간을 샘플링 데이터의 저장 시간만큼 지연하여 동작 제어함으로써, 샘플링 데이터와 입력 데이터를 비교하여 오류를 정확하게 탐지하고 정정할 수 있다.

[0032] 넷째, 본 발명에 따른 플립플롭 장치는 센서 래치부를 이용하여 비교부의 비교 결과 신호를 1 클럭 주기 동안 유지시킴으로써, 플립플롭 장치에서 출력되는 데이터가 변경되는 것을 방지하여 정확한 연산이 가능하다.

도면의 간단한 설명

[0033] 도 1은 다수의 조합회로와 다수의 순차회로를 구비하는 회로 장치의 동작 상태를 설명하기 위한 도면이다.

도 2는 종래 순차회로로 사용되는 D 플립플롭(Delay flip-flop)의 일 예를 설명하기 위한 회로도이다.

도 3은 종래 D 플립플롭으로 입력되는 데이터가 지연되는 경우 클럭 신호에 동기화되어 D 플립플롭에 샘플링 저장되는 데이터의 일 예를 설명하기 위한 도면이다.

도 4는 본 발명의 일 실시예에 따른 플립플롭 장치를 설명하기 위한 기능블록도이다.

도 5는 본 발명의 일 실시예에 따른 플립플롭 장치의 회로도를 도시하고 있다.

도 6은 본 발명에 따른 플립플롭 장치에서 오류가 탐지되지 않은 경우 생성되는 신호의 타이밍도를 도시하고 있다.

도 7은 본 발명에 따른 플립플롭 장치에서 오류가 탐지된 경우 생성되는 신호의 타이밍도를 도시하고 있다.

도 8은 비교부의 동작 제어 신호로 지연 반전 클럭 신호를 사용하는 이유를 설명하기 위한 신호 타이밍도이다.

발명을 실시하기 위한 구체적인 내용

[0034] 이하 첨부한 도면을 참고로 본 발명에 따른 플립플롭 장치에 대해 보다 구체적으로 설명한다.

[0035] 도 4는 본 발명의 일 실시예에 따른 플립플롭 장치를 설명하기 위한 기능블록도이다.

[0036] 도 4를 참고로 보다 구체적으로 살펴보면, 플립플롭부(110)로 입력 데이터(D)와 클럭 신호(CLK)가 입력되며, 입력된 클럭 신호(CLK)에 동기화하여 입력 데이터를 샘플링하여 저장하거나 샘플링한 데이터를 출력 데이터(Q)로 출력한다. 비교부(120)는 입력 데이터(D), 출력 데이터(Q) 및 반전된 지연 클럭 신호(D_CLKB)가 입력되며, 반전된 지연 클럭 신호(D_CLKB)에 동기화되어 출력 데이터(Q), 즉 샘플링되어 플립플롭부(110)에 저장된 데이터와 입력 데이터(D)를 반전된 지연 클럭 신호(D_CLKB) 중 활성화 구간에서 비교하여 비교 결과 신호(E_F)를 생성한다. 반전 지연 클럭 신호(D_CLKB)의 활성화 구간에서 샘플링되어 플립플롭부(110)에 저장된 데이터(Q)와 입력 데이터(D)가 서로 상이한 경우 오류 탐지를 나타내는 비교 결과 신호를 생성한다.

[0037] 여기서 지연부(130)는 클럭 신호(CLK)를 반전시키고 반전된 클럭 신호(CLKB)를 입력 데이터(D)가 샘플링되어 플립플롭부(110)에 저장되는 시간만큼 지연시켜 지연 반전 클럭 신호(D_CLKB)를 생성하고, 생성한 지연 반전 클럭 신호(D_CLKB)를 비교부(120)로 제공한다.

[0038] 센서 래치부(140)는 오류 탐지를 나타내는 비교 결과 신호(E_F)가 입력되는 경우, 비교 결과 신호(E_F)를 저장하여 1클럭 주기 동안 저장한 비교 결과 신호를 유지시키며, 저장한 비교 결과 신호(E_OUT)를 멀티플렉서부(150)로 출력한다. 멀티플렉서부(150)는 센서 래치부(140)로부터 출력된 비교 결과 신호(E_OUT)에 기초하여 오류 탐지를 나타내는 비교 결과 신호가 센서 래치부(140)로부터 출력되는 경우 플립플롭부(110)에서 출력되는 출력 데이터를 반전시켜 오류가 정정된 출력 데이터(Q_OUT)를 출력 제어하며, 센서 래치부(140)로부터 출력된 비교 결과 신호(E_OUT)에 기초하여 오류가 탐지되지 않았음을 나타내는 비교 결과 신호가 센서 래치부(140)로부터 출력되는 경우 플립플롭부(110)에서 출력되는 출력 데이터를 반전없는 출력 데이터(Q_OUT)를 그대로 출력 제어한다.

[0039] 도 5는 본 발명의 일 실시예에 따른 플립플롭 장치의 회로도를 도시하고 있다.

[0040] 도 5를 참고로 살펴보면, 플립플롭부(110)는 2개의 래치(L1. L2)를 구비하여 구성되어 있다. 제1 래치(L1)는 클럭 신호의 비활성화 구간에서 온(on) 제어되는 제1 스위치(SW1), 제1 스위치(SW1)와 직렬로 접속되어 있는 제1 NOT 게이트(N1), 제1 NOT 게이트(N1)와 병렬로 연결되는 제2 NOT 게이트(N1)와 클럭 신호의 활성 구간에서 온(on) 제어되는 제2 스위치(SW2)가 서로 직렬로 연결되어 있다. 한편, 제2 래치(L2)는 제1 래치(L1)에 직렬로 접속되어 있는데, 클럭 신호의 활성화 구간에서 온(on) 제어되는 제3 스위치(SW3), 제3 스위치(SW3)와 직렬로 접속되어 있는 제3 NOT 게이트(N3), 제3 NOT 게이트(N1)와 병렬로 연결되는 제4 NOT 게이트(N4), 제4 NOT 게이

트와 병렬로 클럭 신호의 비활성 구간에서 온(on) 제어되는 제4 스위치(SW4)가 연결되어 있다.

[0041] 바람직하게 플립플롭부(110)는 데이터(D) 입력 및 클럭 신호(CLK) 입력의 2단자와, 출력의 2단자를 가지고 있는 D 플립플롭(Delay flip-flop)인 것을 특징으로 하는데, 데이터에 "1"이 입력되고 클록 신호가 인가되며 출력 Q에는 "1"이, Q_B에는 "0"이 출력된다.

[0042] 플립플롭부(110)의 동작을 보다 구체적으로 살펴보면, 비활성 클럭 신호('0'의 값을 가지는 클럭 신호)가 입력되는 동안 제1 스위치(SW1)는 온 제어되며, 제2 스위치(SW2)와 제3 스위치(SW3)는 오프(off) 제어된다. 따라서 데이터는 비활성 클럭 신호 구간동안 계속해서 입력되며 입력된 데이터는 제1 NOT 게이트(N1)에서 반전되고 다시 제2 NOT 게이트(N2)에서 반전된다. 한편, 클럭 신호가 활성화되는 순간('1'의 값을 가지는 클럭 신호) 제1 스위치(SW1)와 제4 스위치(SW4)는 오프 제어되고 제2 스위치(SW2)와 제3 스위치(SW3)는 온 제어된다. 따라서 클럭 신호가 활성화되는 순간 입력되는 데이터가 샘플링되어 제1 래치(L1)에 저장되며, 샘플링 데이터는 반전되어 반전된 출력 데이터(Q_B)가 제1 출력 단자로 출력되며 반전되지 않은 출력 데이터(Q)는 제2 출력 단자로 출력된다. 클럭 신호가 활성 구간에서 다시 비활성화 구간으로 변경되는 경우, 제3 스위치(SW3)는 오프 제어되고 제4 스위치(SW4)는 온 제어되어 제2 래치(L2)에 저장되어 있는 샘플링 데이터는 저장 유지되며 출력 데이터로 출력된다.

[0043] 비교부(120)는 플립플롭부(110)에 저장된 샘플링 데이터(Q)와 샘플링 시각 이후 입력되는 데이터(D)를 반전된 지연 클럭 신호(D_CLKB) 중 활성화 구간에서 비교하여 비교 결과 신호(E_F)를 생성하는데 그 구성을 보다 구체적으로 살펴보면 다음과 같다. 비교부(120)는 제1 게이트로 샘플링 데이터가 입력되며 제1 소스로 플립플롭부(110)로 입력되는 데이터가 입력되는 제1 P-MOS와, 제2 게이트로 플립플롭부(110)로 입력되는 데이터가 입력되며 제2 소스로 샘플링 데이터가 입력되는 제2 P-MOS와, 제3 게이트로 지연부(130)에서 출력되는 지연 반전 클럭 신호(D-CLKB)가 입력되며 제3 소스에 제1 P-MOS와 제2 P-MOS의 드레인이 연결되며 제3 드레인으로 그라운드 단자가 연결되어 있는 제3 N-MOS를 구비하고 있다. 지연부(130)는 제5 NOT 게이트(N5)와 인버터(I)로 구성되어 있는데, 클럭 신호는 제5 NOT 게이트(NT)에 의해 반전되며 인버터(I)에 의해 시간 지연되어 반전 지연 클럭 신호(D_CLKB)를 생성한다. 여기서 인버터(I)는 입력 데이터가 클럭 신호에 동기화되어 샘플링된 후 출력되는 시간만큼 반전 클럭 신호(CLKB)를 지연시킨다.

[0044] 제3 N-MOS는 반전 지연 클럭 신호(D_CLKB) 중 활성 구간에서는 온 제어되어 제1 P-MOS와 제2 P-MOS의 드레인을 그라운드에 연결하여 비교부(120)에서 항상 오류가 탐지되지 않았음을 나타내는 비교 결과 신호를 출력 제어한다. 한편, 제3 N-MOS는 반전 지연 클럭 신호(D_CLKB) 중 비활성 구간에서 오프 제어되어 비교부(120)에서 입력 데이터(D)와 샘플링 데이터(Q)를 비교하여 비교 결과에 따라 오류가 탐지되었는지를 나타내는 비교 결과 신호(E_F)를 생성한다. 예를 들어, 입력 데이터(D)와 샘플링 데이터(Q)가 서로 상이한 경우에는 오류가 탐지되었음을 나타내는 '1'의 값을 가지는 비교 결과 신호를 생성하며 입력 데이터(D)와 샘플링 데이터(Q)가 서로 동일한 경우에는 오류가 탐지되지 않았음을 나타내는 '0'의 값을 가지는 비교 결과 신호를 생성한다.

[0045] 센서 래치부(140)는 오류 탐지를 나타내는 비교 결과 신호(E_F)가 입력되는 경우, 비교 결과 신호(E_F)를 저장하여 1클럭 주기 동안 저장한 비교 결과 신호(E_F)를 유지시키는데 그 구성과 동작에 대해 보다 구체적으로 살펴보면 다음과 같다. 센서 래치부(140)는 활성 클럭 신호가 입력되는 동안 온 제어되는 제5 스위치(SW5), 제5 스위치(SW5)에 직렬 접속되어 있는 제5 NOT 게이트(N5), 제5 NOT 게이트(N5)와 병렬로 접속되는 제6 NOT 게이트(N6)와 비활성 클럭 신호가 입력되는 동안 온 제어되는 제6 스위치(SW6)가 서로 직렬로 접속되어 있다. 클럭 신호의 활성화 구간 동안에 제5 스위치(SW5)는 온 제어되어 비교 결과 신호(E_F)가 입력되어 제5 NOT 게이트(N5)에서 반전되며, 다시 제6 NOT 게이트(N6)에서 재반전되어 저장된다. 한편, 클럭 신호가 활성에서 비활성으로 변경되는 순간 비활성 구간 동안 제5 스위치(SW5)는 오프 제어되고 제6 스위치(SW6)는 온 제어되어 제5 NOT 게이트(N5)와 제6 게이트(N6)에 저장되어 있는 비교 결과 신호는 값이 유지된다.

[0046] 멀티플렉서부(150)는 센서 래치부(140)로부터 출력된 비교 결과 신호(E_OUT)에 기초하여 출력 데이터(Q_OUT)를 출력 제어하는데 멀티플렉서부(150)의 구성과 동작을 보다 구체적으로 살펴보면 다음과 같다. 플립플롭부(110)의 제1 출력 단자에는 플립플롭부(110)의 반전된 출력 데이터(Q-B)가 출력되며, 플립플롭부(110)의 제2 출력 단자에는 플립플롭부(110)의 출력 데이터(Q)가 출력된다. 제1 출력 단자에는 오류가 탐지되었음을 나타내는 비교 결과 신호에 온 제어되는 제7 스위치(SW7)가 접속되어 있으며, 제2 출력 단자에는 오류가 탐지되지 않았음을 나타내는 비교 결과 신호에 온 제어되는 제8 스위치(SW8)가 접속되어 있다. 제7 스위치(SW7)와 제8 스위치(SW8)는 비교 결과 신호에 기초하여 입력 데이터(D)와 샘플링된 데이터(Q)가 서로 동일하지 않아 오류가 탐지된 경우에는 플립플롭부(110)의 제2 출력 단자로 출력되는 데이터를 출력 데이터(Q_OUT)로 출력하며 입력 데이터

(D)와 샘플링 데이터(Q)가 서로 동일하여 오류가 탐지되지 않은 경우에는 플립플롭부(110)의 제1 출력 단자로 출력되는 데이터를 출력 데이터(Q_OUT)로 출력한다.

[0047] 도 6은 본 발명에 따른 플립플롭 장치에서 오류가 탐지되지 않은 경우 생성되는 신호의 타이밍도를 도시하고 있다.

[0048] 도 6을 참고로 살펴보면, 플립플롭부로 입력되는 데이터(D)가 시간 지연없이 입력되는 경우, 클럭 신호(CLK)의 샘플링 시각(t_s)에 '1'의 값을 가지는 입력 데이터를 샘플링 저장하여 플립플롭부에서 샘플링 저장한 입력 데이터('1')를 출력 데이터(Q)로 출력한다. 클럭 신호의 활성 구간 중 오류 탐지 시간(t_c) 동안 샘플링 시각 이후 플립플롭으로 입력되는 데이터(D)와 샘플링 데이터(Q)를 비교하여 서로 동일한 경우에는 오류가 탐지되지 않았음을 나타내는 '0'의 값을 가지는 비교 결과 신호(E_F)를 생성하며, 센서 래치부는 비교 결과 신호를 1클럭 주기 동안 유지시키며 비교 결과 신호(E-OUT)를 멀티플렉서부로 제공한다. 멀티플렉서부는 비교 결과 신호(E-OUT)에 기초하여 샘플링된 신호를 출력 데이터(Q-OUT)로 출력한다.

[0049] 도 7은 본 발명에 따른 플립플롭 장치에서 오류가 탐지되었을 경우 생성되는 신호의 타이밍도를 도시하고 있다.

[0050] 도 7을 참고로 살펴보면, 플립플롭부로 입력되는 데이터(D)가 공정 변이로 인하여 시간 지연을 가지고 입력되는 경우, 클럭 신호(CLK)의 샘플링 시각(t_s)에 '0'의 값을 가지는 입력 데이터를 샘플링 저장하여 플립플롭부에서 샘플링 저장한 입력 데이터를 출력 데이터(Q)로 출력한다. 클럭 신호의 활성 구간 중 오류 탐지 시간(t_c) 동안 샘플링 시각 이후 플립플롭으로 입력되는 데이터(D)는 정상적인 값을 가지는 데이터가 입력되며 정상적인 데이터와 샘플링 데이터(Q)를 비교하여 서로 상이한 경우에는 오류가 탐지되었음을 않았음을 나타내는 '1'의 값을 가지는 비교 결과 신호(E-F)를 생성하며, 센서 래치부는 비교 결과 신호를 1클럭 주기 동안 유지시키며 비교 결과 신호(E-OUT)를 멀티플렉서부로 제공한다. 멀티플렉서부는 비교 결과 신호(E-OUT)에 기초하여 반전된 샘플링된 신호를 출력 데이터(Q-OUT)로 출력한다.

[0051] 도 8은 비교부의 동작 제어 신호로 지연 반전 클럭 신호를 사용하는 이유를 설명하기 위한 신호 타이밍도이다.

[0052] 도 8을 참고로 살펴보면, 클럭 신호(CLK)를 반전시켜 반전 클럭 신호(CLKB)를 생성하여 반전 클럭 신호(CLKB)의 샘플링 시각(T_s)에 샘플링 데이터(Q)와 입력 데이터를 비교하면 항상 오류 탐지를 나타내는 비교 결과 신호(E_F1)가 생성된다. 이는 플립플롭부로 입력되는 데이터가 샘플링되어 플립플롭부에 저장되는데 시간 지연이 발생되며, 이러한 시간 지연을 고려하지 않은 경우 샘플링 시각에서 비교되는 입력 데이터와 샘플링 데이터는 서로 상이한다. 이러한 문제점을 해결하기 위하여 본 발명에서는 입력되는 데이터가 샘플링되어 플립플롭에 저장되는 시간을 고려하여 비교부의 동작 제어 신호로 지연 반전 클럭 신호(D_CLKB)를 사용함으로써, 입력 데이터와 샘플링 데이터를 비교한 정확한 비교 결과 신호(E_F2)를 생성한다.

[0053] 본 발명은 도면에 도시된 실시예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 등록청구범위의 기술적 사상에 의해 정해져야 할 것이다.

부호의 설명

[0054] 10: 조합회로 20: 순차회로

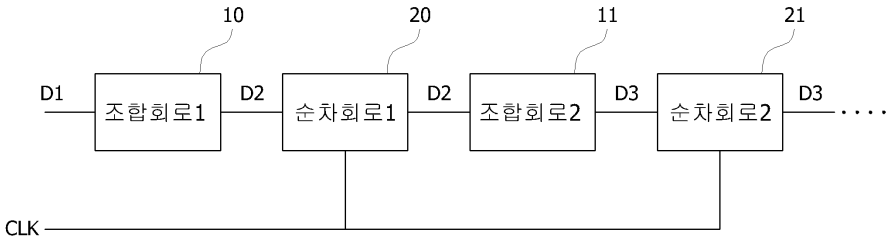
110: 플립플롭부 120: 비교부

130: 지연부 140: 센서 래치부

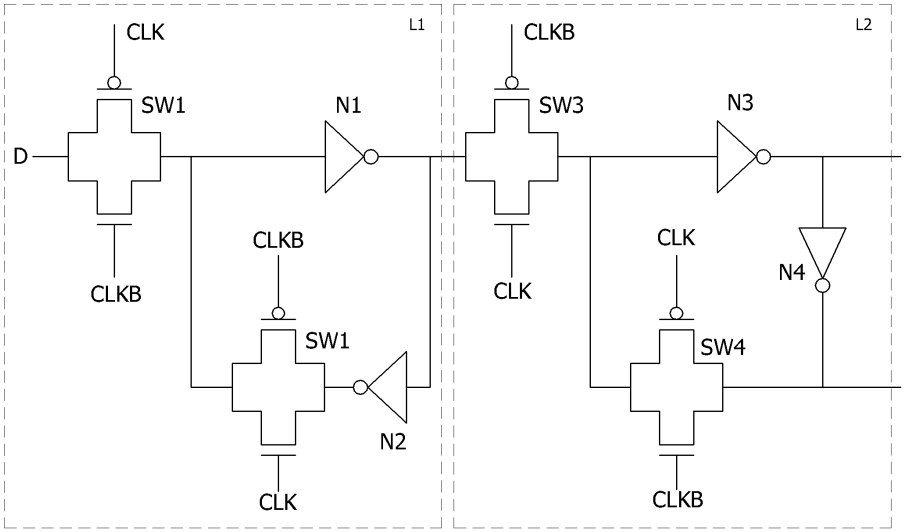
150: 멀티플렉서부

도면

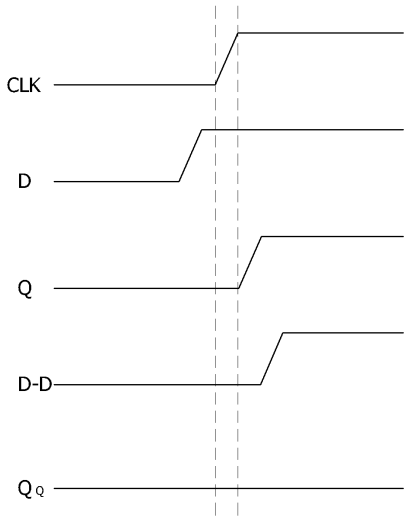
도면1



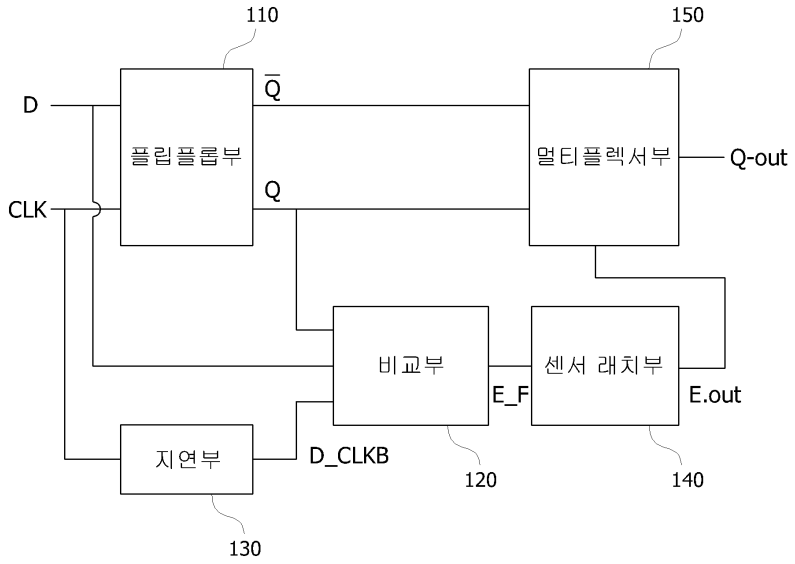
도면2



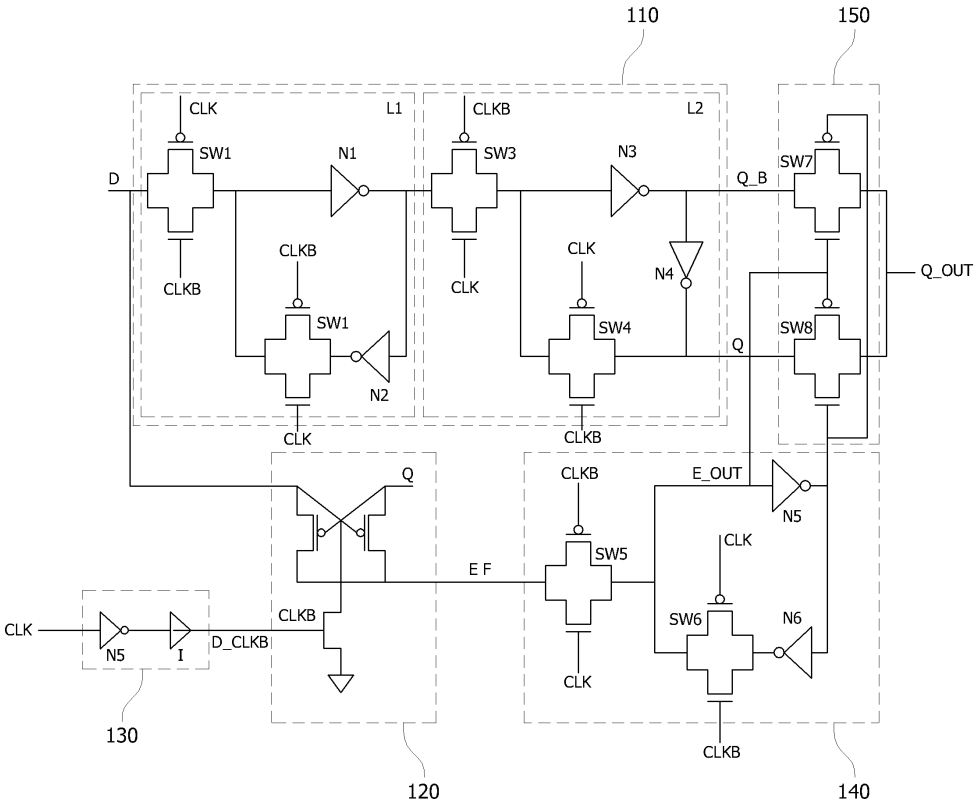
도면3



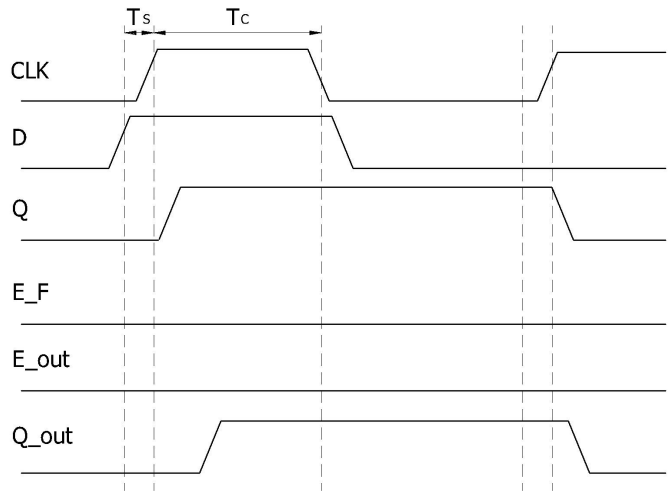
도면4


110
150
D
CLK
플립플롭부
Q
Q
멀티플렉서부
Q-out
비교부
센서 래치부
E_F
E.out
지연부
D_CLKB
120
140
130

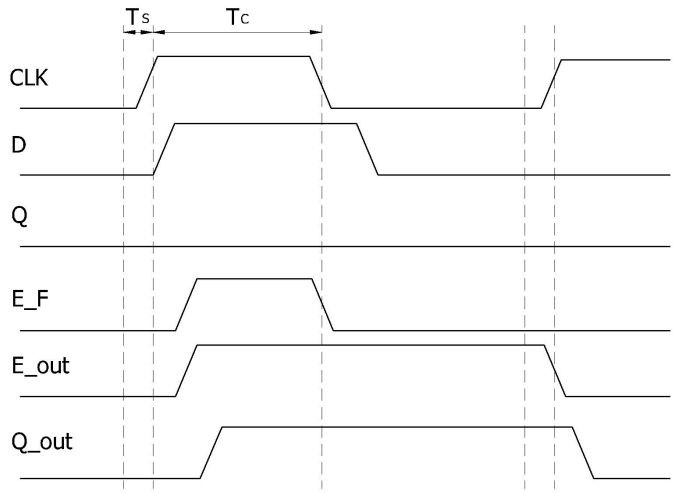
도면5


110
150
CLK
L1
CLKB
L2
SW1
N1
SW3
N3
SW7
D
Q_B
CLKB
CLK
CLK
N4
Q_OUT
CLKB
SW1
SW4
SW8
Q
N2
CLK
CLKB
Q
CLKB
E_OUT
N5
E F
SW5
CLK
CLK
SW6
N6
CLK
N5
I
D_CLKB
CLKB
CLK
CLKB
130
120
140

도면6



도면7



도면8

