



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2010-0113455  
(43) 공개일자 2010년10월21일

(51) Int. Cl.

G11C 16/06 (2006.01) G11C 16/32 (2006.01)

G11C 16/30 (2006.01)

(21) 출원번호 10-2010-0031991

(22) 출원일자 2010년04월07일

심사청구일자 2010년04월07일

(30) 우선권주장

12/717,705 2010년03월04일 미국(US)

61/168,801 2009년04월13일 미국(US)

(71) 출원인

타이완 세미콘덕터 매뉴팩처링 컴퍼니 리미티드  
중국, 타이완 300-77, 신쑤, 사이언스-베이스드  
인더스트리얼 파크, 리신 로드, 6, 8호

(72) 발명자

양 띠엔-춘

미국 캘리포니아 95120 산 호세 햄프스우드 웨이  
860

스웨이 위윈

미국 캘리포니아 94539 프리몬트 임페리오 플레이  
스 40343

(뒷면에 계속)

(74) 대리인

정홍식

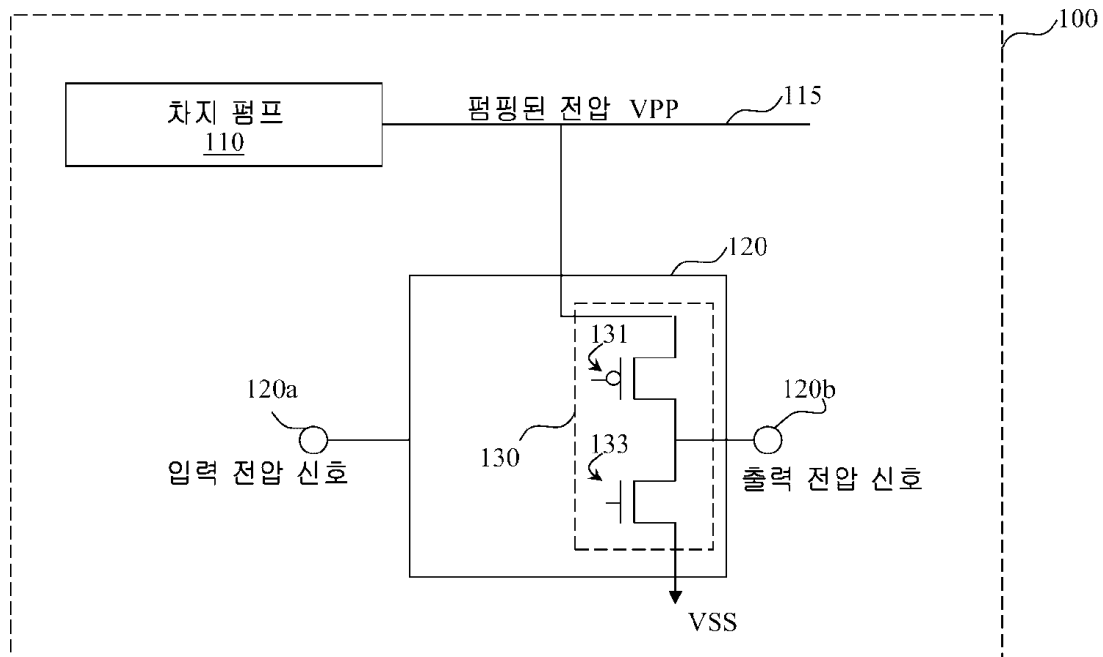
전체 청구항 수 : 총 13 항

(54) 레벨 쉬프터, 집적 회로, 시스템, 및 레벨 쉬프터의 작동 방법

(57) 요약

레벨 쉬프터는 입력 전압 신호를 받아들일 수 있는 입력단을 포함한다. 상기 입력 전압 신호는 제1전압 상태에서부터 제2전압 상태로의 제1상태 변화를 포함한다. 출력단은 상기 입력 전압 신호의 제1상태 변화에 대응하여 제3전압 상태에서부터 상기 제2전압 상태로의 제2상태 변화를 갖는 출력 전압 신호를 출력할 수 있다. 드라이버 스테이지는 상기 입력단과 상기 출력단 사이에서 연결된다. 상기 드라이버 스테이지는 제1트랜지스터 및 제2트랜지스터를 포함한다. 상기 제1전압 상태와 상기 제2전압 상태의 평균 전압 수준 부근에 대응하는 시간의 실질적인 바로 이후부터, 상기 제2전압 상태는 실질적으로 상기 제1트랜지스터의 게이트에 적용되지 않아서 실질적으로 상기 제1트랜지스터를 턴오프시킨다.

대표도



(72) 발명자

**린 치-창**

미국 캘리포니아 95129 산 호세 아텐우드 드라이브  
1548

**푸 치양**

미국 캘리포니아 95129 산 호세 더블유 리버사이드  
웨이 1050

---

## 특허청구의 범위

### 청구항 1

제1전압 상태에서부터 제2전압 상태로의 제1상태 변화를 포함하는 입력 전압 신호를 받아들이도록 구성되는 입력단;

상기 입력 전압 신호의 상기 제1상태 변화에 대응하여 제3전압 상태에서부터 상기 제2전압 상태로의 제2상태 변화를 갖는 출력 전압 신호를 출력하도록 구성되는 출력단; 및

상기 입력단과 상기 출력단 사이에서 연결되는 드라이버 스테이지(driver stage)를 포함하고,

상기 드라이버 스테이지는 제1트랜지스터 및 제2트랜지스터를 포함하고,

상기 제1전압 상태와 상기 제2전압 상태의 평균 전압 수준 부근에 대응하는 시간의 실질적인 바로 이후부터, 상기 제2전압 상태는 실질적으로 상기 제1트랜지스터의 게이트에 적용되지 않아서 실질적으로 상기 제1트랜지스터를 턴오프시키는 것을 특징으로 하는 레벨 쉬프터.

### 청구항 2

제1항에 있어서,

상기 제1전압 상태와 상기 제2전압 상태의 상기 평균 전압 수준 부근에 대응하는 상기 시간의 실질적인 바로 이후부터는 약 1 나노세컨드(ns) 이하인 것을 특징으로 하는 레벨 쉬프터.

### 청구항 3

제2항에 있어서,

상기 제1상태 변화에 대응하는 전하 누설은 상기 제1, 2트랜지스터를 통해 흐르고,

상기 제1전압 상태와 상기 제2전압 상태의 상기 평균 전압 수준 부근에 대응하는 상기 시간부터, 상기 전하 누설은 약 0.5 피코 쿨롬(pC) 이하인 것을 특징으로 하는 레벨 쉬프터.

### 청구항 4

제1항에 있어서,

상기 제1트랜지스터의 상기 게이트는 상기 제2트랜지스터의 게이트와 연결되고, 상기 제1, 2트랜지스터의 상기 게이트는 동일한 전압에 연결되는 것을 특징으로 하는 레벨 쉬프터.

### 청구항 5

제1항에 있어서,

상기 제1전압 상태는 실질적으로 작동 전압(VDD) 부근과 일치하고, 상기 제2전압 상태는 0 V 부근인 것을 특징으로 하는 레벨 쉬프터.

### 청구항 6

제5항에 있어서,

상기 제1트랜지스터의 소스 단은 펌핑된 전압을 공급할 수 있는 라인과 연결되고, 상기 펌핑된 전압은 상기 작동 전압(VDD)보다 높은 것을 특징으로 하는 레벨 쉬프터.

### 청구항 7

제6항에 있어서,

상기 입력단과 연결되는 인버터;

상기 인버터와 연결되며, 소스 단 및 상기 라인과 연결되는 드레인 단을 갖는 제3트랜지스터;

상기 출력단과 연결되며, 드레인 단 및 상기 라인과 연결되는 소스 단을 갖는 제4트랜지스터;  
 상기 입력단과 연결되며, 드레인 단 및 상기 제3, 4트랜지스터와 연결되는 소스 단을 갖는 제5트랜지스터; 및  
 상기 출력단과 연결되며, 소스 단 및 상기 제5트랜지스터의 상기 드레인 단과 상기 제1, 2트랜지스터의 상기 게이트와 연결되는 드레인 단을 갖는 제6트랜지스터를 포함하는 것을 특징으로 하는 레벨 쉬프터.

**청구항 8**

제1전압 상태로부터 제2전압 상태로의 제1상태 변화를 포함하는 입력 전압 신호를 받아들이는 단계;  
 상기 제1전압 상태와 상기 제2전압 상태의 평균 전압 수준 부근에 대응하는 시간의 실질적인 바로 이후부터, 상기 제1전압 상태보다 큰 제3전압 상태와 연결되는 드라이버 스테이지의 제1트랜지스터에 대하여, 실질적으로 상기 제2전압 상태를 상기 드라이버 스테이지의 상기 제1트랜지스터의 게이트에 적용하지 않아서 상기 제1트랜지스터를 턴오프시키는 단계; 및  
 상기 입력 전압 신호의 상기 제1상태 변화에 대응하여 상기 제3전압 상태로부터 상기 제2전압 상태로의 제2상태 변화를 갖는 출력 전압 신호를 출력하는 단계를 포함하는 것을 특징으로 하는 레벨 쉬프터의 작동 방법.

**청구항 9**

제8항에 있어서,  
 상기 제1전압 상태와 상기 제2전압 상태의 상기 평균 전압 수준 부근에 대응하는 상기 시간의 실질적인 바로 이후부터는 약 1 나노세컨드(ns) 이하인 것을 특징으로 하는 레벨 쉬프터의 작동 방법.

**청구항 10**

제9항에 있어서,  
 상기 제1상태 변화에 대응하는 전하 누설은 상기 드라이버 스테이지를 통해 흐르고,  
 상기 제1전압 상태와 상기 제2전압 상태의 상기 평균 전압 수준 부근에 대응하는 상기 시간부터, 상기 전하 누설은 약 0.5 피코 쿨롬(pC) 이하인 것을 특징으로 하는 레벨 쉬프터의 작동 방법.

**청구항 11**

제8항에 있어서,  
 상기 드라이버 스테이지의 상기 제1트랜지스터의 상기 게이트와 상기 드라이버 스테이지의 상기 제2트랜지스터의 게이트에 동일한 전압을 적용하는 단계를 더 포함하는 것을 특징으로 하는 레벨 쉬프터의 작동 방법.

**청구항 12**

제8항에 있어서,  
 상기 제1전압 상태는 실질적으로 작동 전압(VDD) 부근과 일치하고, 상기 제2전압 상태는 0 V 부근인 것을 특징으로 하는 레벨 쉬프터의 작동 방법.

**청구항 13**

차지 펌프(charge pump);  
 상기 차지 펌프와 연결되는 라인; 및  
 상기 라인과 연결되는 레벨 쉬프터를 포함하고,  
 상기 레벨 쉬프터는,  
     진이 기간 동안에 제1전압 상태로부터 제2전압 상태로 변화할 수 있는 입력 전압 신호를 받아들일 수 있는 입력단;  
     상기 입력 전압 신호에 대응하여 출력 전압 신호를 출력할 수 있는 출력단; 및

상기 입력단과 상기 출력단 사이에서 연결되는 드라이버 스테이지를 포함하고,

상기 드라이버 스테이지는 제1트랜지스터 및 제2트랜지스터를 포함하고,

상기 제1전압 상태와 상기 제2전압 상태의 평균 전압 수준 부근에 대응하는 시간의 실질적인 바로 이후부터, 상기 제2전압 상태는 실질적으로 상기 제1트랜지스터의 게이트에 적용되지 않아서 실질적으로 상기 제1트랜지스터를 턴오프시키는 것을 특징으로 하는 집적 회로.

## 명세서

### 기술분야

[0001] 여기서 개시되는 내용은 일반적으로 반도체 회로 분야에 관한 것으로, 더욱 상세하게는 레벨 쉬프터, 집적 회로, 시스템, 및 레벨 쉬프터의 작동 방법에 관한 것이다.

### 배경기술

[0002] 플래시 메모리(flash memory)는 다양한 전자 장치에 사용되어오고 있다. 플래시 메모리는 어플리케이션 프로그램(application program)과 같은 저장된 데이터로의 임의적인 접근(random access)을 제공할 수 있다. 데이터는 여러 번 플래시 메모리 셀(flash memory cell)에 기록되거나 플래시 메모리 셀로부터 판독될 수 있다. 전형적인 플래시 메모리는 적층된 게이트(stacked gate)를 갖는 변형된 MOS 트랜지스터이다. 적층된 게이트는 제어 게이트(control gate) 및 플로팅 게이트(floating gate)를 포함한다. 제어 게이트는 트랜지스터를 턴온(turn on) 및 턴오프(turn off)시키는데 이용되며, 그에 의해 드레인으로부터 소스로의 전류 흐름(current flow)을 제어한다. 플로팅 게이트는 제어 게이트와 디바이스 채널(device channel) 사이에 위치한다. 전하(charge)는 플로팅 게이트 안으로 주입되거나 플로팅 게이트 외부로 주입될 수 있는데, 플로팅 게이트에서는 플로팅 게이트를 둘러싸는 절연 물질 때문에 전하가 트래핑된다(trapped). 플래시 트랜지스터 셀의 문턱 전압(threshold voltage)은 플로팅 게이트의 전하 상태에 따라 달라진다. 플로팅 게이트의 전하 상태에 기초하여 이진 데이터 값이 각각의 플래시 셀에 저장된다.

[0003] 플로팅 게이트의 충전(charging) 또는 방전(discharging) 과정은 소거(erasing) 또는 프로그래밍(programming)으로 칭해진다. 플래시 셀의 소거 또는 프로그래밍은 전자가 플로팅 게이트 전극과 충전원(charge source) 사이의 에너지 장벽(energy barrier)을 극복하는 것을 요구한다. 여기서 에너지 장벽은 예컨대 산화막에 의해 야기될 수 있다. 에너지 장벽을 가로질러 상대적으로 큰 전압을 가함으로써 전자의 에너지 준위가 에너지 장벽 값 위로 상승한다. 예를 들면, 전자를 플로팅 게이트에서 제어 게이트로 주입함으로써 플래시 셀이 소거될 수 있다. 제어 게이트에는 큰 양의 전압이 공급되는 반면에 플로팅 게이트는 낮은 전압 또는 음의 전압에 용량 결합(capacitively coupled)된다. 이와 유사하게, 디바이스의 드레인, 소스, 또는 채널 영역은 프로그래밍과 소거 과정 중에 전자를 얻거나 내보내는데 이용될 수 있다.

### 발명의 내용

[0004] 본 발명의 일 측면에 따르는 레벨 쉬프터는, 제1전압 상태에서부터 제2전압 상태로의 제1상태 변화를 포함하는 입력 전압 신호를 받아들일도록 구성되는 입력단; 상기 입력 전압 신호의 상기 제1상태 변화에 대응하여 제3전압 상태에서부터 상기 제2전압 상태로의 제2상태 변화를 갖는 출력 전압 신호를 출력하도록 구성되는 출력단; 및 상기 입력단과 상기 출력단 사이에서 연결되는 드라이버 스테이지(driver stage)를 포함한다. 상기 드라이버 스테이지는 제1트랜지스터 및 제2트랜지스터를 포함한다. 상기 제1전압 상태와 상기 제2전압 상태의 평균 전압 수준 부근에 대응하는 시간의 실질적인 바로 이후부터, 상기 제2전압 상태는 실질적으로 상기 제1트랜지스터의 게이트에 적용되지 않아서 실질적으로 상기 제1트랜지스터를 턴오프시킨다.

[0005] 상기 제1전압 상태와 상기 제2전압 상태의 상기 평균 전압 수준 부근에 대응하는 상기 시간의 실질적인 바로 이후부터는 약 1 나노세컨드(ns) 이하일 수 있다.

[0006] 상기 제1상태 변화에 대응하는 전하 누설은 상기 제1, 2트랜지스터를 통해 흐르고, 상기 제1전압 상태와 상기 제2전압 상태의 상기 평균 전압 수준 부근에 대응하는 상기 시간부터, 상기 전하 누설은 약 0.5 피코 쿨롬(pC) 이하일 수 있다.

[0007] 상기 제1트랜지스터의 상기 게이트는 상기 제2트랜지스터의 게이트와 연결되고, 상기 제1, 2트랜지스터의 상기

게이트는 동일한 전압에 연결될 수 있다.

- [0008] 상기 제1전압 상태는 실질적으로 작동 전압(VDD) 부근과 일치하고, 상기 제2전압 상태는 0 V 부근일 수 있다.
- [0009] 상기 제1트랜지스터의 소스 단은 펌핑된 전압을 공급할 수 있는 라인과 연결되고, 상기 펌핑된 전압은 상기 작동 전압(VDD)보다 높을 수 있다.
- [0010] 상기 레벨 쉬프터는, 상기 입력단과 연결되는 인버터; 상기 인버터와 연결되며, 소스 단 및 상기 라인과 연결되는 드레인 단을 갖는 제3트랜지스터; 상기 출력단과 연결되며, 드레인 단 및 상기 라인과 연결되는 소스 단을 갖는 제4트랜지스터; 상기 입력단과 연결되며, 드레인 단 및 상기 제3, 4트랜지스터와 연결되는 소스 단을 갖는 제5트랜지스터; 및 상기 출력단과 연결되며, 소스 단 및 상기 제5트랜지스터의 상기 드레인 단과 상기 제1, 2트랜지스터의 상기 게이트와 연결되는 드레인 단을 갖는 제6트랜지스터를 포함할 수 있다.
- [0011] 본 발명의 다른 측면에 따르는 레벨 쉬프터의 작동 방법은, 제1전압 상태에서부터 제2전압 상태로의 제1상태 변화를 포함하는 입력 전압 신호를 받아들이는 단계; 상기 제1전압 상태와 상기 제2전압 상태의 평균 전압 수준 부근에 대응하는 시간의 실질적인 바로 이후부터, 상기 제1전압 상태보다 큰 제3전압 상태와 연결되는 드라이버 스테이지의 제1트랜지스터에 대하여, 실질적으로 상기 제2전압 상태를 상기 드라이버 스테이지의 상기 제1트랜지스터의 게이트에 적용하지 않아서 상기 제1트랜지스터를 턴오프시키는 단계; 및 상기 입력 전압 신호의 상기 제1상태 변화에 대응하여 상기 제3전압 상태에서부터 상기 제2전압 상태로의 제2상태 변화를 갖는 출력 전압 신호를 출력하는 단계를 포함할 수 있다.
- [0012] 상기 제1상태 변화에 대응하는 전하 누설은 상기 드라이버 스테이지를 통해 흐르고, 상기 제1전압 상태와 상기 제2전압 상태의 상기 평균 전압 수준 부근에 대응하는 상기 시간부터, 상기 전하 누설은 약 0.5 피코 쿨롬(pC) 이하일 수 있다.
- [0013] 상기 레벨 쉬프터의 작동 방법은, 상기 드라이버 스테이지의 상기 제1트랜지스터의 상기 게이트와 상기 드라이버 스테이지의 상기 제2트랜지스터의 게이트에 동일한 전압을 적용하는 단계를 더 포함할 수 있다.
- [0014] 본 발명의 또 다른 측면에 따르는 집적회로는, 차지 펌프(charge pump); 상기 차지 펌프와 연결되는 라인; 및 상기 라인과 연결되는 레벨 쉬프터를 포함한다. 상기 레벨 쉬프터는, 전이 기간 동안에 제1전압 상태에서부터 제2전압 상태로 변화할 수 있는 입력 전압 신호를 받아들일 수 있는 입력단; 상기 입력 전압 신호에 대응하여 출력 전압 신호를 출력할 수 있는 출력단; 및 상기 입력단과 상기 출력단 사이에서 연결되는 드라이버 스테이지를 포함한다. 상기 드라이버 스테이지는 제1트랜지스터 및 제2트랜지스터를 포함한다. 상기 제1전압 상태와 상기 제2전압 상태의 평균 전압 수준 부근에 대응하는 시간의 실질적인 바로 이후부터, 상기 제2전압 상태는 실질적으로 상기 제1트랜지스터의 게이트에 적용되지 않아서 실질적으로 상기 제1트랜지스터를 턴오프시킨다.

**도면의 간단한 설명**

[0015] 첨부된 도면과 함께 후술되는 상세한 설명으로부터 본 발명의 내용이 잘 이해될 수 있을 것이다. 해당 분야의 표준적인 관행에 따라 다양한 구성요소는 실측대로 도시되지 않았으며 오직 설명의 목적으로만 사용되었음을 주목해야 할 것이다. 실제로, 다양한 구성요소의 개수와 치수는 설명의 명확성을 위하여 임의로 커지거나 줄어들 수 있다.

도 1은 예시적인 집적 회로를 나타내는 개략도이다.

도 2는 입력 전압 신호 및 드라이버 스테이지의 제1트랜지스터의 게이트에 적용되는 전압 상태의 변화 상태를 나타내는 시뮬레이션 결과이다.

도 3은 예시적인 레벨 쉬프터의 누설 전류를 나타내는 시뮬레이션 결과이다.

도 4는 예시적인 레벨 쉬프터를 나타내는 개략도이다.

도 5는 예시적인 집적 회로를 포함하는 시스템을 나타내는 개략도이다.

**발명을 실시하기 위한 구체적인 내용**

[0016] 통상적인 플래시 메모리 회로는 레벨 쉬프터(level shifter)를 구비한다. 통상적인 레벨 쉬프터는 고전압 스위치의 역할을 한다. 통상적인 레벨 쉬프터는 드라이버 스테이지(driver stage), NMOS 트랜지스터 N1, PMOS 트랜지스터 P1, 및 인버터(inverter)로 구성된다. NMOS 트랜지스터 N1과 PMOS 트랜지스터 P1은 직렬로 연결되며 드

라이버 스테이지와 병렬로 배치된다. 인버터는 NMOS 트랜지스터 N1과 드라이버 스테이지 사이에서 연결된다. PMOS 트랜지스터 P1의 소스 단(source end)은 고전압 HV와 연결된다. NMOS 트랜지스터 N1의 소스 단은 저전압 VSS와 연결된다. 입력 전압 신호가 높다면(high), 고전압 HV가 드라이버 스테이지의 출력단에서 출력된다. 입력 전압 신호가 낮다면(low), 저전압 VSS가 드라이버 스테이지의 출력단에서 출력된다.

[0017] 통상적인 드라이버 스테이지는 NMOS 트랜지스터 N2 및 PMOS 트랜지스터 P2로 구성된다. PMOS 트랜지스터 P2 및 NMOS 트랜지스터 N2는 고전압 HV와 저전압 VSS 사이에서 직렬로 연결된다. PMOS 트랜지스터 P2의 소스 단은 고전압 HV와 연결된다. PMOS 트랜지스터의 소스 단은 저전압 VSS와 연결된다. NMOS 트랜지스터 N2와 PMOS 트랜지스터 P2의 드레인 단(drain end)은 레벨 쉬프터의 출력단의 역할을 한다. 레벨 쉬프터의 출력단은 PMOS 트랜지스터 P1의 게이트와 연결된다. PMOS 트랜지스터 P1의 드레인 단은 PMOS 트랜지스터 P2의 게이트와 연결된다.

[0018] 입력 전압 신호가 높다면, NMOS 트랜지스터 N1이 턴온된다. 인버터는 고전압 상태를 저전압 상태로 변환하여 NMOS 트랜지스터 N2를 턴오프시킨다. 이렇게 턴온된 NMOS 트랜지스터 N1은 PMOS 트랜지스터 P1의 드레인을 저전압 VSS로 연결한다. 저전압 VSS는 고전압 HV를 레벨 쉬프터의 출력단으로 연결하는 PMOS 트랜지스터 P2를 턴온시킬 수 있다.

[0019] 입력 전압 신호가 고전압 상태에서 저전압 상태로 변화하면, NMOS 트랜지스터 N1이 턴오프된다. 바로 그 이후에, 저전압 상태를 고전압 상태로 변환하는 인버터에 저전압 상태가 적용된다. 고전압 상태는 NMOS 트랜지스터 N2의 게이트에 적용되어 NMOS 트랜지스터 N2를 턴온시킨다. 고전압 상태가 NMOS 트랜지스터 N2의 게이트로 적용되는 동안, 저전압 상태는 여전히 PMOS 트랜지스터 P2의 게이트에 적용된다. NMOS 트랜지스터 N2와 PMOS 트랜지스터 P2는 완전히 턴온된다는 것을 알 수 있다. 이렇게 완전히 턴온된 NMOS 트랜지스터 N2와 PMOS 트랜지스터 P2는 고전압 HV에서 저전압 VSS로 흐르는 높은 누설 전류(leakage current)를 만든다. 비록 완전히 턴온된 시간이 짧더라도, 완전히 턴온된 PMOS 트랜지스터 P2와 NMOS 트랜지스터 N2를 통하여 흐르는 전하는 커다란 누설 전류 때문에 바람직하지 못하다. 이러한 전하 손실(charge loss)은 고전압 HV를 끌어내릴(pull down) 수 있어서, 플래시 메모리의 다양한 디바이스, 트랜지스터, 및/또는 회로의 고전압 동작을 방해한다.

[0020] 전문적인 내용에 고려한다면, 어느 정도 이하로 요구되는 전하 손실을 갖는 레벨 쉬프터, 집적 회로, 시스템, 및 레벨 쉬프터의 작동 방법이 필요하다.

[0021] 본 발명의 다양한 특징을 수행하기 위하여 아래에서 설명되는 내용은 많은 다양한 실시 예, 또는 사례를 제공한다는 것이 이해되어야 할 것이다. 본 내용을 단순화하기 위하여 구성요소나 배치의 특정 사례가 아래에서 설명될 것이다. 물론 이것들은 단지 예시적인 것이며 한정적 의미로 이해되어서는 안 될 것이다. 또한, 본 내용은 다양한 사례에서 참조부호 및/또는 기호를 반복할 수 있다. 이러한 반복은 단순함과 명확함을 위한 것이며, 그 자체가 설명되는 다양한 실시 예 및/또는 구성 사이의 관계를 나타내는 것은 아니다. 더욱이, 아래의 설명에서 어느 구성요소가 다른 구성요소에 형성, 연결, 및/또는 결합된다는 것은 이러한 구성요소들이 직접 접촉하는 실시 예를 포함할 수 있으며 또한 이들 구성요소 사이에 배치되는 추가적인 구성요소가 형성되어 이들 구성요소가 직접 접촉하지 않는 실시 예도 포함할 수 있다. 또한, 예컨대 하부, 상부, 수평, 수직, 위, 아래, 위쪽, 아래쪽, 정상, 바닥과 같이 공간적인 관계를 나타내는 용어나 여기서 파생되는 용어(예컨대, 수평하게, 아래쪽으로, 위쪽으로)는 단지 다른 구성요소에 대한 어느 한 구성요소의 관계를 용이하게 설명하기 위하여 사용된 것이다. 이러한 공간적인 관계를 나타내는 용어는 이들 구성요소를 포함하는 디바이스의 상이한 배치관계도 포함하는 것으로 해석되어야 할 것이다.

[0022] 도 1은 예시적인 집적 회로를 보여주는 개략도이다. 도 1에서, 집적 회로(100)는 차지 펌프(110; charge pump), 라인(115), 및 레벨 쉬프터(120)를 포함할 수 있다. 차지 펌프(110)는 라인(115)과 연결될 수 있다. 라인(115)은 레벨 쉬프터(120)와 연결될 수 있다. 집적 회로(100)는 FLASH, EPROM, E<sup>2</sup>PROM, SRAM(static random access memory) 회로, 임베디드(embedded) SRAM 회로, DRAM(dynamic random access memory) 회로, 임베디드 DRAM 회로, 필드 프로그래머블 게이트 어레이(field-programmable gate array; FPGA) 회로, 논리 회로, 및/또는 이와 다른 집적 회로와 같은 비휘발성 메모리 회로를 포함할 수 있다.

[0023] 차지 펌프(110)는 어느 한 전압 상태에서 다른 전압 상태로 전압을 펌핑할 수 있다. 플래시 메모리 회로를 이용하는 몇몇 실시 예에 대해서, 차지 펌프(110)는 예컨대 약 1.8 V의 내부 작동 전압(VDD)을 예컨대 약 10 V 내지 약 13V의 펌핑된 전압(VPP; pumped voltage)으로 펌핑할 수 있다. 라인(115)은 고전압 동작을 위하여 집적 회로(120) 안의 다양한 디바이스, 트랜지스터, 다이오드, 및/또는 회로로 펌핑된 전압(VPP)을 전송할 수 있다.

[0024] 도 1을 참조하면, 라인(115)은 고전압 입력으로서 펌핑된 전압(VPP)을 레벨 쉬프터(120)로 연결할 수 있다. 레

벨 슈프터(120)는 입력단(120a), 출력단(120b), 및 드라이버 스테이지(130; driver stage)를 포함할 수 있다. 입력단(120a)은 입력 전압 신호를 받아들일 수 있다. 입력 전압 신호는 전이 기간(transitional period) 동안에 어느 한 전압 상태 - 예컨대, 하이(high) 상태 또는 VDD - 에서 다른 전압 상태 - 예컨대, 로우(low) 상태 또는 0 V - 로 변화할 수 있다. 출력단(120b)은 출력 전압 신호를 출력할 수 있다. 입력단(120a)에서 받아들이는 입력 전압 신호에 대응하여, 이런 출력 전압 신호는 고전압 상태 - 예컨대, 라인(115) 상의 펌핑된 전압(VPP) - 에서 저전압 상태 - 예컨대, VSS 또는 그라운드(ground) - 로 변화할 수 있다. 이미 언급된 바와 같이 몇몇 실시 예에 있어서, 입력단(120a)에서의 입력 전압 신호가 높을 경우에는 레벨 슈프터(120)가 출력단(120b)에서 펌핑된 전압(VPP)을 출력할 수 있다. 입력단(120a)에서의 입력 전압 신호가 낮을 경우에는 레벨 슈프터(120)가 출력단(120b)에서 저전압 상태(VSS)를 출력할 수 있다.

[0025] 드라이버 스테이지(130)는 입력단(120a)과 출력단(120b) 사이에 연결될 수 있다. 드라이버 스테이지(130)는 제1 트랜지스터(예컨대, 참조부호 131로 표시된 트랜지스터) 및 제2트랜지스터(예컨대, 참조부호 133으로 표시된 트랜지스터)를 포함할 수 있다. 이들 트랜지스터(131, 133) 각각은 게이트(gate), 소스 단(source end), 드레인 단(drain end)을 가질 수 있다. 트랜지스터(131)의 소스 단은 펌핑된 전압(VPP)을 공급하는 라인(115)과 연결될 수 있다. 트랜지스터(133)의 소스 단은 예컨대 그라운드 또는 VSS와 같은 전압원(voltage source)과 연결될 수 있다. 트랜지스터(131, 133)의 드레인 단은 서로 연결될 수 있고 레벨 슈프터(120)의 출력단(120b)과 연결될 수 있다.

[0026] 제1전압 상태와 제2전압 상태의 평균 전압 수준 부근(예컨대, 도 2에서의 1/2 VDD)에 대응하는 시간( $t_1$ )의 실질적인 바로 이후부터, 제2전압 상태(예컨대, 0 V)는 실질적으로 트랜지스터(131)의 게이트에 인가되지 않아서 실질적으로 트랜지스터(131)를 턴오프시킨다. 도 2는 입력 전압 신호와 드라이버 스테이지의 제1트랜지스터의 게이트에 적용되는 전압 상태의 상태 변화를 나타내는 시물레이션 결과이다. 도 2에서, 입력 전압 신호는 하이 상태(예컨대, VDD)에서 로우 상태(예컨대, 0 V)로 변한다. 시간( $t_1$ )에서, 입력 전압 신호의 전압 상태는 약 1/2 VDD로 변할 수 있다. 실질적으로 시간( $t_1$ ) 바로 이후부터, 트랜지스터(131)의 게이트에 적용되는 전압 상태는 저전압 상태(예컨대, 0 V)에서 고전압 상태(예컨대, VDD)를 향해 상승하기 시작하여 트랜지스터(131)를 턴오프시킨다. 몇몇 실시 예에서는, "실질적으로 시간( $t_1$ ) 바로 이후부터"라는 문구는 시간( $t_1$ ) 이후 약 1 나노세컨드(ns) 이하를 의미한다. 다른 몇몇 실시 예에서는, "실질적으로 시간( $t_1$ ) 바로 이후부터"라는 문구는 시간( $t_1$ ) 이후 약 0.5 나노세컨드(ns) 이하를 의미한다.

[0027] 앞서서 설명하였듯이, 통상적인 레벨 슈프터는 PMOS 트랜지스터 P2와 NMOS 트랜지스터 N2를 포함하는 드라이버 스테이지를 갖는다. 만약에 입력 전압이 높다면, PMOS 트랜지스터 P2는 턴온된다. 만약에 입력 전압 신호가 VDD에서 0 V로 변화한다면, VDD의 전압 상태는 NMOS 트랜지스터 N2의 게이트에 적용되는 반면에 0 V의 전압 상태는 여전히 PMOS 트랜지스터 P2의 게이트에 적용된다. 이와 같이 작동하여 NMOS 트랜지스터 N2와 PMOS 트랜지스터 P2가 완전히 턴온된다. 비록 PMOS 트랜지스터 P2와 NMOS 트랜지스터 N2를 완전히 턴온시키는 시간이 짧더라도, 고전압(HV)에서 저전압(VSS)으로 흐르는 누설 전류는 예컨대 약 1.5 밀리암페어(mA) 정도로 크다. 0.18  $\mu\text{m}$  CMOS 트랜지스터 및 2.7 V의 펌핑된 전압을 이용하는 몇몇 실시 예에서는, 누설 전류로 인해 약 1 피코 쿨롬(pC)의 전하 손실이 발생할 수 있다. 이런 전하 손실은 실질적으로 고전압(HV)을 끌어내릴(pull down) 수 있으며 디바이스, 트랜지스터, 및/또는 회로 고전압 동작을 방해할 수 있다.

[0028] 통상적인 레벨 슈프터와는 다르게, 약 1/2 VDD의 전압 상태에 대응하는 시간( $t_1$ )의 실질적인 바로 이후부터 본 레벨 슈프터(120)는 실질적으로 저전압 상태(0 V)를 트랜지스터(131)의 게이트로 적용하지 않을 수 있다. 실질적으로 시간( $t_1$ ) 바로 이후부터, 트랜지스터(131)의 게이트는 저전압 상태(0 V)를 만나지 않으며 트랜지스터(133)의 게이트는 VDD의 전압 상태를 만난다. 시간( $t_1$ ) 이후에 두 트랜지스터(131, 133)가 동시에 완전히 턴온되지 않기 때문에, 라인(115)에서 저전압(VSS)으로 흐르는 누설 전류는 바람직하게 작아진다 (예컨대, 약 0.8 mA 이하). 2.7 V의 펌핑된 전압과 0.18  $\mu\text{m}$  CMOS 기술을 이용하는 몇몇 실시 예에서, 입력 전압 신호가 하이 상태에서 로우 상태로 변화할 때에 대응하는 전하 손실이 시간( $t_1$ ) 이후에 약 0.5 pC이 될 수 있다 (도 3 참조). 약 0.5 pC의 전하 손실은 단지 예시적인 것임이 이해되어야 할 것이다. 해당 분야에 통상적인 지식을 가진 자는 원하는 정도로 전하 손실을 감소시키기 위하여 펌핑된 전압 및/또는 트랜지스터(133, 133)의 크기를 변경할 수 있을 것이다. 따라서 본 발명의 범위는 앞선 실시 예에 한정되지 않는다.

[0029] 도 1-3과 함께 앞서 설명한 입력 및 출력 전압 신호의 변화 상태는 단지 예시적인 것임이 이해되어야 할



것이다. 또한 VDD, VSS, VPP, 및/또는 0 V의 전압 상태 역시 단지 예시적인 것임이 이해되어야 할 것이다. 해당 분야에 통상적인 지식을 가진 자는 레벨 쉬프터의 요구되는 동작을 달성하기 위하여 입력 및 출력 전압 신호의 변화 및/또는 전압 상태를 변경할 수 있을 것이다.

- [0030] 도 4는 예시적인 레벨 쉬프터를 나타내는 개략도이다. 도 4에서, 레벨 쉬프터(120)는 입력단(120a)과 연결되는 인버터(예컨대, 참조부호 410으로 표시된 인버터)를 포함할 수 있다. 제3트랜지스터(예컨대, 참조부호 415로 표시된 트랜지스터)는 인버터(410)와 연결될 수 있다. 이런 제3트랜지스터(415)는 드레인 단과 소스 단을 가질 수 있다. 제3트랜지스터(415)의 드레인 단은 펌핑된 전압(VPP)을 갖는 라인(115; 도 1에 도시됨)과 연결될 수 있다.
- [0031] 레벨 쉬프터(120)는 출력단(120b)과 연결될 수 있는 제4트랜지스터(예컨대, 참조부호 420으로 표시된 트랜지스터)를 포함할 수 있다. 이런 제4트랜지스터(420)는 드레인 단과 소스 단을 가질 수 있다. 제4트랜지스터(420)의 소스 단은 펌핑된 전압(VPP)을 갖는 라인(115; 도 1에 도시됨)과 연결될 수 있다.
- [0032] 레벨 쉬프터(120)는 제5트랜지스터(예컨대, 참조부호 425로 표시된 트랜지스터)를 포함할 수 있다. 제5트랜지스터(425)는 입력단(120a)과 연결될 수 있다. 제5트랜지스터(425)는 드레인 단과 소스 단을 가질 수 있다. 제5트랜지스터(425)의 소스 단은 제3, 4트랜지스터(415, 420)와 연결될 수 있다.
- [0033] 레벨 쉬프터(120)는 입력단(120a)과 연결될 수 있는 제6트랜지스터(예컨대, 참조부호 430로 표시된 트랜지스터)를 포함할 수 있다. 제6트랜지스터(430)는 드레인 단과 소스 단을 가질 수 있다. 제6트랜지스터(430)의 드레인 단은 제5트랜지스터(425)의 드레인 단 및 드라이버 스테이지(130)의 제1, 2트랜지스터(131, 133)의 게이트와 연결될 수 있다.
- [0034] 이하 레벨 쉬프터(120)의 예시적인 동작에 관한 설명이 있을 것이다. 입력단(120a)에서의 입력 전압 신호가 높다면(예컨대, VDD의 전압 상태), VDD의 전압 상태는 제5트랜지스터(425)를 턴오프시키고 제6트랜지스터(430)를 턴온시킬 수 있다. 턴온된 제6트랜지스터(430)는 노드 "a"를 저전압 상태(예컨대, VSS 또는 그라운드)로 연결할 수 있다. 도 4에 도시된 바와 같이, 노드 "a"는 제1, 2트랜지스터(131, 133)의 게이트와 연결될 수 있고, 제1, 2트랜지스터(131, 133)의 게이트는 서로 연결되어 있다. VSS의 전압 상태는 제1, 2트랜지스터(131, 133)의 게이트로 연결될 수 있어서, 제2트랜지스터(133)를 턴오프시키고 제1트랜지스터(131)을 턴온시킨다. 이렇게 턴온된 제1트랜지스터(131)는 펌핑된 전압(VPP)을 레벨 쉬프터(120)의 출력단(120b)으로 연결할 수 있다. 예컨대 약 10 V에서 약 13 V 정도의 펌핑된 전압(VPP)은 출력단(120b)에서 출력될 수 있다.
- [0035] 입력 전압 신호가 VDD의 전압 상태에서 저전압 상태(예컨대, 0 V)로 변화한다면, 0 V의 전압 상태는 제6트랜지스터(430)를 턴오프시키고 제5트랜지스터(425)를 턴온시킬 수 있다. 앞서서 언급하였듯이, 인버터(410)는 0 V의 전압 상태를 VDD의 전압 상태로 변환시킬 수 있다. VDD의 전압 상태는 제3트랜지스터(415)를 턴온시킬 수 있다. 이렇게 턴온된 제3, 5트랜지스터(415, 425)는 바람직하게 펌핑된 전압(VPP)을 제1, 2트랜지스터(131, 133)의 게이트로 향하는 노드 "a"로 연결한다. 펌핑된 전압(VPP)은 제1트랜지스터(131)를 턴오프시키고 제2트랜지스터(133)를 턴온시킬 수 있다. 턴온된 제2트랜지스터(133)는 출력단(120b)과 제4트랜지스터(420)의 게이트를 VSS로 연결한다. VSS의 전압 상태는 제4트랜지스터(420)를 턴온시킬 수 있다. 이렇게 턴온된 제4트랜지스터(420)는 노드 "a"에서의 전압을 펌핑된 전압 쪽으로 끌어올리는데(pull up) 도움을 줄 수 있다.
- [0036] 도 2 및 4를 참조하면, 입력 전압 신호가 VDD의 전압에서 1/2 VDD 이하의 전압으로 변화할 때, 제5트랜지스터(425)가 턴온되기 시작할 수 있다. 인버터(410)에서 출력되는 전압 상태는 또한 제3트랜지스터(415)를 턴온시키기 시작할 수 있다. 실질적으로 시간( $t_1$ ) 바로 이후부터, 노드 "a"에서의 전압 상태는 펌핑된 전압(VPP) 쪽으로 끌어올려 지기(pulled up) 시작할 수 있다. 이렇게 노드 "a"에서 끌어 올려진(pulled-up) 전압 상태는 제2트랜지스터(133)를 턴온시키기 시작하고 제1트랜지스터를 턴오프시키기 시작할 수 있다. 이처럼 끌어 올려진 동일한 전압 상태가 제1, 2트랜지스터(131, 133)의 게이트에 적용되기 때문에, 제1트랜지스터(131)의 게이트는 VDD의 전압 상태를 만나지 않으면서 제2트랜지스터(133)의 게이트는 0 V의 전압 상태를 만나게 된다. 제1, 2트랜지스터(131, 133)는 동시에 완전히 턴온되지 않게 된다. 따라서 펌핑된 전압(VPP)에서 전압(VSS)으로 흐르는 누설 전류가 줄어든다. 누설 전류로부터 발생하는 전하 손실은 라인(115)의 펌핑된 전압 상태를 실질적으로 끌어 내리(pull down) 않는 수준으로 낮아질 수 있다.
- [0037] 도 4와 함께 앞서 설명한 트랜지스터(415-430) 및 인버터(410)의 유형과 개수는 단지 예시적인 것임이 이해되어야 할 것이다. 예를 들면, 추가적인 인버터가 추가되어 전압 신호의 상태를 바꿀 수 있다. 추가적인 트랜지스터가 추가되어 드라이브 스테이지(130)를 통해 흐르는 누설 전류를 원하는 대로 제어할 수 있다. 해당 분야에 통

상적인 지식을 가진 자는 요구되는 레벨 쉬프터를 달성하기 위하여 트랜지스터(415-430) 및 인버터(410)의 유형과 개수를 변경할 수 있을 것이다.

[0038] 도 5는 예시적인 메모리 회로를 포함하는 시스템을 나타내는 개략도이다. 도 5에서, 시스템(500)은 집적 회로(100)와 연결된 프로세서(510; processor)를 포함할 수 있다. 몇몇 실시 예에서는, 이런 프로세서(510)는 처리 장치(processing unit), 중앙 처리 장치(central processing unit), 디지털 신호 프로세서(digital signal processor), 또는 메모리 회로의 데이터로 접근하는데 적합한 다른 프로세서가 될 수 있다.

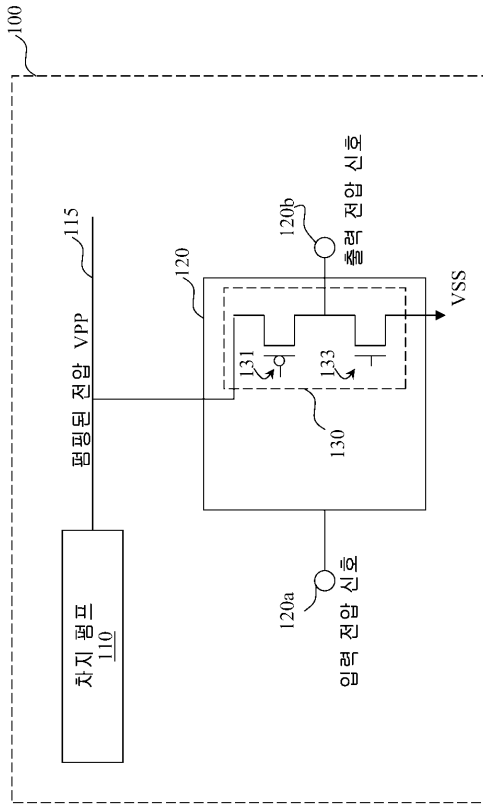
[0039] 몇몇 실시 예에서, 프로세서(510)와 집적 회로(100)는 인쇄 배선 기판(printed wiring board) 또는 인쇄 회로 기판(printed circuit board; PCB)에 물리적 전기적으로 연결될 수 있어서 전자 어셈블리(electronic assembly)를 형성하는 시스템 내에 형성될 수 있다. 이런 전자 어셈블리는 컴퓨터, 무선 통신 장치, 컴퓨터 관련 주변기기, 엔터테인먼트 디바이스(entertainment device), 또는 이와 유사한 것과 같은 전자 시스템의 일부가 될 수 있다.

[0040] 몇몇 실시 예에서, 집적 회로(100)를 포함하는 시스템(500)은 소위 시스템온칩(system on a chip; SOC)이나 시스템온인테그레이티드서키트(system on integrated circuit; SOIC) 장치와 같은 하나의 IC 안에서 전체 시스템을 제공할 수 있다. 이러한 SOC 장치는 예컨대 휴대폰, PDA(personal data assistant), 디지털 VCR, 디지털 캠코더, 디지털 카메라, MP3 플레이어, 또는 이와 유사한 것을 단일 집적 회로에서 실시하는데 필요한 모든 전기 회로망을 제공할 수 있다.

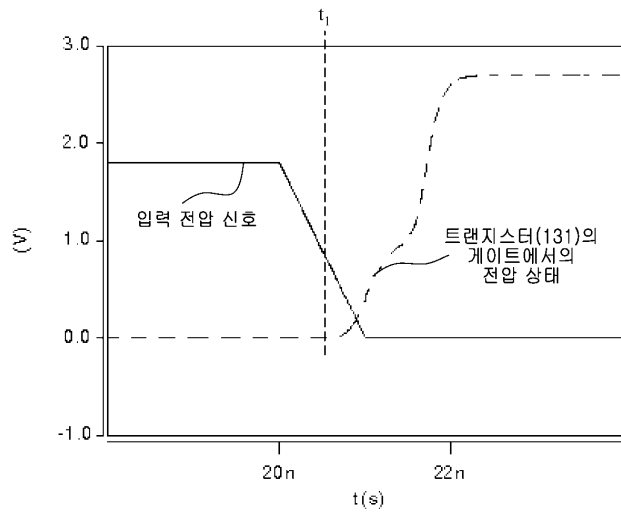
[0041] 전술한 내용은 몇 가지 실시 예의 특징의 개요를 설명하고 있기 때문에 해당 분야에 통상적인 지식을 가진 자는 여기서 개시된 내용의 양상을 잘 이해할 수 있을 것이다. 해당 분야에 통상적인 지식을 가진 자는 여기서 언급된 실시 예와 동일한 효과의 달성 및/또는 동일한 목적의 수행을 위하여 다른 공정과 구조를 설계하거나 변경하는 기초로서 여기서 개시된 내용을 용이하게 이용할 수 있다는 것이 이해되어야 할 것이다. 해당 분야에서 통상적인 지식을 가진 자는 또한 균등한 구성은 여기서 개시된 내용의 범위 및 사상을 벗어나지 않으며 여기서 개시된 내용의 범위 및 사상을 벗어나지 않는 한도 내에서 다양한 변형, 치환, 및 변경을 할 수 있다는 것이 이해할 수 있을 것이다.

도면

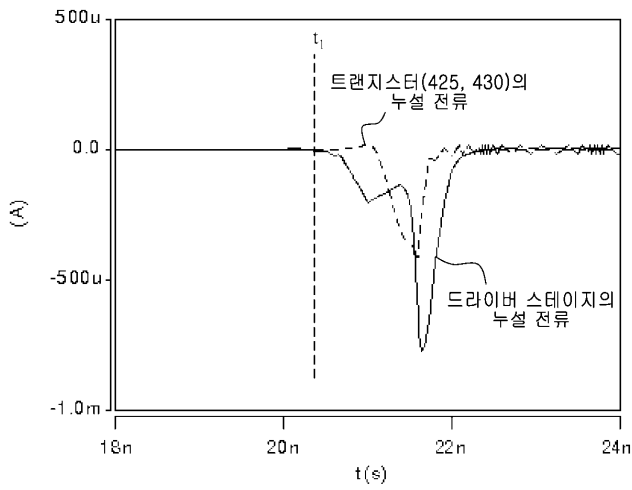
도면1



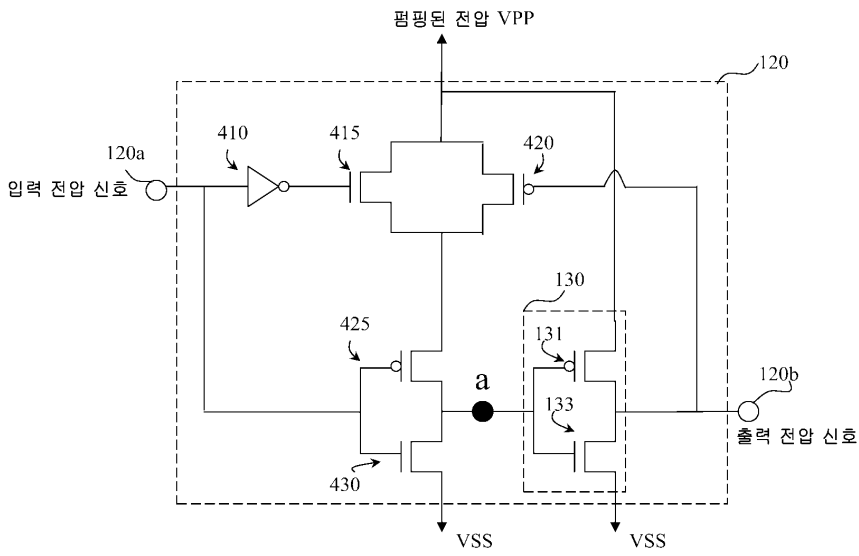
도면2



도면3



도면4



도면5

