

(19) 中华人民共和国国家知识产权局



(12) 发明专利申请

(10) 申请公布号 CN 103985404 A

(43) 申请公布日 2014. 08. 13

(21) 申请号 201410195813. 0

(22) 申请日 2006. 09. 29

(30) 优先权数据

60/722, 368 2005. 09. 30 US

11/324, 023 2005. 12. 30 US

(62) 分案原申请数据

200680036462. 2 2006. 09. 29

(71) 申请人 莫塞德技术公司

地址 加拿大安大略省

(72) 发明人 金镇祺 潘弘柏

(74) 专利代理机构 北京泛华伟业知识产权代理

有限公司 11280

代理人 王勇

(51) Int. Cl.

G11C 7/10(2006. 01)

G11C 5/06(2006. 01)

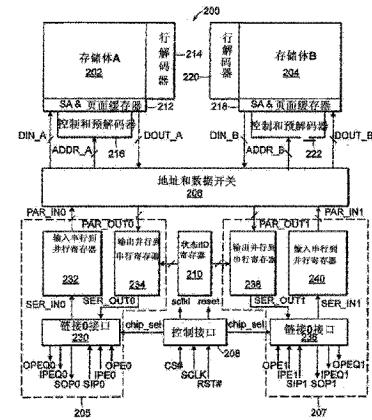
权利要求书3页 说明书21页 附图19页

(54) 发明名称

多个独立的串行链接存储器

(57) 摘要

本发明公开一种用于在半导体存储器中串行数据链接接口和存储体之间控制数据传输的装置、系统和方法。在一实施例中，本发明公开了一种具有多个串行数据链接和多个存储体的闪存存储器设备，其中，所述链接独立于所述多个存储体。所述闪存存储器设备可以以菊花链配置级联，并在存储器设备之间使用回波信号线串行通信。此外，本发明描述了一种虚拟多链接配置，其中使用单个链接来模拟多链接。



1. 一种半导体存储器设备，包括：
多个可独立控制的存储块；
多个数据链接接口，可操作地独立传输在多个数据链接接口的其中任一个和多个存储块的其中任一个之间的输入数据或输出数据，并且所述多个数据链接接口的每一个具有用于接收所述输入数据的输入电路和用于输出所述输出数据的输出电路；以及
控制电路，用于控制在所述多个数据链接接口的其中任一个和多个存储块其中任一之间并发进行的数据传输。
2. 权利要求 1 的半导体存储器设备，其中，所述存储块包括非易失性存储块。
3. 权利要求 2 的半导体存储器设备，其中，所述非易失性存储块包括闪烁存储块。
4. 权利要求 3 的半导体存储器设备，其中，所述闪烁存储块包括串联的晶体管存储器单元。
5. 权利要求 4 的半导体存储器设备，其中，所述闪烁存储块包括并联的晶体管存储器单元。
6. 权利要求 1 的半导体存储器设备，其中，所述控制电路接收计算机可执行指令用来控制所述输入和输出数据进出多个存储块的其中之一的传输。
7. 权利要求 6 的半导体存储器设备，其中，
所述输入和输出数据包括串行输入和输出数据；并且
所述控制电路响应地址信息控制所述串行输入数据的传输，其中，所述地址信息包含在所述串行输入数据的地址域中。
8. 权利要求 6 的半导体存储器设备，其中，所述多个存储块、所述多个数据链接接口和所述控制电路位于具有单面焊盘结构的单独封装中。
9. 权利要求 1 的半导体存储器设备，其中，所述多个数据链接接口包括两个数据链接接口。
10. 权利要求 1 的半导体存储器设备，其中，所述多个数据链接接口包括四个数据链接接口。
11. 权利要求 1 的半导体存储器设备，其中，所述控制电路被配置来控制在所述多个存储块的至少两个与所述多个数据链接接口的至少两个之间的并发进行的数据传输。
12. 权利要求 3 的半导体存储器设备，其中，所述设备通过所述数据链接接口的其中一个在所述多个闪烁存储块的其中之一中执行读操作，并发通过所述数据链接接口的另一个在所述多个闪烁存储块的另一个中执行写操作。
13. 权利要求 1 的半导体存储器设备，其中，所述多个数据链接接口串行接收数据。
14. 权利要求 1 的半导体存储器设备，其中，所述多个数据链接接口包括用于串行输出数据的电路。
15. 权利要求 1 的半导体存储器设备，其中，多个数据链接接口可操作地访问交叠时间周期中的多个存储块的至少两个。
16. 权利要求 15 的半导体存储器设备，其中，所述交迭时间周期期间发生的操作包括页面读取、编程和擦除操作的至少两个。
17. 权利要求 15 的半导体存储器设备，其中，所述交迭时间周期期间发生的操作包括数据传输操作以及页面读取、编程和擦除操作三者的至少一个。

18. 权利要求 15 的半导体存储器设备,其中,通过多个接口的两个或者多个启动所述交迭时间周期期间的操作。
19. 权利要求 1 的半导体存储器设备,其中,所述多个存储块包括多个与非闪烁存储块。
20. 权利要求 1 的半导体存储器设备,其中,所述多个数据链接接口可独立控制来访问多个存储块的任意一个中的任意地址。
21. 权利要求 20 的半导体存储器设备,其中,所述多个数据链接接口可独立控制来访问多个存储块的任一个中的任一行。
22. 权利要求 20 的半导体存储器设备,其中,所述多个数据链接接口可独立控制来访问多个存储块的任一个中的任一列。
23. 权利要求 1 的半导体存储器设备,其中,所述多个数据链接接口可独立控制来执行页面读取、编程和擦除操作的至少两个。
24. 权利要求 1 的半导体存储器设备,其中,所述多个数据链接接口可独立控制来执行数据传输操作以及页面读取、编程和擦除操作三者的至少一个。
25. 权利要求 1 的半导体存储器设备,还包括:用于接收时钟信号的时钟输入引脚。
26. 权利要求 25 的半导体存储器设备,其中,使用所述时钟信号同步所述多个数据链接接口。
27. 权利要求 26 的半导体存储器设备,其中,具有输出使能端口的多个数据链接接口的每一个用于接收指示读取数据何时被提供到各自数据链接接口的信号。
28. 权利要求 27 的半导体存储器设备,其中,在每一时钟信号周期所述读取数据被提供到所述各自数据接口上。
29. 权利要求 28 的半导体存储器设备,其中,所述多个数据链接接口接收命令数据和写数据,并且其中所述多个数据链接接口的每一个还包括输入使能端口,用于接收指示命令数据或者写数据何时提供到所述数据接口的信号。
30. 权利要求 29 的半导体存储器设备,其中,在时钟信号的每一周期期间在数据接口上接收所述命令数据或者写数据一次。
31. 权利要求 29 的半导体存储器设备,其中,所述输入使能端口上接收的所述信号具有用于指示命令或者写数据何时提供到所述多个数据链接接口的其中一个上的第一逻辑电平和指示命令或者写数据何时不提供到所述多个数据链接接口的其中一个上的第二逻辑电平。
32. 权利要求 27 的半导体存储器设备,其中,所述多个数据链接接口串行接收和输出数据。
33. 权利要求 27 的半导体存储器设备,其中,所述多个数据链接接口以单个比特宽度的数据流来接收和输出。
34. 权利要求 27 的半导体存储器设备,其中,所述输出使能端口上接收的所述信号具有用于指示读数据何时提供到所述多个数据链接接口的其中一个上的第一逻辑电平和指示读数据何时不提供到所述多个数据链接接口的其中一个上的第二逻辑电平。
35. 一种半导体存储器设备,包括:
多个可独立控制存储块;

多个串行数据链接接口,可操作地独立传输在多个串行数据链接接口的至少一个和多个存储块的其中任一个之间的数据,并且所述多个串行数据链接接口的每一个包括输入数据端口和输出数据端口;以及

控制电路,配置成控制在所述多个串行数据链接接口的其中任一个和多个存储块其中任一之间并发进行的数据传输。

36. 一种半导体存储器设备,包括:

多个存储体;

多个数据链接接口,所述多个数据链接接口的每一个包括输入数据端口和输出数据端口;以及

控制电路,用于执行多个指令来控制数据在所述数据链接接口和多个存储体中至少两个之间传输的交迭。

37. 权利要求 36 的半导体存储器设备,其中,所述存储体包括非易失性存储体。

38. 权利要求 37 的半导体存储器设备,其中,所述非易失性存储体包括闪存存储体。

39. 权利要求 37 的半导体存储器设备,其中,所述闪存存储体包括串联的晶体管存储器单元或并联的晶体管存储器单元。

40. 权利要求 36 的半导体存储器设备,其中,利用计算机可执行指令对所述控制电路进行编程,来分析输入数据的地址域和控制数据传输到地址域中指定的多个存储体的其中之一。

41. 权利要求 36 的半导体存储器设备,其中,所述多个存储体、所述数据链接接口和所述控制电路位于具有单面焊盘结构的单独封装中。

42. 权利要求 36 的半导体存储器设备,其中,所述控制电路被配置来同时存取多个存储体中的至少两个。

多个独立的串行链接存储器

[0001] 本申请是申请号为 200680036462.2、申请日为 2006 年 9 月 29 日、发明名称为“多个独立的串行链接存储器”的申请的分案申请。

技术领域

[0002] 本发明涉及半导体存储器设备，更具体地，本发明涉及一种用来提高半导体闪烁存储器设备的速度和 / 或容量的存储器结构。

背景技术

[0003] 诸如数码照相机、便携式数字助理、便携式音频 / 视频播放器和移动终端的移动电子设备一直以来要求大容量存储器，优选的是具有不断增加容量和速度能力的非易失性存储器。例如，目前使用的音频播放器可以具有介于 256M 字节至 40G 字节的用于存储音频 / 视频数据的存储器。由于在没有电力的情况下非易失性存储器可以保存数据，优先选择诸如闪烁存储器和硬盘驱动器的非易失性存储器，因此延长了电池寿命。

[0004] 目前，硬盘驱动器具有可以存储 20-40G 字节数据的高密度，但体积相对庞大。但是，闪烁存储器，也被称作固态驱动器，由于其高密度、非易失性和相对硬盘驱动器的较小尺寸而受到欢迎。闪烁存储器技术是基于 EPROM 和 EEPROM 技术的。选择术语“闪烁”是由于其一次可擦除大量存储器单元，这区别于只能单独擦除每一字节的 EEPROM。多层单元 (MLC) 的出现相对于单层单元进一步增加了闪烁存储器密度。本领域内技术人员清楚地知道闪烁存储器可以被配置为或非 (NOR) 闪烁或者与非 (NAND) 闪烁，其中，NAND 闪烁由于其更紧密存储器阵列结构而相对给定面积具有更高密度。为了进一步讨论，所提及到的闪烁存储器可以被理解为 NOR、NAND 或者其它类型闪烁存储器。

[0005] 虽然，现有闪烁存储器模块对于目前的消费电子设备具有足够速度运行，但是用于要求高数据速率的其他设备中可能并不足够。例如，记录高分辨率移动图像的移动多媒体设备可能要求存储模块具有至少 10MB/s 的编程吞吐量，而现有闪烁存储器技术难以达到，因为现有闪烁存储器技术典型的编程数据率为 7MB/s。由于编程单元需要的多步骤编程序列，多层单元闪烁存储器具有 1.5MB/s 的更低的速率。

[0006] 通过增加闪烁存储器的运行频率，可以直接增加闪烁存储器的编程和读取吞吐量。例如，目前大约 20-30MHz 的运行频率可以被增加一个数量级到大约 200MHz。虽然这种解决方案显得直截了当，但是在如此高的频率下信号质量会有显著问题，这就对闪烁存储器的运行频率设置了一个实际应用上的限制。特别地，闪烁存储器使用一组并行输入 / 输出 (I/O) 引脚与其他元件通信，根据期望配置，所述引脚数量为 8 或者 16，用于接收命令指令、接收输入数据和提供输出数据。这通常被称作并行接口。高速运行将会导致众所周知的诸如串扰、信号偏移和信号衰减的通信退化效应，从而降低信号质量。

[0007] 上述并行接口使用大量引脚来读取和写入数据。随着输入引脚和线路的增加，许多不期望的效应也在增加。这些效应包括符号间干扰、信号偏移和串扰。符号间干扰来自沿线路传输的信号的衰减以及当多个元件连接到线路时所造成的反射 (reflection)。当信号

沿着具有不同长度和 / 或特性的线路传输并且在不同时间到达端点时,产生信号偏移。串扰是指在非常接近的线路上的信号的不期望的耦合。随着存储器设备的运行速度增加,串扰越来越成为一个问题。

[0008] 因此,在本技术领域中需要这样的存储器模块用于移动电子设备和固态驱动器应用中,其具有增加的存储容量和 / 或运行速度,并且最小化存取存储器模块所需的输入引脚和线路的数量。

发明内容

[0009] 以下说明本发明的一些实施例的简要概括,用来提供对本发明多个方面的基本认识。此概要并不是本发明的详尽的全面概述,其用意并非是标识本发明的关键或者重要部分,也不是界定本发明的范围。其唯一目的是以简化形式提供本发明的一些实施例,作为下述的更加详细描述的前序。

[0010] 根据本发明的多个方面,本发明公开了具有多个存储体和多个串行数据链接接口的半导体存储器设备。在一个实施例中,存储器设备包括独立控制链接接口和存储体之间的数据传输的控制电路。在一些实例中,所述存储体为非易失性存储器。本发明的控制电路可以与存储器设备内的多个模块和其他电路通信。例如,所述控制电路产生驱动多个所述模块的控制信号。

[0011] 本发明也公开了半导体闪烁存储器设备中实行并发存储器操作的方法。还包括了用于每一个串行数据链接接口和存储体的状态指示器。当所述存储体忙碌(或者返回就绪)时,以及当链接接口忙碌(或者返回就绪)时,更新这些状态指示器。此外,虚拟多链接特征允许具有减少引脚数量的存储器设备以高于现有技术中设备的吞吐量运行。

[0012] 根据本发明的多个方面,本发明公开了一种具有多个级联存储器设备的存储器系统。所述存储器设备可以被串行连接,并且外部存储器控制器可以接收和提供数据和控制信号给所述存储器系统。在本发明的其他实施例中,用来实现所公开方法的可执行指令被存储为控制逻辑或者诸如光盘或者磁盘的计算机可读媒介上的计算机可读指令。在本发明的一些实施例中,每一个闪烁存储器设备可以包括一个唯一的设备识别符。可以配置所述设备用来解析串行输入数据中的目标设备信息域,将目标设备信息与所述设备的所述唯一设备识别号码相关联,来判断所述设备是否是所述目标设备。本说明书全文也公开了本发明的多个其他方面。

附图说明

[0013] 通过示例性实施例来说明本发明,但本发明并不限于相应附图,其中相同附图标号表示同一部件。

[0014] 图 1A、1B、1C 为根据本发明多个方面说明允许并发操作的示例性存储器设备的高级示意图;

[0015] 图 2A 为根据本发明多个方面的示例性存储器设备的高级框图;

[0016] 图 2B 为根据本发明的一个实施例的图 2A 所示的串行数据链接的示意图;

[0017] 图 2C 为根据本发明的一个实施例的图 2A 所示的输入串行到并行的寄存器块的示意图;

- [0018] 图 2D 为根据本发明的一个实施例的图 2A 所示的路径开关电路的示意图；
- [0019] 图 2E 为根据本发明的一个实施例的图 2A 所示的输出并行到串行寄存器块的示意图；
- [0020] 图 3A、图 4、图 5A、图 6A 和图 7 为根据本发明多个方面的由存储器设备执行的存储器操作的时序图；图 3B、图 5B 和图 6B 为根据本发明多个方面的设备中分别说明图 3A、5A 和 6A 的所述存储器操作的流程图；
- [0021] 图 8A、8B 和 8C 为根据本发明多个方面的存储器设备中执行的并发存储器操作的时序图；
- [0022] 图 9 和图 10 为根据本发明多个方面的控制多个串行数据链接接口和多个存储体之间的数据传输的方法的流程图；
- [0023] 图 11 为根据本发明的多个方面的设备中存储器设备的输出引脚配置方框图；
- [0024] 图 12 为根据本发明的在装备有虚拟多链接特征的多个方面的存储器设备中执行存储器操作的时序图；
- [0025] 图 13 描述根据本发明多个方面的多个存储器设备的级联配置的高级框图；
- [0026] 图 14 为根据本发明一些方面的级联配置中的存储器设备上执行的存储器操作的简化时序图。

具体实施方式

[0027] 本发明公开了具有至少两个存储体的半导体存储器的串行数据接口。此串行数据接口可以包括一个或者多个与中央控制逻辑通信的串行数据链接，其中，每一个串行数据链接可以串行接收命令和数据，可以串行提供输出数据。每一个串行数据链接可以存取存储器中的任一存储体用来编程和读取数据。串行接口的至少一个优点是在不同密度下具有标准输出引脚而引脚数少的设备，因此，允许将来相兼容地升级到更高密度而无需重新设计电路板。

[0028] 图 1A 和 1B 为根据本发明多个方面说明支持并发操作的示例性存储器设备的高级示意图。图 1A 示出具有多个串行数据链接接口 102 和 104 以及多个存储体 106 和 108 的存储器设备。此处所示布置被称作双端口配置。每一串行数据链接接口具有相连接的输入 / 输出引脚以及数据输入和数据输出电路，并将结合图 2A 进一步详细描述。通过串行数据链接接口传输的数据以串行方式（例如以单个比特宽度的数据流）传输，所述存储器设备内的每一个数据链接接口 102 和 104 都是独立的，可以传输数据出入存储体 106 和 108 中的任一个。例如，串行数据链接 102 可以传输数据出入存储体 106 或者 108。类似地，串行数据链接 104 可以传输数据出入存储体 106 和 108。由于所示两个串行数据链接接口是独立的，所以它们可以并发的传输数据出入单独的存储体。此处所述的“链接”是指电路，所述电路可以为数据出入所述一个或多个存储体提供路径，并控制其传输。控制模块 110 可以使用命令进行配置，以控制数据在每一个串行数据链接接口 102 和 104 与每一个存储体 106 和 108 之间交换。例如，控制模块 110 可以被配置为允许串行数据链接接口 102 读取来自存储体 106 的数据，同时允许串行数据链接接口 104 写数据到存储体 108 中。这个特征增强了系统设计的灵活性并提高了设备利用率（例如，总线利用率和核心利用率）。如下所示，控制模块 110 可以包括控制电路、寄存器和开关电路。

[0029] 图 1B 示出一个实施例,其中,单个串行数据链接接口 120 通过控制模块 126 链接到多个存储体 122 和 124。此处所示布置在此称为单端口配置,并且相对于图 1A 所示的双端口配置,使用较少的存储器设备的输入 / 输出引脚。配置控制模块 126 来运行或者执行两个操作过程或者线程,使得串行数据链接接口 120 可以与存储体 122 和 124 以流水线方式交换数据。例如,当数据被写入存储体 122 时,数据链接接口 120 可以同时读取存储体 124 的数据。根据本发明的多个方面并且如下进一步详细描述,存储器设备使用图 1B 所示的单链接配置模拟了多链接操作。使用此单链接结合多存储体配置,此处被称之为虚拟多链接,可以在其他存储体可能处于忙碌状态时存取任一可用存储体。因此,通过连接仲裁电路存取其他可用存储体,此存储器设备可以提升单链接配置的利用率。

[0030] 图 1A 和图 1B 所示的存储器设备包括仅用于说明目的的两个存储体。本领域内技术人员可以意识到此处公开的本发明的多个方面是可以缩放的,并且允许使用多个存储体和多个串行数据链接接口。例如,单个存储器设备可以包括例如 2、4 或者多个存储体。图 1C 示出一个实施例,其中,在控制模块 150 的控制下,配置有四个独立的串行数据链接 132、134、136 和 138,用来与四个存储体 140、142、144 和 146 交换数据。当使用虚拟多链接配置,仅有一个链接是必要的,其余的链接(例如图 1A 中的双链接或者图 1C 中的四链接输出引脚配置)并不使用,并被认为是没有连接(NC)。相比传统的并行接口结构,串行数据链接接口至少有一个优点,就是在保持链接灵活性和大密度的同时,降低了存储器设备上的引脚数量。例如,当传统的闪烁存储器设备可以要求在封装的多个面上有 48 个引脚时,根据本发明的存储器设备可以在标准封装 1100 的单面上使用很少的引脚(例如,11 个引脚),如图 11 所示。或者是,由于需要较少的内部接合焊盘,所以可以使用不同的、更小类型的封装。

[0031] 根据本发明的一个具体实施例,图 2A 示例性说明图 1A 所示的存储器设备的更详细的示意图。存储器设备 200 中的每一个存储体的结构可以相同或者相似于 NAND 闪烁存储器核心结构。图 2A 示出和本发明相关的这些电路,并且有目的地省略了某些电路块来简化图 2A,例如,使用闪烁存储器核心结构的存储器设备 200 将包括高压产生电路,此电路对存储单元的编程和擦除是必要的。此处所用的核心结构(或者核心电路)是指包括存储单元阵列和相关联的存取电路(例如解码和数据传输电路)的电路。由于标准存储器结构是众所周知的,因此与所选择的结构相关联的原始操作也是公知的,这一点本领域内技术人员应该了解。本领域内的技术人员更应明白,任何已知的非易失性或者易失性存储器结构可以用在本发明的替代实施例中。

[0032] 存储器设备 200 包括多个具有各自数据、控制和寻址电路的同样的存储体,诸如存储体 A202 和存储体 B204,地址和数据路径开关电路 206 连接到存储体 202 和 204,并且连接到与各存储体相关联的同样的接口电路 205 和 207 用于提供到开关电路 206 和接收来自开关电路 206 的数据。例如,存储体 202 和 204 优选的是非易失性存储器,诸如闪烁存储器。逻辑上,由存储体 202 接收和提供的信号被标以字母“A”,同时由存储体 204 接收和提供的信号被标以字母“B”。类似地,由接口电路 205 接收和提供的信号被标以数字“0”,由接口电路 207 接收和提供的信号被标以数字“1”。每一接口电路 205/207 以串行数据流接收存取数据,其中例如,所述存取数据可以包括用于编程操作的命令、地址信息和输入数据。在读取操作中,接口电路将响应于读取命令和地址数据提供输出数据作为串行数据流。

存储器设备 200 进一步包括全局电路 (global circuit), 诸如控制接口 208 和状态 /ID 寄存器电路 210, 用来提供诸如时钟信号 sclki 和 reset 的全局信号给存储体 202 和 204 二者的电路以及各自的接口电路 205 和 207。前述电路将在以下进一步讨论。

[0033] 存储体 202 包括公知的存储器外围电路, 诸如用于提供输出数据 DOUT_A 和用于接收输入编程数据 DIN_A 的感应放大器和页面缓冲电路块 212, 还有行解码块 214。本领域内技术人员可以明白, 块 212 也将包括列解码电路。控制和预解码电路块 216 经由信号线 ADDR_A 接收地址信号和控制信号, 并且提供预解码地址信号给行解码器 214、感应放大器和页面缓冲电路块 212。

[0034] 存储体 204 的外围电路与前面描述的存储体 202 的外围电路相同。存储体 B 的电路包括用于提供输出数据 DOUT_B 和用于接收输入编程数据 DIN_B 的感应放大器和页面缓冲电路块 218, 还有行解码块 220 以及控制和预解码电路块 222。控制和预解码电路块 222 经由信号线 ADDR_B 接收地址信号和控制信号, 并且提供预解码地址信号给行解码器 220、感应放大器和页面缓冲电路块 222。每一个存储体和相应的外围电路可以使用公知的结构配置。

[0035] 在一般操作中, 每一个存储体对特定的命令和地址响应, 并且如果必要, 对输入数据响应。例如, 存储体 202 将响应读取命令和读取地址而提供输出数据 DOUT_A, 并且可以响应编程命令和编程地址而对输入数据编程。例如, 每一个存储体可以响应诸如擦除命令的其它命令。

[0036] 在目前所示实施例中, 路径开关 206 为双端口电路, 可以在两种模式的其中之一中运行用来在存储体 202 和 204 与接口电路 205 和 207 之间传递信号。第一种是直接传输模式, 其中, 存储体 202 和接口电路 205 的信号互相传递。同时, 在所述直接传输模式中, 存储体 204 和接口电路 207 的信号互相传递。第二种是交叉传输 (cross - transfer) 模式, 其中, 存储体 202 和接口电路 207 的信号互相传递, 同时, 存储体 204 和接口电路 205 的信号互相传递。稍后将讨论路径开关 206 的单端口配置。

[0037] 如上提及的, 接口电路 205 和 207 以串行数据流方式接收和提供数据, 这是为了在高运行频率下提高总的信号吞吐量的同时, 降低芯片的输出引脚的需求。由于存储体 202 和 204 的电路通常被配置为用于并行地址和数据, 所以需要转换电路。

[0038] 接口电路 205 包括串行数据链接 230, 输入串行到并行寄存器块 232 和输出并行到串行寄存器块 234。串行数据链接 230 接收串行输入数据 SIP0、输入使能信号 IPE0 和输出使能信号 OPE0, 并且提供串行输出数据 SOP0、输入使能回波信号 IPEQ0 和输出使能回波信号 OPEQ0。信号 SIP0 (和 SIP1) 为串行数据流, 其中, 每一信号可以包括地址、命令和输入数据。串行数据链接 230 提供相应于 SIP0 的缓冲的串行输入数据 SER_IN0 并且接收来自输出并行到串行寄存器块 234 的串行输出数据 SER_OUT0。输入串行到并行寄存器块 232 接收 SER_IN0 并且将其转换为一组并行信号 PAR_IN0。输出并行到串行寄存器块 234 接收一组并行输出数据 PAR_OUT0 并且将其转换为串行输出数据 SER_OUT0, 其被随后提供作为数据流 SOP0。输出并行到串行寄存器块 234 也可以接收来自状态 /ID 寄存器电路 210 的数据, 用来输出其中存储的数据, 而不是 PAR_OUT0 的数据。这个特定特征的细节将随后进一步描述。此外, 串行数据链接 230 配置成为另一存储器设备 200 提供控制信号和数据信号的菊花链的级联。

[0039] 串行接口电路 207 与接口电路 205 相同地配置，并且包括串行数据链接 236、输入串行到并行寄存器块 240 和输出并行到串行寄存器块 238。串行数据链接 236 接收串行输入数据 SIP1、输入使能信号 IPE1 和输出使能信号 OPE1，并且提供串行输出数据 SOP1、输入使能回波信号 IPEQ1 和输出使能回波信号 OPEQ1。串行数据链接 236 提供相应于 SIP1 的缓冲的串行输入数据 SER_IN1，并且接收来自输出并行到串行寄存器块 238 的串行输出数据 SER_OUT1。输入串行到并行寄存器块 238 接收 SER_IN1 并且将其转换为一组并行信号 PAR_IN1。输出并行到串行寄存器块 240 接收一组并行输出数据 PAR_OUT1 并且将其转换为串行输出数据 SER_OUT1，其被随后提供作为数据流 SOP1。输出并行到串行寄存器块 240 也可以接收来自状态 /ID 寄存器电路 210 的数据，用来输出其中存储的数据，而不是 PAR_OUT1 的数据。如同串行数据链接 230 一样，串行数据链接 236 配置成为另一存储器设备 200 提供控制信号和数据信号的菊花链的级联。

[0040] 控制接口 208 包括标准输入缓冲器电路，并且产生分别对应于 CS#、SCLK 和 RST# 的内部芯片选择信号 chip_sel、内部时钟信号 sclki 和内部复位信号 reset。虽然信号 chip_sel 主要由串行数据链接 230 和 236 使用，但是 reset 和 sclki 通过存储器设备 200 被许多电路使用。

[0041] 图 2B 为根据本发明的一个实施例的串行数据链接 230 的示意图。串行数据链接 230 包括用于接收输入信号 OPE0、IPE0 和 SIP0 的输入缓冲器 242、用于驱动信号 SOP0、IPEQ0 和 OPEQ0 的输出驱动器 244、用于按拍输出 (clocking) 信号 out_en0 和 in_en0 的触发器电路 246 以及反相器 248 和多路转换器 (MUX) 250。响应信号 chip_sel 来启动信号 OPE0 和 SIP0 的输入缓冲器，响应经反相器 248 反相的 chip_sel 启动信号 SOP0 的输出驱动器。信号 out_en0 启动输出缓冲器（后面图 2E 中示出）并且提供信号 SER_OUT0。信号 in_en0 启动输入串行到并行寄存器块 232 来锁存 SER_IN0 数据。信号 in_en0、out_en0 和 SER_IN0。

[0042] 串行数据链接 230 包括启动将存储器设备 200 和其它存储器设备级联的菊花链的电路。更具体地，串行输入数据流 SIP0 和使能信号 OPE0 和 IPE0 可以通过串行数据链接 230 传递到另一存储器设备的相应引脚。当 in_en0 在激活的高逻辑水平时，SER_IN0 被与逻辑门 252 接收并传递到相应的触发器 246。与此同时，处于激活的高逻辑水平的 in_en0 将控制 MUX250 来传输 Si_next0 到输出驱动器 244。类似地，IPE0 和 OPE0 也可以通过各自的触发器 246 被按拍输出到 IPEQ0 和 OPEQ0。虽然此处描述串行数据链接 230，应该清楚串行数据链接 236 也包括相同元件，它们按照与图 2B 所示串行数据链接 230 相同的方式相互连接。

[0043] 图 2C 为输入串行到并行寄存器块 232 的示意图。此寄存器块接收时钟信号 sclki、使能信号 in_en0 和输入数据流 SER_IN0，并且转换 SER_IN0 为一组并行数据。特别地，可以转换 SER_IN0 来提供命令 CMD_0、列地址 C_ADD0、行地址 R_ADD0 和输入数据 DATA_IN0。本发明公开的实施例优选地在高频下运行，例如在 200MHz。以此速度，串行输入数据流可以在快过解码所接收的命令的速度下接收。正是由于此原因，串行输入数据流初始被缓冲在一组寄存器中。应该明白，本发明所示的示意图也适用于输入串行到并行寄存器块 240，唯一不同之处是信号名称的标号不同。

[0044] 输入串行到并行寄存器块 232 包括输入控制器 254、命令寄存器 256、临时寄存器

258 和串行数据寄存器 260, 其中, 输入控制器 254 用来接收 in_en0 和 sclki。由于串行输入数据流的数据结构是预先确定的, 所以可以将特定位数的输入数据流分配到前述的寄存器中。例如, 与命令相应的位可以被存储到命令寄存器 256 中, 与行地址和列地址相应的位可以被存储到临时寄存器 258 中, 与输入数据相应的位可以被存储到串行数据寄存器 260 中。串行输入数据流的位分配可以由输入控制器 254 控制, 其可以包括计数器, 用于在接收到每一预先确定的位数之后产生合适的寄存器启动控制信号。换句话说, 三个寄存器的每一个可以被顺序启动以根据串行输入数据流的预先确定的数据结构来接收和存储串行输入数据流的数据位。

[0045] 命令解释器 (interpreter) 262 并行接收来自命令寄存器 256 的命令信号, 并且产生一个经过解码的命令 CMD_0。命令解释器 262 是由互相连接的逻辑门或者固件实现的标准电路, 用于解码接收到的命令。如图 4 所示, CMD_0 可以包括信号 cmd_status 和 cmd_id。开关控制器 264 接收一个或者多个来自 CMD_0 的信号, 用来控制一个简单的开关电路 266。开关电路 266 并行地接收存储在临时寄存器 258 中的所有数据, 并且根据经过解码的命令 CMD_0 加载数据到列地址寄存器 268 和行 / 体寄存器 270 的二者或其中之一。由于临时寄存器不总是包括列和行 / 体地址数据两者, 所以优选的进行这一解码。例如, 具有块擦除命令的串行输入数据流将仅使用行地址, 此情况下, 仅有存储在临时寄存器 258 中的相应位加载到行 / 体寄存器 270。列地址寄存器 268 提供并行信号 C_ADD0, 行 / 体地址寄存器 270 提供并行信号 R_ADD0, 并且数据寄存器 272 提供并行信号 DATA_IN0, 用于编程操作。CMD_0、C_ADD0、R_ADD0 和 Data_IN0 (可选) 共同形成并行信号 PAR_IN0。每一并行信号的位宽尚未被指定, 因为所需的宽度是一种设计参数, 可以根据特定标准定制或者设计。

[0046] 用于闪烁核心结构实现的存储器设备 200 的一些操作的实例如下表 1 所示。表 1 列出可能的用于 CMD_0 的操作 (OP) 代码和列地址 (C_ADD0)、行 / 体地址 (R_ADD0) 和输入数据 (DATA_IN0) 的相应状态。

[0047] 表 1 命令集

[0048]

操作	OP 代码 (1 字节)	列地址 (2 字节)	行/体地址 (3 字节)	输入数据 (1-2112 字节)
页面读取	00h	有效	有效	—
随机数据读取	05h	有效	—	—
用于复制的页面读取	35h	—	有效	—
用于复制的目标地址输入	8Fh	—	有效	—
串行数据输入	80h	有效	有效	有效
随机数据输入	85h	有效	—	有效
页面编程	10h	—	—	—
块擦除	60h	—	有效	—
读取状态	70h	—	—	—
读取 ID	90h	—	—	—
写配置寄存器	A0h	—	—	有效(1 字节)
写设备名(DN)入口	B0h	—	—	—
复位	FFh	—	—	—
体选择	20h	—	有效(存储体)	—

[0049] 此外,表 2 示出输入数据流的优选的输入序列。命令、地址和数据串行移入和移出存储器设备 200,从最高有效位开始。命令序列以一个字节的命令代码开始(表 2 中的“cmd”),根据所述命令,一个字节的命令代码之后可以跟随列地址字节(表 2 中的“ca”)、行地址字节(表 2 中的“ra”)、体地址字节(表 2 中的“ba”)、数据字节(表 2 中的“data”),其组合或者均无。

[0050] 表 2 字节模式的输入序列

[0051]

操作	第 1 字节	第 2 字节	第 3 字节	第 4 字节	第 5 字节	第 6 字节	第 7 字节	...	第 2115 字节	...	第 2118 字节
页面读取	cmd	ca	ca	ba/ra	ra	ra	-	-	-	-	-
随机数据读 取	cmd	ca	ca	-	-	-	-	-	-	-	-
用于复制的 页面读取	cmd	ba/ra	ra	ra	-	-	-	-	-	-	-
用于复制的 目标地址输 入	cmd	ba/ra	ra	ra	-	-	-	-	-	-	-
串行数据输 入	cmd	ca	ca	ba/ra	ra	ra	data	...	data	...	data
随机数据输 入	cmd	ca	ca	data	data	data	data	...	data	-	-
页面编程	cmd	-	-	-	-	-	-	-	-	-	-
块擦除	cmd	ba/ra	ra	ra	-	-	-	-	-	-	-
读取状态	cmd	-	-	-	-	-	-	-	-	-	-
读取 ID	cmd	-	-	-	-	-	-	-	-	-	-
写配置寄存 器	cmd	data	-	-	-	-	-	-	-	-	-
写设备名 (DN) 入口	cmd	-	-	-	-	-	-	-	-	-	-
复位	cmd	-	-	-	-	-	-	-	-	-	-
体选择	cmd	ba	-	-	-	-	-	-	-	-	-

[0052] 图 2D 为图 2A 所示的路径开关 206 的示意图。开关 206 被逻辑上分为两个具有相同配置的开关子电路 274 和 276。开关子电路 274 包括四个输入多路转换器 278, 可以选择性的传递接口电路 205 或者接口电路 207 的命令、地址和输入数据到存储体 202 的电路。例如, 这些信号在如图 2C 中先前已被组合起来作为 PAR_IN0。开关子电路 274 包括一个输出多路转换器 280, 用来选择性地传递来自存储体 202 或者存储体 204 的输出数据到接口电路 205。开关子电路 276 包括四个输入多路转换器 (未示), 可以选择性的传递接口电路 205 或者接口电路 207 的命令、地址和输入数据到存储体 204 的电路。开关子电路 276 包括一个输出多路转换器 (未示), 用来选择性地传递来自存储体 202 或者存储体 204 的输出数据到接口电路 207。

[0053] 依据开关控制信号 SW_CONT 的状态, 开关子电路 274 和 276 二者可以同时在直接

传输模式或者交叉传输模式中运行。路径开关电路 206 当前所示为双端口配置,意味着通过接口电路 205 或者 207 可以同时存取存储体 202 和 204。

[0054] 根据本发明的另一实施例,如前图 1B 所述的,路径开关 206 可以在单端口模式中运行,其中,接口电路 205 和 207 只有一个激活。由于不再需要与未使用的接口电路相连的输入 / 输出焊盘,这种配置可以进一步降低存储器设备 200 所需的输出引脚面积。在单端口配置中,除了可以响应 SW_CONT 选择信号而保持的各个输出多路转换器 280 以外,开关子电路 274 和 276 被设置为只在直接传输模式中运行。

[0055] 在一单端口实施例中,其中,只有接口电路 205 激活,在输入并行到串行寄存器块 232(或者块 234) 中包括辅助路径开关(未示出),用来选择性地传输开关 266 和串行数据寄存器 260 的输出数据到输入串行到并行寄存器块 232 或者 240 的相应的列、行 / 体和数据寄存器。实际上,此辅助路径开关可以与开关 206 相同。因此,输入串行到并行寄存器块 232 和 240 二者的列、行 / 体和数据寄存器可以被加载数据,用于交替存储体存取或者实质上并发存取。

[0056] 图 2E 为输出并行到串行寄存器块 234 的示意图。应该注意到,输出并行到串行寄存器块 238 也是同样配置。输出并行到串行寄存器块 234 提供自存储器块存取的数据,或者提供预先存储在寄存器中的状态数据。更特别地,用户或系统可以请求串行数据链接 230 或者 236 的状态。所输出的状态数据中指定位置(例如,第 4 位)的值为“1”可以指示特定的串行数据链接接口忙碌。该固定的数据可以进一步包括芯片识别数据,其可以与状态数据一起,在存储器设备 200 加电时以默认状态预加载。状态数据可以被配置为具有任一为系统所识别的预选位模式。尽管没有示出,但是图 2E 可以包括附加控制电路,用来基于一个或者多个预设条件,更新一个或者多个存储在寄存器 284 中的位。例如,基于已用时钟周期的计数,或者基于从存储器设备 200 的不同电路块接收的一个或者多个标志信号的组合,可以改变一个或者多个状态位。

[0057] 输出并行到串行寄存器块 234 包括第一并行到串行寄存器 282 和第二并行到串行寄存器 284,第一并行到串行寄存器 282 用于接收来自路径开关 206 的输出数据 PAR_OUT0,第二并行到串行寄存器 284 用于接收来自多路转换器 286 的固定数据。响应信号 cmd_id,多路转换器 286 选择性地传输存储在状态寄存器 288 中的状态数据或者存储在 ID 寄存器 290 中的芯片识别数据的一个。响应经或门 294 的激活的 cmd_id 或者 cmd_status,输出多路转换器 292 传输来自第一并行到串行寄存器 282 的数据或者第二并行到串行寄存器 284 的数据。最后,由 out-en0 启动的串行输出控制电路 296 来提供 SER_OUT0。

[0058] 根据本发明的不同方面,本领域内技术人员可以意识到可以改变状态指示器的尺寸和位置。例如,串行数据链接接口状态指示器可以结合其他类型的状态指示器(例如存储体状态指示器)和 / 或物理上位于寄存器块(例如在链接仲裁模块或者控制模块 238 中)的外侧。在另一实施例中,串行数据链接接口状态指示器为一位寄存器。

[0059] 图 3A、图 4、图 5A、图 6A 和图 7 为根据本发明多个方面的由存储器设备 200 执行的一些存储器操作的示例性时序图。由存储器设备 200 执行的一些存储器命令包括但不限于:页面读取、随机数据读取、用于复制的页面读取、用于复制的目标地址输入、串行数据输入、随机数据输入、页面编程、块擦除、读取状态、读取 ID、写配置寄存器、写设备名入口、复位和 / 或存储体选择。以下讨论的时序图将参考前面图中所示的存储器设备 200 的具体实

施例和表 1 以及表 2。

[0060] 在图 3A 的时序图描述的实例中,根据本发明,“页面读取”存储器命令 314 在存储器设备 200 的串行数据链接 230 处被接收。进一步,图 3B 示出图 3A 的时序图中“页面读取”存储器命令 314 的并行操作的简化流程图。作为实际问题,图 3B 所示的步骤将结合图 3A 的时序图讨论。通过此例,在步骤 324 中,在存储器设备 200 的串行数据链接 230 处读取“页面读取”存储器命令 314。

[0061] 在此例中,输入的数据流为 6 字节串行数据流(即,串行输入数据),包括命令数据(第 1 字节)、列地址数据(第 2、3 字节)和行与体地址数据(第 4、5、6 字节)。体地址可以用来确定经路径开关 206 存取存储体 202 或者 204。本领域内技术人员可以理解不同的存储器命令可以具有不同的数据流。例如,“随机数据读取”存储器命令具有预设的仅 3 字节的数据流:命令数据(第 1 字节)和列地址数据(第 2、3 字节)。在后一实例中,串行输入数据的地址域仅包含列地址数据并且为 2 字节长。同时,在前一实例中,地址域为 5 字节长。本领域内技术人员可以意识到,看过整个公开内容后,根据本发明的多个方面,许多存储器命令和预设的数据流是明显的。

[0062] 继续说明图 3A 所示有关“页面读取”存储器命令的实例,当芯片选择(CS#)信号 302 被设为低电平,以及响应输入端口使能(IPE_x)信号 306 被设为高电平,串行输入(SIP_x)端口 308 在串行时钟(SCLK)信号 304 的第一个上升沿处被采样(其中,‘x’是一个占位符,表示链接接口数,例如,链接 0 接口 232 或者链接 1 接口 234)。数据读出(步骤 328)是一个与“页面读取”存储器命令相对应的数据流。CS# 信号 302 是存储器设备 200 的一个输入信号,除了可以用在其他方面之外,还可以用来指示存储器设备 200 是否激活(例如,当 CS# 为低电平时)。IPE_x 信号 306 指示输入数据流是否将在特定链接接口处被接收(例如,当 IPE_x 为高电平时),或者特定链接接口是否将忽略输入数据流(例如,当 IPE_x 为低电平时)。输入数据流在存储器设备的链接接口的 SIP_x 308 处被接收。最后,系统时钟(SCLK)信号 304 为存储器设备 200 的一个输入信号,并且被用来同步由存储器设备 200 的多个电路执行的各种操作。对于本领域内技术人员明显的是,根据本发明多个方面的存储器设备可以以此时钟信号(例如,操作和数据传输发生在时钟信号的上升沿和/或下降沿)同步或者异步(即,不同步)。或者是,在双倍数据速率(DDR)实现中, SCLK 时钟信号的上升沿和下降沿都可以用来锁存信息。但是,在图 3A 的实例中,在 SCLK 的下降沿锁存输入数据,并且在 SCLK 的上升沿之后,输出数据 322 才出现在串行输出引脚 312SOP_x 上。

[0063] 如图 3A 所示,“页面读取”状态可以在 SOP_x 引脚 312 上检查,因此,在 SOP_x 上将提供“存储体忙碌”的结果,直到时间点 318 出现“就绪”指示时,并且不久将会在时间 322 期间出现输出数据。应该注意,尽管图 3A 说明具有随后“读取状态”的“页面读取”,但是也可以根据本发明一个方面设想到没有“读取状态”的“页面读取”。在此实施例中,不会在 SOP_x 引脚上提供数据,直到输出数据就绪为止。

[0064] SIP_x 采样的命令数据被写到图 2C 所示的合适的寄存器(例如,命令寄存器 256)。设计输入数据流中第一个字节为命令数据,选择这样设计输入数据流的至少一个益处是,所述数据可以被传输到命令寄存器而无需附加的步骤。根据存储器命令的类型,数据流中的后续字节可以是地址数据和/或输入数据。本领域内技术人员可以理解,根据本发明的多个方面,存储器设备可以识别的存储器命令集可以由基于字(即,16 位)的宽度或任意

I/O 宽度所定义。在图 3A 中,命令数据 (即,00h 代表“页面读取”314) 之后跟随五字节的地址数据 :两字节列地址数据和三字节行 / 体地址数据。地址数据被写到图 2C 所示的地址寄存器 258 中。地址数据用于定位将被读取的存储体 202 中存储的数据。在此选择被读取数据的过程中,使用预解码器电路 216、行解码器 214 以及电路 212 中的列解码器。例如,预解码器模块 214 用来预解码地址信息。随后,行解码器 214 和电路 212 中的列解码器用于激活对应于地址数据的位线和字线。在“页面读取”命令的例子中,对应于一个字线,多个位线被激活。随后,存储在存储体 202 中的数据在被感应放大器感应之后,传输到电路 212 中的页面寄存器中。在图 3A 所示时间点 318 之前,页面寄存器中的数据可能无法使用,即输出引脚 SOPx 将显示“忙碌”。已用时间的总量称为传输时间 (tR)。传输时间周期在时间点 318 (图 3A) 结束,并且持续一个 tR 周期。

[0065] 在传输时间周期结束之前,存储体状态显示器被设定为显示特定的存储体 (例如,存储体 202) 为“忙碌”。图 3A 中的示例性存储体状态指示器是一个字节的域,使用这些位中的一位 (例如,第 4 位) 指示存储体 202 (即,存储体 0) 是“忙碌”或者“就绪”。存储体状态指示器存储在图 2E 的状态寄存器 288 中。在存储体由输入数据流识别之后,更新存储体状态指示器 (例如,第 4 位设为 ‘0’)。一旦存储操作完成,更新存储体状态指示器 (例如,第 4 位设为 ‘1’) 来指示存储体不再“忙碌” (即,“就绪”)。应该注意,存储体状态指示器和 SOPx 输出引脚二者将一起指示“忙碌”状态,将在下面详细说明。本领域内技术人员应该意识到尽管在图 3A 中存储体状态指示器被描述为 1 字节域,但其尺寸没有必要如此限制。更大的状态指示器具有至少一个益处是可以监视更多的存储体的状态。此外,状态指示器可以用来监视其它类型的状态 (例如,在执行诸如“页面编程”的存储器操作后,存储体处于“通过”或“失败”状态)。此外,对于本领域内技术人员明显的,此例中使用的状态指示器每一位代表不同存储体的状态仅用于示例。例如,位的组合值也可以用来指示存储体的状态 (例如,通过使用逻辑门或者其他电路)。与存储体状态指示器相应的“读取状态”命令的操作将在以下结合图 7 讨论。

[0066] 使用“读取状态”存储器命令 316 读取图 3 实例中的存储体状态指示器 (步骤 328)。有时在传输时间期间,“读取状态”命令 316 被发送到寄存器块 224 的命令寄存器。“读取状态”命令指示存储器设备 200 来监视存储体 202 的状态,从而决定何时完成从存储体 202 到页面寄存器 216 的数据传输。通过数据路径控制模块 230 从控制模块 238 或者直接由数据路径控制模块 230 发出“读取状态”命令。一旦“读取状态”命令被发出 (例如,发送给命令解释器 228 和 / 或控制模块 238),输出端口使能 (OPEx) 信号 310 被驱为高电平,并且通过串行输出 (SOPx) 端口 312 输出存储体状态指示器的内容。与 IPEx 信号 306 类似,当被设定为高电平时, OPEx 信号 310 启动串行输出端口缓存器 (例如,数据输出寄存器)。在图 3A 中的时间点 318, SOPx 中的状态指示器数据指示存储体 202 已从“忙碌”状态转变为 (步骤 330) “就绪”状态。由于不再需要状态指示器的内容,OPEx 信号 310 返回低电平。

[0067] 接着在图 3A 中, IPEx 信号被设为高电平,并且不跟随地址数据的“页面读取”命令 320 被重新发送 (步骤 332) 到寄存器块 224 中的命令寄存器,用来从数据寄存器提供数据到输出引脚 SOPx。随后, OPEx 信号被设为高电平 (并且 IPEx 返回低电平),并且页面寄存器 216 的内容被传输到 SOPx312。所提供的输出数据 (步骤 334) 通过链接接口 230,离开存储器设备 200。纠错电路 (图中未示) 可以检查输出数据并且如果检测到一个错误就

显示读错误。本领域技术人员清楚,状态的监视和页面读取命令的重新确立可以由系统自动完成。图 3A 仅是根据本发明多个方面的存储器设备操作的一个实例,并且本发明不限于此。例如,根据本发明的多个方面可以想到其他的存储器命令和时序图。

[0068] 例如,图 4 中说明“页面读取”命令之后的“随机数据读取”命令的简化时序图。“随机数据读取”命令启动“页面读取”命令或者“随机数据读取”命令之后的一个或者多个列地址处的额外数据的读取。“随机数据读取”命令 402 的数据流包含三个字节:命令数据(第一字节)和列地址数据(第二和第三字节)。由于所读取的数据来自“页面读取”命令中所选择的同一行,所以不需要行地址数据。正常的“页面读取”命令完成之后发出的“随机数据读取”命令导致当前页面(即较早命令期间读取的页面)的一些数据 404 被输出。由于相应于存储体 202 的电路 212 的页面寄存器中的数据已经存在,“随机数据读取”命令的至少一个优点是提高了自预选页面输出数据的效率。

[0069] 参照图 5A,说明“页面编程”命令的时序图。由于图 2A 说明的实施例使用了串行数据输入和输出链接结构,所以在开始对页面编程之前,必须首先把编程数据加载到存储体页面寄存器中,其使用“串行数据输入命令”完成。“串行数据输入”命令 502 包括串行数据加载期间,在此期间多达一页(例如,2,2112 字节)的数据加载到电路 212 中的页面缓冲器中。加载数据寄存器的步骤完成后,发出“页面开始”命令 504 以将来自存储体寄存器的数据传输到适当的存储体。一旦发出命令 504,内部写状态机执行适当的算法并且控制时序来编程和验证操作。因此,根据本发明的一实施例,“页面开始”命令分为两步:串行数据输入和验证。当成功地完成“页面编程”命令,存储体状态指示器将提供“通过”(相反的为“失败”)的结果来显示一个成功的操作。在其他方面,图 5A 的实例的时序图和步骤与图 3A 所示的类似,已经在前面更详细地描述过。

[0070] 此外,图 5B 示出图 5A 的时序图中的“页面编程”命令的并行操作的简化流程图。步骤 506 中,“串行数据输入”命令 502 被输入到串行输入端口(SIP)线。此例中的输入到 SIP 线的数据流为多字节串行数据流(即,串行输入数据),以命令数据开头(在第一字节)。然后,列地址数据(串行数据流的第二、第三字节)和行/体地址数据(串行数据流的第四、第五和第六字节),都被输入(步骤 508)到 SIP 线。在串行数据流的随后的字节中,输入数据被输入(步骤 510)到 SIP 线。步骤 512 中,发出“编程开始”命令 504。接着,为监视操作的状态,将“读取状态”命令写到 SIP 线(步骤 514)。这导致存储器设备可以监视存储体状态寄存器的状态位。一旦状态位显示存储体就绪(步骤 516),并且存储体指示“通过”(步骤 518),则“页面编程”存储器命令已经被成功执行。

[0071] 此外,根据本发明多个方面,“用于复制的页面读取”和“用于复制的目标地址输入”存储器命令为存储器设备所执行的其它操作。如果“用于复制的页面读取”命令被写到串行链接接口的命令寄存器,则存储器位置的内部源地址(3 字节)被写入。一旦输入源地址,存储器设备传输特定源地址的存储体的内容到数据寄存器。随后,“用于复制的目标地址输入”存储器命令(带有 3 字节体/行地址序列)被用来指定用于页面复制操作的目标存储器地址。然后,可以利用“页面编程”命令使内部控制逻辑自动地将页面数据写入到目标地址。“读取状态”命令可以随后用来确认命令的成功执行。根据此处公开的全部内容,对于本领域内技术人员来说,其它存储器操作是明显的。

[0072] 参照图 6A,用以说明“擦除”(或“块擦除”)命令的时序图。此外,图 6B 示出图 6A

的时序图中的“擦除”命令的并行操作的简化流程图。本领域内技术人员可以意识到擦除典型地发生在块一级。例如，闪烁存储器设备 200 每一个存储体具有 2048 个可擦除块，每一块按照 64 个 2112(2048+64) 字节的页面组织。每一块是 132K 字节 (128K+4K 字节)。擦除命令一次操作一个块。通过在步骤 610 将与“擦除”命令（即，‘60h’的命令数据）相应的命令数据 602，以及在步骤 612 将三个字节的行和体地址经 SIPx 写到命令寄存器，开始块擦除操作。完成命令和地址输入之后，内部擦除状态机自动地执行合适的算法并且控制所有必要的时序来擦除和验证操作。应该注意到，可以通过写或者编程一个逻辑值“1”到存储器块中的每一个存储单元，执行“擦除”操作。为了监视擦除状态来决定何时 tBERS (即，块擦出时间) 完成，在步骤 614 可以发出“读取状态”命令 604 (例如，相当于 70h 的命令数据)。“读取状态”命令之后，所有的读取循环将来自存储体状态寄存器，直到给出一个新命令。在此实例中，存储体状态寄存器的适当位 (例如，位 4) 反映了相应的存储体的状态 (例如，忙碌或者就绪)。当存储体在步骤 618 变为就绪时，在步骤 620 检查存储体状态寄存器的适当位 (例如，位 0)，以决定所述擦除操作在步骤 622 通过了还是在步骤 624 失败了。在某些方面中，图 6A 的实例的时序图和步骤和图 3A 所示的类似，已经在前面更详细地描述过。

[0073] 参照图 7，使用“读取状态”存储器命令来读取存储体状态指示器。此外，当在 702 处发送“读取状态”命令 (即，‘70h’) 到图 2C 中的命令寄存器 256 时，存储器设备 200 被指示来监视存储体 202 的状态，决定何时成功完成从存储体 202 到电路 212 中的页面缓冲器的数据的传输，以及其它方面。一旦“读取状态”命令被发出 (例如，发送到命令解释器 262)，输出端口使能 (OPEx) 信号被驱为高电平，并且存储体状态指示器的内容在 704 处通过串行输出 (SOPx) 端口输出。当 OPEx 信号设为高电平时，启动串行输出端口缓冲器 (例如数据输出寄存器)。此外，在图 7 的实例中，存储体状态指示器是一个字节 (即 8 位) 的域，每一位用来指示存储体 (例如存储体 202) 处于“忙碌”还是“就绪”和 / 或存储体上执行的操作 (例如“擦除”命令) 是“通过”还是“失败”，以及其他方面。本领域内技术人员可以意识到尽管图 7 中描写的存储体状态指示器为一个字节的域，但其尺寸没有要限制于此。更大的状态指示器具有至少一个益处是可以监视更多的存储体的状态。此外，对于本领域内技术人员明显的，尽管此例中使用的状态指示器每一位代表不同存储体的状态，但本发明不限于此。例如，位的组合值也可以用来指示存储体的状态 (例如，使用逻辑门和其他电路)。

[0074] 图 8A、8B 和 8C 为根据本发明多个方面使用双独立串行数据链接 230 和 236 来执行并发操作的存储器设备的时序图。根据本发明的多个方面，由存储器设备执行的一些并发操作包括但不限于：并发读取、并发编程、并发擦除、编程时读取、擦除时读取和擦除时编程。图 8 示例性说明存储体 A (存储体 202) 和存储体 B (204) 上执行的并发“页面读取”操作。图 8A 中，存储体 A 表示为“存储体 0”，同时存储体 B 表示为“存储体 1”。图 8B。在阅读这里全部的公开内容后，其他并发操作对于本领域内技术人员是明显的。

[0075] 参照图 8A，针对在存储器设备 200 中的不同存储体进行并发“页面读取”操作 802 和 804。在具有双数据链接接口 230 和 236 的存储器设备 200 中，“页面读取”命令 804 通过数据链接接口 236 (即链接 1) 发出，同时“页面读取”命令 802 通过数据链接接口 230 (即链接 0) 未决。尽管图 8A 示出存储体 0 上的“页面读取”在存储体 1 上的“页面读取”之前开始，但是两个“页面读取”操作可以基本上同时开始、并发操作。来自每一个“页面读取”

命令的输出数据 806、808 通过它们各自的数据链接接口同时发送。因此，存储器设备 200 中的每一个数据链接接口可以存取任一存储体并且独立操作。这个特征至少有一个优点就是具有系统设计中极好的灵活性和设备利用率的提高（例如，总线利用率和核心利用率）。

[0076] 图 8A 中从存储体到数据链接接口的输出数据的路径和之前讨论的图 3A 相同。来自存储体 204 的输出数据通过体地址控制的路径开关 206 从 S/A 和页面缓冲器 218 例如流向输出并行到串行寄存器块 240 和到串行数据链接接口 236（即，链接 1）。分别在存储体 202 和 204 与串行数据链接接口 230 和 236 之间同时进行的数据传输将彼此互相独立发生。由于体地址可以控制路径开关 206，串行数据链接接口 236 可以改为存取存储体 202。存储器设备 200 中的数据链接接口的数量不限于存储器设备 200 的引脚或者端口的数量。存储器设备 200 中的链接接口的数量也不限于存储器设备中的存储体的数量。例如，每一个数据链接接口可以操作单个输入流和 / 或单个输出流。

[0077] 此外，根据本发明的各个方面，图 8B 示例性说明了针对存储器设备 200 的不同存储体进行的“页面读取”命令 810 和“页面编程”命令 812 被并发执行的时序图。在此例中，通过串行数据链接接口 230 在多个存储体的其中之一（例如，存储体 202）中执行读操作（“页面读取”810），同时，通过串行数据链接接口 236 在多个存储体中的另一个（例如，存储体 204）中执行写操作（“页面编程”812）。根据本发明的各个方面，存储器设备 200 的每一个链接可以存取任一存储体并且独立运行。

[0078] 图 8C 为具有两个串行数据链接接口和两个存储体的存储器设备 200 执行并发存储器操作的时序图。首先，对存储体 0（存储体 202）的“擦除”命令 814 由串行接口链接 0（串行数据链接 230）发出。在链接 0（串行数据链接 230）和存储体 0（存储体 202）在忙于处理“擦除”命令 814 时，“页面编程”命令在存储器设备处被接收，并且转向使用链接 1（串行数据链接 236）。因此，“页面编程”命令 816 在存储体 0（存储体 202）上由串行数据链接接口 1（串行数据链接 236）执行，同时，读命令 818 在存储体 1（存储体 204）上由串行数据接口 0（串行数据链接 230）执行。在存储器命令 814 期间，在串行数据链接接口 0（串行数据链接 230）和存储体 0（存储体 202）之间传输数据；在存储器命令 818 期间，在同一链接接口 0（串行数据链接 230）和存储体 1（存储体 204）之间传输数据。因此，根据本发明多个方面，存储器设备 200 中的每一链接可以独立存取任一存储体（即，不忙碌的存储体）。

[0079] 对于本领域内技术人员明显地，阅读此处公开的全部内容之后，图 8A、8B 和 8C 仅示出根据本发明构思的并发存储器操作的一些实施例。其它的并发操作的实例包括但不限于：并发擦除、编程时读取、擦除时读取、擦除时编程、编程时擦除和 / 或并发编程。本领域内技术人员可以意识到流程图中步骤的顺序不应该被解释为只限于特定的顺序。例如，读取和编程命令可以在有或者没有读取状态命令的情况下发送。

[0080] 根据本发明多个方面，图 9 示出在多个串行链接接口和多个存储体之间的两个并发写操作的更加概括的描述。图 9 示出根据本发明的一个实施例经串行数据链接接口写数据到存储体的方法。首先，在步骤 902 中，在串行数据链接接口接收数据流。数据流包括将被存储在寄存器中的命令、地址和数据。接着，在步骤 904 中，更新与第一串行数据链接接口相应的串行数据链接接口状态指示器，用来指示第一串行数据链接接口正在被使用。步骤 904 包括改变状态寄存器中的位值。步骤 904 中的更新指示特定的接口正被使用。在步骤 906 中，分析数据流来提取第一存储体识别符。存储体识别符唯一地标示存储器设备中

的存储体。存储体识别符可以被包括在数据流的地址域或者其他域中。接着，在分析数据流来提取存储体识别符之后，在步骤 908 中，更新相应的存储体状态指示器。例如，可以通过控制信号来驱动发生在步骤 904 和 908 的更新，其中，控制信号由状态 /ID 寄存器 210 中的控制电路产生。为了简化，这些控制信号从时序图中略去。最后，在步骤 910 中，在第一串行数据链接和第一存储体之间发送数据。应该注意到，在该概括描述中，由于数据首先被写到存储体页面寄存器，然后随即被编程写入存储体，所以步骤 910 已经被简化。

[0081] 同时，与步骤 902 的操作并发地，通过不同的串行数据链接接口在不同的存储体上执行另一个写数据操作。换句话说，使用在第二串行数据链接接口和第二存储体之间发送的第二数据流并发执行第二存储器操作。首先，在步骤 912 中，在多个串行数据链接接口中的第二个接口接收第二数据流。在步骤 912 和 902 中所称的串行数据链接接口都是同一存储器设备的一部分。在步骤 914 中，更新相应于第二数据链接接口的串行数据链接接口状态指示器，用来指示第二串行数据链接接口正被使用。接着，在步骤 916 中，分析第二数据流来提取第二存储体识别符。在步骤 918 中，更新相应于第二存储体指示器的存储体状态指示器，用来指示第二存储体正被使用，并且在步骤 920 中，经与第二存储体的相关的页面寄存器，在第二串行数据链接接口和第二存储体之间发送数据，正如前述有关“页面编程”命令那样。图 9 中，一旦发生数据传输，即串行数据链接接口收到所有要写入指定存储体的数据，相应于每一个串行数据链接接口的串行数据链接接口指示器将被复位用来指示相关链接当前可用，而存储体指示器将保持忙碌直到所有相关数据被编程，此后，存储体指示器将指示相关存储体已变成可用的。

[0082] 图 10 包括与图 9 中 902 到 910 所示步骤中数据写入并发地从存储体读取数据时可以执行的示例性步骤（表示为步骤 1010）。图 10 示例性描述了完成图 7 中并发存储器操作时可以执行一些步骤的例子。首先，在步骤 1002 中，从多个串行数据链接接口的其中第二个接收读取第二存储体中存储的数据的请求。在步骤 1004 中，更新与第二数据链接接口相应的串行数据链接接口状态指示器，用来指示第二串行数据链接接口正被使用。在步骤 1006 中，更新相应于第二存储体识别符的存储体状态指示器，用来指示第二存储体正被使用。最后在步骤 1008 中，在第二串行数据链接接口和第二存储体之间发送数据。图 10 中所示的一个或者多个步骤可以被并发执行。

[0083] 返回图 1B，所示存储器设备包括使用虚拟多链接的单个数据链接接口 120 配置。利用前述的输入串行到并行寄存器 232 的配置可以实现图 1B。更普遍地，可以使用存储器设备 200 实现图 1B 的实施例，但是两个串行数据链接中只有一个被使用。在常规闪烁存储器中，I/O 引脚被占用，直到操作完成。因此，在器件忙碌状态时没有操作可以被确立，其降低器件的可用性并降低总体性能。图 1B 中描述的例子中，在两个存储体的其中之一中进行初始化操作之后，任一被“读取状态”操作检查的可用存储体可以被存取。随后，存储器设备可以使用串行数据链接通过附加开关电路来存取可用的存储体。因此，根据本发明的这个方面，可以使用单个链接存取多个存储体。此虚拟多链接配置使用单链接模拟了多链接操作。

[0084] 图 12 为使用在存储体 0 中执行“页面编程”和在存储体 1 中执行“页面读取”的虚拟多链接配置的具有两个存储体的存储器设备执行存储器操作的时序图。首先，向存储体 0 发出“页面编程”命令 1202。“页面编程”命令在前面已经详细描述，但这里简要重述

一下,首先执行“串行数据输入”命令将准备编程到存储体 0 中的数据加载到存储体 0 页面寄存器。随后,发出“页面编程”命令,数据被从页面寄存器写入到存储体 0。当发出“读取状态”命令 1204 时,设备指示 1206 存储体 1 “就绪”(并且存储体 0 处于“忙碌”)。接着,基于根据本发明的虚拟多链接配置,当存储体 0 处于忙碌状态,针对存储体 1 的“页面读取”命令 1208 可以并且已被发出。“页面读取”命令之前已经描述。可以发出“读取状态”命令 1210(并且如图 12 所示)来决定存储体的状态。“读取状态”命令的结果表明在间隔期间 1212,存储体 0 和存储体 1 二者都已就绪。最后,发出“页面读取”命令 1214(用于存储体 1)导致相应于存储体 1 “页面读取”命令的存储器地址的内容在串行输出引脚 (SOP) 上输出。应该注意到,当存储体 0 上“页面编程”操作发生时,串行数据接口链接引脚 SIP 可以用来接收指示存储体 1 “就绪”的“读取状态”命令。相同地,一旦存储体 1 上的“页面读取”命令被初始化,SIP 引脚再次对“读取状态”命令可用,表明存储体 0 和存储体 1 二者都已就绪。结果,单个串行数据接口链接可以用来存取和检查两个存储体的状态。图 12 中实现的虚拟多链接特征的多个方面示例性说明了即使前一存储器操作未结束,该链接仍然可用。这个特征至少有一个益处是由于虚拟多链接配置产生的引脚数目减少。另一个益处是提高了存储器设备的性能。

[0085] 此外,当虚拟多链接特征的多个方面以具有双或者四链接配置的存储器设备实现时,可以期望除一个链接以外的所有链接都处于非激活状态。例如,四链接配置(图 1C)中四个链接的三个可以不被使用并且可以指定为未连接 (NC)。这种实现的至少的一个优点是存储器设备上引脚数量的减少,同时还保持了链接灵活性和可用性。

[0086] 根据本发明的各个方面,图 13 示例性描述用于串行连接多个存储器设备 200 的菊花链级联配置 1300。特别地,设备 0 包括多个数据输入端口 (SIP0、SIP1)、多个数据输出端口 (SOP0、SOP1)、多个控制输入端口 (IPE0、IPE1) 和多个控制输出端口 (OPE0、OPE1)。这些数据和控制信号从外部源(例如,存储器控制器(未示出))发送到存储器设备 1300。此外,根据本发明,第二闪烁存储器设备(设备 1)可以包括如设备 0 的同样类型的端口。设备 1 可以与设备 0 串行连接。例如,设备 1 可以接收来自设备 0 的数据和控制信号。除了设备 0 和设备 1 以外,一个或者多个附加设备也可以同样方式串行连接。在预先确定的延迟之后,级联配置中的最后的设备(例如,设备 3)提供数据和控制信号返回给存储器控制器。每一存储器设备 200(例如,设备 0、1、2 和 3)输出 IPE0、IPE1、OPE0 和 OPE1(即,控制输出端口)的回波信号(IPEQ0、IPEQ1、OPEQ0 和 OPEQ1)到随后的设备。前述图 2B 中的电路示例性描述信号如何可以从一个设备传递到随后的菊花链链接的设备。此外,单个时钟信号可以传输到多个串行连接的存储器设备中的每一个。

[0087] 在前述级联配置中,级联存储器设备 1300 的设备操作与未级联的存储器设备 200 的相同。本领域内技术人员明白,在级联配置中,存储器设备 1300 的总延迟时间可能会增

加。例如，图 14 描述高度简化的时序图，该时序图用于存储器设备 1300 处接收的、针对操作存储器设备 1300 中的设备 2 的存储体的“页面读取”命令 1402。存储器命令在存储器设备 1300 处接收并且通过设备 0 和设备 1 发送到设备 2。例如，相应于“页面读取”命令 1402 的数据流将被从存储器设备 1300 中设备 0 的 SIP0 线路通过设备 0 的电路在设备 0 的 SOP0 线路输出。设备 0 的输出在图 14 中的简化时序图中反映在 SOPx_D0 输出线路上的 1404 处。“SOPx_D0”相当于设备 0 的串行输出端口 0，类似地，数据流随后在设备 1 上的 SIPx_D1 处接收（在 1406 处）并且通过设备 1 发送，在 SOPx_D1 线路上 1408 处输出。接着，数据流在设备 2 上 SIPx_D2 的 1410 处接收。在此实例中，由于“页面读取”命令被指向设备 2 的存储体，以与存储器设备 200 中电路描述的类似的方式，设备 2 中的电路接收“页面读取”命令并且控制所请求的数据从设备 2 中存储体到设备 2 上 SOPx_D2 输出线路上 1412 处的传输。设备 2 输出的数据在 1414 被设备 3 接收，并且通过设备 3 传输，从存储器设备 1300 输出。本领域技术人员可以从图 14 的简化时序图认识到，由于级联配置导致的预先确定的四个时钟周期延迟。

[0088] 同时，级联配置允许事实上不限数目的设备连接，而不牺牲设备的吞吐量。本发明的一些方面的益处在于实现多芯片封装解决方案和固态大容量存储应用。级联设备 1300 中的输入数据流与非级联存储器设备 200 的类似。但是，在数据流的第一字节之前可设有一个字节的设备识别符。例如，第一字节中的值“0000”可以指示设备 0，同时值“0001”可以指示设备 1。一旦本领域内技术人员认识到设备识别符没有必要限制为一个字节，就可以根据要求减少或者增加。同样，设备识别符也没有必要限定为数据流中的第一字节。例如，可以增加识别符的大小用来容纳级联配置中更多的设备，并且和数据流的地址域放置在一起。

[0089] 根据本发明的一个实施例中，存储器设备 200 使用一个 4Gb 的单片电路的芯片，在另一实施例中，存储器设备使用一对堆叠的芯片以达到 8Gb。在又一实施例中，存储器设备 1300 使用 4 个堆叠芯片以实现 16Gb。根据本发明多个方面的闪烁存储器设备可以是用于诸如固态文件存储和其他期望非易失性的便携应用的大容量非易失性存储应用的改进的解决方案。由于实质上不限制数量的连接设备为系统集成提供了更大扩展性和灵活性，存储器设备 1300 可以从新型的闪烁设备级联方案获益。串行接口将以更高的时钟率、更好的信号集成和更低的功耗提供附加的性能提升。串行接口也提供无限多的可扩展的 I/O 宽度，而无需改变封装配置。此外，根据本发明的存储器设备的单面焊盘结构，具有更少的 I/O 数量，极大的降低了芯片封装尺寸。

[0090] 下表 3 示出用于闪烁核心结构实现的级联存储器设备的一些操作的实例。表 3 列出目标设备地址 (TDA)、可能的操作 (OP) 码和列地址、行 / 体地址和输入数据的相应状态。

[0091] 表 3 命令集

[0092]

[0093]

操作	目标设备地址 (1 字节)	OP 代码 (1 字节)	列地址 (2 字节)	行/体地址 (3 字节)	输入数据 (1-2112 字节)
页面读取	tda	00h	有效	有效	—
随机数据读取	tda	05h	有效	—	—
用于复制的页面读取	tda	35h	—	有效	—
用于复制的目标地址输入	tda	8Fh	—	有效	—
串行数据输入	tda	80h	有效	有效	有效
随机数据输入	tda	85h	有效	—	有效
页面编程	tda	10h	—	—	—
块擦除	tda	60h	—	有效	—
读取状态	tda	70h	—	—	—
读取 ID	tda	90h	—	—	—
写配置寄存器	tda	A0h	—	—	有效 (1 字节)
写设备名 (DN) 入口	00h	B0h	—	—	—
复位	tda	FFh	—	—	—
体选择	tda	20h	—	有效 (存储体)	—

[0094] 在本发明的一些实施例中，图 13 的系统 1300 中的每一设备可以持有一个唯一的设备识别符，可以用作串行输入数据中的目标设备地址 (tda)。当接收到串行输入数据，闪烁存储器设备可以分析串行输入数据中的目标设备地址域，并且通过将目标设备地址与设备的唯一的设备识别号码相关联，从而决定设备是否为目标设备。

[0095] 表 4 示出根据本发明的实施例的输入数据流的优选的输入序列，包括结合图 13 描述的系统。命令、地址和数据串行移入、移出存储器设备 1500，从最高有效开始。当输入端口使能 (IPE) 为高电平，串行输入信号 (SP) 在串行时钟 (SCLK) 的上升沿处被采样。命令序列以一个字节的目标设备地址 (tda) 和一个字节的操作码开始，该操作码也被可互换的称为命令代码 (表 4 中的“cmd”)。通过将串行输入信号以在最高有效位的一个字节的目标设备地址作为起始，设备可以在处理任一接收到的附加输入数据之前分析目标设备地址域。如果存储器设备不是目标设备，其可以在处理之前传输串行输入数据到另一设备，因此节省了附加的处理时间和资源。

[0096] 表 4 字节模式中的输入序列

[0097]

操作	第 1 字 节	第 2 字 节	第 3 字节	第 4 字 节	第 5 字节	第 6 字节	第 7 字节	第 8 字节	...	第 2116 字节	...	第 2119 字节
页面读取	tda	cmd	ca	ca	ra	ra	ra	-	-	-	-	-
随机数据读取	tda	cmd	ca	ca	-	-	-	-	-	-	-	-
用于复制的页面读取	tda	cmd	ra	ra	ra	-	-	-	-	-	-	-
用于复制的目标地址输入	tda	cmd	ra	ra	ra	-	-	-	-	-	-	-
串行数据输入	tda	cmd	ca	ca	ra	ra	ra	data	...	data	...	data
随机数据输入	tda	cmd	ca	ca	data	data	data	data	...	data	-	-
页面编程	tda	cmd	-	-	-	-	-	-	-	-	-	-
块擦除	tda	cmd	ra	ra	ra	-	-	-	-	-	-	-
读取状态	tda	cmd	-	-	-	-	-	-	-	-	-	-
读取 ID	tda	cmd	-	-	-	-	-	-	-	-	-	-
写配置寄存器	tda	cmd	data	-	-	-	-	-	-	-	-	-
写设备名 (DN) 入口	tda	cmd	-	-	-	-	-	-	-	-	-	-
复位	tda	cmd	-	-	-	-	-	-	-	-	-	-

[0098]

[0099] 一个字节 tda 被移入设备, 随后是一个字节 cmd 代码。最高有效位 (MSB) 在 SIP 上开始, 并且每一位在串行时钟 (SCLK) 的上升沿被锁定。依赖于该命令, 一个字节命令代码之后可跟随列地址字节、行地址字节、体地址字节、数据字节和 / 或其组合或者均无。

[0100] 如前所述, 存储器设备可为双存储体存储器, 其中, 每一存储体可以被任一串行链接存取。存储器设备的串行接口相较于传统并行接口方案不但极大地提高了数据吞吐量, 而且支持富有特征的操作。例如, 编程操作可以在 $200 \mu s$ 内在 $(2k+64)$ 字节的页面上执行, 并且擦除操作可以在 $1.5ms$ 内在 $(128k+4k)$ 字节的块上执行。片上写控制器可以用来自动操作所有的编程和擦除功能, 包括所使用的脉冲循环、内部验证和数据界定。在高写密集 (write-intensive) 系统中, 利用实时标记算法的纠错码 (ECC) 用来提高存储器设备中 10 万次编程 / 擦除周期的扩展可靠性。

[0101] 本发明多个方面的有用性对于本领域内技术人员是明显的。此处任一或者全部实例或者示例性语言 (例如, “比如”) 仅用来更好的说明本发明而不是对本发明范围进行限制, 除非有另外的声明。说明书中的语言不应该被认为是说明任何未要求保护的内容对发明的实施是必需的。

[0102] 虽然本发明往往是根据优选的和示例性实施例进行描述, 但是通过浏览本发明公开内容, 在权利要求书的范围和精神内的其他实施例、修改和变形对于本领域内技术人员来说是可以想到的。

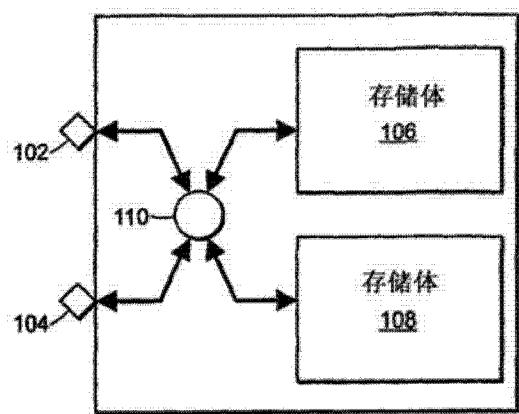


图 1A

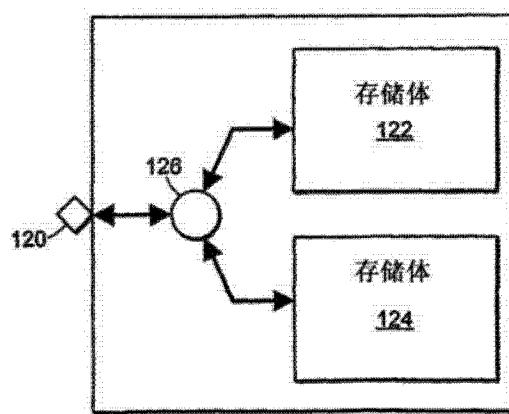


图 1B

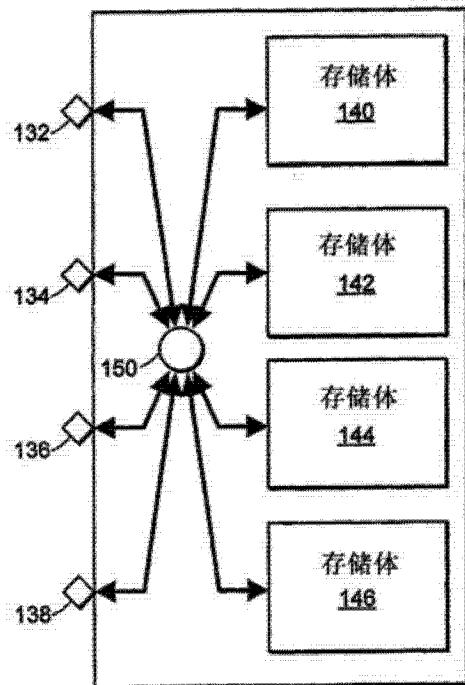


图 1C

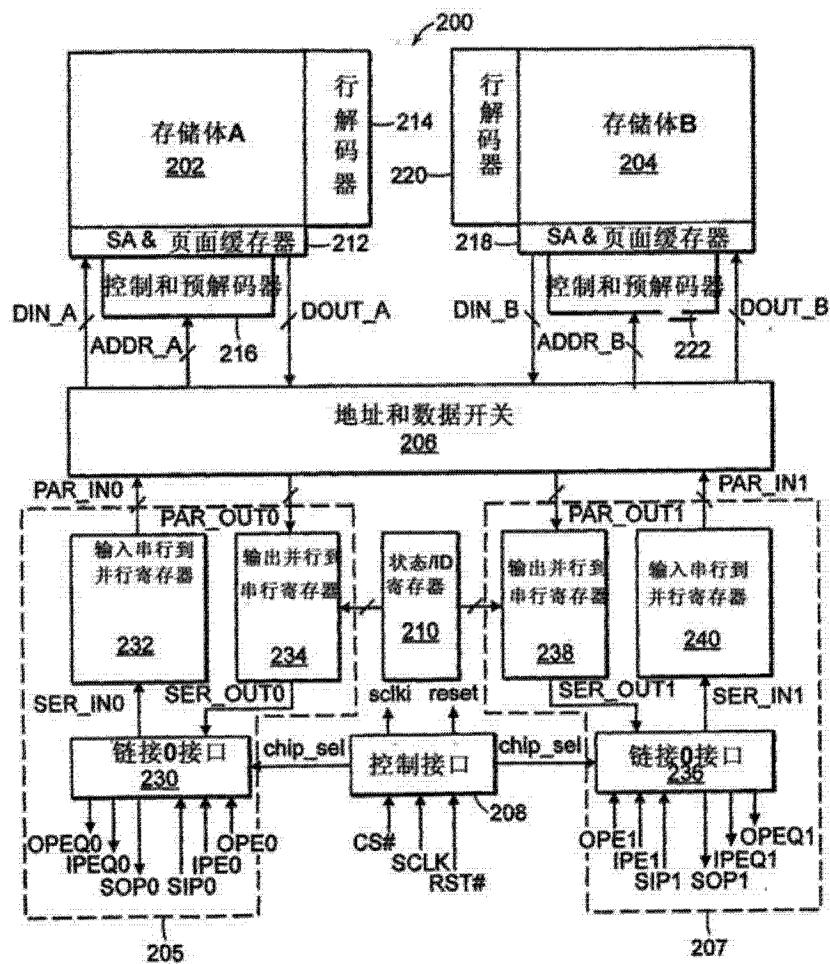


图 2A

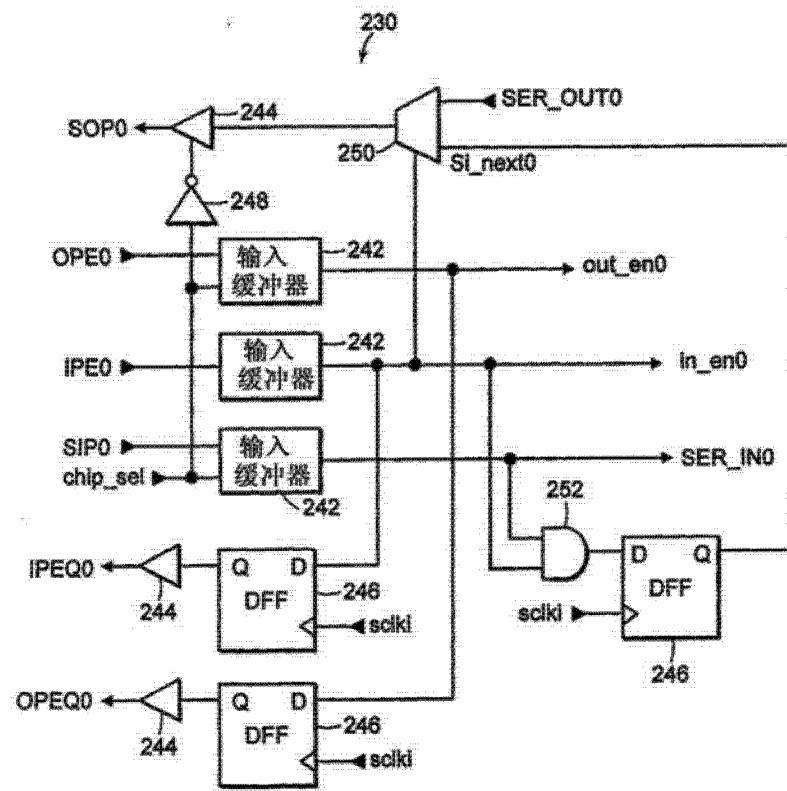


图 2B

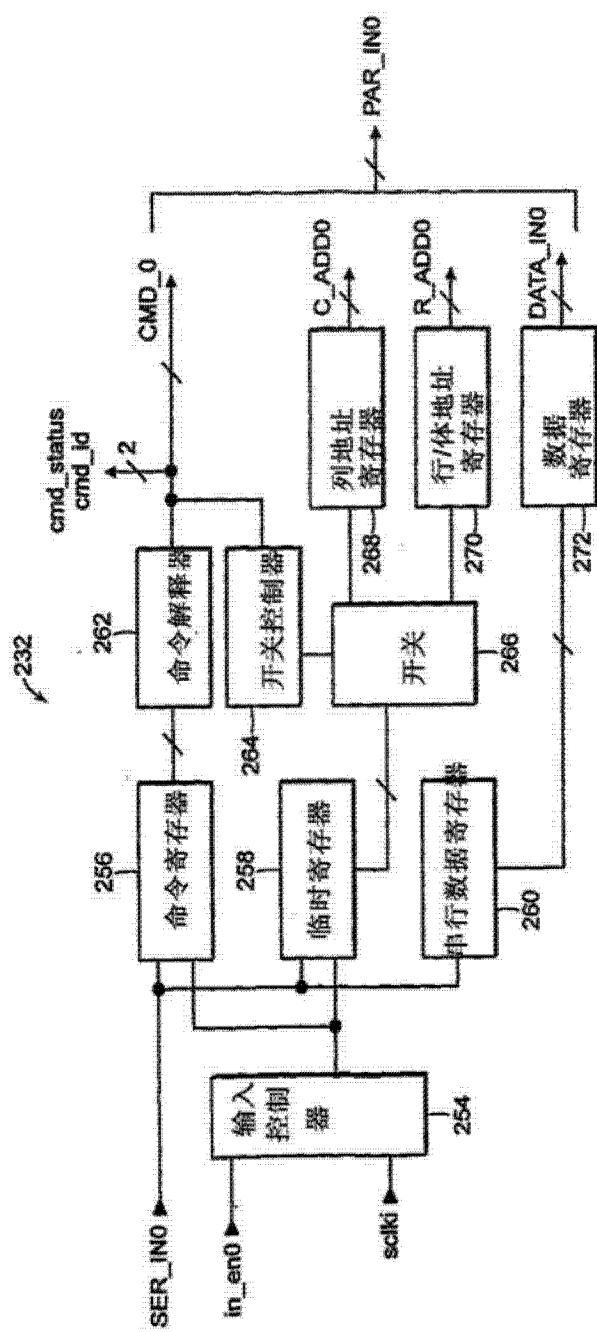


图 2C

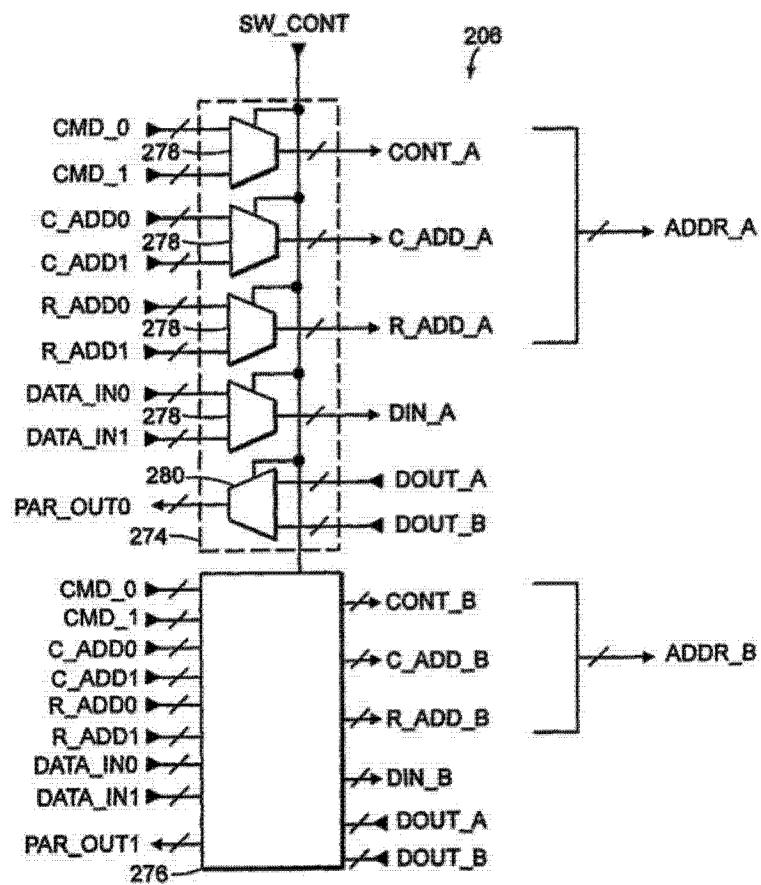


图 2D

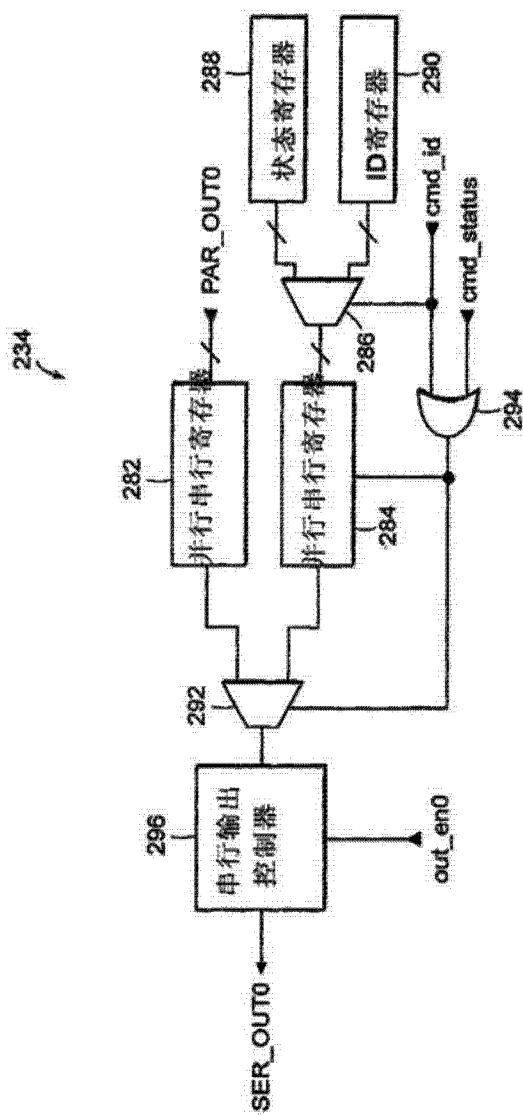


图 2E

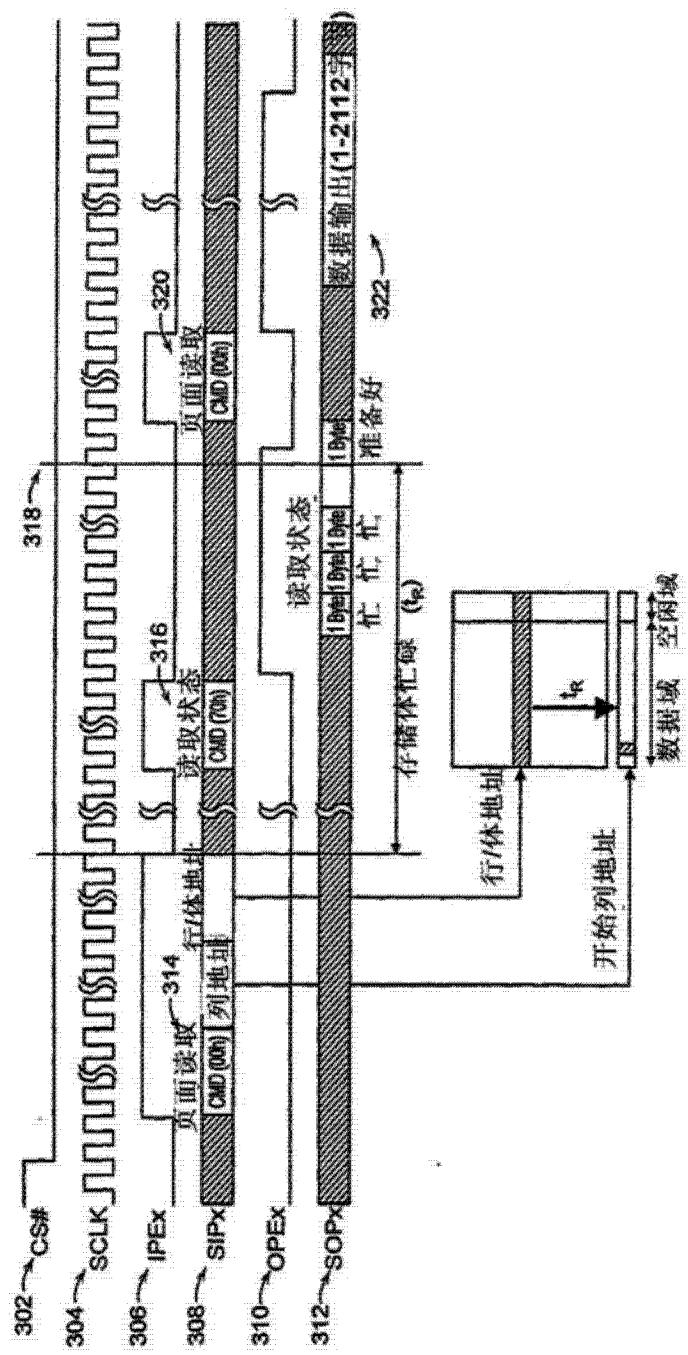


图 3A

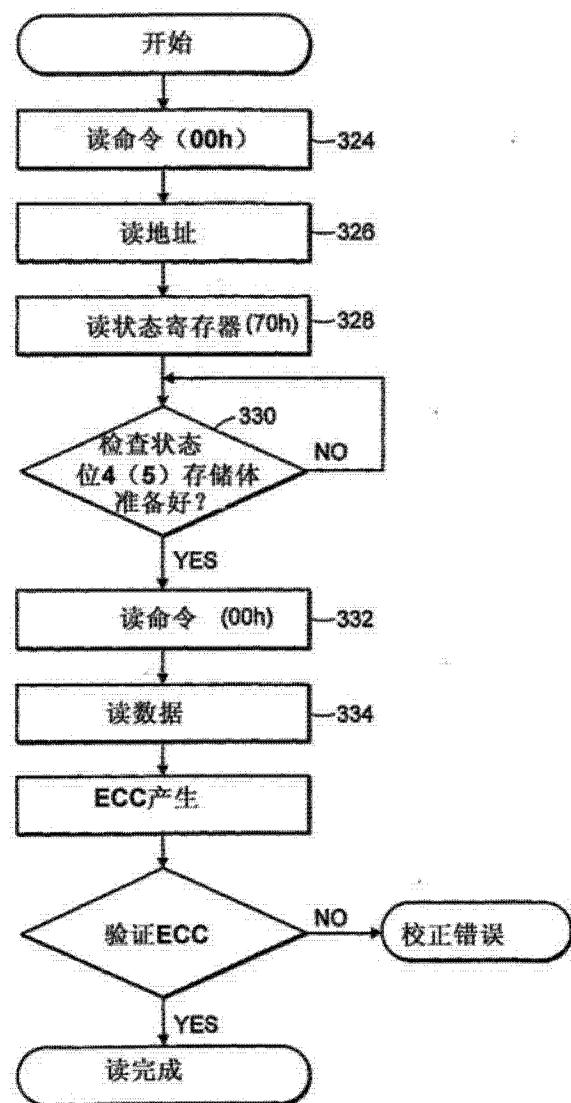


图 3B

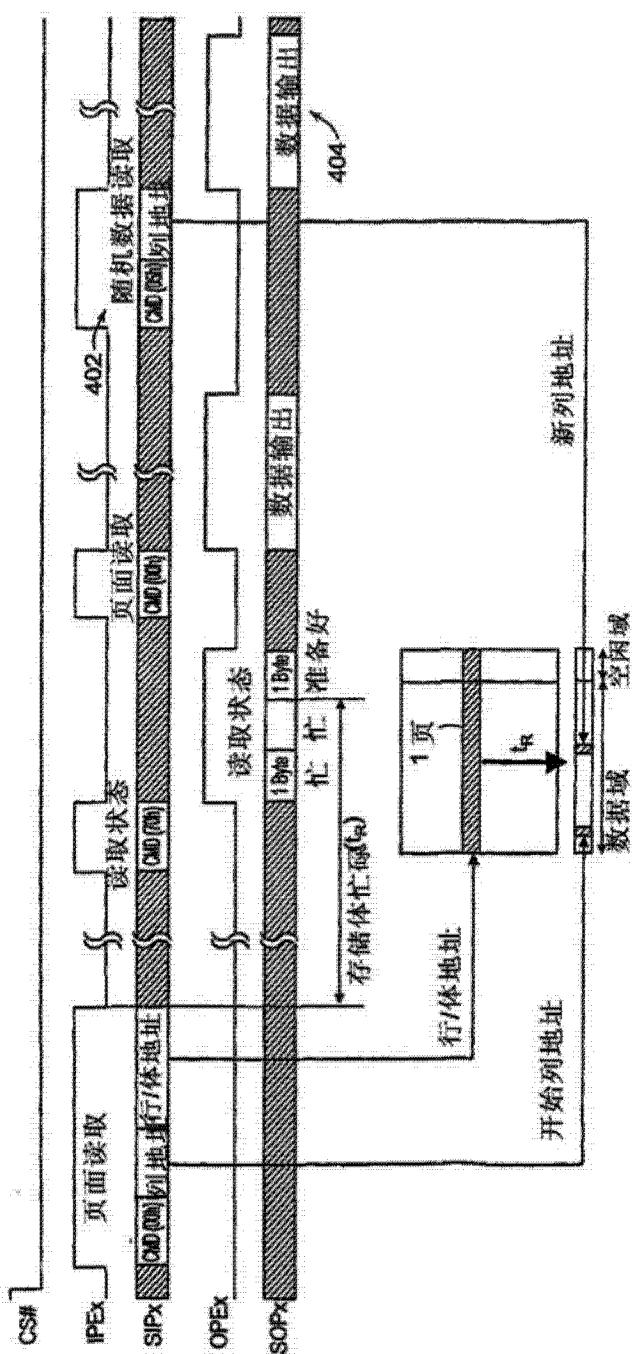


图 4

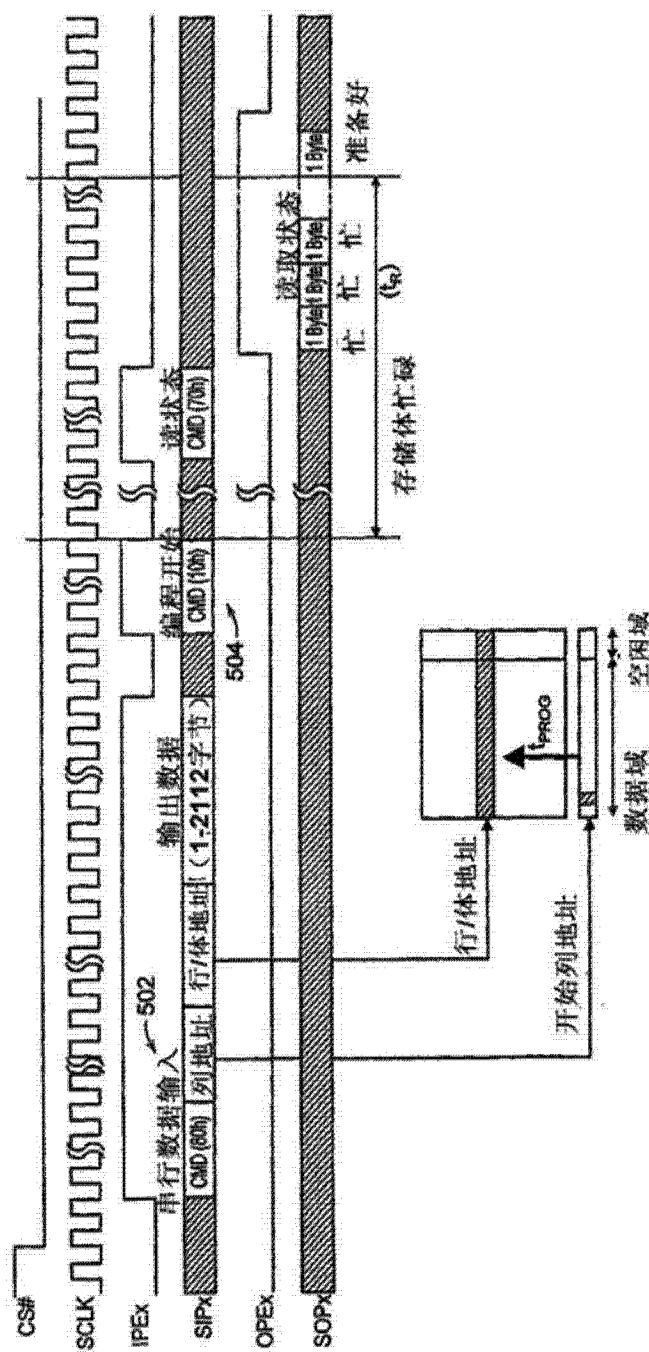


图 5A

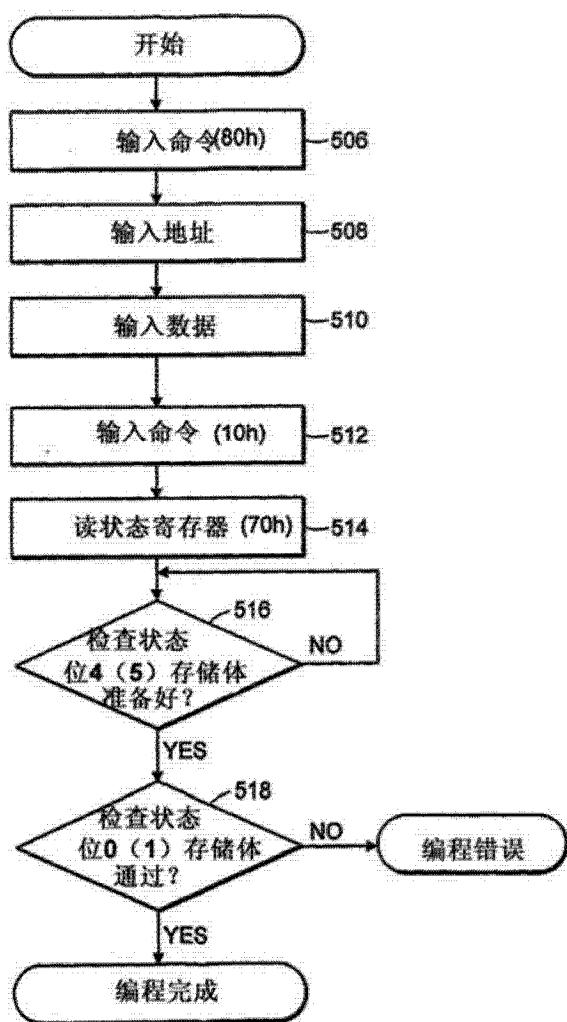


图 5B

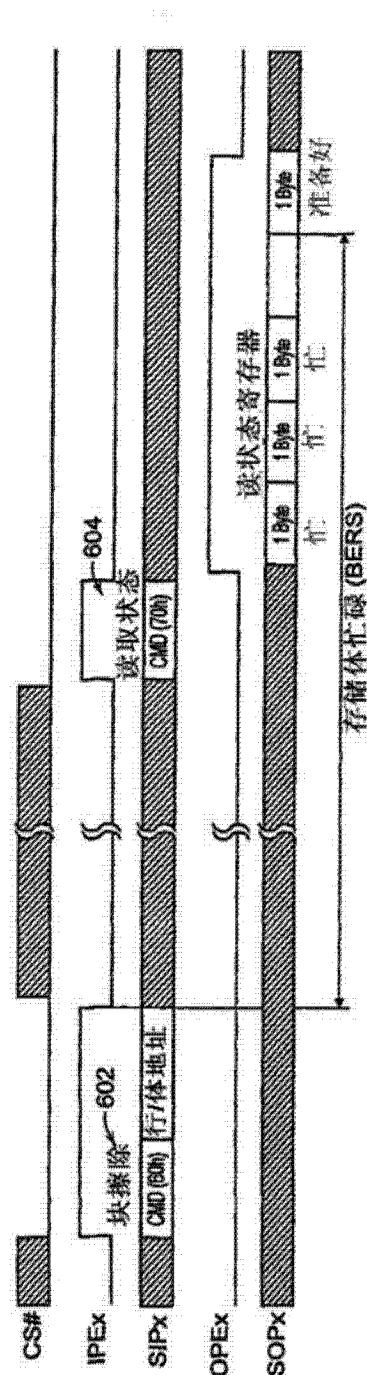


图 6A

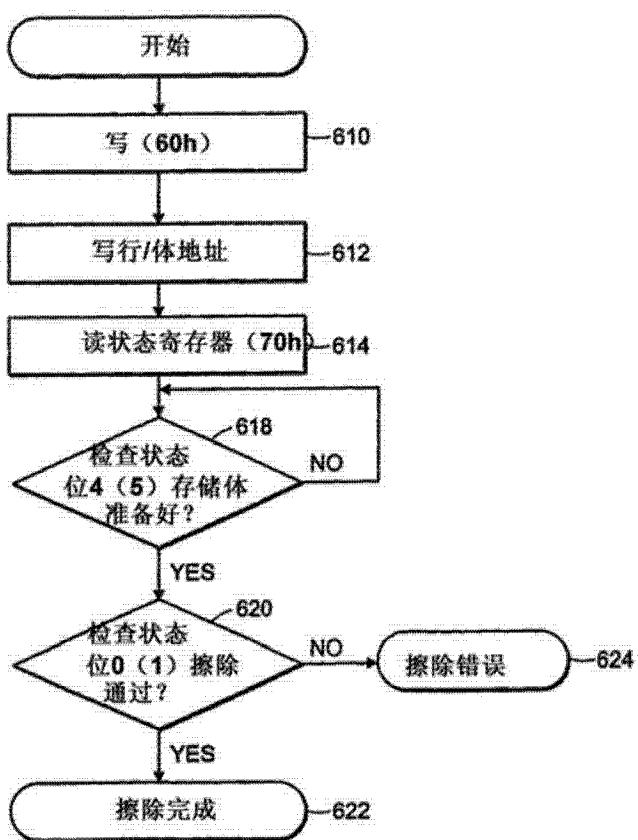


图 6B

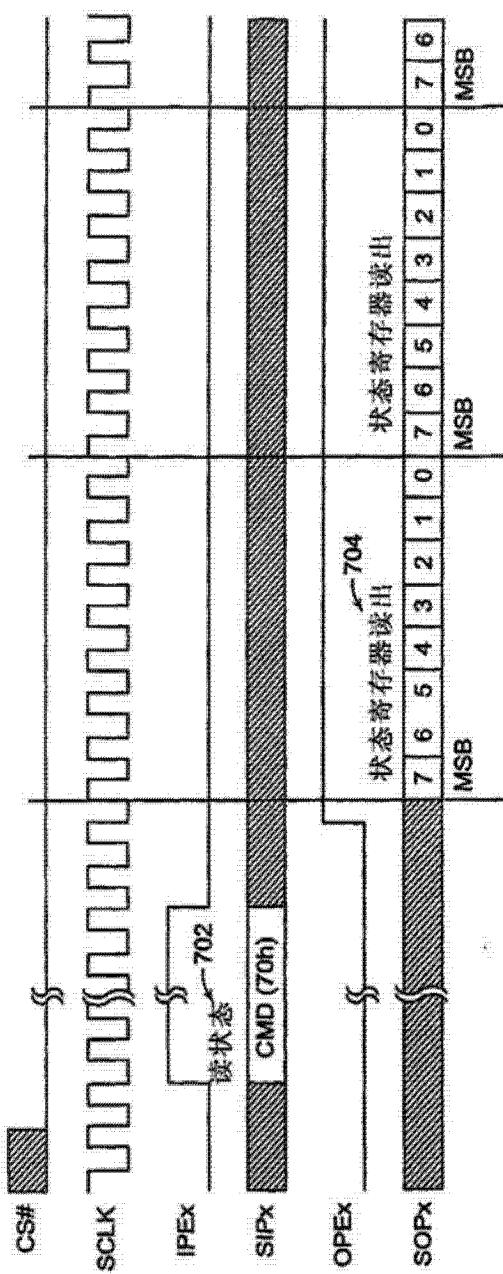


图 7

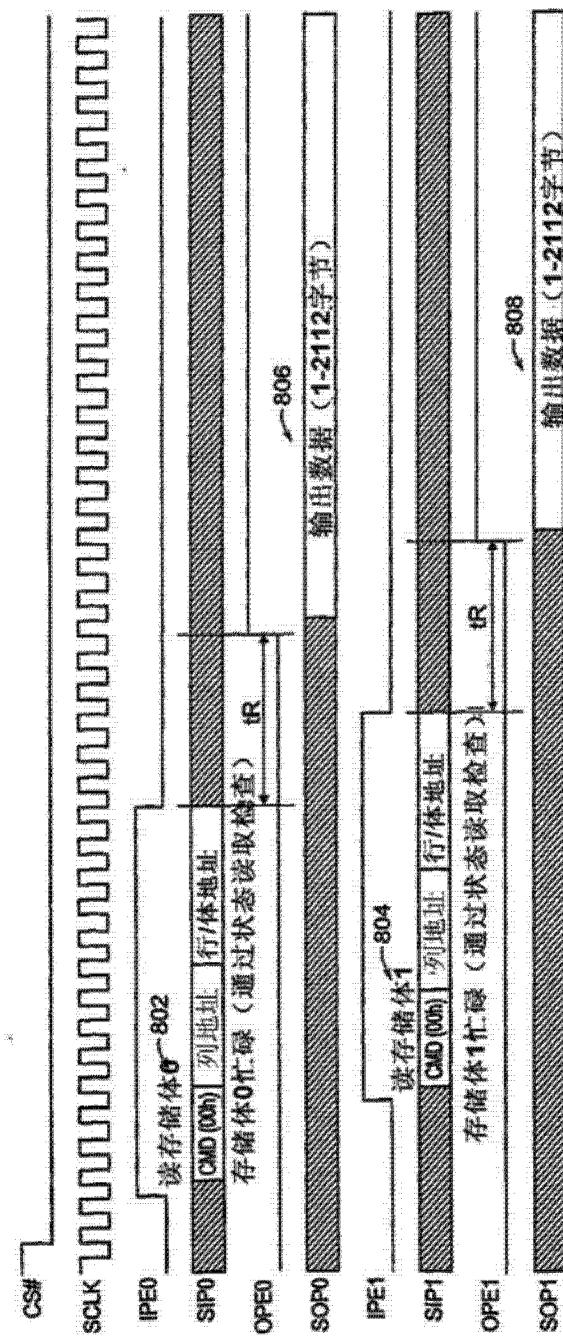


图 8A

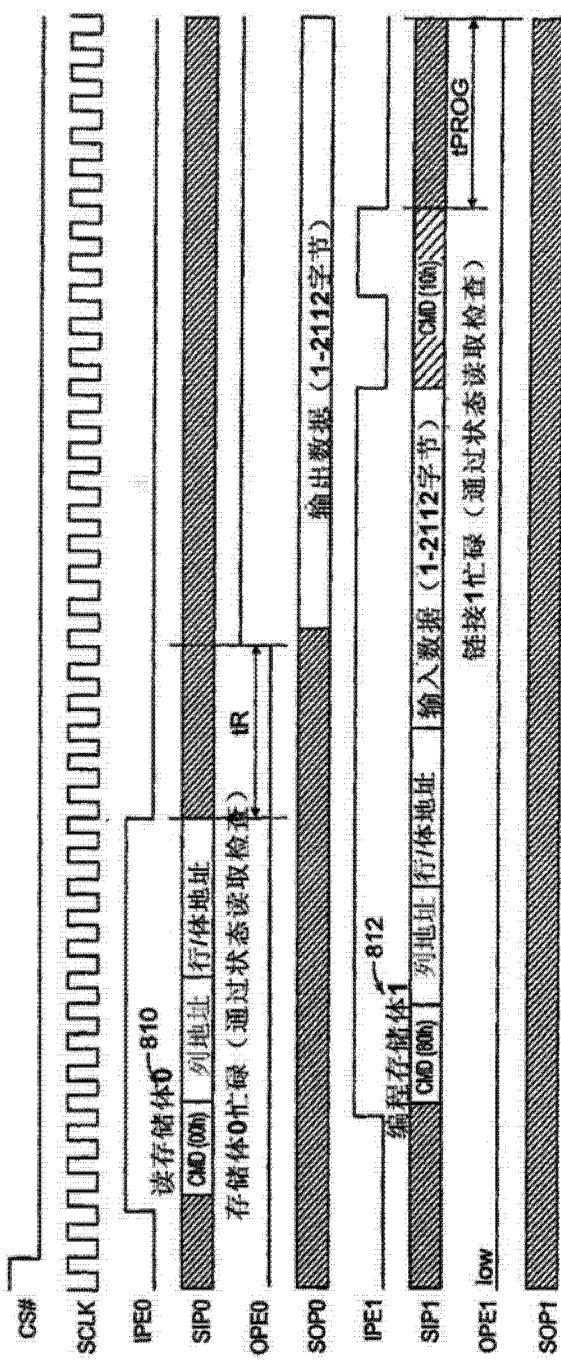


图 8B

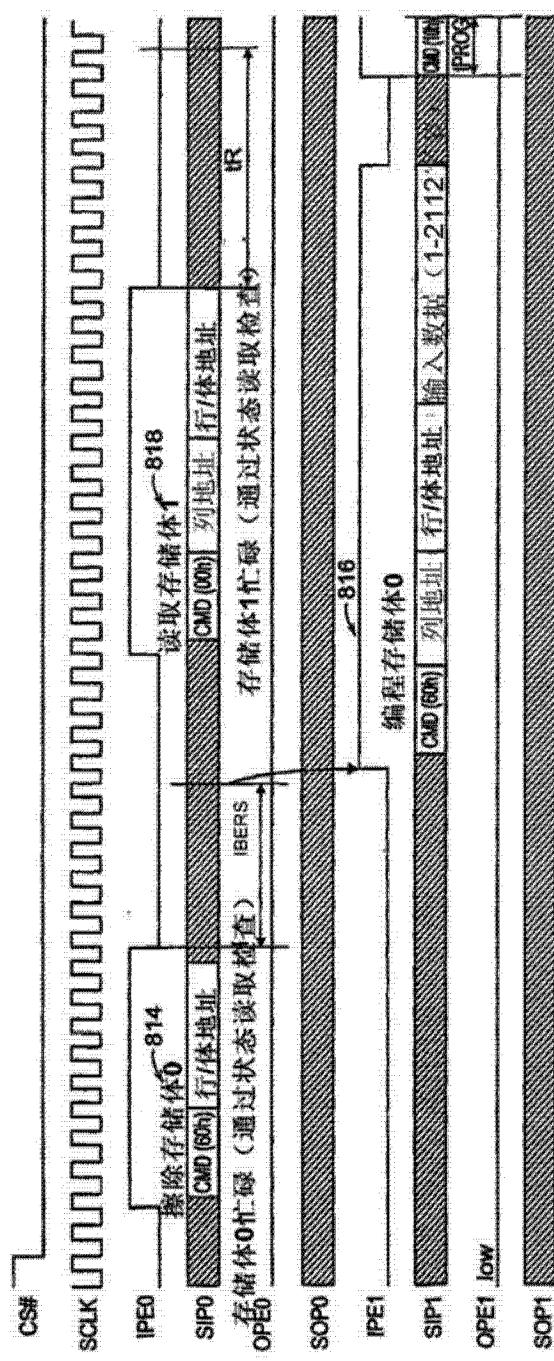


图 8C

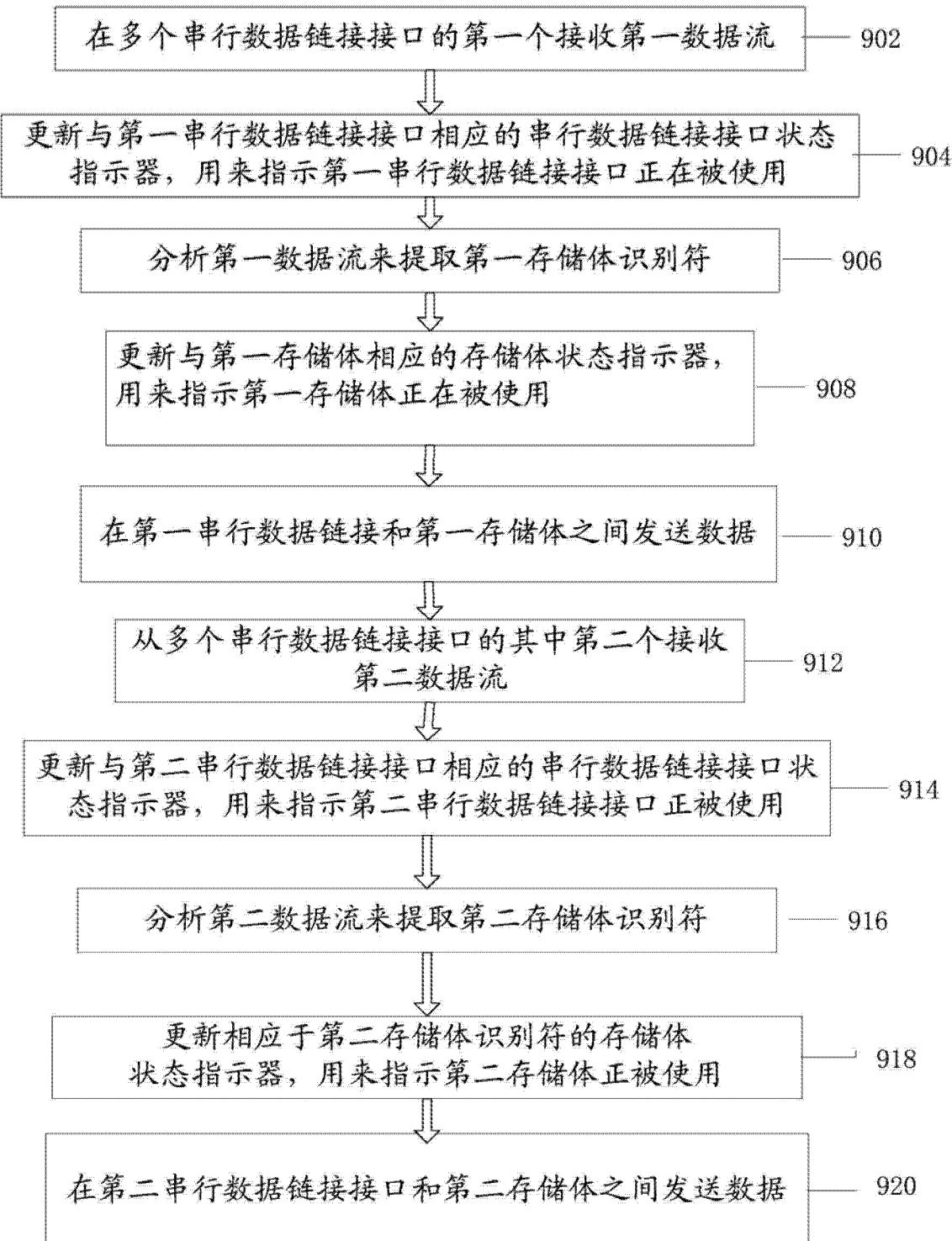


图 9

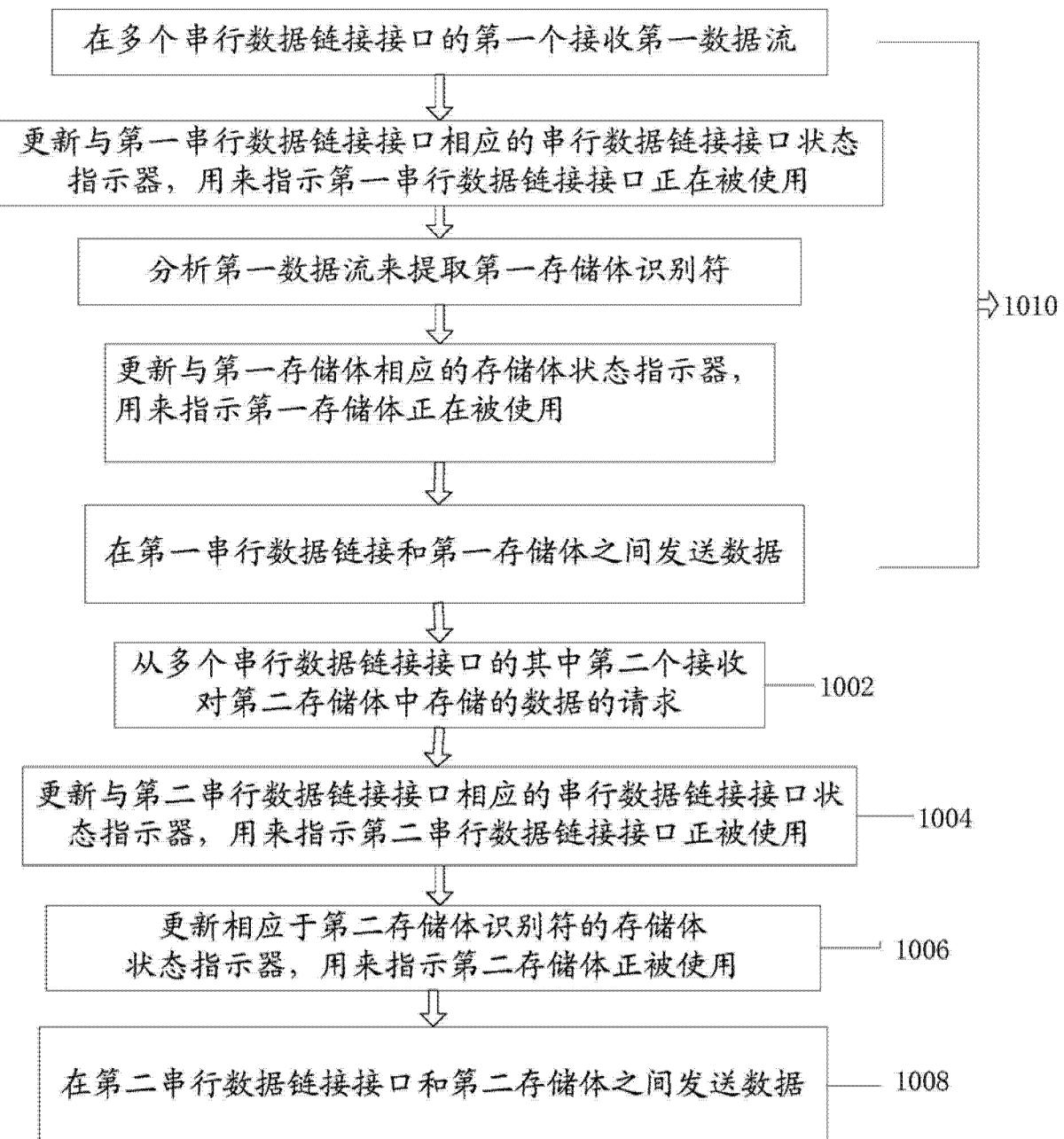


图 10

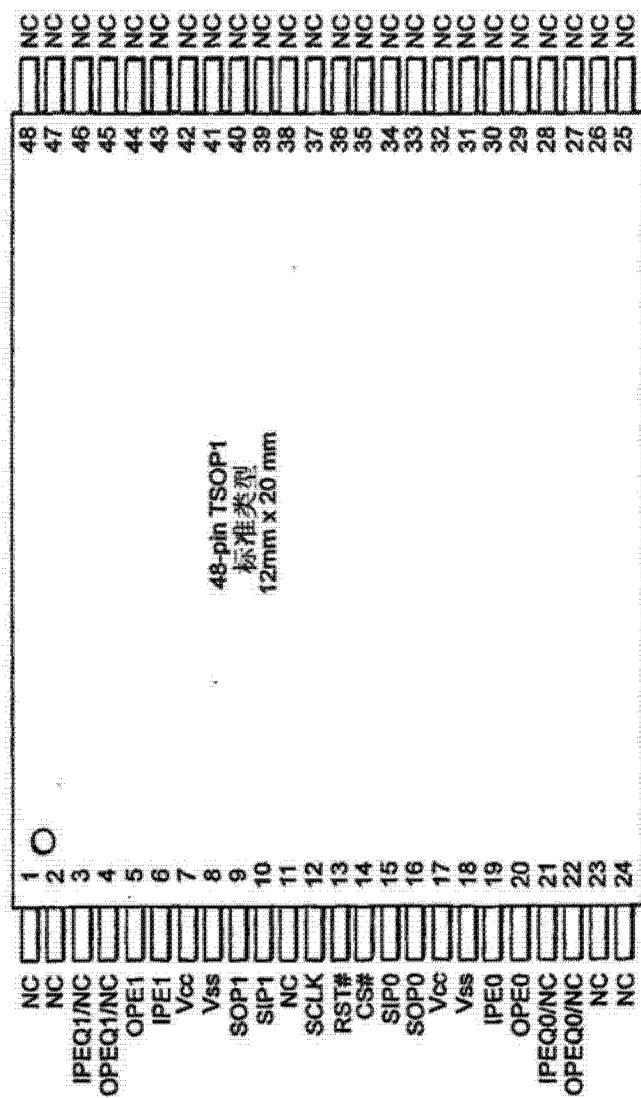


图 11

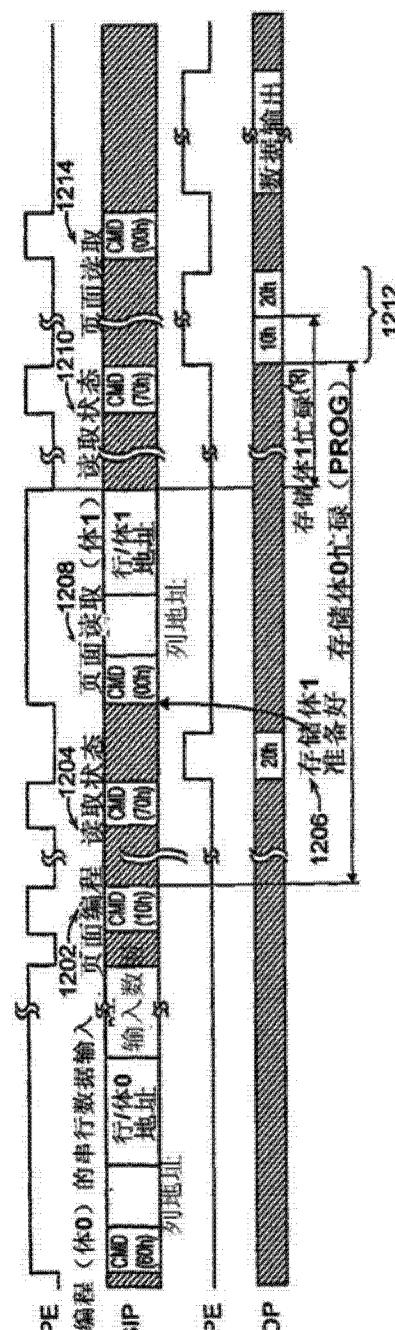


图 12

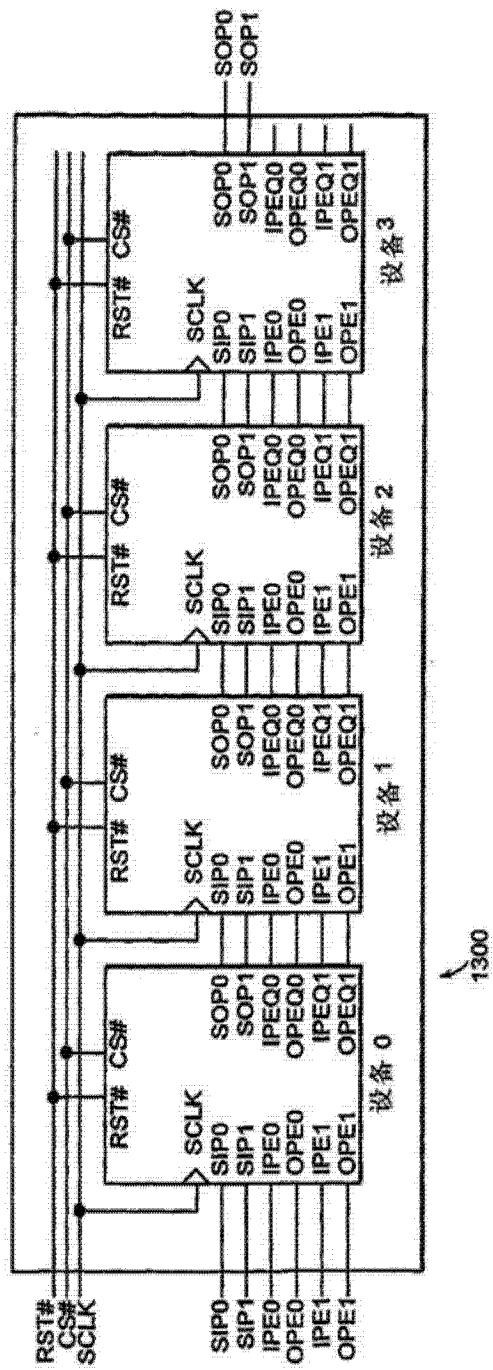


图 13

