



(12) 发明专利申请

(10) 申请公布号 CN 112534713 A

(43) 申请公布日 2021.03.19

(21) 申请号 201980052221.4

(74) 专利代理机构 北京纪凯知识产权代理有限公司 11245

(22) 申请日 2019.08.30

代理人 袁策

(30) 优先权数据

62/725,832 2018.08.31 US

(51) Int.Cl.

H03F 1/32 (2006.01)

(85) PCT国际申请进入国家阶段日

2021.02.05

(86) PCT国际申请的申请数据

PCT/US2019/049089 2019.08.30

(87) PCT国际申请的公布数据

WO2020/047425 EN 2020.03.05

(71) 申请人 德克萨斯仪器股份有限公司

地址 美国德克萨斯州

(72) 发明人 S·阿克塔尔 S·桑卡兰

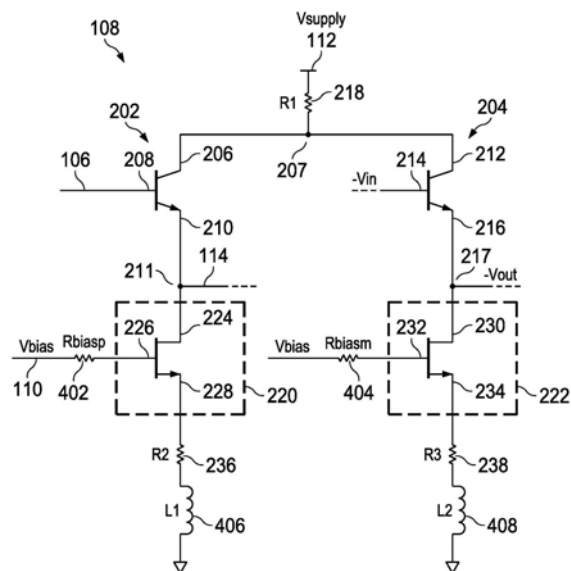
权利要求书3页 说明书11页 附图7页

(54) 发明名称

用于电压缓冲的方法和装置

(57) 摘要

在示例装置(108)中,第一晶体管(202)具有基极端子(208)、第一电流端子(206)和第二电流端子(210)。基极端子(208)耦合到输入电压节点(106)。第二晶体管(220)具有控制端子(226)、第三电流端子(224)和第四电流端子(228)。第三电流端子(224)耦合到第二电流端子(210)。第四电流端子(228)耦合到第一电阻器(236)。第二电阻器(402)耦合到控制端子(226)。电感器(406)耦合在第一电阻器(236)和接地端子之间。



1. 一种装置,包括:

第一电阻器;

接地端子;

第一晶体管,所述第一晶体管具有基极端子、第一电流端子和第二电流端子,所述基极端子耦合到输入电压节点;

第二晶体管,所述第二晶体管具有控制端子、第三电流端子和第四电流端子,所述第三电流端子耦合到所述第二电流端子,并且所述第四电流端子耦合到所述第一电阻器;

第二电阻器,所述第二电阻器耦合到所述控制端子;以及

电感器,所述电感器耦合在所述第一电阻器和所述接地端子之间。

2. 根据权利要求1所述的装置,其中所述控制端子为第一控制端子,并且所述装置进一步包括:

第三晶体管,所述第三晶体管具有第二控制端子、第五电流端子和第六电流端子。

3. 根据权利要求2所述的装置,进一步包括:耦合到所述第二控制端子的第三电阻器;以及耦合到所述第六电流端子的第四电阻器。

4. 根据权利要求3所述的装置,进一步包括耦合在所述第四电阻器与所述接地端子之间的第二电感器。

5. 根据权利要求1所述的装置,进一步包括:电源电压端子;以及第三电阻器,所述第三电阻器耦合在所述第一电流端子与所述电源电压端子之间。

6. 根据权利要求1所述的装置,进一步包括第四晶体管,所述第四晶体管具有耦合到所述第一电流端子的集电极节点。

7. 一种装置,包括:

接地端子;

晶体管,所述晶体管具有输入端子和输出端子,所述晶体管被配置为在所述输入端子处接收输入电压并且将所述输入电压缓冲为所述输出端子处的电压;

电流源,所述电流源具有控制端子以及第一电流端子和第二电流端子,所述第一电流端子耦合到所述输出端子,并且所述电流源被配置为对所述输出端子处的电流进行偏置;以及

电阻器,所述电阻器耦合到所述控制端子;以及

电感器,所述电感器耦合在所述第二电流端子和所述接地端子之间;

所述电阻器和所述电感器被配置为在所述输入电压接近阈值电压时减小所述电流源的压缩,包括通过在所述输入电压摆动时调节所述第一电流端子和所述第二电流端子的电压摆动。

8. 根据权利要求7所述的装置,其中所述阈值电压为在不压缩所述电流源的情况下所述第一电流端子和所述第二电流端子可以接收的电压。

9. 根据权利要求7所述的装置,其中所述电阻器被配置为在所述控制端子处生成高阻抗。

10. 根据权利要求7所述的装置,其中所述电感器被配置为:将所述第二电流端子处的电压降低到低于所述接地端子处的接地电压;或者将所述第二电流端子处的所述电压增加到高于电源电压。

11. 根据权利要求10所述的装置,其中所述电感器被配置为:当所述输入电压摆动到低于所述接地电压时,将所述第二电流端子处的所述电压降低到低于所述接地电压;并且当所述输入电压摆动到高于所述电源电压时,将所述第二电流端子处的所述电压增加到高于所述电源电压。

12. 根据权利要求7所述的装置,其中所述电阻器和所述电感器被配置为在所述输入电压摆动时维持所述阈值电压。

13. 根据权利要求7所述的装置,其中所述电阻器被配置为偏置所述控制端子处和所述第二电流端子处的电压。

14. 根据权利要求7所述的装置,其中所述晶体管为第一晶体管,所述输入端子为第一输入端子,所述输出端子为第一输出端子,所述电流源为第一电流源,所述控制端子为第一控制端子,并且所述装置进一步包括:

第二晶体管,所述第二晶体管具有第二输入端子和第二输出端子;以及

第二电流源,所述第二电流源具有第二控制端子以及第三电流端子和第四电流端子,所述第三电流端子耦合到所述第二输出端子,并且所述第二电流源被配置为对所述第二输出端子处的电流进行偏置。

15. 根据权利要求14所述的装置,其中所述输入电压为第一输入电压,并且所述第二输入端子处的第二输入电压相对于所述第一输入电压异相180度;并且所述第二输出端子处的电压相对于所述第一输出端子的电压异相180度。

16. 根据权利要求15所述的装置,其中所述电阻器为第一电阻器,所述电感器为第一电感器,所述阈值电压为第一阈值电压,并且所述装置进一步包括:

第二电阻器,所述第二电阻器耦合到所述第二控制端子;以及

第二电感器,所述第二电感器耦合在所述第四电流端子和所述接地端子之间;

所述第二电阻器和所述第二电感器被配置为在所述第二输入电压接近第二阈值电压时减小所述第二电流源的压缩,包括通过在所述第二输入电压摆动时调节所述第三电流端子和所述第四电流端子的电压摆动。

17. 一种系统,包括:

第一级放大器,所述第一级放大器具有第一输出端子,所述第一级放大器被配置为通过调整输入信号的幅度来生成升压的输入信号;

缓冲器,所述缓冲器包括缓冲器输入端子、电流源、电阻器、电感器和第二输出端子,所述缓冲器输入端子耦合到所述第一输出端子,所述缓冲器被配置为缓冲所述升压的输入信号,所述电阻器和所述电感器被配置为增加所述电流源的线性,以在所述输出端子处表示所述升压的输入信号;

第二级放大器,所述第二级放大器具有耦合到所述第二输出端子的放大器输入端子,所述第二级放大器被配置为进一步增加所述升压的输入信号。

18. 根据权利要求17所述的系统,其中所述电阻器和所述电感器被配置为减小所述电流源的压缩。

19. 根据权利要求18所述的系统,其中所述电阻器和所述电感器被配置为实现所述第一级放大器的高信号操作。

20. 根据权利要求18所述的系统,其中所述电阻器和所述电感器被配置为减小所述缓

冲器中的噪声,包括通过减小所述电流源的噪声因子。

用于电压缓冲的方法和装置

技术领域

[0001] 本发明总体上涉及缓冲,并且更具体地涉及电压缓冲。

背景技术

[0002] 第一电压放大器级可以用作电压输入与第二电压放大器级之间的缓冲器。放大器的电压增益为放大器输出电压与放大器输入电压之比。当放大器用作缓冲器时,放大器的电压增益通常为1,也称为单位增益。电压放大器可以是单级或多级的,其中多级电压放大器包括多个级联的单级电压放大器。单级电压放大器可以具有许多拓扑,诸如反相电压放大器、电流跟随器放大器、电压跟随器放大器等。

[0003] 在示例电压跟随器放大器中,输出处的电压近似跟随输入处的电压。一个示例电压跟随器拓扑包括以发射极跟随器配置连接的双极结型晶体管(BJT)。电压跟随器拓扑的另一个示例包括以公共漏极配置连接的金属氧化物半导体场效应晶体管(MOSFET)。

发明内容

[0004] 在示例装置中,第一晶体管具有基极端子、第一电流端子和第二电流端子。基极端子耦合到输入电压节点。第二晶体管具有控制端子、第三电流端子和第四电流端子。第三电流端子耦合到第二电流端子。第四电流端子耦合到第一电阻器。第二电阻器耦合到控制端子。电感器耦合在第一电阻器和接地端子之间。

附图说明

[0005] 图1为示例放大器系统的示意图。

[0006] 图2为示出图1的缓冲器的实施方式的示意图。

[0007] 图3为示出图2的缓冲器的电压信号的信号图。

[0008] 图4为包括偏置部件的图1的缓冲器的示例电路实施方式的示意图。

[0009] 图5为示出图4的缓冲器的电压信号的信号图。

[0010] 图6为示出通过图4的缓冲器的电压的仿真信号图。

[0011] 图7为将图2和图4的缓冲器的操作进行对比的信号图。

[0012] 图8为将图2和图4的缓冲器的噪声因子进行对比的噪声系数图。

具体实施方式

[0013] 附图未按比例绘制。通常,在(一个或多个)附图和本说明书中相同的附图标记指代相同或相似的部件。尽管附图示出具有干净的线和边界的层和区域,但是这些线和/或边界中的一些或全部可以是理想的。实际上,边界和/或线可能是不可观察的、混合的和/或不规则的。

[0014] 在至少一个示例中,使用缓冲电路将电压从具有高输出阻抗的第一电路传递到具有低输入阻抗的第二电路。如本文所用,阻抗为电路或部件对交流电的有效电阻。阻抗表示

欧姆电阻(例如,由于电阻性部件引起的电阻)和电抗(例如,由于电感性和电容性部件引起的电阻)的组合效果。缓冲电路的示例包括发射极跟随器放大器、电压缓冲器、共集电极放大器、共源极放大器、缓冲器放大器等。在一些示例中,缓冲电路用于第一电路的输出与第二电路的输入之间的阻抗匹配。例如,当要在扬声器上以可听频率范围再现任何输入信号(诸如音频信号)时,可以使用发射极跟随器。

[0015] 在其他示例中,缓冲电路以高操作电压驱动负载(例如,高电压可以根据应用而变化,诸如:5伏、50伏、80伏等),但操作电流低(例如,数十毫安)。在示例操作中,缓冲电路可用于在负载处生成与缓冲电路的输入电压匹配的输出电压,因此缓冲电路维持输出电压与从输出端子汲取的电流负载无关,这也称为对输入进行缓冲。一些缓冲电路在缓冲电路的输出处包括电流源。

[0016] 在操作和实施方式中,发射极跟随器包括第一晶体管,诸如BJT,其迫使BJT的发射极端子处的电压跟随BJT的基极端子处的电压。BJT的基极端子耦合到输入节点并且被配置为在输入节点处接收输入信号。输入信号可以是音频或射频信号、来自前一放大器级的输出电压等。第一晶体管的发射极端子耦合到第二晶体管(诸如BJT、MOSFET等)。第二晶体管耦合在第一晶体管的发射极端子与接地之间。在这样的配置中,第二晶体管操作为电流源。例如,在设置第一晶体管的偏置电流的同时,第二晶体管在第一晶体管的发射极端子处提供高阻抗。当第一晶体管的集电极端子耦合到电源电压节点并且没有接收到传入的输入信号时,第二晶体管使恒定的稳定(standing)电流通过第一晶体管的集电极端子。

[0017] 在具有电流源的发射极跟随器的示例操作中,第一晶体管基极端子接收输入信号。在一些示例中,输入信号是摆动的(例如,在相对高的电压和相对低的电压之间变化)。在某些条件下(例如,当满足第二晶体管的制造规格时),充当电流源的第二晶体管允许第一晶体管的输出信号随输入信号摆动。如本文中所用,“输出摆动”、“信号摆动”、“电压摆动”和“电流摆动”为用于指代输入信号值和时间的偏离的术语。例如,如果输入信号是幅度为1的正弦波,则信号从1“摆动”到-1。信号摆动的单位可以是电压、电流、频率等(诸如1伏、1安培、1kHz等)。在其他示例中,在不满足第二晶体管的制造规格的条件下,第二晶体管不允许输出信号随输入信号摆动。

[0018] 发射极跟随器设计用于在输出处如实地表示输入信号。因此,发射极跟随器应始终跟随输入信号的摆动。对于不满足制造规格的条件(诸如,当输入电压对于BJT、晶体管、MOSFET等类型而言过高时),输出不如实地跟随输入的摆动。例如,一种用作电流源的MOSFET具有与该MOSFET应该接收的输入电压量相对应的规格。MOSFET的此类规格基于MOSFET的物理尺寸。MOSFET的物理尺寸与在MOSFET的可靠性受到影响之前可以通过MOSFET的电压的限制有关。电压的限制包括对MOSFET的漏极端子和源极端子(V_{ds})可以生成多大电压的限制。例如,(用作电流源的MOSFET的) V_{ds} 为受限值,并且MOSFET被指定为处理高于或低于该受限值不超过阈值。如果输入信号向下摆动到低于MOSFET阈值的电压值,则MOSFET的 V_{ds} 大大减小,因此在发射极跟随器的输出(例如,发射极端子)处发生输出削波。削波为波形失真的一种形式,当放大器(诸如发射极跟随器放大器、电压缓冲器放大器等)被过度驱动(例如,不符合制造规格)并试图输送超过其最大能力的输出电压或电流时发生削波。在硬削波中,信号的幅度被限制为最大幅度,因此波形不具有倒圆的顶部和底部,而是平坦或截止。在软削波中,信号的幅度沿平滑曲线饱和,而不是硬削波的突变形状。软削

波也称为电压压缩,因为波形的幅度相对于输入信号的幅度较小(压缩)。由于削波,输出信号不实地跟随输入信号。

[0019] 输出削波是一个重大问题,因为输出削波对发射极跟随器引入非线性。当系统(诸如发射极跟随器)为非线性的时,系统的输出不等于输入。例如,如果由于电流源MOSFET的 V_{ds} 减小而使发射极跟随器具有增加的非线性,则发射极跟随器的输出信号很可能不跟随输入信号(例如,当输入电压超出制造规格时,输出信号失真)。非线性是不希望有的效果,因为针对特定用途将发射极跟随器设计和实现为缓冲器,以在用于负载的输出处维持输入的电压。

[0020] 本文所述的示例装置和系统通过包括耦合到电流源MOSFET的输出的电感器,来最小化和/或消除具有电流源MOSFET的发射极跟随器的非线性。例如,本文描述的装置通过包括电感器来消除输出信号的削波。同样,本文所述的示例减小了由输出信号摆动的削波引起的发射极跟随器的电压压缩。

[0021] 由于减小了发射极跟随器中的电压压缩,因此消除了发射极跟随器的非线性。此外,本文所述的装置减小了当电压摆动超过阈值时发射极跟随器中的调制。以这种方式,改善了发射极跟随器的线性,将一分贝(1dB)压缩点扩展到新值,并减小了高频输入信号期间生成的噪声。

[0022] 通常,当改善器件的线性时,器件的1dB压缩点也得以改善(例如,扩展)。例如,1dB压缩点(例如,0P1dB、P1dB)为输入信号的电流使输出处的器件的增益从输出的正常线性增益降低1dB的点。大多数线性放大器对于特定频率范围具有固定增益。如果在图表上绘制输出信号与输入信号的关系,则会显示线性关系。线的斜率是增益。随着输入信号的频率继续增加,在某个点处,增益开始减小。放大器进入压缩,在压缩中,响应于输入增加,不发生进一步的输出增加。扩展P1dB包括在输出信号压缩之前增加对器件的输入信号的量(例如,信号的电压)。

[0023] 图1为示例放大系统100的示意图。在一些示例中,放大系统使用电压缓冲器、发射极跟随器、源极跟随器等来缓冲由输入端子提供的信号。放大系统100包括示例第一级放大器102,其包括第一级输入104和第一级输出106。放大系统100包括耦合到第一级输出106的示例缓冲器108、偏置电压端子(V_{bias}) 110和电压源(V_{supply}) 112。缓冲器108的输出114耦合到包括负载输出120的第二级放大器118。

[0024] 在图1中,放大系统100包括第一级放大器102,以接收第一级输入104并基于相应的负载来调整第一级输入104的幅度。例如,第一级输入104可以是相对于诸如扬声器之类的负载具有可忽略的值的正弦波。第一级放大器102可以操作以增加和/或提高第一级输入104的幅度,再现第一级输入104的幅度,等等。第一级放大器102经由第一级输出106向缓冲器108提供调整后的输入信号。第一级放大器102可以是电压放大器、电流放大器、运算放大器、MOSFET、BJT或适于调整第一级输入104的幅度的任何其他电气器件。

[0025] 在图1中,放大系统100包括缓冲器108,以为第二级放大器118缓冲接收到的第一级输出106。如本文所用,第一级输出106将被称为输入106,使得“第一级输出”106和“输入”106上的电压和电流相等。缓冲器108被配置为经由电源电压端子接收电源电压112,并且经由 V_{bias} 110接收偏置电压,以用于缓冲器108的指定操作。在一些示例中,缓冲器108可以是发射极跟随器、源极跟随器、共集电极放大器和/或可以缓冲输入电压的任何其他器件。

在本文所述的示例中,缓冲器108包括单端输出(例如114)与单端输入106。可替代地,缓冲器108可以是差分缓冲器放大器,相对于具有单端输入和单端输出的非差分缓冲器放大器而言,该差分缓冲器放大器被配置为接收两个输入并且包括两个输出。

[0026] 在一些示例中,缓冲器108接收作为正弦波的输入106,并且在输出114处再现(例如,缓冲)正弦波。下面结合图2和3进一步详细地描述缓冲器108。

[0027] 在图1中,除了第一级放大器102施加到第一级输入104的增益之外,放大系统100还包括第二级放大器118以增加施加到输入106的增益。例如,当连续使用多个放大器级时,可以增加总电压增益。例如,如果第一级放大器102具有10的增益,并且第二级放大器118也具有10的增益,则施加到原始的第一级输入104的总增益为20,因此与仅存在一个放大器的情况下第一级输入104将要接收到的增益相比,该第一级输入104接收到两倍的增益。

[0028] 在一些示例中,第二级放大器118增加施加到第一级输入104的总增益以用于负载。例如,负载为扬声器,并且第一级输入104为音频信号。第二级放大器118将音频信号增加到满足扬声器的阈值的值,以产生可听频率(例如,用户可以听到的音频)。以这种方式,第二级放大器118产生的增益量可以由负载确定。

[0029] 在一些示例中,在第一级放大器102和第二级放大器118之间不存在缓冲器(例如,缓冲器108)。在没有缓冲器的情况下,第一级放大器102上的阻抗为第二级放大器118的输入电阻(例如,阻抗)。如果第一级放大器102直接控制第二级放大器118,则第二级放大器118的“低”输入阻抗将使第一级放大器102的“负载降低”(load down),从而减小了电压摆动。因此,期望在两个放大器级(例如102、118)之间包括电压放大器/缓冲器(诸如发射极跟随器、源极跟随器等)以增加负载处的阻抗。通过插入缓冲器108,第一级放大器102和负载之间的阻抗现在为高阻抗。由于高阻抗,第一级放大器102的摆动未减小。然后,缓冲器108在缓冲器输出114上再现输出摆动,以驱动第二级放大器118。

[0030] 第二级放大器118可以是电压放大器、电流放大器、运算放大器、MOSFET、BJT或适于调整输出114上的信号的幅度的任何其他电气器件。

[0031] 图2为示出图1的缓冲器的实施方式的附加细节的示意图。缓冲器包括第一晶体管202、第二晶体管204、第一电阻器218、第一电流源220和第二电流源222。在缓冲器中,示意图的右侧(例如,第二晶体管204和第二电流源222)可以被标识为示意图的左侧(例如,第一晶体管202和第一电流源220)的复制品,因为图2的缓冲器为差分实施方式。差分实施方式可以被称为包括非反相输入(106)、反相输入(耦合至第二基极端子214的虚线)、非反相输出(114)和反相输出(耦合至发射极节点217的虚线)。当以大信号操作(例如,大信号与晶体管和电阻器的尺寸有关)工作时,图2的缓冲器示出了不期望的特性,诸如削波、不期望的调制、降低的压缩点(OP1dB)和增加的互调失真(IMD3)。

[0032] 如本文所用,当提及“第一晶体管202”时,应当理解,该描述和/或示图适用于第一晶体管202和第二晶体管204两者。类似地,当提及“第一电流源220”时,应当理解,该描述和/或示图适用于第一电流源220和第二电流源222两者。以这种方式,第二晶体管204和第二电流源222为第一晶体管202和第一电流源220的复制品,并且可以被理解为以彼此相同的方式操作。然而,第二晶体管204从输入106接收的输入信号与施加到第一晶体管202的输入信号异相180度。

[0033] 在图2中,缓冲器包括第一晶体管202和第二晶体管204,以将电流从集电极端子传

导至发射极端子。第一晶体管202包括：第一集电极端子206，其在集电极节点207处耦合到第一电阻器218；第一基极端子208，其耦合到输入106并被配置为经由输入106接收输入信号；以及第一发射极端子210，其在发射极节点211处耦合到输出114。第二晶体管204包括：第二集电极端子212，其在集电极节点207处耦合到第一电阻器218和第一集电极端子206；第二基极端子214，其耦合到反相输入并且被配置为经由反相输入接收反相输入信号(-Vin) (其为输入106处的输入信号的反相)；以及第二发射极端子216，其在发射极节点217处耦合到输出，该输出具有反相输出信号(-Vout) (输出114处的输出信号的反相)。

[0034] 在图2中，第一晶体管202和第二晶体管204为N型(NPN)BJT。第一晶体管202和第二晶体管204导通(例如，传导)或截止(例如，不传导)。当晶体管202和204导通时，基极端子208和214可以改变传导通过集电极端子206、212的电流，或者可以不改变传导通过集电极端子206、212的电流。在图2中，晶体管202、204通常总是导通，以使晶体管202、204再现输入信号106。以这种方式，集电极节点207处的电压(例如，由Vsupply112和R1 218的电阻提供)设置了集电极电压。

[0035] 此外，在图2中，第一电阻器218被包括在缓冲器中，以使提供给第一集电极端子206和第二集电极端子212的DC电压偏移。与输入106上的输入电压和输出114上的输出电压相比，电源电压112可以大。第一晶体管202响应于输入106处的电压而在输出114处生成电压。因此，当第一晶体管202的输入电压减小时，输出114处的电压也减小。输出114上减小的电压增加了第一晶体管202的集电极-发射极电压(Vce)。如果电源电压112大于晶体管202的集电极-发射极电压(Vce)的阈值，则可能损坏第一晶体管202。因此，引入第一电阻器218以将第一晶体管202的Vce偏置在第一晶体管202的操作条件内。

[0036] 在图2中，缓冲器包括第一电流源220和第二电流源222，以偏置第一发射极端子210和第二发射极端子216处的电流。第一电流源220包括：第一漏极端子224，其在发射极节点211处耦合到第一发射极端子210；第一控制端子226(例如栅极)，其耦合到Vbias 110；以及第一源极端子228，其耦合到第二电阻器(R2) 236。第二电流源222包括：第二漏极端子230，其在发射极节点217处耦合到第二发射极端子216；第二控制端子232(例如栅极)，其耦合到Vbias 110；以及第二源极端子234，其耦合到第三电阻器(R3) 238。

[0037] 在图2中，第一电流源220为n沟道MOSFET(NFET)，其操作为电流镜并实质上偏置发射极节点211处的电流。可替代地，第一电流源220可以是NPN BJT、PNP BJT、p沟道MOSFET(PFET)等。电流镜通过以下方式复制传导通过一个有源器件的电流，即控制传导通过另一个有源器件的电流，同时保持电流恒定。例如，第一电流源220设置流入第一晶体管202的发射极端子210的电流。

[0038] NFET包括两个电流端子和一个控制端子(例如，栅极)，其中第一电流端子为漏极端子，并且第二电流端子为源极端子。NFET的控制端子控制从漏极端子到源极端子的电流。当栅极-源极电压(Vgs) > 阈值电压(Vth)且当漏极-源极电压(Vds) > Vgs - Vth(例如，Vgs > Vth; Vds > Vgs - Vth)时，NFET以饱和模式操作。当NFET处于饱和模式时，漏极端子和源极端子操作为电流源。在电压超过饱和阈值之后，响应于增加的Vds电压，传导通过两个端子的电流不会发生很大变化。在Vds > Vth之后，晶体管操作为电流源，并且当Vds增加到超过饱和电压时电流不改变。

[0039] 第一电流源220在饱和模式下操作为至第一晶体管202的电流源。以此方式，Vbias

110处的电压为恒定的偏置电压,因此,传导通过第一漏极端子224到达第一源极端子228的电流是恒定的。 V_{bias} 110处的电压设置为与输入106上的电压信号有关的值。

[0040] 在图2中,第一源极端子228耦合到R2 236。R2 236为退化电阻器。退化电阻器在电流源设计中很有用,以“退化”或降低电流源晶体管的增益,但它改善了其他方面,诸如线性和输出阻抗。退化电阻器R2 236使在第一源极端子228处产生的噪声最小化。而且,R2 236设置第一源极端子228处的电压。源极端子228处的电压由流过R2 236的电流乘以电阻(例如,欧姆)来确定。流过R2 236的电流可以是来自第一漏极端子224的电流。

[0041] 在缓冲器的操作中,传入的电压信号被施加到输入106。如本文所用,输入106上的电压信号为 V_{in} 。通常, V_{in} 摆动。当 V_{in} 摆动时,输出114摆动。 V_{in} 被施加到第一基极端子208,并且当 V_{in} 摆动时,第一发射极端子210处的电压开始摆动。

[0042] 而且,因为第一发射极端子210处的电压在摆动,所以第一集电极端子206处的电压可以摆动。然而,缓冲器为差分实施方式,其指示第二晶体管204接收输入106,该输入106被调整为与 V_{in} 信号异相180度。由于这种差分实施方式,当 V_{in} 摆动时,第二集电极端子212处的电压抵消了在第一集电极端子206处摆动的电压。以这种方式,第一集电极端子206处的电压和第二集电极端子212处的电压具有相反的极性、相反的相位等。此外,节点207为安静(quiet)节点,因为第一集电极端子206和第二集电极端子212处的两个电压彼此抵消。以这种方式,在缓冲器中生成的电压的波动仅发生在输入106和输出114上。

[0043] 输出114上的电压沿正方向或负方向摆动。如果 V_{in} 增加,则由于 I_c 减小,所以输出114上的电压沿正方向摆动。输出114上的电压可以增加,直到电压达到 V_{supply} 112的电压为止。当输出114上的电压达到 V_{supply} 112时,在第一集电极端子206处的电阻两端存在零电压降,这指示零 I_c 。当 I_c 为零时,第一晶体管202不传导电流,并且响应于此,第一晶体管202进入截止模式(例如,断开)。

[0044] 如果 V_{in} 减小,则由于 I_c 在增加,所以输出114上的电压沿负方向摆动。输出114上的电压可以减小直到输出114上的电压等于不满足用于保持MOSFET导通的阈值电压的电流源220的漏极-源极电压(V_{ds})。为了使电流源220以线性模式操作(例如,导通并传导),电流源220的 V_{ds} 需要大于栅极-源极电压(V_{gs})减去阈值电压(V_{th}) (例如, $V_{gs} > V_{th}; V_{ds} > V_{gs} - V_{th}$)。当输出114上的电压沿负方向摆动时, V_{ds} 可能会下降至低于 V_{gs} 减去 V_{th} 电压,从而断开电流源220。

[0045] 电流源的操作由 V_{bias} 110处的偏置电压确定。 V_{bias} 110处的电压为恒定电压,该恒定电压确定传导通过电流源220的DC电流。 V_{bias} 110处的电压设置 V_{gs} , V_{gs} 确定传导通过电流源220的电流。传导通过电流源220的电流等于 I_c , I_c 为在第一集电极端子206处传导的电流。在图2的缓冲器的操作中,如果传入的电压信号 V_{in} 在摆动,则第一发射极端子210处的电压摆动,并且第一集电极端子206处的电压保持不变。因为节点207为静态节点并且将第一集电极端子206处的电压(以及第二集电极端子212处的电压)保持在零电位,所以第一集电极端子206处的电压不变(诸如不调制,不蠕动,不摆动等)。以这种方式,集电极-发射极电压(V_{ce})是变化的。而且,当发射极节点211处的电压沿负方向摆动时,第一漏极端子224处的电压开始下降。当第一漏极端子224处的电压下降时,电流源220的 V_{ds} 开始调制(诸如改变、幅度变化等),并且流过MOSFET的电流改变。

[0046] 不期望电流源(例如,电流源220)的 V_{ds} 下降到低于 $V_{gs} - V_{th}$ 。例如,如果电流源220

的 V_{ds} 下降到低于 $V_{gs}-V_{th}$,则理想的、指定的和/或期望的电流源不指定传导通过MOSFET的电流在 V_{ds} 调制时调制。图2的缓冲器的电流源220可以由于某个“裕量”(headroom)值而调制。裕量为在MOSFET的制造过程中定义的MOSFET的特性。MOSFET的裕量确定了漏极-源极电压摆动的容差或阈值范围,在该范围内漏极电流(I_d)将不改变。例如,制造商可以设计MOSFET来承受输入处在-1伏至1伏之间的值的电压摆动(例如MOSFET的控制端子处的电压)。如果输入电压减小到低于-1伏(例如,-1.5伏),则漏极电流开始削波(例如减小)。

[0047] 参考图3,信号图300示出了第一控制端子226处的电压(例如,由 $V_{bias110}$ 提供的电压)、第一源极端子228处的电压和第一发射极端子210处的电压(例如,第一发射极端子210处的电压也等于发射极节点211处的电压、输出114处的电压以及第一漏极端子224处的电压)。栅极电压(例如, $V_{bias110}$ 处的电压)被保持和/或维持在恒定值(例如,0.7伏)。响应于保持在恒定值的栅极电压,第一源极端子228处的源电压也保持在恒定值(例如0.2伏)。

[0048] 由于输入106上传入的电压信号的摆动,第一发射极端子210处的电压(例如,第一漏极端子224处的电压、发射极节点211处的电压)被示为正弦波。在第一发射极端子210处的正弦波的平均电压(DC)等于0.8伏。在操作中,当发射极电压(例如,第一漏极端子224处的电压)从0.8DC移至0.8DC减去电压摆动时,第一电流源220的 V_{ds} 开始减小至低于 $V_{bias110}$ 处的电压减去阈值电压。当第一电流源220的 V_{ds} 减小到低于 $V_{bias110}$ 处的电压时,响应于第一电流源220的裕量的减小,第一电流源220的漏极电流削波。

[0049] 当第一发射极端子210处的发射极电压剧烈波动超过电流源220的操作的指定值时,图2的缓冲器出现问题。通常,电流源220的漏极-源极电压不影响漏极电流(例如,发射极节点211处的电流),直到漏极-源极电压达到某个值为止(例如,制造商定义的电压值,作为MOSFET发生压缩之前可以经历的阈值摆动量)。如图3所示,发射极电压超过制造商定义的阈值,并且这导致漏极电流(例如,发射极节点211处的电流)受到第一电流源220的漏极-源极电压的负面影响。当漏极电流开始削波时,缓冲器不再可用于(例如,由于增加的非线性/压缩)图1的放大系统100中的操作。

[0050] 图4的示例示出了包括偏置电阻器和电感器的图1的缓冲器108的实施方式的附加细节。如以上结合图2和3所描述的,图4的缓冲器108克服了图2的缓冲器(例如,不包括电感器和偏置电阻器)的挑战和问题。图4的缓冲器108包括输入端子(例如,输入106)、输出端子(例如,输出114)、第一晶体管202、第二晶体管204、第一电阻器218、第一电流源220、第二电流源222、第二电阻器236、第三电阻器238、示例第一偏置电阻器402、示例第二偏置电阻器404、示例第一电感器406和示例第二电感器408。

[0051] 图4包括第一晶体管202和第二晶体管204,以缓冲升压的输入信号以用于第二级放大器(例如,图1的第二级放大器118)。在一些示例中,第一晶体管202和第二晶体管204为差分BJT,其中第二晶体管204接收的调整后的输入信号可以与第一晶体管202的输入106上的输入信号异相180度。第一晶体管202和第二晶体管204具有相应的电流端子,因此电流端子为基极端子、集电极端子和发射极端子。在一些示例中,第二晶体管204为具有差分电流端子的差分晶体管,因此差分电流端子为差分基极端子、差分集电极端子和不同的发射极端子。上面结合图2描述了第一晶体管202和第二晶体管204。

[0052] 图4包括耦合在电源电压112和集电极节点207之间的第一电阻器218。第一电阻器218将第一晶体管202和第二晶体管204的 V_{ce} 偏置在第一晶体管202和第二晶体管204的操

作范围内。在一些示例中， V_{supply} 112提供的电压太大而使晶体管202、204无法处理，因此第一电阻器218被配置为减小该电压。

[0053] 图4包括第一电流源220和第二电流源222，以偏置第一晶体管202的第一发射极端子210和第二晶体管204的第二发射极端子216处的电流。而且，相对于在 V_{bias} 110处提供给第一控制端子226的电压，差分电流源（例如，第二电流源222）接收差分输入电压。上面结合图2描述了第一电流源220和第二电流源222。

[0054] 图4包括第二电阻器236和第三电阻器238以最小化在第一源极端子228和第二源极端子234处产生的噪声。而且， R_2 236和 R_3 238设置第一源极端子228和第二源极端子234处的电压。上面结合图2描述了第二电阻器236和第三电阻器238。

[0055] 图4包括示例第一偏置电阻器402和示例第二偏置电阻器404。第一偏置电阻器402耦合在 V_{bias} 110和第一电流源220的第一控制端子226之间。第二偏置电阻器404耦合在 V_{bias} 110和第二电流源222的第二控制端子232之间。

[0056] 图4包括第一电感器406和第二电感器408。第一电感器406耦合在第二电阻器236和接地端子之间。第二电感器408耦合在第三电阻器238和接地端子之间。

[0057] 在图4的缓冲器108的操作中，当将电压施加到输入106时，输入106上的电压的差分被施加到第二晶体管204的第二基极端子214。例如，施加到输入106上的第一基极端子208的电压被反相并施加到第二基极端子214。响应于第一基极端子208处的摆动的输入电压信号，第一发射极端子210复制输入电压信号。例如，如果输入电压信号从1伏摆动到-1伏，则第一发射极端子210处的输出电压信号从比1伏低0.7伏摆动到比-1伏低0.7伏。发射极端子210以及BJT的任何发射极端子的输出比施加到基极端子的电压低一个二极管电压（例如0.7伏），因为在BJT器件（例如，第一晶体管202）导通时在其两端存在电压降。第一发射极端子210处的电压也是电流源220的第一漏极端子224处的电压。以这种方式，当第一基极端子208处的输入电压信号正在摆动时，第一漏极端子224处的电压摆动。

[0058] 在没有电感器406、408和偏置电阻器402、404的示例实施方式中，如果输入信号摆动减小到低于电流源220和222的裕量值，则电流源220和222将失效。此外，如果输入信号摆动增加到高于电流源220、222的允许 V_{ds} 值，则可能存在可靠性约束。然而，图4的缓冲器108包括第一偏置电阻器402和第一电感器406，这是提供两个主要优点的配置。第一优点在于，当输入106处的电压正在摆动时，在第一源极端子228处实现了电压摆动，因此偏置电阻器402和电感器406导致第一控制端子226处的电压和第一源极端子228处的电压浮动并响应于第一漏极端子224处的电压摆动而移动，从而保持MOSFET的裕量。例如，第一控制端子226处的电压和第一源极端子228处的电压与第一漏极端子224处的电压一致地增加和减小，使得第一控制端子226和第一源极端子228处的电压响应于第一漏极端子224处的电压的增加而增加，并且响应于第一漏极端子224处的电压的减小而减小。示例偏置电阻器/电感器配置的第二优点在于，偏置电阻器/电感器配置调节电流源220的漏极-源极电压，从而防止电流源220响应于大电压摆动而“收缩”（例如，压缩）。以此方式，第一偏置电阻器402与第一电感器406一起操作实现了图1的第一级放大器102的高信号操作，因此第一级放大器102可以在不削波或损坏图1的缓冲器108的情况下对大信号升压。

[0059] 关于示例偏置电阻器/电感器配置的第一优点，偏置电阻器402和404设置为大的值（例如1千欧或10千欧），以在第一控制端子226上呈现高阻抗。偏置电阻器402的高阻抗允

许第一漏极端子224的电压摆动在电流源220的端子(例如,第一控制端子226和第一源极端子228)处发展。例如,MOSFET不具有栅极电流(例如,MOSFET的控制端子通过不允许电流从控制端子传导至漏极和源极端子的介电介质而与MOSFET的衬底隔离)。以这种方式,第一电流源220的DC偏置(由Vbias 110处的电压偏置)不受第一偏置电阻器402的影响,因为:(a)施加在第一偏置电阻器402两端上的任何电压也将施加在第一控制端子226上;(b)没有电流流过第一偏置电阻器402。以这种方式,第一电流源220接收正确的栅极电压。

[0060] 然而,从AC的角度来看,当第一漏极端子224处的电压开始摆动时,第一控制端子226处的电压开始摆动。例如,第一偏置电阻器402允许第一控制端子226处的电压浮动而不是将电压保持在固定值。因此,当第一漏极端子224处的电压开始摆动时,第一偏置电阻器402在漏极电压正在摆动时在第一控制端子226处实现电压摆动。

[0061] 第一偏置电阻器402确保第一电流源220的V_{gs}保持恒定。例如,由电阻器(例如,第一偏置电阻器402)设置的电阻确定该电阻器两端的电压。通过确保第一电流源220的V_{gs}保持恒定,第一电流源220中的电流(例如,由MOSFET的V_{gs}和V_{ds}设置的电流)不被调制。以这种方式,第一偏置电阻器402和第一电感器406增加了电流源的线性,这在输出114处表示了输入106上的传入的电压。

[0062] 示例偏置电阻器/电感器配置的第二优点在于,当输入106处的电压接近阈值电压时,第一电流源220将不压缩。例如,如果响应于输入106处的大电压摆动将大的电压摆动施加到第一漏极端子224,则第一电流源220将不压缩。例如,如果在源极端子的一端与接地或电源端子之间未耦合电感器(例如,图2的缓冲器),则源极端子保持恒定。在这样的示例中,MOSFET的源极端子228可以被保持在接地电位或电压源电位。然而,通过包括第一电感器406,第一源极端子228处的电压可以摆动到低于接地电位或高于电源电压电位。

[0063] 第一偏置电阻器402允许第一控制端子226处的电压随漏极电压摆动,因为电感器两端的电压由L(例如,电感值)乘以di/dt(例如,电感器中电流的时间变化率)确定。当缓冲器108的输入106处的电压向下摆动(例如,电压在减小)时,V_{ce}在增加,从而致使瞬时电流在集电极端子206处增加,并且同样在电感器406处增加。这意味着电感器406两端的电压应为正,这可以发生在R2 236和L1 406之间的节点处的电压摆动到低于接地的情况中。电感器406两端的电压定义为固定电位(例如,接地)减去电感器另一端子(例如,耦合到R2 236的端子)上的电压。固定电位减去负电压会生成正电压。当缓冲器108的输入106处的电压向上摆动(例如,电压增加)时,第一晶体管202的V_{ce}减小,从而致使瞬时电流在集电极端子206处减小,并且同样在电感器406处减小。响应于瞬时电流的减小,电感器406两端产生负电位。当R2 236和L1 406之间的节点处的电压摆动到高于接地电位时,发生负电位。固定电位减去正电压在电感器406两端生成负电压。

[0064] 示例电感器具有绕中心芯缠绕的导线线圈。电感器406、408可以是紧凑的低Q电感器,其亨利值由图1的放大系统100的频率确定。例如,第一电感器406对于较高频率为较小的电感(例如,纳亨利),而对于较低频率为较大的电感(例如,微亨利)。Q因子(Q)为电感器的耗散特性的量度。高Q电感器具有低耗散,并且可用于制作微调的窄带电路。低Q电感具有较高的耗散,这导致宽带性能。低Q电感器具有较高的电阻损耗,这可以与R2 236和R3 238的电阻器值进行权衡。

[0065] 当输入106上的传入的电压信号大于电流源220可以处理的电压时,电感器406允

许缓冲器108以指定的方式工作。例如,参考图5,信号图500示出了在发射极节点211处的电压、第一源极端子228处的电压以及第一控制端子226处的电压。由于第一偏置电阻器402,第一控制端子226处的电压浮动。上面结合图4描述的偏置电阻器402促使第一控制端子226处的电压响应于发射极节点211处的电压而移动。而且,由于第一电感器406,第一源极端子228处的电压也响应于发射极节点211处的电压而浮动。

[0066] 图6为示出通过图4的缓冲器108的电压的仿真信号图600。仿真信号图600包括在第一基极端子208处的电压、在发射极节点211处的电压、在第一控制端子226处的电压以及在第一源极端子228处的电压。

[0067] 如图6所示,在时间 t_1 处,第一基极端子208处的电压约为1伏。在一些示例中,1伏表示与传入的输入信号106相对应的电压值,因此放大器(例如,第一级放大器102)将1伏输出到缓冲器108(例如,或输出到具有偏置电阻器402、404和电感器406、408的缓冲器108)。

[0068] 在时间 t_1 处,发射极节点211处的电压约为0.3伏。发射极节点211处的电压约为0.3伏,因为第一晶体管202的二极管压降为0.7伏,因此第一晶体管202在集电极端子至发射极端子之间下降了0.7伏,并且输出电压比基极端子208处的电压低0.7伏。

[0069] 在图6中,第一控制端子226处的电压被表示为虚线。在时间 t_1 处,第一控制端子226处的电压等于发射极节点211处的电压。例如,偏置电阻器402将第一控制端子226处的电压设置为跟随发射极节点211处的电压/随其摆动。以与第一晶体管202类似的方式,第一电流源220具有0.7伏的阈值电压。因此,在时间 t_1 处,第一源极端子228处的电压比第一控制端子226处的电压低一个阈值电压。例如,在时间 t_1 处,第一源极端子228处的电压等于-0.3伏。

[0070] 以这种方式,仿真信号图600示出了第一源极端子228处的电压下降到低于零伏(例如,接地电位)。这是第一电感器406允许在电感器406两端建立正电压或负电压的结果,因为电压极性由电感器406中电流的变化率确定。减小AC电流表示电感器406两端为负电压,而增大AC电流表示电感器406两端为正电压。

[0071] 在时间 t_2 处,第一基极端子208处的电压增加到约2.8伏。例如,输入106上的传入的电压信号在摆动,因此它在增加和减小。在时间 t_2 处,发射极节点处的电压响应于第一基极端子208处的电压增加而增加。发射极节点211处的增加到的电压增加比第一基极端子208处增加到的电压低一个二极管压降。

[0072] 响应于在时间 t_2 处发射极节点211处的电压增加,第一控制端子226处的电压和第一源极端子228处的电压响应于发射极节点211处的电压而增加。例如,第一控制端子226处的电压跟随发射极节点211处的电压,并且第一源极端子228处的电压增加到比第一控制端子226处的电压低一个阈值电压。

[0073] 图7为将图4的缓冲器108和图2的缓冲器的操作进行对比的信号图700。在图7中,信号图700显示了当输入106上的输入电压增大和减小时发射极节点211上的电压的响应。例如,在图7中表示三个电压。输入电压702表示图1、图2和图4的输入106上的电压。如虚线所示的第一电压信号704表示没有偏置电阻器402和电感器406的缓冲器的发射极节点211处的电压。第二电压信号706表示图4的缓冲器108的发射极节点211处的电压。

[0074] 在图7中,输入电压702在摆动。例如,在时间 t_1 处的输入电压为0.5伏,并且在时间 t_2 处的输入电压增加到3伏。输入电压702的增加和减小随着时间的增加而继续。

[0075] 对应于没有偏置电阻器402和电感器406的缓冲器的发射极节点211处的电压的第一电压信号704被表示为虚线。在时间t1处,第一电压信号704不减小超过约0.3伏。实际上,信号图700描绘了在时间t1至时间t2处削波的第一电压信号704。第一电压信号704响应于输入电压702减小到超过由图2的电流源220设置的裕量而削波。

[0076] 对应于图4的缓冲器108的发射极节点211处的电压的第二电压信号706示出了相对于第一电压信号704的改善。例如,从时间t1到时间t2,第二电压信号706响应于输入电压702而减小。以这种方式,当源极端子228处的电压减小时,第二电压信号706不削波。

[0077] 图8为将图4的缓冲器108和图2的缓冲器的噪声因子进行对比的噪声系数图800。在图8中,噪声系数图800显示了当输入106处的频率增加时图4的缓冲器108的噪声因子和图2的缓冲器的噪声因子的响应。

[0078] 噪声因子为由信号链中的部件引起的电路的信噪比的劣化的度量。噪声因子为一个数字,通过它可以指定放大器或无线电接收器的性能,数值越小表示性能越好。噪声因子以分贝(dB)为度量。

[0079] 在图8中,用虚线表示的第一噪声因子802对应于没有偏置电阻器402和电感器406的缓冲器。第一噪声因子802被表示为虚线。在所示的示例中,在约4千兆赫兹(GHz)的频率下,第一噪声因子802约等于3.45分贝。以这种方式,当缓冲器的输入106处的频率等于4GHz时,噪声因子等于3.45分贝。

[0080] 在图8中,第二噪声因子804对应于图4的缓冲器108。第二噪声因子804被表示为实线。在所示的示例中,当输入106处的频率等于4GHz时,第二噪声因子804等于3.3分贝。相对于没有电阻器/电感器配置的缓冲器中的总噪声,缓冲器108中的总噪声被降低。例如,偏置电阻器/电感器配置给予电流源220更多的电压裕量,从而降低了电流源220的噪声因子,并进一步降低了缓冲器108中的总噪声。以这种方式,相对于图2的缓冲器(不包括偏置电阻器402和电感器406),缓冲器108示出了噪声因子的改善。

[0081] 在本说明书中,术语“和/或”(当以诸如A、B和/或C的形式使用时)是指A、B、C的任何组合或子集,诸如:(a) 仅A;(b) 仅B;(c) 仅C;(d) A与B;(e) A与C;(f) B与C;(g) A与B与C。而且,如本文所用,短语“A或B中的至少一者”(或“A和B中的至少一者”)是指包括以下任一者的实施方式:(a) 至少一个A;(b) 至少一个B;(c) 至少一个A和至少一个B。

[0082] 本文所述的示例方法、装置和制品改善了电压缓冲器(诸如发射极跟随器、源极跟随器等)的线性。在本文所述的示例中,通过使电流源的控制端子经由偏置电阻器而浮动来改善电压缓冲器的线性。而且,当输入信号大于开关器件(诸如MOSFET或BJT)可以处理的值时,电感器可以最小化和/或减小电流源的压缩。此外,当输入信号超过电流源制造商设置的阈值时,偏置电阻器/电感器配置保护缓冲器的电流源免于压缩或损坏。

[0083] 在权利要求的范围内,在所描述的实施例中可以进行修改,并且其他实施例也是可能的。

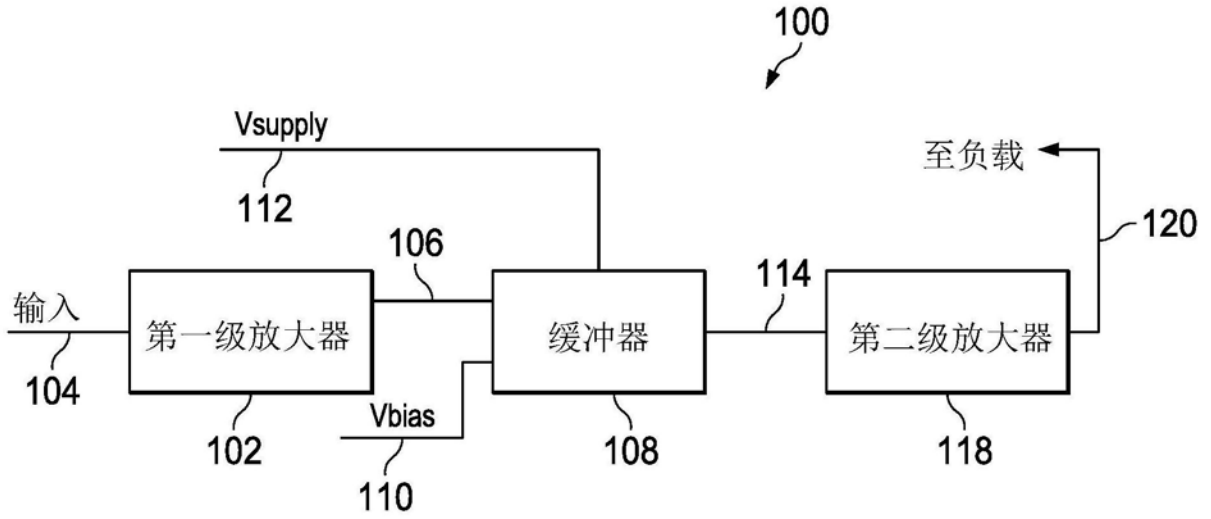


图1

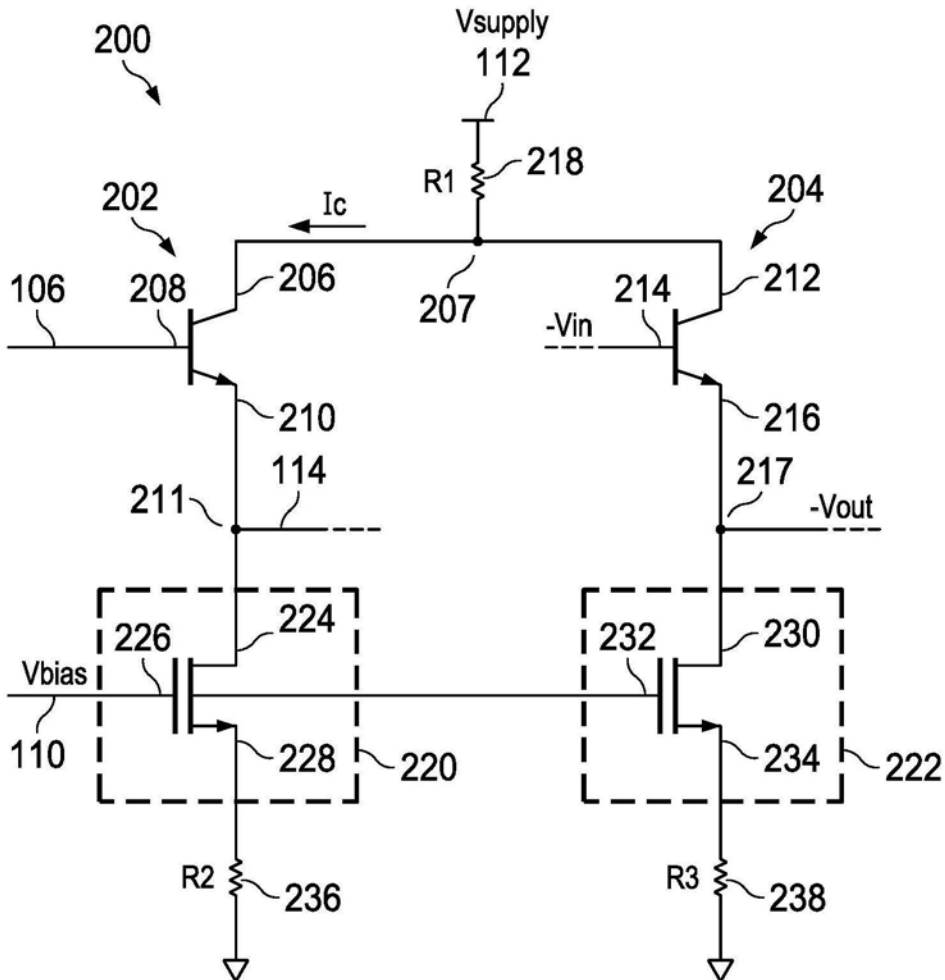


图2

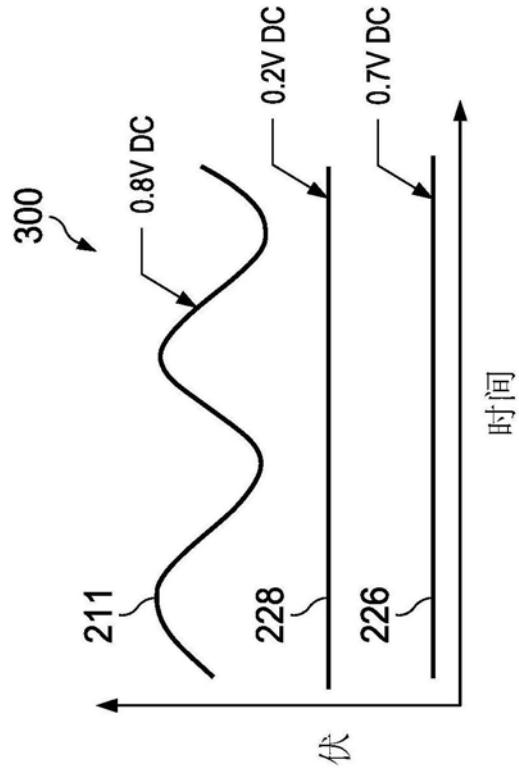


图3

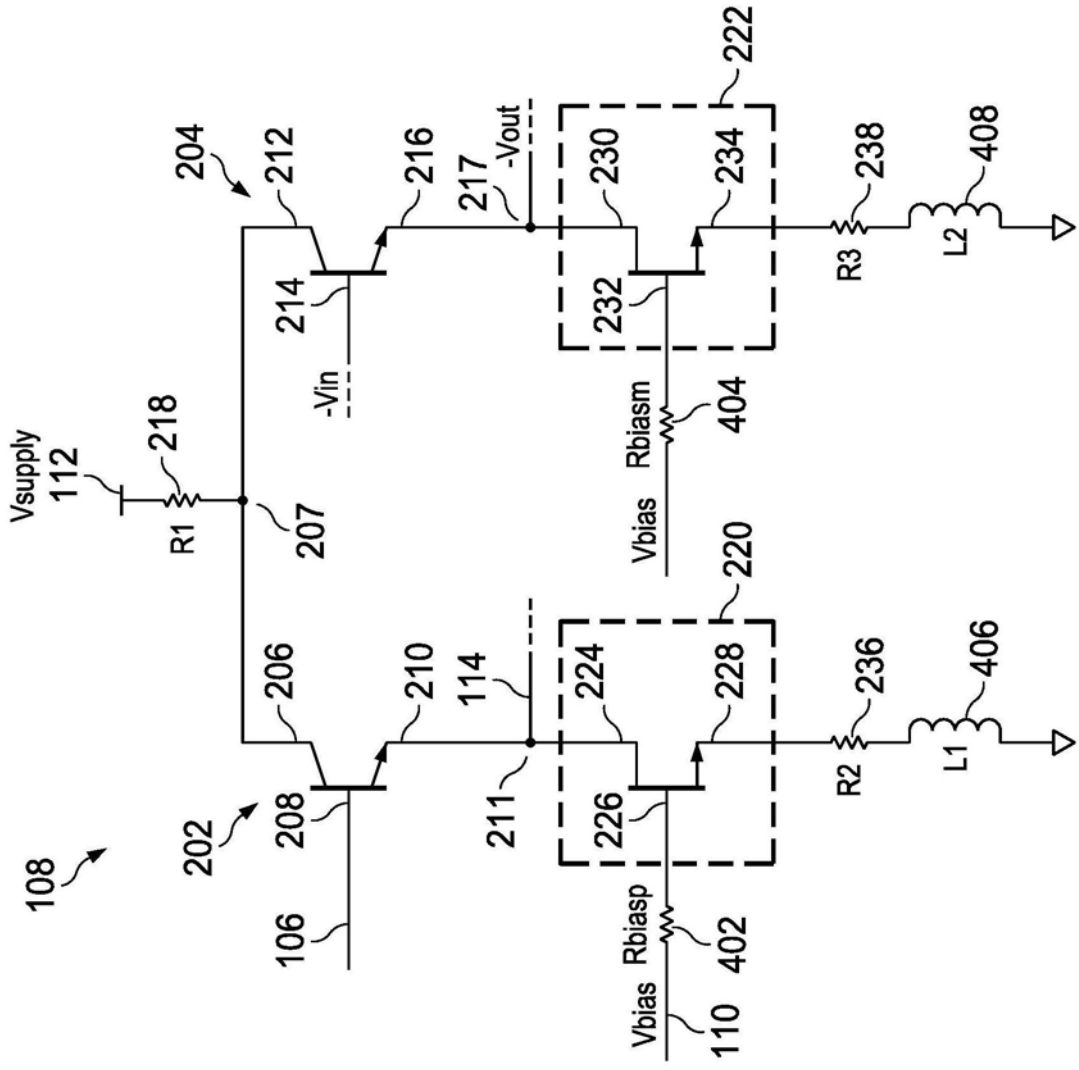


图4

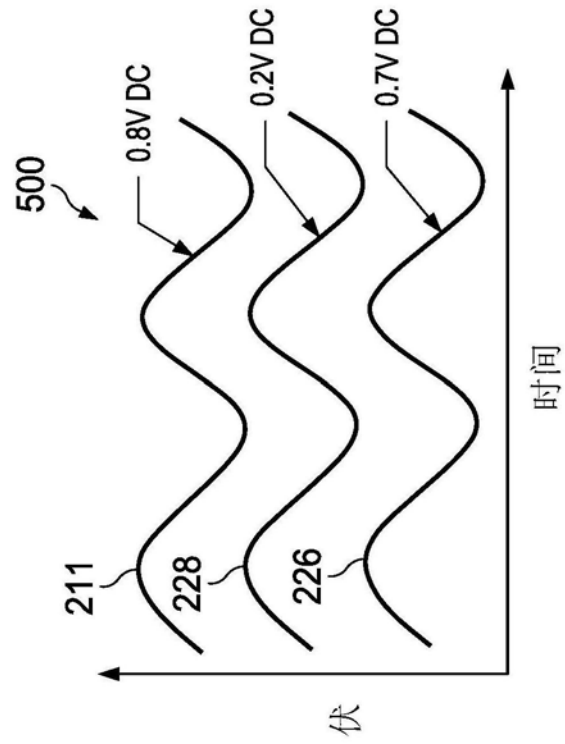


图5

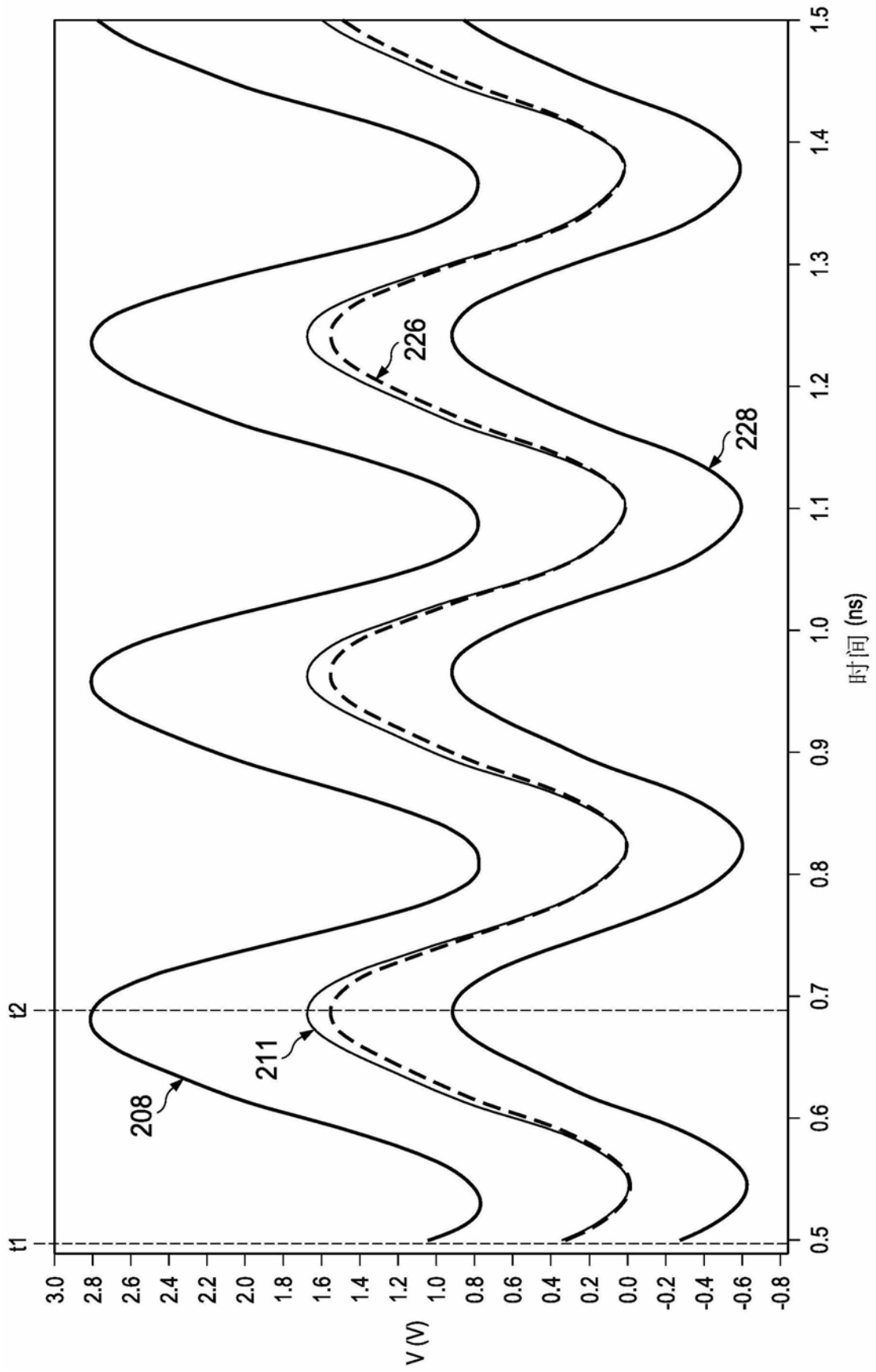


图6

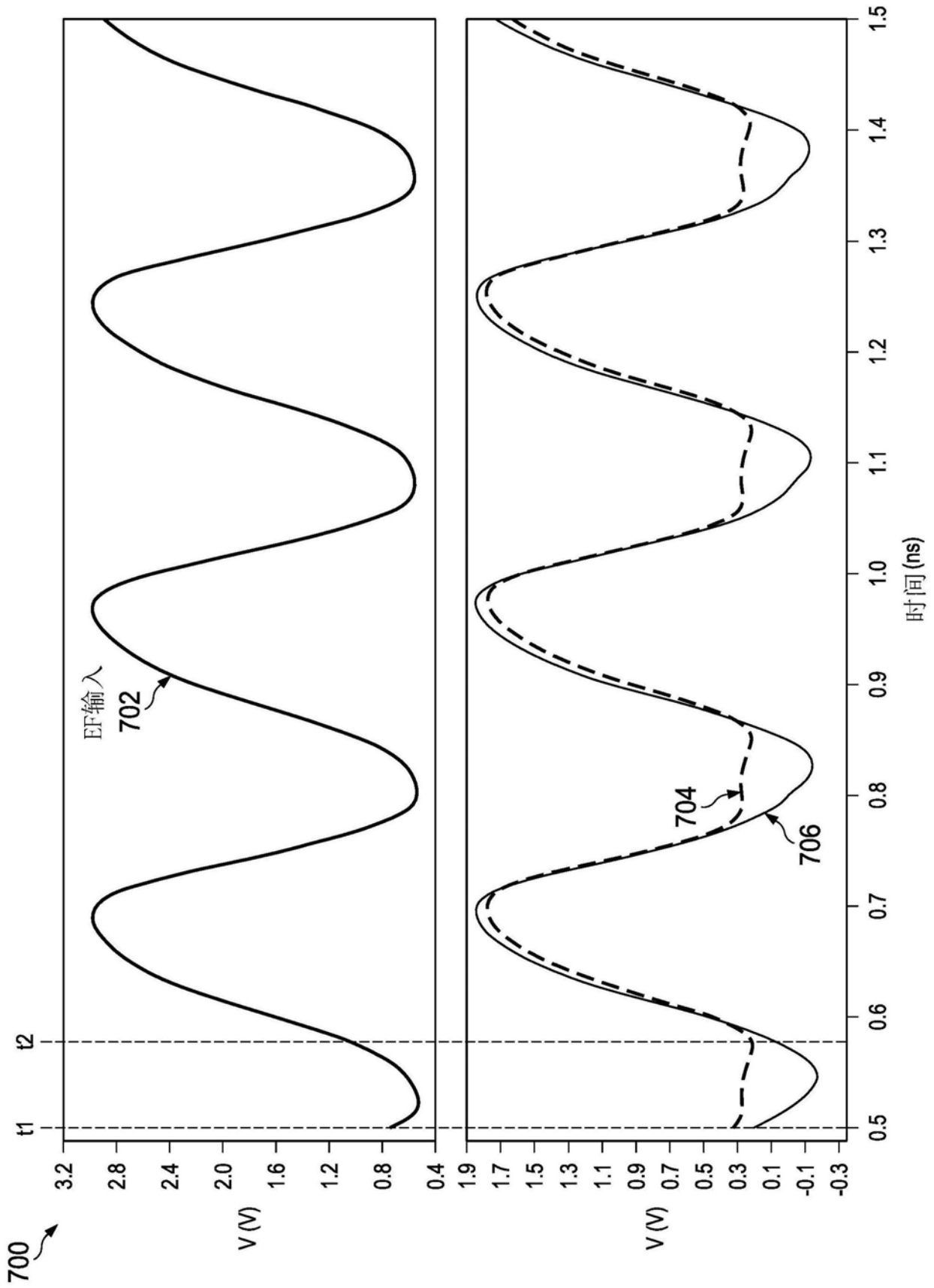


图7

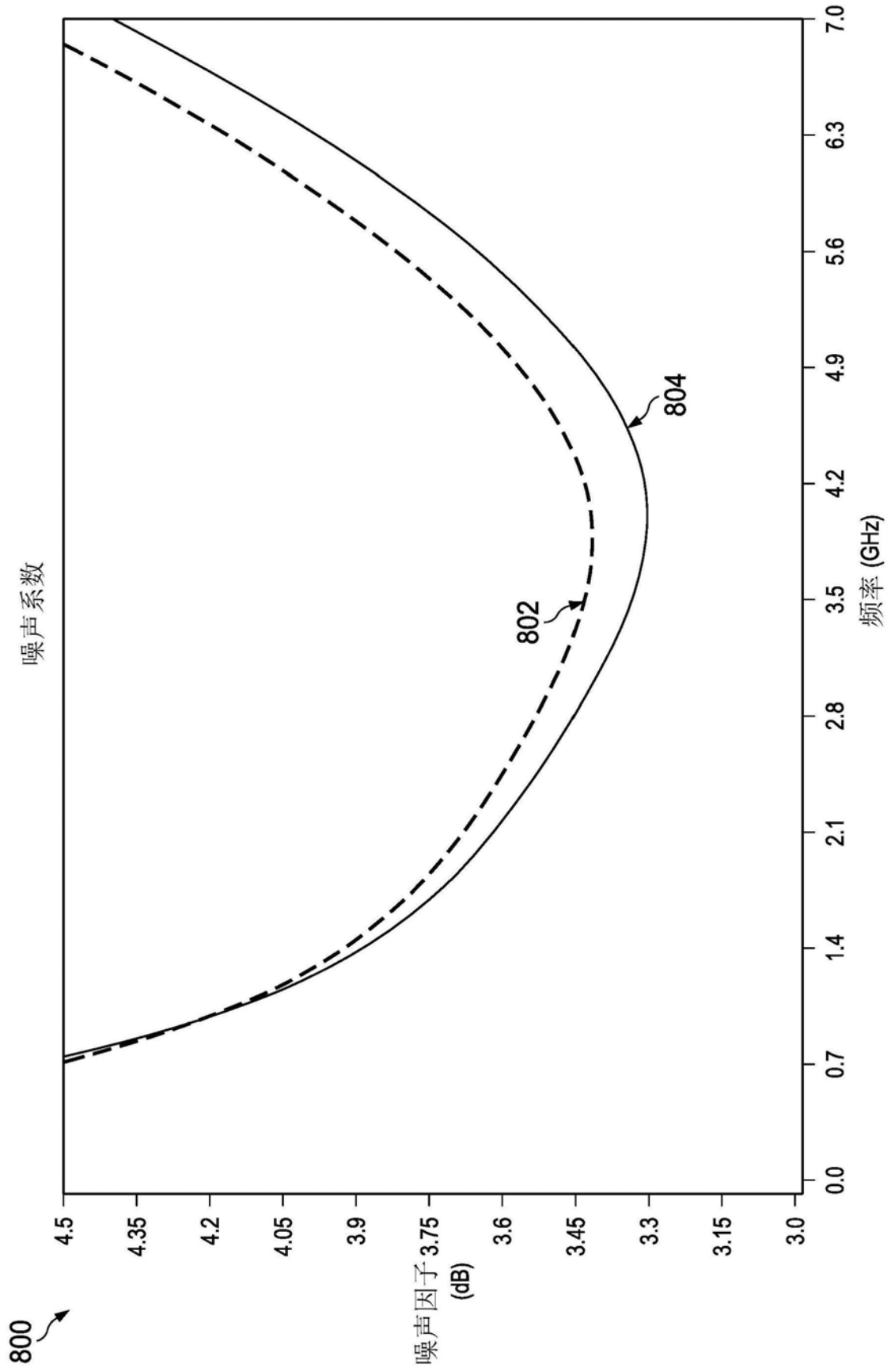


图8