I699897

(19)中華民國智慧財產局

(12)發明說明書公告本　**(11)證書號數：TW I699897 B**

(45)公告日： 中華民國 109 (2020) 年 07 月 21 日

(21)申請案號：109106100　(22)申請日： 中華民國 104 (2015) 年 11 月 13 日

(51)Int. Cl.：　*H01L29/786 (2006.01)*　*H01L29/788 (2006.01)*

(30)優先權：2014/11/21　日本　2014-236313

(71)申請人：日商半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY LABORATORY CO., LTD.　(JP)
日本

(72)發明人：田中哲弘 TANAKA, TETSUHIRO (JP) ；松林大介 MATSUBAYASHI, DAISUKE (JP) ；種村和幸 TANEMURA, KAZUKI (JP)

(74)代理人：林怡芳；童啓哲

(56)參考文獻：

JP　H06-224433A　JP　2013-247143A

審查人員：廖崑男

申請專利範圍項數：2 項　圖式數：36　共 146 頁

(54)名稱

半導體裝置

(57)摘要

本發明的目的是提供一種可靠性高且適合高速工作的半導體裝置。本發明的一個實施方式是一種半導體裝置，包括：第一導電體；第二導電體；第一絕緣體；第二絕緣體；第三絕緣體；半導體；以及電子俘獲層，半導體包括通道形成區域，電子俘獲層包括隔著第二絕緣體與通道形成區域相互重疊的區域，第一導電體包括隔著第一絕緣體與通道形成區域相互重疊的區域，第二導電體包括隔著第三絕緣體與電子俘獲層相互重疊的區域，第二導電體不包括與通道形成區域重疊的區域。

A semiconductor device includes a first conductor, a second conductor, a first insulator, a second insulator, a third insulator, a semiconductor, and an electron trap layer. The semiconductor includes a channel formation region. The electron trap layer overlaps with the channel formation region with the second insulator interposed therebetween. The first conductor overlaps with the channel formation region with the first insulator interposed therebetween. The second conductor overlaps with the electron trap layer with the third insulator interposed therebetween. The second conductor does not overlap with the channel formation region.

指定代表圖：

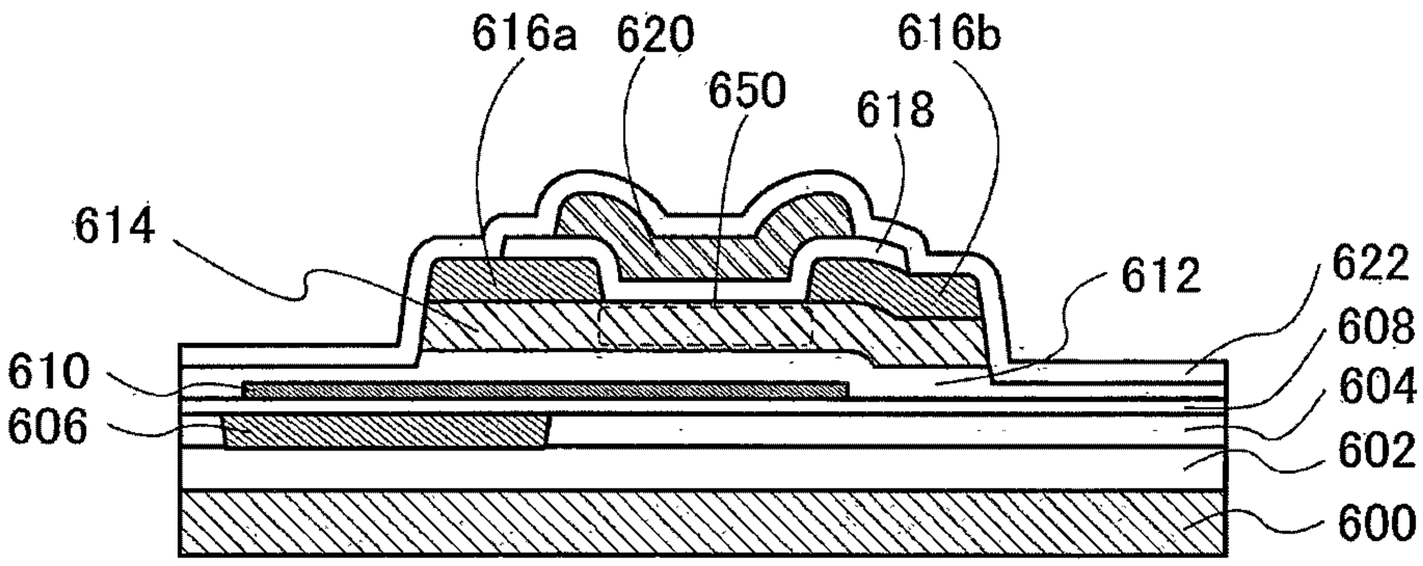

圖 5B

符號簡單說明：

600:基板

602:絕緣體

604:絕緣體

606:閘極電極

608:絕緣體

610:電子俘獲層

612:絕緣體

614:氧化物半導體

616a:源極電極

616b:汲極電極

618:閘極絕緣體

620:閘極電極

622:絕緣體

650:通道形成區域

I699897

發明摘要

【發明名稱】(中文/英文)

半導體裝置/SEMICONDUCTOR DEVICE

【中文】

本發明的目的是提供一種可靠性高且適合高速工作的半導體裝置。本發明的一個實施方式是一種半導體裝置，包括：第一導電體；第二導電體；第一絕緣體；第二絕緣體；第三絕緣體；半導體；以及電子俘獲層，半導體包括通道形成區域，電子俘獲層包括隔著第二絕緣體與通道形成區域相互重疊的區域，第一導電體包括隔著第一絕緣體與通道形成區域相互重疊的區域，第二導電體包括隔著第三絕緣體與電子俘獲層相互重疊的區域，第二導電體不包括與通道形成區域重疊的區域。

【英文】

A semiconductor device includes a first conductor, a second conductor, a first insulator, a second insulator, a third insulator, a semiconductor, and an electron trap layer. The semiconductor includes a channel formation region. The electron trap layer overlaps with the channel formation region with the second insulator interposed therebetween. The first conductor overlaps with the channel formation region with the first insulator interposed therebetween. The second conductor overlaps with the electron trap layer with the third insulator interposed therebetween. The second conductor does not overlap with the channel formation region.

【代表圖】

【本案指定代表圖】：圖5B。

【本代表圖之符號簡單說明】：

600　基板

602　絕緣體

604　絕緣體

606　閘極電極

608　絕緣體

610　電子俘獲層

612　絕緣體

614　氧化物半導體

616a　源極電極

616b　汲極電極

618　閘極絕緣體

620　閘極電極

622　絕緣體

650　通道形成區域

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：無

發明專利說明書

（本說明書格式、順序，請勿任意更動）

【發明名稱】（中文/英文）

半導體裝置/SEMICONDUCTOR DEVICE

【技術領域】

[0001]

本發明係關於一種物體、方法或製造方法。或者，本發明係關於一種製程（process）、機器（machine）、產品（manufacture）或組合物（composition of matter）。本發明的一個實施方式尤其係關於一種半導體裝置、顯示裝置、發光裝置、蓄電裝置、攝像裝置、記憶體裝置以及它們的驅動方法或製造方法。本發明的一個實施方式尤其係關於一種包含氧化物半導體的半導體裝置、顯示裝置或發光裝置。

[0002]

在本說明書等中，半導體裝置是指能夠利用半導體特性而工作的所有裝置。顯示裝置、發光裝置、照明設備、電光裝置、半導體電路以及電子裝置有時包括半導體裝置。

【先前技術】

[0003]

作為用於電晶體的半導體的矽，根據用途適當地使用非晶矽或多晶矽。例如，在構成大型顯示裝置的電晶體中，較佳為使用在大面積基板上進行成膜的技術已得到確立的非晶矽。另一方面，作為在同一基板上形成有驅動電路及像素部的高功能顯示裝置所包括的電晶體，較佳為使用可以製造場效移動率高的電晶體的多晶矽。作為多晶矽的形成方法，已知藉由

對非晶矽進行高溫的加熱處理或雷射處理來形成的方法。

[0004]

近年來，對使用氧化物半導體（典型的是 In-Ga-Zn 氧化物）的電晶體的開發十分積極。使用氧化物半導體的電晶體具有與使用非晶矽的電晶體及使用多晶矽的電晶體不同的特徵。例如，已知應用了使用氧化物半導體的電晶體的顯示裝置的功耗低。

[0005]

另外，已知使用氧化物半導體的電晶體在非導通狀態下洩漏電流極小。例如，應用了使用氧化物半導體的電晶體的洩漏電流小的特性的低功耗 CPU 等已被公開（參照專利文獻 1）。

[0006]

為了利用電源閘控降低功耗，使用氧化物半導體的電晶體較佳為具有常關閉的電特性。作為控制使用氧化物半導體的電晶體的臨界電壓而使該電晶體具有常關閉的電特性的方法之一，在與氧化物半導體重疊的區域配置浮動閘極，並對該浮動閘極注入固定負電荷的方法已被公開（參照專利文獻 2）。

[0007]

氧化物半導體可以利用濺射法等形成，所以可以被用於構成大型顯示裝置的電晶體。另外，使用氧化物半導體的電晶體具有高場效移動率，因而可以實現在同一基板上形成有驅動電路和像素部的高功能顯示裝置。此外，因為可以將使用非晶矽的電晶體或使用多晶矽的電晶體的生產設備的一部分改良而利用，所以還有可以抑制設備投資的優點。

[0008]

氧化物半導體自早期就已開始被研究，於 1985 年已有關於結晶 In-Ga-Zn 氧化物的合成的報告（參照非專利文獻 1）。另外，於 1995 年已有關於 In-Ga-Zn 氧化物形成同系結構且被表示為組成式 $InGaO_3(ZnO)_m$（m 為自然數）的報告（參照非專利文獻 2）。

[0009]

此外，於 1995 年發明了使用氧化物半導體的電晶體，並公開了其電特性（參照專利文獻 3）。

[0010]

另外，於 2014 年已有關於使用結晶氧化物半導體的電晶體的報告（參照非專利文獻 3 及非專利文獻 4）。在此，已有關於能夠大量生產且具有優異的電特性及高可靠性的包括 CAAC-OS（C-Axis Aligned Crystalline Oxide Semiconductor）的電晶體的報告。

[0011]

[專利文獻 1]日本專利申請公開第 2012-257187 號公報

[專利文獻 2]日本專利申請公開第 2013-247143 號公報

[專利文獻 3]日本 PCT 國際申請翻譯平 11-505377 號公報

[0012]

[非專利文獻 1]N. Kimizuka， and T. Mohri： Journal of Solid State Chemistry， 1985， volume 60， p.382-384

[非專利文獻 2]N. Kimizuka，M. Isobe，and M. Nakamura：Journal of Solid State Chemistry， 1995， volume 116， p.170-178

[非專利文獻 3]S. Yamazaki， T. Hirohashi， M. Takahashi， S. Adachi， M. Tsubuku， J. Koezuka， K. Okazaki， Y. Kanzaki， H. Matsukizono， S. Kaneko， S. Mori， and T. Matsuo： Journal of the Society for Information Display，2014, volume 22, Issue 1, p.55-p.67

[非專利文獻 4]S. Yamazaki， T. Atsumi， K. Dairiki， K. Okazaki， and N. Kimizuka： ECS Journal of Solid State Science and Technology， 2014， volume 3， Issue 9， p.Q3012-p.Q3022

【發明內容】

[0013]

本發明的一個實施方式的目的之一是提供一種包括關態電流（off-state current）小的電晶體的半導體裝置。另外，本發明的一個實施方式的目的之一是提供一種功耗低的半導體裝置。另外，本發明的一個實施方式的目的之一是提供一種微型的半導體裝置。另外，本發明的一個實施方式的目的之一是提供一種可靠性高的半導體裝置。另外，本發明的一個實施方式的目的之一是提供一種寫入速度快的半導體裝置。另外，本發明的一個實施方式的目的之一是提供一種讀出速度快的半導體裝置。另外，本發明的一個實施方式的目的之一是提供一種能夠長期間保持資料的半導體裝置。另外，本發明的一個實施方式的目的之一是提供一種新穎的半導體裝置。另外，本發明的一個實施方式的目的之一是提供一種對眼睛刺激少的顯示裝置。另外，本發明的一個實施方式的目的之一是提供一種包括透明半導體的半導體裝置。

[0014]

注意，這些目的的記載並不妨礙其他目的的存在。此外，本發明的一個實施方式並不需要實現所有上述目的。上述目的以外的目的從說明書、圖式、申請專利範圍等的描述中看來是顯而易見的，並且可以從該描述中抽取上述目的以外的目的。

[0015]

（1）本發明的一個實施方式是一種半導體裝置，其中，電晶體包括第一導電體、第二導電體、第一絕緣體、第二絕緣體、第三絕緣體、半導體以及電子俘獲層，半導體包括通道形成區域，電子俘獲層包括隔著第二絕緣體與通道形成區域相互重疊的區域，第一導電體包括隔著第一絕緣體與通道形成區域相互重疊的區域，第二導電體包括隔著第三絕緣體與電子俘獲層相互重疊的區域，第二導電體不包括與通道形成區域重疊的區域。

（2）本發明的另一個實施方式是一種半導體裝置，其中，電晶體包括第一導電體、第二導電體、第三導電體、第四導電體、第一絕緣體、第二絕緣體、第三絕緣體、半導體以及電子俘獲層，半導體包括與第三導電體接觸的第一區域、與第四導電體接觸的第二區域、配置在第一區域與第二區域之間的第三區域，電子俘獲層包括隔著第二絕緣體與第三區域相互重疊的區域，第一導電體包括隔著第一絕緣體與第三區域相互重疊的區域，第二導電體包括隔著第三絕緣體與電子俘獲層相互重疊的區域，第二導電體不包括與第三區域重疊的區域。

（3）另外，本發明的另一個實施方式是一種半導體裝置，其中，電晶體包括第一導電體、第二導電體、第三導電體、第四導電體、第一絕緣體、第二絕緣體、第三絕緣體、半導體以及電子俘獲層，半導體包括與第三導

電體接觸的第一區域、與第四導電體接觸的第二區域、配置在第一區域與第二區域之間的第三區域，電子俘獲層包括隔著第二絕緣體與第一區域及第三區域相互重疊的區域，第一導電體包括隔著第一絕緣體與第三區域相互重疊的區域，第二導電體包括隔著第三絕緣體與電子俘獲層相互重疊的區域，第二導電體包括與第一區域重疊的區域。

（4）本發明的另一個實施方式是（1）至（3）中的任一個所記載的半導體裝置，其中電子俘獲層包括導電體或半導體。

[0016]

本發明的一個實施方式能夠提供一種包括關態電流小的電晶體的半導體裝置等。或者，本發明的一個實施方式能夠提供一種功耗低的半導體裝置。或者，本發明的一個實施方式能夠提供一種微型的半導體裝置。或者，本發明的一個實施方式能夠提供一種可靠性高的半導體裝置。或者，本發明的一個實施方式能夠提供一種寫入速度快的半導體裝置。或者，本發明的一個實施方式能夠提供一種能夠長期間保持資料的半導體裝置。或者，本發明的一個實施方式能夠提供一種讀出速度快的半導體裝置。或者，本發明的一個實施方式能夠提供一種新穎的半導體裝置。或者，本發明的一個實施方式能夠提供一種對眼睛刺激少的顯示裝置。或者，本發明的一個實施方式能夠提供一種包括透明半導體的半導體裝置。

[0017]

注意，這些效果的記載並不妨礙其他效果的存在。此外，本發明的一個實施方式並不需要具有所有上述效果。上述效果以外的效果從說明書、圖式、申請專利範圍等的描述中看來是顯而易見的，並且可以從該描述中

抽取上述效果以外的效果。

【圖式簡單說明】

[0018]

在圖式中：

圖 1A 至圖 1C 是示出實施方式的半導體裝置的例子的圖；

圖 2 是示出實施方式的半導體裝置的例子的圖；

圖 3A 至圖 3D 是示出實施方式的半導體裝置的能帶圖的例子的圖；

圖 4A 及圖 4B 是示意性地示出實施方式的半導體裝置特性的圖以及使用半導體裝置的電路的例子的圖；

圖 5A 至圖 5C 是根據本發明的電晶體的俯視圖及剖面圖；

圖 6A 至圖 6C 是根據本發明的電晶體的俯視圖及剖面圖；

圖 7A 至圖 7C 是根據本發明的電晶體的剖面圖；

圖 8A 及圖 8B 是根據本發明的電晶體的剖面圖；

圖 9A 至圖 9C 是根據本發明的電晶體的剖面圖及能帶圖；

圖 10A 及圖 10B 是根據本發明的電晶體的剖面圖；

圖 11A 至圖 11C 是根據本發明的電晶體的俯視圖及剖面圖；

圖 12A 至圖 12C 是根據本發明的電晶體的俯視圖及剖面圖；

圖 13A 至圖 13C 是根據本發明的電晶體的俯視圖及剖面圖；

圖 14A 至圖 14C 是根據說明本發明的電晶體的製造方法的圖；

圖 15A 至圖 15C 是根據說明本發明的電晶體的製造方法的圖；

圖 16A 至圖 16D 是 CAAC-OS 的剖面的 Cs 校正高解析度 TEM 影像及 CAAC-OS 的剖面示意圖；

圖 17A 至圖 17D 是 CAAC-OS 的平面的 Cs 校正高解析度 TEM 影像；

圖 18A 至圖 18C 是說明藉由 XRD 得到的 CAAC-OS 以及單晶氧化物半導體的結構分析的圖；

圖 19A 及圖 19B 是示出 CAAC-OS 的電子繞射圖案的圖；

圖 20 是示出電子照射所引起的 In-Ga-Zn 氧化物的結晶部的變化的圖；

圖 21A 及圖 21B 是根據本發明的半導體裝置的電路圖及剖面圖；

圖 22 是根據本發明的半導體裝置的剖面圖；

圖 23A 及圖 23B 是示出根據本發明的半導體裝置的俯視圖；

圖 24A 及圖 24B 是示出根據本發明的半導體裝置的俯視圖及方塊圖；

圖 25A 及圖 25B 是示出根據本發明的半導體裝置的剖面圖；

圖 26 是示出根據本發明的半導體裝置的剖面圖；

圖 27 是示出根據本發明的半導體裝置的剖面圖；

圖 28A1、圖 28A2、圖 28A3、圖 28B1、圖 28B2 及圖 28B3 是示出根據本發明的半導體裝置的透視圖及剖面圖；

圖 29A 至圖 29C 是示出根據本發明的半導體裝置的電路圖、俯視圖及剖面圖；

圖 30A 及圖 30B 是示出根據本發明的半導體裝置的電路圖及剖面圖；

圖 31 是根據本發明的 RF 標籤的結構例子；

圖 32 是根據本發明的半導體裝置的方塊圖；

圖 33 是說明根據本發明的記憶體裝置的電路圖；

圖 34A 至圖 34C 是根據本發明的顯示裝置的俯視圖及電路圖；

圖 35A 至圖 35F 是示出根據本發明的電子裝置的例子的圖；

圖 36A 至圖 36F 是根據本發明的 RF 標籤的使用例子。

本發明的選擇圖為圖5A至圖5C。

【實施方式】

[0019]

參照圖式對實施方式進行詳細說明。注意，本發明不侷限於以下說明，所屬技術領域的普通技術人員可以很容易地理解一個事實就是其方式及詳細內容在不脫離本發明的精神及其範圍的情況下可以被變換為各種各樣的形式。因此，本發明不應該被解釋為僅限定於以下所示的實施方式的記載內容中。

[0020]

注意，在以下說明的發明的結構中，有時在不同的圖式中共同使用相同的元件符號來表示相同的部分或具有相同功能的部分，而省略其重複說明。另外，在表示具有相同功能的部分時有時使用相同的陰影線，而不特別附加元件符號。

[0021]

另外，電晶體的“源極”和“汲極”的功能在使用極性不同的電晶體的情況下或在電路工作中電流方向變化的情況等下，有時相互調換。因此，在本說明書中，“源極”和“汲極”可以相互調換。

[0022]

另外，在本說明書等中使用的“第一”、“第二”等序數詞是為了方便識別構成要素而附的，而不是為了在數目方面上進行限定的。

[0023]

注意，在本說明書所說明的各個圖式中，有時為了明確起見，誇大表示各構成要素的大小、層的厚度或區域。因此，本發明並不一定限定於該尺寸。

[0024]

電晶體是半導體元件的一種，可以進行電流或電壓的放大、控制導通或非導通的切換工作等。本說明書中的電晶體包括 IGFET（Insulated Gate Field Effect Transistor：絕緣閘場效電晶體）和薄膜電晶體（TFT：Thin Film Transistor）。

[0025]

注意，“膜”和“層”可以相互調換。例如，有時可以將“導電層”換稱為“導電膜”。或者，例如有時可以將“絕緣膜”換稱為“絕緣層”。

[0026]

另外，在本說明書中，在沒有特別的說明的情況下，關態電流是指電晶體處於關閉狀態（也稱為非導通狀態、遮斷狀態）的汲極電流。在沒有特別的說明的情況下，在 n 通道型電晶體中，關閉狀態是指閘極與源極間的電壓 Vgs 低於臨界電壓 Vth 的狀態，在 p 通道型電晶體中，關閉狀態是指閘極與源極間的電壓 Vgs 高於臨界電壓 Vth 的狀態。例如，n 通道型電晶體的關態電流有時是指閘極與源極間的電壓 Vgs 低於臨界電壓 Vth 時的汲極電流。

[0027]

電晶體的關態電流有時取決於 Vgs。因此，“電晶體的關態電流為 I 以下”有時指存在使電晶體的關態電流成為 I 以下的 Vgs 的值。電晶體的關態

電流有時是指預定的 Vgs 中的關閉狀態、預定的範圍內的 Vgs 中的關閉狀態或能夠獲得充分被降低的關態電流的 Vgs 中的關閉狀態等時的關態電流。

[0028]

作為一個例子，設想一種 n 通道型電晶體，該 n 通道型電晶體的臨界電壓 Vth 為 0.5V，Vgs 為 0.5V 時的汲極電流為 1×10^{-9}A，Vgs 為 0.1V 時的汲極電流為 1×10^{-13}A，Vgs 為-0.5V 時的汲極電流為 1×10^{-19}A，Vgs 為-0.8V 時的汲極電流為 1×10^{-22}A。在 Vgs 為-0.5V 時或在 Vgs 為-0.5V 至-0.8V 的範圍內，該電晶體的汲極電流為 1×10^{-19}A 以下，所以有時稱該電晶體的關態電流為 1×10^{-19}A 以下。由於存在該電晶體的汲極電流為 1×10^{-22}A 以下的 Vgs，因此有時稱該電晶體的關態電流為 1×10^{-22}A 以下。

[0029]

在本說明書中，有時以每通道寬度 W 的電流值表示具有通道寬度 W 的電晶體的關態電流。另外，有時以每預定的通道寬度（例如 1μm）的電流值表示具有通道寬度 W 的電晶體的關態電流。在為後者時，關態電流的單位有時以具有電流/長度的因次的單位（例如，A/μm）表示。

[0030]

電晶體的關態電流有時取決於溫度。在本說明書中，在沒有特別的說明的情況下，關態電流有時表示室溫、60℃、85℃、95℃或 125℃下的關態電流。或者，有時表示保證包括該電晶體的半導體裝置等的可靠性的溫度或者包括該電晶體的半導體裝置等被使用的溫度（例如，5℃至 35℃中的任一溫度）下的關態電流。“電晶體的關態電流為 I 以下”是指：在室溫、60℃、85℃、95℃、125℃、保證包括該電晶體的半導體裝置等的可靠性的溫

度或者包括該電晶體的半導體裝置等被使用的溫度（例如，5℃至35℃中的任一溫度）下，存在使電晶體的關態電流成為I以下的Vgs的值。

[0031]

電晶體的關態電流有時取決於汲極與源極間的電壓Vds。在本說明書中，在沒有特別的說明的情況下，關態電流有時表示Vds為0.1V、0.8V、1V、1.2V、1.8V、2.5V、3V、3.3V、10V、12V、16V或20V時的關態電流。或者，有時表示保證包括該電晶體的半導體裝置等的可靠性的Vds，或者，有時表示包括該電晶體的半導體裝置等所使用的Vds下的關態電流。“電晶體的關態電流為I以下”是指：在Vds為0.1V、0.8V、1V、1.2V、1.8V、2.5V、3V、3.3V、10V、12V、16V、20V、在保證包括該電晶體的半導體裝置等的可靠性的Vds或包括該電晶體的半導體裝置等所使用的Vds下，存在使電晶體的關態電流成為I以下的Vgs的值。

[0032]

在本說明書中，有時將關態電流記作洩漏電流。

[0033]

在本說明書中，關態電流例如有時指當電晶體處於關閉狀態時流在源極與汲極間的電流。

[0034]

在本說明書中，“平行”是指兩條直線形成的角度為-10°以上且10°以下的狀態。因此，也包括該角度為-5°以上且5°以下的狀態。另外，“大致平行”是指兩條直線形成的角度為-30°以上且30°以下的狀態。另外，“垂直”是指兩條直線形成的角度為80°以上且100°以下的狀態。因此，也包括

該角度為 85°以上且 95°以下的狀態。另外，“大致垂直”是指兩條直線形成的角度為 60°以上且 120°以下的狀態。

[0035]

另外，在本說明書中，六方晶系包括三方晶系和菱方晶系。

[0036]

實施方式 1

在本實施方式中，說明包括半導體、電子俘獲層及閘極電極的半導體裝置的結構、工作原理以及應用該半導體裝置的電路。圖 1A 示出包括半導體 101、電子俘獲層 102、閘極電極 103、閘極絕緣體 104 以及閘極電極 105 的半導體裝置。

[0037]

在此，作為電子俘獲層 102，例如可以採用如圖 1B 所示的絕緣體 102a 與絕緣體 102b 的疊層體。或者，也可以採用如圖 1C 所示的絕緣體 102a、絕緣體 102b 與絕緣體 102c 的疊層體。或者，還可以採用更多的絕緣體的疊層體。另外，如圖 2 所示，電子俘獲層 102 也可以包括絕緣體 102e 以及絕緣體 102e 中的被電絕緣的導電體 102d。絕緣體 102e 也可以由多個絕緣體形成。

[0038]

例如，圖 3A 示出圖 1B 所示的半導體裝置的從點 A 到點 B 的能帶圖的例子。在圖 3A 至圖 3D 中，Ec 表示導帶底的能量，Ev 表示價帶頂的能量。在圖 3A 中，閘極電極 103 的電位與源極電極或汲極電極（都未圖示）相同。

[0039]

在該例子中，絕緣體 102a 的能隙比絕緣體 102b 的能隙大。另外，在此絕緣體 102a 的電子親和力比絕緣體 102b 的電子親和力小，但是並不侷限於此。

[0040]

在絕緣體 102a 與絕緣體 102b 的介面或/及絕緣體 102b 的內部存在電子俘獲能階 106。圖 3B 示出閘極電極 103 的電位高於源極電極或汲極電極的情況。在此，閘極電極 103 的電位可以比源極電極或汲極電極高出 1V 以上。另外，閘極電極 103 的電位也可以比在結束該處理之後供應到閘極電極 105 的最高電位低。典型的是，該電位可以低於 4V。

[0041]

注意，此時閘極電極 105 的電位較佳為與源極電極或汲極電極相同。存在於半導體 101 中的電子 107 向具有更高電位的閘極電極 103 的方向上移動。從半導體 101 向閘極電極 103 的方向上移動的電子 107 中的一些被電子俘獲能階 106 俘獲。

[0042]

作為電子 107 越過絕緣體 102a 的能障而到達絕緣體 102b 的過程，可以推測出如下幾個過程。第一是由穿隧效應引起的過程。絕緣體 102a 越薄，穿隧效應則越明顯。但此時，被電子俘獲能階 106 俘獲的電子因穿隧效應而再次流失。

[0043]

此外，藉由對閘極電極 103 施加適當的電壓，即使在絕緣體 102a 較厚的情況下，也可以發生穿隧效應（Fowler-Nordheim（福勒諾德海姆）穿隧效

應）。當發生 Fowler-Nordheim 穿隧效應時，在閘極電極 103 與半導體 101 之間的電場變強時，穿隧電流會急劇增加。

[0044]

第二是電子 107 在絕緣體 102a 中的缺陷能階等能隙中的俘獲能階之間跳躍而到達絕緣體 102b 的過程。這是被稱為 Poole-Frenkel（普爾-夫倫克爾）傳導的傳導機制，在該機制中絕對溫度越高且俘獲能階越淺，導電性則越高。

[0045]

第三是電子 107 因熱激發而越過絕緣體 102a 的能障的過程。根據費米-狄拉克分佈（Fermi-Dirac distribution），在存在於半導體 101 中的電子的分佈中，一般而言，溫度越高能量高的電子的比率越高。例如，在具有比費米能階高出 3eV 的能量的電子的 300K（27℃）下的密度為 1 的情況下，450K（177℃）下的密度為 6×10^{16}，600K（327℃）下的密度為 1.5×10^{25}，750K（477℃）下的密度為 1.6×10^{30}。

[0046]

可以推測，電子 107 越過絕緣體 102a 的能障而向閘極電極 103 的移動是經過上述三個過程或它們組合的過程而發生的。尤其是，在第二過程及第三過程中，當溫度高時電流以指數函數的方式增加。

[0047]

另外，絕緣體 102a 的能障層的薄的部分（能量高的部分）的電子濃度越高，第一過程中的 Fowler-Nordheim 穿隧效應也越容易發生，所以溫度越高越好。

[0048]

在上述過程中發生的電流尤其在閘極電極 103 的電位低（5V 以下）的情況下大多非常微弱，但是藉由進行長時間的處理，可以使所需要的量的電子被電子俘獲能階 106 俘獲。其結果，電子俘獲層 102 帶負電。

[0049]

也就是說，藉由在更高的溫度（比半導體裝置的使用溫度或保管溫度高的溫度或者 125℃以上且 450℃以下，典型地為 150℃以上且 300℃以下）下保持閘極電極 103 的電位比源極或汲極的電位高的狀態 5 毫秒以上且不到 10 秒，典型地為 3 秒以上，所需要的量的電子從半導體 101 向閘極電極 103 移動，而其一部分被電子俘獲能階 106 俘獲。下面，將在俘獲電子的處理中使用的溫度稱為處理溫度。

[0050]

此時，被電子俘獲能階 106 俘獲的電子量可以由閘極電極 103 的電位控制。當相應量的電子被電子俘獲能階 106 俘獲時，閘極電極 103 的電場因其電荷而被遮擋，從而形成在半導體 101 中的通道消失。

[0051]

被電子俘獲能階 106 俘獲的電子的總量首先線性增加，但是其增加率逐漸下降，然後電子的總量收斂到一定值。該收斂的值依賴於閘極電極 103 的電位，有電位越高，被俘獲的電子的個數越增加的傾向，但是不會比電子俘獲能階 106 的總數多。

[0052]

需要使被電子俘獲能階 106 俘獲的電子不從電子俘獲層 102 流失。為

此，首先較佳為將絕緣體 102a 及絕緣體 102b 的厚度設定為穿隧效應不會成為問題的厚度。例如，物理厚度較佳為大於 1nm。

[0053]

典型地，將絕緣體 102a 的厚度設定為 10nm 以上且 20nm 以下，將絕緣體 102b 的等效氧化矽厚度設定為 10nm 以上且 25nm 以下。

[0054]

另外，藉由使半導體裝置的使用溫度或保管溫度充分地低，可以抑制被電子俘獲能階 106 俘獲的電子的流出。例如，半導體裝置的保管溫度為 120℃時的電子越過 3eV 的能障的概率低於處理溫度為 300℃時的十萬分之一。

[0055]

半導體 101 中的電洞的有效質量極大或者實質上定域化也是有效的。在此情況下，電洞不從半導體 101 注入到絕緣體 102a 及絕緣體 102b 中，因此，不會發生被電子俘獲能階 106 俘獲的電子與電洞再結合而消失的現象。

[0056]

另外，絕緣體 102b 也可以使用呈現 Poole-Frenkel 傳導的材料。如上所述，Poole-Frenkel 傳導是材料中的缺陷能階等之間的電子的跳躍傳導，缺陷能階多或缺陷能階深的材料具有充分低的導電性，因此可以長期間保持被電子俘獲能階 106 俘獲的電子。

[0057]

另外，也可以適當地設計電路或/及選擇材料以便不施加使絕緣體 102a 或/及絕緣體 102b 所俘獲的電子釋放的電壓。例如，在如 In-Ga-Zn 類氧化物

半導體那樣的電洞的有效質量極大或者實質上定域化的材料中，在閘極電極 103 的電位比源極電極或汲極電極高的情況下形成通道，而在比其低的情況下呈現與絕緣體同樣的特性。此時，閘極電極 103 與半導體 101 之間的電場變得極小，因此起因於 Fowler-Nordheim 穿隧效應或 Poole-Frenkel 傳導的電子傳導顯著減少。

[0058]

如圖 1C 所示，由三層的絕緣體形成電子俘獲層 102，並且使絕緣體 102c 的電子親和力比絕緣體 102b 的電子親和力小，使絕緣體 102c 的能隙比絕緣體 102b 的能隙大，由此可以有效地保持被絕緣體 102b 內部或與其他絕緣體之間的介面的電子俘獲能階俘獲的電子。

[0059]

在此情況下，即使絕緣體 102b 的厚度小，但只要絕緣體 102c 有充分的物理厚度，就可以保持被電子俘獲能階 106 俘獲的電子。絕緣體 102c 可以使用與絕緣體 102a 同樣的材料。另外，也可以使用其構成元素與絕緣體 102b 相同但電子俘獲能階充分少的材料。電子俘獲能階的個數（密度）會受到形成方法的影響。

[0060]

如圖 2 所示，在絕緣體 102e 中具有被電絕緣的導電體 102d 的情況下，也由於與上述同樣的原理，電子被導電體 102d 俘獲。在此，作為電子俘獲層使用導電體，但也可以使用半導體。在圖 3C 中，閘極電極 103 的電位與源極電極或汲極電極相同。

[0061]

圖 3D 示出閘極電極 103 的電位高於源極電極或汲極電極的情況。存在於半導體 101 中的電子 107 向具有更高電位的閘極電極 103 的方向上移動。從半導體 101 移動到閘極電極 103 的方向上的電子 107 中的一些被導電體 102d 俘獲。也就是說，在圖 2 所示的半導體裝置中，導電體 102d 具有與圖 1B 的半導體裝置中的電子俘獲能階 106 相同的功能。

[0062]

另外，當導電體 102d 的功函數大時，導電體 102d 與絕緣體 102e 之間的能障變高，所以可以抑制被電子俘獲能階 106 俘獲的電子流出。

[0063]

在上述結構中，絕緣體 102a、絕緣體 102b 及絕緣體 102c 都可以由多個絕緣體構成。另外，也可以由構成元素相同但形成方法不同的多個絕緣體構成。

[0064]

例如，當絕緣體 102a 和絕緣體 102b 的構成元素相同（例如，使用氧化鉿）時，可以利用 CVD 法或 ALD（原子層沉積：Atomic Layer Deposition）法形成絕緣體 102a，並利用濺射法形成絕緣體 102b。

[0065]

另外，CVD 法可以採用各種方法：熱 CVD 法、光 CVD 法、電漿 CVD 法、MOCVD（Metal Organic Chemical Vapor Deposition：金屬有機氣相沉積）法、LPCVD 法等。因此，多個絕緣體也可以利用不同的 CVD 法形成。

[0066]

一般而言，利用濺射法形成的絕緣體所含的缺陷比利用 CVD 法或 ALD

法形成的絕緣體多，因此俘獲電子的性質強。出於同樣的理由，當絕緣體102b 和絕緣體 102c 的構成元素相同時，可以利用濺射法形成絕緣體 102b，並利用 CVD 法或 ALD 法形成絕緣體 102c。

[0067]

另外，當絕緣體 102b 由構成元素相同的多個絕緣體構成時，可以利用濺射法形成其中一個並利用 CVD 法或 ALD 法形成另一個。

[0068]

如此，當電子俘獲層 102 俘獲電子時，如圖 4A 所示，半導體裝置的臨界電壓得到增高。尤其是，當半導體 101 使用能隙大的材料（寬能隙半導體）時，可以大幅度地減少閘極電極 103 及閘極電極 105 的電位為 0V 時的源極與汲極之間的電流。

[0069]

例如，藉由使用能隙為 3.2eV 的 In-Ga-Zn 氧化物半導體，閘極電極 103 及閘極電極 105 的電位為 0V 時的源極與汲極之間的電流密度（每通道寬度 1μm 的電流值）降低至 1zA/μm（1×10^{-21}A/μm）以下，典型地降低至 1yA/μm（1×10^{-24}A/μm）以下。

[0070]

圖 4A 示意性地示出電子俘獲層 102 俘獲電子之前以及之後的室溫下的源極電極與汲極電極之間的每通道寬度 1μm 的電流（Id/μm）的閘極電極 105 的電位（Vg）依賴性。注意，將源極電極及閘極電極 103 的電位設定為 0V，將汲極電極的電位設定為+1V。雖然難以直接測定小於 1fA 的電流，但是可以根據利用其他方法測定的值及 SS 值（次臨界擺幅值：Subthreshold Swing

value）等估計小於 1fA 的電流。

[0071]

如曲線 108 所示，半導體裝置的原來的臨界電壓為 Vth1，而在俘獲電子之後，臨界電壓增高（向正方向漂移）至 Vth2。其結果，Vg=0 時的電流密度為 1aA/μm（1×10^{-18}A/μm）以下，例如為 1yA/μm 以上且 1zA/μm 以下。

[0072]

例如，圖 4B 示出由電晶體 110 控制積累在電容元件 111 中的電荷的電路。在此，不考慮電容元件 111 的電極間的洩漏電流。電容元件 111 的電容為 1fF，電容元件 111 的電晶體 110 一側的電位為+1V，Vd 的電位為 0V。

[0073]

在電晶體 110 具有圖 4A 中的曲線 108 所示的 Id-Vg 特性，且通道寬度為 0.1μm 的情況下，閘極電極 103 及閘極電極 105 的電位為 0V 時的源極與汲極之間的電流密度大約為 1fA，電晶體 110 此時的電阻大約為 $1\times10^{15}\Omega$。因此，由電晶體 110 和電容元件 111 構成的電路的時間常數大約為 1 秒。這意味著經過 1 秒左右之後，積累在電容元件 111 中的大部分的電荷會消失。

[0074]

在電晶體 110 具有圖 4A 中的曲線 109 所示的 Id-Vg 特性，且通道寬度為 0.1μm 的情況下，閘極電極 103 及閘極電極 105 的電位為 0V 時的源極與汲極之間的電流密度大約為 1yA，電晶體 110 此時的電阻大約為 $1\times10^{24}\Omega$。因此，由電晶體 110 和電容元件 111 構成的電路的時間常數大約為 1×10^{9}秒（大約 31 年）。這意味著即使經過 10 年之後，積累在電容元件 111 中的電荷的三分之一也會殘留。

[0075]

也就是說，在由電晶體和電容元件構成的簡單結構的電路中，可以保持電荷 10 年。這可應用於各種記憶體裝置。

[0076]

實施方式 2

在本實施方式中，參照圖式對本發明的一個實施方式的電晶體的結構進行說明。

[0077]

圖 5A 至圖 5C 示出本發明的一個實施方式的電晶體的俯視圖及剖面圖。圖 5A 是俯視圖，圖 5B 是沿著圖 5A 所示的點劃線 A-B 的剖面，圖 5C 是沿著點劃線 C-D 的剖面。注意，在圖 5A 的俯視圖中，為了明確起見，省略一部分的構成要素。另外，有時將點劃線 A-B 的方向稱為通道長度方向，將點劃線 C-D 的方向稱為通道寬度方向。

[0078]

圖 5A 至圖 5C 所示的電晶體包括：基板 600 上的絕緣體 602；絕緣體 602 上的絕緣體 604；埋入絕緣體 604 中的閘極電極 606；絕緣體 604 及閘極電極 606 上的絕緣體 608；絕緣體 608 上的電子俘獲層 610；絕緣體 608 上及電子俘獲層 610 上的絕緣體 612；絕緣體 612 上的氧化物半導體 614；氧化物半導體 614 上的源極電極 616a 及汲極電極 616b；氧化物半導體 614、源極電極 616a 及汲極電極 616b 上的閘極絕緣體 618；在閘極絕緣體 618 上並與其接觸且與氧化物半導體 614 的頂面及側面面對的閘極電極 620；以及絕緣體 612、源極電極 616a、汲極電極 616b 及閘極電極 620 上的絕緣體 622。

[0079]

氧化物半導體 614 包括通道形成區域 650。通道形成區域 650 包括隔著絕緣體 612 與電子俘獲層 610 重疊的區域。閘極電極 606 包括隔著絕緣體 608 與電子俘獲層 610 重疊的區域，但不包括與通道形成區域 650 重疊的區域。

[0080]

如在實施方式 1 中說明的工作原理那樣，在本電晶體中，能夠藉由對閘極電極 606 施加電壓而對電子俘獲層 610 注入電子來控制電晶體的臨界電壓，但是並不因對閘極電極 606 施加電壓而使通道形成區域 650 以及與通道形成區域 650 重疊的閘極絕緣體 618 劣化。

[0081]

當閘極電極 606 和通道形成區域 650 具有相互重疊的區域時，藉由對閘極電極 606 施加電壓，可以使 Fowler-Nordheim 穿隧效應發生。在閘極電極 606 與通道形成區域 650 之間的電場變強時，因 Fowler-Nordheim 穿隧效應而產生的穿隧電流會急劇增加。因此，有可能通道形成區域 650 中的缺陷增加而電子陷阱也增加。並且，在與通道形成區域 650 重疊的閘極絕緣體 618 中，同樣地有可能因缺陷的增加而電子陷阱增加，由此可能會引起電晶體特性的不穩定及可靠性的下降。

[0082]

根據本發明，如圖 5B 所示，藉由不重疊地配置閘極電極 606 和通道形成區域 650，可以避免上述不良現象。下面進行說明。

[0083]

藉由使閘極電極 606 和電子俘獲層 610 具有相互重疊的區域，可以對閘極電極 606 施加電壓，而對電子俘獲層 610 注入電子。藉由使電子俘獲層 610 和通道形成區域 650 具有相互重疊的區域，可以根據對電子俘獲層 610 注入的電子量控制電晶體的臨界電壓。也就是說，藉由使閘極電極 606 和通道形成區域 650 不具有相互重疊的區域，可以避免上述不良現象，並控制電晶體的臨界電壓。

[0084]

在本發明中，作為電子俘獲層 610，使用（其中）被電子俘獲層 610 俘獲的電子能夠在電子俘獲層 610 中及電子俘獲層 610 與絕緣體 608 的介面移動的導電體或半導體等，由此可以控制電晶體的臨界電壓。作為導電體，可以使用鉭、鎢、鈦、鉬、鋁、銅、鉬鎢合金等。另外，也可以適當地組合不容易使氧透過的氮化鉭、氮化鎢、氮化鈦等作為多層膜。作為半導體，可以使用多晶矽、微晶矽、非結晶矽、氧化物半導體等。例如，可以使用與本電晶體中的氧化物半導體 614 相同的氧化物半導體。當作為電子俘獲層 610 使用氧化物半導體時，在絕緣體 612 包含過量氧的情況下，可以防止過量氧從絕緣體 612 向電子俘獲層 610 擴散，所以是較佳的。

[0085]

另外，如圖 6A 及圖 6B 所示，也可以使電子俘獲層 610 延伸到與汲極電極 616b 相互重疊的區域。或者，可以另外在汲極電極 616b 與電子俘獲層 610 相互重疊的區域也配置閘極電極 606b，如圖 6C 所示，還可以只在汲極電極 616b 與電子俘獲層 610 相互重疊的區域配置閘極電極 606。

[0086]

如圖 7A 及圖 7C 所示，閘極電極 606 和通道形成區域 650 不相互重疊的區域也可以是通道形成區域的大約一半。

[0087]

在圖 5A 至圖 5C 中，雖然示出閘極電極 606 和電子俘獲層 610 具有與源極電極 616a 相互重疊的區域的一個例子，但是閘極電極 606 和電子俘獲層 610 也可以具有與汲極電極 616b 相互重疊的區域（參照圖 7B 及圖 7C）。

[0088]

另外，如圖 8A 及圖 8B 所示，閘極電極 606 也可以不具有與源極電極 616a 或汲極電極 616b 重疊的區域。

[0089]

接下來，說明氧化物半導體 614 具有不同結構的電晶體。關於其他結構，參照上述內容。

[0090]

圖 9A 是與圖 5B 所示的電晶體同樣的通道長度方向上的剖面圖。另外，圖 9B 是與圖 5C 所示的電晶體同樣的通道寬度方向上的剖面圖。

[0091]

在圖 9A 及圖 9B 所示的電晶體的結構中，在絕緣體 612 與氧化物半導體 614 之間配置氧化物半導體 614a。另外，在絕緣體 612 與閘極絕緣體 618 之間、源極電極 616a 與閘極絕緣體 618 之間、汲極電極 616b 與閘極絕緣體 618 之間、氧化物半導體 614a 與閘極絕緣體 618 之間、氧化物半導體 614 與閘極絕緣體 618 之間配置氧化物半導體 614c。

[0092]

氧化物半導體 614 例如是包含銦的氧化物半導體。例如，在氧化物半導體 614 包含銦時，其載子移動率（電子移動率）得到提高。此外，氧化物半導體 614 較佳為包含元素 M。元素 M 較佳為鋁、鎵或錫等。作為可用作元素 M 的其他元素，有硼、矽、鈦、鐵、鎳、鍺、釔、鋯、鉬、鑭、鈰、釹、鉿、鉭、鎢等。注意，作為元素 M 有時也可以組合多個上述元素。元素 M 例如是與氧的鍵能高的元素。元素 M 例如是與氧的鍵能高於銦的元素。或者，元素 M 例如是具有增大氧化物半導體的能隙的功能的元素。此外，氧化物半導體 614 較佳為包含鋅。當氧化物半導體包含鋅時，有時容易晶化。

[0093]

注意，氧化物半導體 614 不侷限於包含銦的氧化物半導體。氧化物半導體 614 例如也可以是鋅錫氧化物或鎵錫氧化物等不包含銦且包含鋅、鎵或錫的氧化物半導體等。

[0094]

作為氧化物半導體 614 例如使用能隙大的氧化物。氧化物半導體 614 的能隙例如是 2.5eV 以上且 4.2eV 以下，較佳為 2.8eV 以上且 3.8eV 以下，更佳為 3eV 以上且 3.5eV 以下。

[0095]

例如，氧化物半導體 614a 及氧化物半導體 614c 是包含一種以上或兩種以上的構成氧化物半導體 614 的除了氧之外的元素的氧化物半導體。因為氧化物半導體 614a 及氧化物半導體 614c 包含一種以上或兩種以上構成氧化物半導體 614 的除了氧之外的元素，所以不容易在氧化物半導體 614a 與氧

化物半導體 614 的介面以及氧化物半導體 614 與氧化物半導體 614c 的介面處形成缺陷能階。

[0096]

氧化物半導體 614a、氧化物半導體 614 及氧化物半導體 614c 較佳為至少包含銦。另外，在氧化物半導體 614a 是 In-M-Zn 氧化物且 In 和 M 的總和為 100atomic%時，較佳的是：In 低於 50atomic%，M 高於 50atomic%，更佳的是：In 低於 25atomic%，M 高於 75atomic%。此外，在氧化物半導體 614 是 In-M-Zn 氧化物且 In 和 M 的總和為 100atomic%時，較佳的是：In 高於 25atomic%，M 低於 75atomic%，更佳的是：In 高於 34atomic%，M 低於 66atomic%。此外，在氧化物半導體 614c 是 In-M-Zn 氧化物且 In 和 M 的總和為 100atomic%時，較佳的是：In 低於 50atomic%，M 高於 50atomic%，更佳的是：In 低於 25atomic%，M 高於 75atomic%。另外，氧化物半導體 614c 也可以使用與氧化物半導體 614a 相同的種類的氧化物。注意，氧化物半導體 614a 或/及氧化物半導體 614c 有時也可以不包含銦。例如，氧化物半導體 614a 或/及氧化物半導體 614c 也可以是氧化鎵。注意，氧化物半導體 614a、氧化物半導體 614 及氧化物半導體 614c 所含的各元素的原子個數也可以不是簡單的整數比。

[0097]

作為氧化物半導體 614 使用其電子親和力大於氧化物半導體 614a 及氧化物半導體 614c 的氧化物。例如，作為氧化物半導體 614 使用：電子親和力比氧化物半導體 614a 及氧化物半導體 614c 大 0.07eV 以上且 1.3eV 以下，較佳為大 0.1eV 以上且 0.7eV 以下，更佳為大 0.15eV 以上且 0.4eV 以下的氧

化物。注意，電子親和力是真空能階和導帶底之間的能量差。

[0098]

注意，銦鎵氧化物的電子親和力小，其氧阻擋性高。因此，氧化物半導體 614c 較佳為包含銦鎵氧化物。鎵原子的比率[Ga/（In+Ga）]例如為 70%以上，較佳為 80%以上，更佳為 90%以上。

[0099]

此時，當施加閘極電壓時，通道形成在氧化物半導體 614a、氧化物半導體 614 和氧化物半導體 614c 當中的電子親和力最大的氧化物半導體 614 中。

[0100]

在此，有時在氧化物半導體 614a 與氧化物半導體 614 之間具有氧化物半導體 614a 和氧化物半導體 614 的混合區域。另外，有時在氧化物半導體 614 與氧化物半導體 614c 之間具有氧化物半導體 614 和氧化物半導體 614c 的混合區域。混合區域的缺陷態密度較低。因此，在氧化物半導體 614a、氧化物半導體 614 和氧化物半導體 614c 的疊層體的能帶圖中，各層之間的介面及介面附近的能量連續地變化（也稱為連續接合）（參照圖 9C）。注意，有時難以明確地分辨氧化物半導體 614a、氧化物半導體 614 及氧化物半導體 614c 的各個介面。

[0101]

此時，電子不在氧化物半導體 614a 及氧化物半導體 614c 中而主要在氧化物半導體 614 中移動。如上所述，藉由降低氧化物半導體 614a 與氧化物半導體 614 的介面處的缺陷態密度、氧化物半導體 614 與氧化物半導體 614c

的介面處的缺陷態密度，氧化物半導體 614 中的電子移動被妨礙的情況減少，從而可以提高電晶體的通態電流。

[0102]

越減少妨礙電子移動的原因，越能夠提高電晶體的通態電流。例如，在沒有妨礙電子移動的原因的情況下，估計電子會高效率地移動。例如，在通道形成區域中的物理性凹凸較大的情況下電子的移動也會被妨礙。

[0103]

為了提高電晶體的通態電流，例如，氧化物半導體 614 的頂面或底面（被形成面，在此為氧化物半導體 614a）的 1μm×1μm 的範圍內的均方根（RMS：Root Mean Square）粗糙度低於 1nm，較佳為低於 0.6nm，更佳為低於 0.5nm，進一步較佳為低於 0.4nm，即可。另外，其 1μm×1μm 的範圍內的平均表面粗糙度（也稱為 Ra）低於 1nm，較佳為低於 0.6nm，更佳為低於 0.5nm，進一步較佳為低於 0.4nm，即可。其 1μm×1μm 的範圍內的最大高低差（也稱為 P-V）低於 10nm，較佳為低於 9nm，更佳為低於 8nm，進一步較佳為低於 7nm。RMS 粗糙度、Ra 以及 P-V 可以藉由使用由精工電子奈米科技（SII Nano Technology）有限公司製造的掃描探針顯微鏡 SPA-500 等測定。

[0104]

或者，例如，在形成有通道的區域中的缺陷態密度高的情況下也電子移動會被妨礙。

[0105]

例如，在氧化物半導體 614 具有氧缺陷（也記為“V_O”）的情況下，

有時因為氫進入該氧缺陷位點而形成施體能階。下面，有時將氫進入該氧缺陷位點的狀態記為“VoH”。由於 VoH 使電子散射，所以會成為降低電晶體的通態電流的原因。另外，氧缺陷位點會在氧進入的情況比氫進入的情況下更加穩定。因此，藉由降低氧化物半導體 614 中的氧缺陷，有時能夠提高電晶體的通態電流。

[0106]

另外，在形成有通道的區域中的缺陷態密度高時，有時會使電晶體的電特性變動。例如，當缺陷能階成為載子發生源時，有時會使電晶體的臨界電壓變動。

[0107]

為了減少氧化物半導體 614 的氧缺陷，例如採用將包含於絕緣體 612 中的過量氧經過氧化物半導體 614a 移動到氧化物半導體 614 的方法等。此時，氧化物半導體 614a 較佳為具有氧透過性的層（使氧經過或透過的層）。

[0108]

此外，為了提高電晶體的通態電流，氧化物半導體 614c 的厚度越小越佳。例如，氧化物半導體 614c 具有其厚度小於 10nm，較佳為 5nm 以下，更佳為 3nm 以下的區域即可。另一方面，氧化物半導體 614c 能夠阻擋構成相鄰的絕緣體的氧之外的元素（氫、矽等）侵入形成有通道的氧化物半導體 614 中。因此，氧化物半導體 614c 較佳為具有一定程度的厚度。例如，氧化物半導體 614c 具有其厚度為 0.3nm 以上，較佳為 1nm 以上，更佳為 2nm 以上的區域即可。另外，為了抑制從絕緣體 612 等釋放的氧向外擴散，氧化物半導體 614c 較佳為具有阻擋氧的性質。

[0109]

此外，為了提高可靠性，較佳為使氧化物半導體 614a 變厚並使氧化物半導體 614c 變薄。例如，氧化物半導體 614a 具有其厚度例如為 10nm 以上，較佳為 20nm 以上，更佳為 40nm 以上，進一步較佳為 60nm 以上的區域即可。藉由將氧化物半導體 614a 形成得厚，可以拉開從相鄰的絕緣體和氧化物半導體 614a 的介面到形成有通道的氧化物半導體 614 的距離。注意，因為半導體裝置的生產率可能會下降，所以氧化物半導體 614a 具有其厚度例如為 200nm 以下，較佳為 120nm 以下，更佳為 80nm 以下的區域即可。

[0110]

例如在氧化物半導體 614 與氧化物半導體 614a 之間具有藉由二次離子質譜分析法（SIMS：Secondary Ion Mass Spectrometry）得到的矽濃度為 1×10^{16}atoms/cm^3 以上且 1×10^{19}atoms/cm^3 以下，較佳為 1×10^{16}atoms/cm^3 以上且 5×10^{18}atoms/cm^3 以下，更佳為 1×10^{16}atoms/cm^3 以上且 2×10^{18}atoms/cm^3 以下的區域。此外，在氧化物半導體 614 與氧化物半導體 614c 之間具有藉由 SIMS 得到的矽濃度為 1×10^{16}atoms/cm^3 以上且 1×10^{19}atoms/cm^3 以下，較佳為 1×10^{16}atoms/cm^3 以上且 5×10^{18}atoms/cm^3 以下，更佳為 1×10^{16}atoms/cm^3 以上且 2×10^{18}atoms/cm^3 以下的區域。

[0111]

此外，為了降低氧化物半導體 614 的氫濃度，較佳為降低氧化物半導體 614a 及氧化物半導體 614c 的氫濃度。氧化物半導體 614a 及氧化物半導體 614c 具有藉由 SIMS 得到的氫濃度為 1×10^{16}atoms/cm^3 以上且 2×10^{20}atoms/cm^3 以下，較佳為 1×10^{16}atoms/cm^3 以上且 5×10^{19}atoms/cm^3 以下，更

佳為 1×10^{16}atoms/cm^3 以上且 1×10^{19}atoms/cm^3 以下，進一步較佳為 1×10^{16}atoms/cm^3 以上且 5×10^{18}atoms/cm^3 以下的區域。此外，為了降低氧化物半導體 614 的氮濃度，較佳為降低氧化物半導體 614a 及氧化物半導體 614c 的氮濃度。氧化物半導體 614a 及氧化物半導體 614c 具有藉由 SIMS 得到的氮濃度為 1×10^{15}atoms/cm^3 以上且 5×10^{19}atoms/cm^3 以下，較佳為 1×10^{15}atoms/cm^3 以上且 5×10^{18}atoms/cm^3 以下，更佳為 1×10^{15}atoms/cm^3 以上且 1×10^{18}atoms/cm^3 以下，進一步較佳為 1×10^{15}atoms/cm^3 以上且 5×10^{17}atoms/cm^3 以下的區域。

[0112]

上述三層結構是一個例子。例如，也可以採用氧化物半導體 614 與氧化物半導體 614a 的雙層結構或氧化物半導體 614 與氧化物半導體 614c 的雙層結構。或者，也可以採用在氧化物半導體 614a 上或下、或者在氧化物半導體 614c 上或下設置作為氧化物半導體 614a、氧化物半導體 614 和氧化物半導體 614c 例示的半導體中的任何一個半導體的四層結構。或者，也可以採用在氧化物半導體 614a 上、氧化物半導體 614a 下、氧化物半導體 614c 上、氧化物半導體 614c 下中的任何兩個以上的位置設置作為氧化物半導體 614a、氧化物半導體 614 和氧化物半導體 614c 例示的半導體中的任何一個半導體的 n 層結構（n 為 5 以上的整數）。

[0113]

在此，參照圖 10A 及圖 10B 說明與圖 9A 及圖 9B 所示的電晶體不同的結構。關於其他結構，參照上述內容。

[0114]

圖 10A 及圖 10B 所示的電晶體與圖 9A 及圖 9B 所示的電晶體的結構的

不同之處在於：在圖 10A 及圖 10B 中，絕緣體 612 不具有被蝕刻而變薄的區域。藉由將氧化物半導體 614a 也殘留於不與氧化物半導體 614 重疊的區域，可以防止絕緣體 612 變薄。在對閘極電極 606 施加電壓，而對電子俘獲層 610 注入電子時，若絕緣體 612 的膜厚變薄，則有可能導致絕緣體 612 的靜電破壞或電子陷阱等的不良現象。藉由如本發明所述那樣防止絕緣體 612 變薄，可以避免上述不良現象。雖然未圖示，但是在形成閘極電極 620 後，與閘極絕緣體 618 及氧化物半導體 614c 一起去除殘留的氧化物半導體 614a 的不需要的部分。由此，可以實現與上述圖 9A 及圖 9B 所示的使用三層氧化物半導體的電晶體同樣的特性。

[0115]

接著，參照圖 11A 至圖 11C 說明與圖 5A 至圖 5C 所示的電晶體不同的結構。關於其他結構，參照上述內容。

[0116]

圖 11A 是俯視圖，圖 11B 為沿著圖 11A 所示的點劃線 A-B 的剖面，圖 11C 為沿著點劃線 C-D 的剖面。注意，在圖 11A 的俯視圖中，為了明確起見，省略一部分的構成要素。另外，有時將點劃線 A-B 的方向稱為通道長度方向，將點劃線 C-D 的方向稱為通道寬度方向。

[0117]

圖 11A 及圖 11B 所示的電晶體與圖 5A 至圖 5C 所示的電晶體的不同之處在於：圖 11A 及圖 11B 所示的電晶體不具有閘極電極 620 與源極電極 616a 或汲極電極 616b 相互重疊的區域。

[0118]

藉由使電晶體不具有閘極電極 620 與源極電極 616a 或汲極電極 616b 相互重疊的區域，不存在閘極電極 620 與源極電極 616a 或汲極電極 616b 之間的寄生電容，因此電晶體可以進行高速工作，所以是較佳的。還可以防止閘極電極 620 與源極電極 616a 或汲極電極 616b 之間的電流洩漏。

[0119]

接下來，參照圖 12A 至圖 12C 說明電子俘獲層 610 的配置與圖 11A 至圖 11C 所示的電晶體不同的電晶體。圖 12A 為俯視圖，圖 12B 為沿著圖 12A 所示的點劃線 A-B 的剖面，圖 12C 為沿著點劃線 C-D 的剖面。注意，在圖 12A 的俯視圖中，為了明確起見，省略一部分的構成要素。另外，有時將點劃線 A-B 的方向稱為通道長度方向，將點劃線 C-D 的方向稱為通道寬度方向。

[0120]

圖 12A 及圖 12B 所示的電晶體與圖 11A 至圖 11C 所示的電晶體的相同之處在於：電子俘獲層 610 和閘極電極 620 具有相互重疊的區域，而不同之處在於：在圖 12A 及圖 12B 所示的電晶體中，閘極電極 620 的端部與電子俘獲層 610 的端部的位置一致。

[0121]

與圖 11A 至圖 11C 所示的電晶體同樣地，藉由使電晶體不具有閘極電極 620 與源極電極 616a 或汲極電極 616b 相互重疊的區域，不存在閘極電極 620 與源極電極 616a 或汲極電極 616b 之間的寄生電容，因此電晶體可以進行高速工作，所以是較佳的。還可以防止閘極電極 620 與源極電極 616a 或汲極電極 616b 之間的電流洩漏。

[0122]

接著，參照圖 13A 至圖 13C 說明與圖 5A 至圖 5C 所示的電晶體不同的結構。圖 13A 為俯視圖，圖 13B 為沿著圖 13A 所示的點劃線 A-B 的剖面，圖 13C 為沿著點劃線 C-D 的剖面。注意，在圖 13A 的俯視圖中，為了明確起見，省略一部分的構成要素。另外，有時將點劃線 A-B 的方向稱為通道長度方向，將點劃線 C-D 的方向稱為通道寬度方向。

[0123]

圖 13A 至圖 13C 所示的電晶體包括：基板 600 上的絕緣體 602；絕緣體 602 上的絕緣體 604；埋入絕緣體 604 中的閘極電極 606；絕緣體 604 及閘極電極 606 上的絕緣體 612；絕緣體 612 上的氧化物半導體 614；氧化物半導體 614 上的源極電極 616a 及汲極電極 616b；絕緣體 612、氧化物半導體 614、源極電極 616a 及汲極電極 616b 上的閘極絕緣體 618；閘極絕緣體 618 上的電子俘獲層 610；電子俘獲層 610 及閘極絕緣體 618 上的絕緣體 608；絕緣體 608 上的閘極電極 620；以及閘極電極 620 及絕緣體 608 上的絕緣體 622。

[0124]

氧化物半導體 614 包括通道形成區域 650。通道形成區域 650 包括隔著閘極絕緣體 618 與電子俘獲層 610 重疊的區域。閘極電極 620 包括隔著絕緣體 608 與電子俘獲層 610 重疊的區域，但不包括與通道形成區域 650 重疊的區域。

[0125]

圖 13A 至圖 13C 所示的電晶體與圖 5A 至圖 5C 所示的電晶體的不同之處在於：在圖 13A 至圖 13C 所示的電晶體中，為了對電子俘獲層 610 注入

電子而對閘極電極 620 施加電壓。能夠藉由對閘極電極 620 施加電壓而對電子俘獲層 610 注入電子來控制電晶體的臨界電壓，但是並不因對閘極電極 620 施加電壓而使通道形成區域 650 以及與通道形成區域 650 重疊的閘極絕緣體 618 劣化。

[0126]

關於本電晶體的工作原理，參照實施方式 1 及圖 5A 至圖 5C 所示的電晶體的說明。

[0127]

在本實施方式中，描述本發明的一個實施方式。或者，在其他實施方式中，描述本發明的一個實施方式。注意，本發明的一個實施方式並不侷限於此。換而言之，在本實施方式及其他實施方式中，記載有各種各樣的發明的方式，因此本發明的一個實施方式不侷限於特定的方式。例如，作為本發明的一個實施方式，雖然示出電晶體的通道形成區域包括氧化物半導體的情況的例子或者電晶體包括氧化物半導體 614 等的氧化物半導體的情況的例子等，但是本發明的一個實施方式並不侷限於此。本發明的一個實施方式中的各種各樣的電晶體可以包括各種各樣的半導體。本發明的一個實施方式中的各種各樣的電晶體例如也可以包括矽、鍺、矽鍺、碳化矽、砷化鎵、砷化鋁鎵、銦磷、氮化鎵和有機半導體等中的至少一個。或者，例如本發明的一個實施方式中的各種各樣的電晶體也可以不包括氧化物半導體。

[0128]

注意，本實施方式可以與本說明書所示的其他實施方式適當地組合。

[0129]

實施方式 3

在本實施方式中，參照圖 14A 至圖 15C 說明在實施方式 2 中說明的圖 5A 至圖 5C 所示的電晶體的製造方法。

[0130]

在圖 14A 至圖 15C 的左側示出沿著圖 5A 所示的點劃線 A-B 的剖面，在圖 14A 至圖 15C 的右側示出沿著點劃線 C-D 的剖面。

[0131]

在基板 600 上形成絕緣體 602。作為基板 600，例如可以使用包括矽或鍺等的單一材料半導體基板、或者包括碳化矽、矽鍺、砷化鎵、磷化銦、氧化鋅或氧化鎵等的化合物半導體基板等。或者，也可以使用石英或玻璃等的絕緣體基板。作為絕緣體 602，可以使用氧化矽膜、氧氮化矽膜、氮氧化矽膜、氮化矽膜、氧化鋁膜、氮化鋁膜或氧化鉿膜等。作為成膜方法，可以使用熱氧化法、CVD 法、濺射法、ALD 法、電漿氧化法或電漿氮化法等。

[0132]

在絕緣體 602 上形成絕緣體 604，在絕緣體 604 的一部分形成開口部，並將閘極電極 606 埋入開口部（參照圖 14A）中。利用光微影法形成光阻遮罩，並利用乾蝕刻法去除絕緣體的不需要的部分，由此形成絕緣體 604 的開口部。絕緣體 604 可以使用與上述絕緣體 602 同樣的膜及同樣的成膜方法形成。閘極電極 606 利用濺射法、CVD 法、MBE 法或 PLD 法、ALD 法、電鍍法等形成即可。另外，作為閘極電極 606，可以使用鉭、鎢、鈦、鉬、鋁、

銅、鉬鎢合金等。或者，也可以適當地組合氮化鉭、氮化鎢、氮化鈦等作為多層膜。作為將閘極電極 606 埋入開口部中的方法，可以使用化學機械拋光（Chemical Mechanical Polishing：CMP）即可（參照圖 14A）。

[0133]

接著，在閘極電極 606 及絕緣體 604 上形成絕緣體 608。絕緣體 608 可以使用與上述絕緣體 602 同樣的膜及同樣的成膜方法形成。接著，在絕緣體 608 上形成將成為電子俘獲層 610 的導電體或半導體。然後，利用光微影法在將成為電子俘獲層 610 的導電體或半導體上以具有與閘極電極 606 相互重疊的區域的方式形成光阻遮罩，並利用乾蝕刻法去除導電體或半導體的不需要的部分，由此形成電子俘獲層 610。接著，在電子俘獲層 610 及絕緣體 608 上形成絕緣體 612（參照圖 14B）。

[0134]

作為電子俘獲層 610 可以使用導電體或半導體。導電體可以利用濺射法、CVD 法、MBE 法、PLD 法或 ALD 法等形成。另外，作為導電體，可以使用鉭、鎢、鈦、鉬、鋁、銅、鉬鎢合金等。另外，也可以適當地組合不容易使氧透過的氮化鉭、氮化鎢、氮化鈦等作為多層膜。半導體可以利用濺射法、CVD 法、MBE 法、PLD 法或 ALD 法等形成。另外，作為半導體可以使用多晶矽、微晶矽、非結晶矽、氧化物半導體等。

[0135]

絕緣體 612 可以使用與上述絕緣體 602 同樣的膜及同樣的成膜方法形成。或者，也可以使用含有過量氧的絕緣體。

[0136]

接著，在絕緣體 612 上形成氧化物半導體 613，並進行加熱處理（參照圖 14C）。氧化物半導體 613 可以利用濺射法、CVD 法、MBE 法、PLD 法或 ALD 法等形成。加熱處理可以在 250℃以上且 650℃以下，較佳為 300℃以上且 500℃以下進行。加熱處理在惰性氣體氛圍或者包含 10ppm 以上、1%以上或 10%以上的氧化性氣體的氛圍下進行。加熱處理也可以在減壓狀態下進行。或者，也可以以如下方法進行加熱處理：在惰性氣體氛圍下進行加熱處理之後，為了填補脫離了的氧而在包含 10ppm 以上、1%以上或 10%以上的氧化性氣體的氛圍下進行另一個加熱處理。加熱處理可以提高氧化物半導體 613 的結晶性或去除氫、水等雜質等。

[0137]

在氧化物半導體 613 上形成導電體，利用光微影法在氧化物半導體 613 上的將成為通道形成區域的部分形成光阻劑圖案，並利用乾蝕刻法去除導電體，由此形成導電體 615（參照圖 15A）。導電體 615 可以使用與上述閘極電極 606 同樣的膜及同樣的成膜方法形成。

[0138]

接著，利用光微影法在導電體 615 及氧化物半導體 613 上形成光阻劑圖案，並利用乾蝕刻法去除氧化物半導體 613 的不需要的部分，由此形成島狀的氧化物半導體 614。同時形成源極電極 616a 及汲極電極 616b（參照圖 15B）。

[0139]

接著，在絕緣體 612、源極電極 616a、汲極電極 616b 及氧化物半導體 614 上形成閘極絕緣體 618。閘極絕緣體 618 可以使用與上述絕緣體 602 同

樣的膜及同樣的成膜方法形成。

[0140]

在閘極絕緣體 618 上形成閘極電極 620。閘極電極 620 可以使用與上述閘極電極 606 同樣的膜及同樣的成膜方法形成。在閘極絕緣體 618 上形成將成為閘極電極 620 的導電體，利用光微影法在該導電體上形成光阻遮罩，並利用乾蝕刻法去除該導電體的不需要的部分，由此形成閘極電極 620。接著，在閘極電極 620 上及閘極絕緣體 618 上利用光微影法形成光阻遮罩，並利用乾蝕刻法去除閘極絕緣體 618 的不需要的部分。或者，也可以不去除閘極絕緣體 618。

[0141]

接著，在絕緣體 612、源極電極 616a、汲極電極 616b、閘極絕緣體 618 及閘極電極 620 上形成絕緣體 622（參照圖 15C）。絕緣體 622 可以使用與上述絕緣體 602 同樣的膜及同樣的成膜方法形成，但是尤其較佳為使用不容易使氧或氫透過的氧化鋁膜等。

[0142]

藉由上述製造方法可以製造實施方式 1 的電晶體。

[0143]

實施方式 4

在本實施方式中，對氧化物半導體的結構進行說明。

[0144]

氧化物半導體被分為單晶氧化物半導體和非單晶氧化物半導體。作為非單晶氧化物半導體有 CAAC-OS（C-Axis Aligned Crystalline Oxide

Semiconductor：c 軸配向結晶氧化物半導體）、多晶氧化物半導體、nc-OS（nanocrystalline Oxide Semiconductor：奈米晶氧化物半導體）、a-like OS（amorphous like Oxide Semiconductor）以及非晶氧化物半導體等。

[0145]

從其他觀點看來，氧化物半導體被分為非晶氧化物半導體和結晶氧化物半導體。作為結晶氧化物半導體有單晶氧化物半導體、CAAC-OS、多晶氧化物半導體以及 nc-OS 等。

[0146]

作為非晶結構的定義，一般而言，已知：它處於亞穩態並沒有被固定化，具有各向同性而不具有不均勻結構等。也可以換句話說為非晶結構的鍵角不固定，具有短程有序而不具有長程有序。

[0147]

從相反的觀點來看，不能將本質上穩定的氧化物半導體稱為完全非晶（completely amorphous）氧化物半導體。另外，不能將不具有各向同性（例如，在微小區域中具有週期結構）的氧化物半導體稱為完全非晶氧化物半導體。注意，a-like OS 在微小區域中具有週期結構，但是同時具有空洞（也稱為 void），並具有不穩定結構。因此，a-like OS 在物性上近乎於非晶氧化物半導體。

[0148]

首先，對 CAAC-OS 進行說明。

[0149]

CAAC-OS 是包含多個 c 軸配向的結晶部（也稱為顆粒）的氧化物半導

體之一。

[0150]

在利用穿透式電子顯微鏡（TEM：Transmission Electron Microscope）觀察所得到的 CAAC-OS 的明視野影像與繞射圖案的複合分析影像（也稱為高解析度 TEM 影像）中，觀察到多個顆粒。然而，在高解析度 TEM 影像中，難以觀察到顆粒與顆粒之間的明確的邊界，亦即晶界（grain boundary）。因此，可以說在 CAAC-OS 中，不容易發生起因於晶界的電子移動率的降低。

[0151]

下面，對利用 TEM 觀察的 CAAC-OS 進行說明。圖 16A 示出從大致平行於樣本面的方向觀察所得到的 CAAC-OS 的剖面的高解析度 TEM 影像。利用球面像差校正（Spherical Aberration Corrector）功能得到高解析度 TEM 影像。將利用球面像差校正功能所得到的高解析度 TEM 影像特別稱為 Cs 校正高解析度 TEM 影像。例如可以使用日本電子株式會社製造的原子解析度分析型電子顯微鏡 JEM-ARM200F 等得到 Cs 校正高解析度 TEM 影像。

[0152]

圖 16B 示出將圖 16A 中的區域(1)放大的 Cs 校正高解析度 TEM 影像。由圖 16B 可以確認到在顆粒中金屬原子排列為層狀。各金屬原子層具有反映了形成 CAAC-OS 膜的面（也稱為被形成面）或 CAAC-OS 的頂面的凸凹的配置並以平行於 CAAC-OS 的被形成面或頂面的方式排列。

[0153]

如圖 16B 所示，CAAC-OS 具有特有的原子排列。圖 16C 是以輔助線示出特有的原子排列的圖。由圖 16B 和圖 16C 可知，一個顆粒的尺寸為 1nm

以上且 3nm 以下左右，因顆粒與顆粒之間的傾斜產生的空隙的尺寸為 0.8nm 左右。因此，也可以將顆粒稱為奈米晶（nc：nanocrystal）。注意，也可以將 CAAC-OS 稱為具有 CANC（C-Axis Aligned nanocrystals：c 軸配向奈米晶）的氧化物半導體。

[0154]

在此，根據 Cs 校正高解析度 TEM 影像，將基板 5120 上的 CAAC-OS 的顆粒 5100 的配置示意性地表示為沉積磚塊或塊體的結構（參照圖 16D）。在圖 16C 中觀察到的在顆粒與顆粒之間產生傾斜的部分相當於圖 16D 所示的區域 5161。

[0155]

圖 17A 示出從大致垂直於樣本面的方向觀察所得到的 CAAC-OS 的平面的 Cs 校正高解析度 TEM 影像。圖 17B、圖 17C 和圖 17D 分別示出將圖 17A 中的區域（1）、區域（2）和區域（3）放大的 Cs 校正高解析度 TEM 影像。由圖 17B、圖 17C 和圖 17D 可知在顆粒中金屬原子排列為三角形狀、四角形狀或六角形狀。但是，在不同的顆粒之間金屬原子的排列沒有規律性。

[0156]

接著，說明使用 X 射線繞射（XRD：X-Ray Diffraction）裝置進行分析的 CAAC-OS。例如，當利用 out-of-plane 法分析包含 $InGaZnO_4$ 結晶的 CAAC-OS 的結構時，如圖 18A 所示，在繞射角（2θ）為 31°附近時常出現峰值。由於該峰值來源於 $InGaZnO_4$ 結晶的（009）面，由此可知 CAAC-OS 中的結晶具有 c 軸配向性，並且 c 軸朝向大致垂直於被形成面或頂面的方向。

[0157]

注意，當利用 out-of-plane 法分析 CAAC-OS 的結構時，除了 2θ為 31°附近的峰值以外，有時在 2θ為 36°附近時也出現峰值。2θ為 36°附近的峰值表示 CAAC-OS 中的一部分包含不具有 c 軸配向性的結晶。較佳的是，在利用 out-of-plane 法分析的 CAAC-OS 的結構中，在 2θ為 31°附近時出現峰值而在 2θ為 36°附近時不出現峰值。

[0158]

另一方面，當利用從大致垂直於 c 軸的方向使 X 射線入射到樣本的 in-plane 法分析 CAAC-OS 的結構時，在 2θ為 56°附近時出現峰值。該峰值來源於 $InGaZnO_4$ 結晶的（110）面。在 CAAC-OS 中，即使將 2θ固定為 56°附近並在以樣本面的法線向量為軸（φ軸）旋轉樣本的條件下進行分析（φ掃描），也如圖 18B 所示的那樣觀察不到明確的峰值。相比之下，在 $InGaZnO_4$ 的單晶氧化物半導體中，在將 2θ固定為 56°附近來進行φ掃描時，如圖 18C 所示的那樣觀察到來源於相等於（110）面的結晶面的六個峰值。因此，由使用 XRD 的結構分析可以確認到 CAAC-OS 中的 a 軸和 b 軸的配向沒有規律性。

[0159]

接著，說明利用電子繞射進行分析的 CAAC-OS。例如，當對包含 $InGaZnO_4$ 結晶的 CAAC-OS 在平行於樣本面的方向上入射束徑為 300nm 的電子線時，可能會獲得圖 19A 所示的繞射圖案（也稱為選區穿透式電子繞射圖案）。在該繞射圖案中包含起因於 $InGaZnO_4$ 結晶的（009）面的斑點。因此，由電子繞射也可知 CAAC-OS 所包含的顆粒具有 c 軸配向性，並且 c 軸朝向大致垂直於被形成面或頂面的方向。另一方面，圖 19B 示出對相同的

樣本在垂直於樣本面的方向上入射束徑為 300nm 的電子線時的繞射圖案。由圖 19B 觀察到環狀的繞射圖案。因此，由電子繞射也可知 CAAC-OS 所包含的顆粒的 a 軸和 b 軸不具有配向性。可以認為圖 19B 中的第一環起因於 $InGaZnO_4$ 結晶的（010）面和（100）面等。另外，可以認為圖 19B 中的第二環起因於（110）面等。

[0160]

如上所述，CAAC-OS 是結晶性高的氧化物半導體。因為氧化物半導體的結晶性有時因雜質的混入或缺陷的生成等而降低，所以從相反的觀點來看，可以說 CAAC-OS 是雜質或缺陷（氧缺陷等）少的氧化物半導體。

[0161]

此外，雜質是指氧化物半導體的主要成分以外的元素，諸如氫、碳、矽和過渡金屬元素等。例如，與氧的鍵合力比構成氧化物半導體的金屬元素強的矽等元素會奪取氧化物半導體中的氧，由此打亂氧化物半導體的原子排列，導致結晶性下降。另外，由於鐵或鎳等的重金屬、氬、二氧化碳等的原子半徑（或分子半徑）大，所以會打亂氧化物半導體的原子排列，導致結晶性下降。

[0162]

當氧化物半導體包含雜質或缺陷時，其特性有時因光或熱等會發生變動。包含於氧化物半導體的雜質有時會成為載子陷阱或載子發生源。另外，氧化物半導體中的氧缺陷有時會成為載子陷阱或因俘獲氫而成為載子發生源。

[0163]

雜質及氧缺陷少的 CAAC-OS 是載子密度低的氧化物半導體。明確而言，可以使用載子密度小於 $8\times10^{11}/cm^3$，較佳為小於 $1\times10^{11}/cm^3$，更佳為小於 $1\times10^{10}/cm^3$，且是 $1\times10^{-9}/cm^3$ 以上的氧化物半導體。將這樣的氧化物半導體稱為高純度本質或實質上高純度本質的氧化物半導體。CAAC-OS 的雜質濃度和缺陷態密度低。亦即，可以說 CAAC-OS 是具有穩定特性的氧化物半導體。

[0164]

接著說明 nc-OS。

[0165]

在 nc-OS 的高解析度 TEM 影像中有能夠觀察到結晶部的區域和難以觀察到明確的結晶部的區域。nc-OS 所包含的結晶部的尺寸大多為 1nm 以上且 10nm 以下或 1nm 以上且 3nm 以下。注意，有時將其結晶部的尺寸大於 10nm 且是 100nm 以下的氧化物半導體稱為微晶氧化物半導體。例如，在 nc-OS 的高解析度 TEM 影像中，有時難以明確地觀察到晶界。注意，奈米晶的來源有可能與 CAAC-OS 中的顆粒相同。因此，下面有時將 nc-OS 的結晶部稱為顆粒。

[0166]

在 nc-OS 中，微小的區域（例如 1nm 以上且 10nm 以下的區域，特別是 1nm 以上且 3nm 以下的區域）中的原子排列具有週期性。另外，nc-OS 在不同的顆粒之間觀察不到結晶定向的規律性。因此，在膜整體中觀察不到配向性。所以，有時 nc-OS 在某些分析方法中與 a-like OS 或非晶氧化物半導體沒有差別。例如，當利用使用其束徑比顆粒大的 X 射線的 out-of-plane 法對 nc-OS 進行結構分析時，檢測不到表示結晶面的峰值。在使用其束徑比

顆粒大（例如，50nm 以上）的電子射線對 nc-OS 進行電子繞射時，觀察到類似光暈圖案的繞射圖案。另一方面，在使用其束徑近於顆粒或者比顆粒小的電子射線對 nc-OS 進行奈米束電子繞射時，觀察到斑點。另外，在 nc-OS 的奈米束電子繞射圖案中，有時觀察到如圓圈那樣的（環狀的）亮度高的區域。而且，在 nc-OS 的奈米束電子繞射圖案中，有時還觀察到環狀的區域內的多個斑點。

[0167]

如此，由於在顆粒（奈米晶）之間結晶定向都沒有規律性，所以也可以將 nc-OS 稱為包含 RANC（Random Aligned nanocrystals：無規配向奈米晶）的氧化物半導體或包含 NANC（Non-Aligned nanocrystals：無配向奈米晶）的氧化物半導體。

[0168]

nc-OS 是規律性比非晶氧化物半導體高的氧化物半導體。因此，nc-OS 的缺陷態密度比 a-like OS 或非晶氧化物半導體低。但是，在 nc-OS 中的不同的顆粒之間觀察不到晶體配向的規律性。所以，nc-OS 的缺陷態密度比 CAAC-OS 高。

[0169]

a-like OS 是具有介於 nc-OS 與非晶氧化物半導體之間的結構的氧化物半導體。

[0170]

在 a-like OS 的高解析度 TEM 影像中有時觀察到空洞。另外，在高解析度 TEM 影像中，有能夠明確地觀察到結晶部的區域和難以觀察到結晶部的

區域。

[0171]

由於 a-like OS 包含空洞，所以其結構不穩定。為了證明與 CAAC-OS 及 nc-OS 相比 a-like OS 具有不穩定的結構，下面示出電子照射所導致的結構變化。

[0172]

作為進行電子照射的樣本，準備 a-like OS（記載為樣本 A）、nc-OS（記載為樣本 B）和 CAAC-OS（記載為樣本 C）。每個樣本都是 In-Ga-Zn 氧化物。

[0173]

首先，取得各樣本的高解析度剖面 TEM 影像。由高解析度剖面 TEM 影像可知，每個樣本都具有結晶部。

[0174]

注意，如下那樣決定將哪個部分作為一個結晶部。例如，已知 $InGaZnO_4$ 結晶的單位晶格具有包括三個 In-O 層和六個 Ga-Zn-O 層的九個層在 c 軸方向上以層狀層疊的結構。這些彼此靠近的層的間隔與（009）面的晶格表面間隔（也稱為 d 值）是幾乎相等的，由結晶結構分析求出其值為 0.29nm。由此，可以將晶格條紋的間隔為 0.28nm 以上且 0.30nm 以下的部分作為 $InGaZnO_4$ 結晶部。每個晶格條紋對應於 $InGaZnO_4$ 結晶的 a-b 面。

[0175]

圖 20 示出調查了各樣本的結晶部（22 個部分至 45 個部分）的平均尺寸的例子。注意，結晶部尺寸對應於上述晶格條紋的長度。由圖 20 可知，在 a-like OS 中，結晶部根據電子的累積照射量逐漸變大。明確而言，如圖

20 中的（1）所示，可知在利用 TEM 的觀察初期尺寸為 1.2nm 左右的結晶部（也稱為初始晶核）在累積照射量為 $4.2\times10^8e^-/nm^2$ 時生長到 2.6nm 左右。另一方面，可知 nc-OS 和 CAAC-OS 在開始電子照射時到電子的累積照射量為 $4.2\times10^8e^-/nm^2$ 的範圍內，結晶部的尺寸都沒有變化。明確而言，如圖 20 中的（2）及（3）所示，可知無論電子的累積照射量如何，nc-OS 及 CAAC-OS 的平均結晶部尺寸都分別為 1.4nm 左右及 2.1nm 左右。

[0176]

如此，有時電子照射引起 a-like OS 中的結晶部的生長。另一方面，可知在 nc-OS 和 CAAC-OS 中，幾乎沒有電子照射所引起的結晶部的生長。也就是說，a-like OS 與 CAAC-OS 及 nc-OS 相比具有不穩定的結構。

[0177]

此外，由於 a-like OS 包含空洞，所以其密度比 nc-OS 及 CAAC-OS 低。具體地，a-like OS 的密度為具有相同組成的單晶氧化物半導體的 78.6%以上且小於 92.3%。nc-OS 的密度及 CAAC-OS 的密度為具有相同組成的單晶氧化物半導體的 92.3%以上且小於 100%。注意，難以形成其密度小於單晶氧化物半導體的密度的 78%的氧化物半導體。

[0178]

例如，在原子數比滿足 In:Ga:Zn=1:1:1 的氧化物半導體中，具有菱方晶系結構的單晶 $InGaZnO_4$ 的密度為 $6.357g/cm^3$。因此，例如，在原子數比滿足 In:Ga:Zn=1:1:1 的氧化物半導體中，a-like OS 的密度為 $5.0g/cm^3$ 以上且小於 $5.9g/cm^3$。另外，例如，在原子數比滿足 In:Ga:Zn=1:1:1 的氧化物半導體中，nc-OS 的密度和 CAAC-OS 的密度為 $5.9g/cm^3$ 以上且小於 $6.3g/cm^3$。

[0179]

注意，有時不存在相同組成的單晶氧化物半導體。此時，藉由以任意比例組合組成不同的單晶氧化物半導體，可以估計出相當於所希望的組成的單晶氧化物半導體的密度。根據組成不同的單晶氧化物半導體的組合比例使用加權平均估計出相當於所希望的組成的單晶氧化物半導體的密度即可。注意，較佳為儘可能減少所組合的單晶氧化物半導體的種類來估計密度。

[0180]

如上所述，氧化物半導體具有各種結構及各種特性。注意，氧化物半導體例如可以是包括非晶氧化物半導體、a-like OS、nc-OS 和 CAAC-OS 中的兩種以上的疊層膜。

[0181]

實施方式 5

在本實施方式中，說明使用在實施方式 1 中說明的電晶體的半導體裝置的一個例子。

[0182]

圖 21A 示出記憶體裝置的電路的一個例子，圖 21B 示出其剖面圖。

[0183]

作為基板 350，可以使用以矽或碳化矽等為材料的單晶半導體基板或多晶半導體基板、以矽鍺等為材料的化合物半導體基板、SOI（Silicon on Insulator：絕緣層上覆矽）基板等。

[0184]

在基板 350 上形成電晶體 300。如圖 21B 所示，作為電晶體 300 可以使用具有側壁 355 的平面型電晶體。形成 STI（淺通道隔離：Shallow Trench Isolation）351 來將電晶體元件隔離。作為電晶體 300 也可以使用 Fin 型電晶體。另外，電晶體 300 既可以是 p 通道型電晶體，又可以是 n 通道型電晶體。或者，也可以使用其兩者。

[0185]

在本實施方式中，在電晶體 300 的通道形成區域使用矽單晶，但是並不侷限於矽單晶，例如也可以在通道形成區域使用氧化物半導體。另外，作為具有閘極絕緣體的功能的絕緣體 354，例如使用將矽單晶熱氧化的氧化矽即可。此外，還可以使用氧化矽膜、氧氮化矽膜、氮氧化矽膜、氮化矽膜、氧化鋁膜、氮化鋁膜、氧化鉿膜等。作為成膜方法，可以使用熱氧化法、CVD 法、濺射法、ALD 法、電漿氧化法或電漿氮化法等。或者，也可以適當地選擇上述膜來形成疊層膜。

[0186]

在電晶體 300、STI351 及擴散層 353 上形成絕緣體 360，並進行 CMP 使絕緣體 360 的表面平坦化。作為絕緣體 360，可以使用氧化矽膜、氧氮化矽膜、氮氧化矽膜、氮化矽膜、氧化鋁膜、氮化鋁膜或氧化鉿膜等。作為成膜方法，可以使用熱氧化法、CVD 法、濺射法、ALD 法、電漿氧化法或電漿氮化法等。也可以藉由其他處理來進行平坦化。或者，還可以組合 CMP、蝕刻（乾蝕刻或濕蝕刻）、電漿處理等。

[0187]

在絕緣體 360 中形成到達電晶體 300 的閘極電極 330 頂面的接觸孔以及

到達擴散層 353 頂面的接觸孔，將導電體埋入接觸孔內，並進行 CMP 直到絕緣體 360 的頂面露出為止，由此形成插頭 370、插頭 371、插頭 372。作為插頭 370、插頭 371、插頭 372，例如可以使用鉭、鎢、鈦、鉬、鋁、銅、鉬鎢合金、氮化鉭、氮化鎢、氮化鈦等。或者，也可以適當地選擇它們中的多個來形成疊層膜。作為成膜方法，可以使用濺射法、CVD 法、ALD 法、電鍍法等。也可以適當地選擇它們中的多個形成方法而使用。

[0188]

接著，在絕緣體 360 上形成導電體，並且形成佈線層 373、佈線層 374、佈線層 375。佈線層 373、佈線層 374、佈線層 375 可以使用與上述插頭 370、插頭 371、插頭 372 同樣的膜及同樣的成膜方法形成。

[0189]

在絕緣體 360 上及佈線層 373、佈線層 374、佈線層 375 上形成絕緣體 361，並進行 CMP 使絕緣體 361 的表面平坦化。絕緣體 361 可以使用與上述絕緣體 360 同樣的膜及同樣的成膜方法形成。

[0190]

在絕緣體 361 中形成分別到達佈線層 373、佈線層 374、佈線層 375 的頂面的接觸孔及槽，並將導電體埋入接觸孔及槽中。接著，進行 CMP 直到絕緣體 361 的頂面露出為止，由此形成兼作插頭及佈線層的佈線層 376、佈線層 377、佈線層 378。佈線層 376、佈線層 377、佈線層 378 可以使用與上述插頭 370、插頭 371、插頭 372 同樣的膜及同樣的成膜方法形成。

[0191]

接著，在絕緣體 361 及佈線層 376、佈線層 377、佈線層 378 上形成絕

緣體 362，藉由與上述絕緣體 361 同樣的方法形成兼作插頭及佈線層的佈線層 379、佈線層 380、佈線層 381。絕緣體 362 可以使用與上述絕緣體 360 同樣的膜及同樣的成膜方法形成。佈線層 379、佈線層 380、佈線層 381 可以使用與上述插頭 370、插頭 371、插頭 372 同樣的膜及同樣的成膜方法形成。該兼作插頭及佈線層的佈線層可以根據需要而反復利用上述方法形成，因此可以製造集成度高的半導體裝置。

[0192]

接著，在絕緣體 362 及佈線層 379、佈線層 380、佈線層 381 上形成絕緣體 363。絕緣體 363 可以使用與上述絕緣體 360 同樣的膜及同樣的成膜方法形成。絕緣體 363 較佳為具有不容易使氫透過的功能。或者，也可以不形成絕緣體 363。

[0193]

在絕緣體 363 上形成絕緣體 302。絕緣體 302 可以使用與上述絕緣體 360 同樣的膜及同樣的成膜方法形成。絕緣體 302 較佳為具有不容易使氧透過的功能。例如，可以使用氧化鋁等。

[0194]

接著，藉由在實施方式 3 中說明的方法形成電晶體 310。接著，在電晶體 310 上形成絕緣體 303。絕緣體 303 可以使用與上述絕緣體 360 同樣的膜及同樣的成膜方法形成。絕緣體 303 較佳為具有不容易使氧透過的功能。例如，可以使用氧化鋁等。

[0195]

設置在電晶體 300 的通道形成區域附近的絕緣體中的氫使矽的懸空鍵

終結，由此可以提高電晶體 300 的可靠性。另一方面，設置在電晶體 310 等附近的絕緣體中的氫成為在氧化物半導體中生成載子的原因之一。因此，有時引起電晶體 310 的可靠性的下降。因此，當在使用矽類半導體的電晶體上層疊設置使用氧化物半導體的電晶體時，在它們之間設置具有阻擋氫的功能的絕緣體 302 是較佳的。藉由將氫封閉在絕緣體 302 的下方，可以提高電晶體 300 的可靠性。並且，由於可以抑制氫從絕緣體 302 的下方擴散至絕緣體 302 的上方，所以可以提高電晶體 310 的可靠性。另外，藉由在電晶體 310 上設置絕緣體 303，可以防止氧化物半導體中的氧的擴散，所以是較佳的。如圖 21B 所示，更佳的是：採用以絕緣體 302 及絕緣體 303 包圍電晶體 310 的結構，利用接觸孔 304 連接絕緣體 302 與絕緣體 303，並且進行密封。

[0196]

接著，形成絕緣體 308，並且形成插頭 382、插頭 383、插頭 384。在插頭 382、插頭 383、插頭 384 上分別形成佈線層 385、佈線層 386、佈線層 387。插頭 382、插頭 383、插頭 384、佈線層 385、佈線層 386、佈線層 387 可以使用與上述插頭 370、插頭 371、插頭 372 同樣的膜及同樣的成膜方法形成。較佳為採用插頭 382、插頭 383、插頭 384、佈線層 385、佈線層 386、佈線層 387 不容易使氫透過的結構。例如，也可以在氮化鈦上形成鎢等來實現雙層結構。

[0197]

接著，在絕緣體 308、佈線層 385、佈線層 386、佈線層 387 上形成絕緣體 364，並進行 CMP 使絕緣體 364 的表面平坦化。絕緣體 364 可以使用與

上述絕緣體 360 同樣的膜及同樣的成膜方法形成。

[0198]

在絕緣體 364 中形成到達佈線層 386 及佈線層 387 的頂面的接觸孔，將導電體埋入接觸孔內，並進行 CMP 直到絕緣體 364 的頂面露出為止，由此形成插頭 388 及插頭 389。插頭 388 及插頭 389 可以使用與上述插頭 370、插頭 371、插頭 372 同樣的膜及同樣的成膜方法形成。

[0199]

接著，在絕緣體 364 上形成導電體，並且形成電容元件 315 的一個電極 341 及佈線層 390。電極 341 及佈線層 390 可以使用與上述插頭 370、插頭 371、插頭 372 同樣的膜及同樣的成膜方法形成。接著，以另一個電極 342 隔著一個電極 341 上的絕緣體與一個電極 341 重疊的方式形成電容元件 315。接著，形成絕緣體 365，並進行 CMP 使絕緣體 365 的表面平坦化。絕緣體 365 可以使用與上述絕緣體 360 同樣的膜及同樣的成膜方法形成。

[0200]

在絕緣體 365 中形成到達電容元件 315 的另一個電極 342 的頂面的接觸孔，與此同時，形成到達佈線層 390 的頂面的接觸孔，將導電體埋入接觸孔內，並進行 CMP 直到絕緣體 365 的頂面露出為止，由此形成插頭 391 及插頭 392。插頭 391、插頭 392 可以使用與上述插頭 370、插頭 371、插頭 372 同樣的膜及同樣的成膜方法形成。

[0201]

接著，在絕緣體 365 上形成導電體，並形成佈線層 393 及佈線層 394。佈線層 393 及佈線層 394 可以使用與上述插頭 370、插頭 371、插頭 372 同

樣的膜及同樣的成膜方法形成。

[0202]

另外，也可以將圖 21B 所示的平面型電容元件 315 形成為圖 22 所示的氣缸型電容元件 320。氣缸型電容元件 320 的面積比平面型電容元件 315 小，所以是更佳的。

[0203]

藉由上述製程可以製造本發明的一個實施方式的半導體裝置。

[0204]

本實施方式的至少一部分可以與本說明書所記載的其他實施方式適當地組合而實施。

[0205]

實施方式 6

〈攝像裝置〉

以下對本發明的一個實施方式的攝像裝置進行說明。

[0206]

圖 23A 是示出本發明的一個實施方式的攝像裝置 200 的例子的俯視圖。攝像裝置 200 包括像素部 210、用來驅動像素部 210 的週邊電路 260、週邊電路 270、週邊電路 280 及週邊電路 290。像素部 210 包括配置為 p 行 q 列（p 及 q 為 2 以上的整數）的矩陣狀的多個像素 211。週邊電路 260、週邊電路 270、週邊電路 280 及週邊電路 290 分別與多個像素 211 連接，並具有供應用來驅動多個像素 211 的信號的功能。此外，在本說明書等中，有時將週邊電路 260、週邊電路 270、週邊電路 280 及週邊電路 290 等總稱為

“週邊電路”或“驅動電路”。例如，週邊電路 260 也可以說是週邊電路的一部分。

[0207]

攝像裝置 200 較佳為包括光源 291。光源 291 能夠發射檢測光 P1。

[0208]

週邊電路至少包括邏輯電路、開關、緩衝器、放大電路或轉換電路中的一個。此外，也可以在形成像素部 210 的基板上製造週邊電路。另外，也可以將 IC 等半導體裝置用於週邊電路的一部分或全部。注意，也可以省略週邊電路 260、週邊電路 270、週邊電路 280 和週邊電路 290 中的一個以上。

[0209]

如圖 23B 所示，在攝像裝置 200 所包括的像素部 210 中，也可以以像素 211 傾斜的方式配置。藉由以像素 211 傾斜的方式配置，可以縮短在行方向上及列方向上的像素間隔（間距）。由此，可以提高攝像裝置 200 的攝像品質。

[0210]

〈像素的結構例子 1〉

藉由使攝像裝置 200 所包括的一個像素 211 由多個子像素 212 構成，且使每個子像素 212 與使特定的波長區域的光透過的濾光片（濾色片）組合，可以獲得用來實現彩色影像顯示的資訊。

[0211]

圖 24A 是示出用來取得彩色影像的像素 211 的一個例子的俯視圖。圖

24A 所示的像素 211 包括設置有使紅色（R）的波長區域透過的濾色片的子像素 212（以下也稱為“子像素 212R”）、設置有使綠色（G）的波長區域透過的濾色片的子像素 212（以下也稱為“子像素 212G”）及設置有使藍色（B）的波長區域透過的濾色片的子像素 212（以下也稱為“子像素 212B”）。子像素 212 可以被用作光感測器。

[0212]

子像素 212（子像素 212R、子像素 212G 及子像素 212B）與佈線 231、佈線 247、佈線 248、佈線 249、佈線 250 電連接。此外，子像素 212R、子像素 212G 及子像素 212B 分別獨立地連接於佈線 253。在本說明書等中，例如將與第 n 行的像素 211 連接的佈線 248 及佈線 249 分別稱為佈線 248[n]及佈線 249[n]。此外，例如，將與第 m 列的像素 211 連接的佈線 253 稱為佈線 253[m]。此外，在圖 24A 中，與第 m 列的像素 211 所包括的子像素 212R 連接的佈線 253 稱為佈線 253[m]R，將與子像素 212G 連接的佈線 253 稱為佈線 253[m]G，將與子像素 212B 連接的佈線 253 稱為佈線 253[m]B。子像素 212 藉由上述佈線與週邊電路電連接。

[0213]

攝像裝置200具有相鄰的像素211的設置有使相同的波長區域的光透過的濾色片的子像素 212 藉由開關彼此電連接的結構。圖 24B 示出配置在第 n 行（n 為 1 以上且 p 以下的整數）第 m 列（m 為 1 以上且 q 以下的整數）的像素 211 所包括的子像素 212 與相鄰於該像素 211 的配置在第 n+1 行第 m 列的像素 211 所包括的子像素 212 的連接例子。在圖 24B 中，配置在第 n 行第 m 列的子像素 212R 與配置在第 n+1 行第 m 列的子像素 212R 藉由開關

201 連接。此外，配置在第 n 行第 m 列的子像素 212G 與配置在第 n+1 行第 m 列的子像素 212G 藉由開關 202 連接。此外，配置在第 n 行第 m 列的子像素 212B 與配置在第 n+1 行第 m 列的子像素 212B 藉由開關 203 連接。

[0214]

用於子像素 212 的濾色片的顏色不侷限於紅色（R）、綠色（G）、藍色（B），也可以使用使青色（C）、黃色（Y）及洋紅色（M）的光透過的濾色片。藉由在一個像素 211 中設置檢測三種不同波長區域的光的子像素 212，可以獲得全彩色影像。

[0215]

或者，像素 211 除了包括分別設置有使紅色（R）、綠色（G）及藍色（B）的光透過的濾色片的各子像素 212 以外，還可以包括設置有使黃色（Y）的光透過的濾色片的子像素 212。或者，像素 211 除了包括分別設置有使青色（C）、黃色（Y）及洋紅色（M）的光透過的濾色片的各子像素 212 以外，還可以包括設置有使藍色（B）的光透過的濾色片的子像素 212。藉由在一個像素 211 中設置檢測四種不同波長區域的光的子像素 212，可以進一步提高所獲得的像素的顏色再現性。

[0216]

例如，在圖 24A 中，檢測紅色的波長區域的子像素 212、檢測綠色的波長區域的子像素 212 及檢測藍色的波長區域的子像素 212 的像素數比（或受光面積比）不侷限於 1:1:1。例如，也可以採用像素數比（受光面積比）為紅色:綠色:藍色=1:2:1 的 Bayer 排列。或者，像素數比（受光面積比）也可以為紅色:綠色:藍色=1:6:1。

[0217]

設置在像素 211 中的子像素 212 的數量可以為一個，但較佳為兩個以上。例如，藉由設置兩個以上的檢測相同的波長區域的子像素 212，可以提高冗餘性，由此可以提高攝像裝置 200 的可靠性。

[0218]

此外，藉由使用反射或吸收可見光且使紅外光透過的 IR（IR：Infrared）濾光片，可以實現檢測紅外光的攝像裝置 200。

[0219]

藉由使用 ND（ND：Neutral Density）濾光片（減光濾光片），可以防止大光量光入射光電轉換元件（受光元件）時產生的輸出飽和。藉由組合使用減光量不同的 ND 濾光片，可以增大攝像裝置的動態範圍。

[0220]

除了上述濾光片以外，還可以在像素 211 中設置透鏡。這裡，參照圖 25A 及圖 25B 的剖面圖說明像素 211、濾光片 254、透鏡 255 的配置例子。藉由設置透鏡 255，可以使光電轉換元件高效地受光。明確而言，如圖 25A 所示，可以使光 256 穿過形成在像素 211 中的透鏡 255、濾光片 254（濾光片 254R、濾光片 254G 及濾光片 254B）及像素電路 230 等而入射到光電轉換元件 220。

[0221]

注意，如由點劃線圍繞的區域所示，有時箭頭所示的光 256 的一部分被佈線 257 的一部分遮蔽。因此，如圖 25B 所示，較佳為採用在光電轉換元件 220 一側配置透鏡 255 及濾光片 254，而使光電轉換元件 220 高效地接

收光 256 的結構。藉由從光電轉換元件 220 一側將光 256 入射到光電轉換元件 220，可以提供檢測靈敏度高的攝像裝置 200。

[0222]

作為圖 25A 及圖 25B 所示的光電轉換元件 220，也可以使用形成有 pn 接面或 pin 接面的光電轉換元件。

[0223]

光電轉換元件 220 也可以使用具有吸收輻射產生電荷的功能的物質形成。作為具有吸收輻射產生電荷的功能的物質，可舉出硒、碘化鉛、碘化汞、砷化鎵、碲化鎘、鎘鋅合金等。

[0224]

例如，在將硒用於光電轉換元件 220 時，可以實現對可見光、紫外光、紅外光、X 射線、伽瑪射線等較寬的波長區域具有光吸收係數的光電轉換元件 220。

[0225]

在此，攝像裝置 200 所包括的一個像素 211 除了圖 25A 及圖 25B 所示的子像素 212 以外，還可以包括具有第一濾光片的子像素 212。

[0226]

〈像素的結構例子 2〉

下面，對包括使用矽的電晶體及使用本發明的氧化物半導體的電晶體的像素的一個例子進行說明。

[0227]

圖 26 及圖 27 是構成攝像裝置的元件的剖面圖。圖 26 所示的攝像裝置

包括設置在矽基板 500 上的使用矽形成的電晶體 551、在電晶體 551 上層疊配置的使用氧化物半導體形成的電晶體 552 及電晶體 553、設置在矽基板 500 中的光電二極體 560、以及微透鏡陣列層 590、濾色片層 592 及遮光層 594。各電晶體及光電二極體 560 的陰極 562 與各種插頭 570 及佈線 571 電連接。此外，光電二極體 560 的陽極 561 藉由低電阻區域 563 與插頭 570 電連接。

[0228]

攝像裝置包括：包括設置在矽基板 500 上的電晶體 551 及光電二極體 560 的層 510、以與層 510 接觸的方式設置且包括佈線 571 的層 520、以與層 520 接觸的方式設置且包括電晶體 552 及電晶體 553 的層 530、以與層 530 接觸的方式設置且包括佈線 572 及佈線 573 的層 540。

[0229]

在圖 26 的剖面圖的一個例子中，在矽基板 500 中，在與形成有電晶體 551 的面相反一側設置有光電二極體 560 的受光面。藉由採用該結構，可以確保光路而不受各種電晶體或佈線等的影響。因此，可以形成高開口率的像素。此外，光電二極體 560 的受光面也可以是與形成有電晶體 551 的面相同的面。

[0230]

在像素包括使用氧化物半導體的電晶體時，層 530 為包括電晶體的層即可。或者，像素也可以只包括使用氧化物半導體的電晶體而省略層 510。

[0231]

在像素包括使用矽的電晶體時，省略層 530 即可。圖 27 示出省略層 530 的剖面圖的一個例子。

[0232]

矽基板 500 也可以是 SOI 基板。此外，也可以使用包含鍺、矽鍺、碳化矽、砷化鎵、砷化鋁鎵、磷化銦、氮化鎵、有機半導體的基板代替矽基板 500。

[0233]

這裡，在包括電晶體 551 及光電二極體 560 的層 510 與包括電晶體 552 及電晶體 553 的層 530 之間設置有絕緣體 580。注意，絕緣體 580 的位置不侷限於此。

[0234]

設置在電晶體 551 的通道形成區域附近的絕緣體中的氫使矽的懸空鍵終結，由此可以提高電晶體 551 的可靠性。另一方面，設置在電晶體 552 及電晶體 553 等附近的絕緣體中的氫有可能成為在氧化物半導體中生成載子的原因之一。因此，有時引起電晶體 552 及電晶體 553 等的可靠性的下降。因此，當在使用矽類半導體的電晶體上層疊設置使用氧化物半導體的電晶體時，較佳為在它們之間設置具有阻擋氫的功能的絕緣體 580。藉由將氫封閉在絕緣體 580 下，可以提高電晶體 551 的可靠性。並且，由於可以抑制氫從絕緣體 580 下擴散到絕緣體 580 上，所以可以提高電晶體 552 及電晶體 553 等的可靠性。另外，藉由在電晶體 552 及電晶體 553 上設置絕緣體 581，可以防止氧化物半導體中的氧的擴散，所以是較佳的。如圖 26 所示，更佳的是：採用以絕緣體 580 及絕緣體 581 包圍電晶體 552 及電晶體 553 的結構，利用接觸孔 583 連接絕緣體 580 與絕緣體 581，並且進行密封。

[0235]

作為絕緣體 580 例如參照關於絕緣體 363 的記載。

[0236]

在圖 26 的剖面圖中，可以以設置在層 510 中的光電二極體 560 與設置在層 530 中的電晶體重疊的方式形成。因此，可以提高像素的集成度。也就是說，可以提高攝像裝置的解析度。

[0237]

如圖 28A1 及圖 28B1 所示，可以使攝像裝置的一部分或全部彎曲。圖 28A1 示出使攝像裝置在該圖式中的點劃線 X1-X2 的方向上彎曲的狀態。圖 28A2 是沿著圖 28A1 中的點劃線 X1-X2 所示的部分的剖面圖。圖 28A3 是沿著圖 28A1 中的點劃線 Y1-Y2 所示的部分的剖面圖。

[0238]

圖 28B1 示出使攝像裝置在該圖式中的點劃線 X3-X4 的方向上彎曲且在該圖式中的點劃線 Y3-Y4 的方向上彎曲的狀態。圖 28B2 是沿著圖 28B1 中的點劃線 X3-X4 所示的部分的剖面圖。圖 28B3 是沿著圖 28B1 中的點劃線 Y3-Y4 所示的部分的剖面圖。

[0239]

藉由使攝像裝置彎曲，可以降低像場彎曲或像散（astigmatism）。因此，可以促進與攝像裝置組合使用的透鏡等的光學設計。例如，由於可以減少用於像差校正的透鏡的數量，因此可以實現使用攝像裝置的電子裝置等的小型化或輕量化。此外，可以提高成像影像的品質。

[0240]

實施方式 7

〈顯示裝置〉

以下參照圖 29A 至圖 30B 說明本發明的一個實施方式的顯示裝置。

[0241]

作為用於顯示裝置的顯示元件，可以使用液晶元件（也稱為液晶顯示元件）、發光元件（也稱為發光顯示元件）等。發光元件在其範疇內包括其亮度由電流或電壓控制的元件，明確而言，包括無機 EL（Electroluminescence：電致發光）元件、有機 EL 元件等。下面，作為顯示裝置的一個例子對使用 EL 元件的顯示裝置（EL 顯示裝置）及使用液晶元件的顯示裝置（液晶顯示裝置）進行說明。

[0242]

另外，下面示出的顯示裝置包括密封有顯示元件的面板及在該面板中安裝有包括控制器的 IC 等的模組。

[0243]

另外，下面示出的顯示裝置是指影像顯示裝置或光源（包括照明設備）。此外，顯示裝置還包括：安裝有連接器諸如 FPC 或 TCP 的模組；在 TCP 的端部設置有印刷線路板的模組；或者藉由 COG 方式將 IC（積體電路）直接安裝到顯示元件的模組。

[0244]

圖 29A 至圖 29C 是本發明的一個實施方式的 EL 顯示裝置的一個例子。圖 29A 示出 EL 顯示裝置的像素的電路圖。圖 29B 是示出 EL 顯示裝置整體的俯視圖。圖 29C 是沿著圖 29B 中的點劃線 M-N 的部分的剖面圖。

[0245]

圖 29A 是用於 EL 顯示裝置的像素的電路圖的一個例子。

[0246]

在本說明書等中，有時即使不指定主動元件（電晶體、二極體等）、被動元件（電容元件、電阻元件等）等所具有的所有端子的連接位置，所屬技術領域的普通技術人員也能夠構成發明的一個實施方式。就是說，即使未指定連接位置，也可以說發明的一個實施方式是明確的，並且，當在本說明書等記載有指定連接位置的內容時，有時可以判斷為在本說明書等中記載有該方式。尤其是，在端子的連接位置有多個的情況下，不一定必須要將該端子的連接位置限於指定的部分。因此，有時藉由僅指定主動元件（電晶體、二極體等）、被動元件（電容元件、電阻元件等）等所具有的一部分的端子的連接位置，就能夠構成發明的一個實施方式。

[0247]

在本說明書等中，當至少指定某個電路的連接位置時，有時所屬技術領域的普通技術人員能夠指定發明。或者，當至少指定某個電路的功能時，有時所屬技術領域的普通技術人員能夠指定發明。也就是說，只要指定功能，就可以說是發明的一個實施方式是明確的，而判斷為在本說明書等中記載有該方式。因此，即使只指定某個電路的連接位置而不指定其功能時，也可以判斷為該電路作為發明的一個實施方式公開而構成發明的一個實施方式。或者，即使只指定某個電路的功能而不指定其連接位置時，也可以判斷為該電路作為發明的一個實施方式公開而構成發明的一個實施方式。

[0248]

圖 29A 所示的 EL 顯示裝置包含切換元件 743、電晶體 741、電容元件

742、發光元件 719。

[0249]

另外，由於圖 29A 等是電路結構的一個例子，所以還可以追加設置電晶體。與此相反，在圖 29A 的各節點中，也可以不追加電晶體、開關、被動元件等。

[0250]

電晶體 741 的閘極與切換元件 743 的一個端子及電容元件 742 的一個電極電連接。電晶體 741 的源極與電容元件 742 的另一個電極及發光元件 719 的一個電極電連接。電晶體 741 的汲極被供應電源電位 VDD。切換元件 743 的另一個端子與信號線 744 電連接。發光元件 719 的另一個電極被供應恆電位。另外，恆電位為等於或低於接地電位 GND 的電位。

[0251]

作為切換元件 743，較佳為使用電晶體。藉由使用電晶體，可以減小像素的面積，由此可以提供解析度高的 EL 顯示裝置。作為切換元件 743，使用藉由與電晶體 741 同一製程形成的電晶體，由此可以提高 EL 顯示裝置的生產率。作為電晶體 741 或/及切換元件 743，例如可以適用上述電晶體。

[0252]

圖 29B 是 EL 顯示裝置的俯視圖。EL 顯示裝置包括基板 700、基板 750、密封材料 734、驅動電路 735、驅動電路 736、像素 737 以及 FPC732。密封材料 734 以包圍像素 737、驅動電路 735 以及驅動電路 736 的方式配置在基板 700 與基板 750 之間。另外，驅動電路 735 或/及驅動電路 736 也可以配置在密封材料 734 的外側。

[0253]

圖 29C 是對應於圖 29B 的點劃線 M-N 的一部分的 EL 顯示裝置的剖面圖。

[0254]

圖 29C 示出電晶體 741，該電晶體 741 包括：基板 700 上的絕緣體 708；以及埋入絕緣體 708 中的導電體 704a，還包括絕緣體 708 及導電體 704a 上的絕緣體 712a、絕緣體 712a 上的電子俘獲層 715、絕緣體 712a 及電子俘獲層 715 上的絕緣體 712b、在絕緣體 712b 上且具有與導電體 704a 重疊的區域的半導體 706、與半導體 706 接觸的導電體 716a 及導電體 716b、在半導體 706、導電體 716a 及導電體 716b 上的絕緣體 718a、絕緣體 718a 上的絕緣體 718b、絕緣體 718b 上的絕緣體 718c、在絕緣體 718c 上且與半導體 706 重疊的導電體 714a。注意，電晶體 741 的結構只是一個例子，也可以採用與圖 29C 所示的結構不同的結構。

[0255]

因此，在圖 29C 所示的電晶體 741 中，導電體 704a 具有閘極電極的功能，電子俘獲層 715 具有俘獲電子的功能，絕緣體 712a 及絕緣體 712b 具有閘極絕緣體的功能，導電體 716a 具有源極電極的功能，導電體 716b 具有汲極電極的功能，絕緣體 718a、絕緣體 718b 及絕緣體 718c 具有閘極絕緣體的功能，並且導電體 714a 具有閘極電極的功能。注意，半導體 706 有時因光照射而其電特性發生變動。因此，較佳的是導電體 704a、導電體 716a、導電體 716b 和導電體 714a 中的任何一個以上具有遮光性。

[0256]

注意，以虛線表示絕緣體 718a 和絕緣體 718b 之間的介面，這意味著它們的邊界有時不明確。例如，當作為絕緣體 718a 及絕緣體 718b 使用同樣種類的絕緣體時，根據觀察方法有時無法區分它們。

[0257]

圖 29C 示出電容元件 742，該電容元件 742 包括：基板 700 上的絕緣體 708；埋入絕緣體 708 中的導電體 704b；絕緣體 708 及導電體 704b 上的絕緣體 712a；絕緣體 712a 上的絕緣體 712b；在絕緣體 712b 上且與導電體 704b 重疊的導電體 716a；導電體 716a 上的絕緣體 718a；絕緣體 718a 上的絕緣體 718b；絕緣體 718b 上的絕緣體 718c；以及在絕緣體 718c 上且與導電體 716a 重疊的導電體 714b，並且，電容元件 742 具有在導電體 716a 與導電體 714b 重疊的區域中絕緣體 718a 的一部分及絕緣體 718b 的一部分被去除的結構。

[0258]

在電容元件 742 中，將導電體 704b 及導電體 714b 用作一個電極，將導電體 716a 用作另一個電極。

[0259]

因此，可以使用與電晶體 741 相同的膜製造電容元件 742。導電體 704a 及導電體 704b 較佳為使用同樣種類的導電體。此時，可以藉由同一製程形成導電體 704a 及導電體 704b。另外，導電體 714a 及導電體 714b 較佳為使用同樣種類的導電體。此時，可以藉由同一製程形成導電體 714a 及導電體 714b。

[0260]

圖 29C 所示的電容元件 742 是相對於佔有面積的電容大的電容元件。

因此，圖 29C 是顯示品質高的 EL 顯示裝置。注意，雖然圖 29C 所示的電容元件 742 具有絕緣體 718a 的一部分及絕緣體 718b 的一部分被去除以便減薄導電體 716a 與導電體 714b 重疊的區域的結構，但是本發明的一個實施方式的電容元件的結構不侷限於此。例如，也可以具有絕緣體 718c 的一部分被去除以便減薄導電體 716a 與導電體 714b 重疊的區域的結構。

[0261]

在電晶體 741 及電容元件 742 上配置有絕緣體 720。在此，絕緣體 720 也可以具有到達用作電晶體 741 的源極電極的導電體 716a 的開口部。在絕緣體 720 上配置有導電體 781。導電體 781 也可以藉由絕緣體 720 中的開口部與電晶體 741 電連接。

[0262]

在導電體 781 上配置有到達導電體 781 的開口部的分隔壁 784。在分隔壁 784 上配置有在分隔壁 784 的開口部中與導電體 781 接觸的發光層 782。在發光層 782 上配置有導電體 783。導電體 781、發光層 782 和導電體 783 重疊的區域被用作發光元件 719。

[0263]

至此，說明了 EL 顯示裝置的例子。接著，將說明液晶顯示裝置的例子。

[0264]

圖 30A 是示出液晶顯示裝置的像素的結構例子的電路圖。圖 30A 和圖 30B 所示的像素包括電晶體 751、電容元件 752、在一對電極之間填充有液晶的元件（液晶元件）753。

[0265]

電晶體 751 的源極和汲極中的一個與信號線 755 電連接，電晶體 751 的閘極與掃描線 754 電連接。

[0266]

電容元件 752 的一個電極與電晶體 751 的源極和汲極中的另一個電連接，電容元件 752 的另一個電極與供應共用電位的佈線電連接。

[0267]

液晶元件 753 的一個電極與電晶體 751 的源極和汲極中的另一個電連接，液晶元件 753 的另一個電極與供應共用電位的佈線電連接。此外，供應到與上述電容元件 752 的另一個電極電連接的佈線的共用電位與供應到液晶元件 753 的另一個電極的共用電位可以不同。

[0268]

假設液晶顯示裝置的俯視圖與 EL 顯示裝置相同來進行說明。圖 30B 示出對應於沿著圖 29B 的點劃線 M-N 的液晶顯示裝置的剖面圖。在圖 30B 中，FPC732 藉由端子 731 與佈線 733a 連接。佈線 733a 也可以使用與構成電晶體 751 的導電體或半導體同樣種類的導電體或半導體。

[0269]

電晶體 751 參照關於電晶體 741 的記載。電容元件 752 參照關於電容元件 742 的記載。注意，圖 30B 示出具有對應於圖 29C 所示的電容元件 742 的結構的電容元件 752 的結構，但是電容元件 752 的結構不侷限於此。

[0270]

當將氧化物半導體用於電晶體 751 的半導體時，可以實現關態電流極小的電晶體。因此，保持在電容元件 752 中的電荷不容易洩漏，而可以長

期間保持施加到液晶元件 753 的電壓。因此，當顯示動作少的動態影像、靜態影像時，藉由使電晶體 751 處於關閉狀態，不需要用來使電晶體 751 工作的電力，由此可以實現低功耗的液晶顯示裝置。另外，因為可以縮小電容元件 752 的佔有面積，所以可以提供一種開口率高的液晶顯示裝置或高解析度液晶顯示裝置。

[0271]

在電晶體 751 及電容元件 752 上配置有絕緣體 721。在此，絕緣體 721 具有到達電晶體 751 的開口部。在絕緣體 721 上配置有導電體 791。導電體 791 藉由絕緣體 721 中的開口部與電晶體 751 電連接。

[0272]

在導電體 791 上配置有用作配向膜的絕緣體 792。在絕緣體 792 上配置有液晶層 793。在液晶層 793 上配置有用作配向膜的絕緣體 794。在絕緣體 794 上配置有隔離物 795。在隔離物 795 及絕緣體 794 上配置有導電體 796。在導電體 796 上配置有基板 797。

[0273]

藉由採用上述結構，可以提供一種包括佔有面積小的電容元件的顯示裝置。或者，可以提供一種顯示品質高的顯示裝置。或者，可以提供一種高解析度顯示裝置。

[0274]

例如，在本說明書等中，顯示元件、作為包括顯示元件的裝置的顯示裝置、發光元件以及作為包括發光元件的裝置的發光裝置可以採用各種方式或者包括各種元件。顯示元件、顯示裝置、發光元件或發光裝置例如包

括 EL 元件(包含有機物及無機物的 EL 元件、有機 EL 元件、無機 EL 元件)、LED（白色 LED、紅色 LED、綠色 LED 或藍色 LED 等）、電晶體（根據電流而發光的電晶體）、電子發射元件、液晶元件、電子墨水、電泳元件、柵光閥（GLV）、電漿顯示器（PDP）、使用微機電系統（MEMS）的顯示元件、數位微鏡裝置（DMD）、數位微快門（DMS）、IMOD（干涉測量調節）元件、快門方式的 MEMS 顯示元件、光干涉方式的 MEMS 顯示元件、電潤濕（electrowetting）元件、壓電陶瓷顯示器或使用碳奈米管的顯示元件等中的至少一個。除此以外，還可以包括其對比度、亮度、反射率、透射率等因電或磁作用而變化的顯示媒體。

[0275]

作為使用 EL 元件的顯示裝置的一個例子，有 EL 顯示器等。作為使用電子發射元件的顯示裝置的一個例子，有場致發射顯示器（FED）或 SED 方式平面型顯示器（SED：Surface-conduction Electron-emitter Display：表面傳導電子發射顯示器）等。作為使用液晶元件的顯示裝置的一個例子，有液晶顯示器（透射式液晶顯示器、半透射式液晶顯示器、反射式液晶顯示器、直觀式液晶顯示器、投射式液晶顯示器）等。作為使用電子墨水、電子粉流體（日本的註冊商標）或電泳元件的顯示裝置的一個例子，有電子紙等。注意，當實現半透射型液晶顯示器或反射式液晶顯示器時，使像素電極的一部分或全部具有作為反射電極的功能即可。例如，使像素電極的一部分或全部包含鋁、銀等即可。並且，此時也可以將 SRAM 等記憶體電路設置在反射電極下。由此，可以進一步降低功耗。

[0276]

注意，當使用 LED 時，也可以在 LED 的電極或氮化物半導體下配置石墨烯或石墨。石墨烯或石墨也可以為層疊有多個層的多層膜。如此，藉由設置石墨烯或石墨，可以更容易地在其上形成氮化物半導體，如具有結晶的 n 型 GaN 半導體等。並且，在其上設置具有結晶的 p 型 GaN 半導體等，能夠構成 LED。此外，也可以在石墨烯或石墨與具有晶體的 n 型 GaN 半導體之間設置 AlN 層。可以利用 MOCVD 形成 LED 所包括的 GaN 半導體。注意，當設置石墨烯時，可以以濺射法形成 LED 所包括的 GaN 半導體。

[0277]

實施方式 8

在本實施方式中，參照圖 31 說明包括上述實施方式例示的電晶體或記憶體裝置的 RF 標籤。

[0278]

根據本實施方式的 RF 標籤在其內部包括記憶體電路，在該記憶體電路中儲存所需要的資料，並使用非接觸單元諸如無線通訊向外部發送資料和/或從外部接受資料。由於具有這種特徵，RF 標籤可以被用於藉由讀取物品等的個體資訊來識別物品的個體識別系統等。注意，這些用途要求極高的可靠性。

[0279]

參照圖 31 說明 RF 標籤的結構。圖 31 是示出 RF 標籤的結構例子的塊圖。

[0280]

如圖 31 所示，RF 標籤 800 包括接收從與通信器 801（也稱為詢問器、

讀取器/寫入器等）連接的天線 802 發送的無線信號 803 的天線 804。RF 標籤 800 還包括整流電路 805、恆壓電路 806、解調變電路 807、調變電路 808、邏輯電路 809、記憶體電路 810、ROM811。另外，在包括在解調變電路 807 中的具有整流作用的電晶體中，也可以使用充分地抑制反向電流的材料，諸如氧化物半導體。由此，可以抑制起因於反向電流的整流作用的降低並防止解調變電路的輸出飽和，也就是說，可以使解調變電路的輸入和解調變電路的輸出之間的關係靠近於線性關係。注意，資料傳輸方法大致分成如下三種方法：將一對線圈相對地設置並利用互感進行通信的電磁耦合方法；利用感應場進行通信的電磁感應方法；以及利用電波進行通信的電波方法。在本實施方式所示的 RF 標籤 800 中可以使用上述任何方法。

[0281]

接著，說明各電路的結構。天線 804 與連接於通信器 801 的天線 802 之間進行無線信號 803 的發送及接受。在整流電路 805 中，對藉由由天線 804 接收無線信號來生成的輸入交流信號進行整流，例如進行半波倍壓整流，並由設置在後級的電容元件使被整流的信號平滑化，由此生成輸入電位。另外，整流電路 805 的輸入一側或輸出一側也可以設置限制器電路。限制器電路是在輸入交流信號的振幅大且內部生成電壓大時進行控制以不使一定以上的電力輸入到後級的電路中的電路。

[0282]

恆壓電路 806 是由輸入電位生成穩定的電源電壓而供應到各電路的電路。恆壓電路 806 也可以在其內部包括重設信號產生電路。重設信號產生電路是利用穩定的電源電壓的上升而生成邏輯電路 809 的重設信號的電路。

[0283]

解調變電路 807 是藉由包封檢測對輸入交流信號進行解調並生成解調信號的電路。此外，調變電路 808 是根據從天線 804 輸出的資料進行調變的電路。

[0284]

邏輯電路 809 是分析解調信號並進行處理的電路。記憶體電路 810 是保持被輸入的資料的電路，並包括行解碼器、列解碼器、存儲區域等。此外，ROM811 是保持識別號碼（ID）等並根據處理進行輸出的電路。

[0285]

注意，根據需要可以適當地設置上述各電路。

[0286]

在此，可以將上述實施方式所示的記憶體電路用於記憶體電路 810。因為本發明的一個實施方式的記憶體電路即使在關閉電源的狀態下也可以保持資料，所以適用於 RF 標籤。再者，因為本發明的一個實施方式的記憶體電路的資料寫入所需要的電力（電壓）比習知的非揮發性記憶體低得多，所以也可以不產生資料讀出時和寫入時的最大通信距離的差異。再者，本發明的一個實施方式的記憶體電路可以抑制由於資料寫入時的電力不足引起誤動作或誤寫入的情況。

[0287]

此外，因為本發明的一個實施方式的記憶體電路可以用作非揮發性記憶體，所以還可以應用於 ROM811。在此情況下，較佳為生產者另外準備用來對 ROM811 寫入資料的指令防止使用者自由地重寫。由於生產者在預先

寫入識別號碼後出貨，可以僅使出貨的良品具有識別號碼而不使所製造的所有 RF 標籤具有識別號碼，由此不會發生出貨後的產品的識別號碼不連續的情況而可以更容易地根據出貨後的產品進行顧客管理。

[0288]

本實施方式的至少一部分可以與本說明書所記載的其他實施方式適當地組合而實施。

[0289]

實施方式 9

在本實施方式中，至少可以使用在上述實施方式中說明的電晶體，對包括上述實施方式所說明的記憶體裝置的 CPU 進行說明。

[0290]

圖 32 是示出其至少一部分使用上述實施方式所說明的電晶體的 CPU 的一個例子的結構的方塊圖。

[0291]

圖 32 所示的 CPU 在基板 1190 上具有：ALU1191（ALU：Arithmetic logic unit：算術電路）、ALU 控制器 1192、指令解碼器 1193、中斷控制器 1194、時序控制器 1195、暫存器 1196、暫存器控制器 1197、匯流排介面 1198（Bus I/F）、能夠重寫的 ROM1199 以及 ROM 介面 1189（ROM I/F）。作為基板 1190 使用半導體基板、SOI 基板、玻璃基板等。ROM1199 及 ROM 介面 1189 也可以設置在不同的晶片上。當然，圖 32 所示的 CPU 只不過是簡化其結構而所示的一個例子，所以實際上的 CPU 根據其用途具有各種各樣的結構。例如，也可以以包括圖 32 所示的 CPU 或算術電路的結構為核心，設置多個該

核心並使其同時工作。另外，在 CPU 的內部算術電路或資料匯流排中能夠處理的位元數例如可以為 8 位、16 位、32 位、64 位等。

[0292]

藉由匯流排介面 1198 輸入到 CPU 的指令在輸入到指令解碼器 1193 並被解碼之後，輸入到 ALU 控制器 1192、中斷控制器 1194、暫存器控制器 1197、時序控制器 1195。

[0293]

ALU 控制器 1192、中斷控制器 1194、暫存器控制器 1197、時序控制器 1195 根據被解碼的指令進行各種控制。明確而言，ALU 控制器 1192 生成用來控制 ALU1191 的工作的信號。另外，中斷控制器 1194 在執行 CPU 的程式時，根據其優先度或遮罩的狀態來判斷來自外部的輸入/輸出裝置或週邊電路的中斷要求而對該要求進行處理。暫存器控制器 1197 生成暫存器 1196 的位址，並對應於 CPU 的狀態來進行暫存器 1196 的讀出或寫入。

[0294]

另外，時序控制器 1195 生成用來控制 ALU1191、ALU 控制器 1192、指令解碼器 1193、中斷控制器 1194 以及暫存器控制器 1197 的工作時序的信號。例如，時序控制器 1195 具有根據基準時脈信號來生成內部時脈信號的內部時脈生成器，並將內部時脈信號供應到上述各種電路。

[0295]

在圖 32 所示的 CPU 中，在暫存器 1196 中設置有記憶單元。作為暫存器 1196 的記憶單元，可以使用上述實施方式所示的電晶體。

[0296]

在圖 32 所示的 CPU 中，暫存器控制器 1197 根據 ALU1191 的指令進行暫存器 1196 中的保持工作的選擇。換言之，暫存器控制器 1197 選擇在暫存器 1196 所具有的記憶單元中由正反器保持資料還是由電容元件保持資料。在選擇由正反器保持資料的情況下，對暫存器 1196 中的記憶單元供應電源電壓。在選擇由電容元件保持資料的情況下，對電容元件進行資料的重寫，而可以停止對暫存器 1196 中的記憶單元供應電源電壓。

[0297]

圖 33 是可以用作暫存器 1196 的記憶體電路的電路圖的一個例子。記憶體電路 1200 包括當電源關閉時丟失存儲資料的電路 1201、當電源關閉時不丟失存儲資料的電路 1202、開關 1203、開關 1204、邏輯元件 1206、電容元件 1207 以及具有選擇功能的電路 1220。電路 1202 包括電容元件 1208、電晶體 1209 及電晶體 1210。另外，根據需要，記憶體電路 1200 還可以包括其他元件諸如二極體、電阻元件或電感器等。

[0298]

在此，電路 1202 可以使用上述實施方式所說明的記憶體裝置。在停止對記憶體電路 1200 供應電源電壓時，地電位（0V）或使電晶體 1209 關閉的電位連續輸入到電路 1202 中的電晶體 1209 的閘極。例如，電晶體 1209 的閘極藉由電阻器等負載接地。

[0299]

在此示出開關 1203 為具有一導電型（例如，n 通道）的電晶體 1213，而開關 1204 為具有與此相反的導電型（例如，p 通道）的電晶體 1214 的例子。這裡，開關 1203 的第一端子對應於電晶體 1213 的源極和汲極中的一個，

開關 1203 的第二端子對應於電晶體 1213 的源極和汲極中的另一個，並且開關 1203 的第一端子與第二端子之間的導通或非導通（亦即，電晶體 1213 的導通狀態或關閉狀態）由輸入到電晶體 1213 的閘極中的控制信號 RD 選擇。開關 1204 的第一端子對應於電晶體 1214 的源極和汲極中的一個，開關 1204 的第二端子對應於電晶體 1214 的源極和汲極中的另一個，並且開關 1204 的第一端子與第二端子之間的導通或非導通（亦即，電晶體 1214 的導通狀態或關閉狀態）由輸入到電晶體 1214 的閘極中的控制信號 RD 選擇。

[0300]

電晶體 1209 的源極和汲極中的一個電連接到電容元件 1208 的一對電極中的一個及電晶體 1210 的閘極。在此，將連接部分稱為節點 M2。電晶體 1210 的源極和汲極中的一個電連接到能夠供應低電源電位的佈線（例如，GND 線），而另一個電連接到開關 1203 的第一端子（電晶體 1213 的源極和汲極中的一個）。開關 1203 的第二端子（電晶體 1213 的源極和汲極中的另一個）電連接到開關 1204 的第一端子（電晶體 1214 的源極和汲極中的一個）。開關 1204 的第二端子（電晶體 1214 的源極和汲極中的另一個）電連接到能夠供應電源電位 VDD 的佈線。開關 1203 的第二端子（電晶體 1213 的源極和汲極中的另一個）、開關 1204 的第一端子（電晶體 1214 的源極和汲極中的一個）、邏輯元件 1206 的輸入端子和電容元件 1207 的一對電極中的一個是電連接著的。在此，將連接部分稱為節點 M1。可以對電容元件 1207 的一對電極中的另一個輸入固定電位。例如，可以對其輸入低電源電位（GND 等）或高電源電位（VDD 等）。電容元件 1207 的一對電極中的另一個電連接到能夠供應低電源電位的佈線（例如，GND 線）。可以採用對電容

元件 1208 的一對電極中的另一個輸入固定電位的結構。例如，可以對其輸入低電源電位（GND 等）或高電源電位（VDD 等）。電容元件 1208 的一對電極中的另一個電連接到能夠供應低電源電位的佈線（例如，GND 線）。

[0301]

另外，當積極地利用電晶體或佈線的寄生電容等時，可以不設置電容元件 1207 及電容元件 1208。

[0302]

控制信號 WE 輸入到電晶體 1209 的第一閘極（第一閘極電極）。開關 1203 及開關 1204 的第一端子與第二端子之間的導通狀態或非導通狀態由與控制信號 WE 不同的控制信號 RD 選擇，當一個開關的第一端子與第二端子之間處於導通狀態時，另一個開關的第一端子與第二端子之間處於非導通狀態。

[0303]

對應於保持在電路 1201 中的資料的信號被輸入到電晶體 1209 的源極和汲極中的另一個。圖 33 示出從電路 1201 輸出的信號輸入到電晶體 1209 的源極和汲極中的另一個的例子。由邏輯元件 1206 使從開關 1203 的第二端子（電晶體 1213 的源極和汲極中的另一個）輸出的信號的邏輯值反轉而成為反轉信號，將其經由電路 1220 輸入到電路 1201。

[0304]

另外，雖然圖 33 示出從開關 1203 的第二端子（電晶體 1213 的源極和汲極中的另一個）輸出的信號藉由邏輯元件 1206 及電路 1220 輸入到電路 1201 的例子，但是不侷限於此。也可以不使從開關 1203 的第二端子（電晶

體 1213 的源極和汲極中的另一個）輸出的信號的邏輯值反轉而輸入到電路 1201。例如，當在電路 1201 內存在其中保持使從輸入端子輸入的信號的邏輯值反轉的信號的節點時，可以將從開關 1203 的第二端子（電晶體 1213 的源極和汲極中的另一個）輸出的信號輸入到該節點。

[0305]

在圖 33 所示的用於記憶體電路 1200 的電晶體中，電晶體 1209 以外的電晶體也可以使用其通道形成在由氧化物半導體以外的半導體構成的層或基板 1190 中的電晶體。例如，可以使用其通道形成在矽層或矽基板中的電晶體。此外，也可以作為用於記憶體電路 1200 的所有電晶體使用其通道由氧化物半導體形成的電晶體。或者，記憶體電路 1200 除了電晶體 1209 以外還可以包括其通道由氧化物半導體形成的電晶體，並且作為剩下的電晶體可以使用其通道形成在由氧化物半導體以外的半導體構成的層或基板 1190 中的電晶體。

[0306]

圖 33 所示的電路 1201 例如可以使用正反器電路。另外，作為邏輯元件 1206 例如可以使用反相器或時脈反相器等。

[0307]

在本發明的一個實施方式的半導體裝置中，在不向記憶體電路 1200 供應電源電壓的期間，可以由設置在電路 1202 中的電容元件 1208 保持儲存在電路 1201 中的資料。

[0308]

另外，其通道形成在氧化物半導體中的電晶體的關態電流極小。例如，

其通道形成在氧化物半導體膜中的電晶體的關態電流比其通道形成在具有結晶性的矽中的電晶體的關態電流小得多。因此，藉由將該電晶體用作電晶體 1209，即使在不向記憶體電路 1200 供應電源電壓的期間也可以長期間地儲存電容元件 1208 所保持的信號。因此，記憶體電路 1200 在停止供應電源電壓的期間也可以保持存儲內容（資料）。

[0309]

另外，由於該記憶體電路是藉由設置開關 1203 及開關 1204 進行預充電工作的記憶體電路，因此它可以縮短直到在再次開始供應電源電壓之後電路 1201 再次保持原來的資料為止的時間。

[0310]

另外，在電路 1202 中，由電容元件 1208 保持的信號被輸入到電晶體 1210 的閘極。因此，在再次開始向記憶體電路 1200 供應電源電壓之後，可以將由電容元件 1208 保持的信號轉換為電晶體 1210 的狀態（導通狀態或關閉狀態），並從電路 1202 讀出。因此，即使對應於保持在電容元件 1208 中的信號的電位有些變動，也可以準確地讀出原來的信號。

[0311]

藉由將這種記憶體電路 1200 用於處理器所具有的暫存器或快取記憶體等記憶體裝置，可以防止記憶體裝置內的資料因停止電源電壓的供應而消失。另外，可以在再次開始供應電源電壓之後在短時間內恢復到停止供應電源之前的狀態。因此，在處理器整體或構成處理器的一個或多個邏輯電路中在短時間內也可以停止電源，從而可以抑制功耗。

[0312]

雖然在本實施方式中對將記憶體電路 1200 用於 CPU 的例子進行說明，但是也可以將記憶體電路 1200 應用於 LSI 諸如 DSP（Digital Signal Processor：數位信號處理器）、定製 LSI、PLD（Programmable Logic Device：可程式邏輯裝置）等或 RF 標籤。

[0313]

本實施方式的至少一部分可以與本說明書所記載的其他實施方式適當地組合而實施。

[0314]

實施方式 10

在本實施方式中，對本發明的一個實施方式的顯示面板的結構例子進行說明。

[0315]

[結構例子]

圖 34A 是本發明的一個實施方式的顯示面板的俯視圖，圖 34B 是用來說明在將液晶元件用於本發明的一個實施方式的顯示面板的像素時可以使用的像素電路的電路圖。另外，圖 34C 是用來說明在將有機 EL 元件用於本發明的一個實施方式的顯示面板的像素時可以使用的像素電路的電路圖。

[0316]

可以根據上述實施方式形成配置在像素部中的電晶體。此外，因為該電晶體容易形成為 n 通道電晶體，所以將驅動電路中的可以由 n 通道電晶體構成的驅動電路的一部分與像素部的電晶體形成在同一基板上。如上所述，藉由將上述實施方式所示的電晶體用於像素部或驅動電路，可以提供

可靠性高的顯示裝置。

[0317]

圖 34A 示出主動矩陣型顯示裝置的塊圖的一個例子。在顯示裝置的基板 400 上包括：像素部 401；第一掃描線驅動電路 402；第二掃描線驅動電路 403；以及信號線驅動電路 404。在像素部 401 中配置有從信號線驅動電路 404 延伸的多個信號線以及從第一掃描線驅動電路 402 及第二掃描線驅動電路 403 延伸的多個掃描線。此外，在掃描線與信號線的交叉區域中以矩陣狀設置有分別具有顯示元件的像素。另外，顯示裝置的基板 400 藉由 FPC（Flexible Printed Circuit：撓性印刷電路）等的連接部連接到時序控制電路（也稱為控制器、控制 IC）。

[0318]

在圖 34A 中，與像素部 401 在同一基板 400 上形成第一掃描線驅動電路 402、第二掃描線驅動電路 403、信號線驅動電路 404。由此，設置在外部的驅動電路等的構件的數量減少，從而能夠實現成本的降低。另外，當在基板 400 的外部設置驅動電路時，需要使佈線延伸，且佈線之間的連接數量增加。當在基板 400 上設置驅動電路時，可以減少該佈線之間的連接數量，從而可以謀求提高可靠性或良率。

[0319]

[液晶顯示面板]

另外，圖 34B 示出像素的電路結構的一個例子。在此，示出可以用於 VA 方式的液晶顯示面板的像素的像素電路。

[0320]

可以將該像素電路應用於一個像素具有多個像素電極的結構。各像素電極分別與不同的電晶體連接，以能夠藉由不同閘極信號驅動各電晶體。由此，可以獨立地控制施加到以多域設計的像素中的各像素電極的信號。

[0321]

電晶體 416 的閘極佈線 412 和電晶體 417 的閘極佈線 413 彼此分離，以便能夠被提供不同的閘極信號。另一方面，電晶體 416 和電晶體 417 共同使用用作資料線的源極電極或汲極電極 414。作為電晶體 416 及電晶體 417，可以適當地利用上述實施方式所示的電晶體。由此可以提供可靠性高的液晶顯示面板。

[0322]

另外，電晶體 416 與第一像素電極電連接，並且電晶體 417 與第二像素電極電連接。第一像素電極與第二像素電極分離。注意，對第一像素電極及第二像素電極的形狀沒有特別的限制。例如，第一像素電極可以是 V 字狀。

[0323]

電晶體 416 的閘極電極連接到閘極佈線 412，而電晶體 417 的閘極電極連接到閘極佈線 413。藉由對閘極佈線 412 和閘極佈線 413 施加不同的閘極信號，可以使電晶體 416 及電晶體 417 的工作時序互不相同來控制液晶配向。

[0324]

另外，也可以由電容佈線 410、用作電介質的閘極絕緣體以及與第一像素電極層或第二像素電極層電連接的電容電極形成儲存電容器。

[0325]

在多域結構中，在一個像素中設置有第一液晶元件 418 和第二液晶元件 419。第一液晶元件 418 由第一像素電極、相對電極以及它們之間的液晶層構成，而第二液晶元件 419 由第二像素電極、相對電極以及它們之間的液晶層構成。

[0326]

此外，圖 34B 所示的像素電路不侷限於此。例如，也可以在圖 34B 所示的像素電路中加上開關、電阻元件、電容元件、電晶體、感測器或邏輯電路等。

[0327]

[有機 EL 顯示面板]

圖 34C 示出像素的電路結構的其他例子。在此，示出使用有機 EL 元件的顯示面板的像素結構。

[0328]

在有機 EL 元件中，藉由對發光元件施加電壓，電子和電洞從一對電極分別注入到包含發光有機化合物的層，而產生電流。然後，藉由使電子和電洞再結合，發光有機化合物達到激發態，並且當該激發態恢復到基態時，獲得發光。根據這種機制，該發光元件被稱為電流激發型發光元件。

[0329]

圖 34C 是示出可以應用的像素電路的一個例子的圖。這裡示出在一個像素中使用兩個 n 通道電晶體的例子。另外，可以將本發明的一個實施方式的金屬氧化物膜用於 n 通道型電晶體的通道形成區域。另外，該像素電路可以採用數位時間灰階驅動。

[0330]

以下說明可以應用的像素電路的結構及採用數位時間灰階驅動時的像素的工作。

[0331]

像素 420 包括切換電晶體 421、驅動電晶體 422、發光元件 424 以及電容元件 423。在切換電晶體 421 中，閘極電極與掃描線 426 連接，第一電極（源極電極和汲極電極中的一個）與信號線 425 連接，並且第二電極（源極電極和汲極電極中的另一個）與驅動電晶體 422 的閘極電極連接。在驅動電晶體 422 中，閘極電極藉由電容元件 423 與電源線 427 連接，第一電極與電源線 427 連接，第二電極與發光元件 424 的第一電極（像素電極）連接。發光元件 424 的第二電極相當於共用電極 428。共用電極 428 與形成在同一基板上的共用電位線電連接。

[0332]

作為切換電晶體 421 及驅動電晶體 422，可以適當地利用上述實施方式所示的電晶體。由此可以提供可靠性高的有機 EL 顯示面板。

[0333]

將發光元件 424 的第二電極（共用電極 428）的電位設定為低電源電位。注意，低電源電位是指低於供應到電源線 427 的高電源電位的電位，例如可以以 GND、0V 等為低電源電位。將高電源電位與低電源電位設定為發光元件 424 的正向臨界電壓以上，將其電位差施加到發光元件 424 上來使電流流過發光元件 424，以使發光元件 424 發光。發光元件 424 的正向電壓是指獲得所希望的亮度時的電壓，至少包含正向臨界電壓。

[0334]

另外，還可以使用驅動電晶體 422 的閘極電容代替電容元件 423 而省略電容元件 423。作為驅動用電晶體 422 的閘極電容，可以在通道形成區域與閘極電極之間形成電容。

[0335]

接著，說明輸入到驅動電晶體 422 的信號。當採用電壓輸入電壓驅動方式時，對驅動電晶體 422 輸入使驅動電晶體 422 充分處於導通狀態或關閉狀態的兩個狀態的視訊信號。為了使驅動電晶體 422 在線性區域中工作，所以將比電源線 427 的電壓高的電壓施加到驅動電晶體 422 的閘極電極。另外，對信號線 425 施加電源線電壓和驅動電晶體 422 的臨界電壓 Vth 的總和以上的電壓。

[0336]

當進行類比灰階驅動時，對驅動電晶體 422 的閘極電極施加發光元件 424 的正向電壓和驅動電晶體 422 的臨界電壓 Vth 的總和以上的電壓。另外，藉由輸入使驅動電晶體 422 在飽和區域中工作的視訊信號，使電流流過發光元件 424。為了使驅動電晶體 422 在飽和區域中工作，使電源線 427 的電位高於驅動電晶體 422 的閘極電位。藉由採用類比方式的視訊信號，可以使與視訊信號對應的電流流過發光元件 424 中，而進行類比灰階驅動。

[0337]

注意，像素電路的結構不侷限於圖 34C 所示的像素結構。例如，還可以在圖 34C 所示的像素電路中加上開關、電阻元件、電容元件、感測器、電晶體或邏輯電路等。

[0338]

當將上述實施方式所例示的電晶體應用於圖 34A 至圖 34C 所例示的電路時，源極電極（第一電極）及汲極電極（第二電極）分別電連接到低電位一側及高電位一側。再者，可以由控制電路等控制第一閘極電極的電位，並且可以藉由未圖示的佈線將比供應到源極電極的電位低的電位等上述電位輸入到第二閘極電極。

[0339]

本實施方式的至少一部分可以與本說明書所記載的其他實施方式適當地組合而實施。

[0340]

實施方式 11

本發明的一個實施方式的半導體裝置可以用於顯示裝置、個人電腦或具備儲存媒體的影像再現裝置（典型的是，能夠播放儲存媒體如數位影音光碟（DVD：Digital Versatile Disc）等並具有可以顯示該影像的顯示器的裝置）中。另外，作為可以使用本發明的一個實施方式的半導體裝置的電子裝置，可以舉出行動電話、包括可攜式的遊戲機、可攜式資料終端、電子書閱讀器終端、拍攝裝置諸如視頻攝影機或數位相機等、護目鏡型顯示器（頭戴式顯示器）、導航系統、音頻再生裝置（汽車音響系統、數位聲訊播放機等）、影印機、傳真機、印表機、多功能印表機、自動櫃員機（ATM）以及自動販賣機等。圖 35A 至圖 35F 示出這些電子裝置的具體例子。

[0341]

圖 35A 是可攜式遊戲機，其包括外殼 901、外殼 902、顯示部 903、顯

示部 904、麥克風 905、揚聲器 906、操作鍵 907 以及觸控筆 908 等。注意，雖然圖 35A 所示的可攜式遊戲機包括兩個顯示部 903 和顯示部 904，但是可攜式遊戲機所包括的顯示部的個數不限於此。

[0342]

圖 35B 是可攜式資料終端，其包括第一外殼 911、第二外殼 912、第一顯示部 913、第二顯示部 914、連接部 915、操作鍵 916 等。第一顯示部 913 設置在第一外殼 911 中，而第二顯示部 914 設置在第二外殼 912 中。而且，第一外殼 911 和第二外殼 912 由連接部 915 連接，可以藉由連接部 915 改變第一外殼 911 和第二外殼 912 之間的角度。第一顯示部 913 的影像也可以根據連接部 915 所形成的第一外殼 911 和第二外殼 912 之間的角度切換。另外，也可以對第一顯示部 913 和第二顯示部 914 中的至少一個使用附加有位置輸入功能的顯示裝置。另外，可以藉由在顯示裝置中設置觸控面板來附加位置輸入功能。或者，也可以藉由在顯示裝置的像素部中設置還稱為光感測器的光電轉換元件來附加位置輸入功能。

[0343]

圖 35C 是膝上型個人電腦，其包括外殼 921、顯示部 922、鍵盤 923 以及指向裝置 924 等。

[0344]

圖 35D 是電冷藏冷凍箱，其包括外殼 931、冷藏室門 932、冷凍室門 933 等。

[0345]

圖 35E 是視頻攝影機，其包括第一外殼 941、第二外殼 942、顯示部 943、

操作鍵 944、透鏡 945、連接部 946 等。操作鍵 944 及透鏡 945 設置在第一外殼 941 中，而顯示部 943 設置在第二外殼 942 中。並且，第一外殼 941 和第二外殼 942 由連接部 946 連接，可以藉由連接部 946 改變第一外殼 941 和第二外殼 942 之間的角度。顯示部 943 的影像也可以根據連接部 946 所形成的第一外殼 941 和第二外殼 942 之間的角度切換。

[0346]

圖 35F 是汽車，其包括車身 951、車輪 952、儀表板 953 及燈 954 等。

[0347]

本實施方式的至少一部分可以與本說明書所記載的其他實施方式適當地組合而實施。

[0348]

實施方式 12

在本實施方式中，參照圖 36A 至圖 36F 說明本發明的一個實施方式的 RF 標籤的使用例子。RF 標籤的用途廣泛，例如可以設置於物品諸如鈔票、硬幣、有價證券類、不記名債券類、證件類（駕駛執照、居民卡等，參照圖 36A）、儲存媒體（DVD、錄影帶等，參照圖 36B）、包裝用容器類（包裝紙、瓶子等，參照圖 36C）、車輛類（自行車等，參照圖 36D）、個人物品（包、眼鏡等）、食物類、植物類、動物類、人體、衣物類、生活用品類、包括藥品或藥劑的醫療品、電子裝置（液晶顯示裝置、EL 顯示裝置、電視機或行動電話）等或者各物品的裝運標籤（參照圖 36E 和圖 36F）等。

[0349]

本發明的一個實施方式的 RF 標籤 4000 以貼到物品表面上或者嵌入物

品的方式固定。例如，當物品為書本時，RF 標籤 4000 以嵌入在書本的紙張裡的方式固定在書本，而當物品為有機樹脂的包裝時，RF 標籤 4000 以嵌入在有機樹脂中的方式固定在有機樹脂的包裝。本發明的一個實施方式的 RF 標籤 4000 實現了小型、薄型以及輕量，所以即使固定在物品中也不會影響到該物品的設計性。另外，藉由將本發明的一個實施方式的 RF 標籤 4000 設置於鈔票、硬幣、有價證券類、不記名債券類或證件類等，可以賦予識別功能。藉由利用該識別功能可以防止偽造。另外，可以藉由在包裝用容器類、儲存媒體、個人物品、食物類、衣物類、生活用品類或電子裝置等中設置本發明的一個實施方式的 RF 標籤，可以提高檢品系統等系統的運行效率。另外，藉由在車輛類中安裝本發明的一個實施方式的 RF 標籤，可以防止盜竊等而提高安全性。

[0350]

如上所述，藉由將本發明的一個實施方式的 RF 標籤應用於在本實施方式中列舉的各用途，可以降低包括資料的寫入或讀出等工作的功耗，因此能夠使最大通信距離長。另外，即使在不供應電力的狀態下，也可以在極長的期間保持資料，所以上述 RF 標籤適用於寫入或讀出的頻率低的用途。

[0351]

本實施方式的至少一部分可以與本說明書所記載的其他實施方式適當地組合而實施。

【符號說明】

[0352]

101　半導體

102　電子俘獲層

102a　絕緣體

102b　絕緣體

102c　絕緣體

102d　導電體

102e　絕緣體

103　閘極電極

104　閘極絕緣體

105　閘極電極

106　電子俘獲能階

107　電子

108　曲線

109　曲線

110　電晶體

111　電容元件

200　攝像裝置

201　開關

202　開關

203　開關

210　像素部

211　像素

212　子像素

212B　子像素

212G　子像素

212R　子像素

220　光電轉換元件

230　像素電路

231　佈線

247　佈線

248　佈線

249　佈線

250　佈線

253　佈線

254　濾光片

254B　濾光片

254G　濾光片

254R　濾光片

255　透鏡

256　光

257　佈線

260　週邊電路

270　週邊電路

280　週邊電路

290　週邊電路

291 光源

300 電晶體

302 絕緣體

303 絕緣體

304 接觸孔

305 絕緣體

308 絕緣體

310 電晶體

315 電容元件

320 電容元件

330 閘極電極

341 電極

342 電極

350 基板

351 STI

353 擴散層

354 絕緣體

355 側壁

360 絕緣體

361 絕緣體

362 絕緣體

363 絕緣體

364 絕緣體

365 絕緣體

370 插頭

371 插頭

372 插頭

373 佈線層

374 佈線層

375 佈線層

376 佈線層

377 佈線層

378 佈線層

379 佈線層

380 佈線層

381 佈線層

382 插頭

383 插頭

384 插頭

385 佈線層

386 佈線層

387 佈線層

388 插頭

389 插頭

390　佈線層

391　插頭

392　插頭

393　佈線層

394　佈線層

400　基板

401　像素部

402　掃描線驅動電路

403　掃描線驅動電路

404　信號線驅動電路

410　電容佈線

412　閘極佈線

413　閘極佈線

414　汲極電極

416　電晶體

417　電晶體

418　液晶元件

419　液晶元件

420　像素

421　切換電晶體

422　驅動電晶體

423　電容元件

424　發光元件

425　信號線

426　掃描線

427　電源線

428　共用電極

500　矽基板

510　層

520　層

530　層

540　層

551　電晶體

552　電晶體

553　電晶體

560　光電二極體

561　陽極

562　陰極

563　低電阻區域

570　插頭

571　佈線

572　佈線

573　佈線

580　絕緣體

581 絕緣體

583 接觸孔

590 微透鏡陣列層

592 濾色片層

594 遮光層

600 基板

602 絕緣體

604 絕緣體

606 閘極電極

606b 閘極電極

608 絕緣體

610 電子俘獲層

612 絕緣體

612b 汲極電極

613 氧化物半導體

614 氧化物半導體

614a 氧化物半導體

614c 氧化物半導體

615 導電體

616a 源極電極

616b 汲極電極

618 閘極絕緣體

620 閘極電極

622 絕緣體

650 通道形成區域

700 基板

704a 導電體

704b 導電體

706 半導體

708 絕緣體

712a 絕緣體

712b 絕緣體

714a 導電體

714b 導電體

715 電子俘獲層

716a 導電體

716b 導電體

718a 絕緣體

718b 絕緣體

718c 絕緣體

719 發光元件

720 絕緣體

721 絕緣體

731 端子

732 FPC

733a 佈線

734 密封材料

735 驅動電路

736 驅動電路

737 像素

741 電晶體

742 電容元件

743 切換元件

744 信號線

750 基板

751 電晶體

752 電容元件

753 液晶元件

754 掃描線

755 信號線

781 導電體

782 發光層

783 導電體

784 分隔壁

791 導電體

792 絕緣體

793 液晶層

794 絕緣體

795 間隔物

796 導電體

797 基板

800 RF 標籤

801 通信器

802 天線

803 無線信號

804 天線

805 整流電路

806 恆壓電路

807 解調變電路

808 調變電路

809 邏輯電路

810 記憶體電路

811 ROM

901 外殼

902 外殼

903 顯示部

904 顯示部

905 麥克風

906　揚聲器

907　操作鍵

908　觸控筆

911　外殼

912　外殼

913　顯示部

914　顯示部

915　連接部

916　操作鍵

921　外殼

922　顯示部

923　鍵盤

924　指向裝置

931　外殼

932　冷藏室門

933　冷凍室門

941　外殼

942　外殼

943　顯示部

944　操作鍵

945　透鏡

946　連接部

951 車身

952 車輪

953 儀表板

954 燈

1189 ROM 介面

1190 基板

1191 ALU

1192 ALU 控制器

1193 指令解碼器

1194 中斷控制器

1195 時序控制器

1196 暫存器

1197 暫存器控制器

1198 匯流排介面

1199 ROM

1200 記憶體電路

1201 電路

1202 電路

1203 開關

1204 開關

1206 邏輯元件

1207 電容元件

1208　電容元件

1209　電晶體

1210　電晶體

1213　電晶體

1214　電晶體

1220　電路

4000　RF 標籤

5100　顆粒

5120　基板

5161　區域

申請專利範圍

1．一種半導體裝置，包括：

第一電晶體；

該第一電晶體上的第一絕緣體；以及

該第一絕緣體上的第二電晶體，

其中，該第一電晶體包括矽，

該第二電晶體包括閘極電極、源極電極、汲極電極以及半導體，

該半導體包括該第二電晶體的通道形成區域，

第一導電體與該半導體以在其間夾有第二絕緣體的方式重疊，

第二導電體與該半導體以在其間夾有該第一導電體的方式重疊，

該第二導電體與該閘極電極位在該半導體的相反側，

並且，該第二導電體不包括與該通道形成區域重疊的區域。

2．一種半導體裝置，包括：

第一電晶體；

該第一電晶體上的第一絕緣體；

該第一絕緣體上的第二電晶體；以及

與該第二電晶體電連接的光電二極體，

其中，該第一電晶體包括矽，

該第二電晶體包括閘極電極、源極電極、汲極電極以及半導體，

該半導體包括該第二電晶體的通道形成區域，

第一導電體與該半導體以在其間夾有第二絕緣體的方式重疊，

第二導電體與該半導體以在其間夾有該第一導電體的方式重疊，

該第二導電體與該閘極電極位在該半導體的相反側，

並且，該第二導電體不包括與該通道形成區域重疊的區域。

圖式

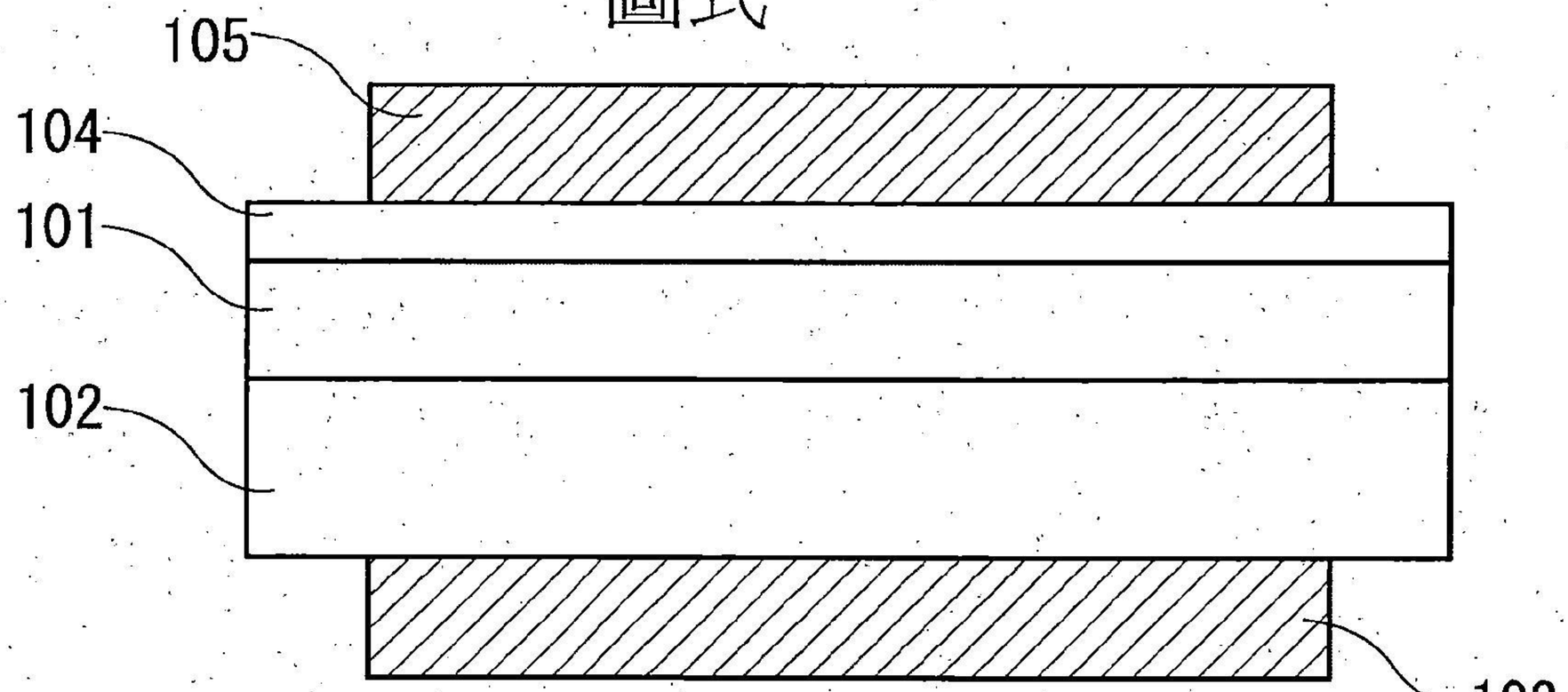

圖 1A

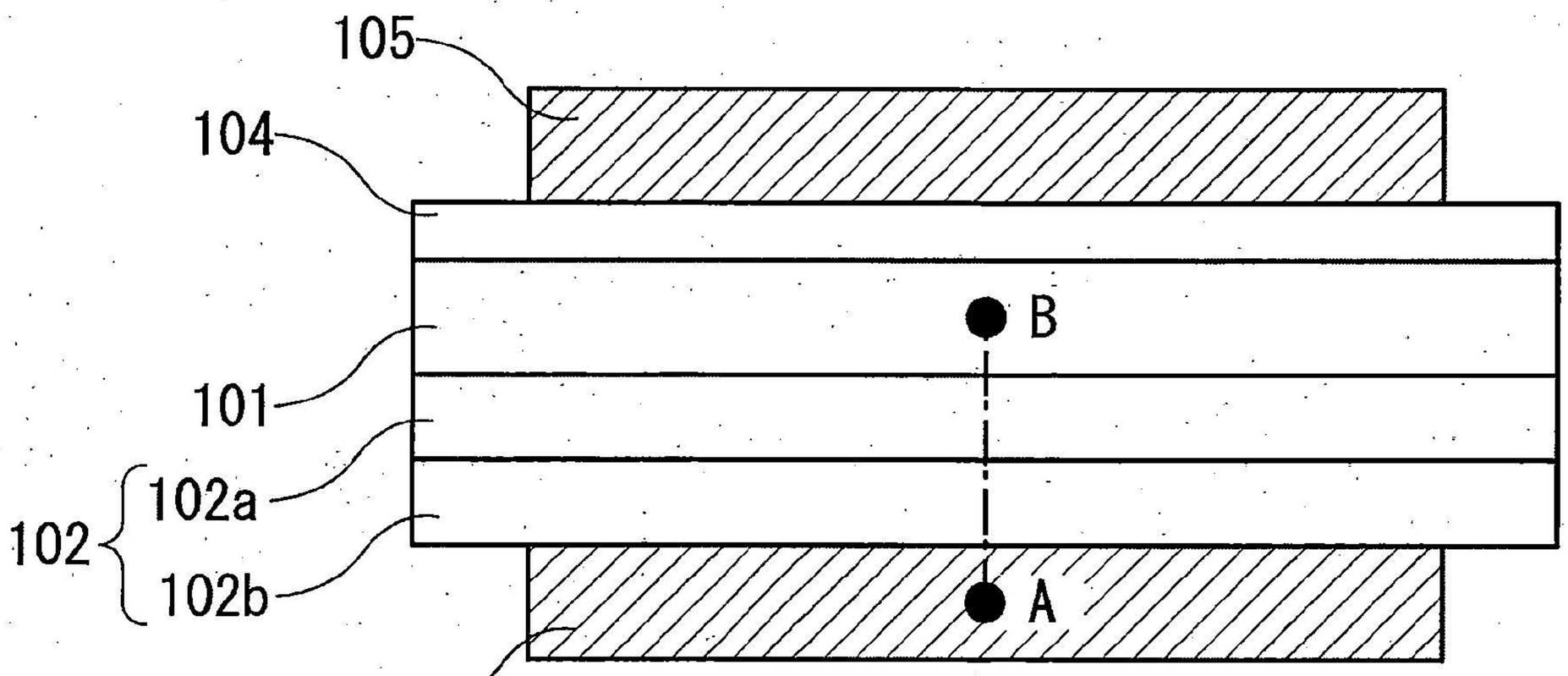

圖 1B

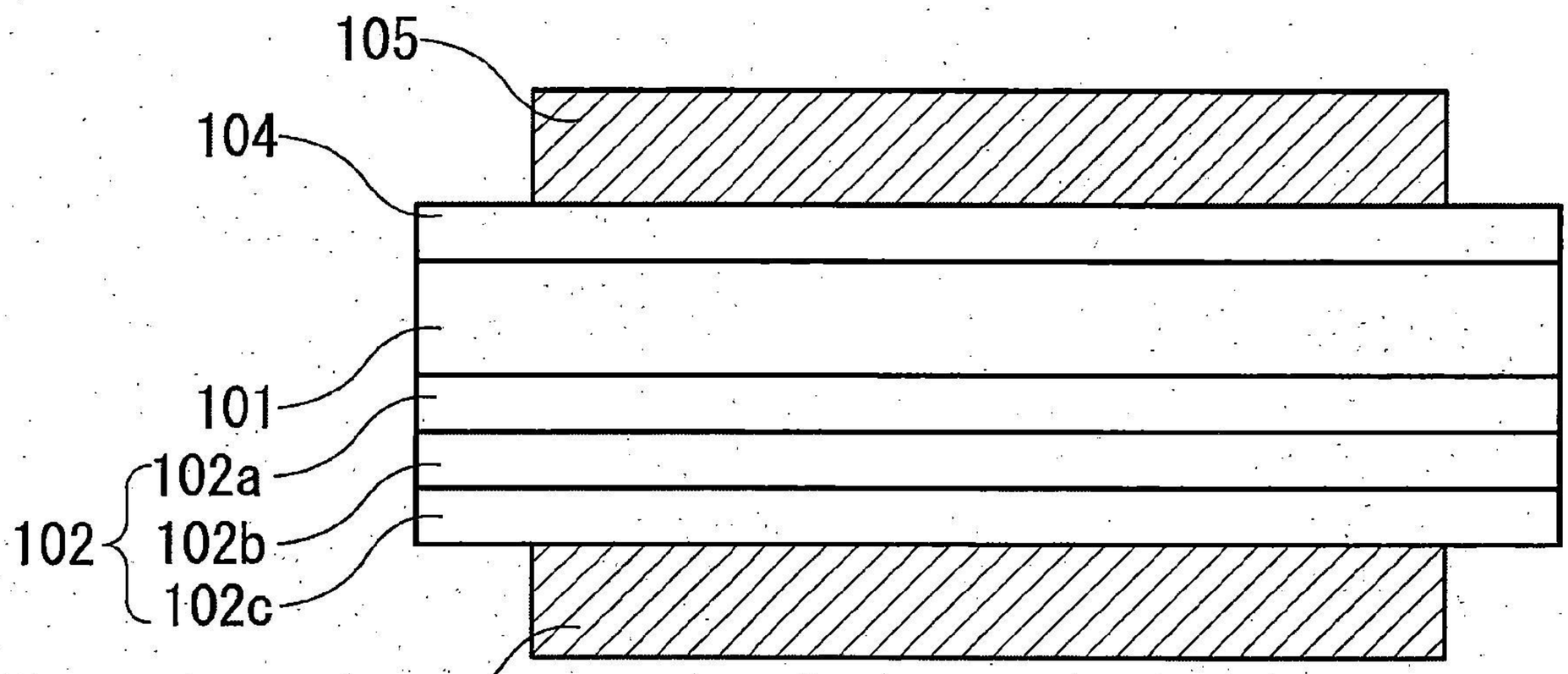

圖 1C

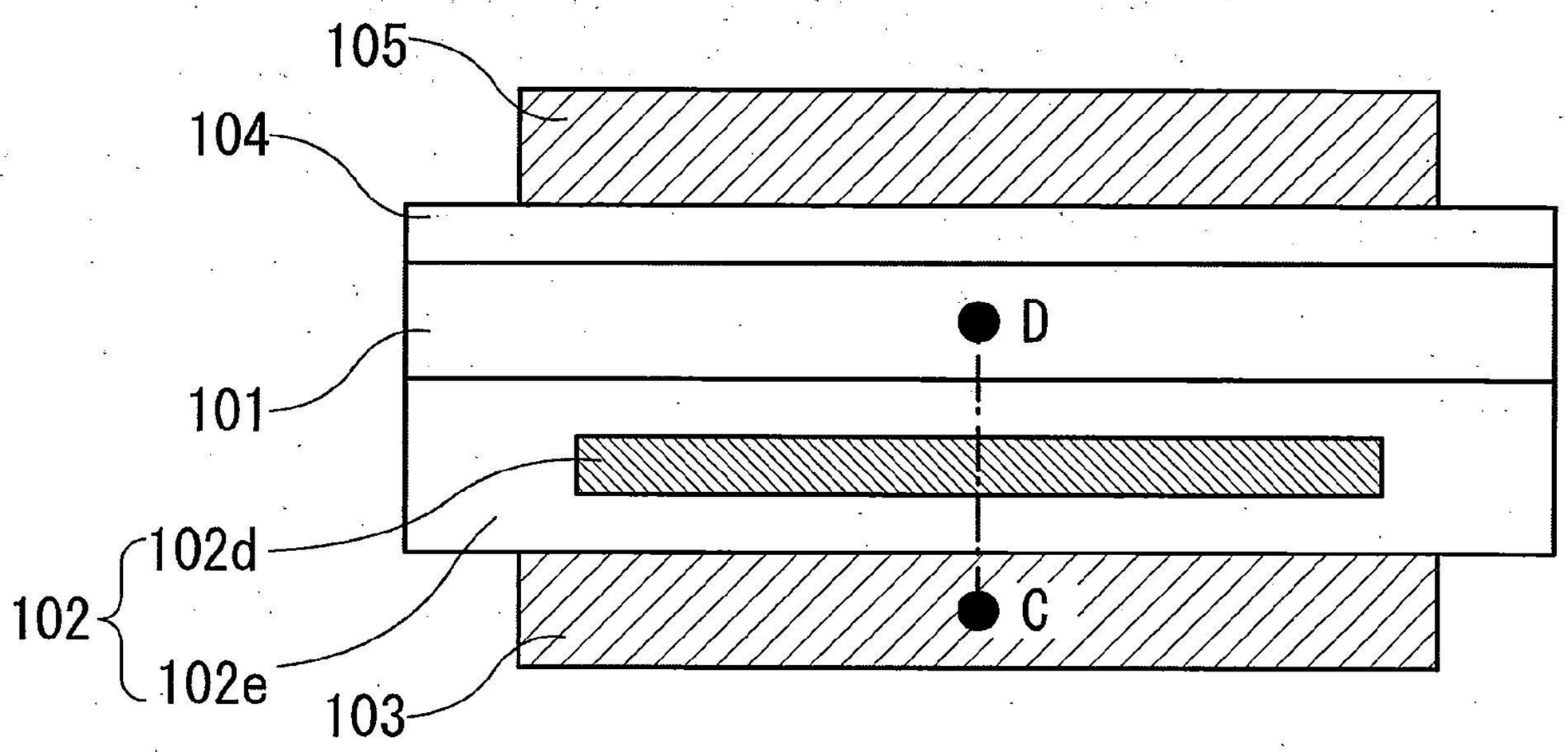

圖 2

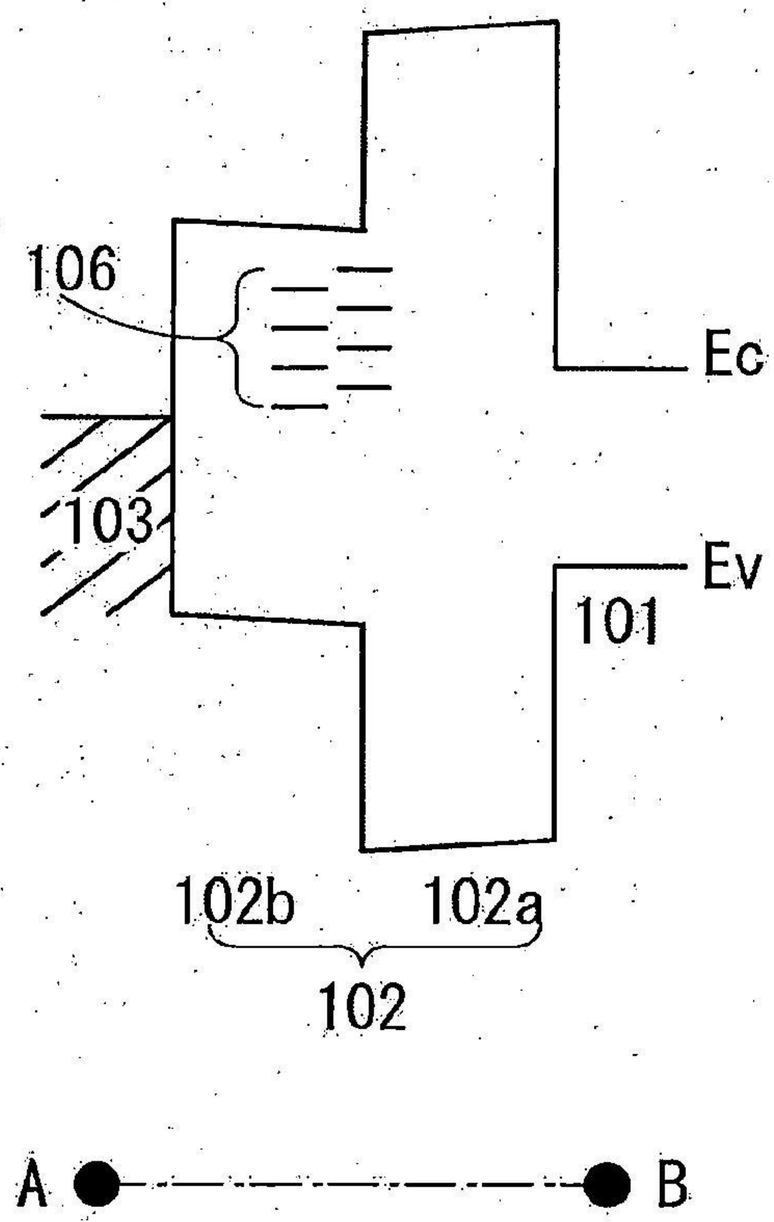

圖 3A

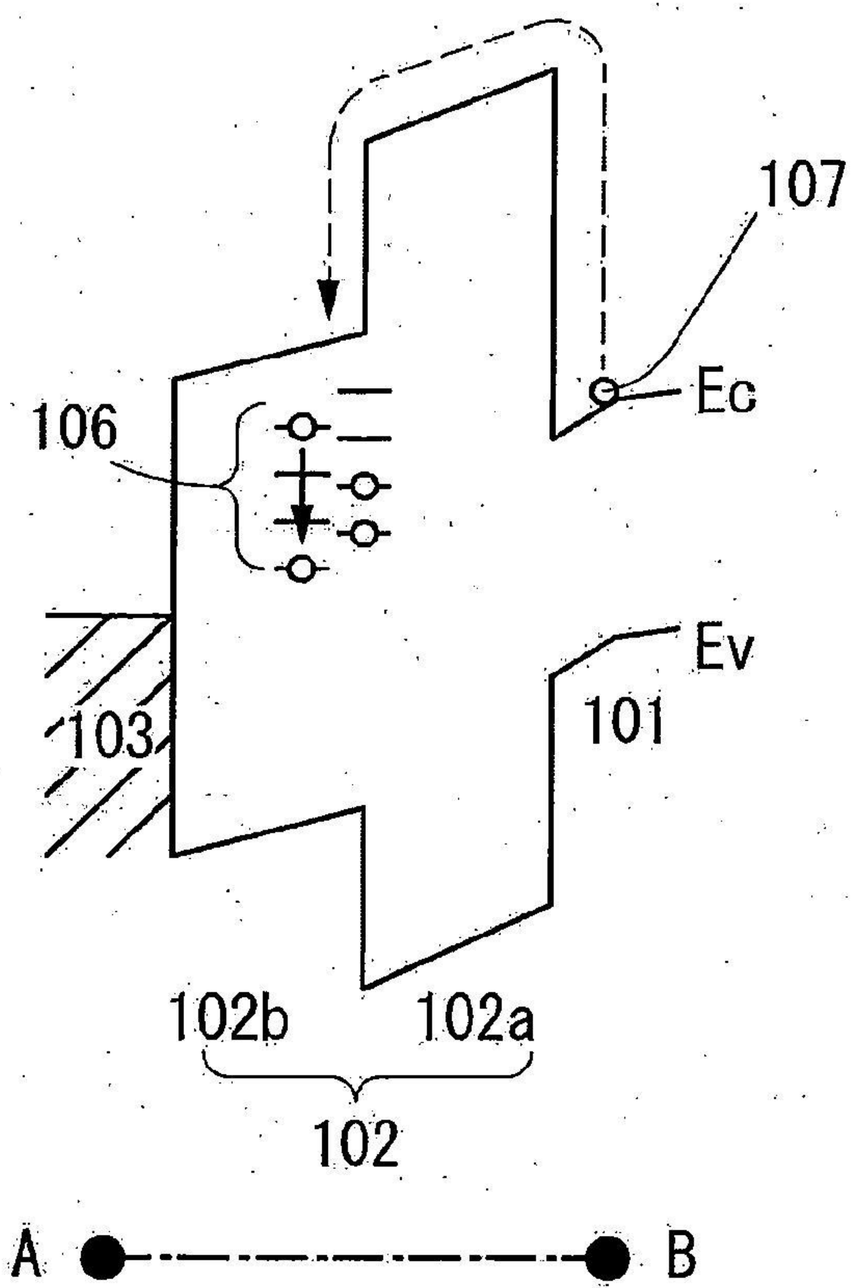

圖 3B

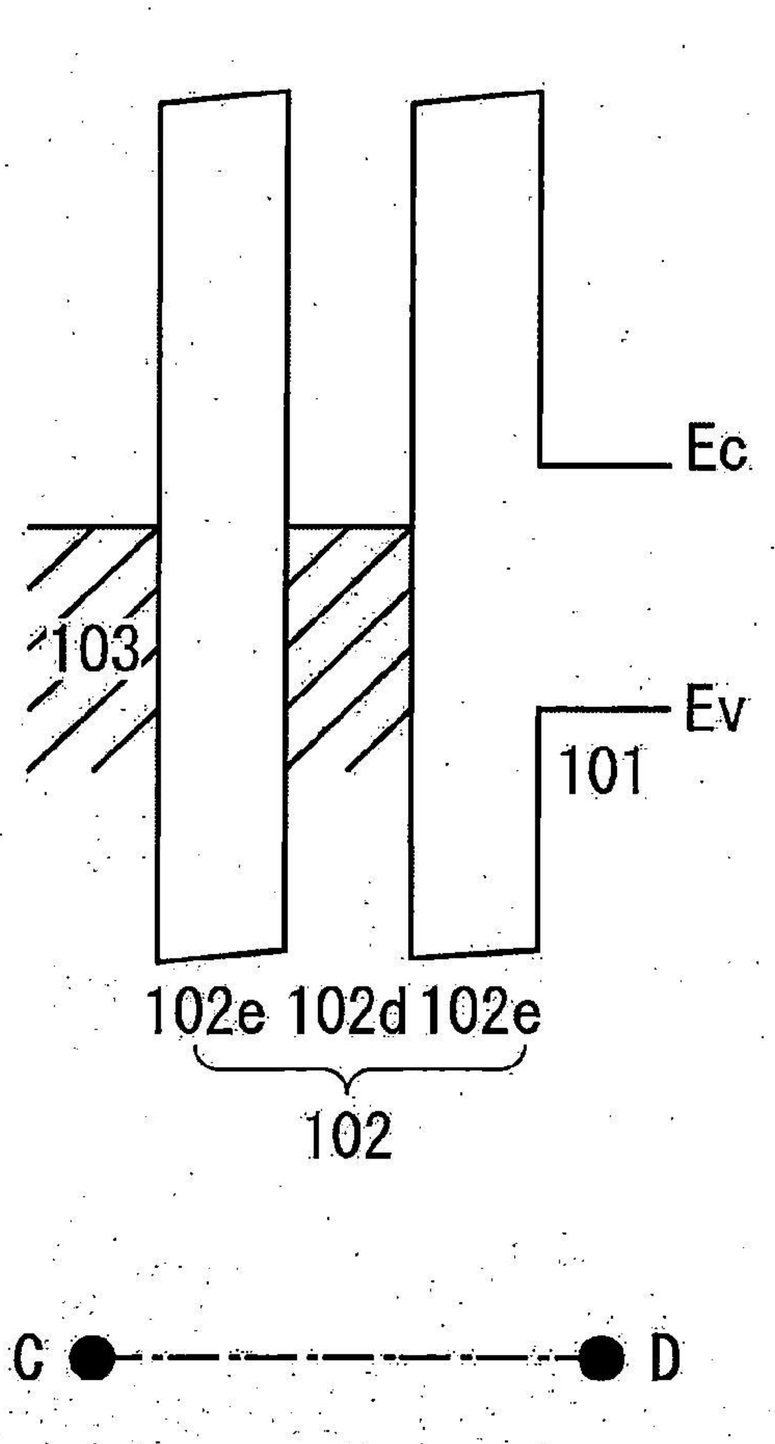

圖 3C

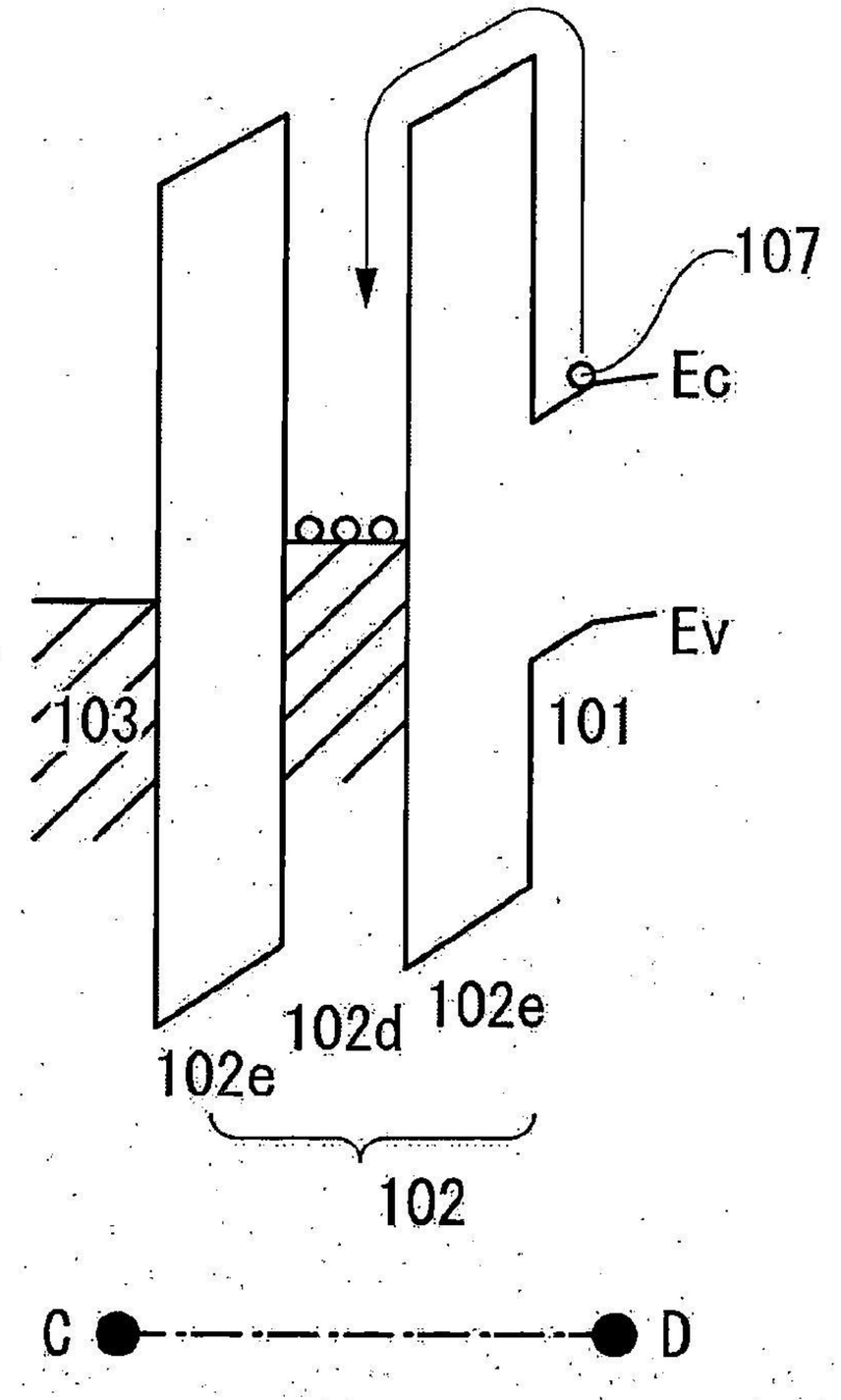

圖 3D

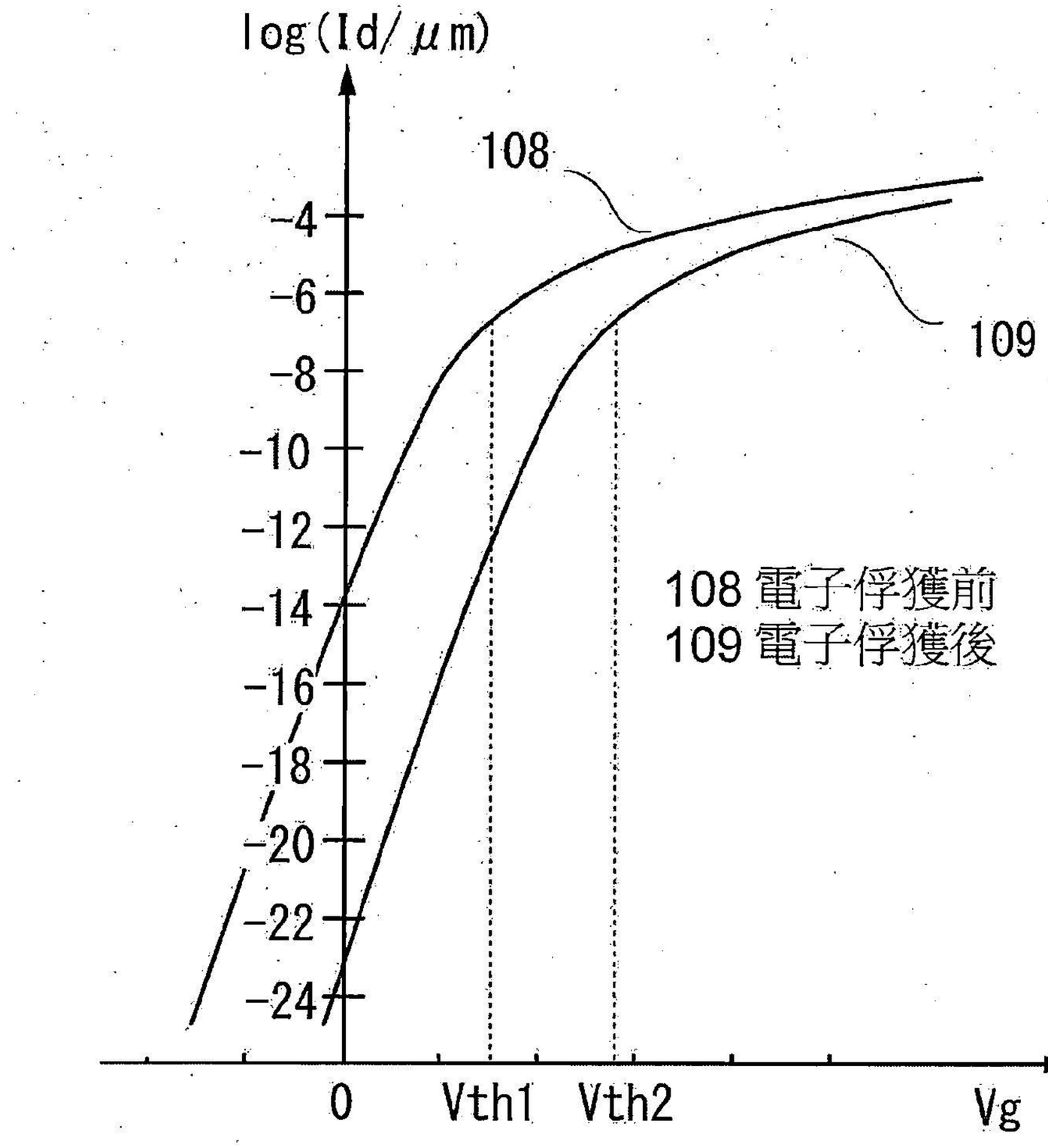
log(Id/μm)
108
109
-4
-6
-8
-10
-12
-14
-16
-18
-20
-22
-24
0
Vth1
Vth2
Vg
108 電子俘獲前
109 電子俘獲後

圖 4A

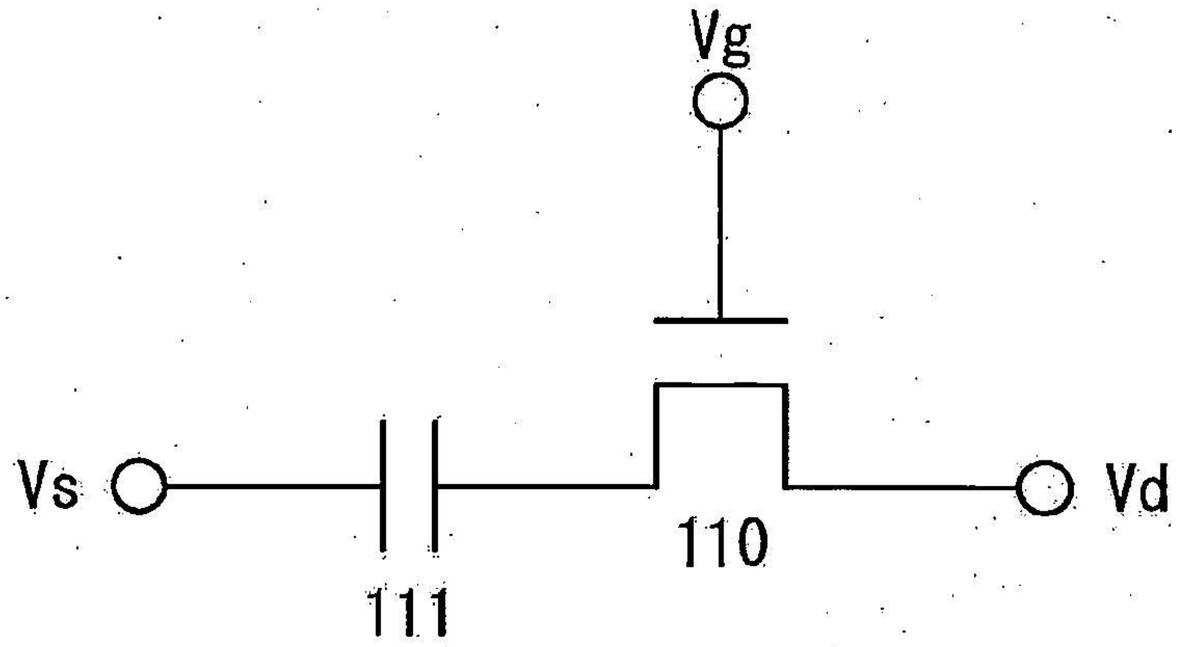
Vg
Vs
Vd
110
111

圖 4B

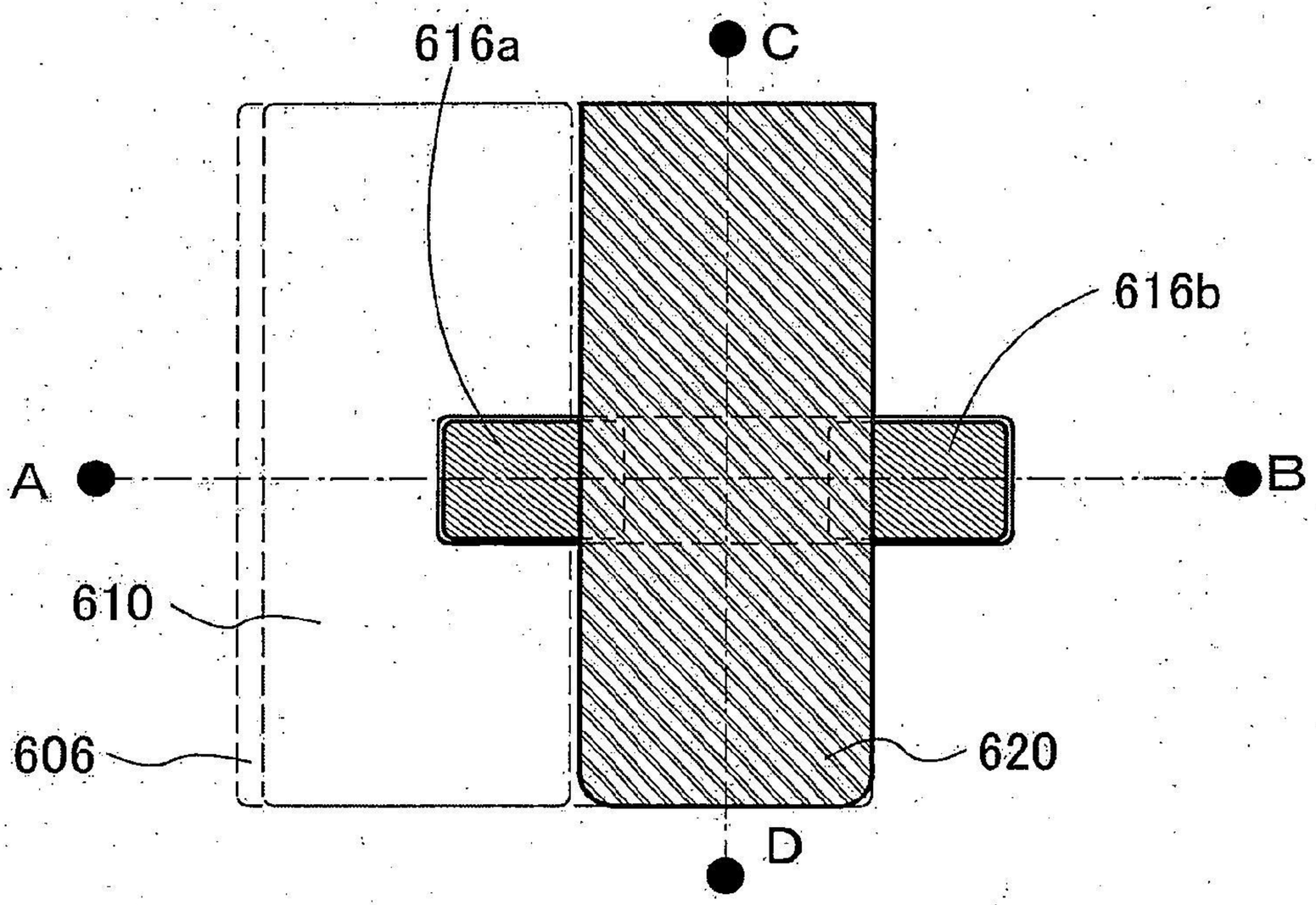
616a
C
616b
A
B
610
606
620
D

圖 5A

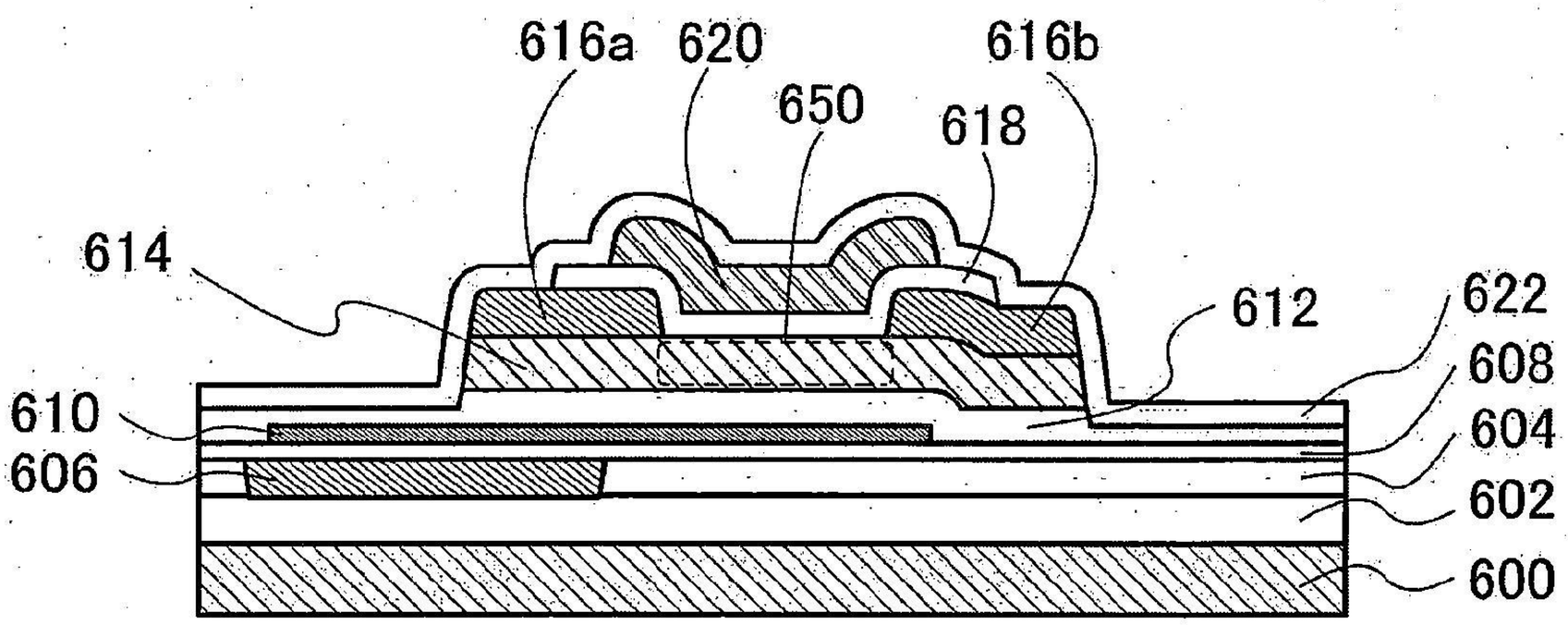
616a
620
650
618
616b
614
612
622
608
610
604
606
602
600
A
B

圖 5B

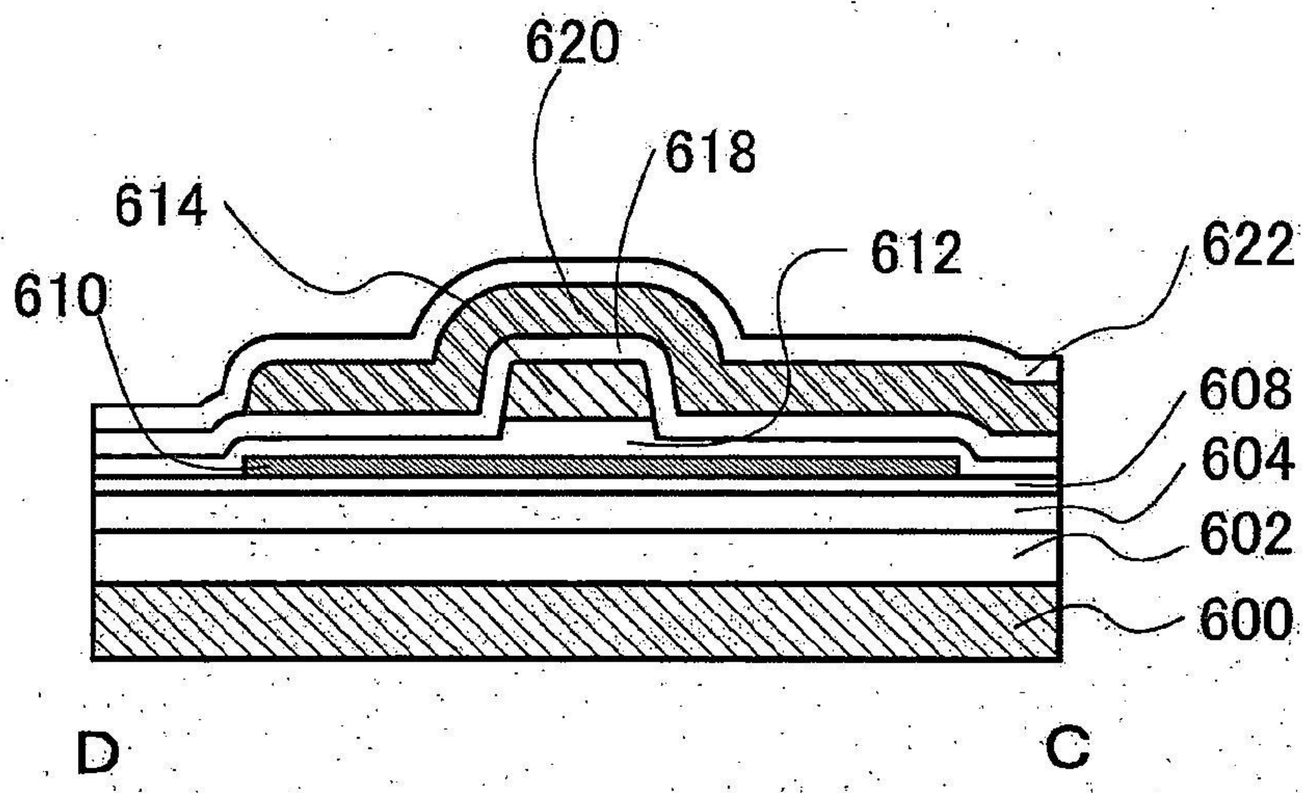
620
618
614
612
622
610
608
604
602
600
D
C

圖 5C

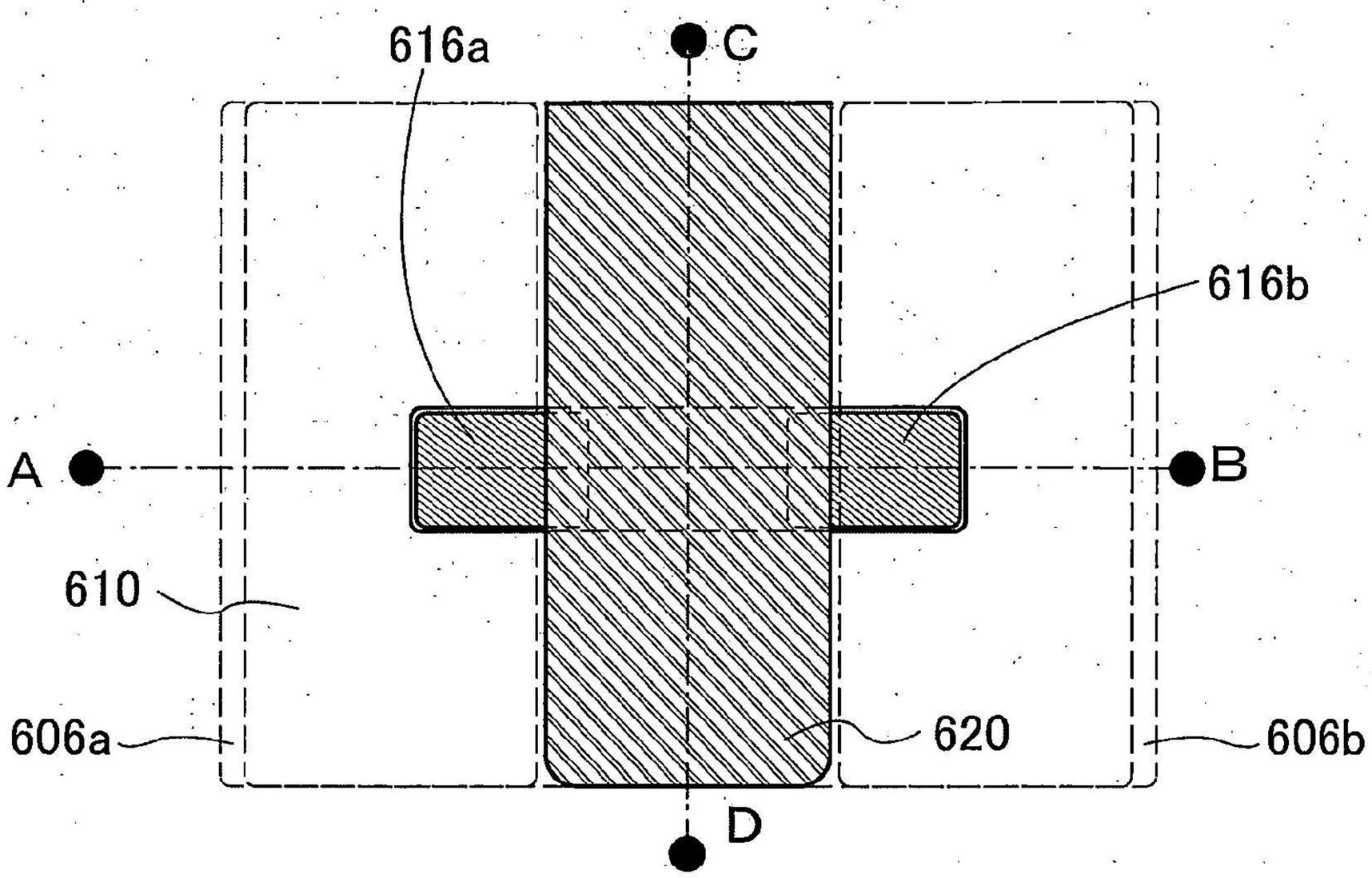
616a
C
616b
A
B
610
606a
620
606b
D

圖 6A

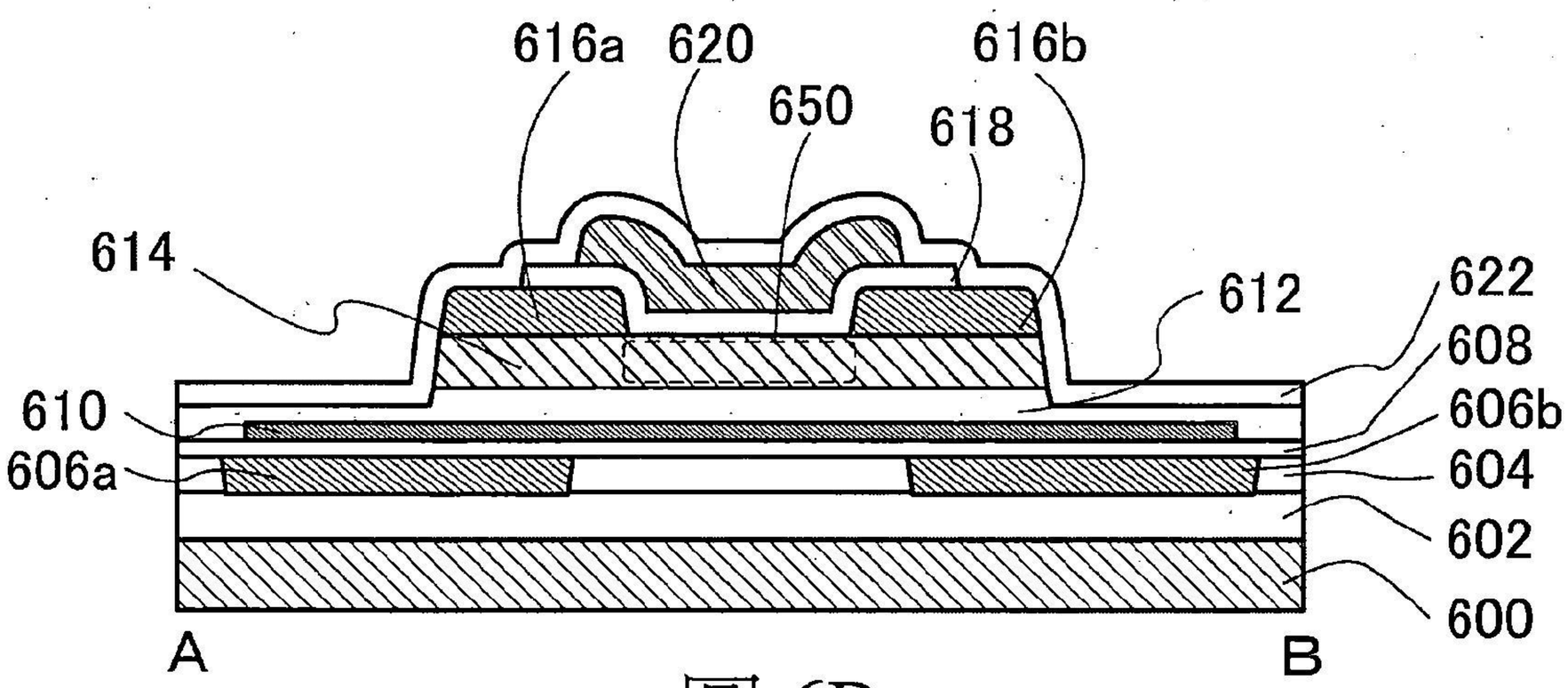
616a
620
650
618
616b
614
612
622
608
610
606b
606a
604
602
600
A
B

圖 6B

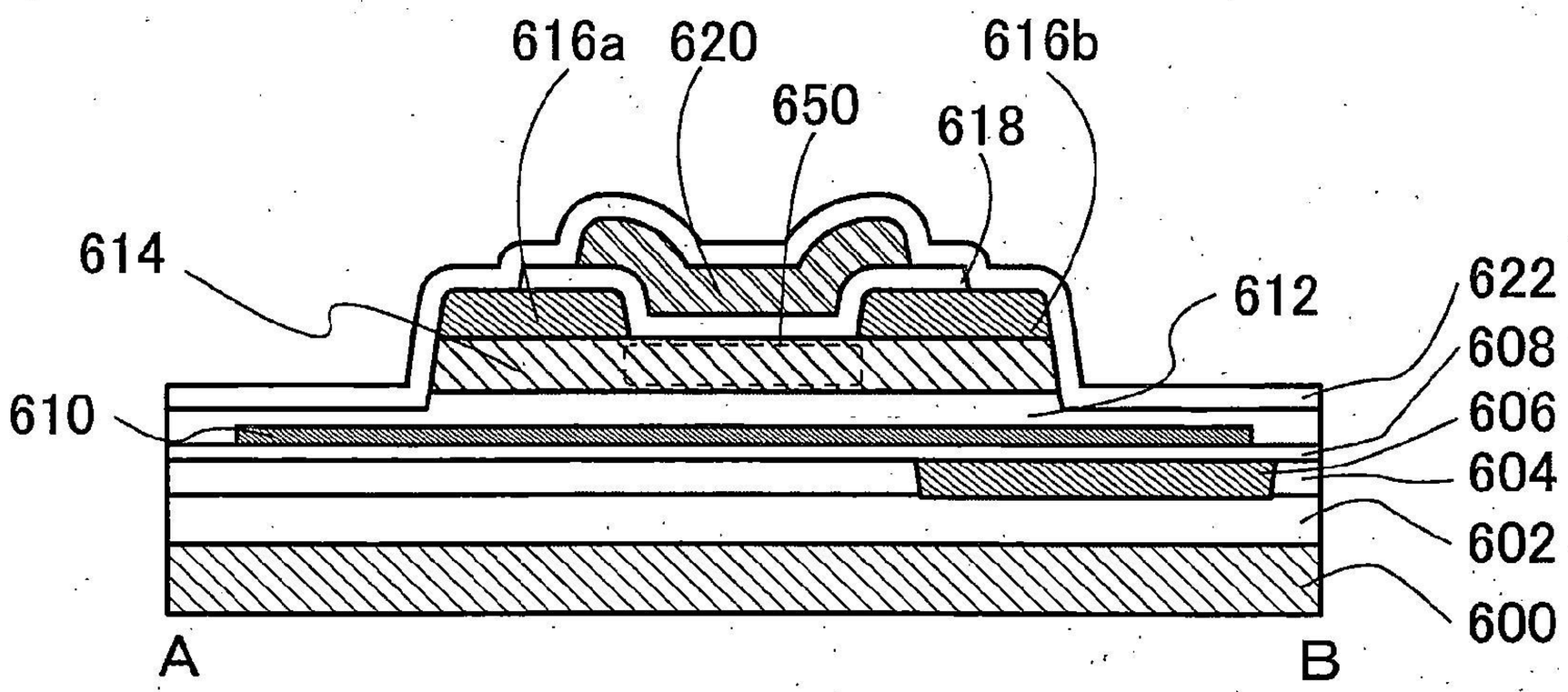
616a
620
650
618
616b
614
612
622
608
610
606
604
602
600
A
B

圖 6C

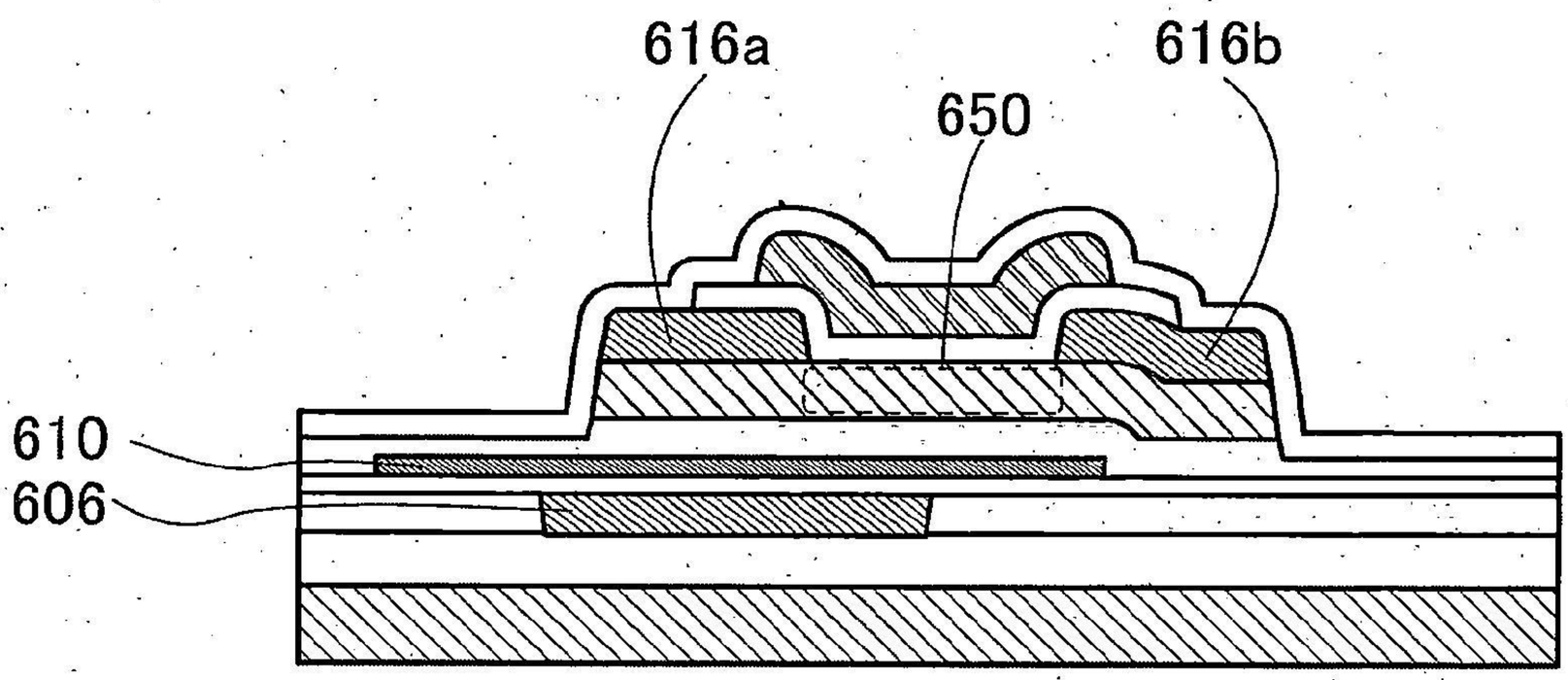
616a
650
616b
610
606
A
B

圖 7A

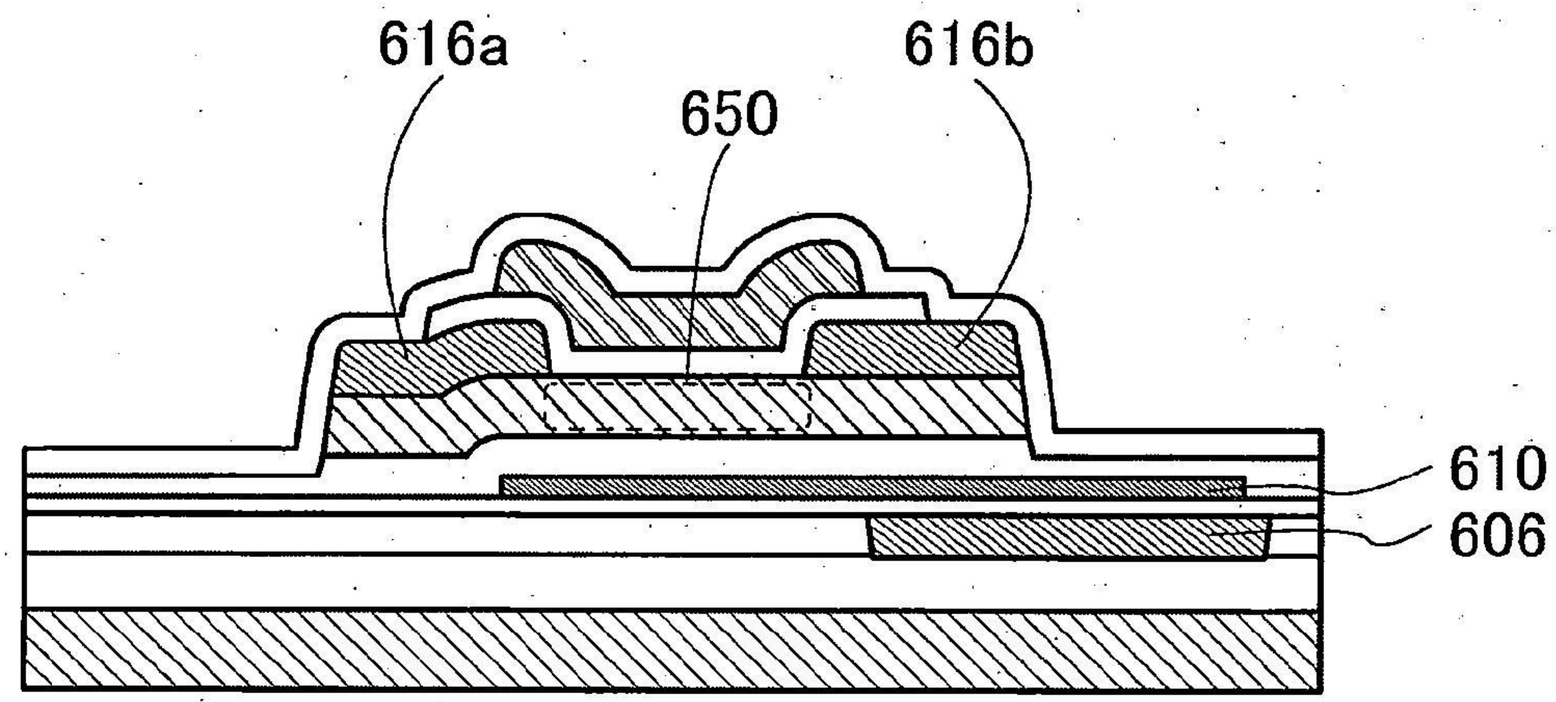
616a
650
616b
610
606
A
B

圖 7B

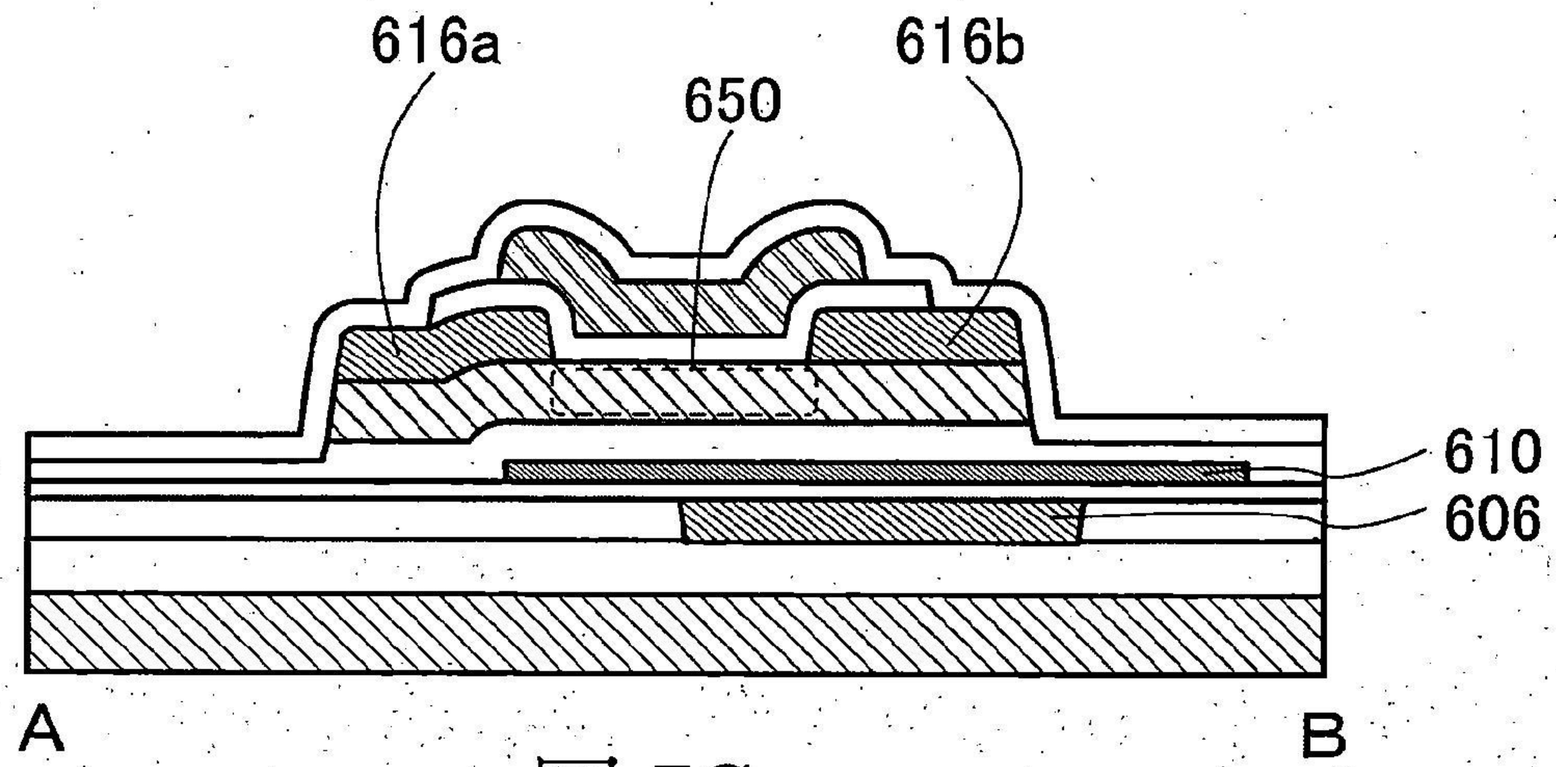
616a
650
616b
610
606
A
B

圖 7C

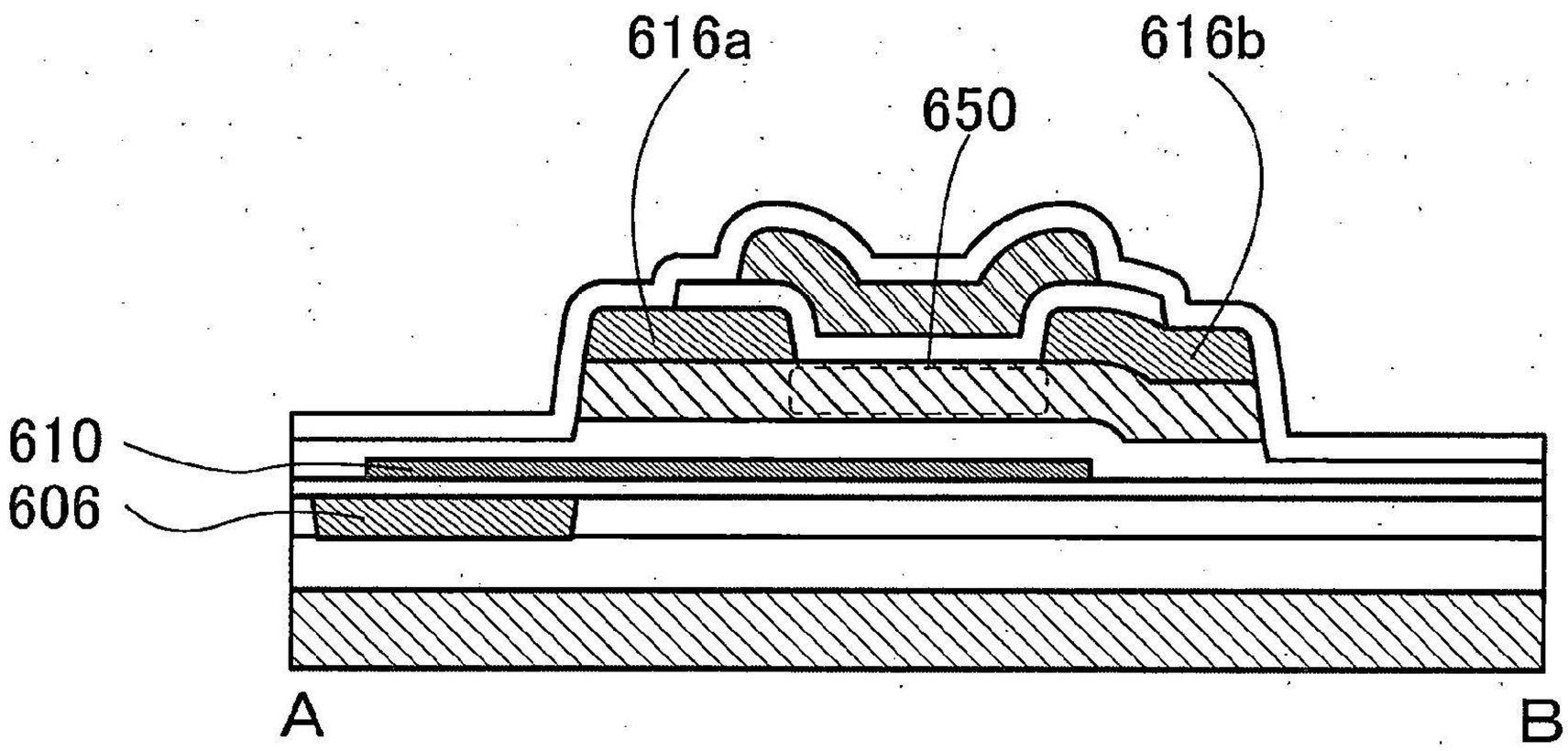

圖 8A

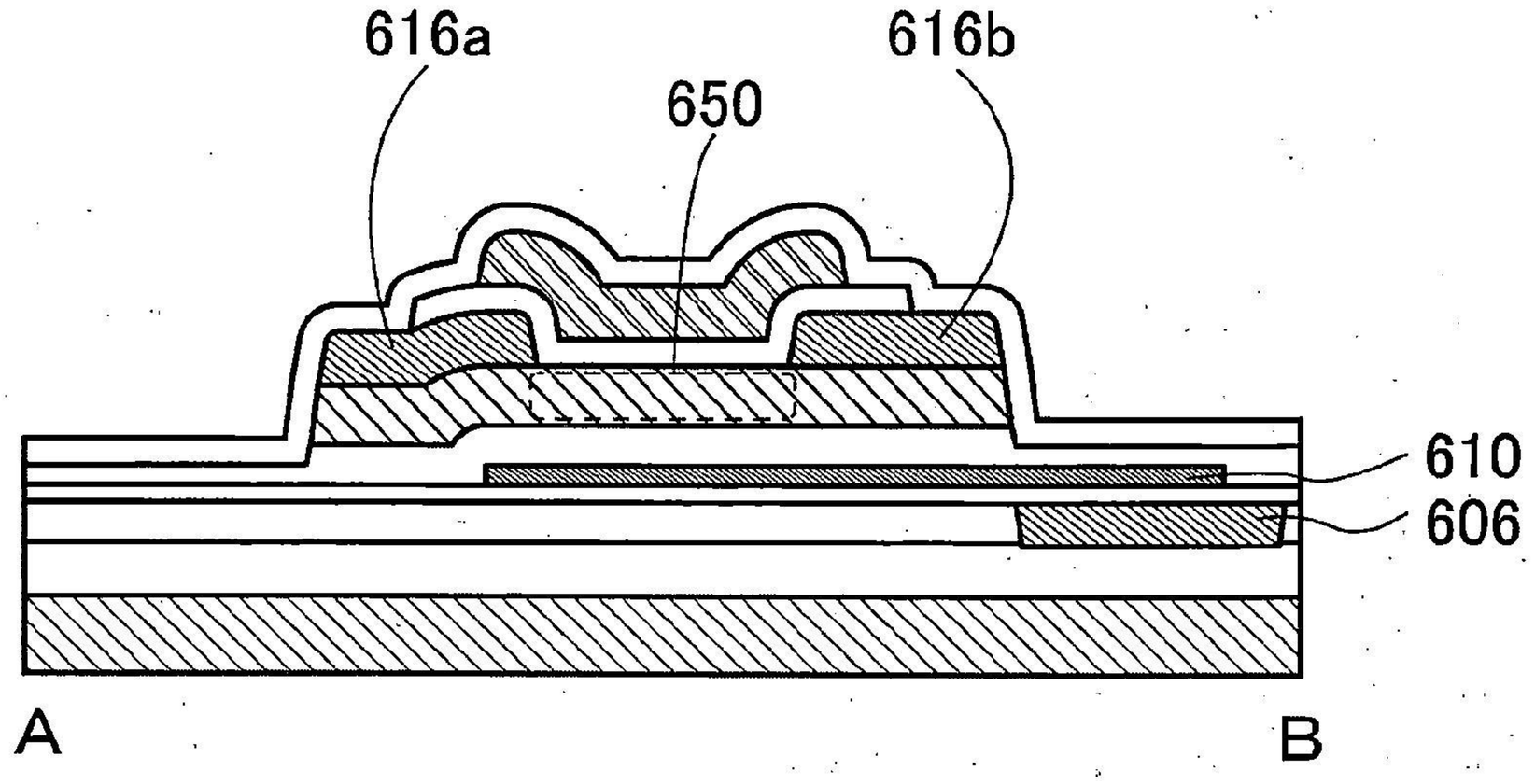

圖 8B

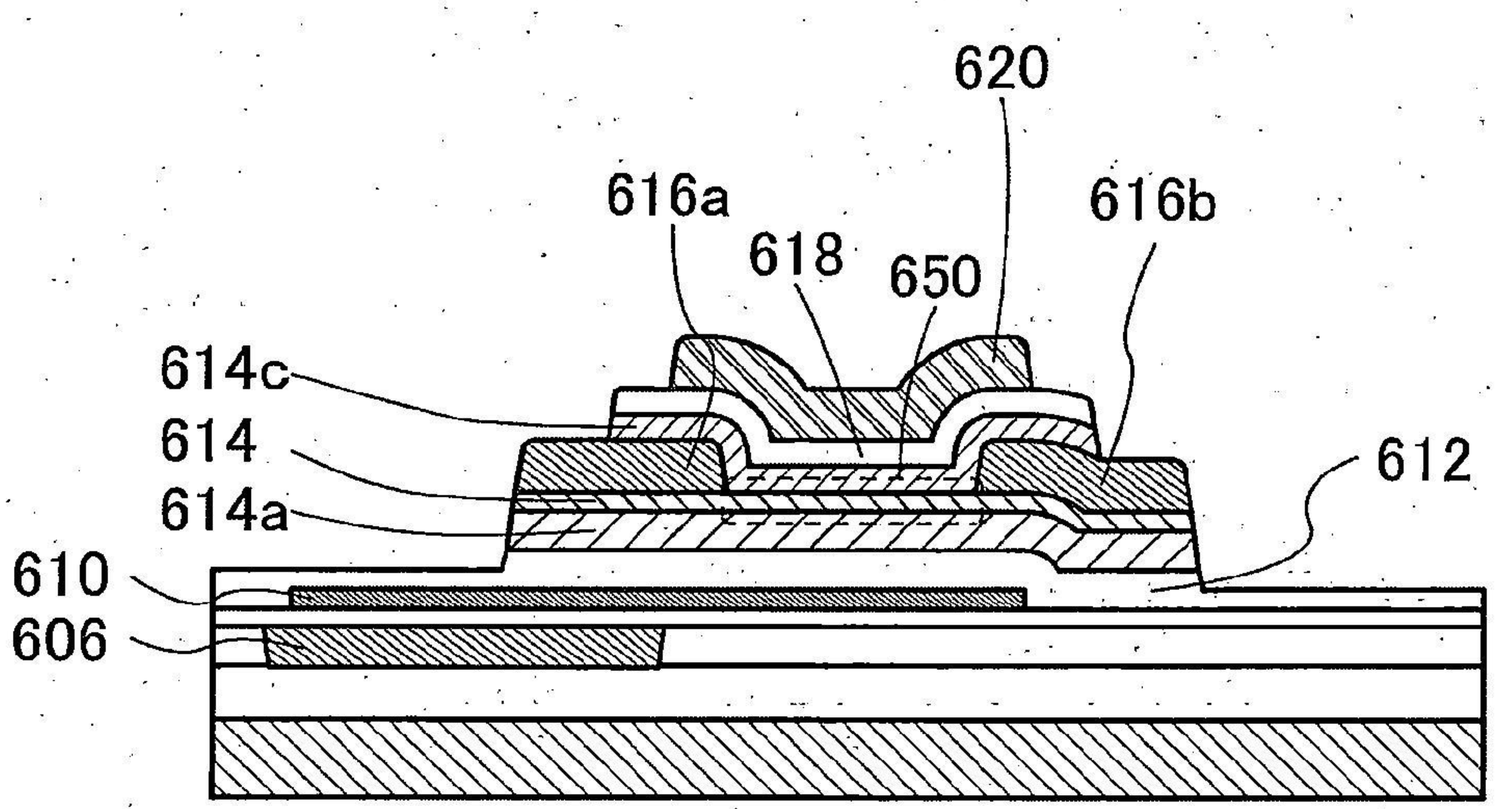
620
616a
618
650
616b
614c
614
614a
612
610
606
A
B

圖 9A

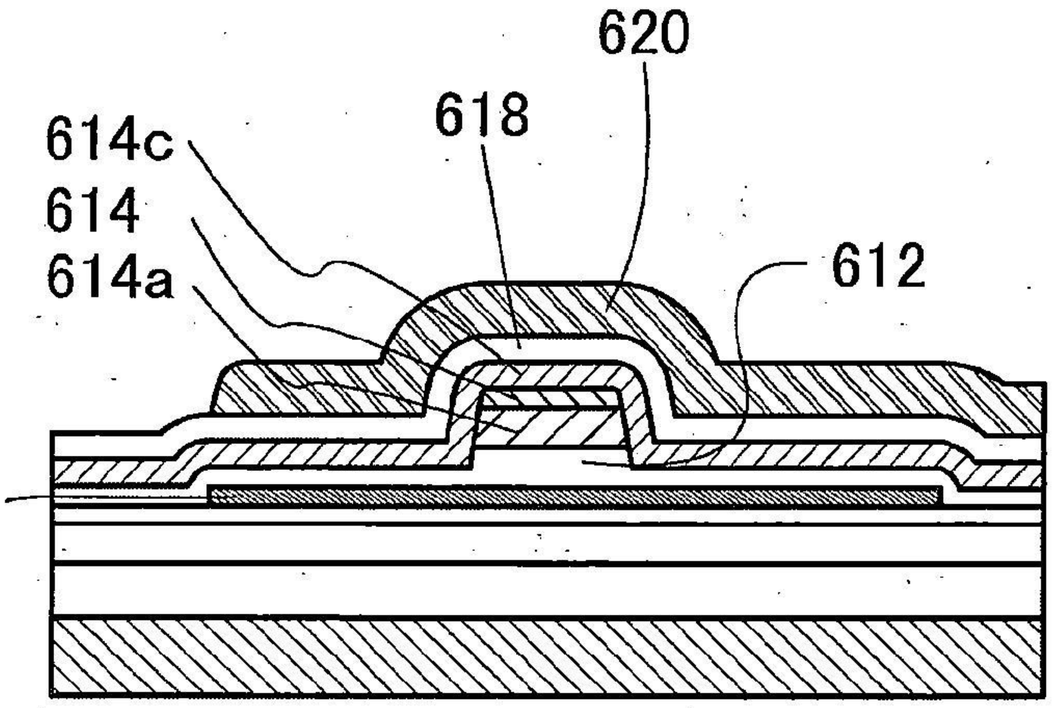
620
618
614c
614
614a
612
610
D
C

圖 9B

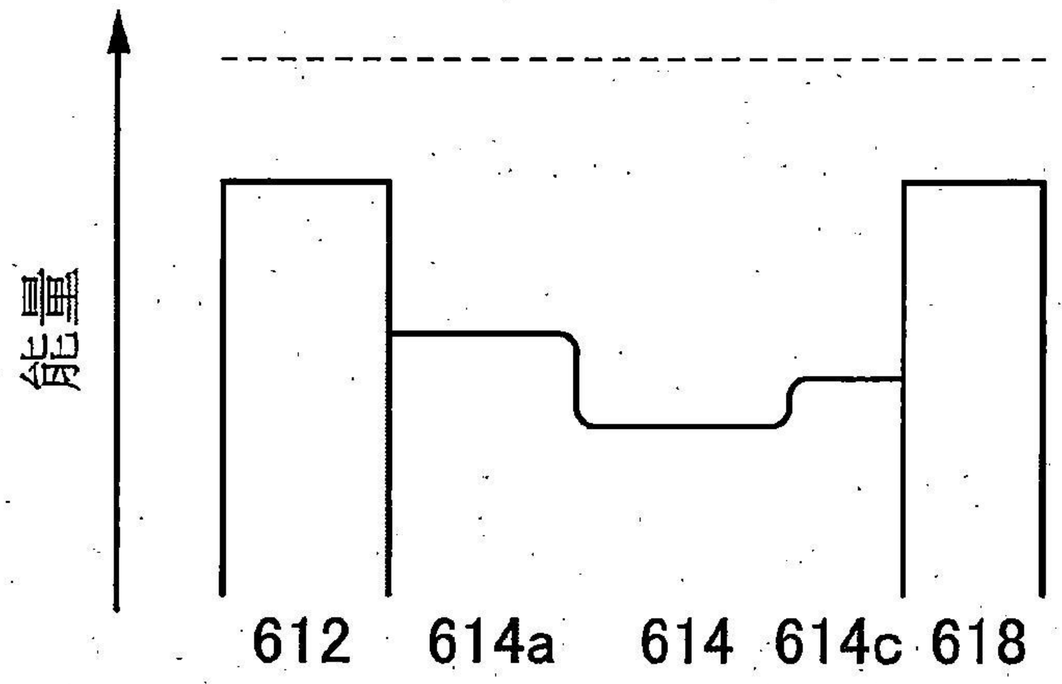
Evac
能量
612
614a
614
614c
618

圖 9C

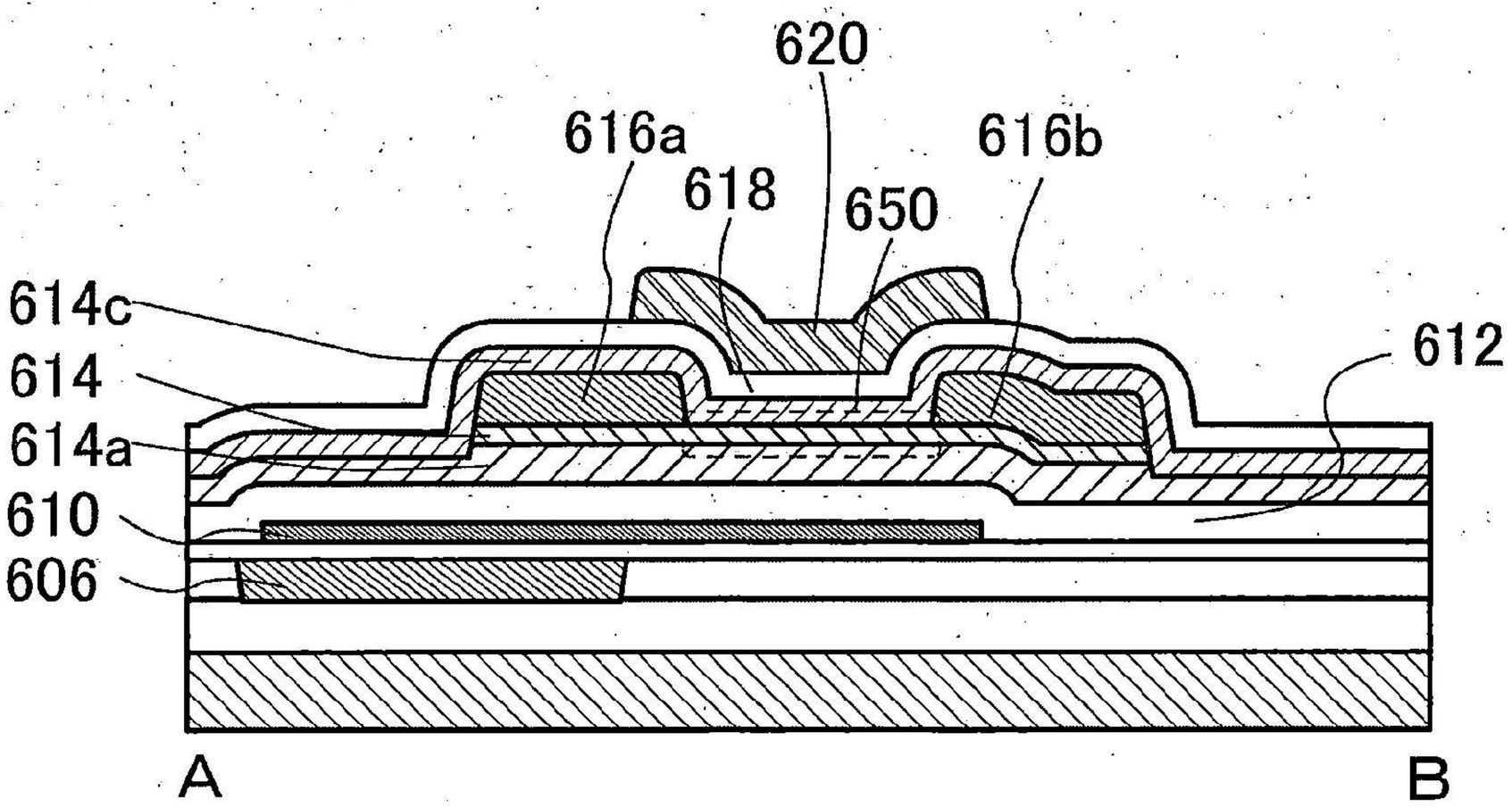
620
616a
618
650
616b
614c
614
614a
610
606
612
A
B

圖 10A

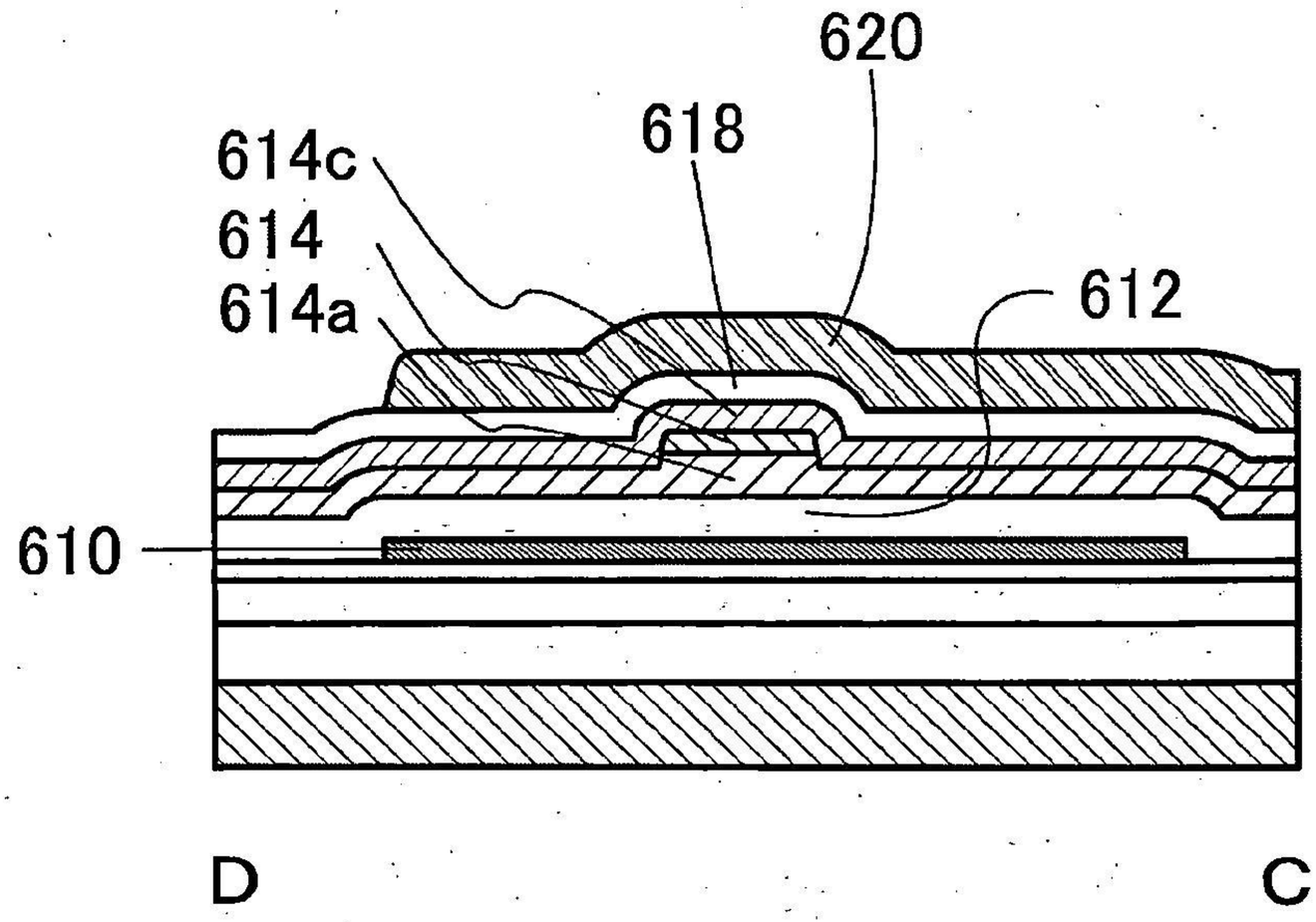
620
618
614c
614
614a
612
610
D
C

圖 10B

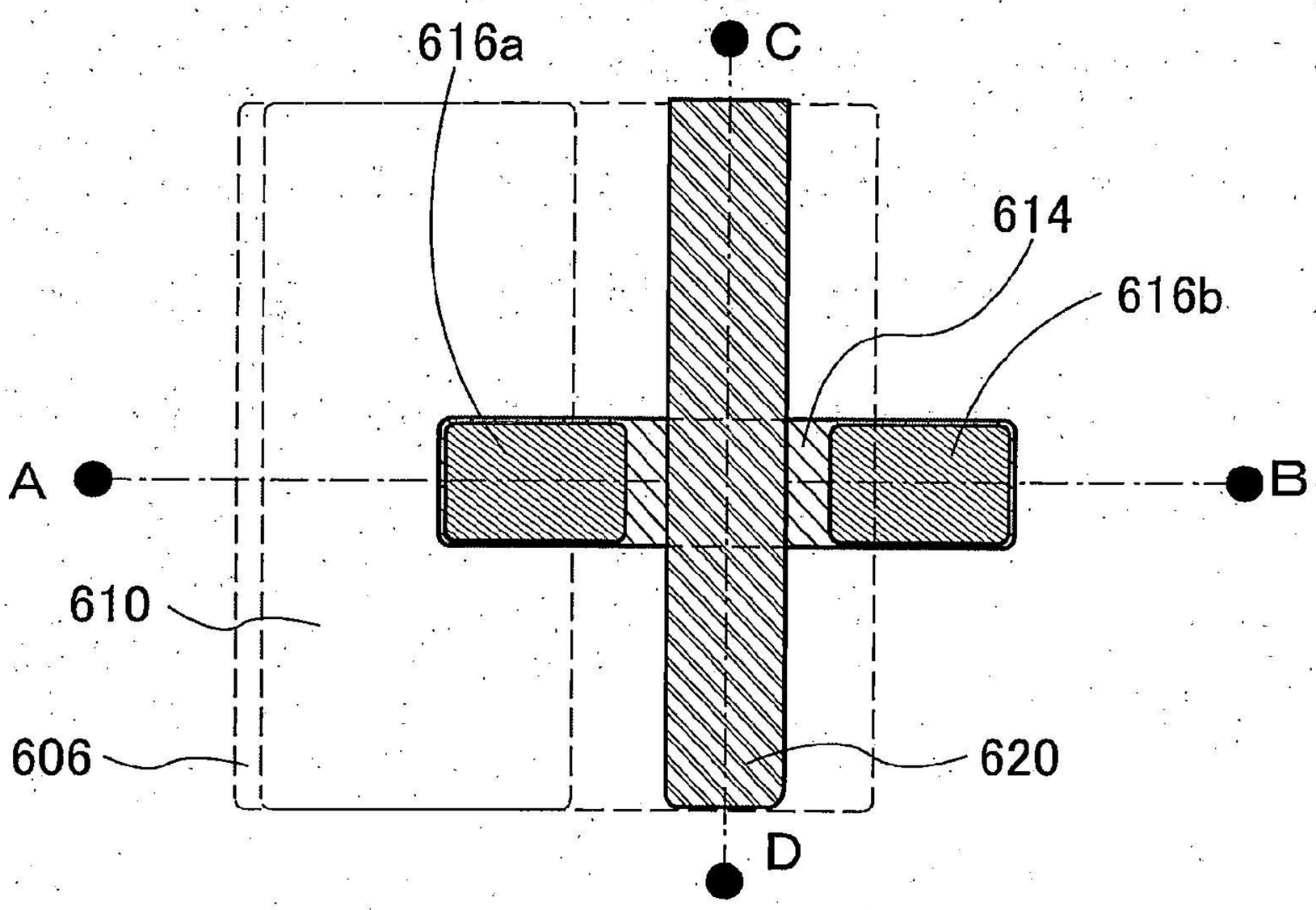

圖 11A

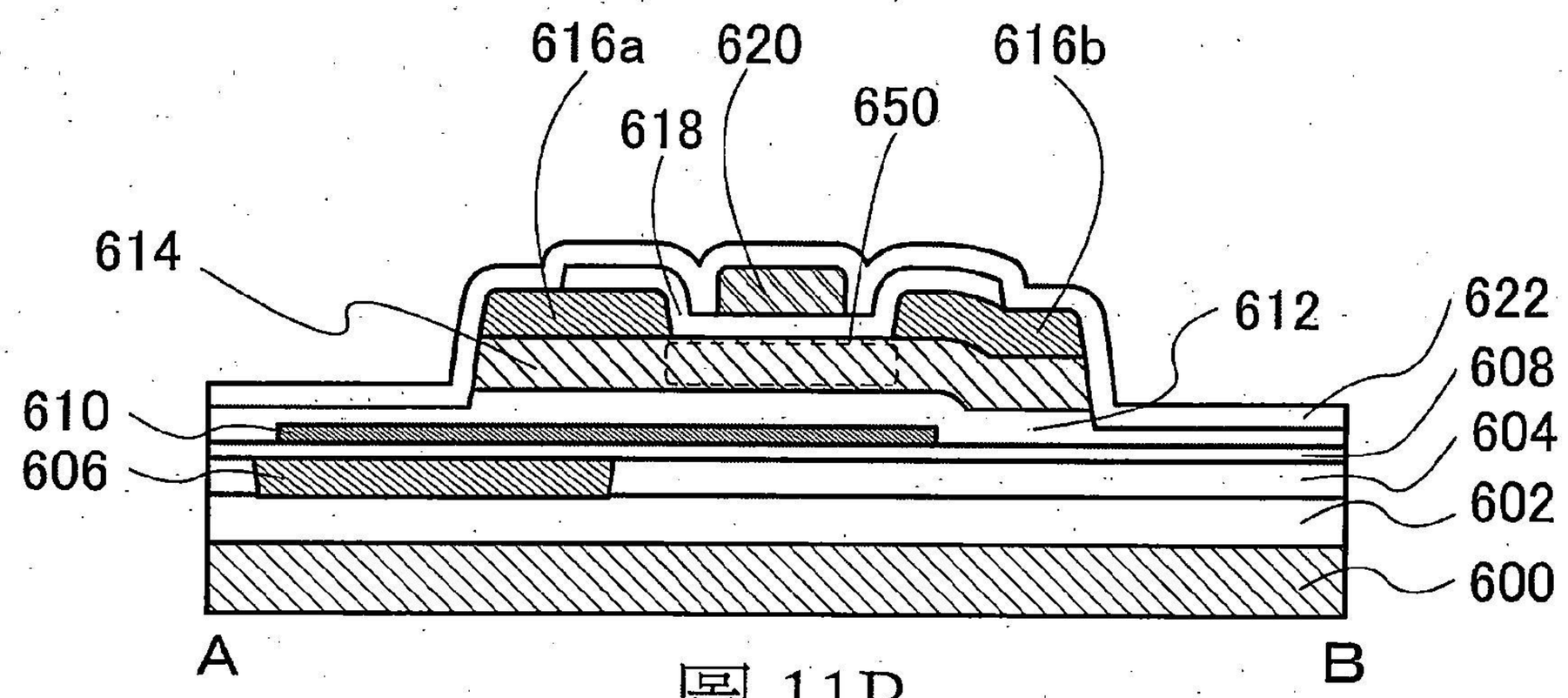

圖 11B

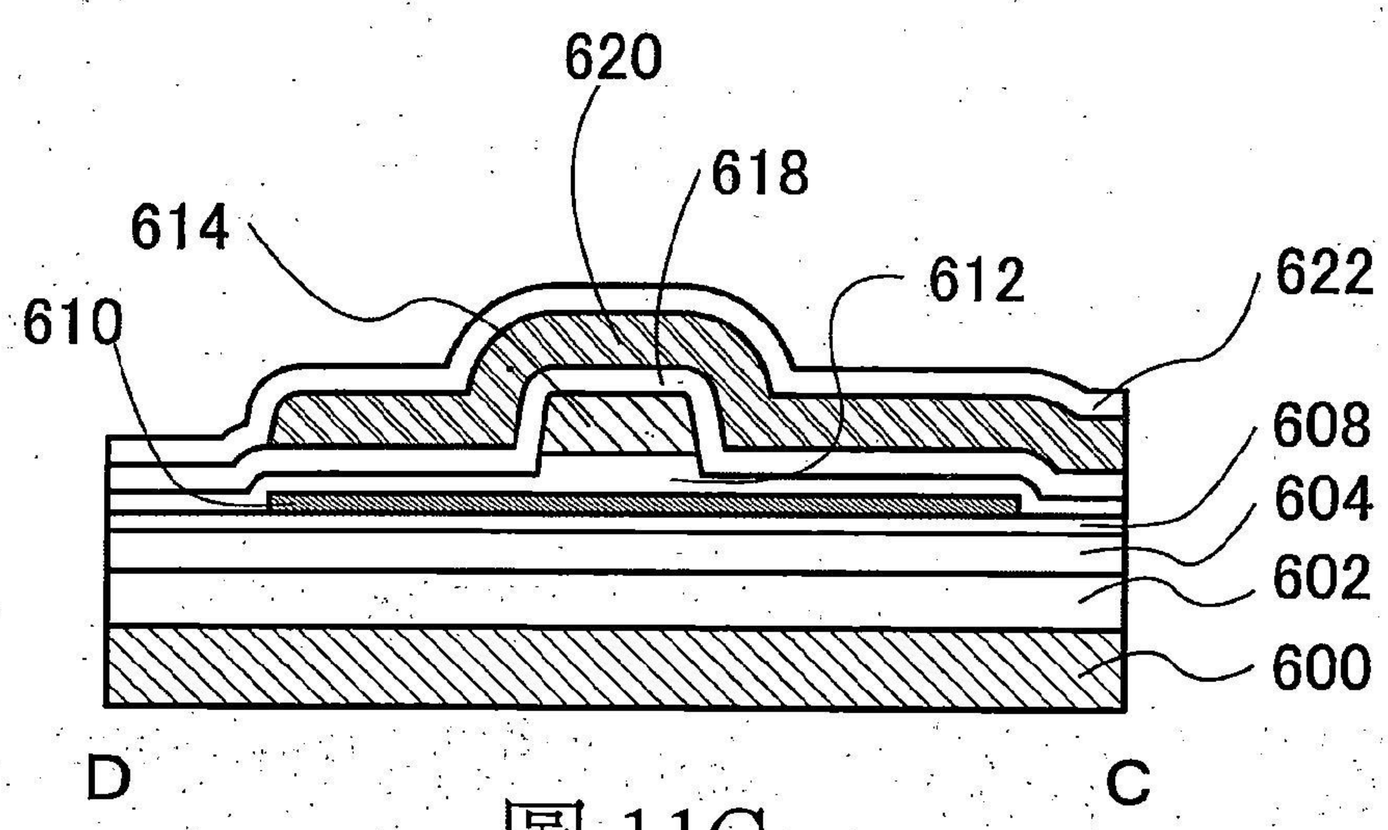

圖 11C

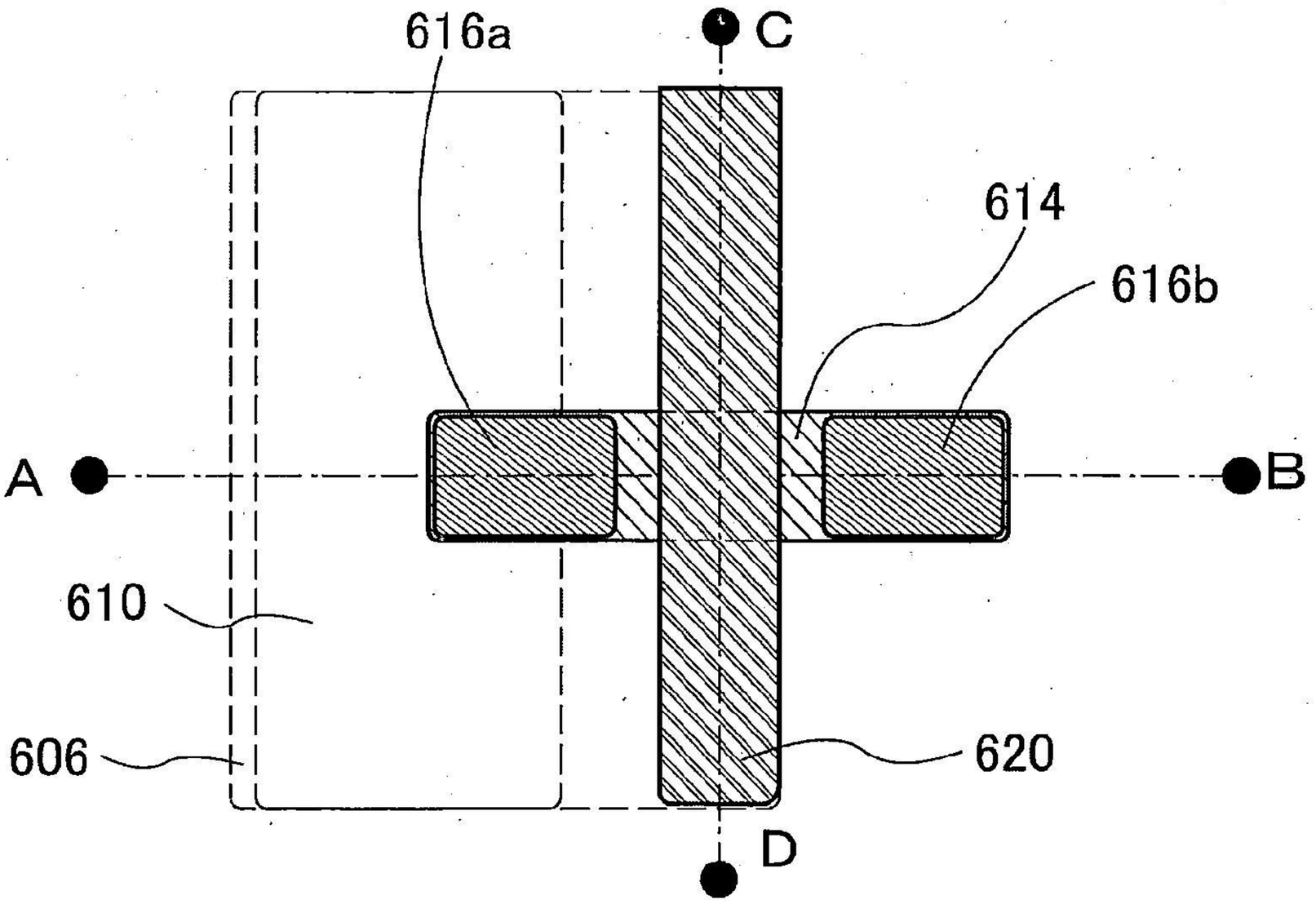

圖 12A

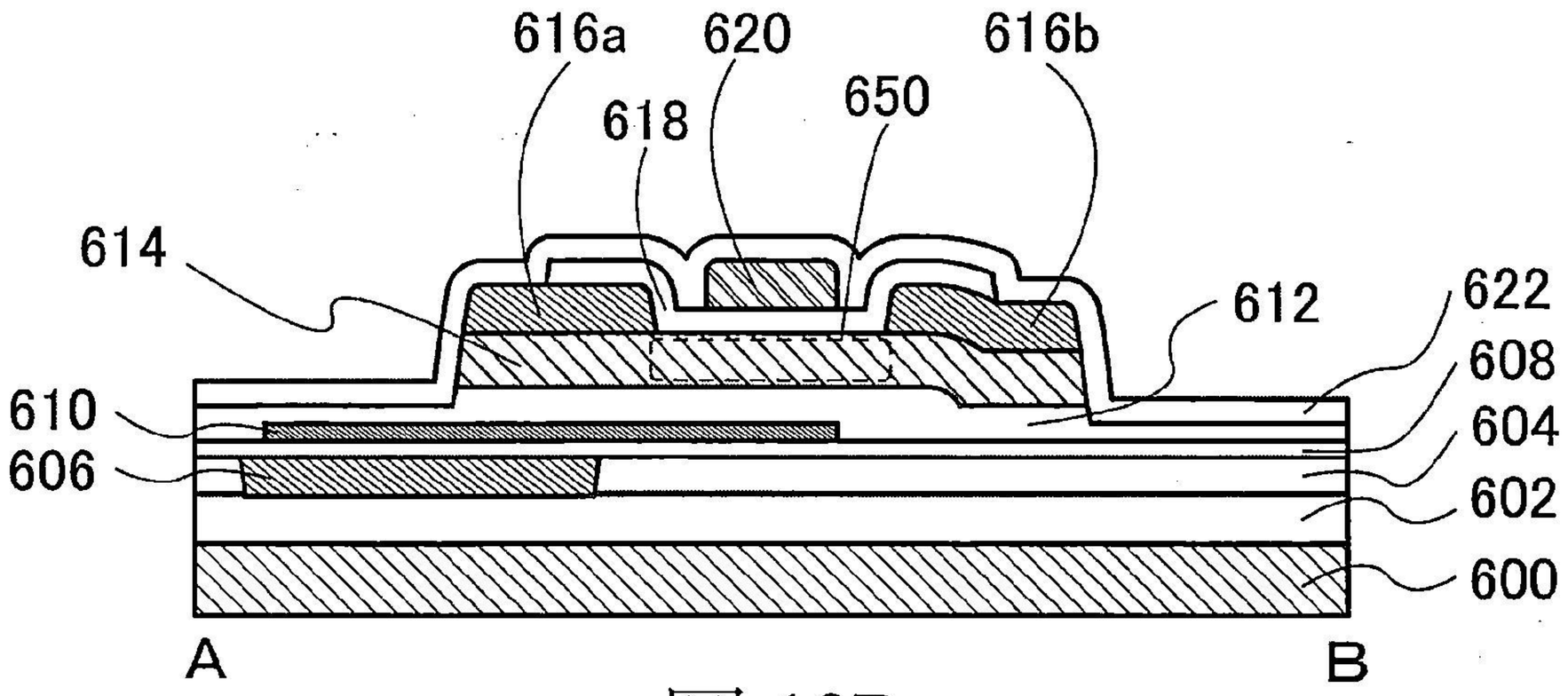

圖 12B

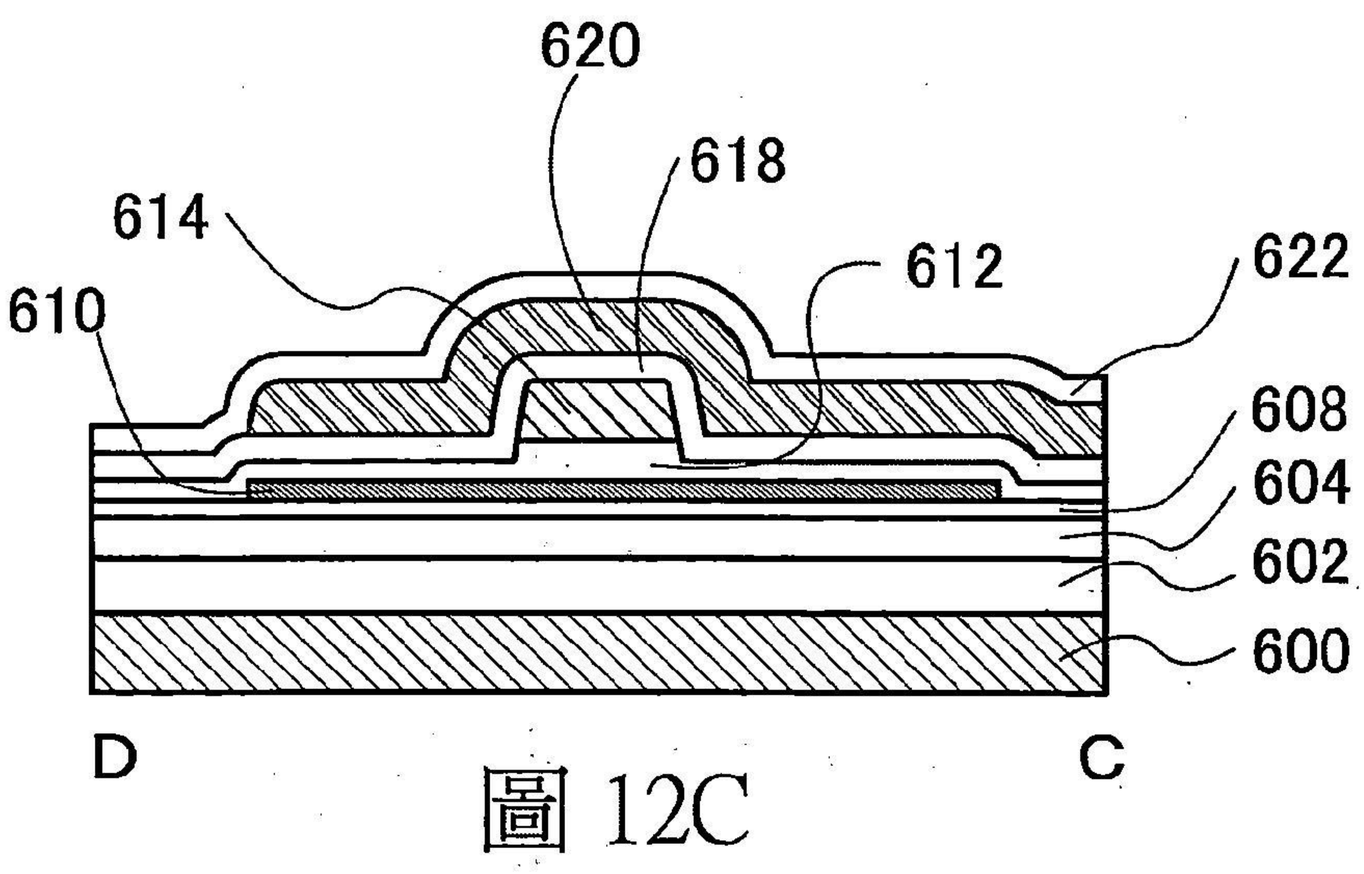

圖 12C

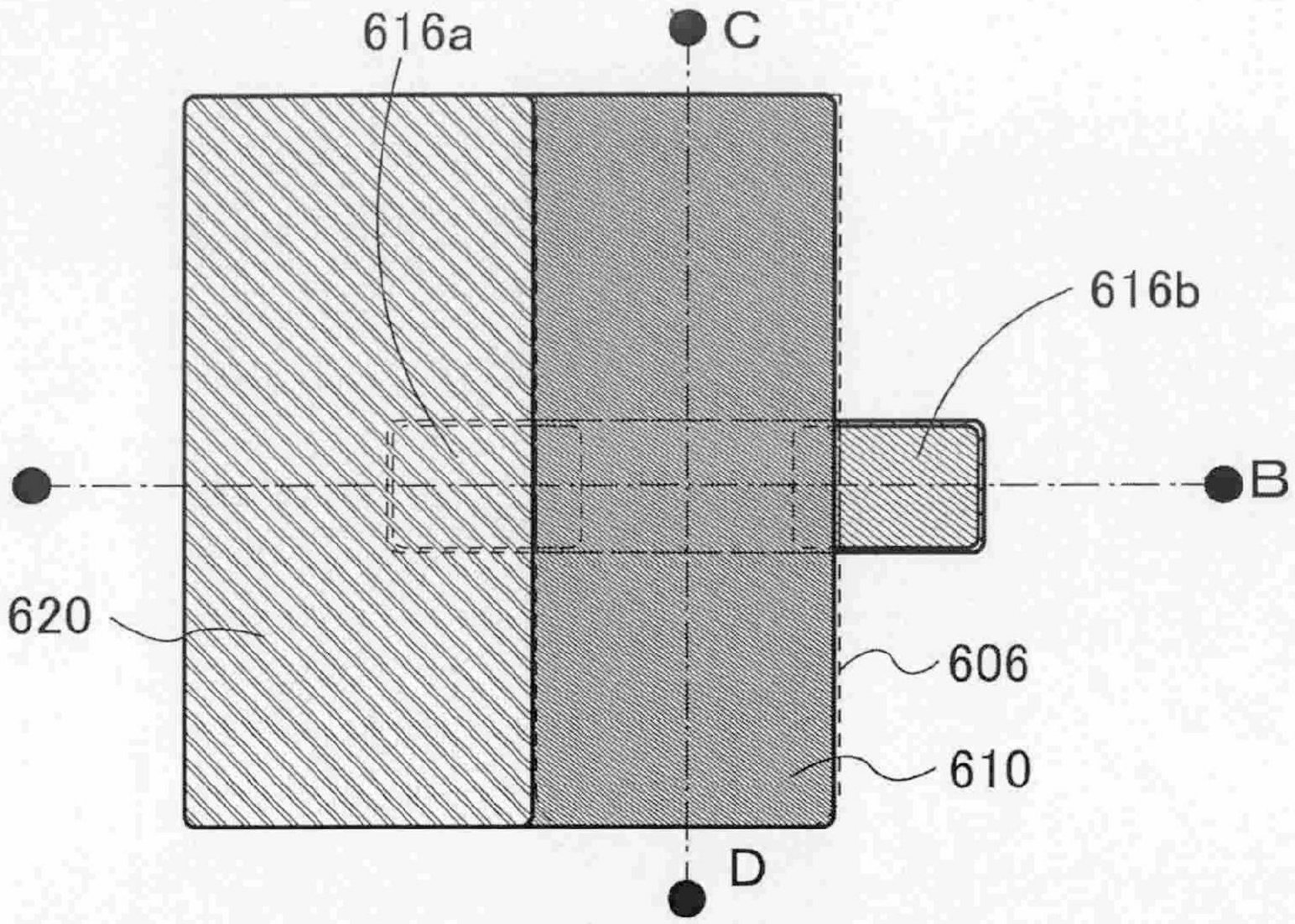

圖 13A

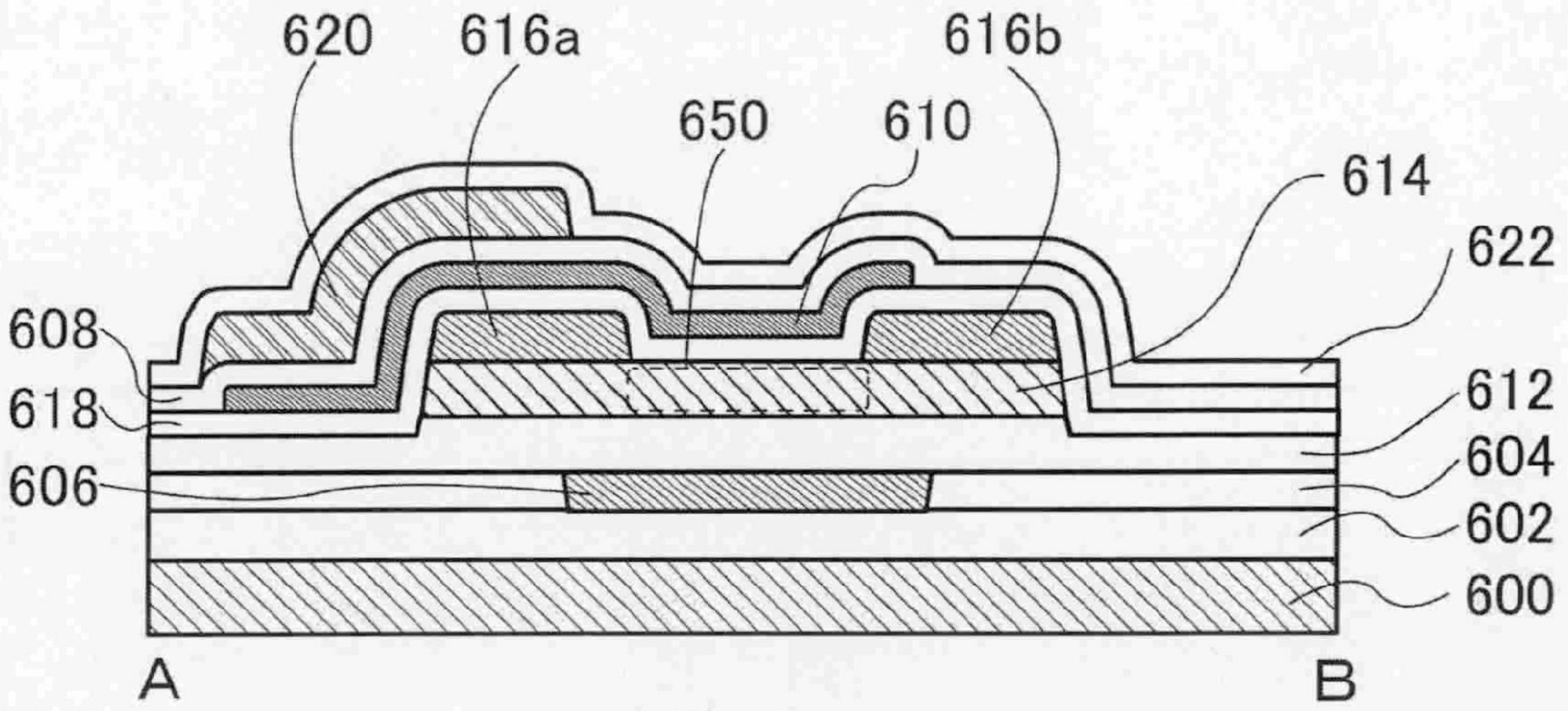

圖 13B

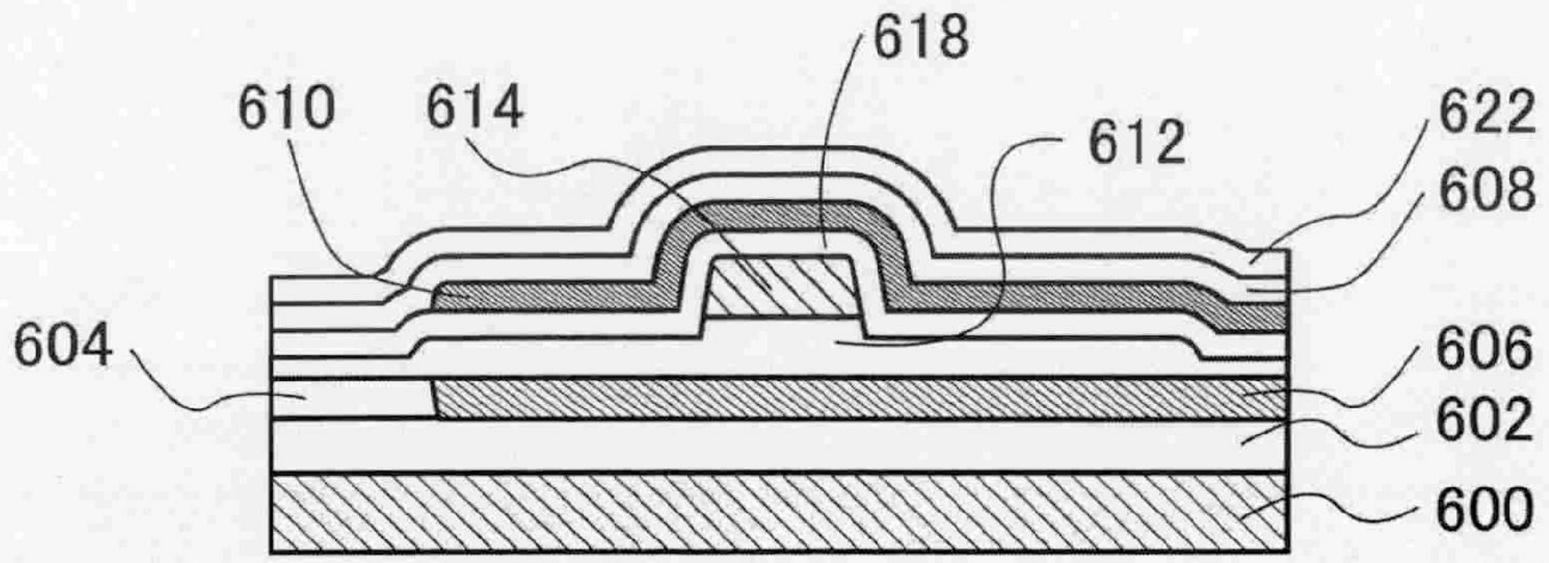

圖 13C

圖 14A

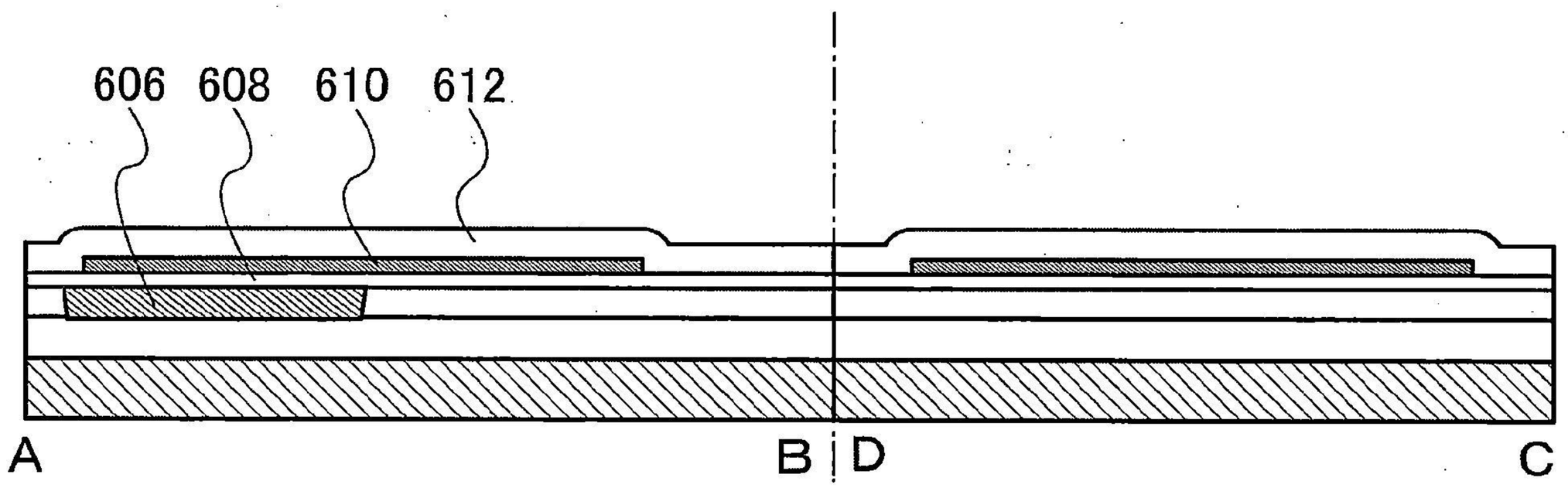

圖 14B

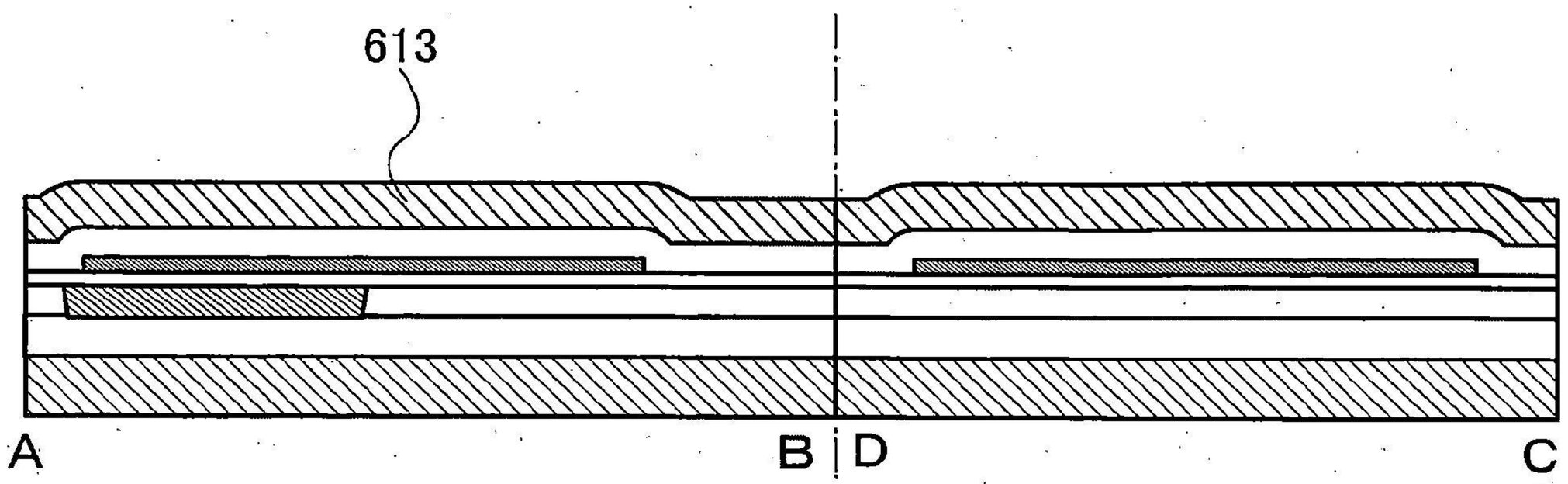

圖 14C

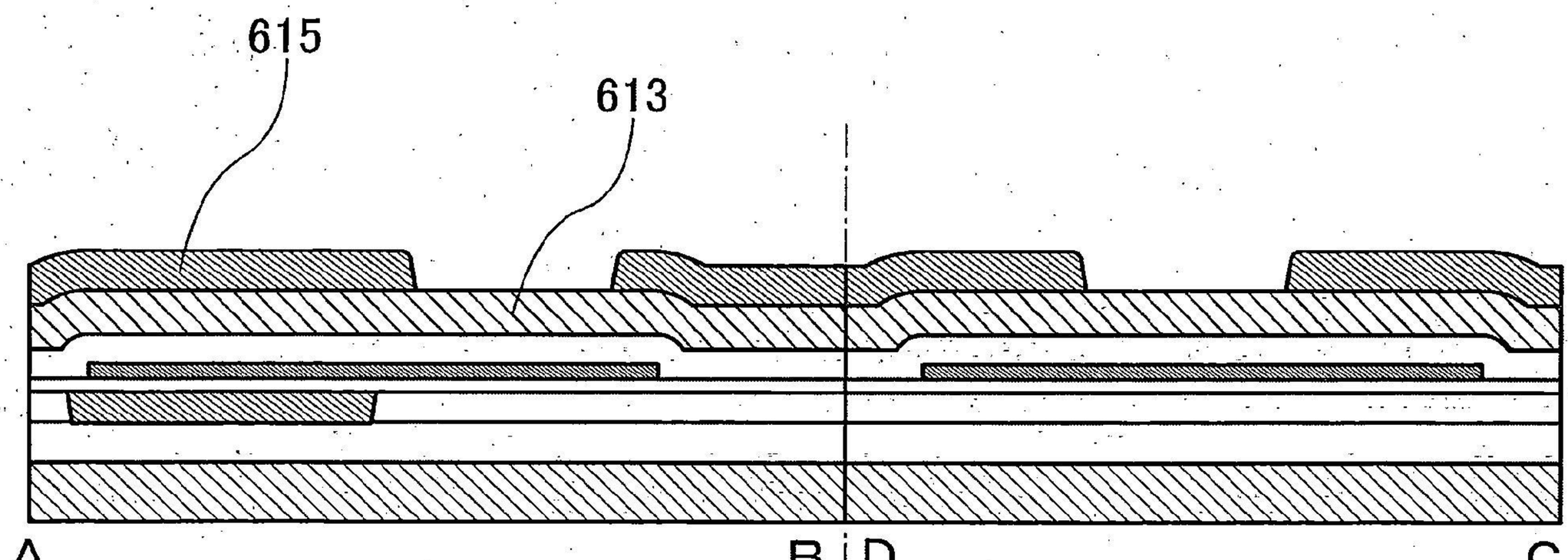

圖 15A

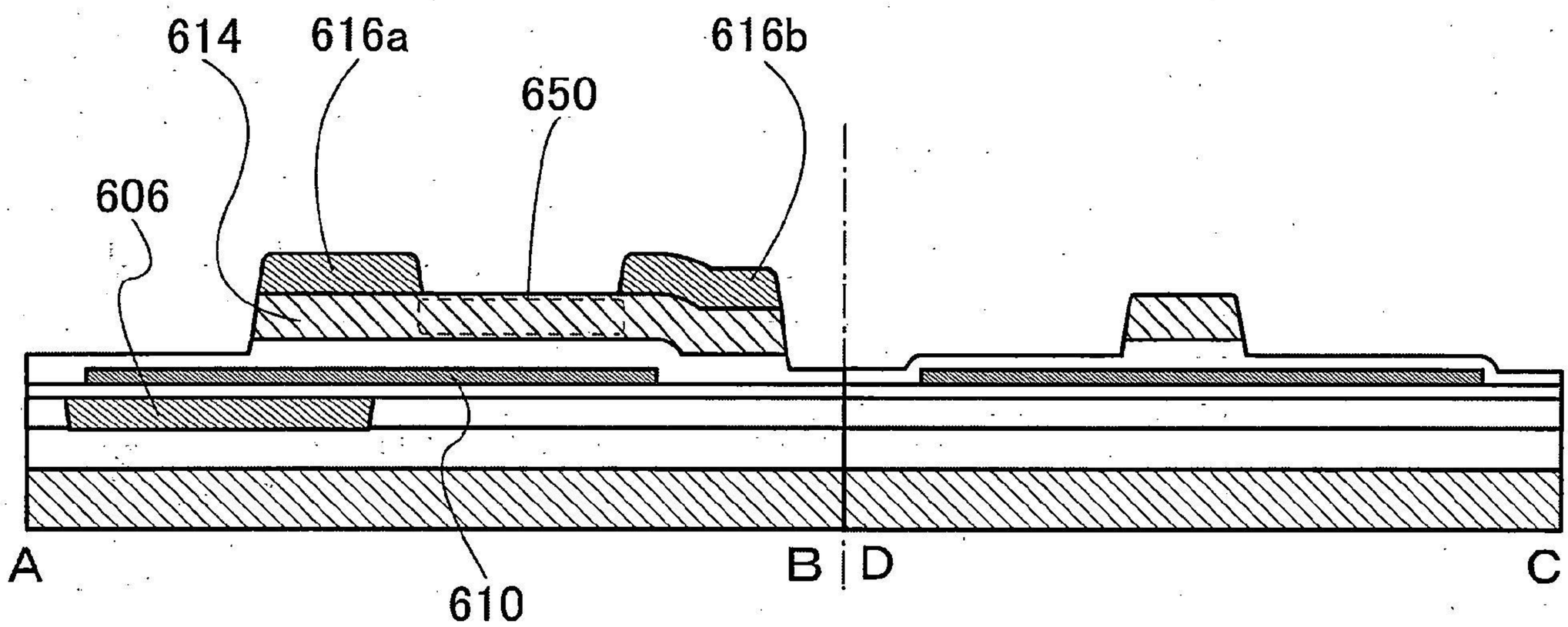

圖 15B

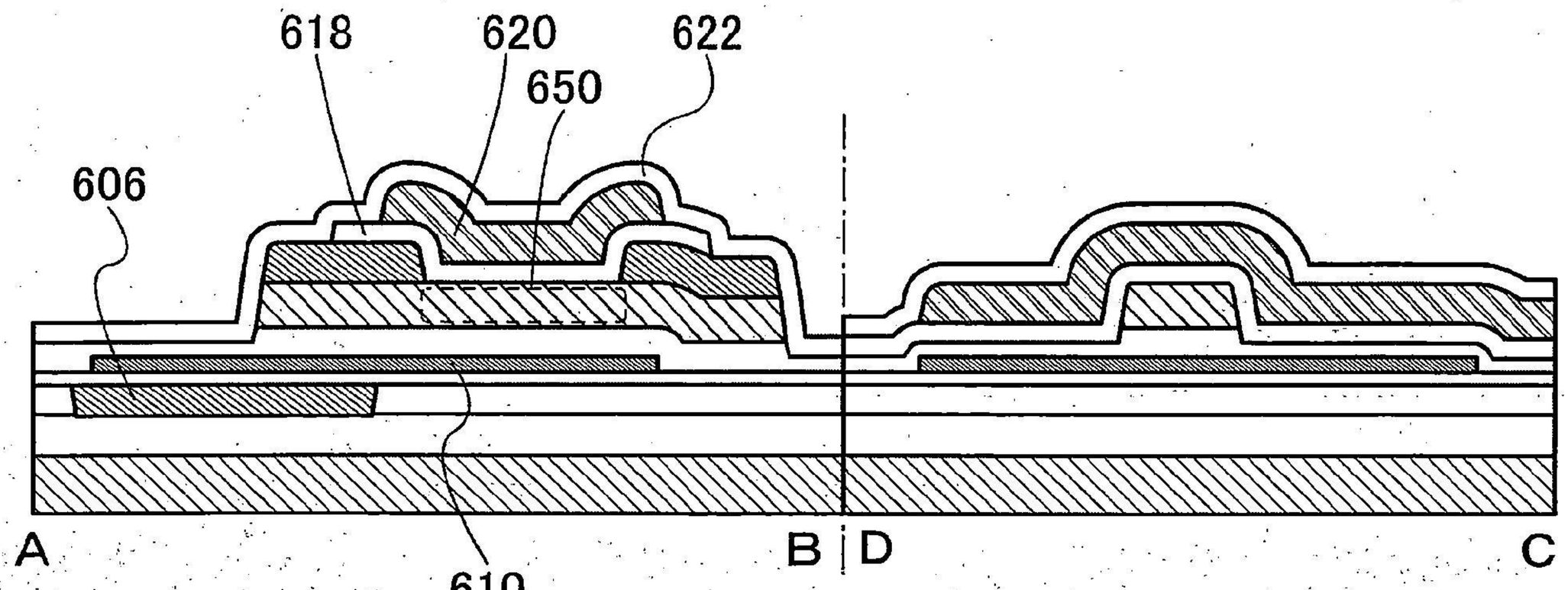

圖 15C

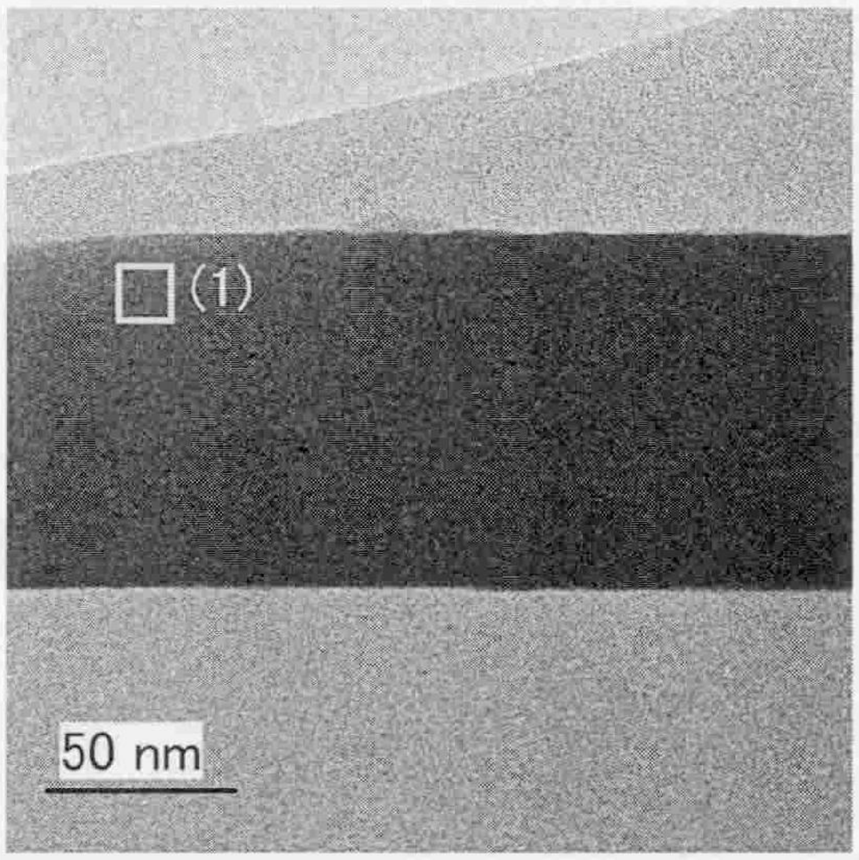

圖 16A

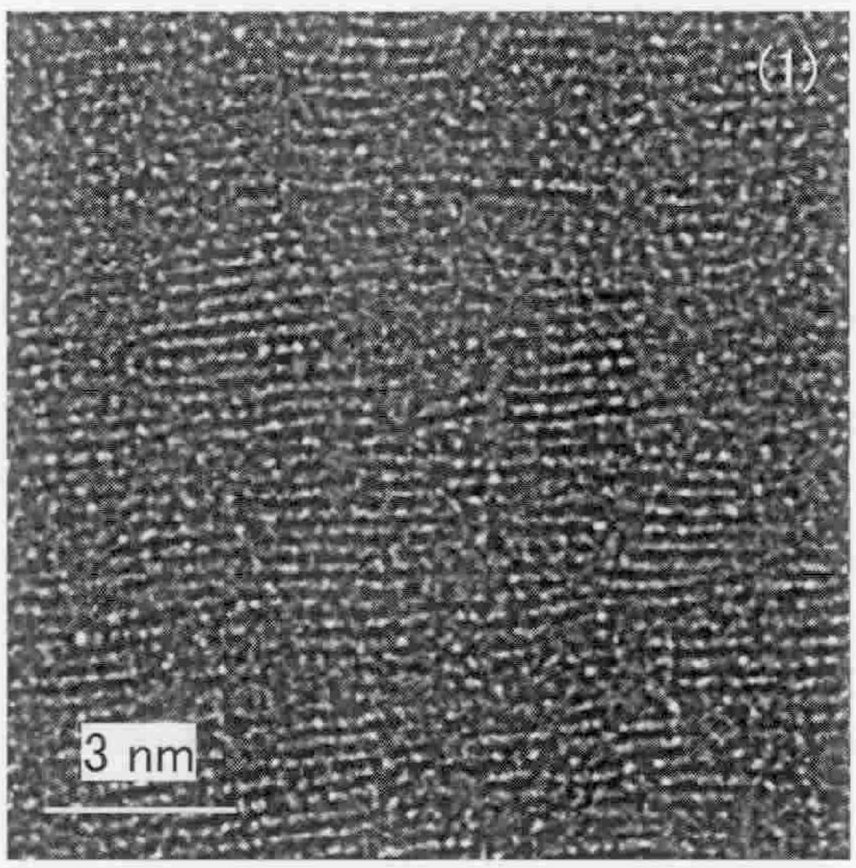

圖 16B

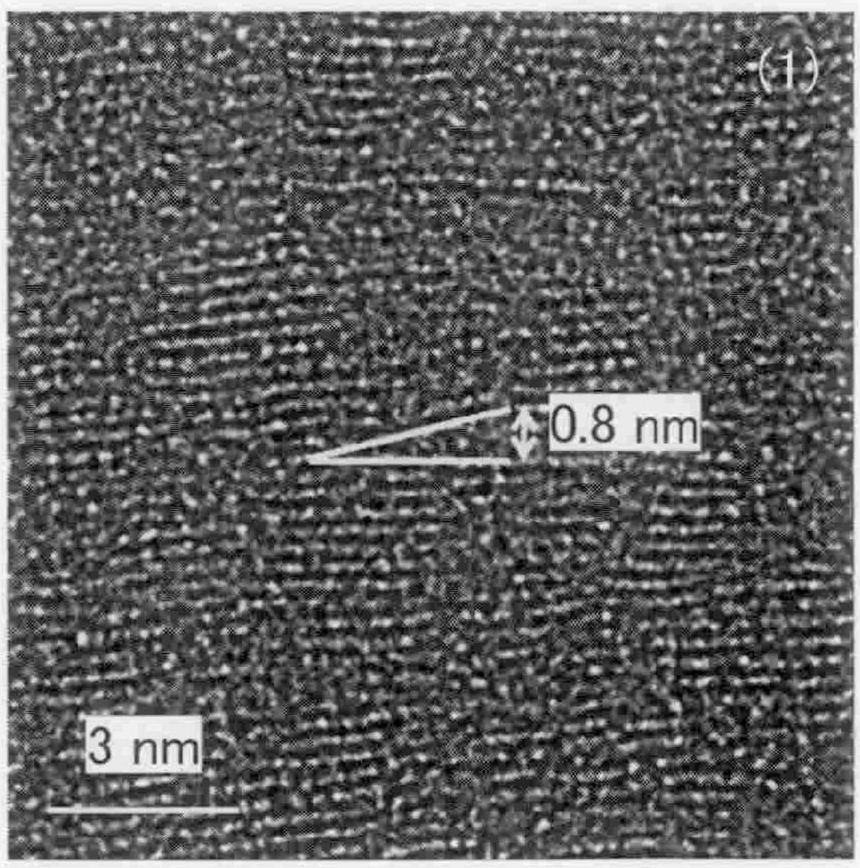

圖 16C

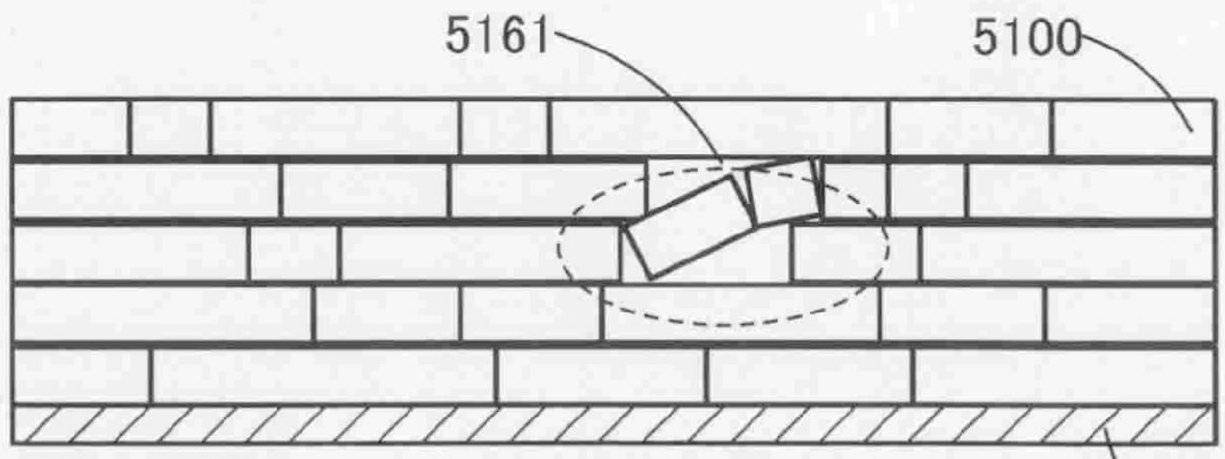

圖 16D

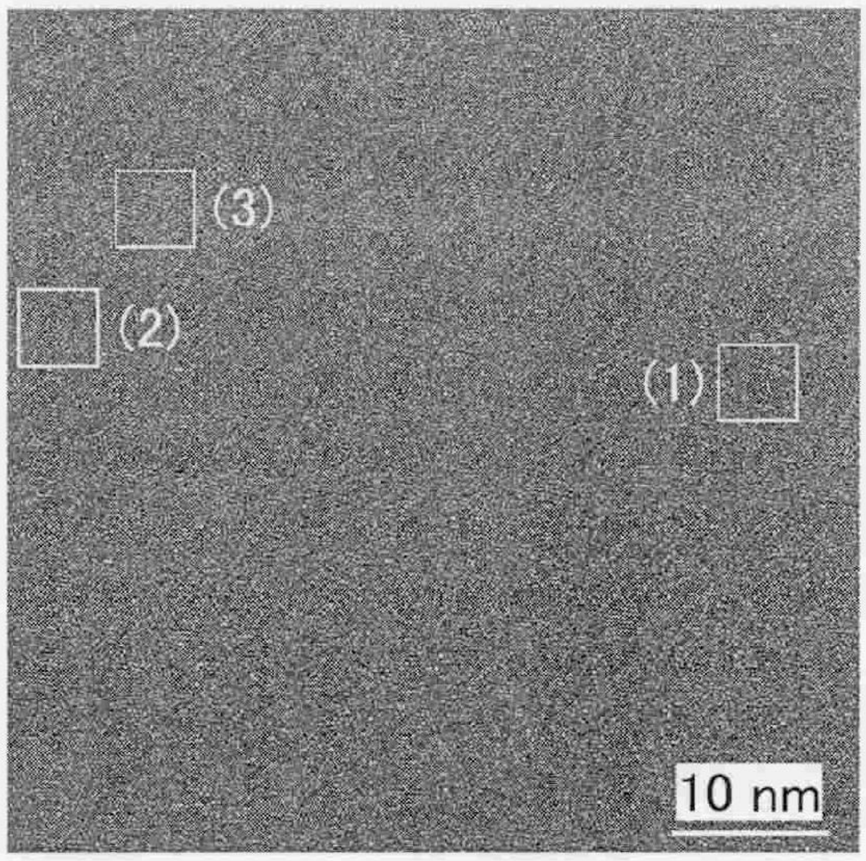

圖 17A

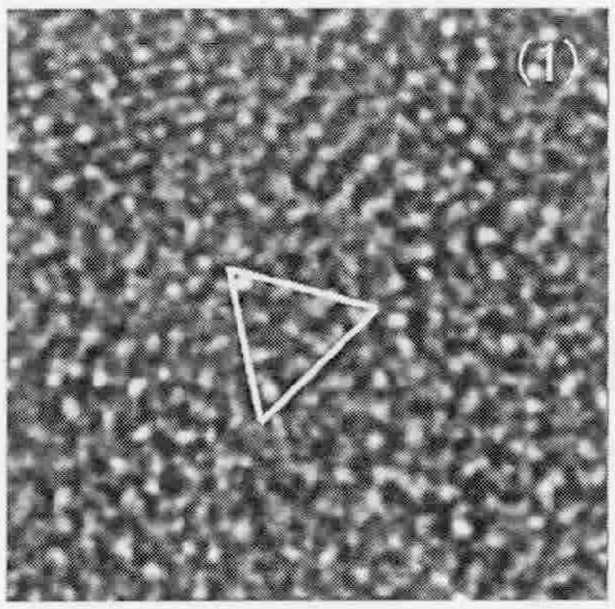

圖 17B

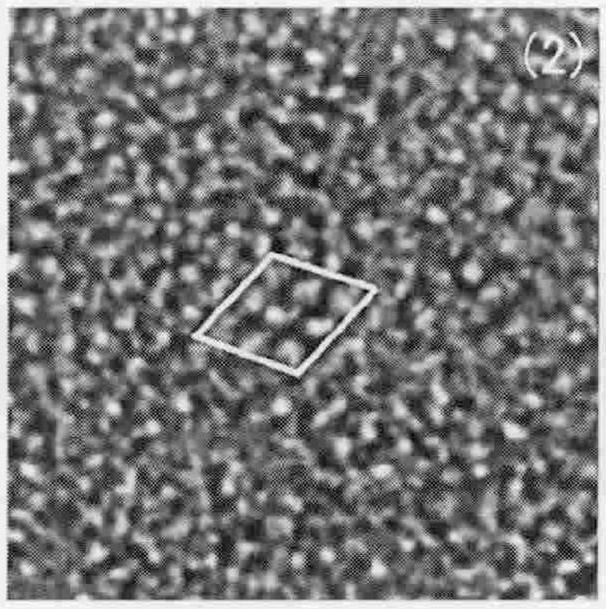

圖 17C

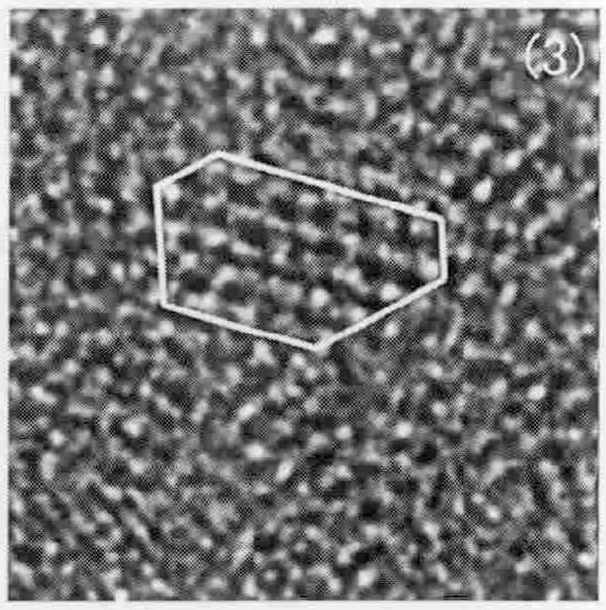

圖 17D

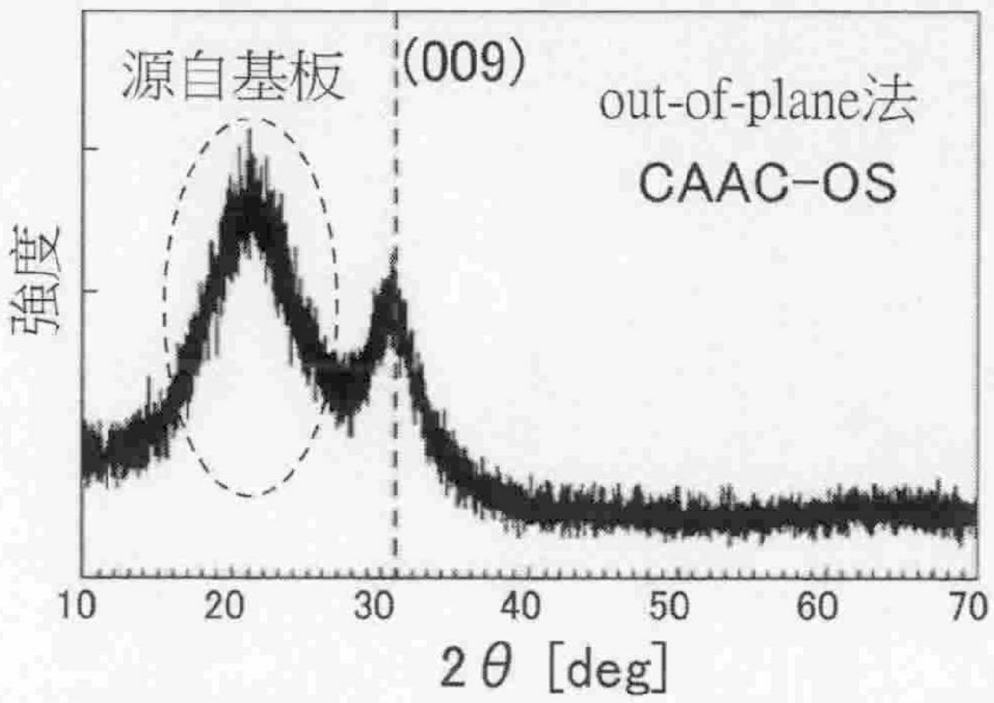

圖 18A

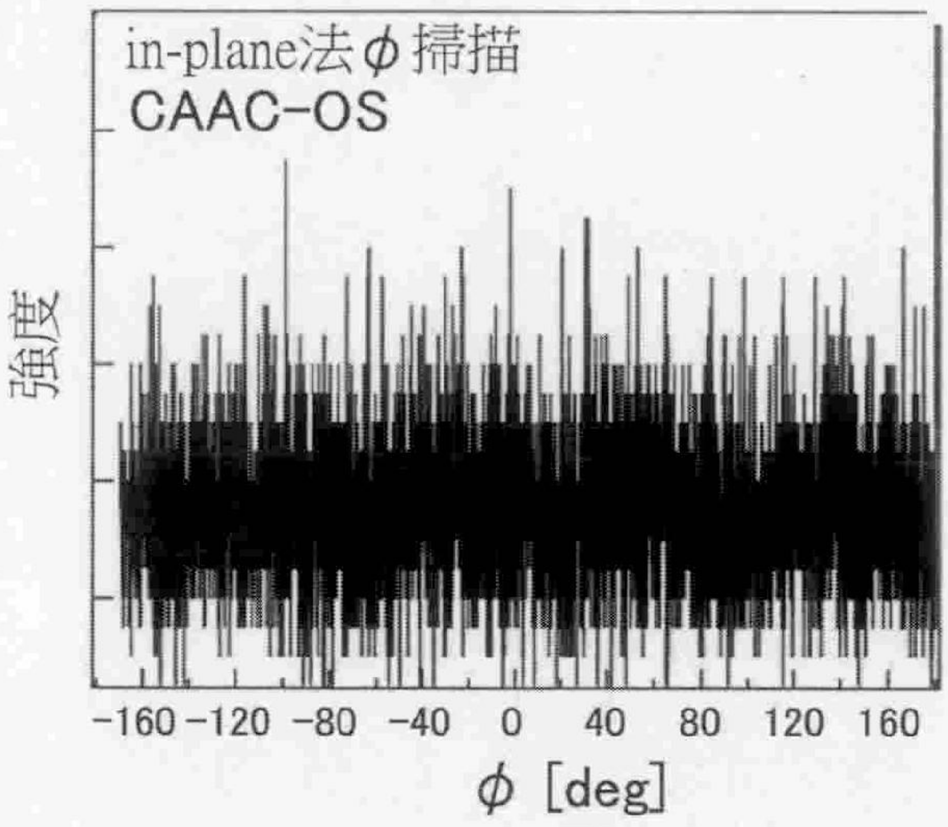

圖 18B

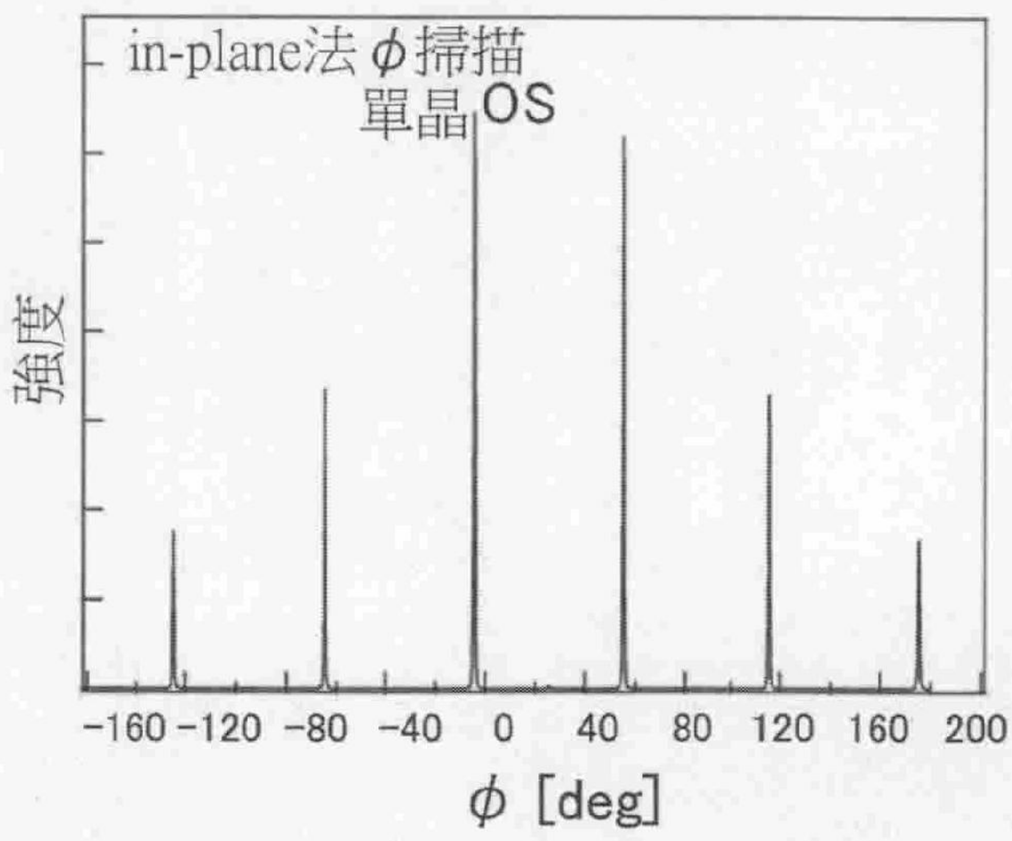

圖 18C

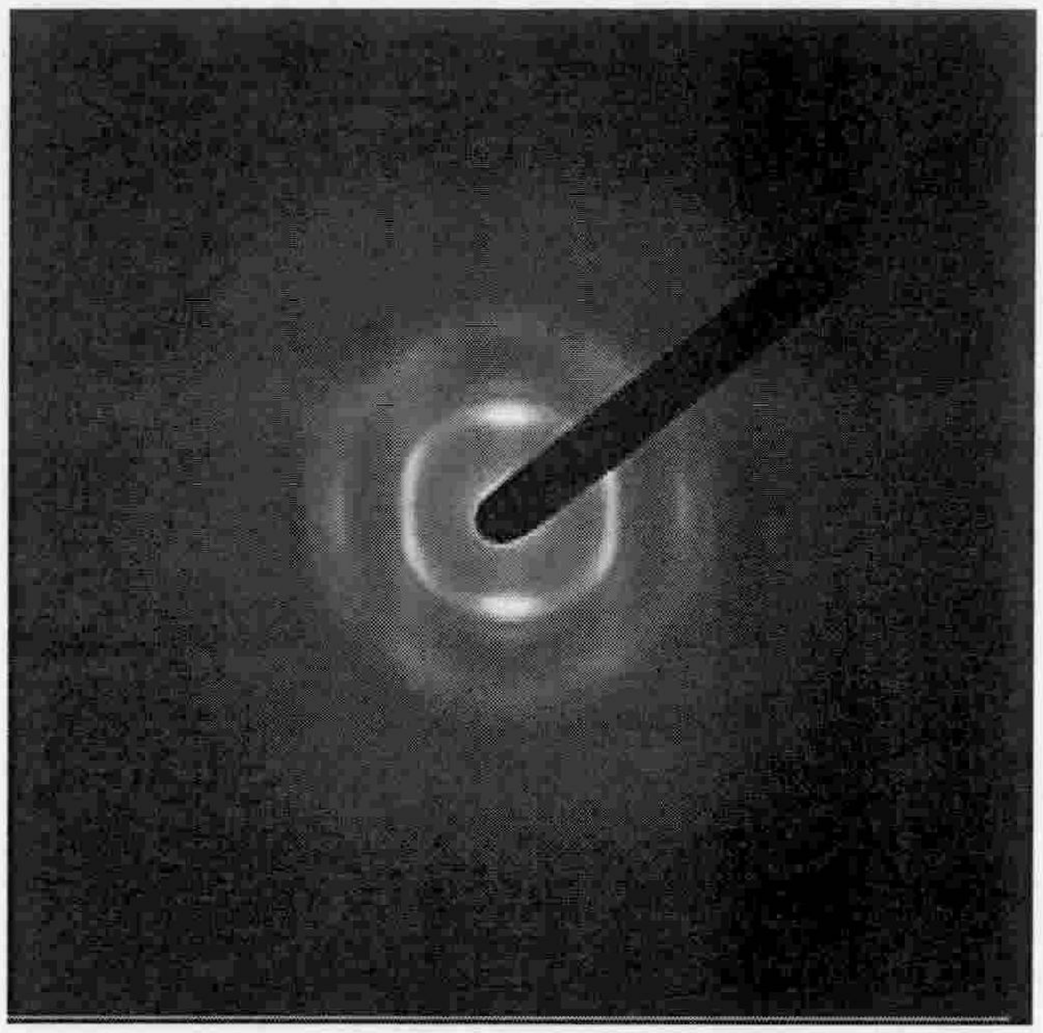

圖 19A

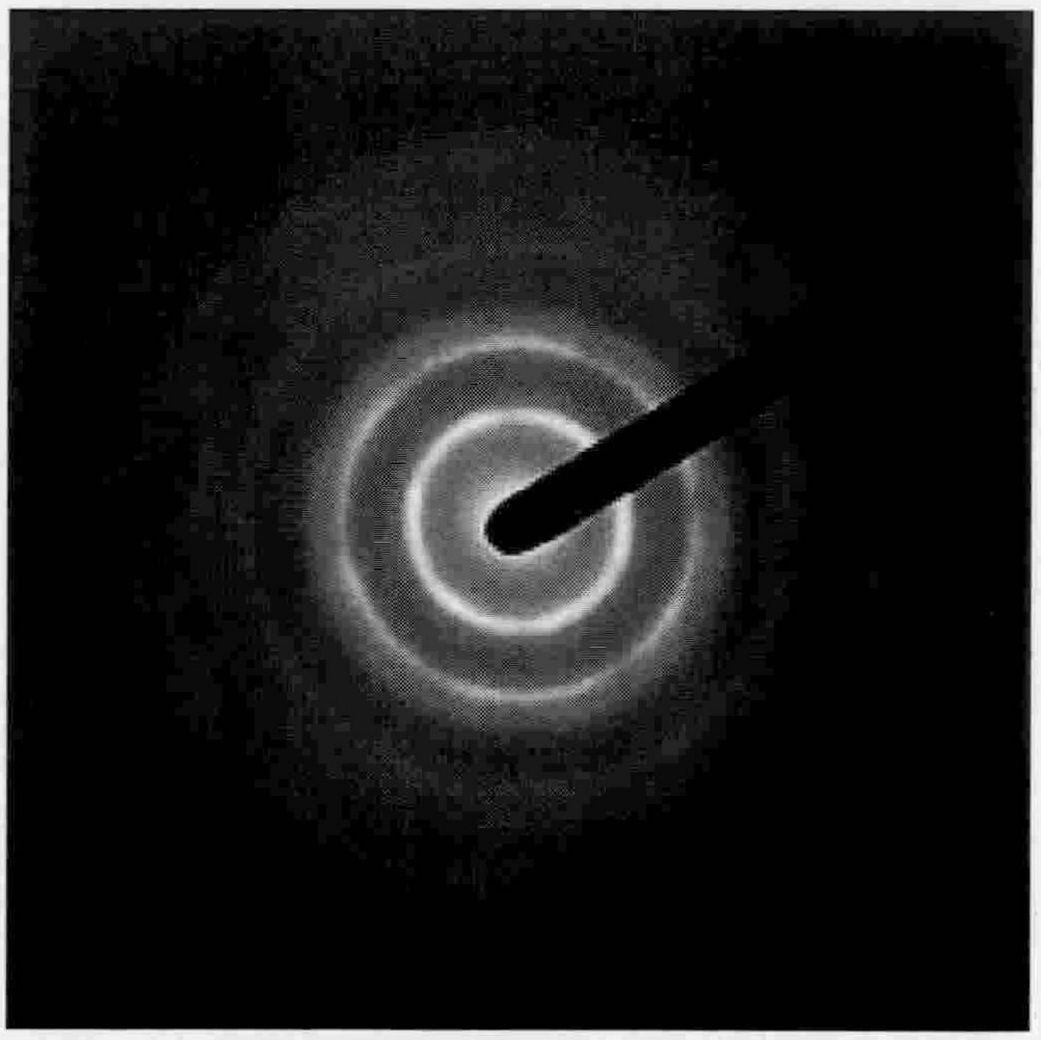

圖 19B

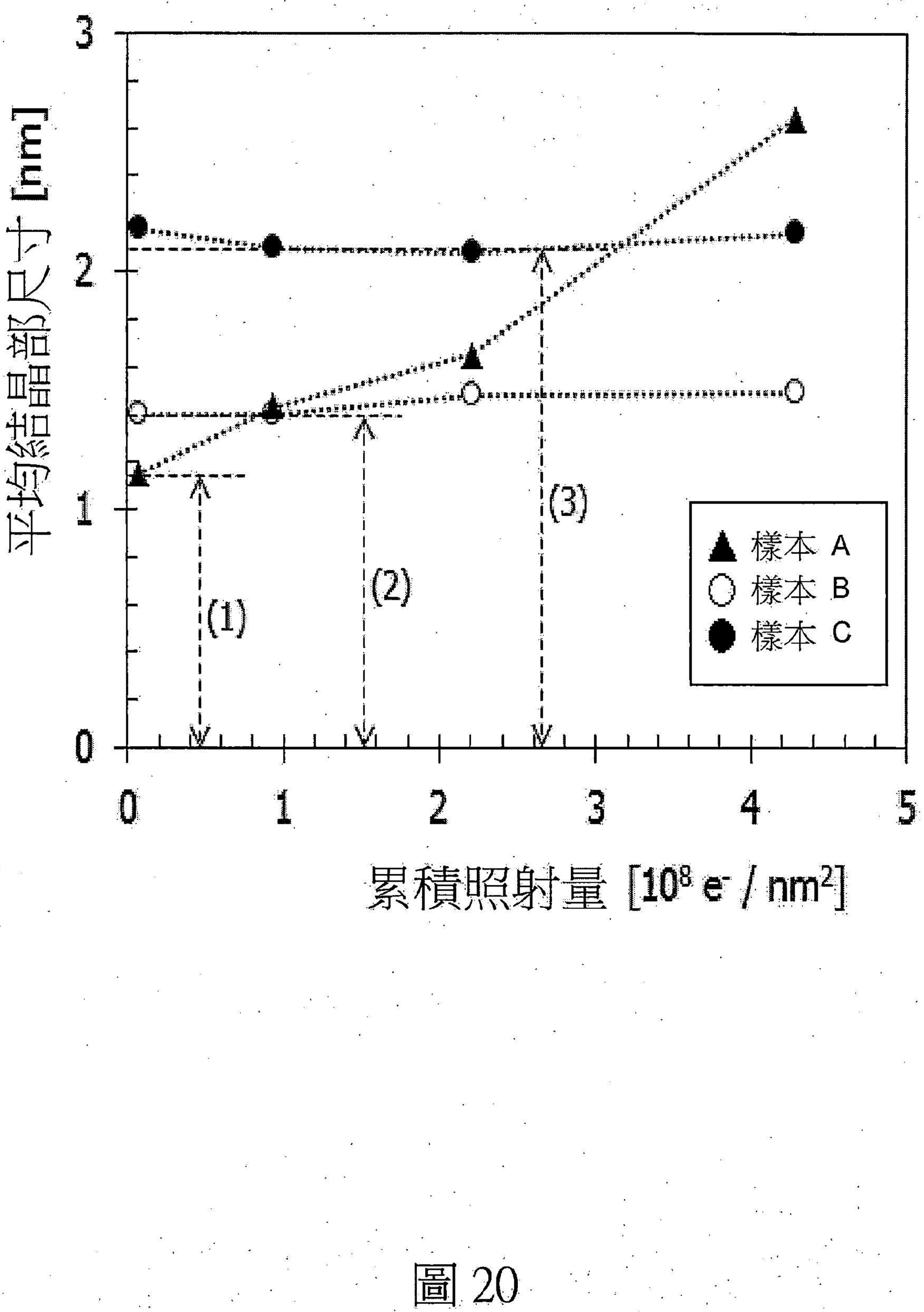

圖 20

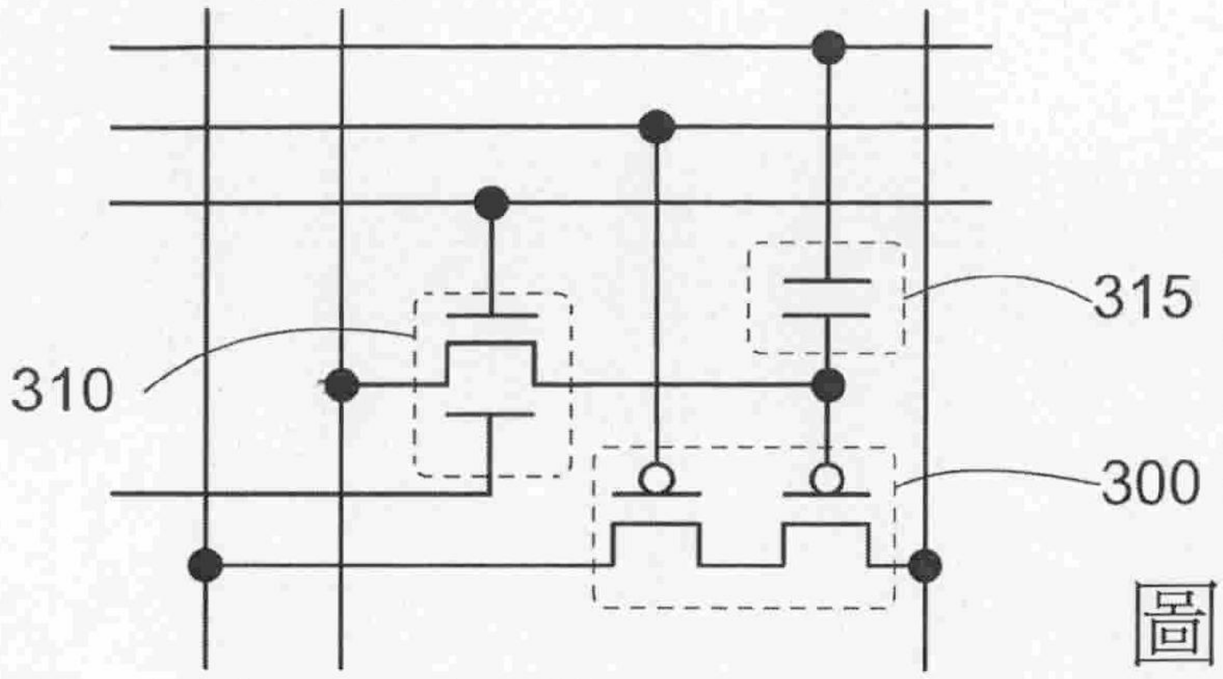
310
315
300

圖 21A

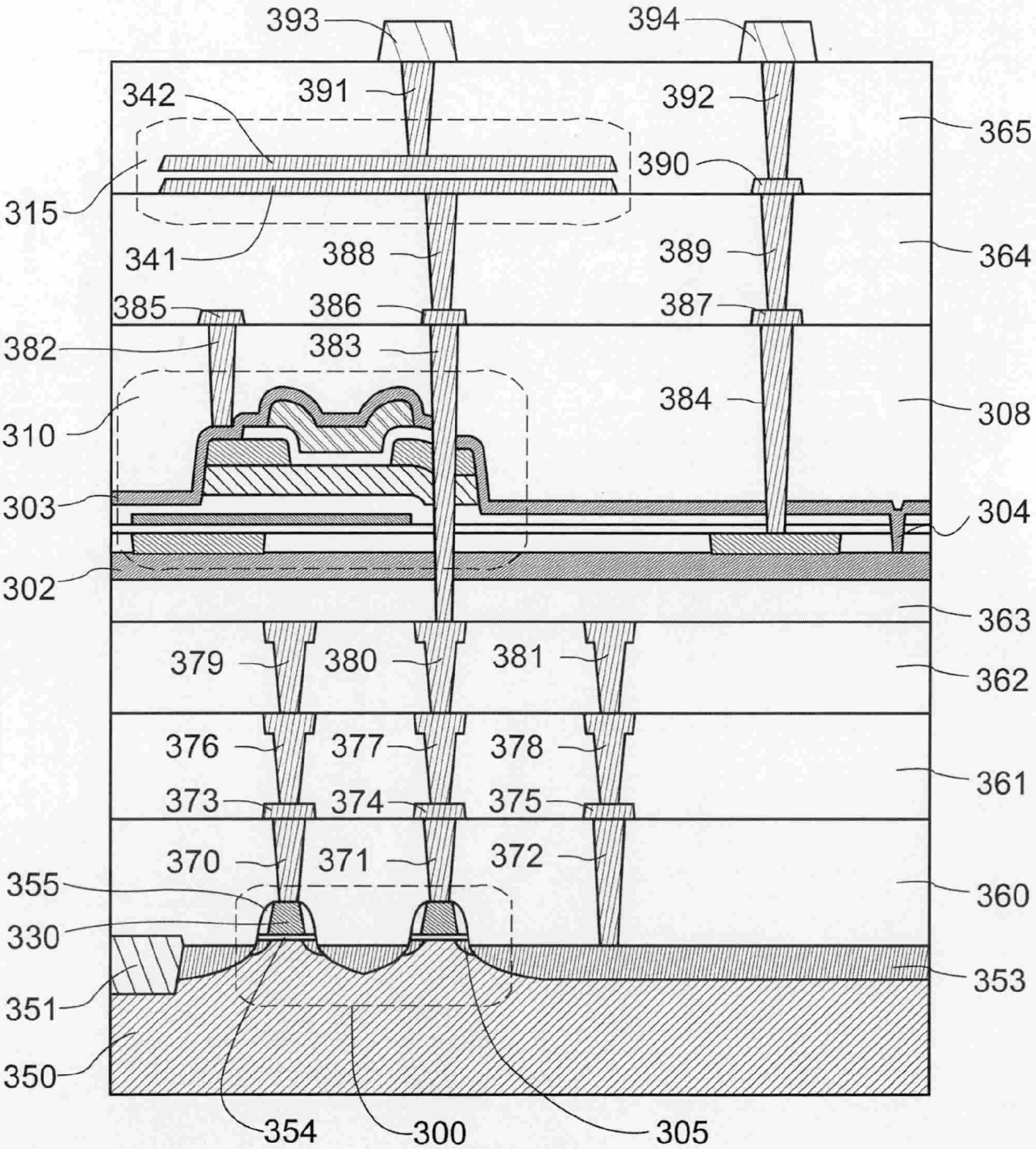
393
394
342
391
392
365
315
390
341
388
389
364
385
386
387
382
383
384
310
308
303
304
302
363
379
380
381
362
376
377
378
361
373
374
375
370
371
372
355
360
330
353
351
350
354
300
305

圖 21B

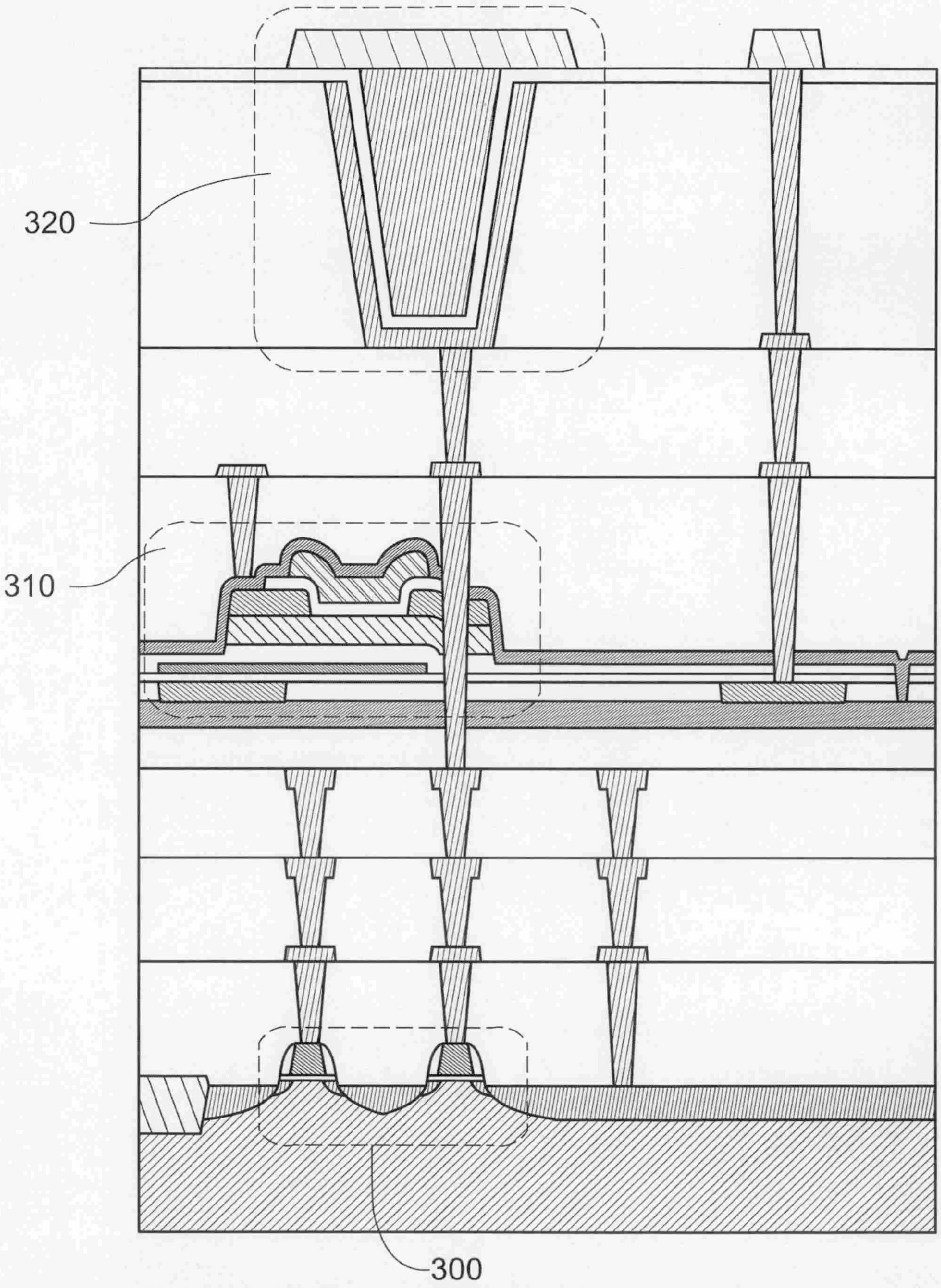

圖 22

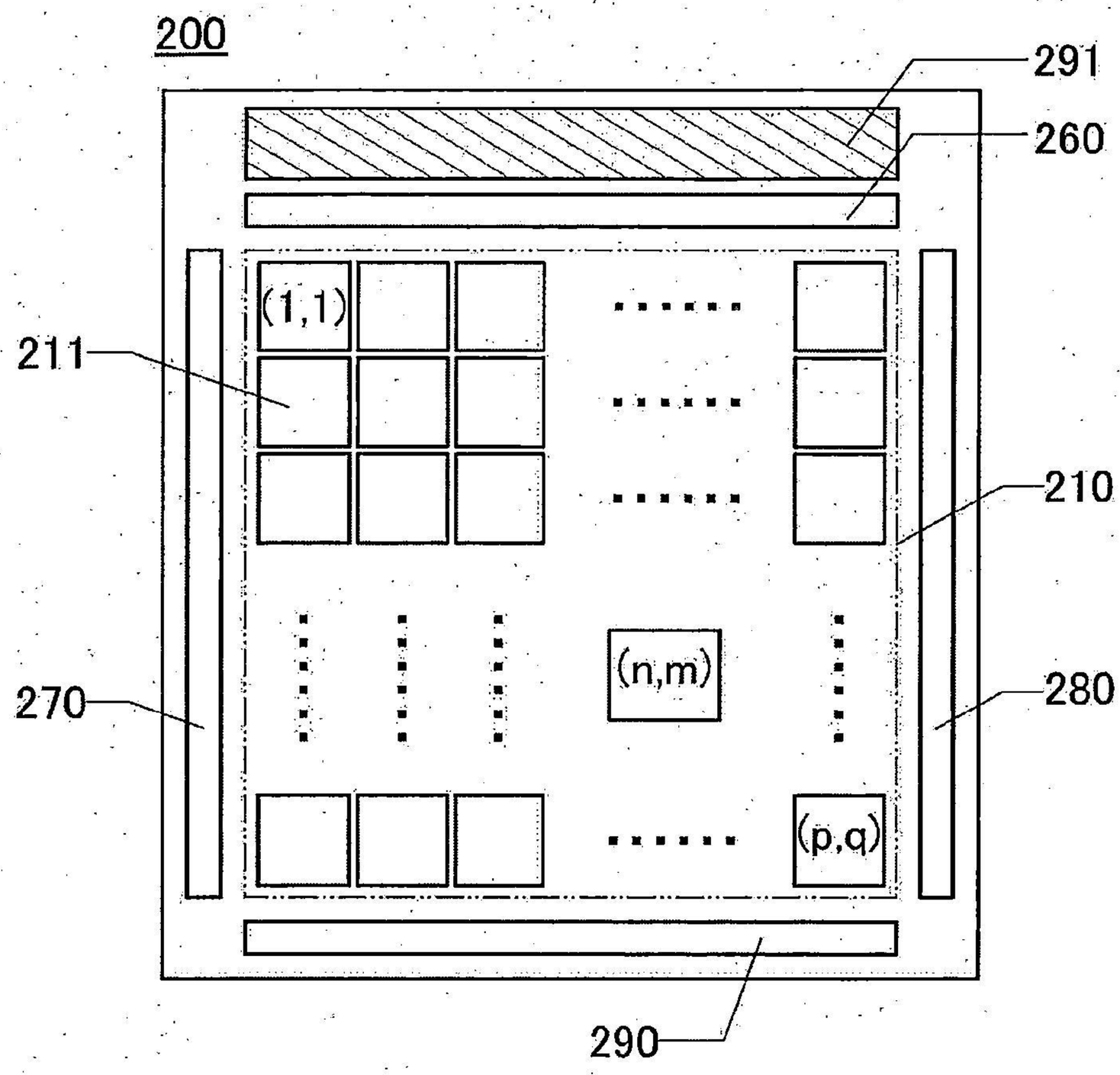
200
291
260
211
(1,1)
210
270
(n,m)
280
(p,q)
290

圖 23A

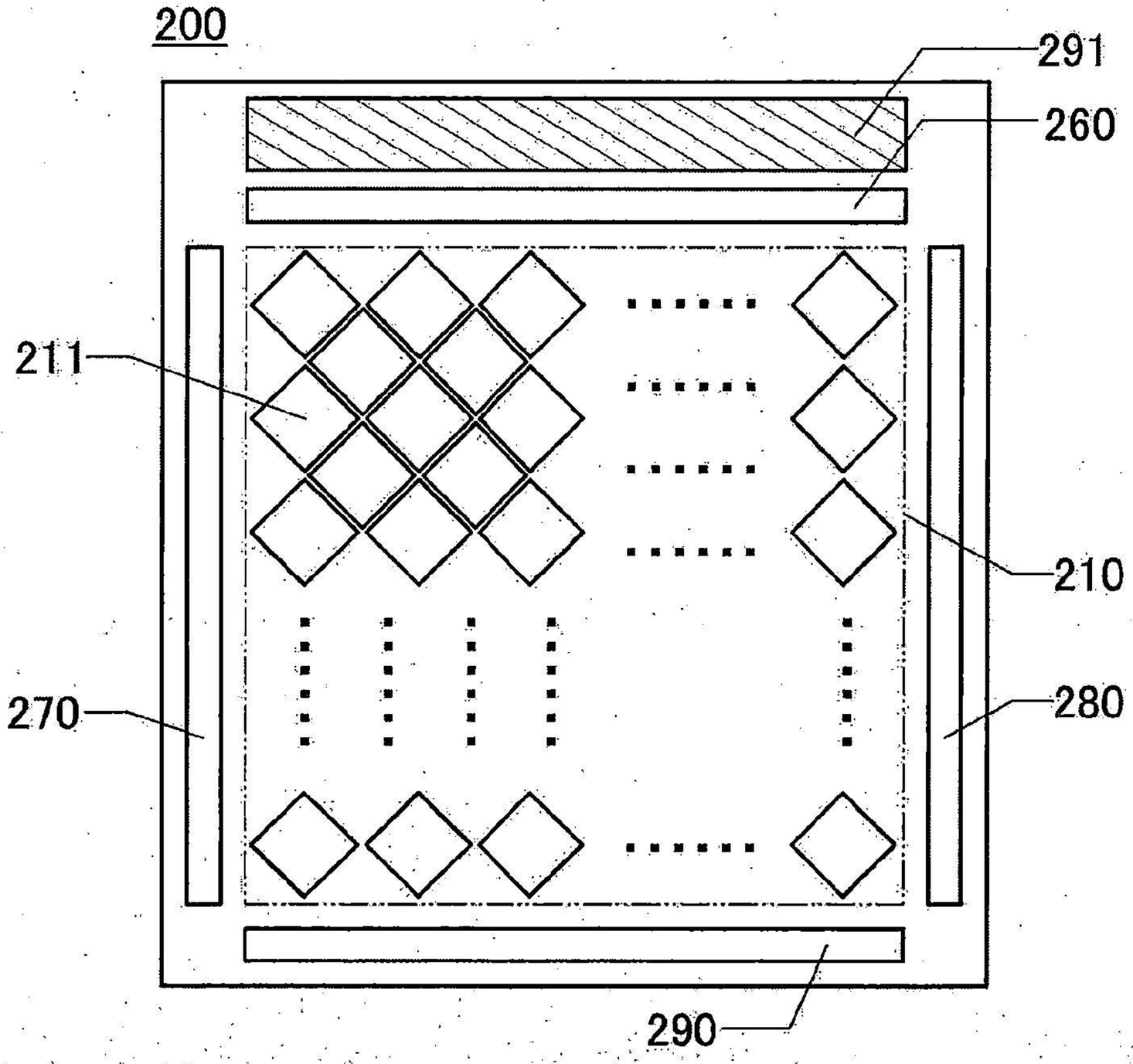
200
291
260
211
210
270
280
290

圖 23B

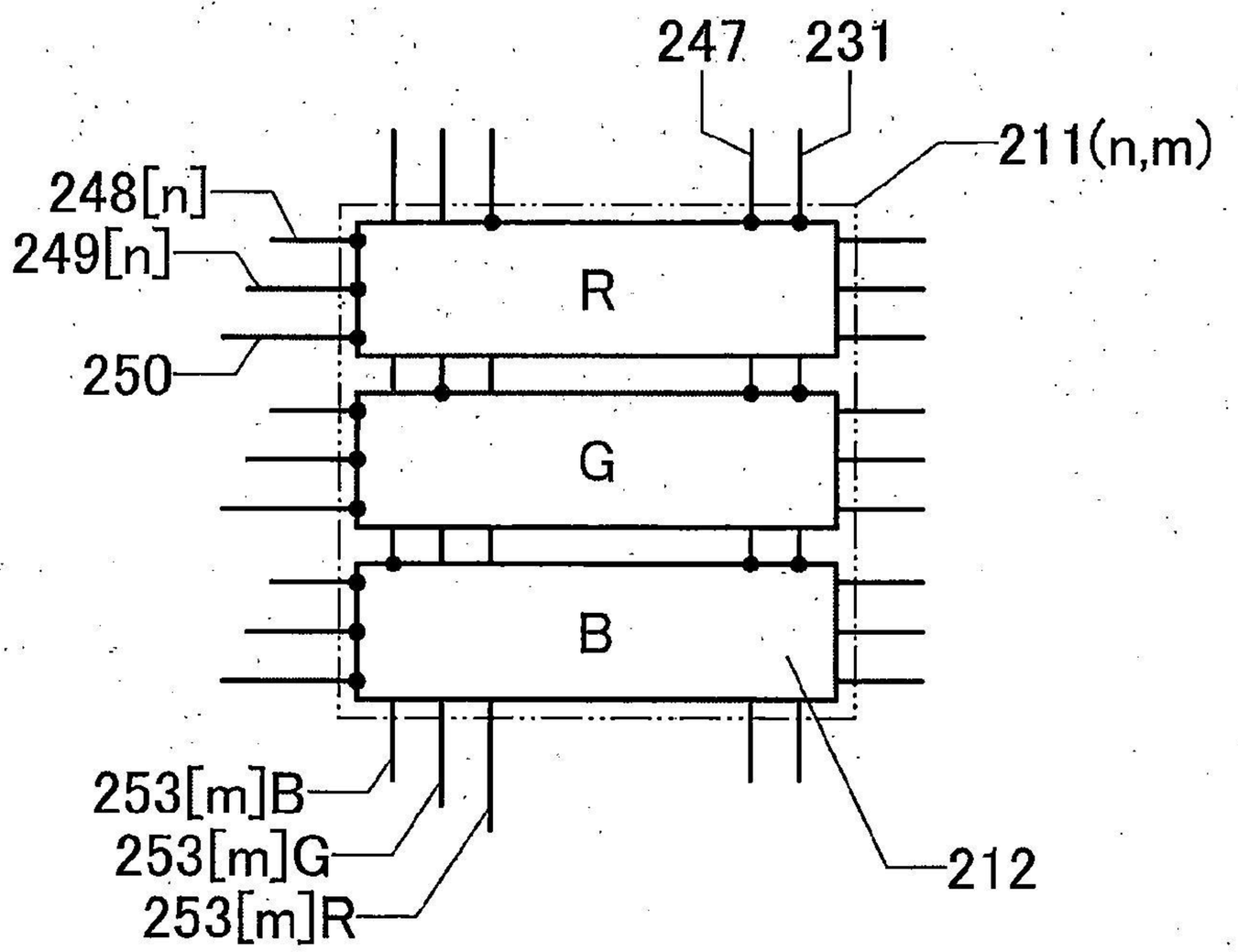
247
231
211(n,m)
248[n]
249[n]
250
R
G
B
253[m]B
253[m]G
253[m]R
212

圖 24A

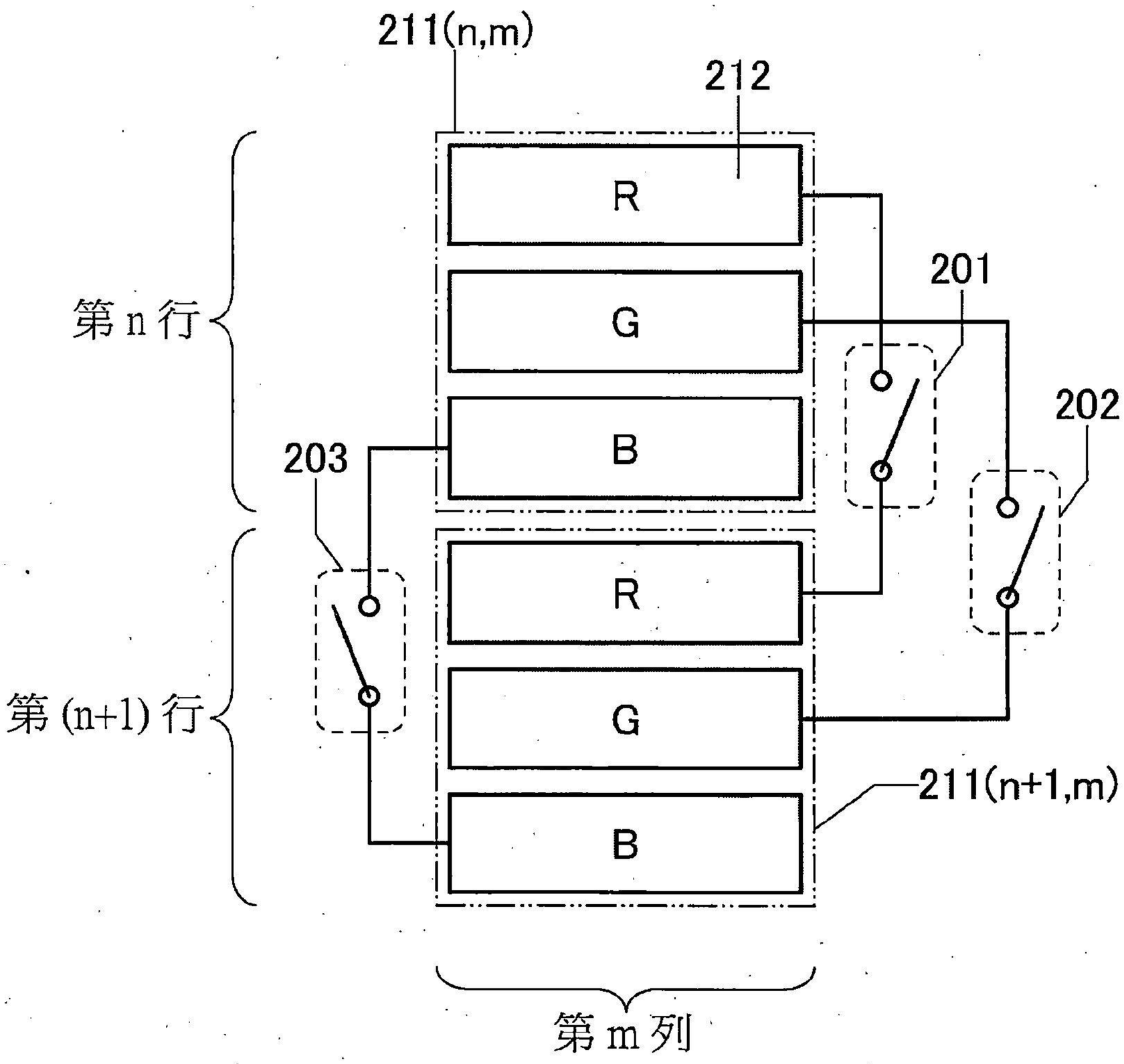
211(n,m)
212
第 n 行
第 (n+1) 行
R
G
B
201
202
203
211(n+1,m)
第 m 列

圖 24B

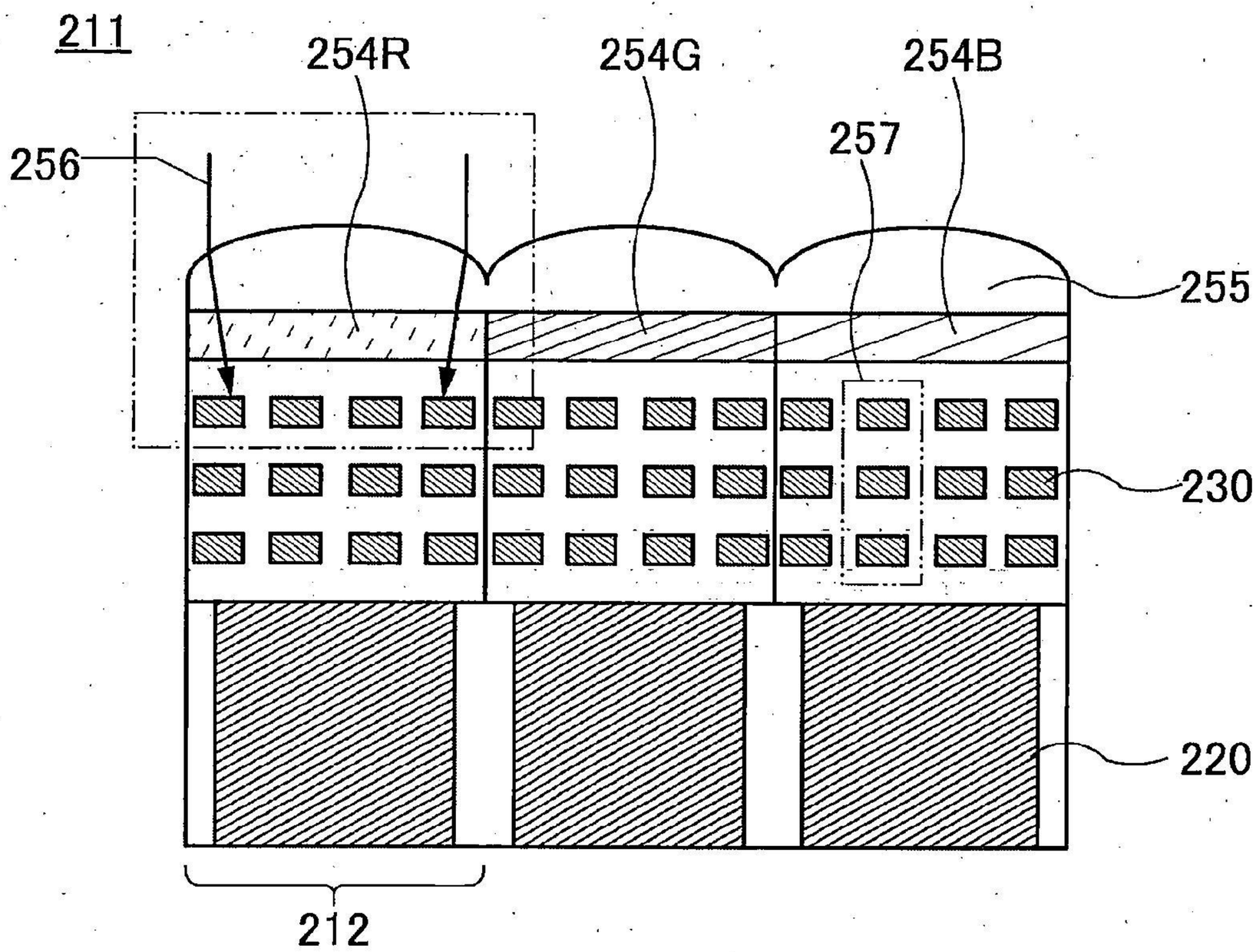
211
254R
254G
254B
256
257
255
230
220
212

圖 25A

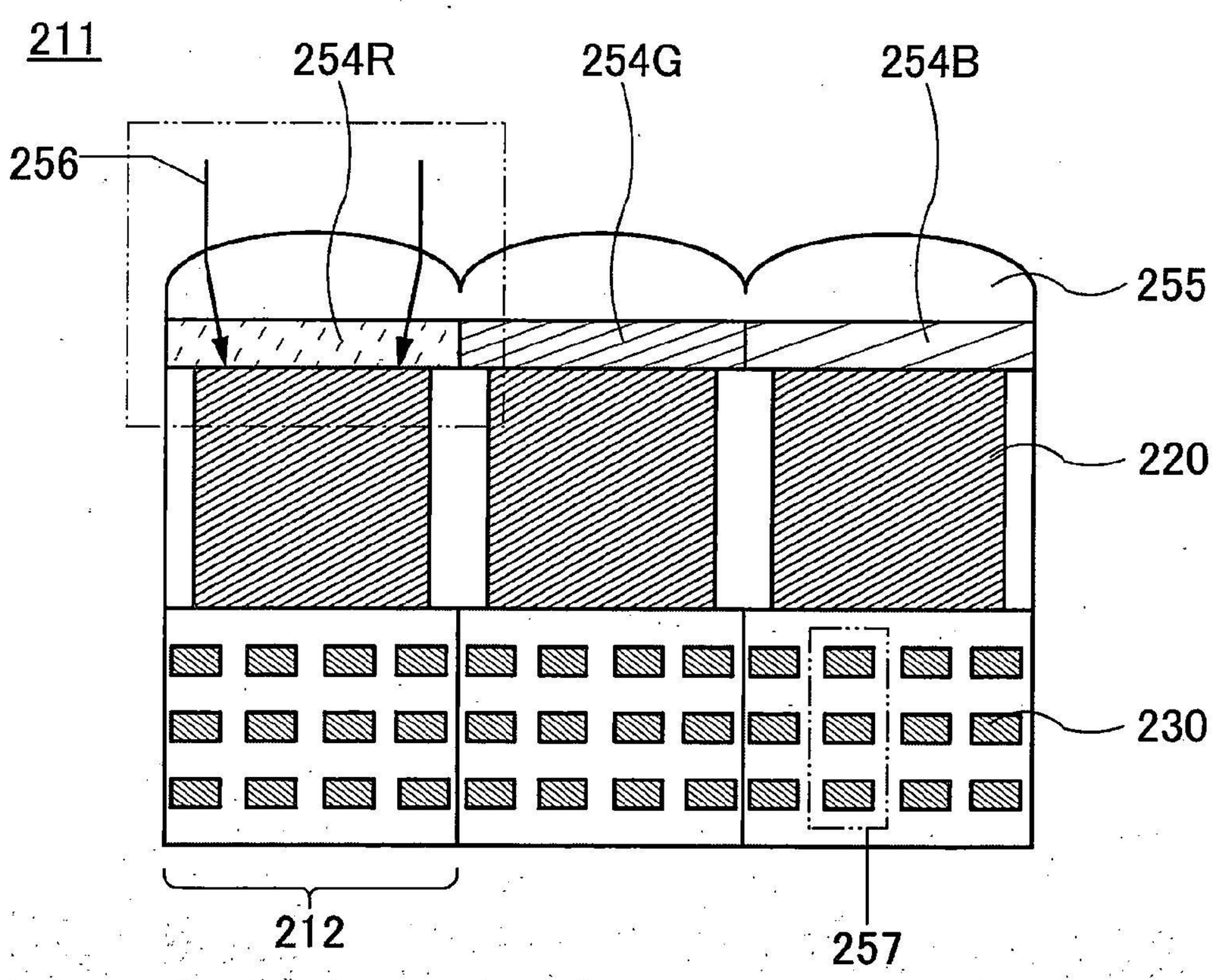
211
254R
254G
254B
256
255
220
230
212
257

圖 25B

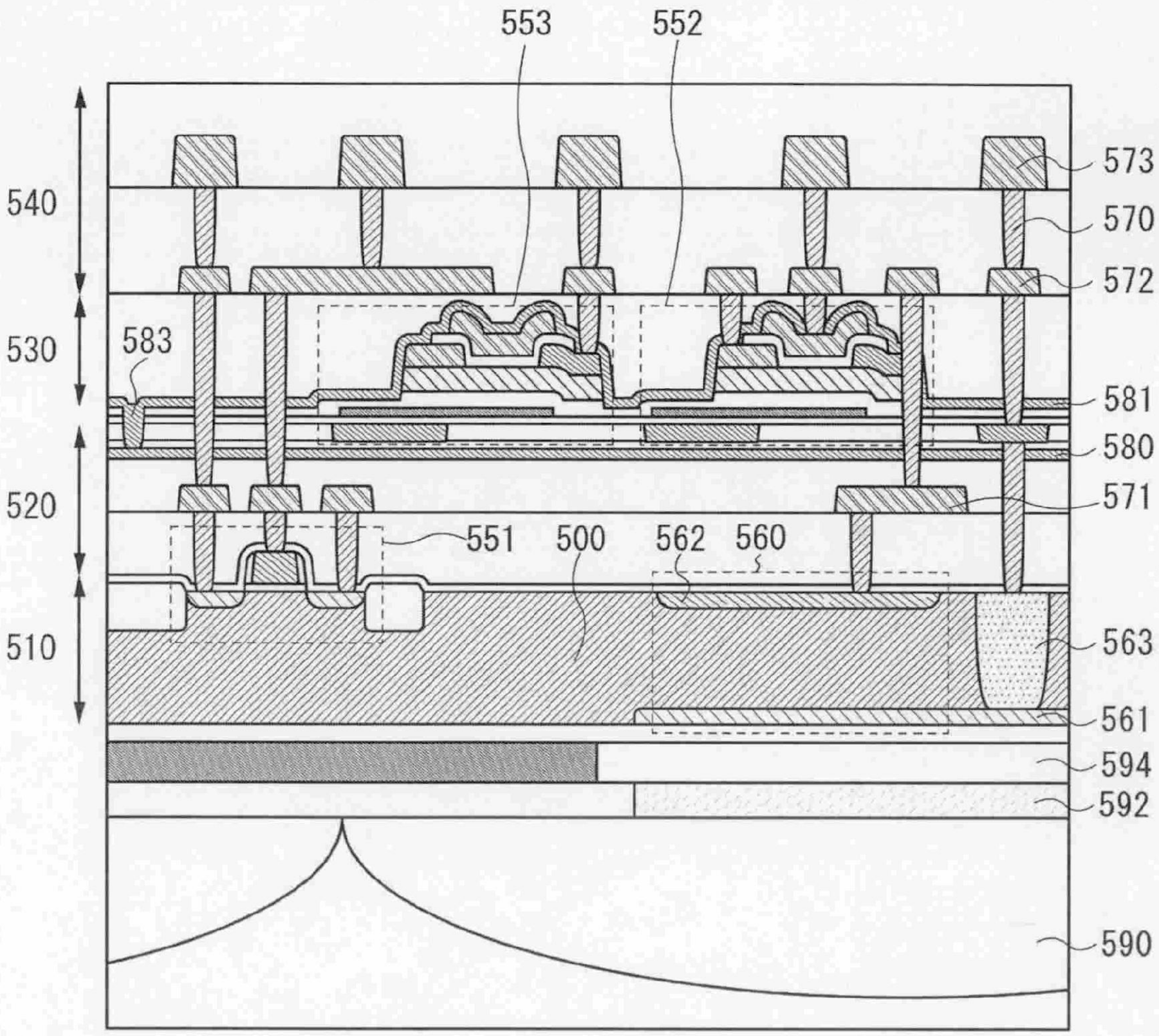
553
552
540
530
520
510
583
573
570
572
581
580
571
551
500
562
560
563
561
594
592
590

圖 26

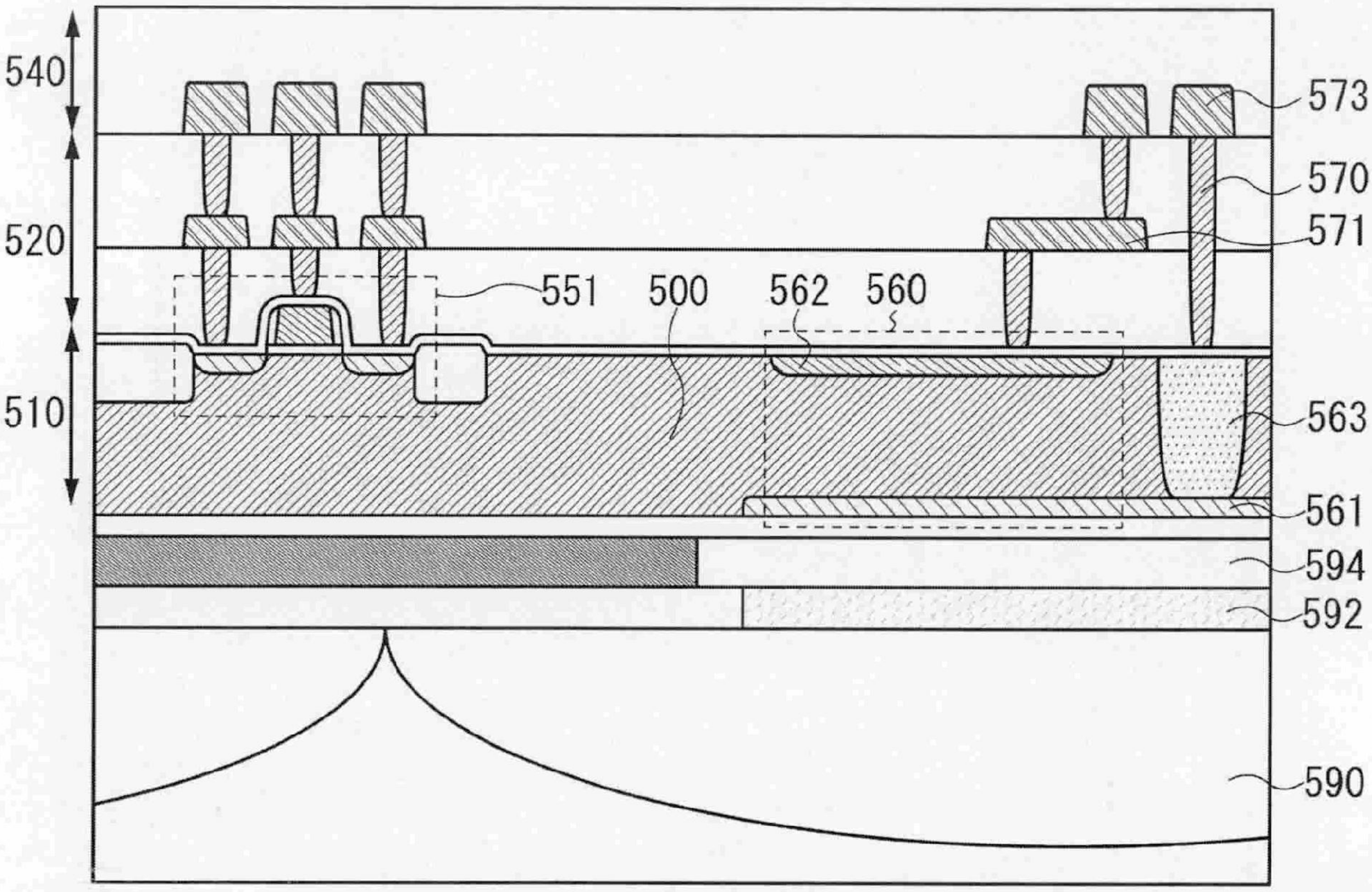

圖 27

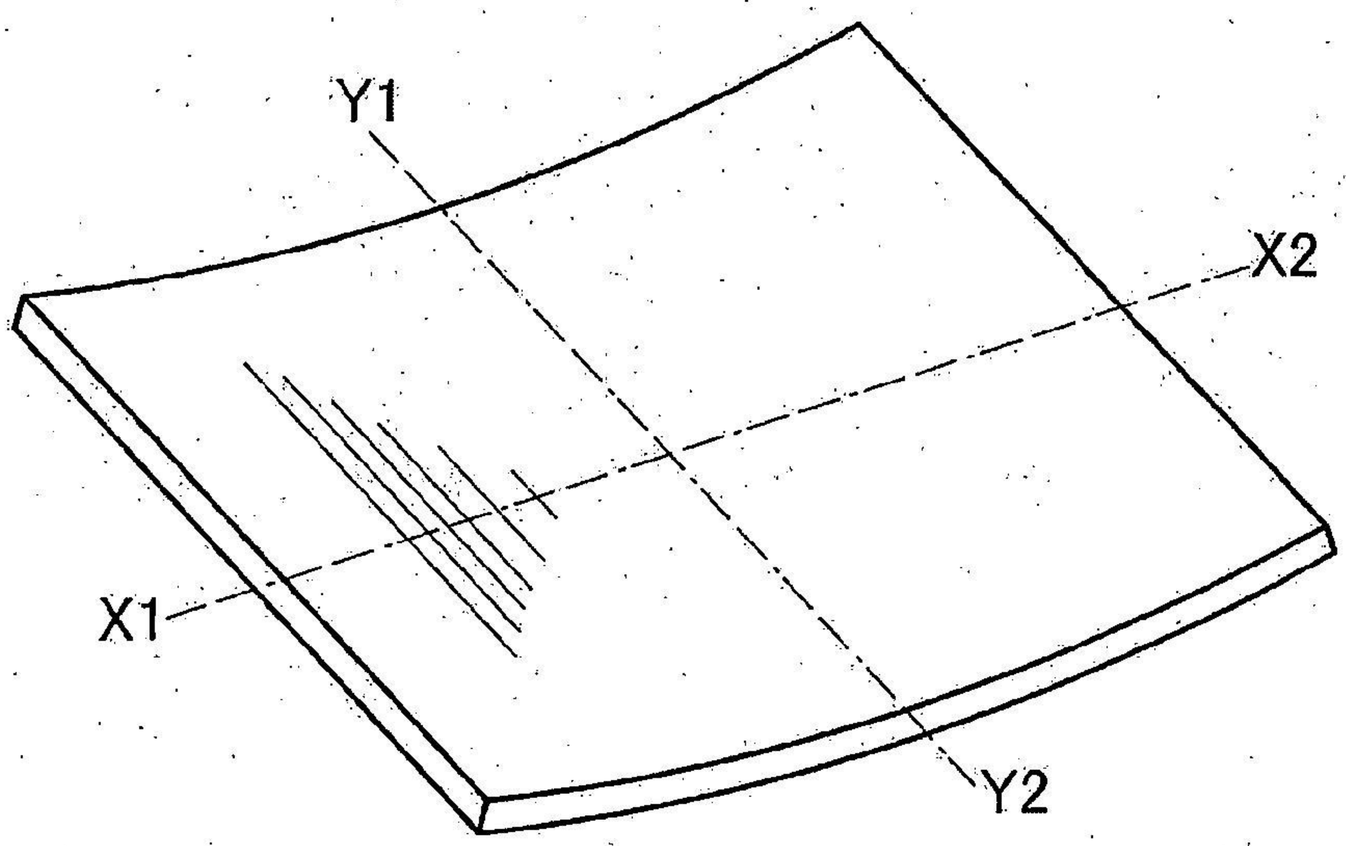

圖 28A1

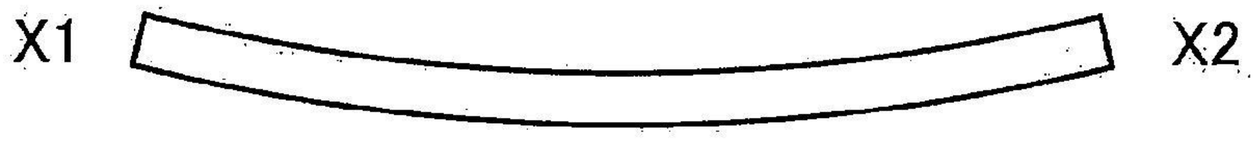

圖 28A2

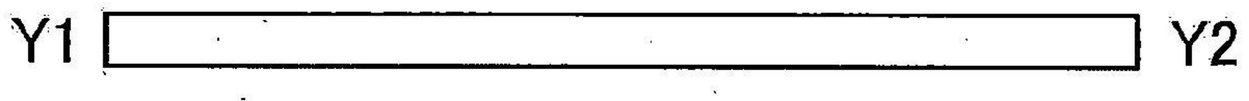

圖 28A3

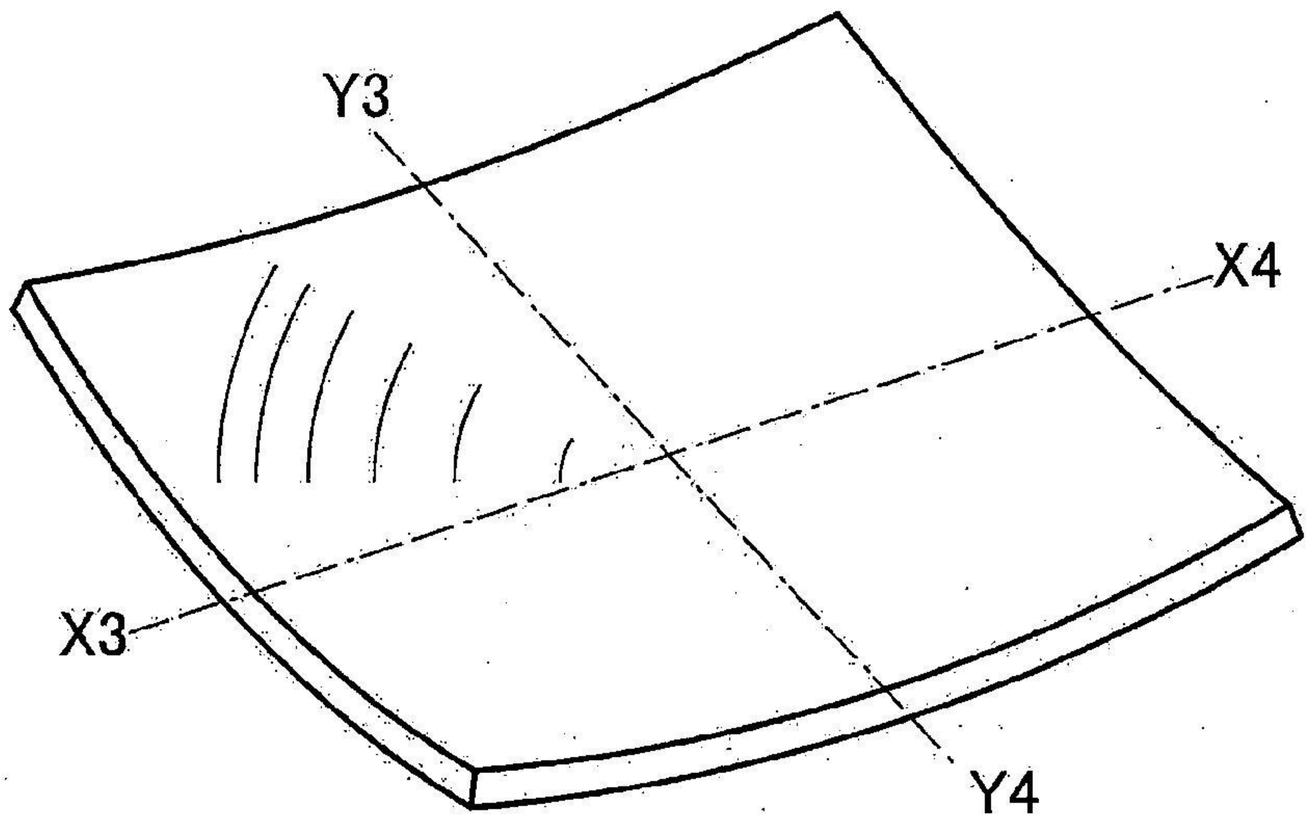

圖 28B1

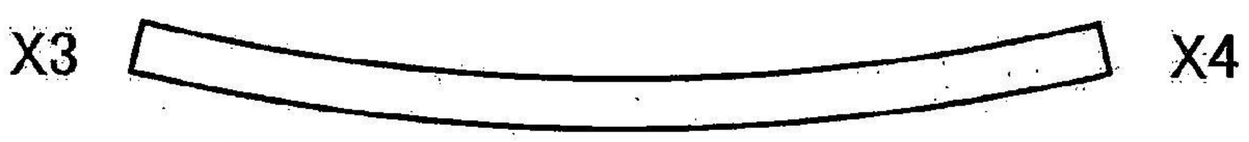

圖 28B2

圖 28B3

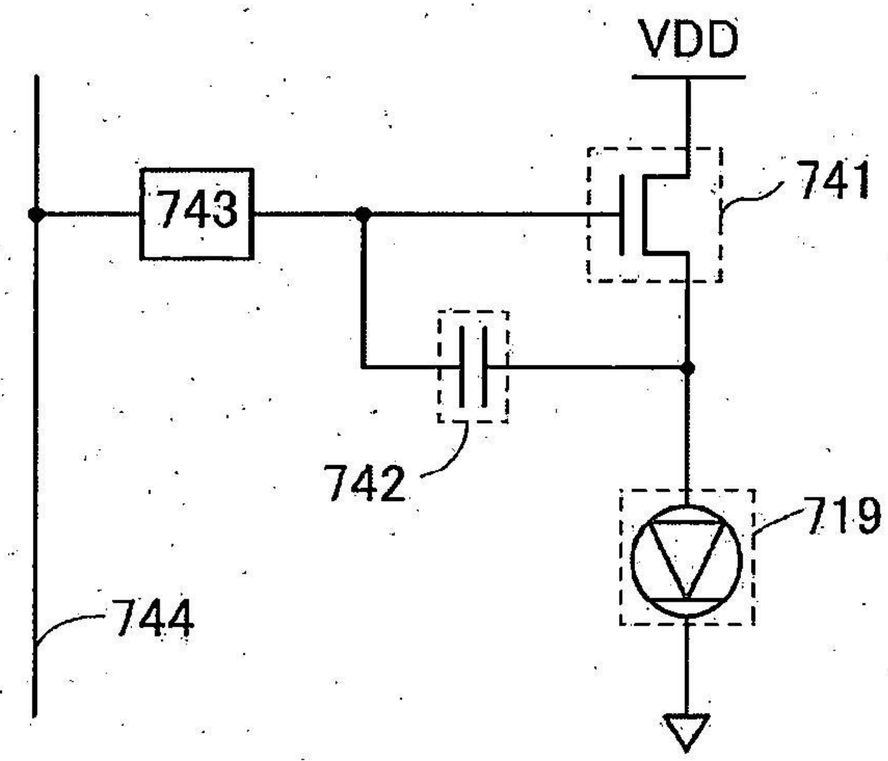

圖 29A

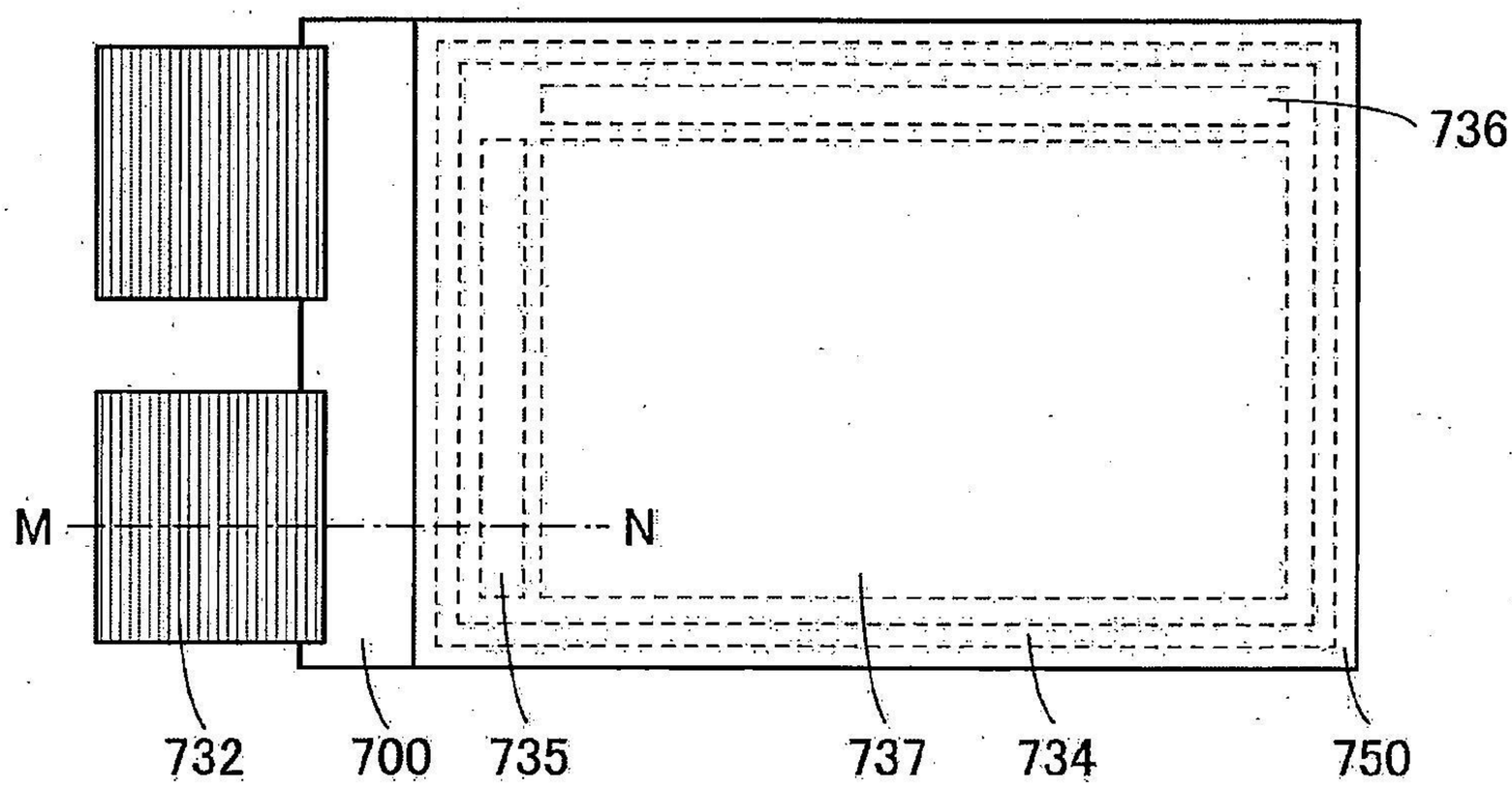

圖 29B

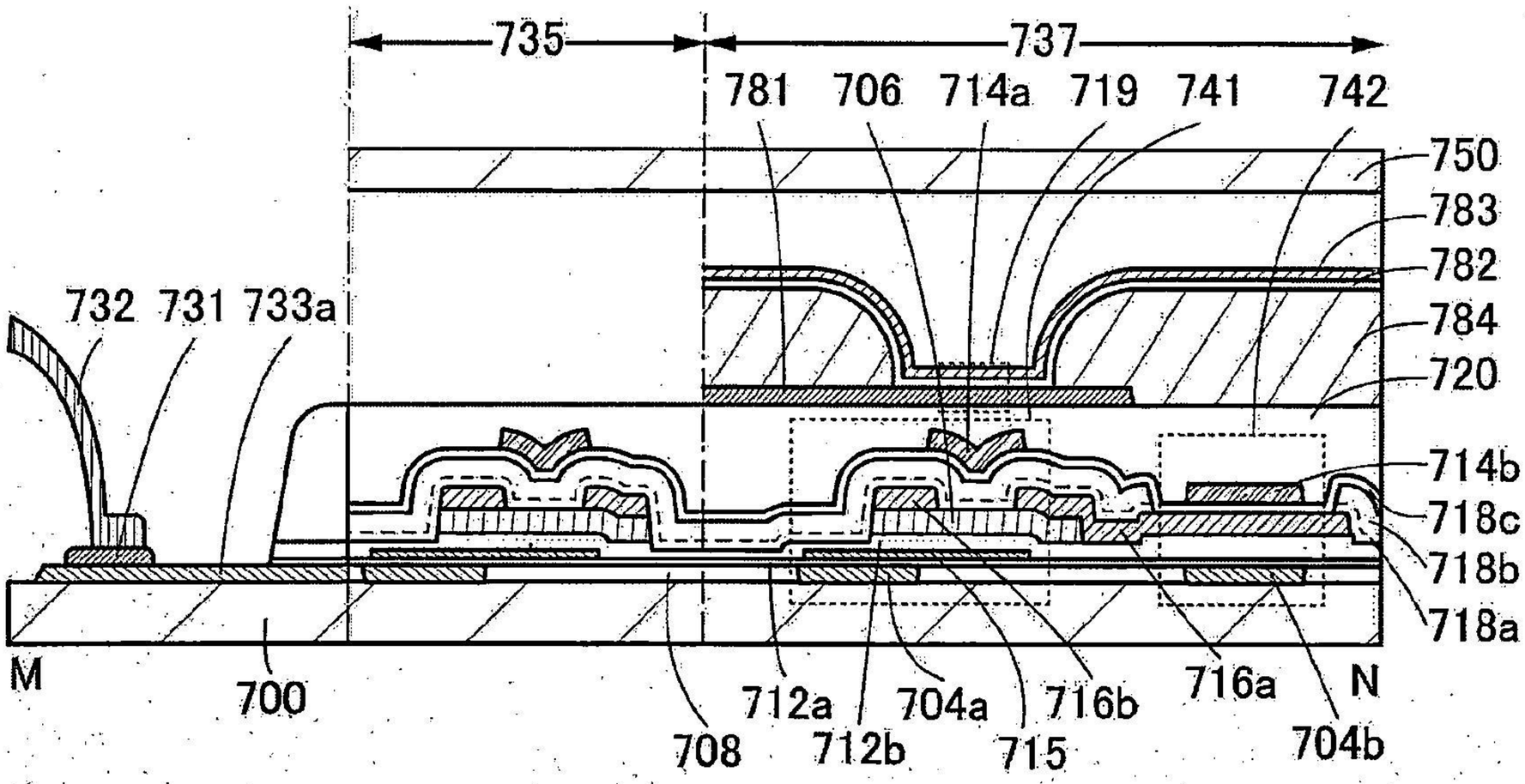

圖 29C

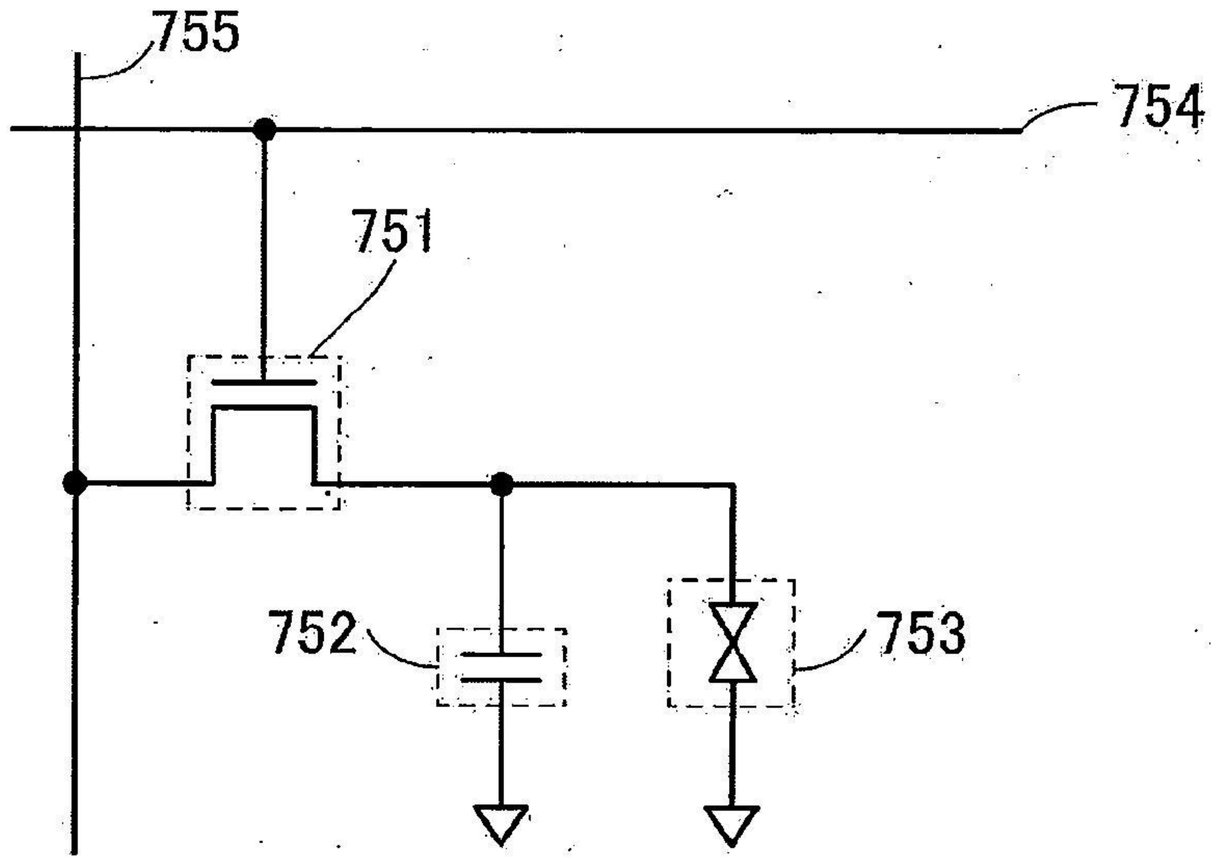
755
754
751
752
753

圖 30A

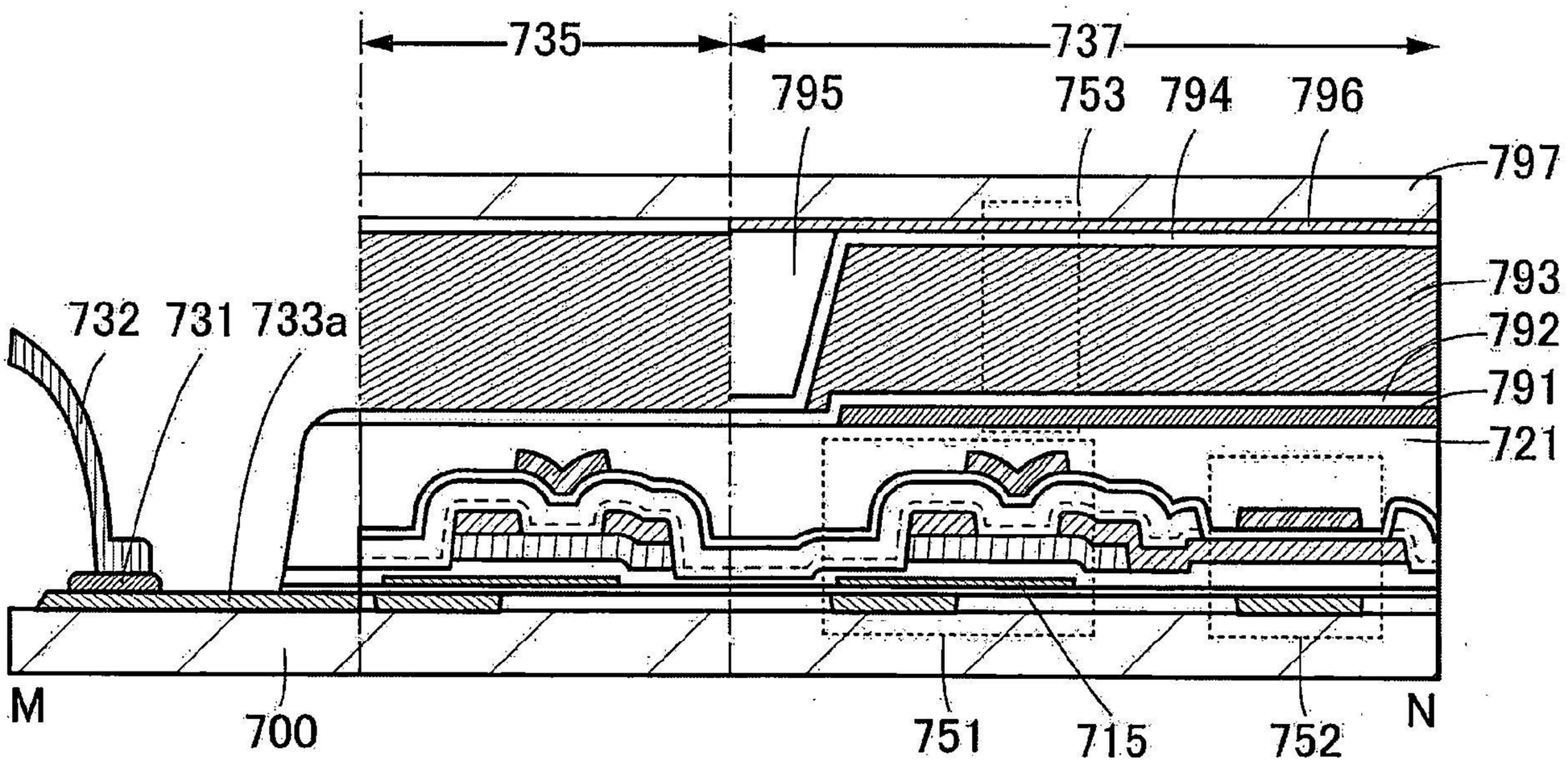
735
737
795
753
794
796
797
793
792
791
721
732
731
733a
M
700
751
715
752
N

圖 30B

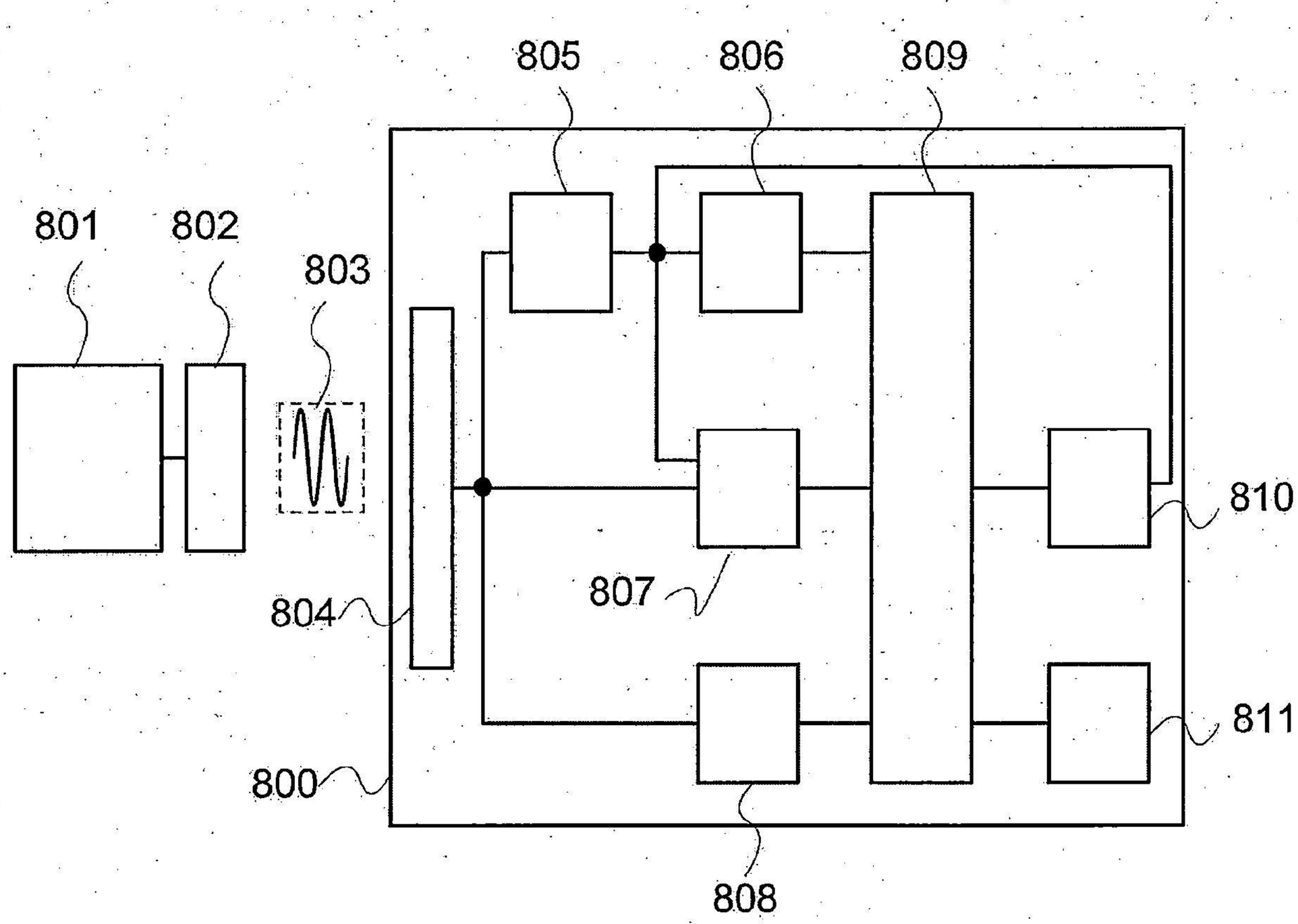

圖 31

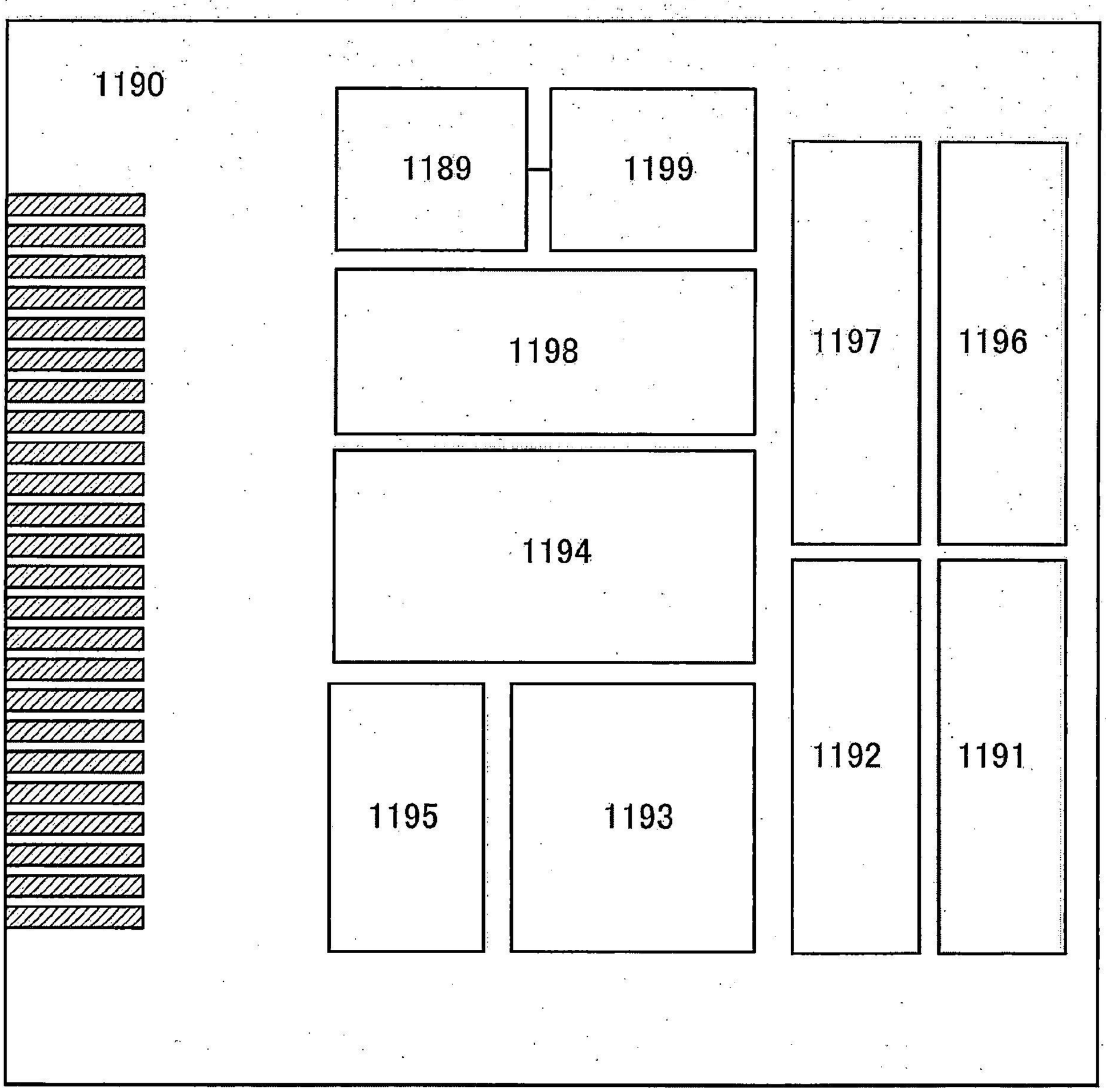

圖 32

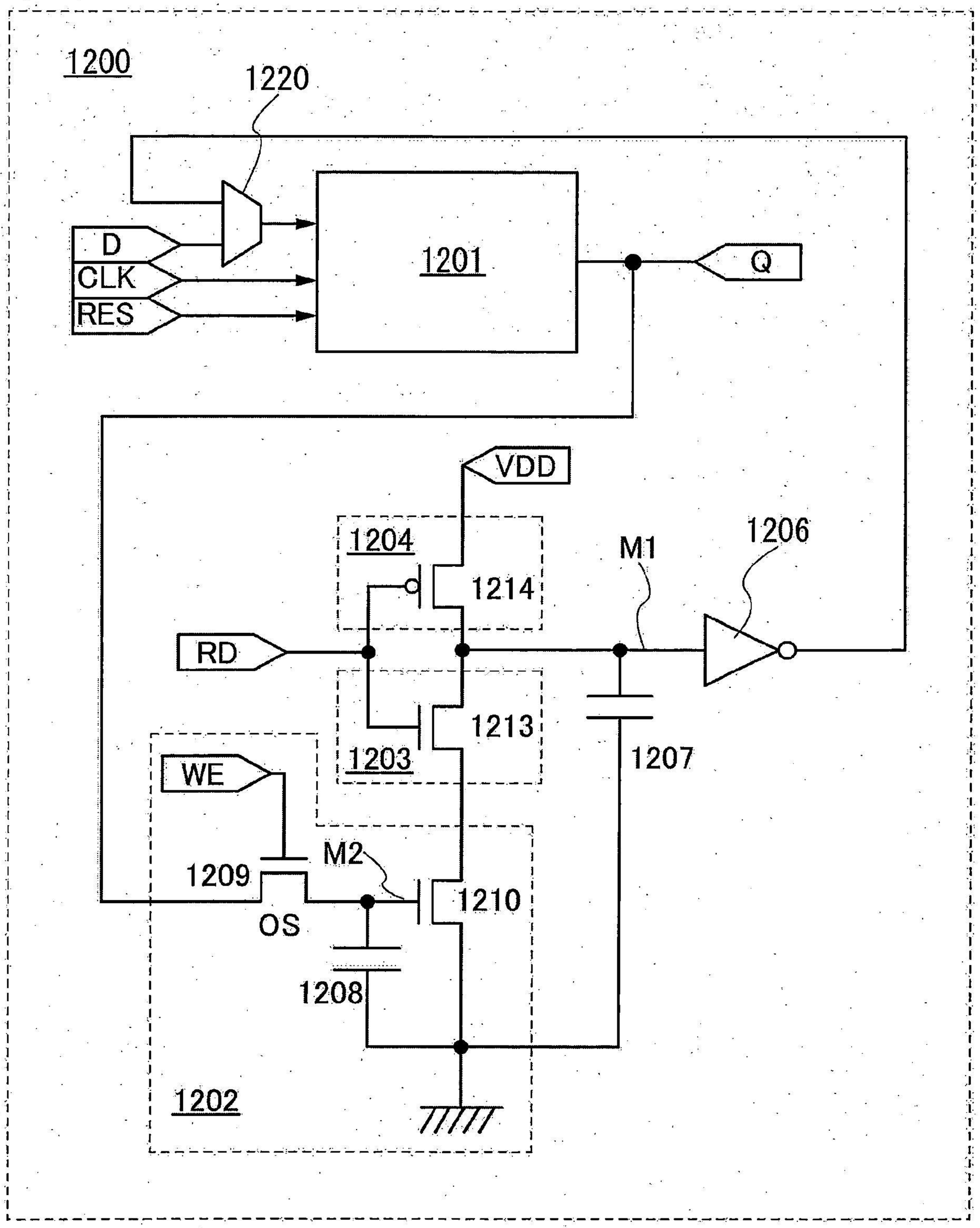
1200
1220
D
CLK
RES
1201
Q
VDD
1204
1214
M1
1206
RD
1213
1203
1207
WE
M2
1209
1210
OS
1208
1202

圖 33

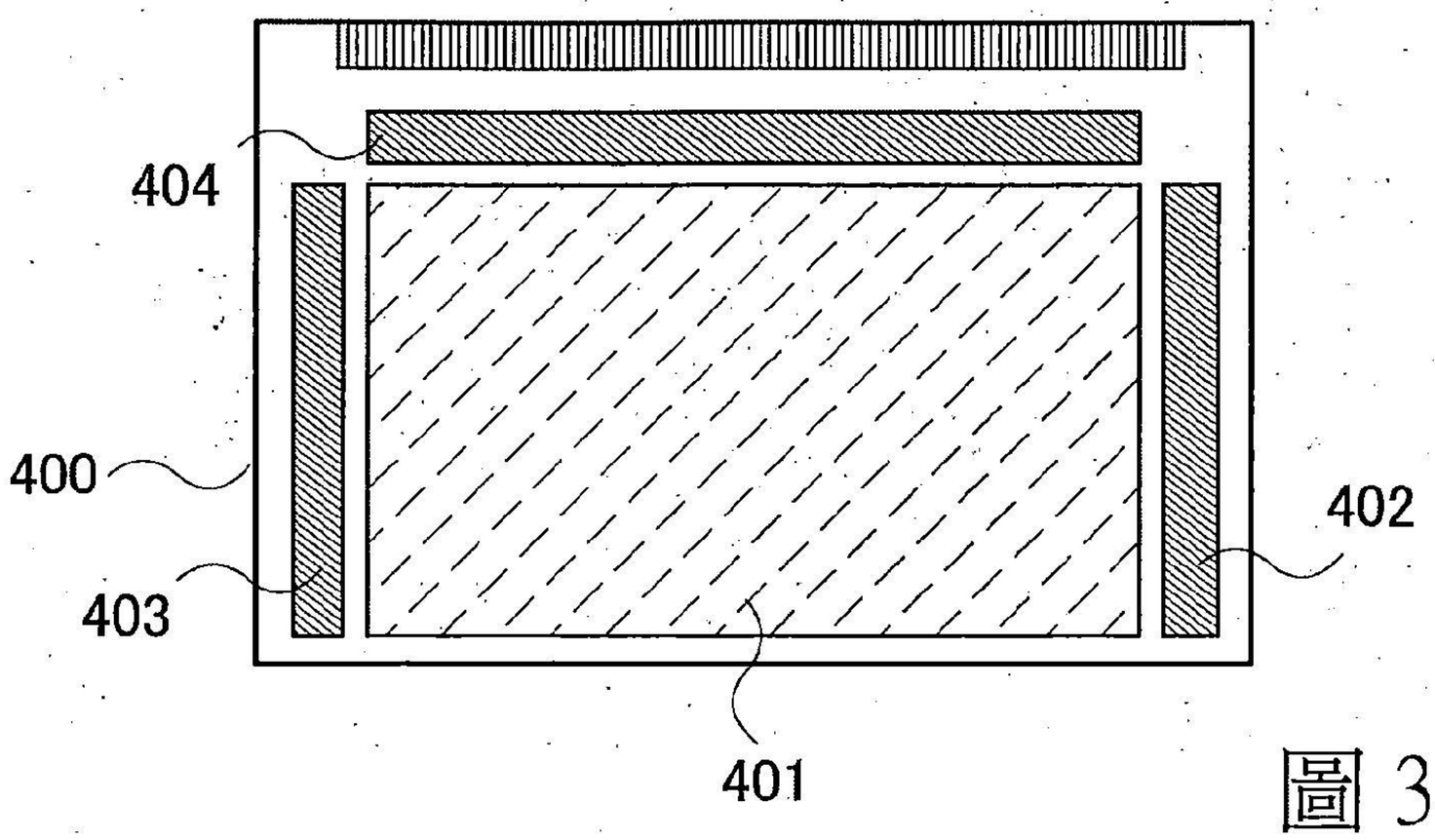

圖 34A

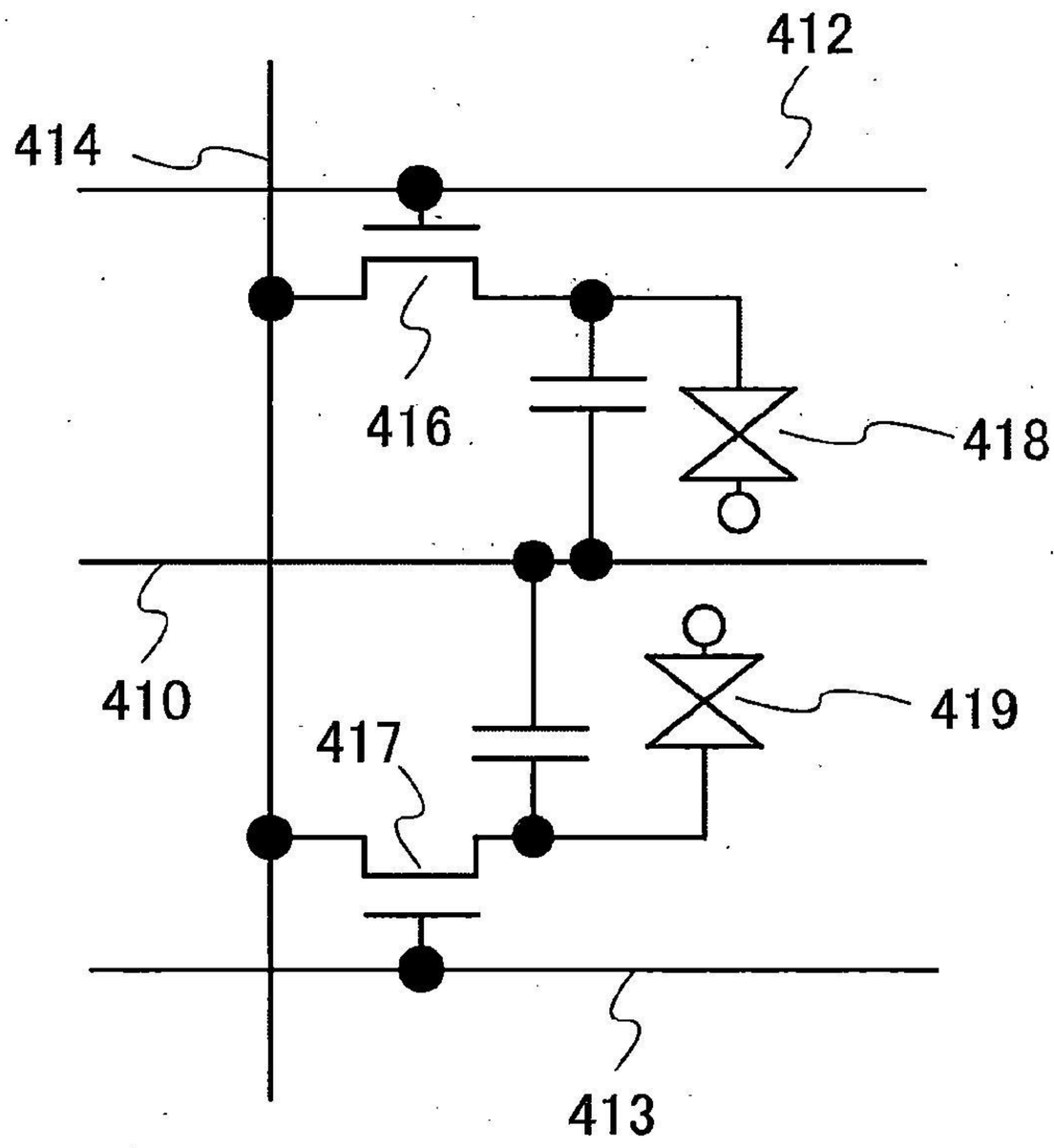

圖 34B

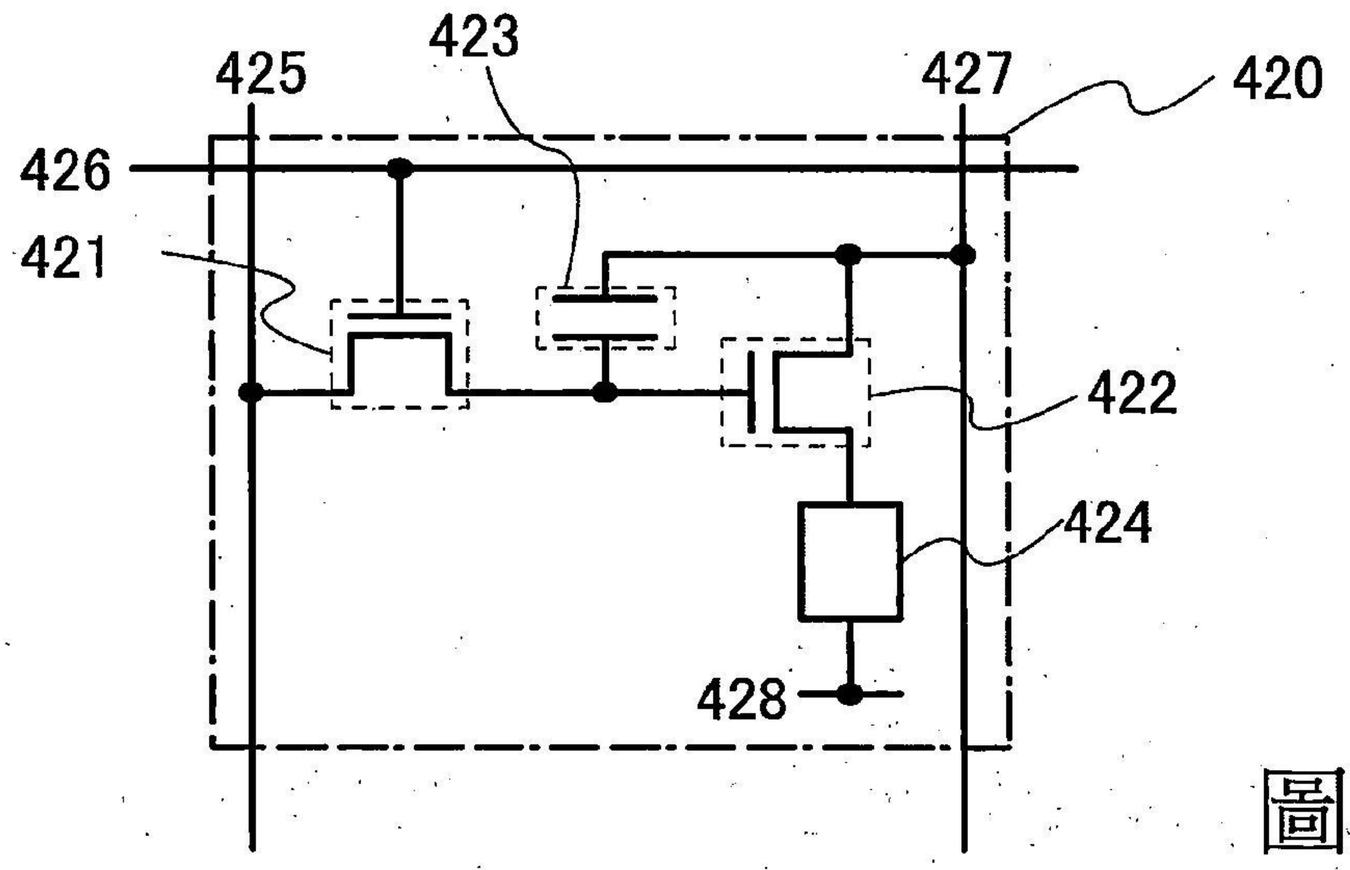

圖 34C

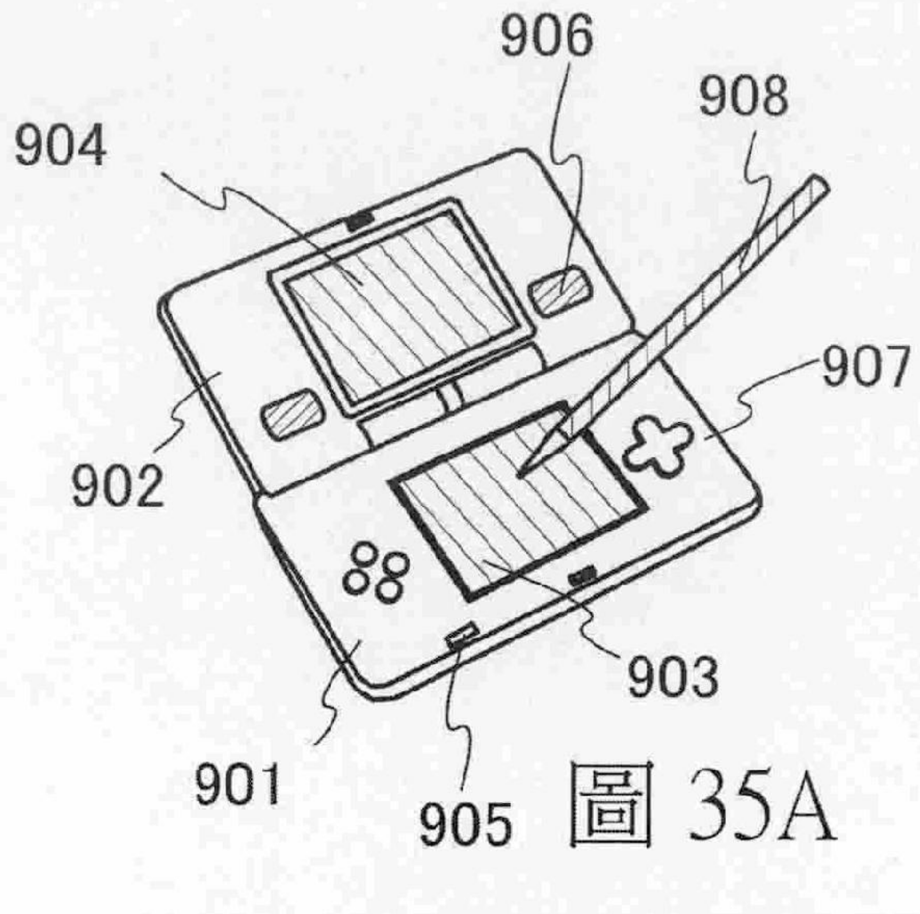

圖 35A

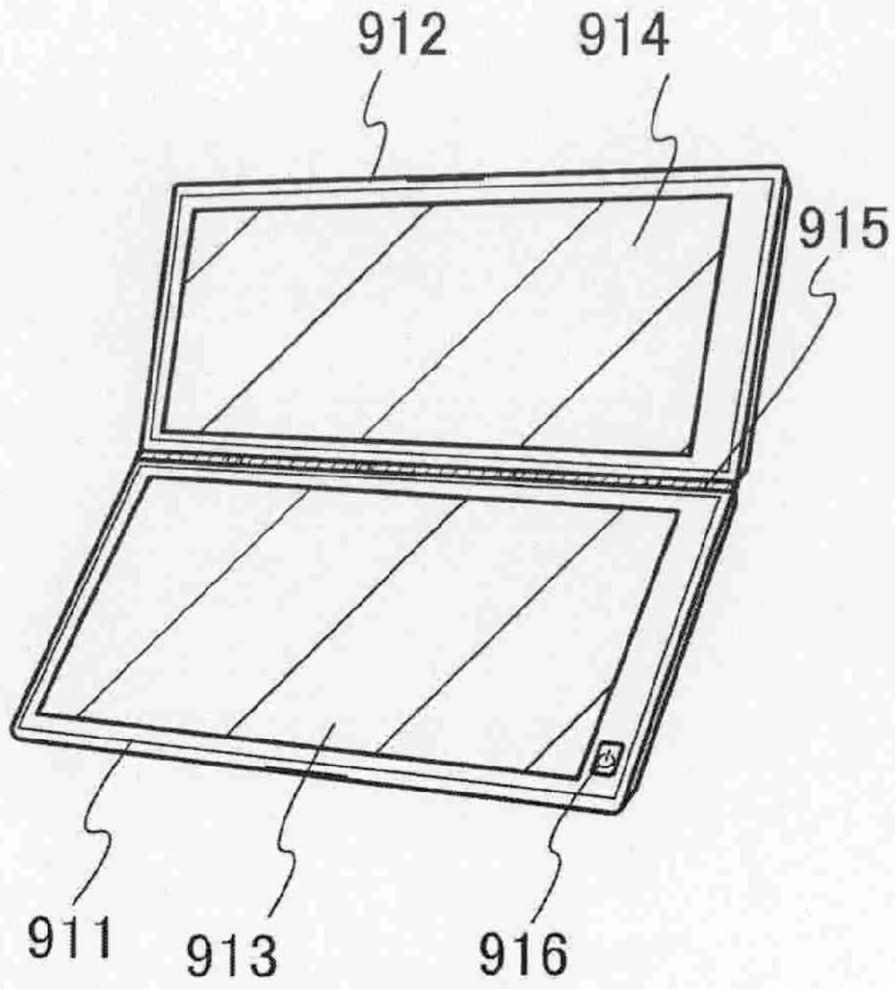

圖 35B

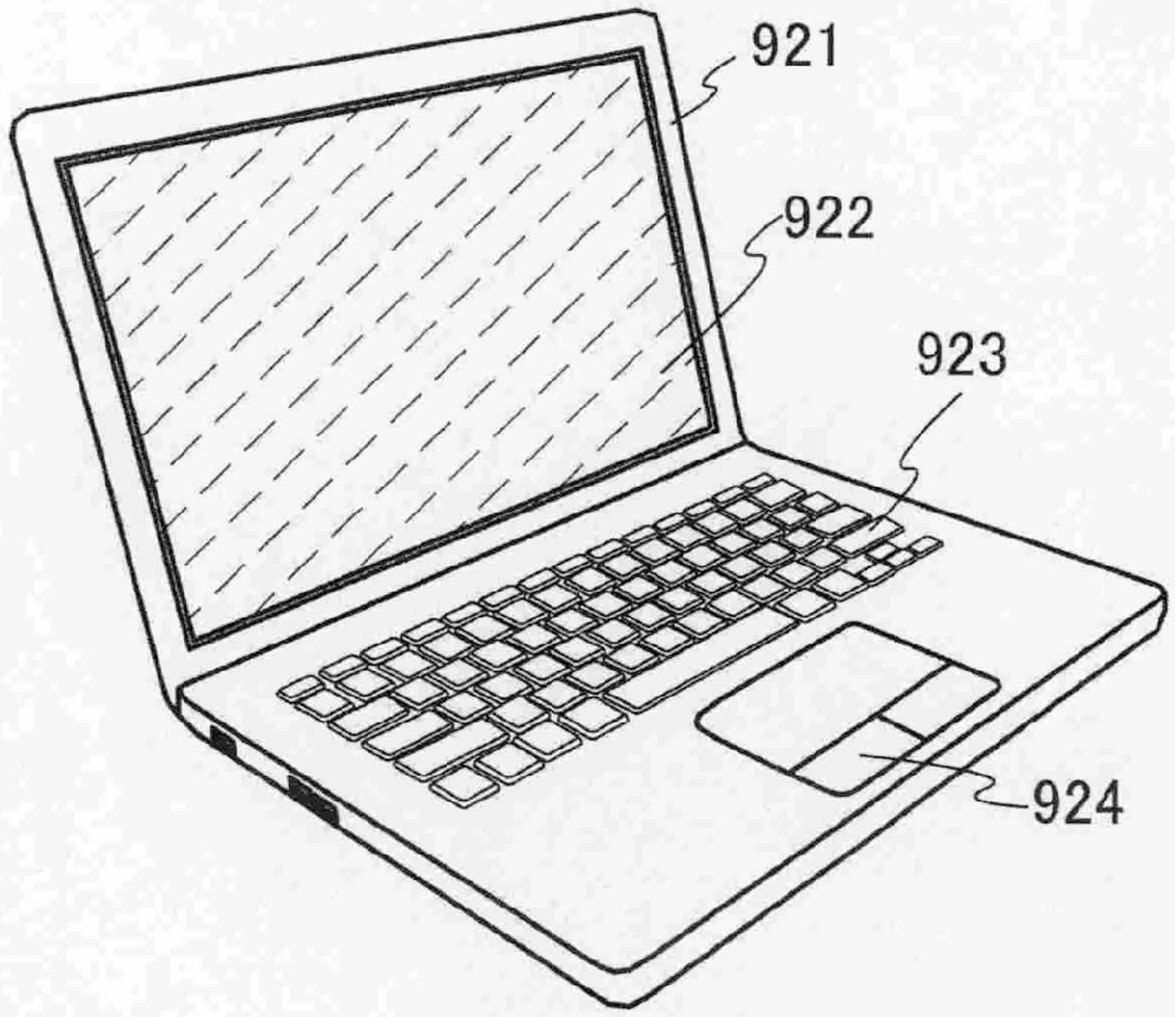

圖 35C

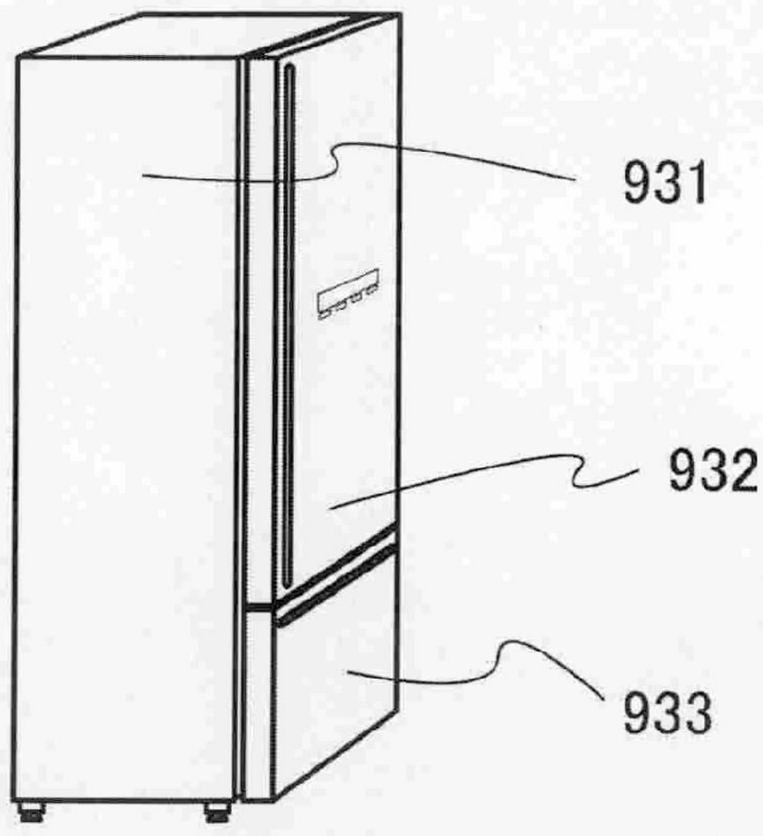

圖 35D

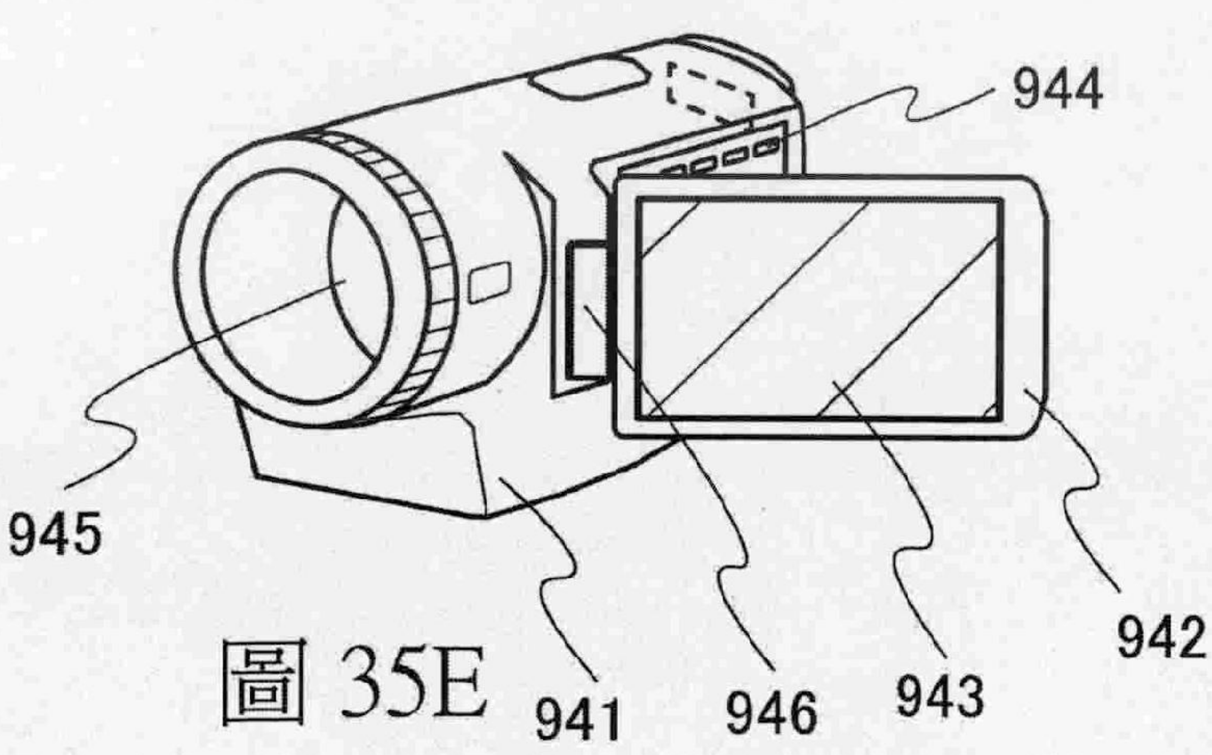

圖 35E

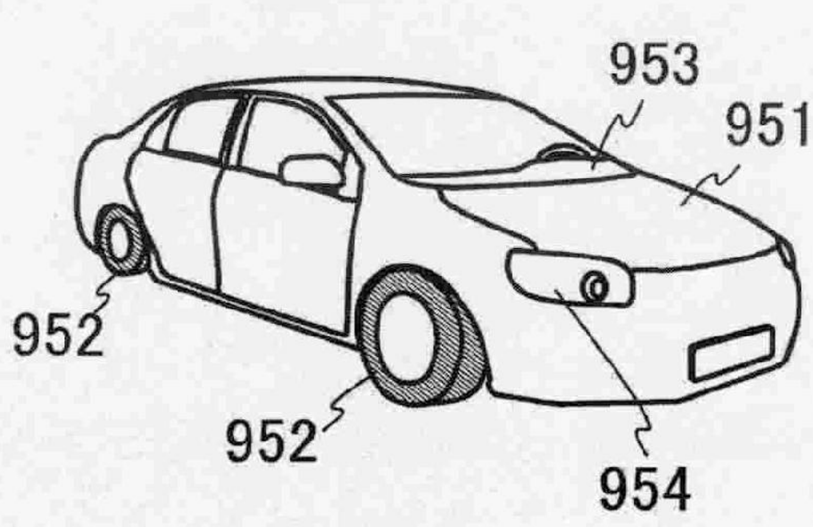

圖 35F

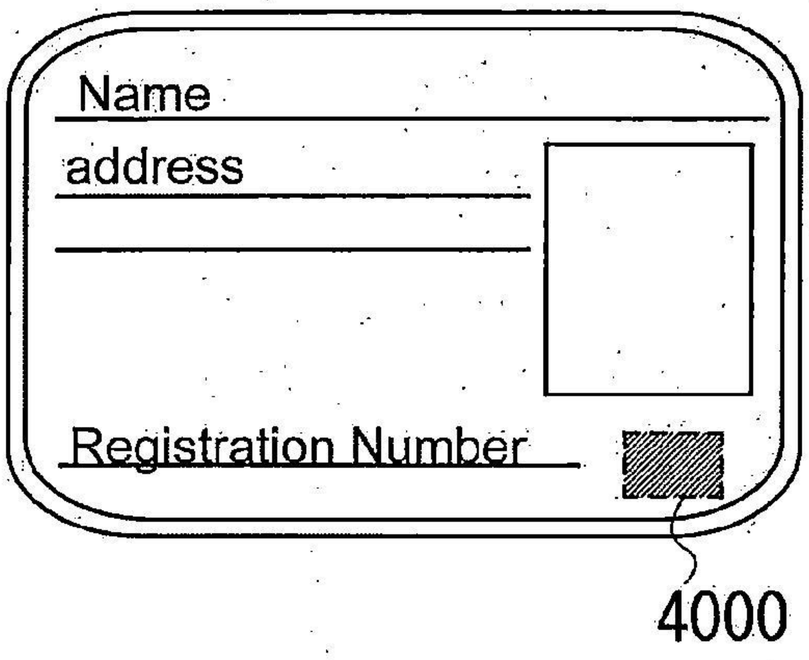

圖 36A

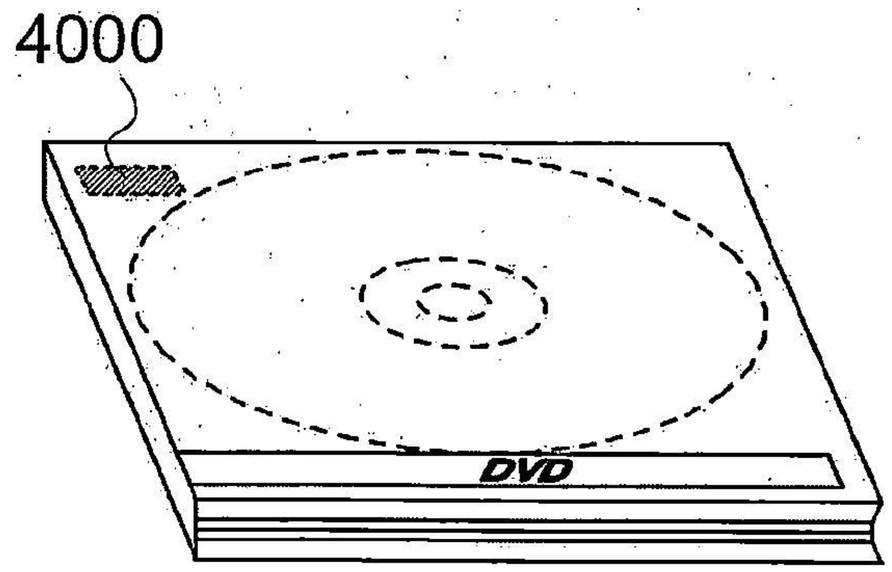

圖 36B

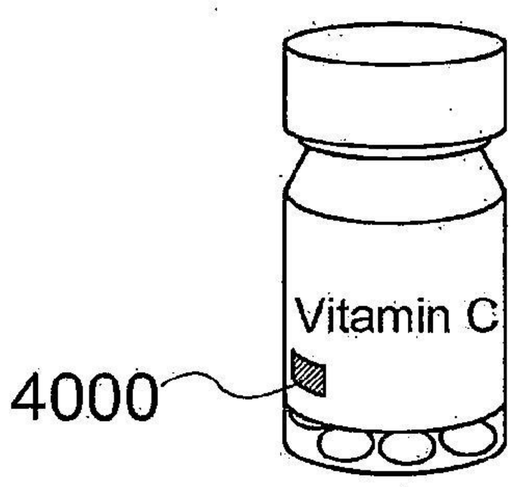

圖 36C

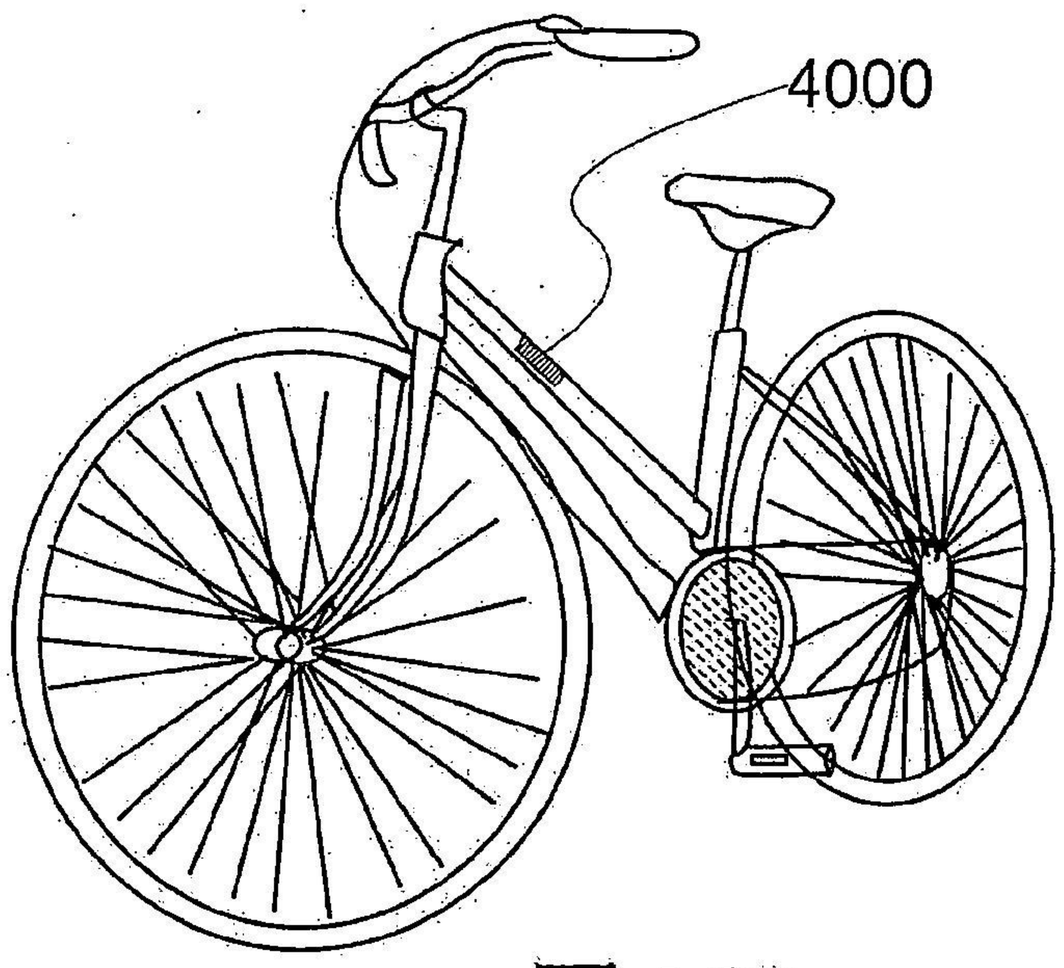

圖 36D

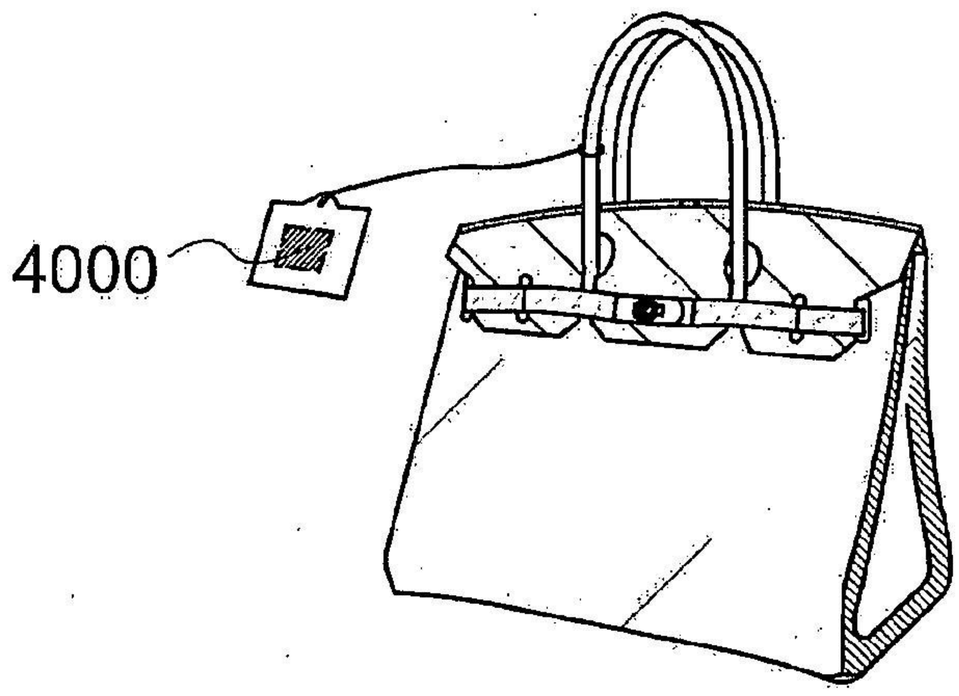

圖 36E

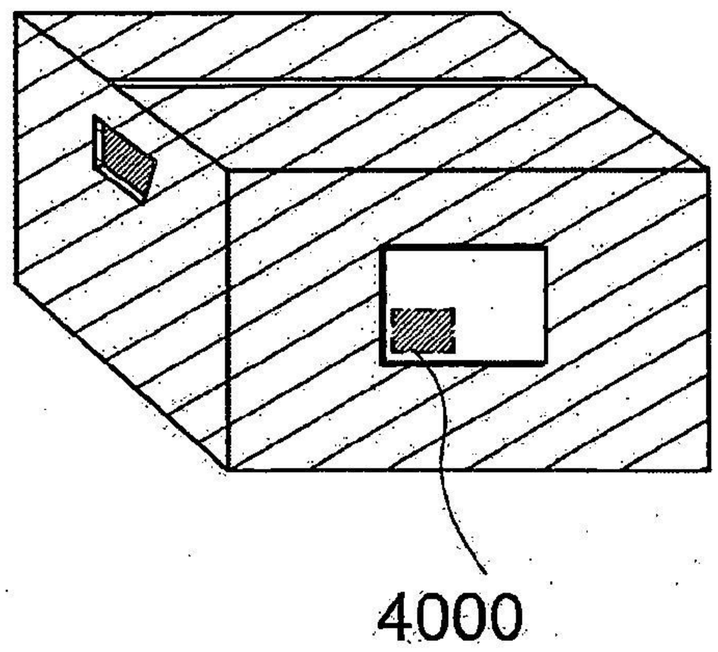

圖 36F