

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 3 区分

【発行日】平成 28 年 6 月 16 日 (2016.6.16)

【公開番号】特開 2013-251889 (P2013-251889A)

【公開日】平成 25 年 12 月 12 日 (2013.12.12)

【年通号数】公開・登録公報 2013-067

【出願番号】特願 2013-92167 (P2013-92167)

【国際特許分類】

H 0 3 K 19/173 (2006.01)

【F I】

H 0 3 K 19/173 1 0 1

【手続補正書】

【提出日】平成 28 年 4 月 22 日 (2016.4.22)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

複数のアプリケーションプログラムと、複数の前記アプリケーションプログラムの各々に関連づけられた複数のコンフィギュレーションデータとが記憶された記憶装置と、

複数の前記アプリケーションプログラムの各々が有する第 1 スレッドを実行する機能を有するプロセッサと、

プログラマブルロジックデバイスと、を有し、

前記プログラマブルロジックデバイスは、

メモリモジュールと、

複数の前記コンフィギュレーションデータのうち、前記メモリモジュールにより選択された複数のコンフィギュレーションデータを格納する機能を有するメモリエlementと

、  
前記メモリエlementに格納された複数の前記コンフィギュレーションデータに従って論理回路の定義が行われ、なおかつ、前記複数の前記アプリケーションプログラムの各々が有する第 2 スレッドを前記論理回路において実行する機能を有する複数のロジックElementと、を有し、

前記メモリモジュールは、前記ロジックElementにおいて前記論理回路の定義が行われるのに用いられた回数を、前記コンフィギュレーションデータごとにカウントする機能と、前記回数のデータを用いて、複数の前記コンフィギュレーションデータの選択を行う機能と、を有し、

前記メモリエlementは、記憶素子と、格納された複数の前記コンフィギュレーションデータによって定められた量の電荷を前記記憶素子に供給、保持、又は放出するためのスイッチとを、複数のメモリエlementにそれぞれ有する半導体装置。

【請求項 2】

複数のアプリケーションプログラムと、複数の前記アプリケーションプログラムの各々に関連づけられた複数のコンフィギュレーションデータとが記憶された記憶装置と、

複数の前記アプリケーションプログラムの各々が有する第 1 スレッドを実行する機能を有するプロセッサと、

プログラマブルロジックデバイスと、を有し、

前記プログラマブルロジックデバイスは、

メモリモジュールと、

複数の前記コンフィギュレーションデータのうち、前記メモリモジュールにより選択された複数のコンフィギュレーションデータを格納する機能を有するメモリエlementと、

前記メモリエlementに格納された複数の前記コンフィギュレーションデータに従って論理回路の定義が行われ、なおかつ、前記複数の前記アプリケーションプログラムの各々が有する第2スレッドを前記論理回路において実行する機能を有する複数のロジックElementと、を有し、

前記メモリモジュールは、前記ロジックElementにおいて前記論理回路の定義が行われた時間のデータを取得する機能と、前記データを用いて、複数の前記コンフィギュレーションデータの選択を行う機能と、を有し、

前記メモリエlementは、記憶素子と、格納された複数の前記コンフィギュレーションデータによって定められた量の電荷を前記記憶素子に供給、保持、又は放出するためのスイッチとを、複数のメモリセルにそれぞれ有する半導体装置。

【請求項3】

請求項1または請求項2において、

前記記憶素子は、トランジスタまたは容量素子である半導体装置。

【請求項4】

請求項1乃至請求項3のいずれか1項において、

前記スイッチは、チャネル形成領域に酸化物半導体を含むトランジスタを有する半導体装置。

【請求項5】

請求項4において、

前記酸化物半導体は、In、Ga、及びZnを含む半導体装置。