

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成 26 年 5 月 29 日 (2014.5.29)

【公開番号】特開 2012-243971 (P2012-243971A)

【公開日】平成 24 年 12 月 10 日 (2012.12.10)

【年通号数】公開・登録公報 2012-052

【出願番号】特願 2011-113047 (P2011-113047)

【国際特許分類】

H 0 1 L 21/8234 (2006.01)

H 0 1 L 27/088 (2006.01)

G 0 9 G 3/20 (2006.01)

G 0 9 G 3/30 (2006.01)

H 0 1 L 51/50 (2006.01)

H 0 1 L 21/822 (2006.01)

H 0 1 L 27/04 (2006.01)

【 F I 】

H 0 1 L 27/08 1 0 2 B

G 0 9 G 3/20 6 2 2 G

G 0 9 G 3/20 6 1 1 J

G 0 9 G 3/20 6 8 0 G

G 0 9 G 3/30 J

G 0 9 G 3/20 6 2 4 B

G 0 9 G 3/20 6 4 2 A

H 0 1 L 27/08 1 0 2 J

H 0 5 B 33/14 A

H 0 1 L 27/04 A

【手続補正書】

【提出日】平成 26 年 4 月 16 日 (2014.4.16)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

トランジスタと、当該トランジスタの一方のゲート電極とソース/ドレイン領域との間に接続された容量とを有し、当該一方のソース/ドレイン領域の電位の変動に応じてゲート電極の電位が変動するブートストラップ動作を行い、

前記トランジスタは、ゲート電極の中心を通る線に関してソース領域とドレイン領域とが非対称な構造になっている

ブートストラップ回路。

【請求項 2】

前記トランジスタは、ゲート電極と一方のソース/ドレイン領域とのオーバーラップ量と、ゲート電極と他方のソース/ドレイン領域とのオーバーラップ量とが異なる

請求項 1 に記載のブートストラップ回路。

【請求項 3】

前記トランジスタは、前記一方のソース/ドレイン領域が、前記他方のソース/ドレイン領域よりもゲート電極とのオーバーラップ量が小さい

請求項 2 に記載のブートストラップ回路。

【請求項 4】

前記トランジスタは、前記一方のソース/ドレイン領域とゲート電極とのオーバーラップ量が 0 である

請求項 3 に記載のブートストラップ回路。

【請求項 5】

前記トランジスタのゲート電極には、少なくとも 1 つのトランジスタの一方のソース/ドレイン領域が接続されており、

前記少なくとも 1 つのトランジスタは、ゲート電極の中心を通る線に関してソース領域とドレイン領域とが非対称な構造になっている

請求項 1 から請求項 4 のいずれか 1 項に記載のブートストラップ回路。

【請求項 6】

前記少なくとも 1 つのトランジスタは、ゲート電極と一方のソース/ドレイン領域とのオーバーラップ量と、ゲート電極と他方のソース/ドレイン領域とのオーバーラップ量とが異なる

請求項 5 に記載のブートストラップ回路。

【請求項 7】

前記少なくとも 1 つのトランジスタは、前記一方のソース/ドレイン領域が、前記他方のソース/ドレイン領域よりもゲート電極とのオーバーラップ量が小さい

請求項 6 に記載のブートストラップ回路。

【請求項 8】

前記少なくとも 1 つのトランジスタは、前記一方のソース/ドレイン領域とゲート電極とのオーバーラップ量が 0 である

請求項 7 に記載のブートストラップ回路。

【請求項 9】

ゲート電極と一方のソース/ドレイン領域との間に容量が接続され、当該一方のソース/ドレイン領域の電位の変動に応じてゲート電極の電位が変動するブートストラップ動作を行う第 1 のトランジスタと、

前記第 1 のトランジスタに対して直列に接続された、前記第 1 のトランジスタと同じ導電型の第 2 のトランジスタとを有し、

前記第 1 のトランジスタは、ゲート電極の中心を通る線に関してソース領域とドレイン領域とが非対称な構造となっており、

前記第 2 のトランジスタのゲート電極に入力される信号を極性反転して出力するインバータ回路。

【請求項 10】

前記第 2 のトランジスタとゲート電極が共通に接続され、前記第 1 のトランジスタのゲート電極に一方のソース/ドレイン領域が接続された第 3 のトランジスタを有し、

前記第 3 のトランジスタは、ゲート電極の中心を通る線に関してソース領域とドレイン領域とが非対称な構造になっている

請求項 9 に記載のインバータ回路。

【請求項 11】

前記第 3 のトランジスタは、ゲート電極と一方のソース/ドレイン領域とのオーバーラップ量と、ゲート電極と他方のソース/ドレイン領域とのオーバーラップ量とが異なる

請求項 10 に記載のインバータ回路。

【請求項 12】

前記第 3 のトランジスタは、前記一方のソース/ドレイン領域が、前記他方のソース/ドレイン領域よりもゲート電極とのオーバーラップ量が小さい

請求項 11 に記載のインバータ回路。

【請求項 13】

前記第 1 のトランジスタによるブートストラップ動作に先立って、前記容量が接続さ

れたゲート電極と一方のソース／ドレイン領域との間の電圧を所定の電圧に設定する電圧設定部を有し、

前記電圧設定部は、前記第１のトランジスタのゲート電極に一方のソース／ドレイン領域が接続され、当該ゲート電極に対して前記所定の電圧を選択的に与える制御トランジスタを有し、

前記制御トランジスタは、ゲート電極の中心を通る線に関してソース領域とドレイン領域とが非対称な構造になっている

請求項 9 から請求項 12 のいずれか 1 項に記載のインバータ回路。

【請求項 14】

前記制御トランジスタは、ゲート電極と一方のソース／ドレイン領域とのオーバーラップ量と、ゲート電極と他方のソース／ドレイン領域とのオーバーラップ量とが異なる請求項 13 に記載のインバータ回路。

【請求項 15】

前記制御トランジスタは、前記一方のソース／ドレイン領域が、前記他方のソース／ドレイン領域よりもゲート電極とのオーバーラップ量が小さい

請求項 14 に記載のインバータ回路。

【請求項 16】

ゲート電極と一方のソース／ドレイン領域との間に容量が接続され、当該一方のソース／ドレイン領域の電位の変動に応じてゲート電極の電位が変動するブートストラップ動作を行う第１のトランジスタと、

前記第１のトランジスタに対して直列に接続された、前記第１のトランジスタと同じ導電型の第２のトランジスタとを有し、

前記第１のトランジスタは、ゲート電極の中心を通る線に関してソース領域とドレイン領域とが非対称な構造となっており、

前記第２のトランジスタのゲート電極に入力される信号を極性反転して出力するインバータ回路を用いる走査回路。

【請求項 17】

電気光学素子を含む画素が行列状に配置された画素アレイ部と、

前記画素アレイ部の各画素を走査する走査回路とを備え、

前記走査回路は、

ゲート電極と一方のソース／ドレイン領域との間に容量が接続され、当該一方のソース／ドレイン領域の電位の変動に応じてゲート電極の電位が変動するブートストラップ動作を行う第１のトランジスタと、

前記第１のトランジスタに対して直列に接続された、前記第１のトランジスタと同じ導電型の第２のトランジスタとを有し、

前記第１のトランジスタは、ゲート電極の中心を通る線に関してソース領域とドレイン領域とが非対称な構造となっており、

前記第２のトランジスタのゲート電極に入力される信号を極性反転して出力するインバータ回路を用いる表示装置。

【請求項 18】

電気光学素子を含む画素が行列状に配置された画素アレイ部と、

前記画素アレイ部の各画素を走査する走査回路とを備え、

前記画素は、

前記電気光学素子を駆動する駆動トランジスタと、

前記駆動トランジスタのゲート電極と一方のソース／ドレイン領域との間に接続された容量とを有し、

前記駆動トランジスタは、ゲート電極の中心を通る線に関してソース領域とドレイン領域とが非対称な構造となっており、前記一方のソース／ドレイン領域の電位の変動に応じてゲート電極の電位が変動するブートストラップ動作を行う

表示装置。

【請求項 19】

電気光学素子を含む画素が行列状に配置された画素アレイ部と、

前記画素アレイ部の各画素を走査する走査回路とを備え、

前記走査回路は、

ゲート電極と一方のソース/ドレイン領域との間に容量が接続され、当該一方のソース/ドレイン領域の電位の変動に応じてゲート電極の電位が変動するブートストラップ動作を行う第1のトランジスタと、

前記第1のトランジスタに対して直列に接続された、前記第1のトランジスタと同じ導電型の第2のトランジスタとを有し、

前記第1のトランジスタは、ゲート電極の中心を通る線に関してソース領域とドレイン領域とが非対称な構造となっており、

前記第2のトランジスタのゲート電極に入力される信号を極性反転して出力するインバータ回路を用いる表示装置を有する電子機器。

【請求項 20】

電気光学素子を含む画素が行列状に配置された画素アレイ部と、

前記画素アレイ部の各画素を走査する走査回路とを備え、

前記画素は、

前記電気光学素子を駆動する駆動トランジスタと、

前記駆動トランジスタのゲート電極と一方のソース/ドレイン領域との間に接続された容量とを有し、

前記駆動トランジスタは、ゲート電極の中心を通る線に関してソース領域とドレイン領域とが非対称な構造となっており、前記一方のソース/ドレイン領域の電位の変動に応じてゲート電極の電位が変動するブートストラップ動作を行う

表示装置を有する電子機器。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0112

【補正方法】変更

【補正の内容】

【0112】

〔閾値キャンセルの原理〕

ここで、駆動トランジスタ22の閾値キャンセル（即ち、閾値補正）の原理について説明する。駆動トランジスタ22は、飽和領域で動作するように設計されているために定電流源として動作する。これにより、有機EL素子21には駆動トランジスタ22から、次式(2)で与えられる一定のドレイン-ソース間電流（駆動電流） I_{ds} が供給される。

$$I_{ds} = (1/2) \cdot \mu (W/L) C_{ox} (V_{gs} - V_{th})^2 \quad \dots \dots (2)$$

ここで、 W は駆動トランジスタ22のチャネル幅、 L はチャネル長、 C_{ox} は単位面積当たりのゲート容量である。

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0115

【補正方法】変更

【補正の内容】

【0115】

一方、上記構成の画素（画素回路）20では、先述したように、発光時の駆動トランジスタ22のゲート-ソース間電圧 V_{gs} は $V_{sig} - V_{ofs} + V_{th} - V$ である。従って、これを式(2)に代入すると、ドレイン-ソース間電流 I_{ds} は、次式(3)で表される。

$$I_{ds} = (1/2) \cdot \mu (W/L) C_{ox} (V_{sig} - V_{ofs} - V)^2 \quad \dots \dots (3)$$

【手続補正 4】

【補正対象書類名】明細書

【補正対象項目名】 0 1 3 9

【補正方法】 変更

【補正の内容】

【 0 1 3 9 】

尚、最終段のインバータ回路 5 2 5 には、正側の電源電位として、電源供給電位 D S の第 1 電源電位 V_{ccp} に対応する電位が供給され、負側の電源電位として、電源供給電位 D S の第 2 電源電位 V_{ini} に対応する電位が供給される。