

(19) 대한민국특허청(KR)  
(12) 특허공보(B1)

(51) Int. Cl. <sup>6</sup> H01L 21/3205	(45) 공고일자 1997년05월02일	(11) 공고번호 특1997-0007115
(21) 출원번호 특1993-0005508	(24) 등록일자 1997년05월02일	(65) 공개번호 특1993-0022521
(22) 출원일자 1993년04월01일	(43) 공개일자 1993년11월24일	
(30) 우선권주장 861,772 1992년04월02일 미국(US)		
(73) 특허권자	인터내셔널 비지네스 머신즈 코포레이션 존 디. 크레인 미합중국 뉴욕 10504 아몬크지멘스 악티엔게젤샤프트 베르너 뵘켈, 빌헬름 파우. 리레스 독일연방공화국 제-8000 원헨 80 발란슈트라세 73	
(72) 발명자	듀안 엘머 갈비 미합중국 버몬트 05465 제리코 바버 팜 로드 윌리엄 휴레트 구쓰리 미합중국 버몬트 05452 에섹스 정션 킬로란 드라이브 5 올리버 키일 미합중국 버몬트 05452 에섹스 정션 브릭야드 로드 70 잭 앨런 만델만 미합중국 버몬트 05452 에섹스 정션 비치 스트리트 26 조셉 사무엘 왓츠	
(74) 대리인	미합중국 버몬트 05403 사우쓰 버링톤 맵플우드 드라이브 13 김창세, 김영, 장성구	

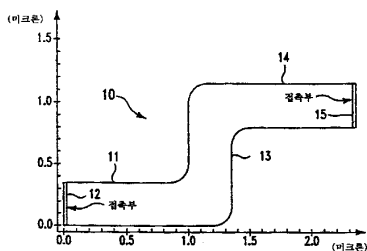
심사관 : 박형식 (책자공보 제4992호)

(54) 리턴던시 또는 커스텀 와이어링을 구현하기 위해 반도체 회로에서 사용되는 퓨즈 구조물 및 그의 제조 방법

요약

내용없음

대표도



명세서

[발명의 명칭]

리턴던시 또는 커스텀 와이어링을 구현하기 위해 반도체 회로에서 사용되는 퓨즈 구조물 및 그의 제조 방법

[도면의 간단한 설명]

제1도는 본 발명의 바람직한 실시예에 따른 재그형 퓨즈의 계단 형상을 도시하는 평면도.

제2도는 제1도에 도시된 재그형 퓨즈의 내측 코너에서 두드러진 전류 밀도를 도시하는 평면도.

제3도는 제1도에 도시된 재그형 퓨즈에 있어서 퓨즈의 폭을 가로질러 전파하면서 용융되는 것을 도시한 평면도.

제4도는 본 발명에 따른 재그형 퓨즈와 종래의 직선형 퓨즈를 단절시키기 위한 전류 밀도를 비교하여 도시한 데이터 그래프.

제5도는 재그형 퓨즈를 제조하는 공정을 도시하는 반도체 기판의 횡단면도.



따라, 예를 들면, 알루미늄을 포함하는 다른 재료가 사용될 수도 있다. 본 발명에 따른 특성의 형상은 또한 특성의 응용을 위해 변경될 수도 있으나, 어떠한 경우에도 이 형상은 퓨즈를 끊어 오픈하는 점(퓨즈내의 굴곡부의 코너)을 정확히 위치시켜서 칩상의 다른 장치에 대한 뜻밖의 손상(accidental damage)을 방지할 수 있게 하여야 한다. 본 발명의 퓨즈를 끊기 위한 저전압 및 저전류 요건으로 인해, 비교적 소형인 퓨즈 드라이버가 사용되어 고가의 칩면적(real estate)을 절약하며 파워 공급 요구를 최소화시킬 수도 있다.

앞서 언급된 다비스의 미국 특허 제4,064,493호에 개시된 퓨즈 직각의 굴곡부를 포함하고 있으나, 다비스의 퓨즈는 전자이동에 의해 퓨즈를 오픈시키며, 전자이동 메카니즘을 가속시키도록 가열하기 위한 반도체 접합부를 요구하지 않는다는 점에서 근본적으로 상이하다. 다비스 퓨즈내의 직각의 굴곡부에도 불구하고, 다비스의 퓨즈는 코너가 아니라 반도체 접합부와 교차하는 직선부(straight section)에서 끊기도록 되어 있다. 따라서, 다비스는 전류 밀집이 퓨즈의 단절 메카니즘으로서 사용될 수 있음을 인식하지 못했다. 본 발명에 따른 재그형 퓨즈는 외부 가열원(external source of heat)을 요구하지 않으므로 다비스의 발명에 따른 퓨즈보다 덜 복잡하며, 이것은 훨씬 더 복잡하고 조밀한 집적회로 설계에 있어 중요한 요소가 된다. 더우기, 본 발명에 따른 퓨즈 단절 메카니즘은 전자이동에 의존하지 않으므로, 폴리실리콘은 물론, 다른 도체가 퓨즈 제조에 사용될 수 있다.

본 발명에서는 정규의 동작 공급 전압으로 충분한 전류가 획득될 수도 있으므로, 저가의 인-시스템 프로그래밍(low cost in-system programming)이 가능하다. 단지 모듈 레벨에서의 프로그래밍만이 요구되는 경우, 퓨즈 및 이들 드라이버에 의해 점유되는 면적이 절약될 수 있으며, 이것은 높은 프로그래밍 전압(higher programming voltages)을 이용함으로써 구동 트랜지스터간의 폭 요건을 감소시킬 수 있기 때문이다.

상기한 목적과 다른 목적, 관점 및 장점이 이후 첨부된 도면을 참조하여 본 발명의 바람직한 실시예의 상세한 설명으로부터 더욱 잘 이해될 것이다.

제1도를 참조하면, 본 발명의 바람직한 실시예에 따른 퓨즈(10)가 도시된다. 이 퓨즈는 제1접점(a first contact)으로서 작용하는 자유단(a free end)(12)을 갖는 제1수평 다리(a first horizontal leg)(11), 제2수직 다리(a second vertical leg)(13), 제2접점으로 작용하는 자유단(15)을 갖는 제3수평 다리(a third horizontal leg)(14)를 갖는다. 여기서 '수평' 및 '수직'이라 함은 퓨즈 링크에 2개의 90° 굴곡부를 정의하는 상대적인 용어로 이해되어야 한다. 이러한 형상으로 부'재그(ZAG)'형 퓨즈라는 용어가 발생되었다. 이 퓨즈는 퓨즈 다리(11), (13), (14)의 주축에 걸쳐 본질적으로 균일한 치수의 폭으로 된 것을 특징으로 한다. 이후의 설명으로부터 명백하게 되는 바와 같이, 재그형 퓨즈는 단지 하나의 굴곡부만을 요구하며 제1도에 도시된 퓨즈의 제2굴곡부는 리던던트(redundant)이다. 더우기, 굴곡부는 반드시 90° 일 필요는 없으며 실시 범위내에서 90° 보다 크거나 작을 수도 있다.

실험용 모델링(experimental modeling)에 의하면 제1도에 도시된 퓨즈는 동일한 횡단면적을 갖는 직선형 퓨즈에 요구되는 입력 전류 밀도의 대략 10%에 의해 끊겨서 오픈될 수 있음이 도시된다. 이것에 대한 이유는 제2도에 도시된다. 전류 밀집으로 인해 전류 밀도는 퓨즈의 내측 코너에 집중된다. 퓨즈로의 입력 전류가 증가함에 따라, 내측 코너의 전류 밀도는 퓨즈 재료를 용융시키는 전류 밀도에 도달하게 된다. 제3도에 도시된 바와 같이, 각 내측 코너에 notch(notch)가 형성된다. 이러한 notch의 형성

제4도는 제2도 및 제3도에 표시된 컴퓨터 모델링의 비교 데이터를 도시하는 그래프이다. 모든 퓨즈는 0.36 $\mu$ m 폭이며, P+ 폴리실리콘으로 제조되었다. 퓨즈 A 및 퓨즈 B는 모두, 그래프의 상부 좌측의 코너에 나타내어진 바와 같이 동일한 형상을 가지며, 단지 '수평'다리의 길이 L이 다르다는 것이다. 재그형 퓨즈 A 및 B는 모두  $2 \times 10^5$  과  $3 \times 10^5$  amps/cm<sup>2</sup>사이의 입력 전류 밀도에 의해 단절되었으며, 단지 전류 밀도의 증가에 따른 퓨즈 저항만이 상이하였다. 그래프로부터 퓨즈 A 및 퓨즈 B의 퓨즈 저항은 실제로 퓨즈가 단절되기 전에 약간 감소함을 알 수 있다. 이러한 저항의 감소는 단절되기 바로 전의 퓨즈 재료의 용융에 기인한 것이었다. 대조적으로, 직선형 퓨즈는  $2 \times 10^6$  amps/cm<sup>2</sup>에 가까운 전류 밀도에 도달할 때까지 단절되지 않았다.

이후의 상세한 설명은 단지 본 발명에 따른 재그형 퓨즈를 제조하는 한가지 방법을 설명한다. 설명된 공정은 특히 P+폴리실리콘으로 제조된 퓨즈에 대한 것이나, 반도체 제조 분야에 통상의 지식을 가진 자라면 통상의 상이한 공정 및 재료가 사용될 수도 있음을 이해할 것이다.

제5도 및 제6도를 참조하면, 제조 공정에 있어서의 중간 단계가 제각기 횡단면도 및 평면도로 도시된다. 제5도의 횡단면은 제6도에 단선 5-5를 따라 취한 것이었다. 먼저, 절연층(21)이 실리콘기판(20)상에 형성된다. 절연층은, 예를 들면, SiO<sub>2</sub>나 Si<sub>3</sub>N<sub>4</sub>일 수도 있으며, 이러한 절연체의 선택은 주로 전체 집적 회로 설계에 따라 좌우된다. 다음으로, CVD법 또는 PECVD 기법을 사용하여 폴리실리콘 층(22)이 증착된다. 재그형 퓨즈 패턴은 마스크 및 통상의 에칭 기법을 사용하여 형성되며, 제5도 및 제6도에 도시된 구조가 된다.

다음으로 제각기 집적 회로 구조의 횡단면도 및 평면도를 도시하는 제7도 및 제8도를 참조하면, 제2절연층(23)이 제1절연층(21) 및 폴리실리콘으로 된 재그형 퓨즈(22)상에 도포된다. 따라서 이 재그형 퓨즈(22)는 두 개의 절연층 사이에 완전히 포위되며, 이것은 퓨즈가 단절되었을 때 퓨즈 근방의 집적 회로 장치를 보호하도록 작용한다. 제8도에 잘 도시된 바와 같이, 퓨즈를 제조하는 다음 단계는 재그형 퓨즈의 자유단을 노출시키도록 제2절연층(23)을 통해 접촉 홀(contact hole)(24) 및 (25)를 개구한다

제9도는 본 발명에 따른 재그형 퓨즈(30)와 함께 사용될 수 있는 CMOS 회로의 예를 도시한다. 이 재그형 퓨즈(30)는 퓨즈 단절 제어 회로(32)에 의해 턴온(turned-on)되는 N형 FET 트랜지스터(31)에 의해 단절된다. 퓨즈의 상태, 즉, 퓨즈가 단절되었느냐 비단절되었느냐를 검출하기 위한 회로가 제공된다. 이 회로는 한 쌍의 교차-결합된 인버터(a pair of cross-coupled inverters)(33, 34)로 구성된 래치(latch)이다. 이 래치는 퓨즈 상태의 정보를 저장한다. 이러한 정보를 판독하기 위해, 출력 노드(node)(35)는 리셋 입력(reset input)(36)이 하이(high)가 됨으로써 로우(low)로 된다. 리셋 입력(36)은 직렬 접속된 한 쌍의 상보형 FET(a series connected complementary pair of FETs)(37, 38)을 구동하며, 이들 FET의 드레인은 교

차 결합된 인버터(33, 34)의 리셋 노드(39)에 접속된다. 재그형 퓨즈(30)는 FET(37, 38)와 직렬로 접속된다. 리셋 노드(39)가 리셋 입력(36)을 하이로 함으로써 로우가 된 후, 리셋 입력(36)은 다시 로우(low)가 된다. 퓨즈(30)가 단절되지 않은 경우, 출력 노드(35)는 FET(37)를 통해 하이로 복구된다. 한편, 퓨즈(30)

퓨즈 래치 회로에서, 정상 동작 조건하에서는 퓨즈가 우연히 단절되는 상황이 발생하지 않게 주의가 기울여야 한다. 제9도에 도시된 회로에서, 이것은, 파워 온시에만 제한된 전류가 퓨즈(30)를 통해 단시간 동안 흘러 교차접속된 인버터(33, 34)를 세트함으로써 보장된다. 출력 노드(35) 및 상보 노드(41)는 퓨즈의 상태에 따라 전류를 전송하거나 절연하는 트랜지스터(비교기(42))를 제어한다. 퓨즈 자체에는 전류가 흐르지 않으나, 정상 동작중에는 퓨즈에 작은 전류가 흐를 필요가 있는 다른 응용이 지원될 수도 있다.

퓨즈 단절 제어 회로(32) 수단에 의해 '단절(blow)' 입력단이 하이로 된 경우, 트랜지스터(31)를 통해 고 전류가 흘러 퓨즈(30)가 단절된다. 이 회로내의 다른 트랜지스터들은 지수가 작지만, 트랜지스터(31)는 퓨즈(30)를 단절시키는데 요구되는 전류는 매우 작기 때문에, 트랜지스터(31)의 사이즈는 종래에 사용된 트랜지스터에 비해 현저히 감소될 수 있다. 트랜지스터(31)는, 크기가 감소하여도 여전히 큰 장치이며, 퓨즈 회로의 나머지 부분에 의해 사용되는 대부분의 영역을 점유하므로, 이것은 매우 중요하다. 직선형 퓨즈에 의해 칩면적이 약 1.9% 증가한 응용에서, 본 발명에 따른 재그형 퓨즈를 사용하게 되면 모듈 레벨에서 프로그래밍하는데 5V의 공급 전압이 사용된 경우 감소된 드라이버 폭 요건으로 인해 칩면적은 단지 약 0.8%만이 증가하게 된다. 이것은 50%의 면적 절감 효과를 나타낸다.

모듈 레벨 프로그래밍의 가능한 사용은 칩 모드 선택과 같은 칩 개별화(chip personalization)이다. 모듈 레벨에서의 개별화에 의해 비축될 필요가 있는 모듈 형태의 수를 감소시킬 수 있다. 모듈 레벨 퓨즈는 또한 번-인 장애(burn-in failures)를 회복하는데 사용될 수도 있다. 다른 한편으로, 드라이버가 직선형 퓨즈에서와 동일한 사이즈로 유지된 경우, 재그형 퓨즈는 3.3V의 공급 전압으로 프로그래밍될 수도 있으며, 이것은 저가의 인-시스템 프로그래밍을 허용한다. 인-시스템 프로그래밍이 가능한 경

따라서, 본 발명에 따른 계단 형상을 갖는 재그형 퓨즈는, 모듈 레벨 개별화의 잇점을 증가시키고 시스템 레벨 프로그래밍을 저가로 가능하게 하는 구동 트랜지스터의 소형화로 인해, 전류에 의해 단절되는 직선형 퓨즈에 비해 감소된 공급 전압 요건 및 감소된 칩 면적을 포함하는 중대한 장점을 갖는다.

이상 본 발명이 단일의 바람직한 실시예로 설명되었으나, 본 기술 분야에 통상의 지식을 가진 자라면 본 발명이 첨부된 특허 청구 범위의 정신 및 범주내에서 수정 실시될 수 있음을 알 수 있을 것이다. 예를 들면, 본 발명에 따른 퓨즈는 또한 기판의 표면상에 한 스텝 위로 링크를 통과시키므로써 단일 평면 이외에서 구현될 수 있다.

## (57) 청구의 범위

### 청구항 1

리던던시(redundancy) 또는 커스텀 와이어링(custom wiring)의 구현을 위해 반도체 회로(semiconductor circuitry)에 사용되는 퓨즈 구조물(a fuse structure)에 있어서, ① 상부 표면(an upper surface)을 갖는 반도체 기판(a semiconductor substrate)과, ② 상기 반도체 기판의 상기 상부 표면에 위치되어 퓨즈 링크(a fuse link)를 형성하는 도전성 퓨즈 재료 스트립(a conductive strip of fuse material)을 포함하되, 상기 스트립은 직교하게 형성되고 사전결정된 폭을 갖는 제1 및 제2 스트립 부분(first and second strip portions)을 포함-상기 제1 및 제2 스트립 부분은 상기 사전결정된 폭 이상의 폭을 갖는 제3 스트립 부분에 의해 함께 결합된-하고, 상기 제1, 제2, 제3 스트립 각각의 표면은 상기 반도체 기판의 상기 상부 표면에 평행하게 실질적으로 서로 동일평면에 위치되며, 상기 스트립은 상기 퓨즈 링크내에 적어도 하나의 굴곡부(at least one bend)를 구비하며 전류 밀집(current crowding)으로 인해 상기 퓨즈 링크의 굴곡부에 전류 밀도의 집중이 발생하고, 상기 퓨즈 링크로의 입력 전류가 증가함에 따라 상기 굴곡부의 제1코너(a first corner)에서 상기 퓨즈 재료를 용융시키는 전류 밀도에 도달함으로써 상기 굴곡부의 제1코너에 notch(a notch)를 형성-상기 notch는 상기 퓨즈 링크의 대응하는 제2코너로 전파됨-하는 퓨즈 구조물.

### 청구항 2

제1항에 있어서, 상기 퓨즈 재료는 P+ 폴리실리콘인 퓨즈 구조물.

### 청구항 3

제 2 항에 있어서, 다수의 절연 재료 층(a plurality of layers insulating material) - 상기 스트립은 상기 다수의 절연 재료 층중 두 개의 절연 재료 층 사이에 포워됨-과, 상기 스트립의 자유단(free ends)을 노출시키는 홀(holes)내에 형성된 전기적 접점(electrical contacts)을 더 포함하는 퓨즈 구조물.

### 청구항 4

제1항에 있어서, 상기 스트립은 전류 밀집으로 인해 상기 퓨즈가 단절되는 다수의 리던던트 포인트(a plurality of redundant points)를 제공하는 다수의 굴곡부(a plurality of bends)를 포함하는 퓨즈 구조물.

### 청구항 5

리던던시 또는 커스텀 와이어링을 구현하기 위해 반도체 회로에 사용되는 퓨즈 구조물을 제조하는 방법에 있어서, ① 실리콘 기판상에 제1절연층을 형성하는 단계와, ② 상기 제1 절연층상에 도전 재료를 증착하는 단계와, ③ 상기 도전 재료내에, 직교하게 형성되고 사전결정된 폭(a predetermined width)을 갖는 제1 및 제2 도전 재료 부분(first and second conductive material portions)을 포함하는 퓨즈 링크를 형성하는 단계-상기 제1 및 제2 도전 재료 부분은 상기 사전결정된 폭 이상의 폭을 갖는 제3 도전 재

**청구항 6**

제 5 항에 있어서, 상기 도전 재료는 P+ 폴리실리콘인 퓨즈 구조물 제조 방법.

**청구항 7**

제1항에 있어서, 상기 퓨즈 재료는 P+ 폴리실리콘을 포함하는 퓨즈 구조물.

**청구항 8**

제5항에 있어서, 상기 퓨즈 재료는 P+ 폴리실리콘을 포함하는 퓨즈 구조물 제조 방법.

**청구항 9**

제1항에 있어서, 상기 적어도 하나의 굴곡부는 실질적으로 직각(a right angle)을 포함하는 퓨즈 구조물.

**청구항 10**

제5항에 있어서, 상기 적어도 하나의 굴곡부를 실질적으로 직각으로 제공하는 단계를 더 포함하는 퓨즈 구조물 제조 방법.

**청구항 11**

제1항에 있어서, 상기 적어도 하나의 굴곡부의 상기 제1코너는 내측 코너(an inside corner)를 포함하고, 상기 전류 밀도는 상기 적어도 하나의 굴곡부의 상기 내측 코너에 집중되는 퓨즈 구조물.

**청구항 12**

제5항에 있어서, 상기 적어도 하나의 굴곡부에 제1코너를 제공하는 단계를 더 포함하고, 상기 전류 밀도는 상기 적어도 하나의 굴곡부의 상기 제1코너에 집중되는 퓨즈 구조물 제조 방법.

**청구항 13**

제1항에 있어서, 상기 퓨즈 재료를 용융시키므로써 상기 적어도 하나의 굴곡부내에 형성된 notch를 더 포함-상기 notch는 상기 적어도 하나의 굴곡부의 상기 제1코너에 형성되어 상기 적어도 하나의 굴곡부의 상기 제2코너로 전파함-하는 퓨즈 구조물.

**청구항 14**

제5항에 있어서, 상기 적어도 하나의 굴곡부에 제1 및 제2코너를 제공하는 단계와, 상기 퓨즈 재료를 용융시키므로써 상기 굴곡부내에 notch를 형성하는 단계-상기 notch는 상기 적어도 하나의 굴곡부의 상기 제1 코너에 형성되어 상기 적어도 하나의 굴곡부의 상기 제2코너로 전파함-를 더 포함하는 퓨즈 구조물 제조 방법.

**청구항 15**

제 1항에 있어서, 상기 스트립은 균일한 횡단면적을 갖는 퓨즈 구조물.

**청구항 16**

제5항에 있어서, 상기 스트립을 균일한 횡단면적으로 제공하는 단계를 더 포함하는 퓨즈 구조물 제조 방법.

**청구항 17**

제1항에 있어서, 상기 스트립은 균일한 횡단면 두께를 갖는 퓨즈 구조물.

**청구항 18**

제5항에 있어서, 상기 스트립을 균일한 횡단면 두께로 제공하는 단계를 포함하는 퓨즈 구조물 제조 방법.

**청구항 19**

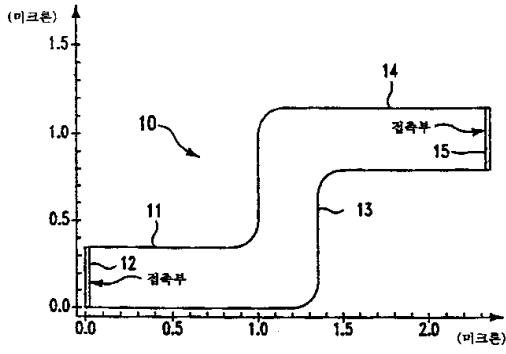
리던던시 또는 커스텀 와이어링을 구현하기 위해 반도체 회로에서 사용되는 퓨즈 구조물에 있어서, ① 상부 표면을 갖는 반도체 기판과, ② 상기 반도체 기판의 상기 상부 표면에 위치되어 퓨즈 링크를 형성하는 도전성 퓨즈 재료 스트립을 포함하되, 상기 스트립은 직교하게 형성되고 사전결정된 폭을 갖는 제1및 제2스트립 부분을 포함-상기 제1 및 제2스트립 부분은 상기 사전결정된 폭 이상의 폭을 갖는 제3스트립 부분에 의해 함께 결합됨-하고, 상기 제1, 제2, 제3스트립 부분 각각의 표면은 서로 실질적으

**청구항 20**

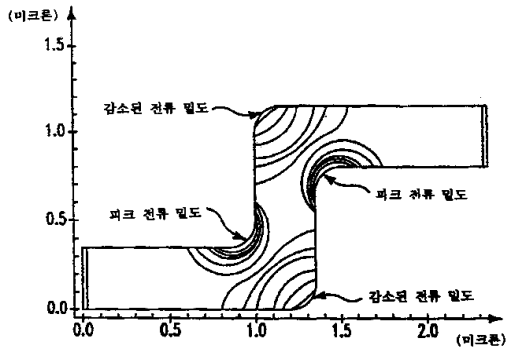
리던던시 또는 커스텀 와이어링을 구현하기 위해 반도체 회로에서 사용되는 구조물을 제조하는 방법에 있어서, ① 실리콘 기판상에 제1절연층을 형성하는 단계와, ② 상기 제1 절연층상에 도전 재료를 증착하는 단계와, ③ 상기 도전 재료내에, 직교하게 형성되고 사전결정된 폭을 갖는 제1 및 제 2도전 재료 부분을 포함하는 퓨즈 링크를 형성하는 단계-상기 제1 및 제2도전 재료 부분은 상기 사전 결정된 폭 이상의 폭을 갖는 제3도전 재료 부분에 의해 함께 결합되고, 상기 제1, 제2, 제3도전 재료 부분 각각의

**도면**

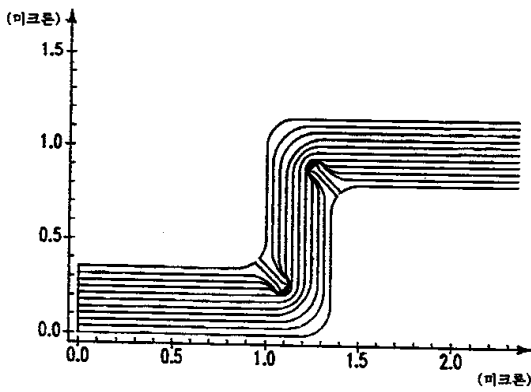
도면1



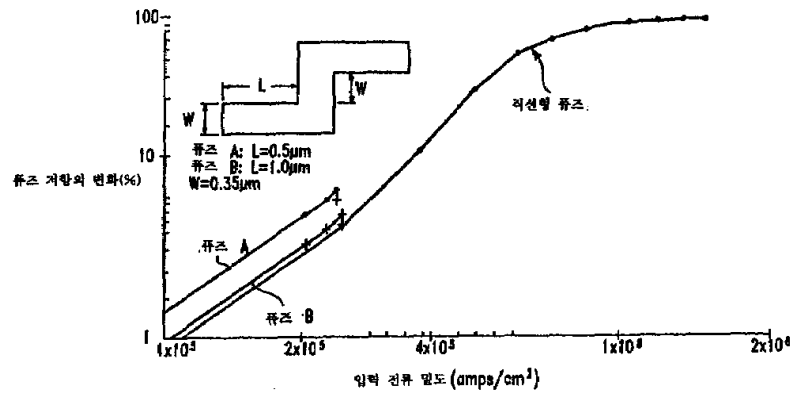
도면2



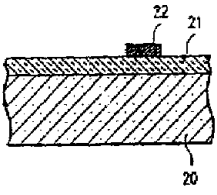
도면3



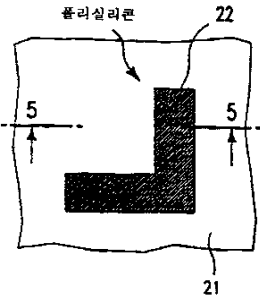
도면4



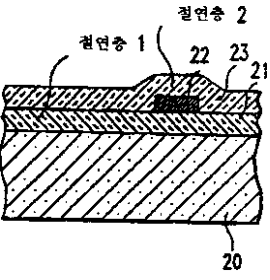
도면5



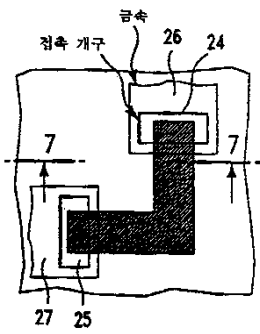
도면6



도면7



도면8



도면9

