

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2015 年 12 月 17 日(17.12.2015)



(10) 国際公開番号
WO 2015/190258 A1

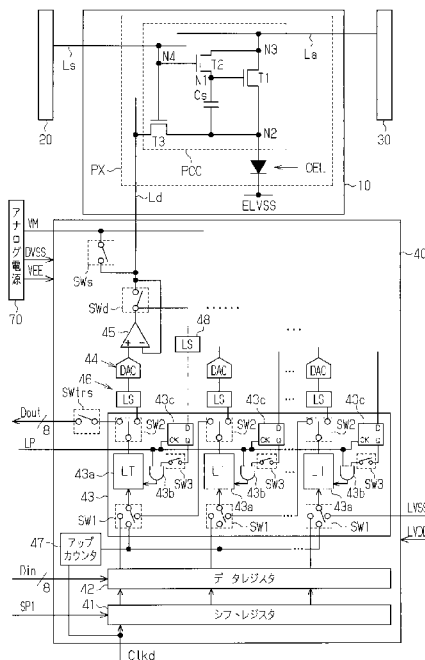
- (51) 国際特許分類:
G09G 3/30 (2006.01) *H01L 51/50* (2006.01)
G09G 3/20 (2006.01) *H05B 33/14* (2006.01)
- (21) 国際出願番号: PCT/JP2015/064659
- (22) 国際出願日: 2015 年 5 月 21 日(21.05.2015)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2014-120829 2014 年 6 月 11 日(11.06.2014) JP
- (71) 出願人: 凸版印刷株式会社(TOPPAN PRINTING CO., LTD.) [JP/JP]; 〒1100016 東京都台東区台東 1 丁目 5 番 1 号 Tokyo (JP).
- (72) 発明者: 小林 賢次(KOBAYASHI, Kenji); 〒1100016 東京都台東区台東 1 丁目 5 番 1 号 凸版印刷株式会社内 Tokyo (JP). 小倉 潤(OGURA, Jun); 〒1100016 東京都台東区台東 1 丁目 5 番 1 号 凸版印刷株式会社内 Tokyo (JP).
- (74) 代理人: 恩田 誠, 外(ONDA, Makoto et al.); 〒5008731 岐阜県岐阜市大宮町二丁目 1 2 番地 1 Gifu (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR),

[続葉有]

(54) Title: CURRENT DRIVING DEVICE AND DRIVING METHOD FOR CURRENT DRIVING DEVICE

(54) 発明の名称: 電流駆動装置、および、電流駆動装置の駆動方法

[図10]



- 41 Shift register
- 42 Data register
- 47 Up counter
- 60 Logic power supply
- 70 Analog power supply

(57) Abstract: The present invention is equipped with: a measurement unit which, for all of a plurality of data lines (Ld), sets a voltage exceeding the threshold voltage value of all of a plurality of driving transistors (T1), and then switches all of the data lines to a high-impedance state, thereby causing the voltages of all of the data lines to converge to a convergence voltage for each of the data lines, after which multiple reference voltages and the convergence voltage are compared successively for each of a plurality of element circuits; and a setting unit, which sets a maximum reference value so as to be greater than the maximum value among all of the convergence voltages in at least one measurement prior to the present measurement, and such that the maximum reference value is smaller as the maximum convergence voltage value is smaller. Thus, it is possible to reduce the time required to obtain the characteristic values of driving transistors.

(57) 要約: 全ての駆動トランジスタ (T1) のしきい値電圧を越える電圧を、全てのデータ線 (Ld) に設定した後、全てのデータ線にハイインピーダンス状態へ切り替え、それによって、全てのデータ線の電圧をデータ線ごとの収束電圧に収束させ、その後、複数のリファレンス電圧と収束電圧との逐次比較を複数の要素回路の各々に対し行う測定部と、今回の測定よりも前の少なくとも1回の測定における全ての収束電圧の中の最大値よりも大きく、かつ、当該最大値が小さいほどリファレンス最大値が小さいように、リファレンス最大値を設定する設定部と、を備える。これにより、駆動トランジスタの特性値の取得に要する時間を短くすることができる。

WO 2015/190258 A1



OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称： 電流駆動装置、および、電流駆動装置の駆動方法
技術分野

[0001] 本発明は、電流駆動素子に電流を流す駆動トランジスタを備える電流駆動装置、および、電流駆動装置の駆動方法に関する。

背景技術

[0002] エレクトロルミネッセンス (Electro Luminescence :EL) 装置の一例である EL 表示装置は、マトリクス状に位置する複数の EL 素子と、EL 素子ごとの複数の薄膜トランジスタとを備えて、走査線が走査されることによって EL 素子を線順次駆動する。例えば、特許文献 1 に記載される EL 装置は、走査線の走査によって選択トランジスタをオン状態に切り替えて、表示データに基づく電圧を駆動トランジスタのゲート - ソース間に印加する。そして、駆動トランジスタのゲート - ソース間電圧に基づくドレイン - ソース間電流が EL 素子に流れることによって、EL 素子における輝度の階調が走査線の走査ごとに制御される。

[0003] 一方で、駆動トランジスタの有するしきい値電圧や電流増幅率などの特性値は駆動トランジスタの駆動された累積の時間によって変わるため、駆動トランジスタに印加されるゲート - ソース間電圧が同じである場合であっても、駆動トランジスタから供給される駆動電流は経時的に変わってしまう。そこで、駆動トランジスタの特性値が変わることに起因して EL 素子の輝度が変わることを補正するために、例えば、特許文献 2 に記載されるような EL 装置は、駆動トランジスタの特性値を定期的に取り得している。

先行技術文献

特許文献

[0004] 特許文献 1：特開平 8 - 3 3 0 6 0 0 号公報

特許文献 2：特開 2 0 1 0 - 1 2 8 3 9 7 号公報

発明の概要

発明が解決しようとする課題

[0005] 一方で、上述した特性値の測定においてはＥＬ素子の発光が止められるため、こうした特性値の測定に要する時間を低減することが望まれている。

本発明は、駆動トランジスタの特性値の測定に要する時間を短くすることの可能な電流駆動装置、および、電流駆動装置の駆動方法を提供することを目的とする。

課題を解決するための手段

[0006] 上記課題を解決するＥＬ装置は、複数の要素回路を含む画素群であって、各要素回路が、電流駆動素子と、データ線と、前記データ線に設定された電圧に基づく電流を前記電流駆動素子に流す電流路を有した駆動トランジスタとを備え、前記データ線が前記電流路に電氣的に接続可能に構成された前記要素回路群を備える。また、この電流駆動装置は、前記要素回路ごとの収束電圧を測定するように構成された測定部であって、該測定部は、複数の前記要素回路の各々について、前記駆動トランジスタのしきい値電圧を越える電圧であって、かつ、前記電流駆動素子に対する逆バイアスである１つの電圧を、前記データ線に設定した後に、前記データ線をハイインピーダンス状態へ切り替え、それによって、前記データ線の電圧を収束電圧に収束させ、その後、互いに異なる大きさを有する複数のリファレンス電圧と前記収束電圧との逐次比較を行うように構成され、各要素回路に対して用いられる複数の前記リファレンス電圧は、他の要素回路で用いられる複数の前記リファレンス電圧と共通する前記測定部を備える。そして、このＥＬ装置は、今回の測定における全ての前記リファレンス電圧の中の最大値であるリファレンス最大値を設定する設定部であって、今回の測定よりも前の少なくとも１回の測定における全ての前記収束電圧の中の最大値よりも大きく、かつ、当該最大値が小さいほど前記リファレンス最大値が小さいように、前記リファレンス最大値を設定する設定部を備える。

[0007] 上記課題を解決する電流駆動装置の駆動方法は、複数の要素回路を含む要素回路群であって、前記要素回路が、電流駆動素子と、データ線と、前記デ

ータ線に設定された電圧に基づく電流を前記電流駆動素子に流す電流路を有した駆動トランジスタとを備え、前記データ線が前記電流路に電氣的に接続可能に構成され、前記駆動方法は、複数の前記要素回路の各々について、前記駆動トランジスタのしきい値電圧を越える電圧であって、かつ、前記電流駆動素子に対する逆バイアスである1つの電圧を前記データ線に設定した後に、前記データ線をハインピーダンス状態へ切り替え、それによって、前記データ線の電圧を収束電圧に収束させる工程と、複数の前記要素回路の各々について、互いに異なる大きさを有する複数のリファレンス電圧と前記収束電圧との逐次比較を行い、それによって、前記要素回路ごとの前記収束電圧を測定する工程であって、各要素回路で用いられる複数の前記リファレンス電圧は、他の要素回路で用いられる複数の前記リファレンス電圧と共通する、前記工程と、を含む。そして、今回の測定における全ての前記リファレンス電圧の中の最大値が、リファレンス最大値であり、今回の測定よりも前の少なくとも1回の測定における全ての前記収束電圧の中の最大値よりも大きく、かつ、当該最大値が小さいほど前記リファレンス最大値が小さいように、前記リファレンス最大値を設定する工程をさらに含む。

[0008] 上記構成によれば、今回の測定における全てのリファレンス電圧の中の最大値は、今回の測定よりも前の少なくとも1回の測定における収束電圧の中の最大値に基づいて設定される。そして、今回の測定における全てのリファレンス電圧の中の最大値は、今回の測定よりも前の少なくとも1回の測定における収束電圧の中の最大値が小さいほど小さいため、今回の逐次比較に要する時間は、今回の測定よりも前の少なくとも1回の測定における収束電圧が小さいほど短い。結果として、測定における全てのリファレンス電圧の中の最大値が測定ごとに一定値である構成と比べて、駆動トランジスタの特性値の取得に要する時間を短くすることが可能である。

[0009] 上記電流駆動装置において、前記設定部は、前回までの測定における全ての前記収束電圧の中の最大値よりも大きく、かつ、当該最大値が小さいほど前記リファレンス最大値が小さいように、前記リファレンス最大値を設定し

てもよい。

[0010] 例えば、前回の測定における駆動トランジスタの温度が、前々回の測定における駆動トランジスタの温度よりも大幅に低いとき、前回の測定における収束電圧の最大値は、前々回の測定における収束電圧の最大値から若干減少するときもある。このように、要素回路群の中における収束電圧の最大値が測定の機会ごとに単調に増加しない場合であっても、上記構成を備える電流駆動装置であれば、前々回の収束電圧の最大値に基づき、今回の測定におけるリファレンス最大値が設定される。それゆえに、今回の測定におけるリファレンス電圧の最大値が収束電圧を下回ることによって収束電圧が正確に測定されないことが抑えられる。

[0011] 上記電流駆動装置において、前記設定部は、前回の測定における全ての前記収束電圧の中の最大値よりも大きく、かつ、当該最大値が小さいほど前記リファレンス最大値が小さいように、前記リファレンス最大値を設定してもよい。

[0012] 例えば、駆動トランジスタが電流駆動素子に電流を流すことを繰り返すとき、駆動トランジスタのしきい値電圧は単調に増加しやすい。この点で、上記構成を有する電流駆動装置であれば、前回の測定における収束電圧の最大値に基づいて、今回の測定におけるリファレンス最大値が設定される。それゆえに、今回の測定よりも前の測定における収束電圧の最大値を決定するための母集団が、前回の測定における収束電圧に絞られるため、今回の測定よりも前の測定における収束電圧の最大値を決定するための構成の簡素化が図られる。

[0013] 上記電流駆動装置は、前記測定部が今回の測定を実行した後に、前記電流駆動素子の駆動量に基づく階調電圧を前記データ線に設定し、その後、前記階調電圧に基づく前記電流を前記駆動トランジスタに流させる駆動部をさらに備える。そして、前記設定部は、前記駆動部が前記電流駆動素子に前記電流を流す期間である駆動期間を、今回の測定における前記リファレンス最大値が小さいほど長い期間に設定してもよい。

[0014] 上記電流駆動装置は、前記測定部が今回の測定を実行する前に、前記電流駆動素子の駆動量に基づく階調電圧を前記データ線に設定し、その後、前記階調電圧に基づく前記電流を前記駆動トランジスタに流させる駆動部をさらに備える。そして、前記設定部は、前記駆動部が前記電流駆動素子に前記電流を流す期間である駆動期間を、今回の測定における前記リファレンス最大値が小さいほど長い期間に設定してもよい。

[0015] 上記各電流駆動装置によれば、収束電圧の測定に要する時間が短いほど、電流駆動素子の駆動する時間が長くなるため、収束電圧の測定に要する時間と、電流駆動素子の駆動する時間との総和が大きく変わることを抑えて、電流駆動素子の駆動する時間を長くすることが可能である。

上記EL装置において、前記測定部は、前記逐次比較において、所定の最小値から一定値ずつ上昇させた電圧を前記リファレンス電圧に用いてもよい。

[0016] 上記電流駆動装置によれば、収束電圧と逐次比較されるリファレンス電圧が、所定の最小値から一定値ずつ上昇するため、今回の測定におけるリファレンス最大値が小さい分だけ、今回の測定に要する時間は確実に短くなる。

[0017] 上記電流駆動装置において、前記設定部は、今回の測定よりも前の少なくとも1回の測定における全ての前記収束電圧の中の最大値に一定値を加えた値を、今回の測定における前記リファレンス最大値に設定してもよい。

[0018] 上記電流駆動装置によれば、今回の測定よりも前の測定における収束電圧よりも一定値だけ大きい電圧が、今回の測定におけるリファレンス最大値に設定される。それゆえに、今回の測定よりも前の測定から収束電圧が大きくなる場合であっても、収束電圧の大きくなる範囲が一定値以内であれば、今回の測定におけるリファレンス最大値が収束電圧を下回ることによって収束電圧が正確に測定されないことが抑えられる。

発明の効果

[0019] 本発明の電流駆動装置、および、電流駆動装置の駆動方法によれば、駆動トランジスタの特性値の取得に要する時間を短くすることが可能である。

図面の簡単な説明

- [0020] [図1]一実施形態におけるEL表示装置の全体構成を示すブロック図である。
- [図2]一実施形態における画素回路の構成を周辺回路のブロック回路図と共に示す回路図である。
- [図3]一実施形態の書込動作における選択線、電源線、および、データ線の各々の電圧レベルを画素回路の回路図と共に示す回路図である。
- [図4]一実施形態の発光動作における選択線、電源線、および、データ線の各々の電圧レベルを画素回路の回路図と共に示す回路図である。
- [図5]一実施形態の測定動作における選択線、電源線、および、データ線の各々の電圧レベルを画素回路の回路図と共に示す回路図である。
- [図6]一実施形態における選択ドライバの構成を画素回路と共に示すブロック回路図である。
- [図7]一実施形態における電源ドライバの構成を画素回路と共に示すブロック回路図である。
- [図8]一実施形態の駆動トランジスタにおけるゲート - ソース間電圧とドレイン - ソース間電流との関係を示すグラフである。
- [図9]一実施形態におけるデータ線がハイインピーダンス状態に設定されてからの経過時間と駆動トランジスタにおけるソースの電圧レベルとの関係を示すグラフである。
- [図10]一実施形態におけるデータドライバの構成を示すブロック回路図である。
- [図11]一実施形態におけるシステムコントローラーの構成を示すブロック回路図である。
- [図12]一実施形態におけるタイミングコントローラーが選択スタートパルス信号を出力するタイミング、および、タイミングコントローラーが出力するマスクパルス信号の電圧レベルの推移を示すタイミングチャートである。
- [図13]一実施形態のEL表示装置における発光期間、および、非発光期間の各々に選択ドライバ、電源ドライバ、および、データドライバが出力する各

信号の電圧レベルの推移を示すタイミングチャートである。

[図14]一実施形態のE L表示装置における測定期間に選択ドライバ、電源ドライバ、および、データドライバが出力する各信号の電圧レベルの推移を示すタイミングチャートである。

[図15]一実施形態のE L表示装置が設定する第1フレームにおいて画素行が行う書込動作、表示動作、および、測定動作の推移を示すタイムチャートである。

[図16]一実施形態のE L表示装置が設定する第2フレームにおいて画素行が行う書込動作、表示動作、および、測定動作の推移を示すタイムチャートである。

[図17]一実施形態のE L表示装置が設定する第540フレームにおいて画素行が行う書込動作、表示動作、および、測定動作の推移を示すタイムチャートである。

[図18]一実施形態のE L表示装置が設定する1つフレーム期間において各選択線における電圧レベルの推移、および、各電源線における電圧レベルの推移をスタートパルス信号、および、マスクパルス信号と共に示すタイミングチャートである。

[図19]変形例のE L表示装置が設定する第1フレームから第54フレームまでにおける測定期間の設定される画素行を示す構成図である。

[図20]変形例のE L表示装置が設定する第55フレームから第108フレームまでにおける測定期間の設定される画素行を示す構成図である。

[図21]変形例のE L表示装置が設定する第487フレームから第540フレームまでにおける測定期間の設定される画素行を示す構成図である。

発明を実施するための形態

[0021] 図1～図17を参照してE L装置の一例であるE L表示装置、および、E L装置の駆動方法の一例であるE L表示装置の駆動方法の一実施形態を説明する。

[0022] [E L表示装置の構成]

図1が示すように、EL表示装置は、複数の画素PXを備えるパネル10と、選択ドライバ20と、電源ドライバ30と、データドライバ40と、システムコントローラ50とを備えている。複数の画素PXは、m行×n列のマトリクス状に配置されている。mは1以上の整数であり、nもまた1以上の整数である。各画素PXは、要素回路の一例である。

[0023] 行方向に沿って延びるm行の選択線Lsの各々は、列方向に沿って延びるn列のデータ線Ldの各々と、パネル10に対する平面視において立体的に交差している。複数の画素PXの各々は、選択線Lsとデータ線Ldとが立体的に交差する部位の付近に配置されている。

[0024] i行目(iは1以上m以下の整数)に並ぶn列の画素PXの各々は、i行目の選択線Lsとi行目の電源線Laとに電氣的接続されている。j列目(jは1以上n以下の整数)に並ぶm行の画素PXの各々は、j列目のデータ線Ldに電氣的接続されている。各々が共通する1本の選択線Lsに電氣的に接続された複数の画素PXが、要素回路群の一例である1つの画素行であり、各々が共通する1本のデータ線Ldに電氣的に接続された複数の画素PXが1つの画素列である。

[0025] m行の選択線Lsの各々は、選択ドライバ20に電氣的に並列に接続されている。m行の電源線Laの各々は、電源ドライバ30に電氣的に並列に接続されている。n列のデータ線Ldの各々は、データドライバ40に電氣的に並列に接続されている。

[0026] システムコントローラ50は、選択ドライバ20の駆動、電源ドライバ30の駆動、および、データドライバ40の駆動を、複数の制御信号の出力によって制御する。システムコントローラ50は、中央処理装置や記憶部を有するマイクロコンピュータを中心として構成されている。システムコントローラ50は、EL表示装置に対する外部からの入力信号SIGを受けて、入力信号SIGに含まれる階調成分を入力信号SIGから抽出する機能を有している。また、システムコントローラ50は、抽出された階調成分を、画素PXごとの輝度を制御するための階調値Dinに変換する機能を

有する。

[0027] システムコントローラー50は、画素PXごとの階調値Dinをデータドライバ40に出力する。画素PXごとの階調値Dinは、1行分ずつ行番号順に、かつ、1行分のデータにおいては1列ずつ列番号順に出力される。画素PXごとの階調値Dinは、例えば、ビット長として8ビットを有するデジタル値である。

[0028] システムコントローラー50は、パネル10を駆動するためのシステムクロックなどのタイミング信号を入力信号SIGから抽出してもよいし、入力信号SIGがタイミング信号成分を含まないときには、別途タイミング信号を生成してもよい。入力信号SIGが、例えば、テレビ放送信号などのコンポジット映像信号のように、画像の表示タイミングを規定するタイミング信号成分を含むとき、システムコントローラー50は、階調成分を抽出する機能のほかに、タイミング信号成分を抽出する機能を有している。

[0029] システムコントローラー50は、選択ドライバ20の駆動を制御するための選択制御信号SCON1をタイミング信号に基づいて生成して、選択制御信号SCON1を選択ドライバ20に入力する。システムコントローラー50は、電源ドライバ30の駆動を制御するための電源制御信号SCON2をタイミング信号に基づいて生成して、電源制御信号SCON2を電源ドライバ30に入力する。システムコントローラー50は、データドライバ40の駆動を制御するためのデータ制御信号SCON3をタイミング信号に基づいて生成して、データ制御信号SCON3をデータドライバ40に入力する。

[0030] [画素PXの構成]

図2が示すように、画素PXを構成する画素回路PCCは、薄膜トランジスタの一例である3つのnチャンネル型トランジスタと1つの保持容量Csとを備えている。3つのnチャンネル型トランジスタは、例えば、半導体膜としてアモルファスシリコン膜を有する薄膜トランジスタであってもよいし、半導体膜としてポリシリコン膜を有する薄膜トランジスタであってもよい。

- [0031] 駆動トランジスタ T_1 のゲートは、ノード N_1 に電氣的接続されている。駆動トランジスタ T_1 の第1端子であるソースは、ノード N_2 を通じて電流駆動素子の一例である EL 素子 OEL のアノードに電氣的接続され、駆動トランジスタ T_1 の第2端子であるドレインは、ノード N_3 を通じて電源線 L_a に電氣的接続されている。駆動トランジスタ T_1 は、飽和領域において電流を制御することの可能なトランジスタであって、駆動トランジスタ T_1 のゲート - ソース間電圧 V_{gs} に基づく電流をドレイン - ソース間電流 I_{ds} として流す機能を有している。
- [0032] EL 素子 OEL のアノードは、画素回路 PCC におけるノード N_2 に電氣的接続されて、 EL 素子 OEL のカソードの電圧レベルには、接地レベルなどの基準レベル $ELVSS$ が設定されている。なお、 EL 素子 OEL には画素容量が含まれ、データ線 L_d には寄生容量が含まれている。
- [0033] 保持容量 C_s の有する2つの電極の中で第1電極は、ノード N_1 に電氣的接続され、保持容量 C_s の有する2つの電極の中で第2電極は、ノード N_2 に電氣的接続されている。保持容量 C_s は、駆動トランジスタ T_1 のゲートと、駆動トランジスタ T_1 のソースとの間に形成される寄生容量であってもよいし、ノード N_1 とノード N_2 との間に別途備えられる容量素子であってもよいし、これらの組み合わせであってもよい。保持容量 C_s は、駆動トランジスタ T_1 のゲート - ソース間電圧 V_{gs} を保持する機能を有している。
- [0034] 保持トランジスタ T_2 のゲートは、ノード N_4 を通じて選択線 L_s に電氣的接続されている。保持トランジスタ T_2 のドレインは、ノード N_3 を通じて電源線 L_a に電氣的接続されて、保持トランジスタ T_2 のソースは、ノード N_1 に電氣的接続されている。保持トランジスタ T_2 は、駆動トランジスタ T_1 のドレインと、駆動トランジスタ T_1 のゲートとの導通を、選択線 L_s に設定される電圧レベルに基づいて制御する。
- [0035] 例えば、選択線 L_s に入力された選択信号 V_{sel} の電圧レベルが、ハイレベル H であるとき、保持トランジスタ T_2 は、駆動トランジスタ T_1 のドレインと、駆動トランジスタ T_1 のゲートとを導通させて、駆動トランジスタ

タT1をダイオード接続させる。これに対して、選択線Lsに入力された選択信号Vse1の電圧レベルが、ローレベルLであるとき、保持トランジスタT2は、駆動トランジスタT1のドレインと、駆動トランジスタT1のゲートとを電氣的に絶縁させて、駆動トランジスタT1にダイオード接続を解除させる。

[0036] 選択トランジスタT3のゲートは、選択線Lsに電氣的接続されている。選択トランジスタT3のソースは、データ線Ldに電氣的接続され、選択トランジスタT3のドレインは、ノードN2に電氣的接続されている。選択トランジスタT3は、駆動トランジスタT1のソースとデータ線Ldとの導通を選択線Lsの電圧レベルに基づいて制御する。

[0037] 例えば、選択線Lsに入力された選択信号Vse1の電圧レベルが、ハイレベルHであるとき、選択トランジスタT3は、駆動トランジスタT1のソースとデータ線Ldとを導通させて、保持容量Csの第1電極における電圧レベルと、データ線Ldに入力されたデータ信号Vdの電圧レベルとの差に応じた電圧を保持容量Csに保持させる。これに対して、選択線Lsに入力された選択信号Vse1の電圧レベルが、ローレベルLであるとき、選択トランジスタT3は、駆動トランジスタT1のソースとデータ線Ldとを電氣的に絶縁させる。

[0038] [画素PXの動作]

画素PXに設定される発光期間は、階調値Dinに基づく階調値レベルVdataがデータ線Ldに設定される書込動作と、その書込動作後の発光動作とを、m行×n列の画素回路PCCが1つの画素行ずつ行番号順に行う期間である。

[0039] 画素PXに設定される非発光期間は、最低階調値に相当する階調値レベルVdataがデータ線Ldに設定される書込動作と、その書込動作後の非発光動作とを、m行×n列の画素回路PCCが1つの画素行ずつ行番号順に行う期間である。

[0040] 画素PXに設定される測定期間は、測定レベルVMがデータ線Ldに設定

される書込動作と、その書込動作後の測定動作とを、 m 行 $\times$ n 列の画素回路 PCC が 1 つの画素行ずつ行う期間である。

[0041] [発光期間の書込動作]

図 3 が示すように、発光期間における書込動作において、選択ドライバ 20 は、選択信号 V_{sel} にハイレベル H を設定して、保持トランジスタ T2、および、選択トランジスタ T3 にオン状態を設定する。電源ドライバ 30 は、基準レベル ELV_{SS} とほぼ等しい電圧レベルである書込レベル WDV_{SS} を電源信号 V_a に設定する。データドライバ 40 は、階調値 D_{in} から生成された階調値レベル V_{data} をデータ信号 V_d に設定する。そして、保持トランジスタ T2、および、選択トランジスタ T3 は、階調値レベル V_{data} と書込レベル WDV_{SS} との差に応じた電圧を保持容量 C_s に書き込む。

[0042] 発光期間における書込動作においてデータ信号 V_d に設定される電圧レベルは、階調値 D_{in} に相当する階調値レベル V_{data} であって、基準レベル ELV_{SS} 、および、書込レベル WDV_{SS} よりも低い電圧レベルである。

[0043] こうしたデータ信号 V_d がデータ線 L_d に入力されるとき、駆動トランジスタ T1 のソースは、基準レベル ELV_{SS} よりも低い電圧レベルを設定される。そして、ダイオード接続された駆動トランジスタ T1 のゲートは、駆動トランジスタ T1 のドレインと等しい電圧レベルを設定される。これによって、駆動トランジスタ T1 のドレイン - ソース間電圧 V_{ds} に順バイアスが設定されて、ドレイン - ソース間電圧 V_{ds} に基づくドレイン - ソース間電流 I_{ds} が流れる。

[0044] この際に、駆動トランジスタ T1 がダイオード接続されているため、駆動トランジスタ T1 のドレイン - ソース間電圧 V_{ds} は、ゲート - ソース間電圧 V_{gs} にほぼ等しい。そして、駆動トランジスタ T1 のゲート - ソース間において順バイアスであって、かつ、EL 素子 OEL に対して逆バイアスとなるゲート - ソース間電圧 V_{gs} が保持容量 C_s に書き込まれる。

[0045] [非発光期間の書込動作]

非発光期間における書込動作は、発光期間の書込動作とはデータ線 L_d に設定される電圧レベルが異なる。非発光期間の書込動作においてデータ信号 V_d に設定される電圧レベルは、最低階調に相当する階調値レベル V_{data} であって、基準レベル $ELVSS$ 、および、書込レベル $WDVSS$ とほぼ等しい電圧レベルである。

[0046] こうしたデータ信号 V_d がデータ線 L_d に入力されるとき、駆動トランジスタ T_1 のソースは、基準レベル $ELVSS$ とほぼ等しい電圧レベルを設定される。そして、ダイオード接続された駆動トランジスタ T_1 のゲートが、駆動トランジスタ T_1 のドレインと等しい電圧レベルを設定されて、駆動トランジスタ T_1 のドレイン - ソース間電圧 V_{ds} にほぼ $0V$ であるゼロバイアスが設定されるため、ドレイン - ソース間電流 I_{ds} が流れない。

[0047] この際に、駆動トランジスタ T_1 がダイオード接続されているため、駆動トランジスタ T_1 のドレイン - ソース間電圧 V_{ds} は、ゲート - ソース間電圧 V_{gs} にほぼ等しい。そして、駆動トランジスタ T_1 のゲート - ソース間においてほぼゼロバイアスとなるゲート - ソース間電圧 V_{gs} が保持容量 C_s に書き込まれる。

[0048] [測定期間の書込動作]

測定期間における書込動作では、データ線 L_d に設定される電圧レベルが発光期間の書込動作とは異なる。測定期間の書込動作においてデータ信号 V_d に設定される電圧レベルは、測定レベル V_M であって、基準レベル $ELVSS$ 、および、書込レベル $WDVSS$ よりも低く、かつ、書込レベル $WDVSS$ と測定レベル V_M との差が、駆動トランジスタ T_1 のしきい値を越える電圧レベルである。

[0049] こうしたデータ信号 V_d がデータ線 L_d に入力されるとき、駆動トランジスタ T_1 のソースは、基準レベル $ELVSS$ よりも低い電圧レベルを設定される。そして、ダイオード接続された駆動トランジスタ T_1 のゲートが、駆動トランジスタ T_1 のドレインと等しい電圧レベルを設定されて、駆動トラン

ンジスタ T_1 のドレイン-ソース間電圧 V_{ds} に順バイアスが設定されて、ドレイン-ソース間電圧 V_{ds} に基づくドレイン-ソース間電流 I_{ds} が流れる。

[0050] この際に、駆動トランジスタ T_1 がダイオード接続されているため、駆動トランジスタ T_1 のドレイン-ソース間電圧 V_{ds} は、ゲート-ソース間電圧 V_{gs} にほぼ等しい。そして、駆動トランジスタ T_1 のゲート-ソース間において順バイアスであって、かつ、EL素子OELに対して逆バイアスとなるゲート-ソース間電圧 V_{gs} が、駆動トランジスタ T_1 のしきい値電圧 V_{th} を越える大きさを有して保持容量 C_s に書き込まれる。

[0051] [発光動作]

図4が示すように、発光期間における発光動作において、選択ドライバ20は、選択信号 V_{sel} にローレベルLを設定して、保持トランジスタ T_2 、および、選択トランジスタ T_3 にオフ状態を設定する。電源ドライバ30は、書込レベル $WDVSS$ よりも高い電圧レベルであって、駆動トランジスタ T_1 が飽和領域にて駆動するような発光レベル $ELVDD$ を電源信号 V_a に設定する。そして、駆動トランジスタ T_1 は、保持容量 C_s の保持するゲート-ソース間電圧 V_{gs} に基づくドレイン-ソース間電流 I_{ds} を流す。

[0052] この際に、駆動トランジスタ T_1 におけるドレイン-ソース間電流 I_{ds} は、ゲート-ソース間電圧 V_{gs} と、駆動トランジスタ T_1 におけるしきい値電圧 V_{th} との差に基づく大きさであって、ゲート-ソース間電圧 V_{gs} と、しきい値電圧 V_{th} との差ごとに異なる。そして、発光期間の書込動作において保持容量 C_s に保持されたゲート-ソース間電圧 V_{gs} は、駆動トランジスタ T_1 のしきい値電圧 V_{th} を越えているため、駆動トランジスタ T_1 の電流路にドレイン-ソース間電流 I_{ds} が流れて、EL素子OELが発光する。

[0053] [非発光動作]

非発光期間における非発光動作において、発光動作と同じく、選択ドライバ20は選択信号 V_{sel} にローレベルLを設定して、保持トランジスタ T

2、および、選択トランジスタT3にオフ状態を設定する。電源ドライバ30は、書込レベルWDVSSよりも高い電圧レベルであって、駆動トランジスタT1が飽和領域にて駆動するような発光レベルELVDDを電源信号Vaに設定する。

[0054] この際に、駆動トランジスタT1のドレインは、駆動トランジスタT1のソースよりも高い電圧レベルを設定されるものの、非発光期間における書込動作によれば、保持容量Csに保持されたゲート-ソース間電圧Vgsがおよそ0Vである。そのため、駆動トランジスタT1の電流路にドレイン-ソース間電流Idsが流れず、EL素子OELは発光しない。

[0055] [測定動作]

図5が示すように、測定期間における測定動作において、選択ドライバ20は、選択信号VselにハイレベルHを設定して、保持トランジスタT2、および、選択トランジスタT3にオン状態を設定する。電源ドライバ30は、電源信号Vaに書込レベルWDVSSを設定し、データドライバ40は、データ信号Vdの出力回路とデータ線Ldとの接続を切断し、それによって、データ線Ldにハイインピーダンス状態HZを設定する。そして、ハイインピーダンス状態HZの設定から経過した時間である経過時間が、所定の緩和時間tsに到達するまで、データドライバ40は、データ線Ldのハイインピーダンス状態HZを保つ。

[0056] この際に、駆動トランジスタT1におけるソースの電圧レベルは、経過時間の増加と共に、駆動トランジスタT1のドレインの電圧レベルに徐々に近づく。また、駆動トランジスタT1のドレイン-ソース間電流Idsも徐々に減少し、これに伴って、保持容量Csに蓄積された電荷が徐々に放電される。保持容量Csに蓄積された電荷が徐々に放電されると、保持容量Csの両電極間の電圧、すなわち、駆動トランジスタT1のゲート-ソース間電圧Vgsが徐々に減少する。結果として、駆動トランジスタT1のソースの電圧レベルは、経過時間の経過と共に徐々に上昇する。駆動トランジスタT1のソースの電圧レベルの上昇は、駆動トランジスタT1のドレイン-ソース

間電流 I_{ds} がほぼ流れなくなる電圧レベルまで続き、ドレイン - ソース間電流 I_{ds} が流れなくなるとき、保持容量 C_s の放電も停止する。

[0057] これによって、駆動トランジスタ T_1 のゲート - ソース間電圧 V_{gs} は、原理的には駆動トランジスタ T_1 におけるしきい値電圧 V_{th} に収束する。ただし、実際には、保持容量 C_s の放電する期間を無限に設定することができないうえに、仮に、保持容量 C_s の放電する期間を無限に続けるようにしても、サブスレッシュホールド電流が流れてしまい、しきい値電圧 V_{th} の情報は失われてしまう。このため、所定の緩和時間 t_s として一定期間の放電の期間を定め、緩和時間 t_s が経過したときの電圧レベルである収束レベル V_s を、しきい値電圧 V_{th} に基づく電圧レベルとしてデータ線 L_d に保持させる。基準となる電圧レベルと収束レベル V_s との差が収束電圧であり、しきい値電圧 V_{th} が大きいほど収束電圧は大きい。

[0058] なお、この間において、駆動トランジスタ T_1 におけるソースの電圧レベルは、書込レベル WDV_{SS} 、および、基準レベル ELV_{SS} よりも低い電圧レベルであるため、ドレイン - ソース間電流 I_{ds} は、 EL 素子 OEL に流れない。

[0059] [選択ドライバ20の構成]

図6が示すように、選択ドライバ20の備えるシフトレジスタ回路21は、選択制御信号 $SCON_1$ の1つである選択スタートパルス信号 SP から、ビット長が m ビットであるパラレル信号を生成する。駆動シフトクロック Clk_s がシフトクロック信号としてシフトレジスタ回路21に入力されるとき、シフトレジスタ回路21は、駆動シフトクロック Clk_s の周期ごとに選択スタートパルス信号 SP を1ビットずつシフトさせる。測定シフトクロック Clk_r がシフトクロック信号として入力されるとき、シフトレジスタ回路21は、測定シフトクロック Clk_r の周期ごとに選択スタートパルス信号 SP を1ビットずつシフトさせる。

[0060] シフトレジスタ回路21の生成する m ビットのパラレル信号は、 m 行の選択線 L_s の中から1つの選択線 L_s を1行ずつ行番号順に選択するための信

号である。シフトレジスタ回路21は、1つの選択線L_sを選択するためのパラレル信号の生成をシフトクロック信号の周期に同期させる。

[0061] 駆動シフトクロックC_{lks}は、階調値レベルV_{data}の書込動作を1行ずつ行番号順に設定するためのシフトクロック信号である。測定シフトクロックC_{lkr}は、シフトレジスタ回路21が測定シフトクロックC_{lkr}を用いて選択スタートパルス信号S_Pを1ビット目からmビット目までシフトさせる間に、複数の選択線L_sのなかの1つの選択線L_sに対して測定レベルV_Mの書込動作を設定するためのシフトクロック信号である。測定シフトクロックC_{lkr}の有する周期は、駆動シフトクロックC_{lks}の有する周期よりも十分に短い。

[0062] シフトレジスタ回路21は、クリア信号R_{ST}がシフトレジスタ回路21に入力されるときに、選択スタートパルス信号S_Pのシフトを初期化する。シフトレジスタ回路21は、クリア信号R_{ST}の入力後に選択スタートパルス信号S_Pが再び入力されることによって、選択線L_sの選択を再び1行目から始める。

[0063] シフトレジスタ回路21は、選択スタートパルス信号S_Pのシフトによって生成されたパラレル信号を、選択マスクパルス信号M_{P1}が論理的にハイレベルであるときのみ出力する。シフトレジスタ回路21は、選択マスクパルス信号M_{P1}が論理的にローレベルであるとき、選択スタートパルス信号S_Pのシフトによって生成されたパラレル信号に関わらず、いずれの選択線L_sも選択されないパラレル信号を出力する。

[0064] 例えば、シフトクロック信号が駆動シフトクロックC_{lks}であり、かつ、選択マスクパルス信号M_{P1}が論理的にハイレベルであるとき、シフトレジスタ回路21は、全ての選択線L_sの中のいずれか1つの選択線L_sを選択するためのパラレル信号の生成を駆動シフトクロックC_{lks}に同期させる。

[0065] 例えば、シフトクロック信号が測定シフトクロックC_{lkr}であり、かつ、選択マスクパルス信号M_{P1}が論理的にローレベルであるとき、シフトレ

ジスタ回路21は、いずれの選択線 L_s も選択されないパラレル信号を出力し続ける。そして、測定シフトクロック Clk_r の周期によるシフトが q 回 ($1 \leq q \leq m$) 進められ、かつ、選択マスクパルス信号 MP_1 の電圧レベルがハイレベルに切り替わるとき、シフトレジスタ回路21は、 q 行目の選択線 L_s を選択するためのパラレル信号を出力する。次いで、選択マスクパルス信号 MP_1 の電圧レベルがローレベルに切り替わるとき、シフトレジスタ回路21は、いずれの選択線 L_s も選択されないパラレル信号を再び出力する。

[0066] こうした選択マスクパルス信号 MP_1 が入力されることによって、シフトレジスタ回路21は、駆動シフトクロック Clk_s の周期で選択線 L_s を1行ずつ行番号順に選択することも、特定の行である q 行目まで選択線 L_s の選択を行わないことも可能としている。なお、選択マスクパルス信号 MP_1 の入力によるパラレル信号の出力制御は、例えば、選択マスクパルス信号 MP_1 の入力される論理積回路がシフトレジスタ回路21のビットごとの出力段に設けられることによって実現される。

[0067] 選択ドライバ20の備える出力バッファ22は、シフトレジスタ回路21の出力するパラレル信号の電圧レベルを、保持トランジスタ T_2 、および、選択トランジスタ T_3 の駆動する電圧レベルに変換する。出力バッファ22は、 m 行の選択線 L_s に接続されて、 m 行の選択線 L_s を1行ずつパラレル信号のビット番号に対応付けている。

[0068] 例えば、シフトレジスタ回路21の出力するパラレル信号において第 q 番ビットが選択されているとき、出力バッファ22は、第 q 番ビットの電圧レベルを、画素回路 PCC におけるハイレベル H に変換し、第 q 番ビット以外のビットの電圧レベルを、画素回路 PCC におけるローレベル L に変換する。そして、出力バッファ22は、 q 行目の選択線 L_s の選択信号 V_{sel} にハイレベル H を設定し、 q 行目以外の選択線 L_s の選択信号 V_{sel} にローレベル L を設定する。

[0069] [電源ドライバ30の構成]

図7が示すように、電源ドライバ30の備えるシフトレジスタ31は、選択ドライバ20の備えるシフトレジスタ回路21と同じく、電源制御信号SCON2の1つである選択スタートパルス信号SPから、ビット長がmビットであるパラレル信号を生成する。

[0070] シフトレジスタ31の生成するmビットのパラレル信号は、m行の電源線Laの中から1つの電源線Laを1行ずつ行番号順に選択するための信号である。シフトレジスタ31は、1つの電源線Laを選択するためのパラレル信号をシフトクロックの周期によって生成する。

[0071] シフトレジスタ31は、クリア信号RSTがシフトレジスタ31に入力されるときに、選択スタートパルス信号SPのシフトを初期化する。シフトレジスタ31は、クリア信号RSTの入力後に選択スタートパルス信号SPが再び入力されることによって、電源線Laの選択を再び1行目から開始する。

[0072] シフトレジスタ31は、選択スタートパルス信号SPのシフトによって生成されたパラレル信号を、電源マスクパルス信号MP2が論理的にハイレベルであるときのみ出力する。これに対して、電源マスクパルス信号MP2が論理的にローレベルであるとき、シフトレジスタ31は、選択スタートパルス信号SPのシフトによって生成されたパラレル信号に関わらず、全ての電源線Laが選択されるパラレル信号を出力する。

[0073] 例えば、シフトクロック信号が駆動シフトクロックC1ksであり、かつ、電源マスクパルス信号MP2が論理的にハイレベルであるとき、シフトレジスタ31は、いずれか1つの電源線Laを選択するためのパラレル信号の生成を駆動シフトクロックC1ksの周期に同期させる。

[0074] 例えば、シフトクロック信号が駆動シフトクロックC1ksであり、かつ、電源マスクパルス信号MP2が論理的にローレベルであるとき、シフトレジスタ31は、パラレル信号における全てのビット値を、電源線Laを選択するためのハイレベルに切り替える。

[0075] 例えば、シフトクロック信号が測定シフトクロックC1krであり、かつ

、電源マスクパルス信号MP 2が論理的にローレベルであるとき、シフトレジスタ31は、全ての電源線Laが選択されるパラレル信号を出力する。

[0076] こうした電源マスクパルス信号MP 2が入力されることによって、シフトレジスタ31は、駆動シフトクロックC l k sの周期によって電源線Laを1行ずつ行番号順に選択することも、測定シフトクロックC l k rの周期では全ての電源線Laを1度を選択することも可能としている。なお、電源マスクパルス信号MP 2の入力によるパラレル信号の出力の制御は、例えば、電源マスクパルス信号MP 2の入力される論理積回路がシフトレジスタ31のビットごとの出力段に設けられることによって実現される。

[0077] 電源ドライバ30の備える出力バッファ32は、シフトレジスタ31の出力するパラレル信号の電圧レベルを、書込レベルWD V S Sと発光レベルE L V D Dのいずれかに変換する。出力バッファ32は、m行の電源線Laに接続されて、m行の電源線Laを1行ずつパラレル信号のビット番号に対応付けている。

[0078] 例えば、シフトレジスタ31の出力するパラレル信号において第q番ビットが選択されているとき、出力バッファ32は、第q番ビットの電圧レベルを書込レベルWD V S Sに変換し、第q番ビット以外の電圧レベルを発光レベルE L V D Dに変換する。そして、出力バッファ32は、q行目の電源線Laに対して書込レベルWD V S Sを設定された電源信号Vaを入力し、q行目以外の電源線Laに対して発光レベルE L V D Dを設定された電源信号Vaを入力する。

[0079] [しきい値電圧V t hと緩和時間t s]

図8における特性曲線L1は、特性値が経時的に変化する前の状態である初期状態の駆動トランジスタT1の特性を示す。図8において特性曲線L2は、特性値が経時的にシフトした状態であるシフト状態の駆動トランジスタT1の状態を示す。なお、図8の縦軸は、電源信号Vaが書込レベルWD V S Sに設定されたときの駆動トランジスタT1のドレイン-ソース間電流I d sを示す。図8の横軸は、ゲート-ソース間電圧V g sに相当する電圧で

あって、書込レベル $WDVSS$ に相当するゲートレベル V_0 と、データ信号 V_d に設定された階調値レベル V_{data} との差である駆動電圧 ($= V_0 - V_d$) を示す。

[0080] 初期状態における駆動トランジスタ T_1 のしきい値電圧 V_{th} [V] を初期値 V_{th_0} とし、初期状態における駆動トランジスタ T_1 の電流増幅率 [A/V^2] を電流増幅率 β とする。また、シフト状態におけるしきい値電圧 V_{th} をシフト値 V_{th_1} ($=$ 初期値 V_{th_0} $+$ シフト量 ΔV_{th}) とする。

[0081] この際に、初期状態におけるドレイン-ソース間電流 I_{ds} は、下記式 (1) によって示され、シフト状態におけるドレイン-ソース間電流 I_{ds} は、下記式 (2) によって示される。

$$I_{ds} = \beta (V_0 - V_d - V_{th_0})^2 \quad \dots (1)$$

$$I_{ds} = \beta (V_0 - V_d - V_{th_1})^2 \quad \dots (2)$$

[0082] 図8、および、式 (1)、(2) が示すように、特性曲線 L_2 は、特性曲線 L_1 における駆動電圧がシフト量 ΔV_{th} だけ並進した形状を有し、しきい値電圧 V_{th} のシフトの前後において、特性曲線 L_1 の有する形状と、特性曲線 L_2 の有する形状とは、ほぼ同じである。特性曲線 L_1 の有する形状と、特性曲線 L_2 の有する形状とがほぼ同じであることは、式 (1)、(2) が示すように、電流増幅率 β の経時的な変化が、しきい値電圧 V_{th} の経時的な変化に比べて十分に小さいことを示している。それゆえに、初期値 V_{th_0} とシフト値 V_{th_1} との差であるシフト量 ΔV_{th} が、階調値レベル V_{data} に加えられることによって、シフト状態におけるドレイン-ソース間電流 I_{ds} は補正される。すなわち、上述した入力信号 SI_G から生成される基準階調値 D_b にシフト量 ΔV_{th} に相当するしきい値補正量 k が加算されることによって、EL素子 OEL の輝度の変化のうち、経時的なしきい値電圧 V_{th} のシフトに起因した変化は補正される。

[0083] 図9を参照して測定動作における緩和時間 t_s を説明する。図9は、測定動作におけるデータ線 L_d の電圧レベル V_{Ns} 、すなわち、駆動トランジスタ T_1 におけるソースの電圧レベルに基づく電圧レベルと経過時間 t との関

係を示す。

[0084] 図9が示すように、測定動作において経過時間 t が進むとき、データ線 L_d の電圧レベル V_{Ns} は、保持容量 C_s における放電に従って、測定レベル V_M から書込レベル $WDVSS$ に近づく。そして、経過時間 t が緩和時間 t_s に到達するとき、データ線 L_d の電圧レベル V_{Ns} は、しきい値電圧 V_{th} に基づく収束レベル V_s に収束して、ドレイン-ソース間電流 I_{ds} はほぼ流れなくなる。

[0085] この際に、緩和時間 t_s が経過したときのデータ線 L_d の電圧レベルである収束レベル V_s は、シフト量 ΔV_{th} を反映した電圧レベルであって、その時々としきい値電圧 V_{th} に基づく特性値でもある。駆動トランジスタ T_1 のしきい値電圧 V_{th} は、収束レベル V_s と書込レベル $WDVSS$ との差に基づく電圧として推定される。そして、データ線 L_d に保持された収束レベル V_s は、データドライバ40に取り込まれて、収束レベル V_s と、基準となる電圧レベルとの差、例えば、アナログ基準電圧 $DVSS$ との差である収束電圧を示すデジタル値である測定データ $Dout$ に変換される。なお、収束レベル V_s から測定データ $Dout$ への変換に際しては、しきい値電圧 V_{th} が大きいほど測定データ $Dout$ が大きいように、基準となる電圧レベルは設定されている。

[0086] [データドライバ40の構成]

図10が示すように、測定部、および、設定部を構成するデータドライバ40は、シフトレジスタ41、データレジスタ42、データラッチ回路43、DAC44、バッファ45、レベルシフタ46、および、アップカウンタ47を備えている。

[0087] シフトレジスタ41、データレジスタ42、データラッチ回路43、および、アップカウンタ47は、低耐圧回路として構成され、これらの回路には、ロジック電源60から、論理的にハイレベルのロジック高電圧 $LVD D$ 、および、論理的にローレベルのロジック低電圧 $L V S S$ が印加される。

[0088] DAC44、および、バッファ45は、高耐圧回路として構成され、これ

らの回路には、アナログ電源 V_{DD} から、ハイレベルのアナログ基準電圧 DV_{SS} 、および、ローレベルのアナログ電源電圧 V_{EE} が印加される。アナログ基準電圧 DV_{SS} は、書込レベル WDV_{SS} 、および、基準レベル ELV_{SS} とほぼ等しい電圧レベルに設定される。

[0089] シフトレジスタ 41 は、データスタートパルス信号 $SP1$ から、ビット長が n ビットであるパラレル信号を生成する。データシフトクロック $Clkd$ がシフトクロック信号として入力されるとき、シフトレジスタ 41 は、データシフトクロック $Clkd$ の周期によってデータスタートパルス信号 $SP1$ を 1 ビットずつシフトさせる。

[0090] シフトレジスタ 41 の生成する n ビットのパラレル信号は、 n 列のデータ線 Ld の中から 1 つのデータ線 Ld を 1 列ずつ列番号順に選択するための信号である。シフトレジスタ 41 は、データ線 Ld を選択するためのパラレル信号の生成をデータシフトクロック $Clkd$ の周期に同期させる。

[0091] データシフトクロック $Clkd$ は、書込動作において、1 つの選択線 Ls が選択される期間において、1 行分の画素 PX の全てに階調値 Din を割り当てるシフトクロック信号である。データシフトクロック $Clkd$ の有する周期は、駆動シフトクロック $Clks$ の有する周期よりも十分に短く、例えば、駆動シフトクロック $Clks$ の $1/n$ であって、測定シフトクロック $Clkr$ の有する周期とほぼ等しい。

[0092] また、データシフトクロック $Clkd$ は、測定動作において、アップカウンタ 47 のカウント値を増やすクロック信号である。測定動作におけるデータシフトクロック $Clkd$ の送出回数 N は、アップカウンタ 47 の数えるカウント値の最大値である。アップカウンタ 47 のカウントするカウント値は、収束電圧を測定するための電圧レベルであるリファレンスレベルをカウント値ごとに 1 段ずつ降圧するためのデジタル値である。

[0093] 例えば、アップカウンタ 47 のカウントしたカウント値が「1」であるとき、デジタル値である「1」に基づく電圧レベルとして、アナログ基準電圧 DV_{SS} よりも $1 \times$ 分解能 V_{cnt} [V] だけ低い電圧レベルがリファレン

スレベルとして生成される。また、アップカウンタ47のカウントしたカウント値が「4」であるとき、デジタル値である「4」に基づく電圧レベルとして、アナログ基準電圧 $DVSS$ よりも $4 \times$ 分解能 $V_{cnt} [V]$ だけ低い電圧レベルがリファレンスレベルとして生成される。そして、アップカウンタ47のカウント値が変わるごとに、収束レベル V_s と比較される新たなリファレンスレベルが生成される。リファレンスレベルと、基準となる電圧レベルとの差がリファレンス電圧であり、こうした基準となる電圧レベルは、収束電圧において基準となる電圧レベルと同じであり、カウント値が大きいほどリファレンス電圧が大きいうように、基準となる電圧レベルは設定されている。

[0094] データレジスタ42は、 n 列 $\times k$ 個のレジスタを備え、シフトレジスタ41の出力するパラレル信号のビットごとに k 個のレジスタを備えている。例えば、階調値 D_{in} における最高階調値が255であるとき、階調値 D_{in} は8ビットのデジタル値であって、データレジスタ42は n 列 $\times 8$ 個のレジスタを備えている。シフトレジスタ41の出力するパラレル信号は、こうした n 列 $\times k$ 個のレジスタから、1列ずつ列番号順に k 個のレジスタを選択する。データレジスタ42は、選択された k 個のレジスタに階調値 D_{in} を格納して、格納先となる k 個のレジスタをデータシフトクロック $Clkd$ の周期によって1列ずつ列番号順にシフトさせる。

[0095] データラッチ回路43は、 n 列のデータラッチ43a、 n 列の論理積回路43b、および、 n 列のフリップフロップ43cを備えている。また、データラッチ回路43は、 n 列の入力スイッチ $SW1$ 、 n 列の出力スイッチ $SW2$ 、 n 列の測定用スイッチ $SW3$ 、および、1つの転送スイッチ SW_{trs} を備えている。

[0096] アップカウンタ47の出力端子は、 n 列の入力スイッチ $SW1$ の各々の入力端子に並列に接続されている。アップカウンタ47は、測定動作においてデータシフトクロック $Clkd$ に同期してカウントアップし、データシフトクロック $Clkd$ の送出回数 N であるカウント値を n 列の入力スイッチ SW

1の各々にデジタル値として一斉に入力する。

[0097] j 列目 ($1 \leq j \leq n$) の入力スイッチ SW1 は、 j 列目のデータラッチ 43 a の入力端子に接続されている。 p 列目 ($1 \leq p \leq n-1$) の入力スイッチ SW1 は、システムコントローラ 50 から入力されるデータ制御信号 SC ON 3 に基づいて駆動されて、 p 列目のデータラッチ 43 a の入力端子を、データレジスタ 42 における p 列目のレジスタの出力端子、アップカウンタ 47 の出力端子、 $p+1$ 列目のデータラッチ 43 a の出力端子の中のいずれか 1 つに接続する。

[0098] j 列目の出力スイッチ SW2 は、 j 列目のデータラッチ 43 a の出力端子に接続されている。 $p+1$ 列目の出力スイッチ SW2 は、システムコントローラ 50 から入力されるデータ制御信号 SC ON 3 に基づいて駆動され、 $p+1$ 列目のデータラッチ 43 a の出力端子を、 $p+1$ 列目のレベルシフタ 46 の入力端子と、 p 列目の入力スイッチ SW1 の入力端子のいずれか 1 つに接続する。1 列目の出力スイッチ SW2 は、システムコントローラ 50 からの制御信号に基づいて駆動され、1 列目のデータラッチ 43 a の出力端子を、1 列目のレベルシフタ 46 の入力端子と、転送スイッチ SW t r s の入力端子のいずれか 1 つに接続する。

[0099] j 列目の測定用スイッチ SW3 は、システムコントローラ 50 から入力されるデータ制御信号 SC ON 3 に基づいて駆動され、 j 列目のフリップフロップ 43 c の Q 端子である出力端子と、 j 列目の論理積回路 43 b の入力端子との接続と切断とを切り替える。

[0100] 転送スイッチ SW t r s は、システムコントローラ 50 から入力されるデータ制御信号 SC ON 3 に基づいて駆動され、1 列目の出力スイッチ SW2 の出力端子とシステムコントローラ 50 との接続と切断とを切り替える。

[0101] j 列目 ($1 \leq j \leq n$) のデータラッチ 43 a の入力端子は、上述した書込動作、発光動作、および、非発光動作において、データレジスタ 42 における j 列目のレジスタに接続される。 j 列目のデータラッチ 43 a と j 列目の

レジスタとが接続されるとき、 n 列の論理積回路43bの各々の出力レベルが一斉に論理的にハイレベルになるごとに、 j 列目のデータラッチ43aは、 j 列目のレジスタに格納された階調値 D_{in} を保持する。 j 列目のデータラッチ43aは、 j 列目のデータラッチ43aに保持される階調値 D_{in} をDAC44へ出力する。そして、 n 列の論理積回路43bの出力レベルが一斉に論理的にハイレベルになるごとに、データレジスタ42に格納された1行分の階調値 D_{in} を n 列のデータラッチ43aは保持する。 n 列のデータラッチ43aは、保持された1行分の階調値 D_{in} を n 列のDAC44へ一斉に出力する。

[0102] これに対して、 n 列のデータラッチ43aの各々の入力端子は、上述した測定動作において、アップカウンタ47の出力端子に並列に接続される。 n 列のデータラッチ43aの各々の入力端子とアップカウンタ47の出力端子とが接続されるとき、データシフトクロック Clk_d とラッチパルス信号 LP とが同期して、これらデータシフトクロック Clk_d とラッチパルス信号 LP とが、データドライバ40に入力される。そして、 j 列目の論理積回路43bの出力レベルが論理的にハイレベルになるごとに、 j 列目のデータラッチ43aはアップカウンタ47のカウント値を保持する。

[0103] 例えば、2つのデータラッチ43aの間において、その接続される論理積回路43bの出力レベルが同時に論理的にハイレベルになるとき、2つのデータラッチ43aの各々は、相互に同じカウント値を保持する。一方で、2つのデータラッチ43aの間において、それらに接続される論理積回路43bの出力レベルが相互に異なるタイミングで論理的にハイレベルになるとき、2つのデータラッチ43aの各々は、別々のカウント値を保持する。

[0104] また、 p 列目のデータラッチ43aの入力端子は、上述した測定動作において、 $p+1$ 列目のデータラッチ43aの出力端子に接続される。 p 列目のデータラッチ43aの入力端子と、 $p+1$ 列目のデータラッチ43aの出力端子とが接続されるとき、 p 列目の論理積回路43bの出力レベルが論理的にハイレベルになるごとに、 p 列目のデータラッチ43aは、 $p+1$ 列目の

データラッチ43aに保持されるデータを測定データDoutとして保持する。

[0105] この際に、最後列であるn列目のデータラッチ43aは、ロジック電源60に接続されて、n列目のデータラッチ43aにはロジック低電圧LVSSが印加される。また、1列目のデータラッチ43aの出力端子は、システムコントローラ50に接続されて、1列目のデータラッチ43aに保持される測定データDoutをシステムコントローラ50へ出力する。そして、1列目のデータラッチ43aは、1列目の論理積回路43bの出力レベルが論理的にハイレベルになるごとに、2列目からn列目までの各々のデータラッチ43aに保持される測定データDoutを、2列目のデータラッチ43aから列番号順に保持し、その保持された測定データDoutをシステムコントローラ50へ出力する。

[0106] j列目の出力スイッチSW2とj列目のDAC44との間には、低耐圧回路から高耐圧回路への電圧調整回路であるj列目のレベルシフタ46が設けられている。j列目のレベルシフタ46は、j列目のデータラッチ43aの出力値であるデジタル値を、j列目のDAC44の駆動レベルに変換する。

[0107] n列のDAC44の各々は、DAC44に入力されるデジタル値に対してDAC44から出力されるアナログ値が線形性を有するリニア電圧デジタル-アナログ変換回路である。n列のDAC44の各々は、電圧変換時の入力範囲であるデジタル値のビット長を、階調値Dinの範囲であるビット長と等しい8ビットに設定している。

[0108] j列目のDAC44の入力端子と、j列目のデータラッチ43aの出力端子とが、レベルシフタ46を介して接続されるとき、j列目のDAC44は、j列目のデータラッチ43aに保持されたデジタル値をアナログ値に変換して、バッファ45の非反転入力端子に入力する。

[0109] 例えば、発光期間の書込動作や非発光期間の書込動作において、j列目のデータラッチ43aは駆動量の一例である階調値Dinを保持する。このとき、j列目のDAC44は、階調値Dinに基づく階調値レベルVdata

を生成するために、デジタル値である階調値 D_{in} をアナログ値に変換してバッファ 45 の非反転入力端子に入力する。

[0110] これに対して、測定期間における測定動作において、 j 列目のデータラッチ 43 a はアップカウンタ 47 のカウント値を保持する。このとき、 j 列目の DAC 44 は、デジタル値であるカウント値をアナログ値であるリファレンスレベルに変換してバッファ 45 の非反転入力端子に入力する。

[0111] j 列目のバッファ 45 の非反転入力端子は、 j 列目の DAC 44 の出力端子に接続されている。 j 列目のバッファ 45 の反転入力端子は、データ線 L_d において表示用スイッチ SW_d と j 列目の画素回路 PCC との間の部位に接続されている。 j 列目のバッファ 45 の出力端子は、 j 列目の表示用スイッチ SW_d を介してデータ線 L_d に接続されている。

[0112] j 列目のバッファ 45 は、表示用スイッチ SW_d がオン状態であるとき、データドライバ 40 の出力インピーダンスを抑える出力機能を発現して、 j 列目の DAC 44 から入力されたアナログ値を階調値レベル V_{data} として出力する。

[0113] 例えば、発光期間における書込動作や非発光期間における書込動作において、表示用スイッチ SW_d はオン状態であり、かつ、 j 列目の DAC 44 は、階調値 D_{in} の変換値であるアナログ値を j 列目のバッファ 45 に入力する。そして、 j 列目のバッファ 45 は、 j 列目の階調値 D_{in} の変換結果である階調値レベル V_{data} を j 列目のデータ線 L_d に入力する。

[0114] 一方で、測定期間における測定動作において、表示用スイッチ SW_d はオフ状態であり、 j 列目のバッファ 45 は、非反転入力端子の入力レベルと、反転入力端子の入力レベルとの比較の結果を出力する比較器として機能する。そして、 j 列目のバッファ 45 は、DAC 44 の出力レベルであるリファレンスレベルと、 j 列目のデータ線 L_d の電圧レベルである収束レベル V_s とを比較し、すなわち、リファレンス電圧と収束電圧とを比較して、その比較の結果を出力する。

[0115] この際に、非反転入力端子の入力レベルが反転入力端子の入力レベルより

もハイレベルであるとき、バッファ45の出力する電圧レベルは、アナログ電源電圧 V_{EE} とほぼ等しいハイレベルである。これに対して、非反転入力端子の入力レベルが反転入力端子の入力レベルよりもローレベルであるとき、バッファ45の出力する電圧レベルは、アナログ電源電圧 V_{EE} よりもローレベルである。

[0116] 例えば、j列目のDAC44がリファレンスレベルを出力するとき、そのときのリファレンスレベルとデータ線Ldの収束レベル V_s とをj列目のバッファ45は比較して、その比較の結果を出力する。この際に、j列目のDAC44の出力するリファレンスレベルは、アップカウンタ47のカウントアップごとに降下する電圧レベルであるから、このリファレンスレベルが収束レベル V_s よりもハイレベルである間において、j列目のバッファ45の出力する電圧レベルはハイレベルを保つ。そして、リファレンスレベルが収束レベル V_s よりもローレベルになるときに、j列目のバッファ45の出力する電圧レベルは、ハイレベルからローレベルに切り替わる。

[0117] j列目のバッファ45の出力端子は、j列目の表示用スイッチSWdの入力端子と、j列目のレベルシフタ48の入力端子とに並列に接続されている。j列目の表示用スイッチSWdは、システムコントローラ50から入力されるデータ制御信号SCON3に基づいて駆動されて、j列目のバッファ45の出力端子の接続先を、j列目のデータ線Ldとj列目のレベルシフタ48とに切り替える。

[0118] j列目の表示用スイッチSWdが、j列目のバッファ45の出力端子と、j列目のデータ線Ldとを接続するとき、j列目のバッファ45は負帰還接続されて階調値レベル V_{data} を生成する。これに対して、j列目の表示用スイッチSWdが、j列目のバッファ45とデータ線Ldとを切断するとき、データ線Ldの電圧レベルがバッファ45の反転入力端子に設定される。

[0119] j列目の表示用スイッチSWdの出力側であって、j列目のバッファ45の反転入力端子の接続先と画素回路PCCとの間には、測定用電圧スイッチ

SWsの出力端子が接続されている。測定用電圧スイッチSWsは、システムコントローラ50から測定用電圧スイッチSWsに入力されるデータ制御信号SCON3に基づいて駆動されて、データ線Ldとアナログ電源70との接続と切断とを切り替える。測定用電圧スイッチSWsがデータ線Ldとアナログ電源70とを接続し、かつ、表示用スイッチSWdがオフ状態であるとき、データ線Ldの電圧レベルは測定レベルVMに設定される。

[0120] バッファ45の出力端子と、フリップフロップ43cの入力端子との間には、高耐圧回路から低耐圧回路への電圧調整回路であるレベルシフタ48が設けられている。レベルシフタ48は、バッファ45の出力する比較の結果を、フリップフロップ43cの駆動レベルに変換する。

[0121] n列のフリップフロップ43cは、D型フリップフロップであり、フリップフロップ43cのクロック端子には、システムコントローラ50からラッチパルス信号LPが入力される。n列のフリップフロップ43cのD端子である入力端子は、レベルシフタ48の出力端子に接続され、n列のフリップフロップ43cのQ端子である出力端子は、測定用スイッチSW3の入力端子に接続されている。n列のフリップフロップ43cは、クロック信号であるラッチパルス信号LPの立ち上がりごとに、レベルシフタ48からの入力レベルを出力レベルとして保持する。

[0122] j列目の論理積回路43bは、ラッチパルス信号LPの入力される第1入力端子と、j列目の測定用スイッチSW3の出力端子に接続された第2入力端子とを備えている。j列目の論理積回路43bの出力端子は、データラッチ43aの入力端子に接続され、j列目の論理積回路43bの出力レベルは、データラッチ43aにデータを保持させる制御レベルとして利用される。

[0123] j列目の測定用スイッチSW3がオフ状態であるとき、j列目の論理積回路43bにおける第2入力端子はハイレベルに設定されて、ラッチパルス信号LPの入力ごとに、j列目の論理積回路43bは論理的にハイレベルを出力する。

[0124] 例えば、j列目の測定用スイッチSW3がオフ状態であって、かつ、ラッ

チパルス信号L Pが論理積回路4 3 bに入力されるとき、j 列目の論理積回路4 3 bは、j 列目のデータラッチ4 3 aに階調値D i nを保持させて、j 列目のデータラッチ4 3 aは、保持された階調値D i nをD A C 4 4へ出力する。また例えば、p 列目の測定用スイッチS W 3がオフ状態であって、かつ、ラッチパルス信号L Pが論理積回路4 3 bに入力されるとき、p 列目の論理積回路4 3 bは、p + 1 列目のデータラッチ4 3 aの保持するデータをp 列目のデータラッチ4 3 aに保持させる。

[0125] j 列目の測定用スイッチS W 3がオン状態であって、かつ、j 列目のフリップフロップ4 3 cの出力レベルがハイレベルであるとき、ラッチパルス信号L Pの入力ごとに、j 列目の論理積回路4 3 bは論理的にハイレベルを出力する。

[0126] 例えば、j 列目の測定用スイッチS W 3がオン状態であって、かつ、リファレンスレベルが収束レベルV sよりもハイレベルであるとき、j 列目の論理積回路4 3 bは、ラッチパルス信号L Pの入力ごとにデータラッチ4 3 aにカウント値を保持させる。この際に、j 列目のD A C 4 4の出力する電圧レベルは、アップカウンタ4 7のカウントアップごとに降下するため、リファレンスレベルが収束レベルV sを下回るまで、ラッチパルス信号L Pの入力ごとにデータラッチ4 3 aはカウント値を更新し続ける。

[0127] j 列目の測定用スイッチS W 3がオン状態であって、かつ、j 列目のフリップフロップ4 3 cの出力レベルがローレベルであるとき、ラッチパルス信号L Pの入力ごとに、j 列目の論理積回路4 3 bは論理的にローレベルを出力する。

[0128] 例えば、j 列目の測定用スイッチS W 3がオン状態であって、かつ、リファレンスレベルが収束レベルV sよりもローレベルであるとき、j 列目の論理積回路4 3 bは、ラッチパルス信号L Pの入力にかかわらず、データラッチ4 3 aにカウント値を保持させない。

[0129] 結局のところ、j 列目のD A C 4 4の出力するリファレンスレベルは、アップカウンタ4 7のカウントアップごとに降下するため、リファレンスレベ

ルが収束レベル V_s を下回るまで、データラッチ43aは、データラッチ43aの保持するカウント値を更新し続ける。そして、リファレンスレベルが収束レベル V_s を下回るとき、ラッチパルス信号LPごとのカウント値の保持をデータラッチ43aは停止する。結果として、1度の測定期間においてデータラッチ43aが最終的に保持するカウント値は、その測定期間における収束レベル V_s との差が分解能 V_{cnt} 以内であり、その収束レベル V_s を上回るリファレンスレベルを生成するための値である。また、1度の測定期間においてデータラッチ43aが最終的に保持するカウント値は、全てのリファレンスレベルのなかで収束レベル V_s に最も近いリファレンスレベルを生成する値に相当する。そして、j列目のデータラッチ43aは、j列目における収束電圧の測定データ D_{out} として、こうしたカウント値を保持する。

[0130] なお、階調値 D_{in} とカウント値とは、これらに共通するデータラッチ43aに保持されるデジタル値であって、相互に等しい入力範囲を有したデジタル値である。そして、階調値 D_{in} の最下位ビットは、カウント値の最下位ビットであり、階調値 D_{in} の最上位ビットは、カウント値の最上位ビットである。例えば、階調値 D_{in} が「1」であるときの階調値レベル V_{data} と、カウント値が「1」であるときのリファレンスレベルとは相互に等しく、また、階調値 D_{in} が「2」であるときの階調値レベル V_{data} と、カウント値が「2」であるときのリファレンスレベルとも相互に等しい。

[0131] [システムコントローラ50の構成]

図11を参照してシステムコントローラ50の構成を説明する。

図11が示すように、システムコントローラ50は、入力信号処理部51、タイミングコントローラ52、補正処理部53、データ処理部54、監視部55、および、期間決定部56を備えている。

[0132] 入力信号処理部51は、入力信号SIGである映像信号から画素回路PCCごとの階調成分である階調成分 D_{sig} を生成して補正処理部53に入力する。入力信号処理部51は、入力信号SIGから画素回路PCCごとの駆

動のタイミングを制御するための基準クロックを生成してタイミングコントローラ52に入力する。

[0133] タイミングコントローラ52は、入力信号処理部51から入力された基準クロックに基づいて選択スタートパルス信号SP、選択マスクパルス信号MP1、電源マスクパルス信号MP2、データスタートパルス信号SP1、ラッチパルス信号LPを生成する。タイミングコントローラ52は、選択スタートパルス信号SP、および、選択マスクパルス信号MP1を選択ドライバ20に入力し、また、選択スタートパルス信号SP、および、電源マスクパルス信号MP2を電源ドライバ30に入力する。また、タイミングコントローラ52は、データスタートパルス信号SP1、および、ラッチパルス信号LPをデータドライバ40に入力する。

[0134] タイミングコントローラ52は、駆動シフトクロックCks、測定シフトクロックCkr、および、データシフトクロックCkdを生成する。タイミングコントローラ52は、駆動シフトクロックCksを選択ドライバ20、および、電源ドライバ30に入力し、また、測定シフトクロックCkrを選択ドライバ20、および、電源ドライバ30に入力し、データシフトクロックCkdをデータドライバに入力する。

[0135] タイミングコントローラ52は、補正処理部53が1行分の階調値Dinをデータドライバ40に出力する際に、データスタートパルス信号SP1、データシフトクロックCkd、および、ラッチパルス信号LPをデータドライバ40に入力する。また、タイミングコントローラ52は、データドライバ40に測定データDoutを生成させる際に、データシフトクロックCkd、および、ラッチパルス信号LPをデータドライバ40に入力する。また、タイミングコントローラ52は、補正処理部53が1行分の測定データDoutをデータドライバ40から入力する際に、ラッチパルス信号LPをデータドライバ40に入力する。

補正処理部53は、基準階調生成部53A、加算器である補正量加算部53B、および、補正量算出部53Cを備えている。

- [0136] 基準階調生成部53Aは、補正処理部53に入力される階調成分 D_{sig} に対して各種の調整を行うためのルックアップテーブルを備え、画素 P_X ごとの階調成分 D_{sig} に対し、ガンマ補正、初期輝度調整、色度調整などの各種の調整を行う。基準階調生成部53Aは、調整後の階調である画素 P_X ごとの基準階調値 D_b を補正量加算部53Bに入力する。
- [0137] 補正量加算部53Bは、 i 行 j 列に位置する画素 P_X に対して生成された基準階調値 D_b に、 i 行 j 列に位置する画素 P_X に対するしきい値補正量 k を加算する。補正量加算部53Bは、加算された結果である新たな階調値を、 i 行 j 列に位置する画素 P_X に対する階調値 D_{in} として出力する。階調値 D_{in} は、画素 P_X ごとのしきい値電圧 V_{th} を階調値として加味した新たな階調値であって、画素 P_X ごとの階調値である。
- [0138] 補正量算出部53Cは、複数の画素 P_X の測定データ D_{out} の中から i 行 j 列に位置する画素 P_X の測定データ D_{out} を抽出し、補正量算出部53Cが抽出した測定データ D_{out} から、 i 行 j 列に位置する画素 P_X に対するしきい値補正量 k を算出する。 i 行 j 列に位置する画素 P_X に対して生成された基準階調値 D_b が補正量加算部53Bに入力されるとき、補正量算出部53Cは、 i 行 j 列に位置する画素 P_X に対するしきい値補正量 k を補正量加算部53Bに入力する。
- [0139] なお、収束電圧の測定に際して測定データ D_{out} が示す1ビットごとの電圧と、階調値レベル V_{data} の生成に際して階調値 D_{in} が示す1ビットごとの電圧とが相互に等しいとき、補正量算出部53Cは、補正量算出部53Cが抽出した測定データ D_{out} をしきい値補正量 k として取り扱う。一方で、収束電圧として測定データ D_{out} が示す1ビットごとの電圧と、階調値レベル V_{data} として階調値 D_{in} が示す1ビットごとの電圧とが相互に異なるとき、補正量算出部53Cは、これらの2つの電圧レベルを合わせるように、補正量算出部53Cが抽出した測定データ D_{out} をしきい値補正量 k に変換する。
- [0140] データ処理部54は、1つの画素 P_X ごとの記憶領域である m 行 $\times$ n 列の

記憶領域を備えている。新たな測定動作が1つの画素行において実施されるごとに、その測定動作によって得られた n 列の測定データ D_{out} は、データドライバ40からデータ処理部54に入力される。データ処理部54は、データドライバ40から入力される n 列の測定データ D_{out} を、今回の測定動作が実施された画素 P_X に対応付けて記憶領域に記憶する。例えば、今回の測定動作が実施された画素行が1行目であるとき、データ処理部54は、1行目の画素 P_X に対応付けられた n 列の記憶領域の各々に、測定データ D_{out} を記憶する。

[0141] データ処理部54は、 i 行目に位置する画素 P_X の測定データ D_{out} を入力するごとに、 i 行目に対応付けられた測定データ D_{out} を更新する。データ処理部54は、 m 行 $\times$ n 列の記憶領域から1つの画素行ずつ測定データ D_{out} を監視部55に出力する。

[0142] 監視部55は、1つの画素行ごとの記憶領域である m 行の記憶領域を備えている。監視部55は、 i 行目の画素行における測定データ D_{out} の中から最も大きい測定データ D_{out} を抽出し、監視部55が抽出した測定データ D_{out} を今回の i 行目の最大値データ D_{max} として取り扱う。

[0143] 例えば、1行目の画素行の測定データ D_{out} の中において1行1列目の測定データ D_{out} が最も大きいとき、監視部55は、1行1列目の測定データ D_{out} を今回の測定による1行目の最大値データ D_{max} として取り扱う。また、2行目の画素行の測定データ D_{out} の中において2行4列目の測定データ D_{out} が最も大きいとき、監視部55は、2行4列目の測定データ D_{out} を今回の測定による2行目の最大値データ D_{max} として取り扱う。

[0144] 監視部55は、今回の測定による i 行目の最大値データ D_{max} と、前回までの測定による i 行目の最大値データ D_{max} とを比較する。そして、今回の測定による i 行目の最大値データ D_{max} が前回までの測定による i 行目の最大値データ D_{max} 以下であるとき、前回までの測定による i 行目の最大値データ D_{max} を i 行目の新たな最大値データ D_{max} として監視部

55は記憶する。一方で、今回の測定によるi行目の最大値データDmaxが前回までの測定によるi行目の最大値データDmaxよりも大きいとき、今回の測定によるi行目の最大値データDmaxをi行目の新たな最大値データDmaxとして監視部55は記憶する。

[0145] 例えば、今回の測定による1行目の最大値データDmaxが、1行1列目の画素PXから得られたとき、この1行1列目の画素PXから得られた測定データDoutが、前回までの測定による1行目の最大値データDmaxと比較される。そして、今回の測定による1行目の最大値データDmaxが前回までの測定による1行目の最大値データDmaxよりも大きいとき、今回の測定による1行目の最大値データDmaxは、1行目の新たな最大値データDmaxとして記憶される。

[0146] 監視部55は、次の測定期間を設定される画素行を把握して、その画素行に対応付けられた最大値データDmaxを記憶領域から抽出する。そして、次の測定期間が設定されるとき、記憶領域から抽出された最大値データDmaxを監視部55は期間決定部56に入力する。

[0147] 例えば、次の測定期間を設定される画素行が1行目の画素行であるとき、1行目の最大値データDmaxを監視部55は抽出する。そして、1行目の画素行に測定期間が設定されるとき、監視部55は1行目の最大値データDmaxを設定部の一例である期間決定部56に入力する。

[0148] 期間決定部56は、監視部55から入力される最大値データDmaxに基づいて、データシフトクロックClkdの送出回数Nを決定する。期間決定部56の決定する送出回数Nは、最大値データDmaxに対して線形性を有する値であり、監視部55から入力される最大値データDmaxが大きいほど大きい。期間決定部56の決定する送出回数Nは、アップカウンタ47におけるカウント値の最大値を測定期間ごとに定める値であって、上述したリファレンスレベルの中で最もローレベルとなる電圧レベルを定めるパラメータである。

[0149] ここで、監視部55から入力される最大値データDmaxは、前回までの

測定による収束レベル V_s との差が分解能 V_{cnt} 以内であり、かつ、その収束レベル V_s を上回るリファレンスレベルを生成するためのカウント値である。また、監視部55から入力される最大値データ D_{max} は、全てのリファレンスレベルの中で、前回までの測定による収束レベル V_s の最低値に最も近いリファレンスレベルを生成するためのカウント値である。

期間決定部56の決定する送出回数 N は、リファレンスレベルをデータシフトクロック $Clkd$ の送出ごとに変えるためのデジタル値である。そして、データシフトクロック $Clkd$ の送出ごとに1段ずつ変わるリファレンスレベルが、今回までの測定による収束レベル V_s の最低値を通過するように、監視部55から入力される最大値データ D_{max} に基づいて、期間決定部56は今回の送出回数 N を決定する。また、前回の測定期間と今回の測定期間との間においてしきい値電圧 V_{th} が推定値だけ変わることが推定し、この推定値の分だけ今回のカウント値が前回よりも高まるように、期間決定部56は今回の送出回数 N を決定する。

[0150] 例えば、期間決定部56は、前回の測定期間と今回の測定期間との間におけるシフト量 ΔV_{th} の推定値を予め設定する。こうしたシフト量 ΔV_{th} の推定値は、例えば、今回の測定期間までの駆動トランジスタ T_1 における累積の駆動量などに基づく一定値であってもよいし、変動値であってもよい。また、期間決定部56は、最大値データ D_{max} と送出回数 N との対応付けを予め設定する。この際に、今回の送出回数 N に基づくリファレンスレベルが、前回までの収束レベル V_s を通過するように、最大値データ D_{max} と送出回数 N との対応付けを期間決定部56は設定する。

[0151] そして、期間決定部56は、監視部55から入力される最大値データ D_{max} にシフト量 ΔV_{th} の推定値を加算して、その加算の結果を今回の最大値データ D_{max} の推定値とする。次いで、期間決定部56は、最大値データ D_{max} と送出回数 N との関係に、今回の最大値データ D_{max} の推定値を適用して、今回の最大値データ D_{max} の推定値に対応する送出回数 N を決定する。これによって、段階的に変わるリファレンスレベルが前回までの

収束レベル V_s を通過するように、期間決定部56は送出回数 N を決定する。

[0152] このように決定された送出回数 N であれば、今回の測定期間におけるリファレンスレベルは、前回までの測定による収束レベル V_s の最低値を測定することの可能な範囲まで降圧され、かつ、収束レベル V_s の測定に不要な電圧レベルまで降圧され難くなる。期間決定部56は、こうして決定された今回の送出回数 N をタイミングコントローラ52に入力する。そして、データシフトクロック C_{kd} がタイミングコントローラ52から送出されるごとに、上述したリファレンスレベルが段階的に下がり、データシフトクロック C_{kd} の送出される回数が送出回数 N に到達するまで、上述したリファレンスレベルが下がり続ける。

[0153] 期間決定部56は、今回決定された送出回数 N から今回の延長期間 t_e をさらに決定する。期間決定部56の決定する延長期間 t_e は、送出回数 N が大きいほど短い期間であって、送出回数 N に対して線形性を有する値である。期間決定部56の決定する延長期間 t_e は、発光期間の設定を延長するための期間であって、測定期間における収束電圧がアナログ基準電圧 DV_{SS} に近いほど、すなわち、しきい値電圧 V_{th} が小さく、かつ、収束電圧の測定に要する期間が短いほど長い。

[0154] 図12が示すように、タイミングコントローラ52は、入力信号処理部51から入力された基準クロックに基づいて発光期間を設定する際に、選択スタートパルス信号 SP を生成する。そして、タイミングコントローラ52は、タイミングコントローラ52が生成した選択スタートパルス信号 SP を発光期間開始信号 SP_a として選択ドライバ20、および、電源ドライバ30に入力して、選択ドライバ20、および、電源ドライバ30に発光期間を開始させる。また、タイミングコントローラ52は、発光期間の開始に際して生成された選択スタートパルス信号 SP の入力から経過した時間をカウントする。

[0155] タイミングコントローラ52は、発光期間に続く非発光期間を設定する

際に選択スタートパルス信号 S_P を生成して、生成された選択スタートパルス信号 S_P を非発光期間開始信号 S_{Pb} として選択ドライバ 20、および、電源ドライバ 30 に入力する。この際に、タイミングコントローラ 52 は、発光期間、および、非発光期間の実施される基準の時間である基準期間 t_b の経過後から、選択スタートパルス信号 S_P の出力を延長時間 t_e だけ遅らせる。すなわち、タイミングコントローラ 52 は、発光期間の実施される期間を、基準期間 t_b よりも延長時間 t_e だけ長い期間である補正発光期間 t_p として設定する。

[0156] なお、タイミングコントローラ 52 における基準期間 t_b は、例えば、基準期間 t_b における駆動シフトクロック C_{lks} の送出回数が選択線 L_s の本数と等しくなるように設定されている。また、発光期間、および、非発光期間が設定される際に、タイミングコントローラ 52 は、駆動シフトクロック C_{lks} を選択ドライバ 20、および、電源ドライバ 30 へ入力する。

[0157] タイミングコントローラ 52 は、非発光期間に続く測定期間を設定する際に選択スタートパルス信号 S_P を生成して、タイミングコントローラ 52 が生成した選択スタートパルス信号 S_P を測定期間開始信号 S_{Pc} として選択ドライバ 20、および、電源ドライバ 30 に入力する。この際に、タイミングコントローラ 52 は、非発光期間開始信号 S_{Pb} から基準期間 t_b を経過したときに、測定期間開始信号 S_{Pc} 、および、測定シフトクロック C_{lkr} を入力する。

[0158] ここで、タイミングコントローラ 52 は、選択マスクパルス信号 MP_1 の電圧レベルが論理的にローレベルである期間を、測定期間の設定される行番号ごとに変える。すなわち、タイミングコントローラ 52 は、選択マスクパルス信号 MP_1 の電圧レベルに第 1 非選択期間 t_{ma} だけローレベルを設定し、次いで、選択マスクパルス信号 MP_1 の電圧レベルに測定選択期間 t_{mb} だけハイレベルを設定し、そして、選択マスクパルス信号 MP_1 の電圧レベルに第 2 非選択期間 t_{mc} だけ再びローレベルを設定する。

- [0159] 例えば、測定期間の設定対象が q 行目であるとき、測定シフトクロック C_{lkr} を q 回送出することに要する期間が第1非選択期間 t_{ma} であり、測定シフトクロック C_{lkr} を $m-q$ 回送出することに要する期間が第2非選択期間 t_{mc} である。そして、データ線 L_d の電圧レベルに測定レベル V_M が設定されること、および、データ線 L_d の電圧レベルを緩和時間 t_s だけ収束させることに要する期間が測定選択期間 t_{mb} であって、予め設定されている長さの期間である。
- [0160] こうした選択マスクパルス信号 MP_1 が測定シフトクロック C_{lkr} と共に選択ドライバ20、および、電源ドライバ30に入力されることによって、選択線 L_s の選択は1行目から q 行目に飛ばされ、電源線 L_a の選択もまた1行目から q 行目に飛ばされる。なお、タイミングコントローラ52は、測定期間の設定対象となる画素行を、測定期間の設定の機会ごとに列方向に沿って1行ずつ行番号順に変える。
- [0161] また、タイミングコントローラ52は、電源マスクパルス信号 MP_2 の電圧レベルが論理的にローレベルである期間を設定する。この際に、タイミングコントローラ52は、第1非選択期間 t_{ma} 、測定選択期間 t_{mb} 、および、測定選択期間 t_{mb} の全体にわたり、電源マスクパルス信号 MP_2 の電圧レベルを論理的にローレベルに設定し続ける。
- [0162] また、タイミングコントローラ52は、リファレンスレベルを生成するためのデータシフトクロック C_{lkd} 、および、ラッチパルス信号 LP を生成して、期間決定部56から入力された送出回数 N に従って入力する。そして、タイミングコントローラ52は、データシフトクロック C_{lkd} 、および、ラッチパルス信号 LP を送出回数 N だけ送出する。
- [0163] タイミングコントローラ52は、発光期間開始信号 SP_a 、非発光期間開始信号 SP_b 、および、測定期間開始信号 SP_c をこの順に出力し、選択スタートパルス信号 SP を3回生成するごとに、シフトクロック信号の周期を、駆動シフトクロック周期から測定シフトクロック周期に変える。こうしたシフトクロック信号の周期の変更によって、選択線 L_s と電源線 L_a とが

駆動シフトクロック周期で1行ずつ行番号順に選択され、m行分の選択が2回繰り返される。そして、m行分の選択が2回繰り返されるごとに、q行目の選択線L_sに対して測定期間が設定される。

[0164] [発光期間、および、非発光期間]

図13を参照して、発光期間、および、非発光期間における選択線L_s、電源線L_a、データ線L_d、および、データドライバ40に入力される各信号の電圧レベルの推移を説明する。なお、発光動作、および、非発光動作は、データ線L_dに入力されるデータ信号V_dの電圧レベルが相互に異なる一方で、その他の推移については同様である。

[0165] 図13の下側に示されるように、発光期間、および、非発光期間において、測定用スイッチSW₃、測定用電圧スイッチSW_s、および、転送スイッチSW_{t r s}は、オフ状態に設定され続ける。また、出力スイッチSW₂は、j列目のデータラッチ43aと、j列目のDAC44とを接続するDAC接続の状態に設定され続けて、入力スイッチSW₁は、j列目のデータラッチ43aとj列目のデータレジスタ42とを接続するデータレジスタ接続の状態に設定され続ける。

[0166] まず、タイミングt_{d1}において、表示用スイッチSW_dがオン状態に切り替えられて、バッファ45が負帰還接続された増幅器として機能し始める。そして、シフトレジスタ41、データレジスタ42、データラッチ43a、レベルシフタ46、DAC44、バッファ45、および、データ線L_dが直列に接続される。

[0167] 次に、データスタートパルス信号SP₁がデータドライバ40に入力されて、シフト信号がシフトレジスタ41からデータレジスタ42に入力される。これによって、1行目の階調値D_{i n}がシステムコントローラ50からデータレジスタ42へ取り込まれる。

[0168] タイミングt_{d2}では、1行目の選択線L_sの電圧レベルがハイレベルHに設定され、かつ、1行目の電源線L_aの電源信号V_aとして書込レベルW_{D V S S}が設定される。これによって、1行目の選択トランジスタT₃と1

行目の保持トランジスタ T_2 とがオフ状態からオン状態に遷移して、1行目の駆動トランジスタ T_1 が飽和領域において駆動できる状態となる。

[0169] この際に、ラッチパルス信号 LP がデータドライバ 40 に入力されて、1行目の階調値 D_{in} は n 列のデータラッチ $43a$ に一齐に保持される。 n 列のデータラッチ $43a$ に保持された1行目の階調値 D_{in} は、 n 列のレベルシフタ 46 と n 列の DAC 44 とを通じてアナログ値に変換されて、変換後のアナログ値が階調値レベル V_{data} としてデータ線 L_d に設定される。そして、1行目の駆動トランジスタ T_1 のゲート-ソース間電圧 V_{gs} は、書込レベル $WDVSS$ と階調値レベル V_{data} との差に応じた電圧として保持容量 C_s に保持される。

[0170] これによって、1行目の画素 P_X における書込動作が終了する。なお、1行 j 列目のデータ線 L_d に設定される階調値レベル V_{data} は、1行 j 列目の基準階調値 D_b に対して、1行 j 列目の画素 P_X から得られたしきい値補正量 k による補正が加味されたものである。

[0171] なお、この間に、データスタートパルス信号 SP_1 が再びデータドライバ 40 へ出力されて、シフト信号がシフトレジスタ 41 からデータレジスタ 42 に入力される。これによって、2行目の階調値 D_{in} がシステムコントローラ 50 からデータレジスタ 42 へ取り込まれる。

[0172] タイミング t_{d3} では、1行目の選択線 L_s の電圧レベルがローレベル L に設定され、かつ、1行目の電源線 L_a の電圧レベルが発光レベル $ELVD$ に設定される。これによって、1行目の選択トランジスタ T_3 と1行目の保持トランジスタ T_2 とがオン状態からオフ状態に遷移する。そして、1行目の駆動トランジスタ T_1 は、1行目の保持容量 C_s に保持された電圧と、駆動トランジスタ T_1 のしきい値電圧 V_{th} との差に応じたドレイン-ソース間電流 I_{ds} を EL 素子 OEL に流す。

[0173] この際に、データ線 L_d のデータ信号 V_d として設定された階調値レベル V_{data} は、駆動トランジスタ T_1 におけるしきい値電圧 V_{th} の変動分が補正された電圧レベルである。そのため、 EL 素子 OEL に流れるドレイ

ン - ソース間電流 I_{ds} もまた、しきい値電圧 V_{th} の変動分が補正されたものとなる。これによって、1 行目の画素 P_X が発光動作を行う。

[0174] なお、この際に、2 行目の選択線 L_s の電圧レベルがハイレベル H に設定され、かつ、2 行目の電源線 L_a の電圧レベルが書込レベル $WDVSS$ に設定されて、2 行目の選択トランジスタ T_3 と 2 行目の保持トランジスタ T_2 とがオン状態になる。また、ラッチパルス信号 LP が再びデータドライバ 40 へ出力されることによって、 n 列のデータラッチ 43a に 2 行目の階調値 D_{in} が保持される。 n 列のデータラッチ 43a に保持された 2 行目の階調値 D_{in} は、レベルシフタ 46 と DAC 44 とを通じてアナログ信号電圧に変換されて、 n 列の階調値レベル V_{data} としてデータ線 L_d に設定される。

[0175] そして、2 行目の駆動トランジスタ T_1 のゲート - ソース間電圧 V_{gs} は、書込レベル $WDVSS$ と階調値レベル V_{data} との差に応じた電圧として保持容量 C_s に保持される。これによって、2 行目の駆動トランジスタ T_1 は、飽和領域で駆動できる状態となり、2 行目の画素 P_X における発光期間の書込動作が終了する。2 行 j 列目のデータ線 L_d に設定される階調値レベル V_{data} は、2 行 j 列目の基準階調値 D_b に対して、2 行 j 列目の画素 P_X から得られるしきい値補正量 k による補正が加味されたものである。

[0176] このような書込動作と発光動作とが 1 行ずつ行番号順に行われて、これらの動作が 1 行目から n 行目まで駆動シフトクロック周期によって行われる。これによって、1 つのフレームとして画像が表示される。なお、非発光動作においては、上記書込動作と発光動作とにおける階調値レベル V_{data} が、最低階調値に相当する電圧レベルに変更される。

[0177] [測定期間]

図 14 を参照して、測定期間における選択線 L_s 、電源線 L_a 、データ線 L_d 、および、データドライバ 40 に入力される各信号の電圧レベルの推移を説明する。

[0178] 図 14 の下側が示すように、 q 行目の画素 P_X が測定期間における書込動

作、および、測定動作を行う期間において、 q 行目の電源線 L_a の電圧レベルは書込レベル $WDVSS$ に設定され続ける。また、表示用スイッチ SW_d はオフ状態に設定され続けて、データ線 L_d は、データドライバ40におけるシフトレジスタ41、および、データレジスタ42から切断され続ける。そして、バッファ45の非反転入力端子は、DAC44の出力レベルに設定され続け、かつ、バッファ45の反転入力端子は、データ線 L_d の電圧レベルに設定され続け、バッファ45は、DAC44の出力レベルとデータ線 L_d の電圧レベルとを比較する、すなわち、リファレンス電圧と収束電圧とを比較する比較器として機能し続ける。

[0179] まず、タイミング t_1 において、転送スイッチ SW_{trs} はオフ状態に設定される。この状態から、 q 行目の選択線 L_s の電圧レベルがハイレベル H に設定されて、 q 行目の保持トランジスタ T_2 、および、 q 行目の選択トランジスタ T_3 がオン状態に切り替わる。そして、測定用電圧スイッチ SW_s がオン状態に切り替わり、 n 列のデータ線 L_d の各々のデータ信号 V_d が測定レベル V_M に設定される。

[0180] なお、入力スイッチ SW_1 の入力端子は、アップカウンタ47の出力端子に接続されるカウンタ接続である。出力スイッチ SW_2 は、データラッチ43aとレベルシフタ46とを接続している。

[0181] この際に、駆動トランジスタ T_1 のゲート-ソース間電圧 V_{gs} がしきい値電圧 V_{th} よりも大きくなるように、測定レベル V_M が設定される。こうした測定レベル V_M が n 列のデータ線 L_d の各々の電圧レベルとして設定されると、測定レベル V_M と書込レベル $WDVSS$ との差に基づくドレイン-ソース間電流 I_{ds} が、 q 行目の駆動トランジスタ T_1 と q 行目の選択トランジスタ T_3 とを通じてアナログ電源70へ流れる。これに伴い、 q 行目の保持容量 C_s は、駆動トランジスタ T_1 のゲート-ソース間電圧 V_{gs} として、しきい値電圧 V_{th} を超える電圧を保持する。これによって、 q 行目の画素 P_X が測定期間における書込動作を終了する。

[0182] タイミング t_2 において、 q 行目の選択線 L_s の電圧レベルはハイレベル

Hに設定され続ける一方で、測定用電圧スイッチSWsはオフ状態に切り替わる。これによって、n列のデータ線Ldの各々はハイインピーダンス状態に設定される。

[0183] この際に、q行目の駆動トランジスタT1におけるゲート-ソース間電圧Vgsが保持容量Csに保持されているため、q行目の駆動トランジスタT1におけるソースレベルがi行目の駆動トランジスタT1のドレインレベルに近づくように、q行目の駆動トランジスタT1において、ドレイン-ソース間電流Idsが流れる。

[0184] そして、タイミングt2から時間が経過するに連れて、q行目の保持容量Csに蓄積された電荷は放電され、q行目の駆動トランジスタT1におけるゲート-ソース間電圧Vgsは、ドレイン-ソース間電流Idsがほぼ流れなくなるまで低下する。結果として、タイミングt2から緩和時間tsが経過したとき、データ線Ldの電圧レベルは、収束レベルVsに収束し、その収束レベルVsがバッファ45の反転入力端子に取り込まれる。

[0185] 一方で、期間決定部56は、監視部55の記憶している最大値データDmaxの中から、今回の測定期間が設定される画素行の最大値データDmaxを参照して、データシフトクロックCld、および、ラッチパルス信号LPの送出回数Nを決定する。上述したように、期間決定部56の決定する送出回数Nであれば、今回の測定期間におけるリファレンスレベルは、前回の測定期間における収束レベルVsを測定することの可能な範囲まで降圧され、かつ、収束レベルVsの測定に不要な電圧レベルまで降圧され難くなる。すなわち、今回の測定期間におけるリファレンス最大値は、前回の測定期間における収束電圧を測定することの可能な大きさまで増大する一方で、収束電圧の測定に不要な大きさまでは増大され難くなる。

[0186] また、期間決定部56は、決定された送出回数Nから今回の延長期間teを決定する。上述したように、期間決定部56の決定する延長期間teは、発光期間の設定を延長するための期間であって、しきい値電圧Vthが小さく、かつ、収束レベルVsの測定に要する期間が短いほど長い。

- [0187] タイミング t_3 において、 q 行目の選択線 L_s の電圧レベルがローレベル L に設定されて、 q 行目の保持トランジスタ T_2 と、 q 行目の選択トランジスタ T_3 とがオフ状態に切り替わる。また、測定用スイッチ SW_3 がオン状態に切り替る。
- [0188] この際に、データシフトクロック $Clkd$ がアップカウンタ 47 に入力され、かつ、ラッチパルス信号 LP がデータラッチ 43a、および、論理積回路 43b に入力される。アップカウンタ 47 の出力値であるカウント値は、入力スイッチ SW_1 、および、データラッチ 43a を通じてレベルシフタ 46 に入力され、レベルシフタ 46 は、階調値 Din に対する増幅と同じく、カウント値の電圧レベルを増幅する。DAC 44 は、階調値レベル $Vdataa$ の生成と同じく、レベルシフタ 46 によって増幅されたデジタル値をアナログ値に変換して、変換結果であるリファレンスレベルをバッファ 45 の非反転入力端子に入力する。
- [0189] ここで、DAC 44 の出力するリファレンスレベルが収束レベル V_s よりもハイレベルであるとき、バッファ 45 の出力する電圧レベルはハイレベルである。これに対して、DAC 44 の出力するリファレンスレベルが収束レベル V_s よりもローレベルであるとき、バッファ 45 の出力する電圧レベルはローレベルである。結果として、DAC 44 の出力するリファレンスレベルが、書込レベル $WDVSS$ から収束レベル V_s までの間であるとき、バッファ 45 の出力レベルはハイレベルである。これに対して、DAC 44 の出力するリファレンスレベルが収束レベル V_s よりもローレベルであるとき、バッファ 45 の出力レベルはローレベルである。
- [0190] リファレンスレベルと収束レベル V_s との比較の結果は、ラッチパルス信号 LP の入力ごとに、フリップフロップ 43c に保持されて、論理積回路 43b に入力される。そして、 j 列目の論理積回路 43b の出力レベルが論理的にハイレベルであるとき、すなわち、 j 列目の DAC 44 の出力するリファレンスレベルが、書込レベル $WDVSS$ から収束レベル V_s までの間であるとき、 j 列目のデータラッチ 43a はアップカウンタ 47 のカウント値を

更新する。これに対して、 j 列目のDAC44の出力するリファレンスレベルが収束レベル V_s よりもローレベルであるとき、 j 列目のデータラッチ43aはアップカウンタ47のカウント値を更新しない。

[0191] 結果として、リファレンスレベルが収束レベル V_s よりもハイレベルであって、かつ、収束レベル V_s に最も近いとき、こうしたリファレンスレベルを生成するカウント値を j 列目のデータラッチ43aは最終的に保持する。そして、 j 列目のデータラッチ43aが最終的に保持するカウント値が、この測定期間における j 列目の測定データDoutとして取り扱われる。

[0192] 例えば、カウント値が「3」であるときのリファレンスレベルが、1列目の収束レベル V_s よりもハイレベルであって、かつ、1列目の収束レベル V_s に最も近いとき、このリファレンスレベルを生成するカウント値である「3」を1列目のデータラッチ43aは最終的に保持する。これに対して、カウント値が「5」であるときのリファレンスレベルが、2列目の収束レベル V_s よりもハイレベルであって、かつ、2列目の収束レベル V_s に最も近いとき、このリファレンスレベルを生成するカウント値である「5」を2列目のデータラッチ43aは最終的に保持する。そして、1列目のデータラッチ43aは、この測定期間における1列目の測定データDoutとして「3」を記憶し、2列目のデータラッチ43aは、この測定期間における2列目の測定データDoutとして「5」を記憶する。

[0193] このようなリファレンスレベルを設定するカウント値、すなわち、送出回数 N は、段階的に降下するリファレンスレベルが n 列の収束レベル V_s の各々を下回れば足りる回数である。そして、送出回数 N は、段階的に降下するリファレンスレベルが n 列の収束レベル V_s を大幅に下回る必要のない回数である。この点において、上述した期間決定部56は、今回の測定期間が設定される画素行の最大値データDmaxと、シフト量 ΔV_{th} の推定値とを参照して、データシフトクロックCld、および、ラッチパルス信号LPの送出回数 N を決定する。それゆえに、期間決定部56の決定する送出回数 N であれば、今回の測定期間におけるリファレンスレベルは、前回までの測

定期間における収束レベル V_s を測定することの可能な範囲まで降圧され、かつ、収束レベル V_s の測定に不要な電圧レベルまで降圧され難くなる。

[0194] タイミング t_4 において、 p 列目の入力スイッチ SW_1 の入力端子と、 $p+1$ 列目の出力スイッチ SW_2 の出力端子とが接続されるデータラッチ直列接続に切り替わる。測定用スイッチ SW_3 がオフ状態に切り替り、 n 列の論理積回路 $43b$ の各々がラッチパルス信号 LP の入力ごとに論理的にハイレベルを出力する状態に切り替わる。また、転送スイッチ SW_{trs} がオン状態に切り替る。そして、タイミングコントローラ 52 からデータドライバ 40 にラッチパルス信号 LP が入力されて、 n 列のデータラッチ $43a$ の各々に保持されている列ごとの測定データ $Dout$ は、ラッチパルス信号 LP の入力に同期して列番号順にシステムコントローラ 50 に転送される。なお、図 14 では、説明の便宜上、ラッチパルス信号 LP の繰り返される回数が省略されている。

[0195] タイミング t_5 において、転送スイッチ SW_{trs} はオフ状態に切り替えられる。そして、入力スイッチ SW_1 は、データラッチ $43a$ の入力端子をデータレジスタ 42 におけるレジスタに接続して、これによって測定期間が終了する。

[0196] [動作シーケンス]

図 $15 \sim 17$ を参照して、1つのフレーム期間のなかに設定される測定期間のタイミングを説明する。なお、画素 PX が 540 行 $\times 960$ 列に配置され、フレームレートが 60fps である例を説明する。また、図 15 は、第1フレームに実行される黒色の表示動作における測定期間のタイミングを示し、図 16 は、第2フレームに実行される黒色の黒表示動作における測定期間のタイミングを示し、図 17 は、第 540 フレームに実行される黒色の表示動作における測定期間のタイミングを示す。

[0197] 図 15 が示すように、まず、タイミング $Tf1a$ において、1行目の各画素 PX に発光期間が設定されて、階調値レベル $Vdata$ をデータ線 Ld に設定する書込動作が1行目の各画素 PX において開始される。書込動作が1

行目の各画素 P_X において終了すると、階調値レベル $Vdata$ に基づく表示動作が 1 行目の各画素 P_X にて開始されるとともに、2 行目の各画素 P_X に発光期間が設定されて、階調値レベル $Vdata$ を設定する書込動作が 2 行目の各画素 P_X において開始される。こうして、階調値 Din に基づく書込動作が、1 行目から 540 行目まで行番号順に選択シフトクロック周期によって開始されて、書込動作の終了した行から順に表示動作が開始される。

[0198] タイミング $Tf1b$ において、階調値レベル $Vdata$ をデータ線 Ld に設定する書込動作は、最終行である 540 行目まで終了して、1 行目の画素 P_X における発光期間の長さは、その基準となる基準期間 t_b まで到達する。そして、基準期間 t_b から経過した期間の長さが、1 行目の画素 P_X から行番号順にカウントされて、基準期間 t_b から経過した期間の長さが延長期間 t_e に到達するまで、発光期間の設定を延長させる表示延長動作が続けられる。

[0199] この際に、後続する測定期間の設定される対象行は 1 行目の画素行であり、全ての画素行の各々に共通する今回の延長期間 t_e は、今回の測定において 1 行目の画素行に設定される送出回数 N から決定される。そして、全ての画素行の各々に共通する延長期間 t_e は、1 行目の画素行に対する送出回数 N が大きいほど短い期間である。

[0200] タイミング $Tf1c$ において、基準期間 t_b から経過した期間の長さが、1 行目の画素 P_X において延長期間 t_e に到達して、1 行目の各画素 P_X に非発光期間が設定される。そして、黒色を表示するための書込動作が 1 行目の各画素 P_X において開始される。黒色を表示するための書込動作が 1 行目の各画素 P_X において終了すると、黒色を表示するための表示動作として非発光動作が 1 行目の各画素 P_X において開始されるとともに、2 行目の各画素 P_X に非発光期間が設定されて、黒色を表示するための書込動作が 2 行目の各画素 P_X において開始される。こうして、黒色を表示するための書込動作が、1 行目から 540 行目まで行番号順に選択シフトクロック周期によって開始されて、書込動作の終了した行から順に黒色の表示動作が開始される。

。

[0201] タイミングT f 1 dにおいて、黒色を表示するための書込動作は、最終行である540行目まで終了して、ハイレベルHの設定される選択線L sの候補が、1行目から540行目まで行番号順に測定シフトクロック周期によってシフトされる。この際に、まず、ハイレベルHの設定される選択線L sの候補、すなわち、特性値である収束電圧の測定される対象行として1行目が設定されて、1行目の各画素P Xに対して測定期間が設定される。この際に、1行目の画素行に対する送出回数Nは、今回の測定期間が設定される1行目の画素行に対応した最大値データD m a xから得られる値である。そして、1行目の画素行に対して今回設定されるリファレンスレベルは、1行目の画素行に対して前回得られた収束レベルV sを測定することの可能な範囲であって、かつ、収束レベルV sの測定に不要な電圧レベルまで降圧され難い値である。

[0202] これによって、1行目の各駆動トランジスタT 1に関する測定データD o u tが、システムコントローラ50のデータ処理部54に列番号順に取り込まれる。そして、1行目の各画素P Xに対する測定動作が終了すると、ハイレベルHの設定される選択線L sの候補が、2行目から540行目まで行番号順に測定シフトクロック周期によってシフトされる。一方で、選択マスクパルス信号M P 1、および、電源マスクパルス信号M P 2の出力によって、全ての選択線L sにはローレベルLが設定され続けて、全ての画素P Xは黒色の表示を続ける。

[0203] タイミングT f 2 aにおいて、測定シフトクロック周期による候補のシフトが最終行である540行目まで進み、1行目の各画素P Xに対して、再び、階調値レベルV d a t aを設定する書込動作が開始される。

[0204] 図16が示すように、タイミングT f 2 aにおいて、階調値レベルV d a t aを設定する書込動作が1行目から540行目まで行番号順に再び開始され、階調値レベルV d a t aをデータ線L dに設定する書込動作が終了した行から順に発光期間が設定される。

- [0205] タイミングT f 2 bにおいて、階調値レベルV d a t aをデータ線L dに設定する書込動作が最終行である540行目まで終了して、発光期間の設定を延長させる表示延長動作が開始される。この際に、後続する測定期間の設定される対象行は2行目の画素行であり、全ての画素行の各々に共通する今回の延長期間t eは、今回の測定において2行目の画素行に設定される送出回数Nから決定される。そして、全ての画素行の各々に共通する今回の延長期間t eは、2行目の画素行に対する送出回数Nが大きいほど短い期間である。
- [0206] タイミングT f 2 cにおいて、発光期間の設定を延長させる表示延長動作が終了し、次いで、黒色を表示するための非発光期間の設定が、1行目から540行目まで行番号順に進められ、黒色を表示するための書込動作が終了した行から順に、黒色の表示動作が開始される。
- [0207] タイミングT f 2 dにおいて、黒色を表示するための書込動作が最終行である540行目まで終了して、ハイレベルHの設定される選択線L sの候補が、1行目から540行目まで行番号順に測定シフトクロック周期によってシフトされる。この際に、収束電圧の測定される対象行として2行目が設定されて、測定シフトクロック周期による候補のシフトが2行目まで進められる。なお、ハイレベルHの設定される選択線L sの候補が1行目であるとき、選択マスクパルス信号MP 1、および、電源マスクパルス信号MP 2の出力によって1行目の選択線L sにはローレベルLが印加される。そして、ハイレベルHの設定される選択線L sの候補が2行目であるとき、2行目の各画素P Xに対して測定期間が設定される。
- [0208] この際に、2行目の画素行に対する送出回数Nは、今回の測定期間が設定される2行目の画素行に対応した最大値データD m a xから得られる値である。そして、2行目の画素行に対して今回設定されるリファレンスレベルは、2行目の画素行に対して前回得られた収束レベルV sを測定することの可能な範囲であって、かつ、収束レベルV sの測定に不要な電圧レベルまで降圧され難い値である。

- [0209] これによって、2行目の各駆動トランジスタT1に関する測定データDoutが、システムコントローラ50のデータ処理部54に列番号順に取り込まれる。そして、2行目の各画素PXに対する測定動作が終了すると、ハイレベルHの設定される選択線Lsの候補が、3行目から540行目まで行番号順にシフトされる。この際に、選択マスクパルス信号MP1、および、電源マスクパルス信号MP2の出力によって、全ての選択線LsにはローレベルLが設定され続けて、全ての画素PXは黒色の表示を続ける。
- [0210] タイミングTf3aにおいて、測定シフトクロック周期による候補のシフトが最終行である540行目まで進み、1行目の各画素PXに対して、再び、階調値レベルVdataを設定する書込動作が開始される。
- [0211] 図17が示すように、タイミングTfmaにおいて、階調値レベルVdataをデータ線Ldに設定する書込動作が1行目から540行目まで行番号順に再び開始され、階調値レベルVdataをデータ線Ldに設定する書込動作が終了した行から順に発光期間が設定される。
- [0212] タイミングTfmbにおいて、階調値レベルVdataをデータ線Ldに設定する書込動作が最終行である540行目まで終了して、発光期間の設定を延長させる表示延長動作が開始される。この際に、後続する測定期間の設定される対象行は540行目の画素行であり、全ての画素行の各々に共通する今回の延長期間teは、今回の測定において540行目の画素行に設定される送出回数Nから決定される。そして、全ての画素行の各々に共通する今回の延長期間teは、2行目の画素行に対する送出回数Nが大きいほど短い期間である。
- [0213] タイミングTfmcにおいて、発光期間の設定を延長させる表示延長動作が終了し、次いで、黒色を表示するための非発光期間の設定が、1行目から540行目まで行番号順に進められ、黒色を表示するための書込動作が終了した行から順に、黒色の表示動作が開始される。
- [0214] タイミングTfmdにおいて、黒色を表示するための書込動作が最終行である540行目まで終了して、ハイレベルHの設定される選択線Lsの候補

が、1行目から540行目まで行番号順に測定シフトクロック周期によってシフトされる。この際に、収束電圧の測定される対象行として540行目が設定されて、ハイレベルHの設定される選択線Lsの候補が1行目から539目であるとき、選択マスクパルス信号MP1、および、電源マスクパルス信号MP2の出力によって、全ての選択線LsにローレベルLが設定される。そして、ハイレベルHの設定される選択線Lsの候補が540行目であるとき、540行目の各画素PXに対して測定期間が設定される。これによって、540行目の各駆動トランジスタT1に関する測定データDoutが、システムコントローラ50のデータ処理部54に行番号順に取り込まれる。

[0215] なお、540行目の画素行に対する送出回数Nも、今回の測定期間が設定される540行目の画素行に対応した最大値データDmaxから得られる値である。そして、540行目の画素行に対して今回設定されるリファレンスレベルは、540行目の画素行に対して前回得られた収束レベルVsを測定することの可能な範囲であって、かつ、収束レベルVsの測定に不要な電圧レベルまで降圧され難い値である。

[0216] タイミングTfmeにおいて、540行目の各画素PXにおける測定動作が終了し、1行目の各画素PXに対して、再び、階調値レベルVdataを設定する書込動作が開始される。

[0217] このように、1つのフレームが表示される期間において、540行目まで黒色の表示動作が開始された後に、特定の画素行に対して測定期間が設定される。測定の対象となる画素行は、1つのフレームごとに、1行目の画素行から行番号順に1行ずつずらされる。すなわち、第kフレーム(kは1以上の整数)において、q行目($1 \leq q \leq 539$)の画素行が測定動作を行うとき、第k+1フレームにおいては、q+1行目の画素行が測定動作を行い、測定期間の設定される対象行が最終行まで到達すると、測定期間の設定される対象行は1行目の画素行に戻る。

[0218] この際に、測定期間の設定される対象行がq行目であるとき、システムコ

ントローラー 50 のデータ処理部 54 は、 q 行目の各列から得られた測定データ D_{out} を、 q 行目の各画素 PX に対応する記憶領域に記憶する。それゆえに、システムコントローラー 50 の補正処理部 53 は、次のフレームである第 $k+1$ フレームにおいて、しきい値補正量 k の算出に際し、 q 行目の各画素 PX の測定データ D_{out} として最新の測定データ D_{out} を利用できる。そして、システムコントローラー 50 の監視部 55 は、 q 行目の各画素 PX における最新の測定データ D_{out} の中から最大値データ D_{max} を抽出して、 q 行目の最大値データ D_{max} を更新する。また、システムコントローラー 50 の期間決定部 56 は、 q 行目の画素行に対する次回の測定に先駆けて、監視部 55 から入力される q 行目の最大値データ D_{max} に基づいて送出回数 N を決定する。そして、このような測定期間が 540 回繰り返されるごとに、システムコントローラー 50 は、全ての画素行の測定データ D_{out} 、最大値データ D_{max} 、および、送出回数 N を更新する。

[0219] 図 18 を参照して、1 つのフレームが表示される期間における各制御信号の推移について詳しく説明する。なお、以下では、第 k フレームにおいて測定期間の設定される画素行が q 行目である場合を説明する。

[0220] 選択ドライバ 20 は、選択スタートパルス信号 SP の入力に応じ、選択シフトクロック周期によってシフト信号を生成し、シフト信号に同期して各選択線 L_s にハイレベル H を設定する。また、選択ドライバ 20 は、ハイレベル H を設定された行から順に、選択線 L_s にローレベル L を設定する。

[0221] 電源ドライバ 30 は、選択スタートパルス信号 SP の入力に応じ、選択シフトクロック周期によってシフト信号を生成し、シフト信号に同期して各電源線 L_a に書込レベル $WDVSS$ を設定する。また、電源ドライバ 30 は、書込レベル $WDVSS$ を設定された行から順に、電源線 L_a に発光レベル $ELVDD$ を設定する。

[0222] そして、 q 行目の選択線 L_s にハイレベル H が設定され、かつ、 q 行目の電源線 L_a に書込レベル $WDVSS$ が設定されているとき、 q 行目の各画素回路 CCC におけるデータ線 L_d は、階調値 D_{in} に基づく階調値レベル V

$data$ を設定される。また、 q 行目の選択線 L_s にローレベル L が設定され、かつ、 q 行目の電源線 L_a に発光レベル $ELVDD$ が設定されているとき、 q 行目の各画素回路 CCC は、階調値 Din に基づくドレイン-ソース間電流 I_{ds} を EL 素子 OEL に流す。

[0223] 最終行である540行目まで書込動作が終了すると、今回の測定における送出回数 N から決定された今回の延長期間 t_e だけ、選択ドライバ20は、全ての選択線 L_s にローレベル L を設定し続け、また、電源ドライバ30は、全ての電源線 L_a に発光レベル $ELVDD$ を設定し続ける。こうした設定の継続によって、ドレイン-ソース間電流 I_{ds} は、延長期間 t_e だけさらに EL 素子 OEL に流れる。

[0224] 540行目の書込動作の終了から延長期間 t_e が経過すると、選択ドライバ20は、選択スタートパルス信号 SP の入力に応じ、再び、選択シフトクロック周期によってシフト信号を生成し、シフト信号に同期して選択線 L_s にハイレベル H を設定する。また、選択ドライバ20は、ハイレベル H を設定された行から順に、選択線 L_s にローレベル L を設定する。

[0225] また、電源ドライバ30は、選択スタートパルス信号 SP の入力に応じ、再び、選択シフトクロック周期によってシフト信号を生成し、シフト信号に同期して電源線 L_a に書込レベル $WDVSS$ を設定する。また、電源ドライバ30は、書込レベル $WDVSS$ を設定された行から順に、電源線 L_a に発光レベル $ELVDD$ を設定する。

[0226] そして、 q 行目の選択線 L_s にハイレベル H が設定され、かつ、 q 行目の電源線 L_a に書込レベル $WDVSS$ が設定されているとき、 q 行目の各画素回路 CCC におけるデータ線 L_d は、最低階調値に基づく階調値レベル $Vdata$ を設定される。また、 q 行目の選択線 L_s にローレベル L が印加され、かつ、 q 行目の電源線 L_a に発光レベル $ELVDD$ が設定されているとき、 q 行目の各画素回路 CCC は、最低階調値に基づいてドレイン-ソース間電流 I_{ds} の供給を抑える。

[0227] 最終行である540行目まで黒色の表示動作が進められると、選択ドライ

バ20、および、電源ドライバ30の各々は、測定シフトクロックC l k rの入力に応じて、測定シフトクロック周期によるシフトを開始する。この際に、選択ドライバ20は、選択マスクパルス信号M P 1の入力に応じて、q行目の選択線L sにハイレベルHを設定する。また、電源ドライバ30は、電源マスクパルス信号M P 2の入力に応じて、全ての電源線L aに書込レベルW D V S Sを設定する。そして、q行目の各画素P Xに対して、収束電圧の測定が開始される。

[0228] この際に、システムコントローラ50は、前回までの測定に基づくq行目の送出回数Nに従って、データシフトクロックC l k d、および、ラッチパルス信号L Pを、q行目の送出回数Nだけ送出する。そして、q行目の送出回数Nに従ったパルスの送出によって、今回の測定期間におけるリファレンスレベルは、前回までのq行目の測定期間における収束レベルV sを測定することの可能な範囲まで降圧され、かつ、今回の収束レベルV sの測定に不要な電圧レベルまで降圧され難くなる。

[0229] 次いで、q行目の各画素P Xに対する測定データD o u tがデータドライバ40から出力されると、選択ドライバ20、および、電源ドライバ30の各々は、測定シフトクロック周期によるシフトをタイミングt hから540行目まで進める。そして、測定シフトクロック周期によるシフトが540行目まで到達すると、選択ドライバ20、および、電源ドライバ30の各々は、選択スタートパルス信号S Pの入力に応じて、1行目の選択線L sから540行目の選択線L sまで行番号順に、階調値レベルV d a t aをデータ線L dに設定する書込動作を開始する。

[0230] 上記実施形態によれば、以下に列挙する効果が得られる。

(1) 各画素行における測定データD o u tの中の画素行ごとの最大値は、画素行ごとの最大値データD m a xとして記憶される。そして、今回の測定におけるリファレンス電圧の中の最大値であるリファレンス最大値は、今回の測定の対象となる画素行に対応付けられた最大値データD m a x、すなわち、今回の測定よりも前の測定における収束電圧の中の最大値に基づいて

設定される。それゆえに、今回の測定期間において逐次比較に要する時間は、最大値データ D_{max} が小さいほど短く、結果として、リファレンス電圧の中の最大値が一定値である構成と比べて、駆動トランジスタ T_1 の特性値の取得に要する時間を短くすることが可能である。

[0231] (2) 今回の測定の対象となる画素行に対応付けられた最大値データ D_{max} は、今回の測定の対象となる画素行に測定期間が設定されるごとに更新される。ここで、前回の測定における駆動トランジスタ T_1 の温度が、前々回の測定における駆動トランジスタ T_1 の温度よりも大幅に低いとき、前回の測定における収束電圧の最大値は、前々回の測定における収束電圧の最大値から若干減少するときもある。このように、今回の測定の対象となる画素行の中における収束電圧の最大値が、測定の機会ごとに単調に増加しない場合であっても、上述した構成であれば、前々回の収束電圧の最大値に基づき、今回の測定におけるリファレンス電圧の中の最大値が設定される。それゆえに、今回の測定におけるリファレンス電圧の最大値が収束電圧を下回ることによって収束レベル V_s が正確に測定されないことが抑えられる。

[0232] (3) 今回の測定におけるリファレンス電圧の中の最大値が小さいほど、今回の測定に先駆けた延長時間 t_e が長いため、収束レベル V_s の測定に要する時間が短くなるほど、EL素子 OEL の発光する時間はその測定に先駆けて長くなる。それゆえに、収束レベル V_s の測定に要する時間と、EL素子 OEL の発光する時間との総和が大きく変わることを抑えて、EL素子 OEL の発光する時間を長くすることが可能である。ひいては、1つのフレームにおける輝度の低下が抑えられる。

[0233] (4) データドライバ 40 は、収束レベル V_s とリファレンスレベルとの逐次比較において、リファレンス電圧を最小値から一定値ずつ上昇させる。それゆえに、今回の測定におけるリファレンス電圧の最大値が小さい分だけ、今回の測定における逐次比較に要する時間は確実に短くなる。

[0234] (5) 期間決定部 56 は、前回の測定期間と今回の測定期間との間においてしきい値電圧 V_{th} が推定値だけ変わることを予測し、この推定値の分だ

け今回のカウント値が高まるように送出回数 N を決定する。すなわち、期間決定部56は、今回の測定前の測定における収束電圧の最大値に一定値を加えた値を、今回の測定におけるリファレンス電圧の中の最大値に設定する。それゆえに、今回の測定前の測定から収束電圧が大きくなる場合であっても、収束電圧の大きくなる範囲が一定値以内であれば、今回の測定におけるリファレンス電圧の最大値が収束電圧を下回ることによって収束レベル V_s が正確に測定されないことが抑えられる。

[0235] (6) 補正処理部53は、 i 行 j 列に位置する画素 P_X の測定データ D_{out} を抽出し、抽出された測定データ D_{out} から、 i 行 j 列に位置する画素 P_X に対するしきい値補正量 k を算出する。そして、補正処理部53は、 i 行 j 列に位置する画素 P_X に対して生成された基準階調値 D_b に、 i 行 j 列に位置する画素 P_X に対するしきい値補正量 k を加算する。それゆえに、駆動トランジスタ T_1 のしきい値電圧 V_{th} が変動するとしても、変動後のしきい値電圧 V_{th} に応じて階調値 D_{in} が補正されるため、表示される画質の劣化を抑えることが可能となる。

[0236] (7) 黒色の表示動作は、動画の表示を鮮明にするために挿入される動作であって、こうした黒色の表示動作が行われている期間に、上述した送出回数 N に基づく逐次比較が実施される。それゆえに、黒色の表示動作の行われている期間が不要に長くなることが抑えられて、こうした黒色の表示動作が行われている期間を、動画の表示を鮮明にすることに特化した期間の長さに近くすることが容易にもなる。

[0237] [変形例]

上記実施形態は、以下のように変更して実施することが可能である。

[動作シーケンス]

・測定期間の設定される画素行の行番号は、1つのフレームごとに同じであってもよいし、1つのフレームごとにランダムであってもよい。また、測定期間の設定される画素行の行番号は、1つのフレームごとに2つ以上設定されてもよい。

- [0238] ・測定期間の設定される画素行は、E L表示装置が起動されるときや、E L表示装置が表示を休止してから復帰するときなど、1つのフレームが表示される期間以外において、全ての画素行、あるいは、一部の画素行であってもよい。
- [0239] ・測定期間の設定される画素行の行番号は、1つのフレームごとに一定値ずつ間隔を空けてもよい。例えば、m行の選択線L sが相互に隣り合う10本の選択線L sからなる複数の選択線群に区画される。そして、測定期間の設定される画素行は、1つのフレームごとに1つの選択線群ずつ設定されてもよい。
- [0240] 詳述すると、図19が示すように、第1フレームにおいて、1行目から行番号順に書込動作、表示動作、および、表示延長動作が実施される。そして、黒色を表示するための書込動作が最終行まで行われると、1行目の画素行に測定期間が設定される。次いで、第2フレームにおいて、第1フレームと同様に、1行目から行番号順に書込動作、表示動作、および、表示延長動作が実施される。そして、黒色を表示するための書込動作が最終行まで行われると、11行目の画素行に測定期間が設定される。このように、1つのフレームが表示されるごとに、測定期間の設定される画素行の行番号は、1行目の画素行から531行目の画素行まで、一定値である10行ずつ間隔を空けて設定される。
- [0241] 次いで、図20が示すように、第55フレームにおいて、1行目から行番号順に書込動作、表示動作、および、表示延長動作が実施される。そして、黒色を表示するための書込動作が最終行まで行われると、1群目の選択線群から2行目の画素行に測定期間が設定される。次いで、第56フレームにおいて、第55フレームと同様に、1行目から行番号順に書込動作、表示動作、および、表示延長動作が実施される。そして、黒色を表示するための書込動作が最終行まで行われると、2群目の選択線群から12行目の画素行に測定期間が設定される。このように、1つのフレームが表示されるごとに、測定期間の設定される画素行の行番号は、2行目の画素行から532行目の画

素行まで、一定値である10行ずつ間隔を空けて設定される。

[0242] 次いで、図21が示すように、第487フレームにおいて、1行目から行番号順に書込動作、表示動作、および、表示延長動作が実施される。そして、黒色を表示するための書込動作が最終行まで行われると、1群目の選択線群から10行目の画素行に測定期間が設定される。次いで、第488フレームにおいて、第487フレームと同様に、1行目から行番号順に書込動作、表示動作、および、表示延長動作が実施される。そして、黒色を表示するための書込動作が最終行まで行われると、2群目の選択線群から20行目の画素行に測定期間が設定される。このように、1つのフレームが表示されるごとに、測定期間の設定される画素行の行番号は、10行目の画素行から540行目の画素行まで、一定値である10行ずつ間隔を空けて設定される。そして、各画素行の測定データDoutは、m回のフレームが表示されるごとに1回ずつ更新される。

[0243] ここで、測定期間の設定される画素行が1行ずつシフトするとき、例えば、10回のフレームが表示される間に、収束レベルVsの測定される画素PXの範囲は、540行の画素行の中において1行目から10行目までに偏る。これに対して、測定期間の設定される画素行が上述したように10行ずつシフトするとき、例えば、10回のフレームが表示される間に、収束レベルVsの測定される画素PXの範囲は、1行目から100行目までの画素行の中に等間隔に分散する。それゆえに、収束レベルVsの測定される画素PXの範囲が広範囲にわたって分散するため、しきい値電圧Vthの変動が広い範囲にわたる場合には、表示される画質の劣化が効果的に抑えられる。

[0244] ・m行の選択線Lsは、相互に隣り合うs本の選択線Lsからなる複数の選択線群に区画されて、測定期間の設定される画素行は、1つのフレームごとに1つの選択線群ずつ設定されてもよい。この際に、システムコントローラ50は、画素PXごとの測定データDoutを、測定の対象となる画素PXの属する列ごとの代表値として画素群ごとに取り扱ってもよい。

[0245] 例えば、m行の選択線Lsは、相互に隣り合う10本の選択線Lsからな

る複数の選択線群に区画される。この際に、システムコントローラ５０におけるデータ処理部５４は、 $m/10$ 行 $\times$ n 列の記憶領域を備え、列方向に沿って並ぶ１０個の画素ＰＸの各々を１つの記憶領域に対応づけている。すなわち、データ処理部５４は、 $m/10$ 個の選択線群の各々において、列方向に沿って並ぶ１０個の画素ＰＸの各々を、１つの記憶領域に対応づける。そして、データ処理部５４は、データ処理部５４に入力された画素ＰＸごとの測定データＤｏｕｔを、その画素ＰＸが対応づけられた記憶領域に記憶する。データ処理部５４は、画素ＰＸごとの測定データＤｏｕｔが入力されるごとに、その画素ＰＸに対応づけられた測定データＤｏｕｔを更新する。

[0246] また、補正量加算部５３Ｂは、 i 行 j 列に位置する画素ＰＸに対応する測定データＤｏｕｔから、 i 行 j 列に位置する画素ＰＸに対するしきい値補正量 k を加算する。補正量加算部５３Ｂは、 i 行 j 列に位置する画素ＰＸに対して生成された基準階調値 D_b に、 i 行 j 列に位置する画素ＰＸに対するしきい値補正量 k を加算する。そして、補正量加算部５３Ｂは、加算された結果である新たな階調値を、 i 行 j 列に位置する画素ＰＸに対する階調値 D_i として出力する。

[0247] また、監視部５５は、行方向に沿って並ぶ n 列の画素群ごとの記憶領域として、 $m/10$ 行の記憶領域を備えている。監視部５５は、 i 行目の画素行における測定データＤｏｕｔの中から最も大きい測定データＤｏｕｔを抽出し、抽出された測定データＤｏｕｔを、 i 行目の画素行が属する画素群の最大値データ D_{max} として取り扱う。

[0248] また、期間決定部５６は、監視部５５から入力される最大値データ D_{max} に基づいて、画素群ごとの送出回数 N を決定する。期間決定部５６の決定する送出回数 N は、最大値データ D_{max} に対して線形性を有する値であり、監視部５５から入力される最大値データ D_{max} が大きいほど大きい。期間決定部５６の決定する送出回数 N は、アップカウンタ４７におけるカウント値の最大値を画素群ごとに定める値である。

[0249] 例えば、データ処理部５４は、１群目の選択線群において１列目に位置す

る10個の画素PXを、1行1列目の記憶領域に対応づけ、2群目の選択線群において2列目に位置する10個の画素PXを、2行2列目の記憶領域に対応づける。また、データ処理部54は、54群目の選択線群において959列目に位置する10個の画素PXを、54行959列目の記憶領域に対応づけ、54群目の選択線群において960列目に位置する10個の画素PXを、54行960列目の記憶領域に対応づける。

[0250] また、例えば、監視部55は、1行目の画素行における測定データDoutの中から最も大きい測定データDoutを抽出し、抽出された測定データDoutを、1群目の画素群における最大値データDmaxとして取り扱う。また、監視部55は、11行目の画素行における測定データDoutの中から最も大きい測定データDoutを抽出し、抽出された測定データDoutを、2群目の画素群における最大値データDmaxとして取り扱う。

[0251] また、例えば、期間決定部56は、1群目の画素群における最大値データDmaxに基づいて、1群目の画素群の送出回数Nを決定し、決定された送出回数Nは、1群目に属する1行目から10行目までの画素行の各々の測定に適用される。また、期間決定部56は、2群目の画素群における最大値データDmaxに基づいて、2群目の画素群の送出回数Nを決定し、決定された送出回数Nは、2群目に属する11行目から20行目までの画素行の各々の測定に適用される。

[0252] こうした構成によれば、測定データDoutを記憶するための記憶領域の容量がデータ処理部54において抑えられ、また、最大値データDmaxを記憶するための記憶領域の容量が監視部55において抑えられる。

[0253] また、駆動トランジスタT1を構成する薄膜の膜特性は、しきい値電圧Vthの変動量を支配することが少なくなく、こうした薄膜の膜特性は、相互に隣り合う画素行において近い。それゆえに、相互に隣り合う画素行においては、収束レベルVsが相互に近い場合が少なくない。この点で、上述した構成によれば、1つの画素群の中において、1つの画素行の測定データDoutは、他の画素行の測定データDoutとしても取り扱われる。それゆ

えに、全ての画素P Xに対して測定データD o u tが更新されることに際し、測定データD o u tの更新される周期が短くなる。結果として、駆動トランジスタT 1における特性値の変化が、単位時間あたりに大きい場合には、表示される画質の劣化がより効果的に抑えられる。

[0254] [監視部5 5]

・ 今回の測定の対象となる画素行に対応付けられる最大値データD m a xは、今回の測定の対象となる画素行に対して実施された前回の測定における収束電圧の最大値であってもよい。

[0255] この際に、監視部5 5は、今回の測定における最大値データD m a xのみを記憶し、次回の測定期間を設定される画素行を把握して、その画素行に対応付けられた最大値データD m a xを記憶領域から抽出する。そして、次回の測定期間が設定されるとき、記憶領域から抽出された最大値データD m a xを監視部5 5は期間決定部5 6に入力する。

[0256] 例えば、駆動トランジスタT 1がE L素子O E Lに電流を流すことを繰り返すとき、駆動トランジスタT 1のしきい値電圧V t hは単調に増加しやすい。そして、しきい値電圧V t hが単調に増加する傾向を有する場合であれば、今回の測定前の測定における収束電圧の最大値を決定するための母集団が、前回の測定における収束電圧で足りる。それゆえに、監視部5 5が今回の測定における最大値データD m a xのみを記憶する構成であれば、駆動トランジスタT 1の特性値の取得に要する時間を短くすることが可能であり、さらに、今回の測定前の測定における収束電圧の最大値を決定するための構成の簡素化が図られる。

・ また、今回の測定の対象となる画素行に対応付けられる最大値データD m a xは、例えば、測定の対象となる画素行の2回ごとの測定における収束電圧の最大値であってもよく、最大値を抽出するための測定が所定の回数ごとの測定であってもよい。要するに、今回の測定におけるリファレンス電圧の中の最大値は、今回の測定前の測定における収束電圧の最大値より大きく、かつ、今回の測定前の測定における収束電圧の中の最大値が小さいほど小

さい値であればよい。

[0257] [延長期間 t_e]

・延長期間 t_e は、今回の測定直後に設定される発光期間を延長する期間であってもよい。すなわち、今回の測定におけるリファレンス電圧の中の最大値が小さいほど、今回の測定直後における発光の期間が長くてもよく、収束レベル V_s の測定に要する時間が短くなるほど、EL素子OELの発光する時間がその測定直後に長くてもよい。こうした構成であっても、1つのフレームにおける輝度の低下が抑えられる。

[0258] ・延長期間 t_e は、割愛されてもよい。すなわち、今回の測定におけるリファレンス電圧の大きさに関わらず、今回の測定直前、および、今回の測定直後に設定される発光期間の長さは一定値であってもよい。

[0259] [送出回数 N]

・期間決定部56の決定する送出回数 N は、今回の測定前の測定における収束電圧の中の最大値より大きく、かつ、今回の測定前の測定における収束電圧の中の最大値が小さいほど小さい値を、今回の測定におけるリファレンス電圧の中の最大値とする値であればよい。例えば、期間決定部56の決定する送出回数 N は、前回の測定におけるカウント値の中の最大値に、1よりも大きい所定値を乗算して得られる値であってもよい。

[0260] ・しきい値補正量 k は、測定データ D_{out} 自体であってもよいし、抽出された測定データ D_{out} から別途算出される値であってもよい。要するに、しきい値補正量 k は、測定データ D_{out} に基づく値であって、シフト量 ΔV_{th} の変化に起因した輝度の変化を抑えるように、基準階調値 D_b を補正する値であればよい。

[0261] ・緩和時間 t_s が経過したときの収束レベル V_s は、しきい値電圧 V_{th} とみなされる電圧レベルであってもよいし、しきい値電圧 V_{th} の変化に対して線形性を有して変わる電圧レベルであってもよい。要するに、駆動トランジスタ T_1 における特性値は、駆動トランジスタ T_1 のシフト量 ΔV_{th} が反映される測定可能な値であればよい。

[0262] [測定動作]

・ 1回の測定動作において測定レベル V_M の設定されるデータ線 L_d は、全てのデータ線 L_d における一部であってもよい。この際に、1回の測定動作では、測定レベル V_M の設定の対象となる一部のデータ線 L_d のみが、測定用電圧スイッチ SW_s を介してアナログ電源 V_0 と接続される。そして、最大値データ D_{max} を抽出するための画素 P_X の母集団は、1回の測定動作において測定レベル V_M の設定される画素 P_X から構成されてもよいし、2回以上の測定動作において測定レベル V_M の設定される画素 P_X から構成されてもよい。すなわち、画素群は、画素行に限らず、1行の画素行における一部であってもよいし、複数回の測定動作の各々における測定対象から構成される集合であってもよく、リファレンス電圧の最大値が共通する画素の集合であればよい。

[0263] ・ 駆動トランジスタ T_1 の特性値は、収束レベル V_s に寄与するパラメータであって、駆動トランジスタ T_1 の有するしきい値電圧 V_{th} であってもよいし、駆動トランジスタ T_1 の有する電流増幅率 β であってもよい。

[0264] ・ 例えば、露光対象を露光するか否かという2階調の光源として EL 装置が用いられる場合のように、入力信号 SIG は、 EL 素子 OEL ごとの輝度の階調値を示すデジタル信号であってもよい。

[0265] [画素回路 PCC]

・ 画素回路 PCC は、3つの n チャンネル型トランジスタと1つの保持容量 C_s とを備える $3T1C$ 型の回路に限らず、例えば、2つの n チャンネル型トランジスタと1つの保持容量 C_s とを備える $2T1C$ 型の回路であってもよいし、4つ以上のトランジスタから構成される回路であってもよい。

[0266] ・ 画素回路 PCC は、駆動トランジスタ T_1 におけるゲート-ソース間電圧 V_{gs} の保持機能を有しない構成であってもよいし、ゲート-ソース間電圧 V_{gs} の保持機能以外の機能を能動素子や受動素子として備える構成であってもよい。なお、画素 P_X における輝度が安定する点において、駆動トランジスタ T_1 におけるゲート-ソース間電圧 V_{gs} の保持機能を画素回路 P

CCが備えることが好ましい。

[0267] ・駆動トランジスタT1、保持トランジスタT2、および、選択トランジスタT3は、nチャンネル型トランジスタに限らず、pチャンネル型トランジスタであってもよい。この際に、駆動トランジスタT1のソースは、電源線Laに電氣的接続し、駆動トランジスタT1のドレインは、ノードN2に電氣的接続される。保持トランジスタT2のソースは、駆動トランジスタT1のソースに電氣的接続され、保持トランジスタT2のドレインは、駆動トランジスタT1のゲートに電氣的接続される。そして、選択トランジスタT3のドレインは、データ線Ldに電氣的接続され、選択トランジスタT3のソースは、駆動トランジスタT1のドレインに電氣的接続される。

[0268] ・非発光期間におけるゲート-ソース間電圧Vgsは、駆動トランジスタT1において逆バイアスであってもよい。例えば、非発光期間における非発光動作では、基準レベルELVSSよりも低い電圧レベルが電源信号Vaに設定されてもよい。

[0269] ・保持トランジスタT2のゲートに接続される選択線と、選択トランジスタT3のゲートに接続される選択線とは、相互に異なる選択線であって、保持トランジスタT2に接続される選択線と、選択トランジスタT3に接続される選択線とは、相互に異なる電圧レベルを設定されてもよい。

[0270] こうした構成によれば、保持トランジスタT2のオン状態と、選択トランジスタT3のオン状態とを、相互に異なるタイミングに設定することが可能である。また、保持トランジスタT2のオフ状態と、選択トランジスタT3のオフ状態とを、これもまた相互に異なるタイミングに設定することが可能である。

[0271] ・要するに、複数の画素回路PCCの各々は、駆動トランジスタT1がEL素子OELに電流を流す電流路を備え、その駆動トランジスタT1が階調値レベルVdataに基づいて電流を制御する回路であって、データ線Ldにハイインピーダンス状態を設定することの可能な構成であればよい。画素回路PCCの備える回路素子の種類や回路素子間の接続構成は、こうした範

囲において任意に選択することが可能である。

[0272] [E L 素子 O E L]

・ E L 素子 O E L は、有機 E L 素子であってもよいし、無機 E L 素子であってもよいし、発光ダイオードであってもよい。要するに、E L 素子は、駆動トランジスタのドレイン - ソース間電流が流れることによって発光する素子であればよい。

[0273] [E L 装置]

・ E L 装置は、例えば、デジタルカメラ、モバイル型のパーソナルコンピュータ、携帯機器などの各種の電子機器の表示部に用いることができる。

・ E L 装置において画素の並ぶ方向は、2次元方向であってもよいし、1次元方向であってもよい。例えば、E L 装置は、複数の画素 P X が1次元方向に沿って並ぶ発光素子アレイ基板として感光体ドラムに搭載されて、発光素子アレイ基板から出射された光が感光ドラムに照射されて感光ドラムを露光する露光装置であってもよい。

[0274] [要素回路]

・ 駆動トランジスタ T 1 から駆動電流を受ける電流駆動素子は、E L 素子 O E L や発光ダイオードに限らず、各種のセンサー素子であってもよい。また、電流駆動素子を備える要素回路は、画素回路 P C C と E L 素子 O E L との組み合わせに限らず、駆動トランジスタ T 1 が電流駆動素子に電流を流す電流路を備え、その駆動トランジスタ T 1 が階調値レベル V d a t a に基づいて電流を制御する回路であって、データ線 L d にハイインピーダンス状態を設定することの可能な構成であればよい。

[0275] ・ 要素回路は、例えば、センサー素子と駆動トランジスタ T 1 とを備えるセンサー回路であってもよく、センサー回路が適用される電流駆動装置は、E L 装置に限らず、各種のセンサー回路を備えるセンサー装置であってもよい。センサー装置は、例えば、バイオセンサー装置、温度センサー装置、照度センサー装置、および、濃度センサー装置のいずれか1つに具体化される。センサー素子は、センサー装置の測定する対象に合わせて適宜選択される

ものであって、例えば、バイオセンサー素子、温度センサー素子、照度センサー素子、および、濃度センサー素子のいずれか1つに具体化される。

この際に、駆動トランジスタT1がEL素子OELに電流を流す発光期間のように、駆動トランジスタT1がセンサー素子に電流を流す期間は、センサー素子における検出対象の測定期間である。

例えば、センサー素子が電界セルであるとき、電界セルは、所望の電気化学反応を進めるための基質を含む電解質溶液と、ノードN2に接続される第1作用電極と、第1作用電極との間で電界反応を生じさせる第2作用電極と、参照電極とを備える。第1作用電極、第2作用電極、および、参照電極は、いずれも電解質溶液に接続される。第1作用電極と第2作用電極との間で電気化学反応が進むとき、負電位側の電極はカソード電極として機能し、正電位側の電極はアノード電極として機能する。

[0276] データドライバ40は、センサー素子の駆動量に相当する反応レベルの電圧をデータ線Ldに設定し、反応レベルと書込レベルとの差に相当する電圧に基づいて、反応レベルに基づく駆動電流を電界セルECに流す。これによって、要素回路は、電界セルを電流駆動する。また、データドライバ40は、測定レベルの一例である反応レベルの電圧をデータ線Ldに設定し、その後、ハイインピーダンス状態に設定されたデータ線Ldの電圧レベルと、参照電極の電圧レベルとを測定し、これらデータ線Ldの電圧レベルと、参照電極の電圧レベルとの差から、電解質中における基質の酸化還元電位を測定する。

[0277] 上述したセンサー装置においても、複数の要素回路から構成される要素回路群における測定データDoutの中の最大値は、要素回路群の最大値データDmaxとして記憶される。そして、今回の測定におけるリファレンス電圧の中の最大値は、今回の測定の対象となる画素行に対応付けられた最大値データDmax、すなわち、今回の測定よりも前の測定における収束電圧の中の最大値に基づいて設定される。それゆえに、今回の測定期間において逐次比較に要する時間は、最大値データDmaxが小さいほど短く、結果とし

て、リファレンス電圧の中の最大値が一定値である構成と比べて、駆動トランジスタ T1 の特性値の取得に要する時間を短くすること、ひいては、酸化還元電位の測定に要する時間を短くすることが可能である。

符号の説明

[0278] k…しきい値補正量、N…送出回数、t…経過時間、Cs…保持容量、Db…基準階調値、HZ…ハイインピーダンス状態、L1, L2…特性曲線、La…電源線、Ld…データ線、LP…ラッチパルス信号、Ls…選択線、PX…画素、SP…選択スタートパルス信号、T1…駆動トランジスタ、T2…保持トランジスタ、T3…選択トランジスタ、tb…基準期間、te…延長期間、tp…補正発光期間、ts…緩和時間、Va…電源信号、Vd…データ信号、VM…測定レベル、Vs…収束レベル、Din…階調値、Ids…ドレイン-ソース間電流、MP1…選択マスクパルス信号、MP2…電源マスクパルス信号、OEL…EL素子、PCC…画素回路、RST…クリア信号、SIG…入力信号、SP1…データスタートパルス信号、SPa…発光期間開始信号、SPb…非発光期間開始信号、SPc…測定期間開始信号、SW1…入力スイッチ、SW2…出力スイッチ、SW3…測定用スイッチ、SWd…表示用スイッチ、SWs…測定用電圧スイッチ、tma…第1非選択期間、tmb…測定選択期間、tmc…第2非選択期間、Vds…ドレイン-ソース間電圧、VEE…アナログ電源電圧、Vgs…ゲート-ソース間電圧、Clkd…データシフトクロック、Clkr…測定シフトクロック、Clks…駆動シフトクロック、Dmax…最大値データ、Dout…測定データ、Dsig…階調成分、DVSS…アナログ基準電圧、LVDD…ロジック高電圧、LVSS…ロジック低電圧、Vsel…選択信号、ELVDD…発光レベル、ELVSS…基準レベル、SWtrs…転送スイッチ、Vdata…階調値レベル、WDVSS…書込レベル、10…パネル、20…選択ドライバ、21…シフトレジスタ回路、22…出力バッファ、30…電源ドライバ、31…シフトレジスタ、32…出力バッファ、40…データドライバ、41…シフトレジスタ、42…データレジスタ、43…データ

ラッチ回路、43a…データラッチ、43b…論理積回路、43c…フリップフロップ、44…DAC、45…バッファ、46…レベルシフタ、47…アップカウンタ、48…レベルシフタ、50…システムコントローラー、51…入力信号処理部、52…タイミングコントローラー、53…補正処理部、53A…基準階調生成部、53B…補正処理部、53C…補正量算出部、54…データ処理部、55…監視部、56…期間決定部、60…ロジック電源、70…アナログ電源。

請求の範囲

[請求項1] 複数の要素回路を含む要素回路群であって、各要素回路が、電流駆動素子と、データ線と、前記データ線に設定された電圧に基づく電流を前記電流駆動素子に流す電流路を有した駆動トランジスタとを備え、前記データ線が前記電流路に電氣的に接続可能に構成された前記要素回路群と、

前記要素回路ごとの収束電圧を測定するように構成された測定部であって、該測定部は、複数の前記要素回路の各々について、前記駆動トランジスタのしきい値電圧を越える電圧であって、かつ、前記電流駆動素子に対する逆バイアスである1つの電圧を、前記データ線に設定した後に、前記データ線をハイインピーダンス状態へ切り替え、それによって、前記データ線の電圧を収束電圧に収束させ、その後、互いに異なる大きさを有する複数のリファレンス電圧と前記収束電圧との逐次比較を行うように構成され、各要素回路に対して用いられる複数の前記リファレンス電圧は、他の要素回路で用いられる複数の前記リファレンス電圧と共通する前記測定部と、

今回の測定における全ての前記リファレンス電圧の中の最大値であるリファレンス最大値を設定する設定部であって、今回の測定よりも前の少なくとも1回の測定における全ての前記収束電圧の中の最大値よりも大きく、かつ、当該最大値が小さいほど前記リファレンス最大値が小さいように、前記リファレンス最大値を設定する設定部と、を備える

電流駆動装置。

[請求項2] 前記設定部は、前回までの測定における全ての前記収束電圧の中の最大値よりも大きく、かつ、当該最大値が小さいほど前記リファレンス最大値が小さいように、前記リファレンス最大値を設定する

請求項1に記載の電流駆動装置。

[請求項3] 前記設定部は、前回の測定における全ての前記収束電圧の中の最大

値よりも大きく、かつ、当該最大値が小さいほど前記リファレンス電圧が小さいように、前記リファレンス最大値を設定する

請求項 1 に記載の電流駆動装置。

[請求項4]

前記測定部が今回の測定を実行した後に、前記電流駆動素子の駆動量に基づく階調電圧を前記データ線に設定し、その後、前記階調電圧に基づく前記電流を前記駆動トランジスタに流させる駆動部をさらに備え、

前記設定部は、

前記駆動部が前記電流駆動素子に前記電流を流す期間である駆動期間を、今回の測定における前記リファレンス最大値が小さいほど長い期間に設定する

請求項 1 から 3 のいずれか 1 つに記載の電流駆動装置。

[請求項5]

前記測定部が今回の測定を実行する前に、前記電流駆動素子の駆動量に基づく階調電圧を前記データ線に設定し、その後、前記階調電圧に基づく前記電流を前記駆動トランジスタに流させる駆動部をさらに備え、

前記設定部は、

前記駆動部が前記電流駆動素子に前記電流を流す期間である駆動期間を、今回の測定における前記リファレンス最大値が小さいほど長い期間に設定する

請求項 1 から 3 のいずれか 1 つに記載の電流駆動装置。

[請求項6]

前記測定部は、

前記逐次比較において、所定の最小値から一定値ずつ上昇させた電圧を前記リファレンス電圧に用いる

請求項 1 から 5 のいずれか 1 つに記載の電流駆動装置。

[請求項7]

前記設定部は、

今回の測定よりも前の少なくとも 1 回の測定における全ての前記収束電圧の中の最大値に一定値を加えた値を、今回の測定における前記

リファレンス最大値に設定する

請求項 1 から 6 のいずれか 1 つに記載の電流駆動装置。

[請求項 8]

複数の要素回路を含む要素回路群を駆動する電流駆動装置の駆動方法であって、前記要素回路が、電流駆動素子と、データ線と、前記データ線に設定された電圧に基づく電流を前記電流駆動素子に流す電流路を有した駆動トランジスタとを備え、前記データ線が前記電流路に電氣的に接続可能に構成され、前記駆動方法は、

複数の前記要素回路の各々について、前記駆動トランジスタのしきい値電圧を越える電圧であって、かつ、前記電流駆動素子に対する逆バイアスである 1 つの電圧を前記データ線に設定した後に、前記データ線をハイインピーダンス状態へ切り替え、それによって、前記データ線の電圧を収束電圧に収束させる工程と、

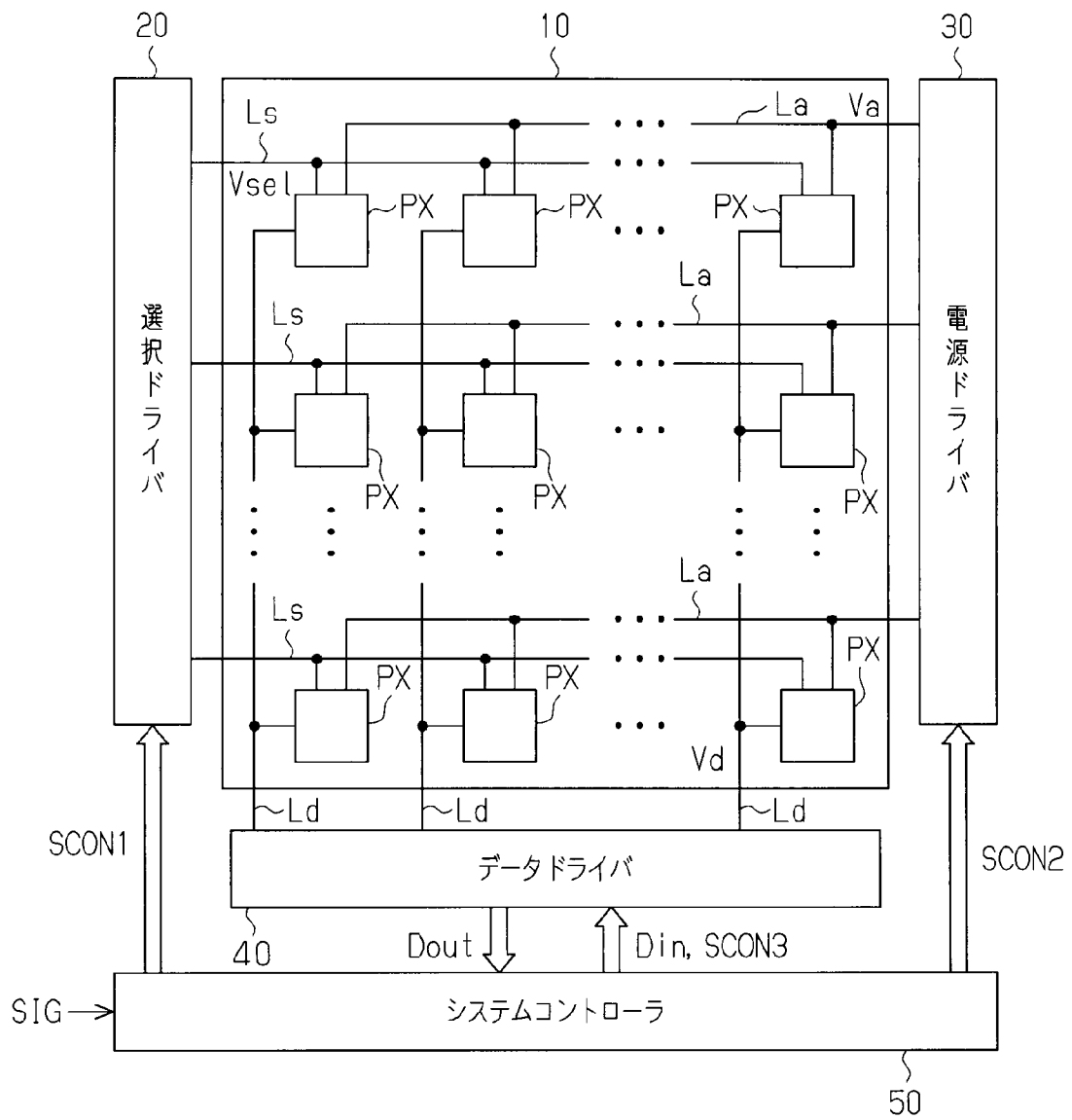
複数の前記要素回路の各々について、互いに異なる大きさを有する複数のリファレンス電圧と前記収束電圧との逐次比較を行い、それによって、前記要素回路ごとの前記収束電圧を測定する工程であって、各要素回路で用いられる複数の前記リファレンス電圧は、他の要素回路で用いられる複数の前記リファレンス電圧と共通する、前記工程と、

を含み、

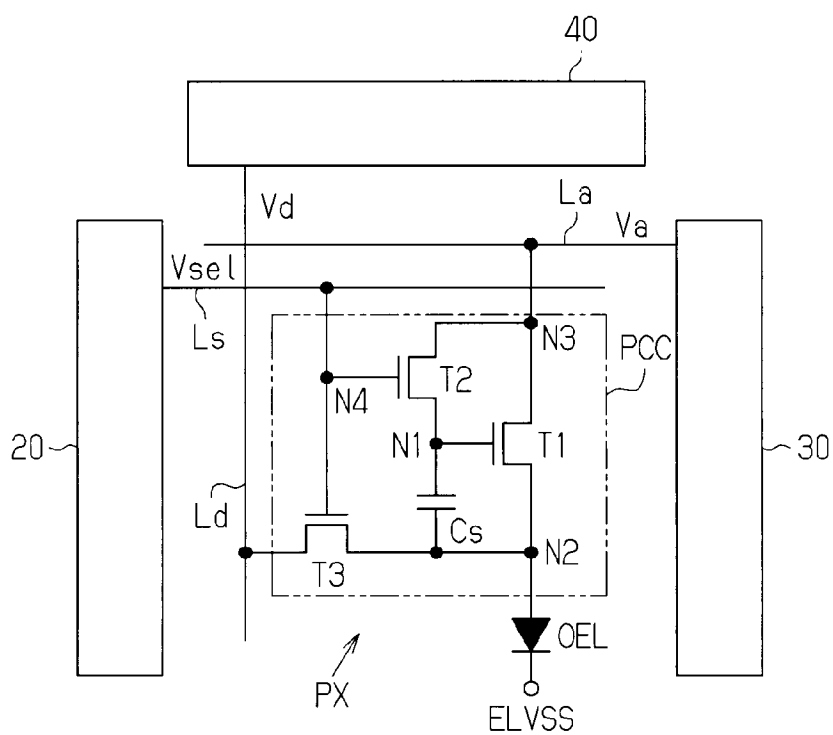
今回の測定における全ての前記リファレンス電圧の中の最大値が、リファレンス最大値であり、今回の測定よりも前の少なくとも 1 回の測定における全ての前記収束電圧の中の最大値よりも大きく、かつ、当該最大値が小さいほど前記リファレンス最大値が小さいように、前記リファレンス最大値を設定する工程をさらに含む

ことを特徴とする電流駆動装置の駆動方法。

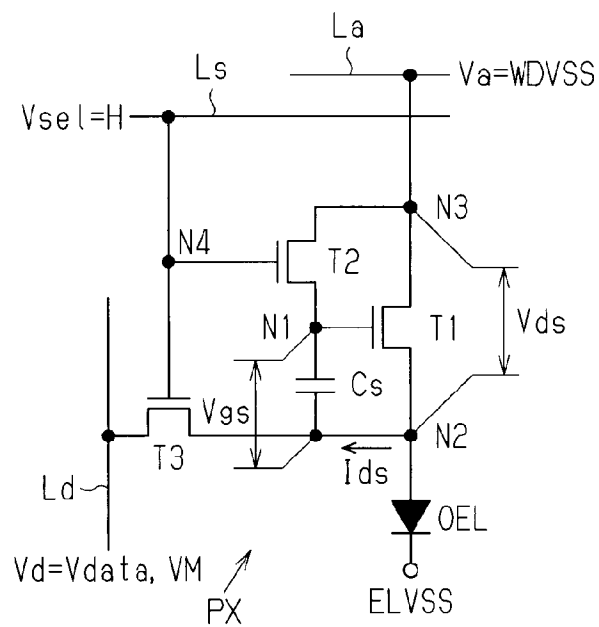
[図1]



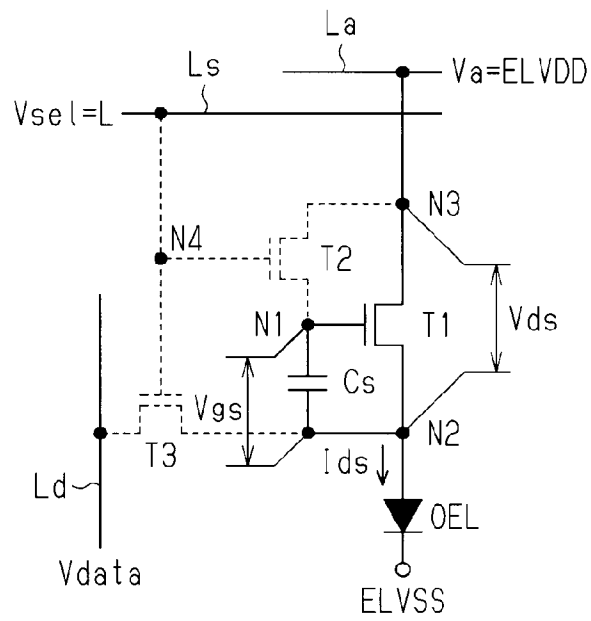
[図2]



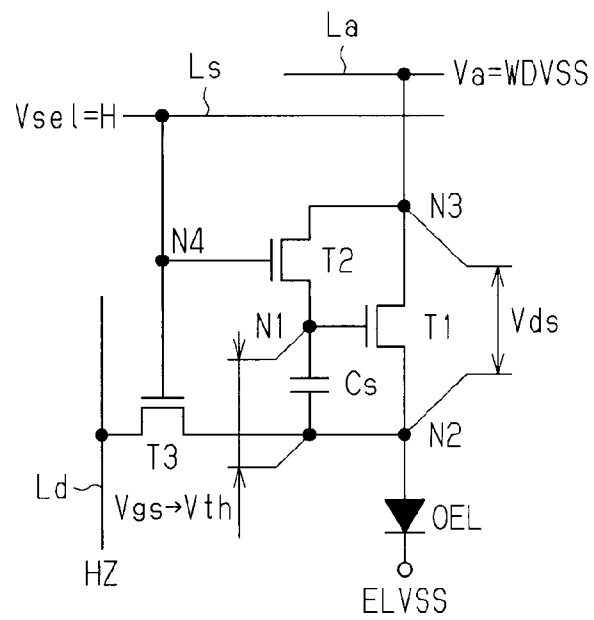
[図3]

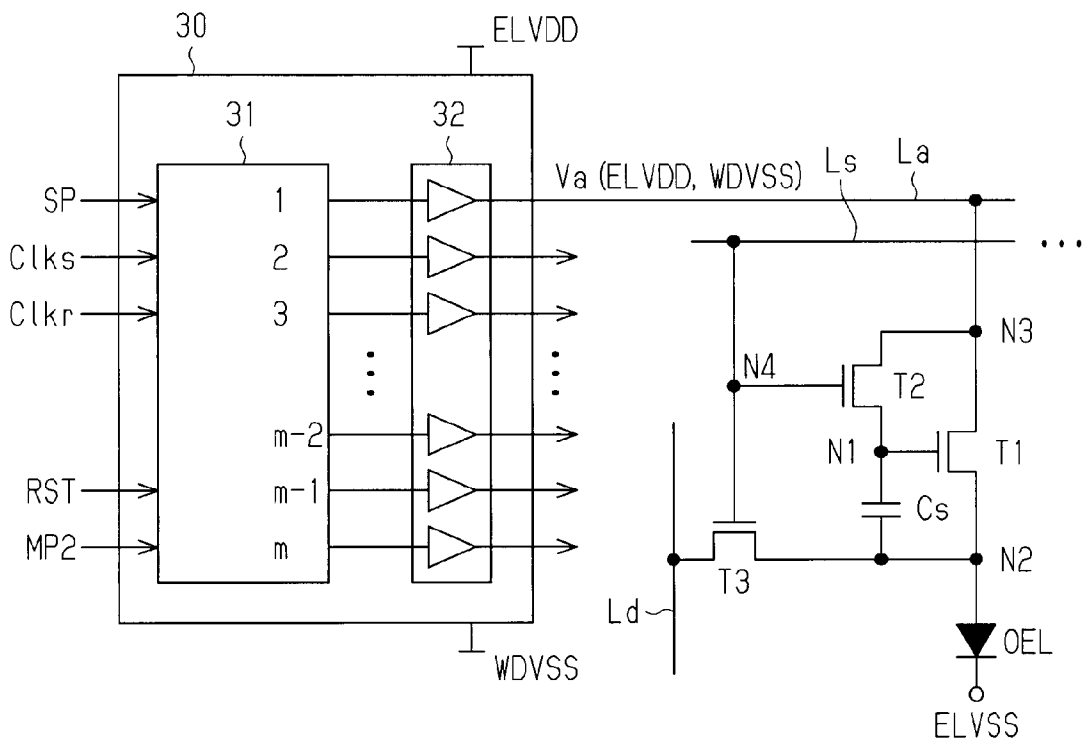


[図4]

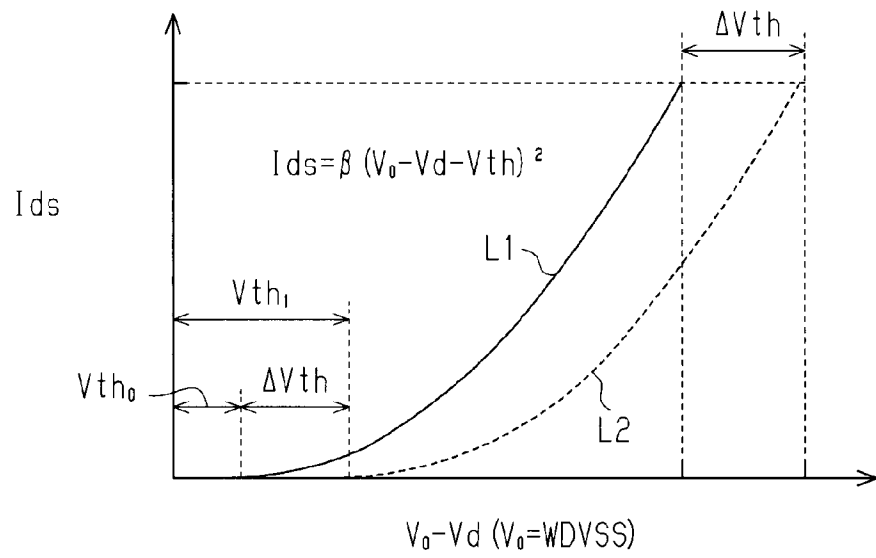


[図5]

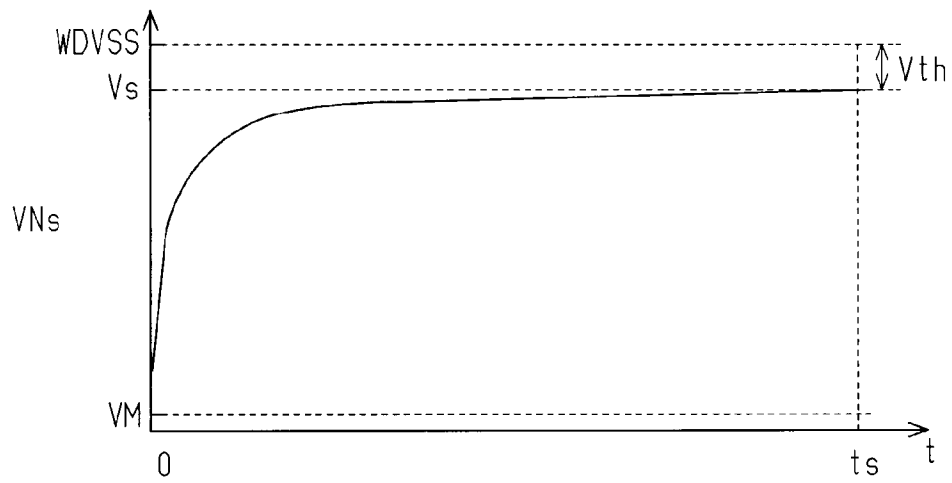




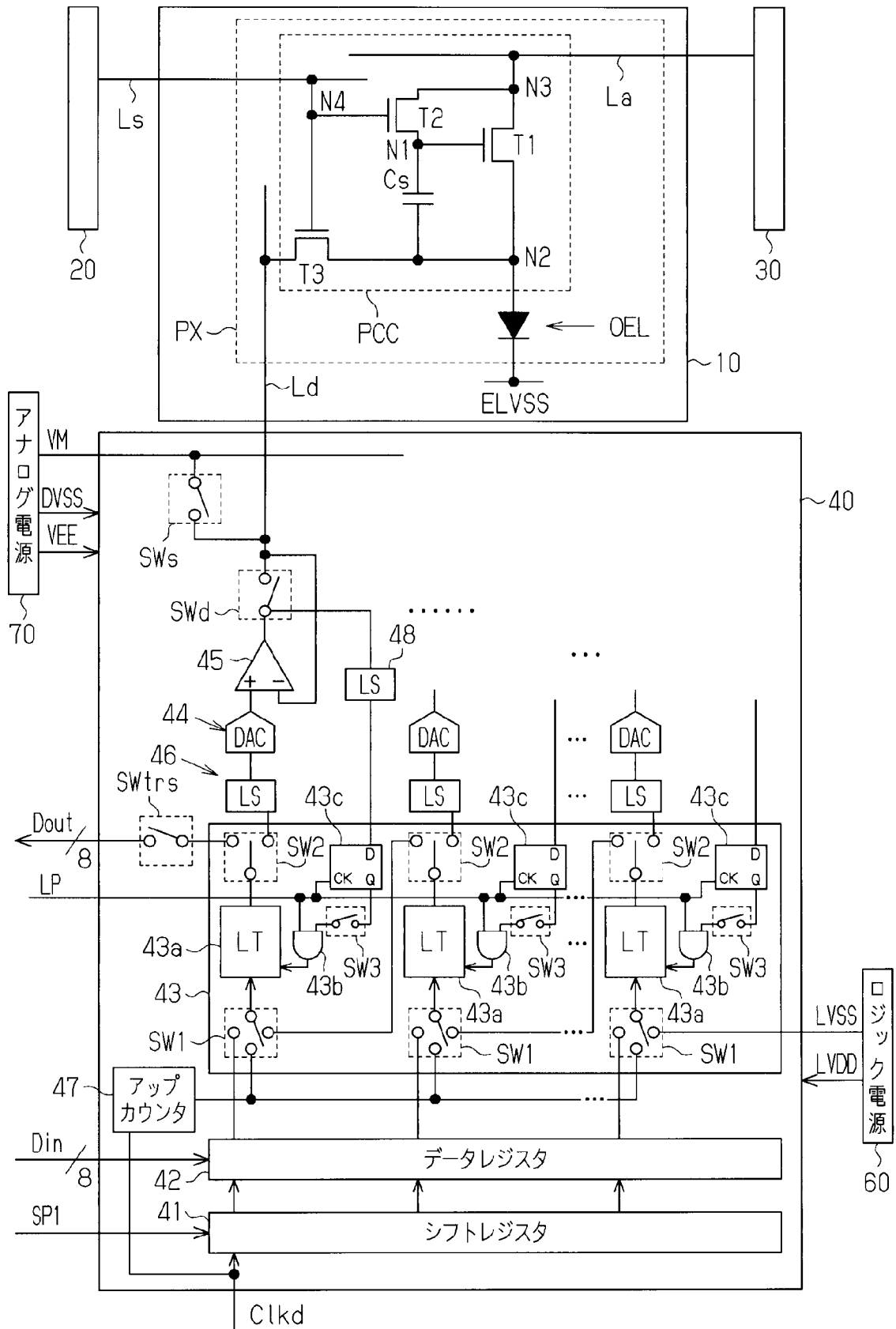
[図8]



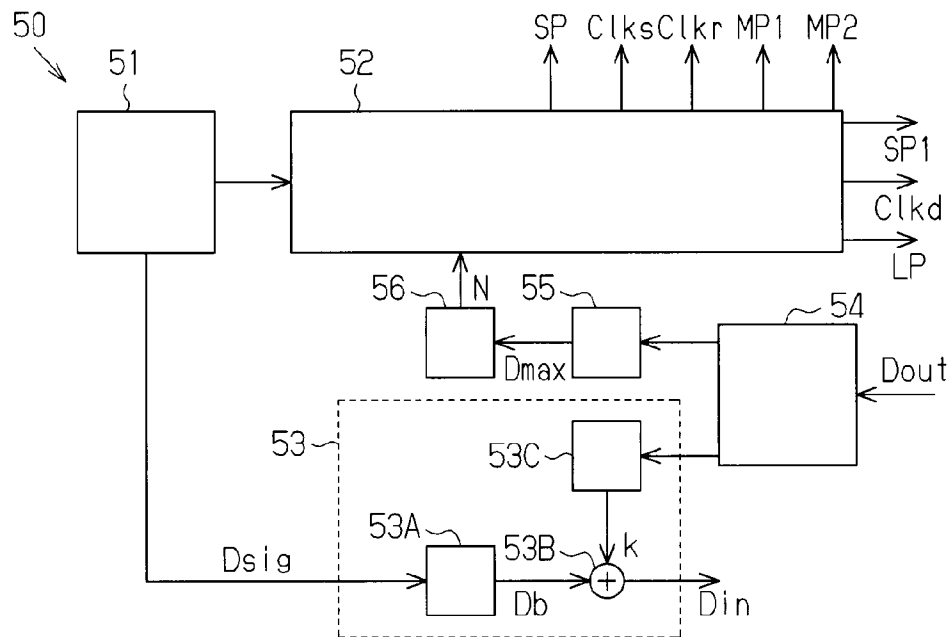
[図9]



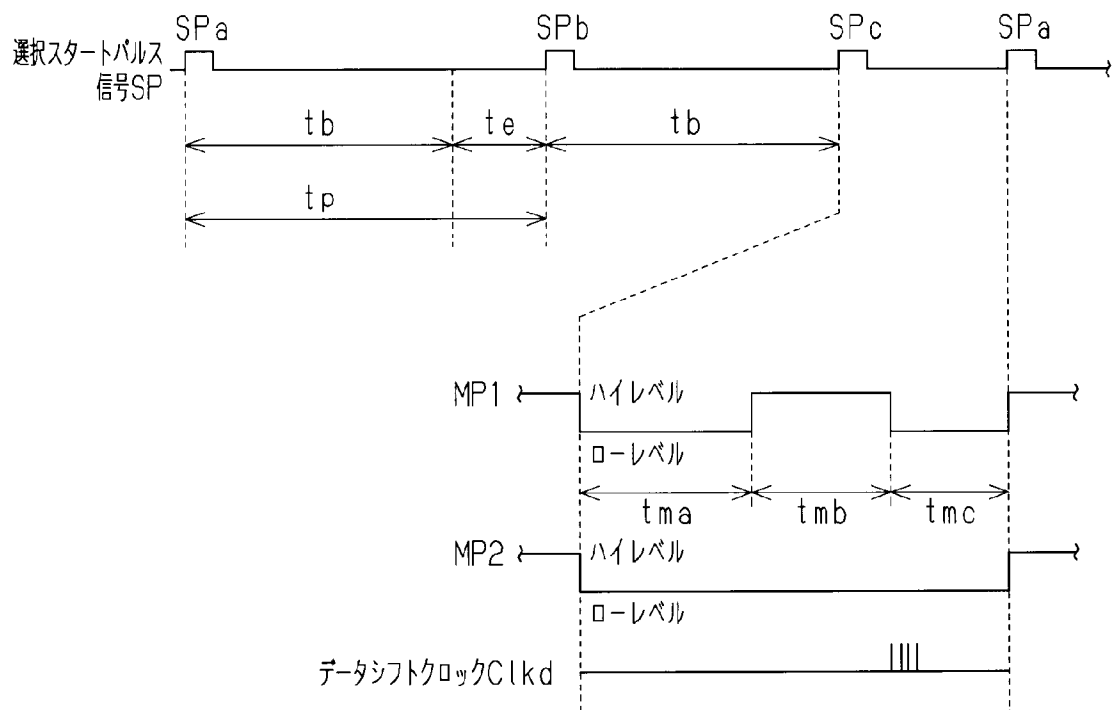
[図10]



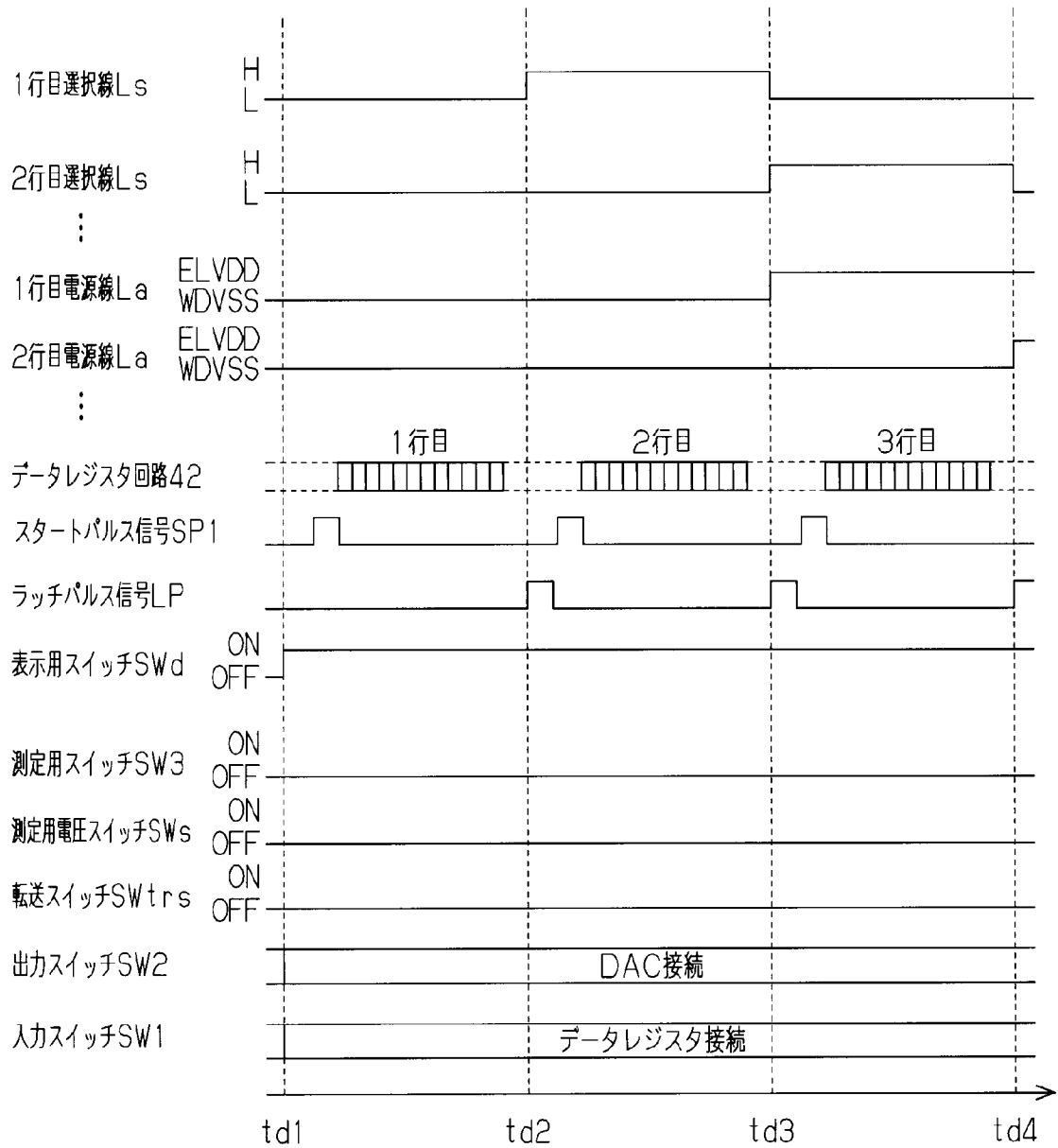
[図11]



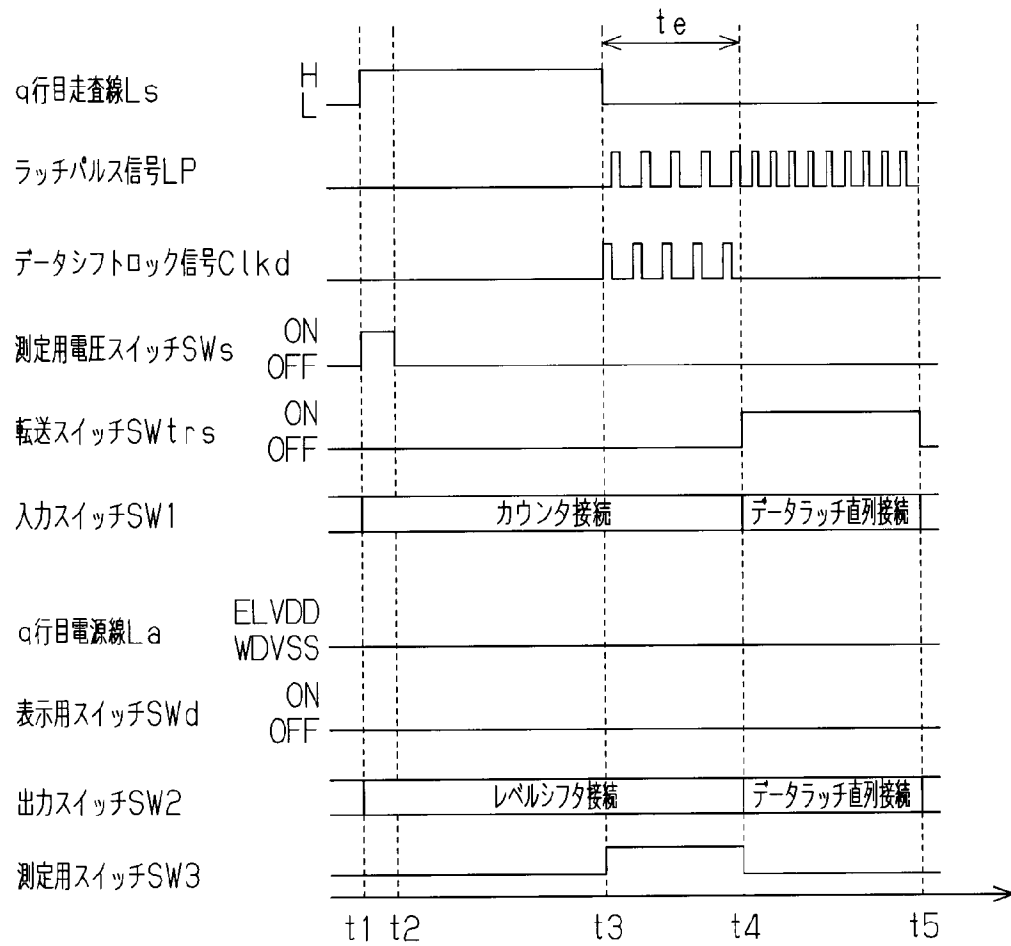
[図12]



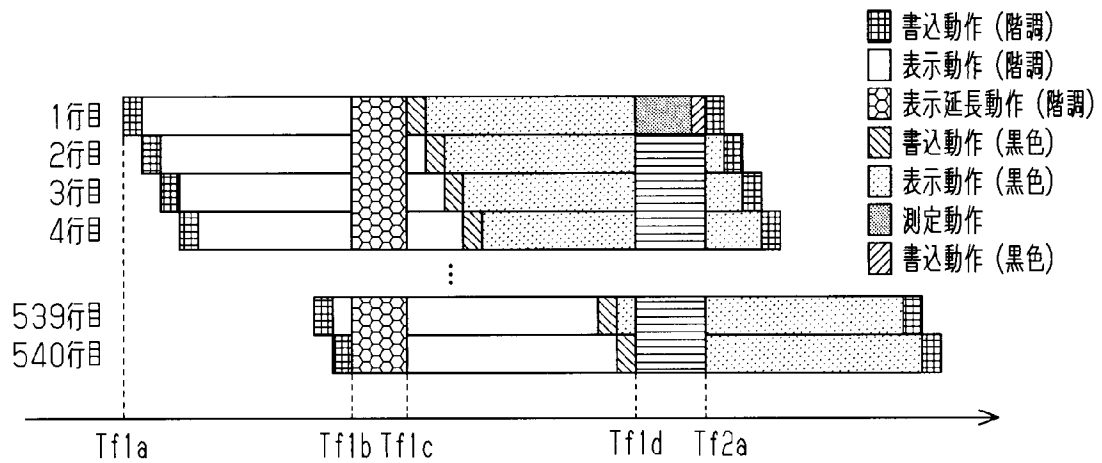
[図13]



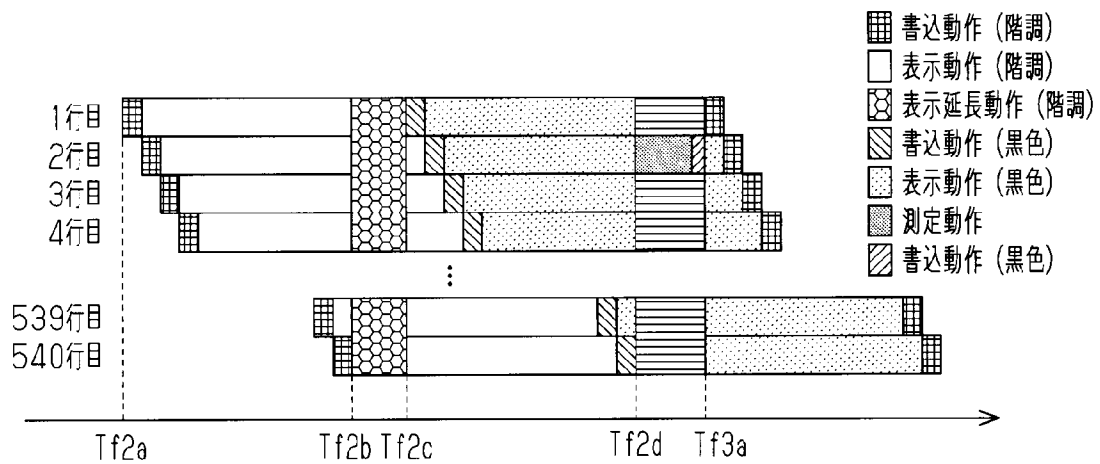
[図14]



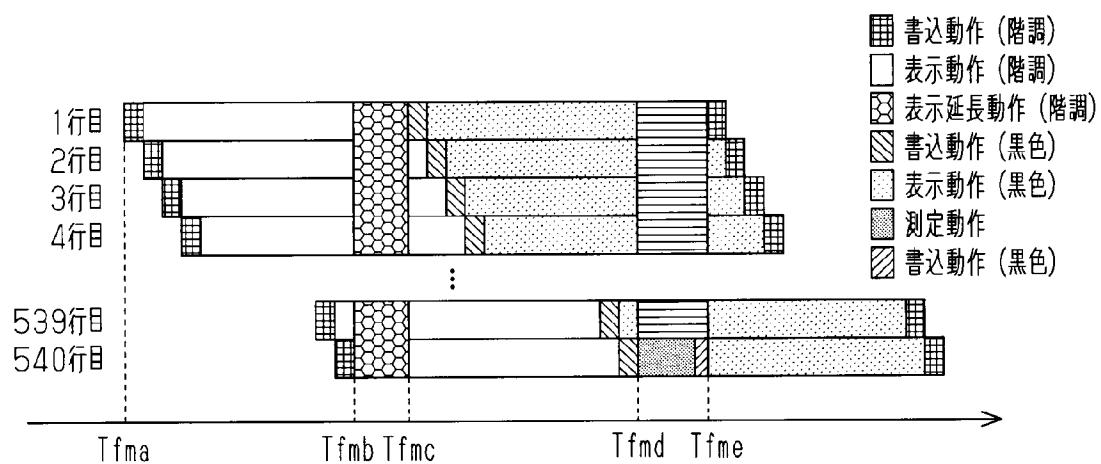
[図15]



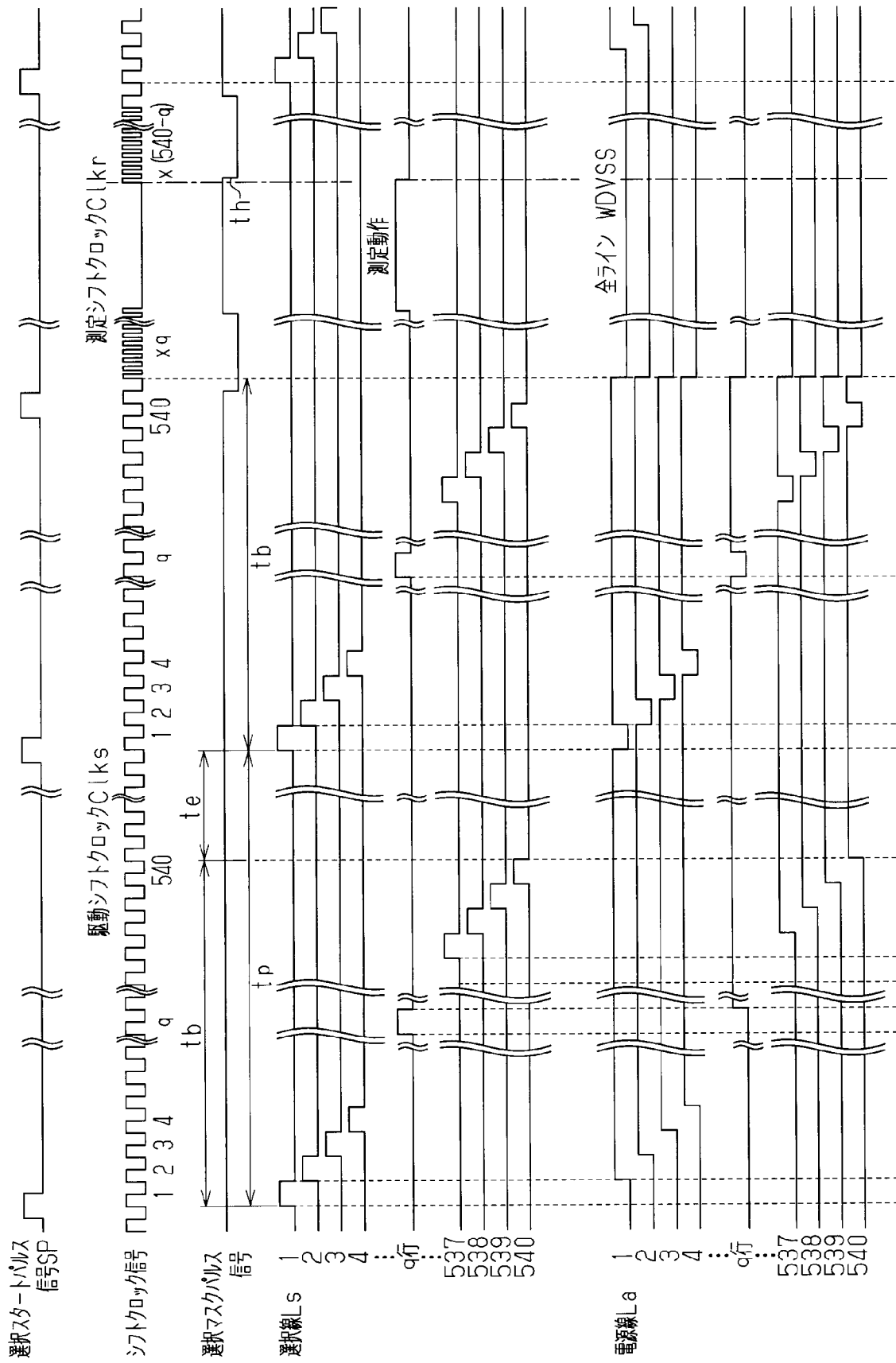
[図16]



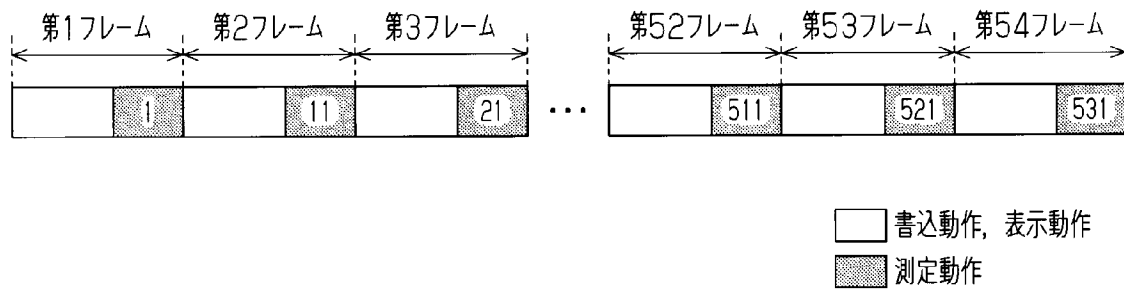
[図17]



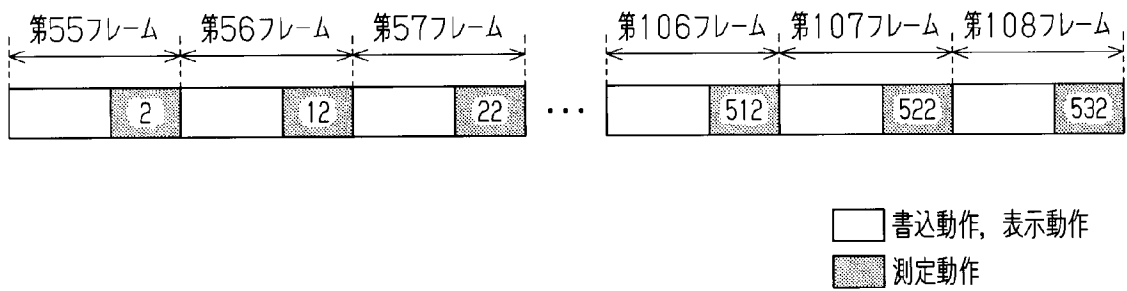
[図18]



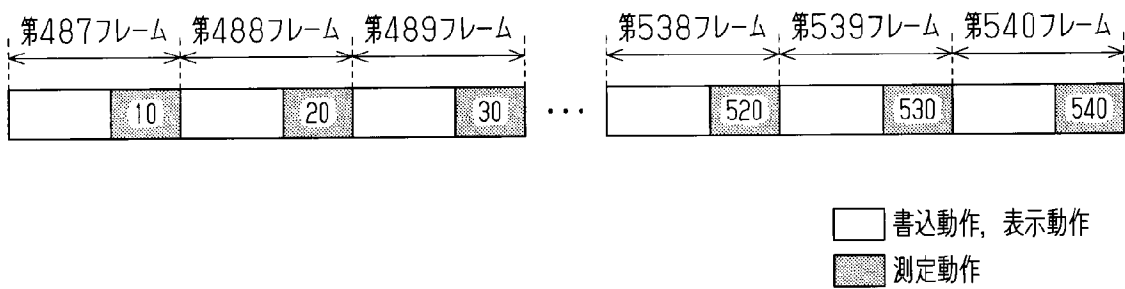
[図19]



[図20]



[図21]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2015/064659

A. CLASSIFICATION OF SUBJECT MATTER

G09G3/30(2006.01)i, G09G3/20(2006.01)i, H01L51/50(2006.01)i, H05B33/14(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G3/30, G09G3/20, H01L51/50, H05B33/14, H03M1/38, H03M1/48

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2015
Kokai Jitsuyo Shinan Koho	1971-2015	Toroku Jitsuyo Shinan Koho	1994-2015

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2011-34058 A (Casio Computer Co., Ltd.), 17 February 2011 (17.02.2011), entire text; all drawings & US 2011/0007102 A1 & CN 101950533 A & KR 10-2011-0005658 A & TW 201113851 A	1-3, 7-8 4-6
Y	JP 2010-153981 A (Sony Corp.), 08 July 2010 (08.07.2010), paragraphs [0029] to [0050], [0076] to [0100]; fig. 1 to 4, 8 to 11 & US 2010/0053399 A1	1-3, 7-8
A	JP 2009-237194 A (Oki Semiconductor Co., Ltd.), 15 October 2009 (15.10.2009), entire text; all drawings & US 2009/0244044 A1	1-8

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
10 August 2015 (10.08.15)

Date of mailing of the international search report
18 August 2015 (18.08.15)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. G09G3/30(2006.01)i, G09G3/20(2006.01)i, H01L51/50(2006.01)i, H05B33/14(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. G09G3/30, G09G3/20, H01L51/50, H05B33/14, H03M1/38, H03M1/48

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 5 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 5 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 5 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	JP 2011-34058 A（カシオ計算機株式会社）2011.02.17, 全文, 全図 & US 2011/0007102 A1 & CN 101950533 A & KR 10-2011-0005658 A & TW 201113851 A	1-3, 7-8 4-6
Y	JP 2010-153981 A（ソニー株式会社）2010.07.08, 段落【0029】－【0050】、【0076】－【0100】、 図1－4, 8－11 & US 2010/0053399 A1	1-3, 7-8

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

1 0 . 0 8 . 2 0 1 5

国際調査報告の発送日

1 8 . 0 8 . 2 0 1 5

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

武 田 悟

2 G

9 3 0 7

電話番号 03-3581-1101 内線 3226

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2009-237194 A (O K I セミコンダクタ株式会社) 2009. 10. 15, 全文, 全図 & US 2009/0244044 A1	1-8