

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年9月17日(17.09.2020)



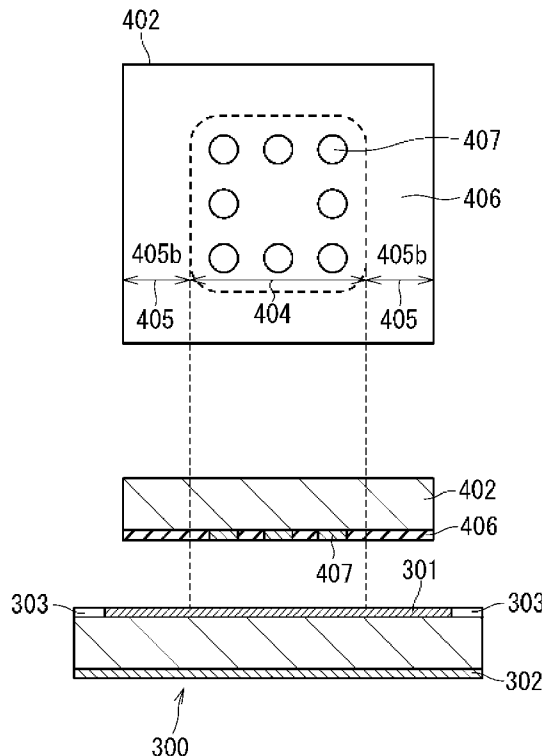
(10) 国際公開番号

WO 2020/183603 A1

- (51) 国際特許分類:
H01L 21/52 (2006.01) H01L 25/10 (2006.01)
- (21) 国際出願番号: PCT/JP2019/009939
- (22) 国際出願日: 2019年3月12日(12.03.2019)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人:三菱電機株式会社(MITSUBISHI ELECTRIC CORPORATION) [JP/JP]; 〒1008310 東京都千代田区丸の内二丁目7番3号 Tokyo (JP).
- (72) 発明者:奥田 聡志(OKUDA Satoshi); 〒1008310 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内 Tokyo (JP). 綿引 達郎 (WATAHIKI Tatsuro); 〒1008310 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内 Tokyo (JP). 玉城 朋宏(TAMAKI Tomohiro); 〒1008310 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内 Tokyo (JP).
- (74) 代理人:吉竹 英俊, 外(YOSHITAKE Hidetoshi et al.); 〒5400001 大阪府大阪市中央区域見1丁目4番70号住友生命OBPプラザビル10階 Osaka (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT,

(54) Title: PRESSURE-CONTACT SEMICONDUCTOR DEVICE

(54) 発明の名称: 圧接型半導体装置



(57) Abstract: The purpose of the present invention is to suppress electrical contact between an outer peripheral part of an intermediate electrode and a surface electrode of a semiconductor chip without increasing the area of the semiconductor chip. The surface of a first intermediate electrode (400) opposite to a first main electrode (202, 301) is smaller than the surface of the first main electrode (202, 301) opposite to the first intermediate electrode (400), and has a protection region (405) in the outer peripheral part and a connection region (404) surrounded by the protection region (405). This



WO 2020/183603 A1

HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類 :

- 一 国際調査報告 (条約第21条(3))

pressure-contact semiconductor device is provided with: a plurality of first conductor films (407) partially formed in the connection region (404); and a first insulating film (406) formed in the protection region (405) and in a region of the connection region (404) where the first conductor films (407) are not formed.

(57) 要約 : 本発明は、半導体チップの面積を増加させることなく、中間電極の外周部と半導体チップの表面電極との電気的な接触を抑制することを目的とする。第1中間電極(400)の第1主電極(202, 301)との対向面は、第1主電極(202, 301)の第1中間電極(400)との対向面よりも小さく、外周部の保護領域(405)と保護領域(405)に囲まれた接続領域(404)とを有する。圧接型半導体装置は、接続領域(404)に部分的に形成された複数の第1導体膜(407)と、接続領域(404)のうち第1導体膜(407)が形成されない領域と保護領域(405)とに形成された第1絶縁膜(406)と、を備える。

明 細 書

発明の名称： 圧接型半導体装置

技術分野

[0001] この発明は、圧接型半導体装置に関する。

背景技術

[0002] 電力用のパワーモジュールは、数キロボルトの高電圧かつ数キロアンペアの大電流を変換または制御しており、さらなる大容量化が求められている。大容量のパワーモジュールには、複数個の半導体素子が並列して実装されている。近年、洋上風力発電など過酷な環境下でパワーモジュールの需要が増加しており、高い信頼性と冗長性を有するパワーモジュールが求められている。このような状況において、従来の接合型に代わり圧接型半導体装置が注目を集めている。圧接型半導体装置には、複数個の半導体チップが搭載され、半導体チップの上下には中間電極として金属ブロックが設けられている。さらに、中間電極の上下から共通電極板を介して押圧されることで、装置内部の電氣的接触が保たれる。

先行技術文献

特許文献

[0003] 特許文献1：特開2003-264266号公報

特許文献2：特開2005-72351号公報

発明の概要

発明が解決しようとする課題

[0004] 圧接型半導体装置において、半導体チップの表面電極を中間電極が加圧する際、中間電極の外周に圧力が集中的に印加される。この局所的な圧力印加により、半導体チップにクラックが導入され破壊することがあった。また、モジュール面内の圧力ばらつきにより、中間電極と半導体チップの間の接触抵抗が加圧力によって変化するという問題が生じていた。

[0005] この問題の解決手法として、特許文献1には、IGBTチップの活性領域

と終端領域の間にバッファ領域を設け、バッファ領域には活性領域よりも高い台座部を設け、表面中間電極の外周部は台座部を押しつぶしながら加圧され、ブロックの中央部分と活性領域がコンタクトする手法が開示されている。この手法は表面中間電極の外周部と半導体チップの表面電極が接触することを抑制することができる。しかし、バッファ領域を新たに設けるためにチップサイズを大きくする必要があるため、モジュールの大型化につながり生産性の低下を引き起こす。また、バッファ領域上に台座を形成する工程が必要であるため、製造プロセスが複雑化する。

[0006] 本発明は、上記の問題点を解決するためになされたものであり、半導体チップの面積を増加させることなく、中間電極の外周部と半導体チップの表面電極との電気的な接触を抑制することを目的とする。

課題を解決するための手段

[0007] 本発明の圧接型半導体装置は、表面と裏面に第1主電極と第2主電極をそれぞれ有する複数個の半導体チップと、半導体チップの第1主電極に対向する第1中間電極と、第1中間電極の第1主電極との対向面と反対側に設けられる第1共通電極板と、第2主電極に対向して設けられる第2共通電極板と、を備え、第1中間電極の第1主電極との対向面は、第1主電極の第1中間電極との対向面よりも小さく、外周部の保護領域と保護領域に囲まれた接続領域とを有する。本発明の圧接型半導体装置は、接続領域に部分的に形成された複数の第1導体膜と、接続領域のうち第1導体膜が形成されない領域と保護領域とに形成された第1絶縁膜とを備える。

発明の効果

[0008] 本発明の圧接型半導体装置によれば、第1中間電極が第1導体膜により接続領域において第1主電極と導通するため、半導体チップの面積を増加させることなく、第1中間電極の外周部が半導体チップの外周部と電気的に接触することを抑制することができる。本発明の目的、特徴、態様、および利点は、以下の詳細な説明と添付図面とによって、より明白となる。

図面の簡単な説明

[0009] [図1]前提技術の圧接型半導体装置の断面図である。

[図2]実施の形態1におけるアノード中間電極とダイオードチップの接触部の構造を示す図である。

[図3]実施の形態1におけるエミッタ中間電極とIGBTチップの接触部の構造を示す図である。

[図4]実施の形態1の変形例における、表面中間電極の半導体チップに対する接触面の上面図である。

[図5]実施の形態1の変形例における、表面中間電極の半導体チップに対する接触面の上面図である。

[図6]実施の形態1の変形例における、表面中間電極の半導体チップに対する接触面の上面図である。

[図7]実施の形態1の変形例における、表面中間電極の半導体チップに対する接触面の上面図である。

[図8]実施の形態1の変形例における、表面中間電極の半導体チップに対する接触面の上面図である。

[図9]実施の形態2における、エミッタ中間電極とIGBTチップとの接触部の構成を示す図である。

[図10]実施の形態2の圧接型半導体装置の実装例を示す図である。

[図11]実施の形態2のIGBTチップのゲート配線を通る断面の模式図である。

[図12]実施の形態3におけるエミッタ中間電極とIGBTチップの接触部の構造を示す図である。

[図13]図12のA-A'線に沿ったIGBTチップの断面図である。

[図14]実施の形態3におけるアノード中間電極とダイオードチップの接触部の構造を示す図である。

[図15]図14のB-B'線に沿ったダイオードチップの断面図である。

[図16]実施の形態4のIGBTチップの上面図である。

[図17]図16のC-C'線に沿ったIGBTチップの断面図である。

[図18]実施の形態4のIGBTチップのゲート配線を通る断面の断面図である。

[図19]実施の形態4におけるエミッタ中間電極のIGBTチップに対する接触面の上面図である。

[図20]実施の形態4のIGBTチップの等価回路図である。

発明を実施するための形態

[0010] < A. 前提技術 >

図1は、前提技術の圧接型半導体装置100の断面図である。圧接型半導体装置100は、複数個のIGBT (Insulated Gate Bipolar Transistor) チップ200と複数個のダイオードチップ300を備えている。ここでは、半導体チップの例としてIGBTチップとダイオードチップを挙げている。

[0011] IGBTチップ200の表面には、終端領域201、表面電極であるエミッタ電極202、ゲートパッド203が設けられており、裏面にはコレクタ電極204が設けられている。エミッタ電極202を第1主電極、コレクタ電極204を第2主電極とも称する。エミッタ電極202の直上にはエミッタ中間電極401が設けられている。言い換えれば、IGBTチップ200のエミッタ電極202にエミッタ中間電極401は対向している。コレクタ電極204の直下にはコレクタ中間電極501が設けられている。

[0012] ダイオードチップ300の表面には、表面電極であるアノード電極301と終端領域303が設けられており、裏面にはカソード電極302が設けられている。アノード電極301の直上にはアノード中間電極402が設けられている。カソード電極302の直下にはカソード中間電極502が設けられている。本明細書では、エミッタ中間電極401とアノード中間電極402をまとめて表面中間電極400と称し、コレクタ中間電極501とカソード中間電極502をまとめて裏面中間電極500と称する。なお、表面中間電極400を第1中間電極とも称する。また、表面中間電極400と裏面中間電極500をまとめて、単に中間電極とも称する。

[0013] 表面中間電極400の上部には第1共通電極板であるエミッタ共通電極板

403が設けられ、裏面中間電極500の下部には第2共通電極板であるコレクタ共通電極板503が設けられている。本明細書では、エミッタ共通電極板403とコレクタ共通電極板503をまとめて、単に共通電極板とも称する。共通電極板が上下から加圧されることにより、中間電極を介してIGBTチップ200同士、およびダイオードチップ300同士が並列に接続され、IGBTチップ200とダイオードチップ300は逆並列に接続される。すなわち、ダイオードチップ300は還流ダイオード(FWD:Free Wheeling Diode)として機能する。なお、半導体チップはコレクタ共通電極板503と直接接触しても良く、この場合に裏面中間電極500は不要である。

[0014] IGBTチップ200のゲートパッド203には、スプリングピンなどが設けられた制御端子601が接続される。制御端子601は、筐体外部に引き出され、図示しないゲート駆動回路に接続される。共通電極板は銅などの金属板で形成される。中間電極は、銅、タングステンまたはモリブデンなどの金属で形成される。裏面中間電極500は、コレクタ電極204およびカソード電極302と、例えばはんだなどで固定される。中間電極と半導体チップとの接触面には、接触抵抗を低減するため、ニッケルなどのめっき膜が形成されていても良い。

[0015] 表面中間電極400は、図1において単なる金属ブロックとして示されているが、金属ブロックとその上部のバネとが一体となった構造でも良い。このような構造であれば、バネによって半導体チップ間に印加される圧力のばらつきが吸収される。

[0016] 圧接型半導体装置100を上下から加圧すると、表面中間電極400に印加される圧力は金属ブロックの最外周に集中する。半導体チップと表面中間電極400の抵抗を低減し、または短絡破壊時のアーク放電発生を抑制するためには、十分高い圧力を共通電極板に印加する必要がある。こうして、高い圧力が表面中間電極400を介して半導体チップの外周部に局所的に印加されると、半導体チップにクラックが生じる原因となる。

[0017] 半導体チップの表面電極と表面中間電極400の接触面積は、圧力の増加

に伴い、外周から内側に向けて徐々に増加する。各半導体チップに印加される圧力にばらつきがあると、各半導体チップの表面電極と表面中間電極400との接触抵抗がばらつき、電流の不均一が生じるため、圧接型半導体装置100の信頼性が低下する。

[0018] そこで、以下の実施の形態では、半導体チップの面積を増加させることなく、表面中間電極400の外周部と半導体チップの表面電極との接触抵抗の変化を抑制する圧接型半導体装置について説明する。

[0019] < B. 実施の形態1 >

実施の形態1の圧接型半導体装置は、図1に示した前提技術の圧接型半導体装置100に対して、表面中間電極400と半導体チップとの接触部に工夫を加えたものであり、それ以外の構成は圧接型半導体装置100と同様である。以下、実施の形態1の圧接型半導体装置における表面中間電極400と半導体チップとの接触部の構成について、図2と図3を用いて説明する。

[0020] 図2はダイオードチップ300側の構成を示している。図2は、上部にアノード中間電極402のダイオードチップ300との接触面を示し、中部にアノード中間電極402の断面図を示し、下部にダイオードチップ300の断面図を示している。

[0021] 図2の点線は、アノード中間電極402とダイオードチップ300の位置関係を示している。この点線で示されるように、アノード中間電極402のダイオードチップ300に対する接触面は、ダイオードチップ300のアノード電極301より小さい。言い換えれば、アノード中間電極402は、アノード電極301の内側に配置される。この条件を満たす限り、アノード中間電極402のダイオードチップ300に対する接触面には任意のサイズおよび形状が採用される。

[0022] 表面中間電極400の半導体チップに対する接触面は、外周部の保護領域405と、保護領域405の内側の接続領域404とに区分される。接続領域404には複数個の導体膜407が形成され、接続領域404により表面中間電極400と半導体チップとの電氣的な接触が実現する。保護領域40

5の幅405bは、アノード中間電極402を構成する金属ブロックの一片の長さの5から15%程度が好ましい。保護領域405と、接続領域404のうち導体膜407が形成されない領域とは、絶縁膜406で覆われている。導体膜407は、アノード中間電極402のダイオードチップ300に対する接触面の重心に対して点对称に配置されることが好ましい。

[0023] 図3はIGBTチップ200側の構成を示している。図3は、上部にエミッタ中間電極401のIGBTチップ200との接触面を示し、中部にエミッタ中間電極401の断面図を示し、下部にIGBTチップ200の断面図を示している。

[0024] 図3の点線は、エミッタ中間電極401とIGBTチップ200の位置関係を示している。この点線で示されるように、エミッタ中間電極401のIGBTチップ200に対する接触面は、IGBTチップ200のエミッタ電極202より小さい。言い換えれば、エミッタ中間電極401は、エミッタ電極202の内側に配置される。この条件を満たす限り、エミッタ中間電極401のIGBTチップ200に対する接触面には任意のサイズおよび形状が採用される。

[0025] アノード中間電極402と同様、エミッタ中間電極401のIGBTチップ200に対する接触面は、保護領域405と接続領域404とに区分される。保護領域405における導体膜407の配置は、アノード中間電極402とエミッタ中間電極401とで同じである。

[0026] 表面中間電極400に印加される圧力が小さい間は、表面中間電極400の外周部にのみ圧力が印加されている。しかし、圧力の増加に伴い、徐々に表面中間電極400の内側にも圧力が印加される。実施の形態1の圧接型半導体装置によれば、表面中間電極400の半導体チップに対する接触面を図2, 3で示す通りに構成したため、各導体膜407と半導体チップがバランスよく加圧され、接触抵抗のばらつきが抑制される。

[0027] 絶縁膜406は、例えばスパッタまたは蒸着などにより酸化物または窒化物を堆積させて形成される。あるいは、絶縁膜406は、絶縁塗料または樹

脂をスプレーで吹き付けたりスピコートでスピコートしたりするなどの手法で形成される。この時、導体膜407が形成される領域は、メタルマスクまたはテープなどで保護され、当該領域に絶縁膜が形成されないようにする。あるいは、全体に絶縁膜を形成した後、導体膜407を形成する領域の絶縁膜を除去する。

[0028] 導体膜407は絶縁膜406と同様に、スパッタまたは蒸着などで金属を成膜することによって形成される。あるいは、電解めっきによって厚膜金属を形成し、導体膜407としても良い。

[0029] 実施の形態1の圧接型半導体装置は、表面と裏面に第1主電極と第2主電極をそれぞれ有する複数個の半導体チップと、半導体チップの第1主電極に対向する第1中間電極である表面中間電極400と、表面中間電極400の第1主電極との対向面と反対側に設けられる第1共通電極板であるエミッタ共通電極板403と、第2主電極に対向して設けられる第2共通電極板であるコレクタ共通電極板503と、を備える。表面中間電極400の第1主電極との対向面は、第1主電極の表面中間電極400との対向面よりも小さく、外周部の保護領域405と保護領域405に囲まれた接続領域404とを有する。実施の形態1の圧接型半導体装置は、接続領域404に部分的に形成された複数の第1導体膜である導体膜407と、接続領域404のうち導体膜407が形成されない領域と保護領域405とに形成された第1絶縁膜である絶縁膜406と、を備える。

[0030] 上記の構成により、実施の形態1の圧接型半導体装置によれば、表面中間電極400が外周部の保護領域405ではなく接続領域404において半導体チップの第1主電極と導通するため、半導体チップの面積を増加させることなく、表面中間電極400の外周部が半導体チップの外周部と電氣的に接触することを抑制することができる。

[0031] また、導体膜407が、表面中間電極400の半導体チップに対する接触面、すなわち対向面において、当該接触面の重心に対して点対称に配置される場合、各表面中間電極400と半導体チップとの間の接触抵抗が均一化さ

れる。これによって、圧接型半導体装置内の半導体チップ間に通電する電流のばらつきを抑制し、圧接型半導体装置の信頼性が向上する。

[0032] また、絶縁膜406の材料にポリイミドなどの柔らかい樹脂を用いることにより、絶縁膜406を、高圧力が印加される表面中間電極400の外周部における緩衝材としても機能させることができる。これによって、高い圧力を印加しても半導体チップにクラックが導入されることを抑制し、圧接型半導体装置の生産性と信頼性を向上させることができる。

[0033] さらに、表面中間電極400の外周部が絶縁膜406で覆われることにより、半導体チップと表面中間電極400との間に位置ズレが生じて、表面中間電極400がゲートパッド203または終端領域201, 303を押圧した場合であっても、電氣的な短絡が生じないため、組み立て時の不良を低減することができる。

[0034] 先行文献2の実施例の一つでは、IGBTチップのエミッタ電極に対向して緩衝板が設けられる。先行文献2の緩衝板は、複数個の電極部材と、電極部材を隔てる絶縁部材とを備えている。この緩衝板は、本実施の形態1における表面中間電極に相当すると考えられる。実施の形態1の圧接型半導体装置と先行文献2との共通点は、表面中間電極の通電可能領域を制限している点である。しかし、先行文献2には表面中間電極における導体領域の配置と面積に関する記載はない。

[0035] 例えば、複数個の導体領域がIGBTチップの外周部と中央部でそれぞれ接触するように設計される場合、表面中間電極の圧力は一般的に外周部に集中的に印加されるため、IGBTチップの外周部と表面中間電極の導体部が優先的に接触する。この場合、外周部に通電領域が制限されるため、コレクターエミッタ電極間の電気抵抗が増大し、パワーモジュールの損失が増大する。または、通電領域が過剰に制限されるため電流が集中して発熱が生じ、IGBTチップが破損する恐れがある。さらに、圧力を増加させるとIGBTチップの中央部も表面中間電極のエミッタ電極と接触するので、圧力の増加に伴いIGBTチップと表面中間電極の接触面積が増大し、コレクターエ

ミッタ電極間の抵抗が低下する。圧力によって IGBT チップの抵抗が変化するため、圧接型半導体装置内の IGBT チップ間に通電する電流量の不均一が生じ、装置の信頼性が低下する。

[0036] 一方、本実施の形態によれば、導通領域を均一な圧力が印加される領域に限定するので、圧力のばらつきによらず安定したコレクターエミッタ電極間抵抗が得られる。これによって、損失を増加させることなく、信頼性の高い圧接型半導体装置が得られる。

[0037] 加えて、先行文献の製造手法によれば、導体部材と絶縁部材が別の材料で作製され、両者を組み合わせることによって一つの表面中間電極が形成される。一方、本実施の形態の製造方法では、表面中間電極 400 の表面のパターニングにより絶縁領域と導体領域が形成される。そのため、部品の点数が増えないため、製造が容易であると共に導体領域の設計自由度が高いというメリットが得られる。

[0038] 表面中間電極 400 の半導体チップに対する接触面の変形例を、図 4 から図 8 に示す。図 2 と図 3 では、表面中間電極 400 の重心上に導体膜 407 が形成されなかった。しかし、図 4 に示すように、表面中間電極 400 の重心上に導体膜 407 が形成されても良い。導体膜 407 の分割数は任意であり、例えば、図 5 のように 4 個、図 6 のように 16 個、図 7 のように 3 個でも良い。各導体膜 407 のサイズは同一であることが好ましいが、必ずしも同一でなくとも上述の効果を得ることができる。また、導体膜 407 の形状は円形でなくても良く、例えば図 8 に示すように矩形であっても良い。また、複数の形状の導体膜 407 を組み合わせて用いても良い。

[0039] 図 1 では、圧接型半導体装置 100 に搭載される半導体チップに、IGBT と還流ダイオードを用いたが、半導体チップの種類はこれに限定しない。例えば、IGBT の代わりに MOSFET (Metal-Oxide-Semiconductor Field-Effect Transistor) を用いても良い。また、IGBT チップ 200 とダイオードチップ 300 の個数は、モジュールの定格電流に応じて任意に変更することができる。IGBT チップ 200 とダイオードチップ 300 の個数

は同一でなくても良い。例えば IGBT チップ 200 の個数はダイオードチップ 300 の 2 倍の個数であっても良い。半導体チップの基板には、シリコン、窒化ガリウム、炭化珪素、窒化アルミニウム、酸化ガリウムまたはダイヤモンドなどの任意の材料を用途に応じて使用する。

[0040] また、IGBT チップ 200 とダイオードチップ 300 に代えて、逆導通 IGBT (RC-IGBT: Reverse-conducting IGBT) を使用しても良い。この場合、表面中間電極 400 の逆導通 IGBT チップに対する接触面の構造には、図 3 に示した構造を適用可能である。

[0041] < C. 実施の形態 2 >

実施の形態 1 の圧接型半導体装置において、エミッタ中間電極 401 と IGBT チップ 200 との接触部の構成を変更したものである。以下、実施の形態 2 の圧接型半導体装置におけるエミッタ中間電極 401 と IGBT チップ 200 との接触部の構成について、図 9 から図 11 を用いて説明する。

[0042] 図 9 において、上部は、エミッタ中間電極 401 の IGBT チップ 200 との接触面を示し、下部は IGBT チップ 200 の上面図である。IGBT チップ 200 には、ゲートパッド 203 から各セルにゲート電流を供給するために、エミッタ電極 202 から電氣的に分離された制御配線であるゲート配線 205 が設けられている。ゲート配線 205 は半導体基板上に SiO_2 などを通してチップ表面に形成される低抵抗配線層である。ゲート配線 205 は、例えばアルミニウムなどの金属膜または高濃度に不純物がドーピングされたポリシリコン膜、またこれらの積層膜であっても良い。なお、図 9 の下部では、2 本のゲート配線 205 が描かれているが、ゲート配線 205 の本数はチップサイズに応じて任意に変更可能である。また、ゲートパッド 203 は IGBT チップ 200 内の任意の場所に配置される。

[0043] 図 9 の下部においてエミッタ電極 202 内に描かれた破線の円は、図 9 の上部の導体膜 407 が接触する位置を示している。実施の形態 2 の圧接型半導体装置は、導体膜 407 が IGBT チップ 200 のゲート配線 205 と接触しないように形成されているという点で、実施の形態 1 の圧接型半導体装

置と異なる。この構造を実現するためには、エミッタ中間電極401とIGBTチップ200の位置合わせ精度が十分に高くなければならない。

[0044] 高い位置合わせ精度を実現する圧接型半導体装置の実装例を図10に示す。図10において、IGBTチップ200ははんだでコレクタ中間電極501と固定されている。コレクタ共通電極板503にはコレクタ中間電極ガイド104が設けられており、コレクタ中間電極ガイド104に沿ってコレクタ中間電極501がコレクタ共通電極板503上に配置される。すなわち、コレクタ中間電極501のモジュール内での位置はコレクタ中間電極ガイド104により規定される。

[0045] IGBTチップ200の外周上に、ポリイミドなどで終端領域201の保護膜212が形成される。保護膜212にチップガイド102を載せ、接着剤103で固定する。チップガイド102は、例えばシリコン樹脂で形成される。次に、チップガイド102を用いて、エミッタ中間電極401をIGBTチップ200上に載せることで、エミッタ中間電極401とIGBTチップ200との位置ずれを防止することができる。

[0046] 図11は、IGBTチップ200のゲート配線205を通る断面の模式図である。IGBTチップ200は、半導体層208、絶縁膜210、ポリシリコン層209、ゲート金属層211、絶縁膜206がこの順に積層された構成である。このうち、ポリシリコン層209とゲート金属層211がゲート配線205に相当する。絶縁膜206, 210は、ゲート配線205を覆う第2絶縁膜である。絶縁膜210はSiO₂などからなり、絶縁膜206はSiNなどからなる。ゲート配線205は、トレンチゲート型のMOSFETまたはIGBTにおいては、トレンチより上部にある低抵抗配線層であり、プレーナー型のMOSFETまたはIGBTにおいては、個々のトランジスタのゲート電極と電氣的に接続された低抵抗配線層である。

[0047] 従来の圧接型半導体装置では、ゲート配線205をエミッタ中間電極401で加圧した際に、絶縁膜206に垂直方向にクラックが導入され、下部のゲート金属層211が表面に露出することがあった。エミッタ中間電極40

1がゲート金属層211と接触すると、IGBTのゲート電極－エミッタ電極が短絡し、スイッチング動作を行うことができなくなる。一方、実施の形態2の圧接型半導体装置では、図11で示したように、ゲート配線205の直上に位置するエミッタ中間電極401の領域には絶縁膜406が形成されている。言い換えれば、導体膜407は平面視においてゲート配線205と重ならない位置に形成されている。そのため、絶縁膜206にクラックが導入されても、ゲート金属層211は絶縁膜406によりエミッタ中間電極401と電氣的に分離されている。従って、圧接型半導体装置に高い圧力を加えることが可能となり、半導体チップ－中間電極間の接触抵抗が低減され、低損失な圧接型半導体装置が実現する。また、共通電極板間に高い圧力を加えることができるため、IGBTチップ200と中間電極との間の空隙が低減する。そのため、IGBTチップ200の短絡破壊時に、IGBTチップ200と中間電極との間の空隙でアーク放電が生じて破壊に至ることが抑制され、モジュールの信頼性が向上する。

[0048] <D. 実施の形態3>

実施の形態3の圧接型半導体装置は、実施の形態1の圧接型半導体装置において、表面中間電極400と半導体チップとの接触部の構成を変更したものである。以下、実施の形態3の圧接型半導体装置における表面中間電極400と半導体チップとの接触部の構成について、図12から図15を用いて説明する。

[0049] 図12と図13は、実施の形態3の圧接型半導体装置のIGBT側の構成を示している。図12は、エミッタ中間電極401のIGBTチップ200に対する接触面の上面図と、エミッタ中間電極401の断面図と、IGBTチップ200の上面図を示している。図13は、図12のA-A'線に沿ったIGBTチップ200の断面図である。

[0050] 図12に示すように、ゲート配線205はIGBTチップ200のセル領域の中心から放射状に設けられている。エミッタ電極202はゲート配線205により、具体的にはゲート配線205を覆う絶縁膜206, 210によ

り放射状に分割され、図13に示すように複数のアイランド状電極となっている。すなわち、絶縁膜206, 210は、エミッタ電極202を複数のアイランド状に分割する第3絶縁膜である。分割された各エミッタ電極202の上面の大部分は、二酸化シリコンまたは窒化シリコンからなる絶縁膜206で覆われており、残りの部分に第2導体膜である導体膜207が形成されている。導体膜207は下部のエミッタ電極202と接続されている。導体膜207は、IGBTチップ200のエミッタ中間電極401に対する接触面において、接触面の重心に対して点对称に配置されることが好ましい。また、図12に示すように、導体膜207は、ゲート配線205で分割された各エミッタ電極202に均等に配置されることが好ましい。均等に配置されるとは、各エミッタ電極202上に形成された導体膜207の表面積が等しいという意味である。

[0051] エミッタ中間電極401のIGBTチップ200に対する接触面には、接続領域404において導体膜207に対応する位置に導体膜407が形成され、導体膜207と接触する。当該接触面のそれ以外の位置には絶縁膜406が形成されている。

[0052] 図14と図15は、実施の形態3の圧接型半導体装置のダイオード側の構成を示している。図14は、アノード中間電極402のダイオードチップ300に対する接触面の上面図と、アノード中間電極402の断面図と、ダイオードチップ300の上面図を示している。図15は、図14のB-B'線に沿ったダイオードチップ300の断面図である。

[0053] 図14と図15に示すように、アノード電極301は、二酸化シリコンなどからなる絶縁膜306によって中央から放射線状に分割され、複数のアイランド状電極となっている。アノード電極301の上面の大部分は、二酸化シリコンまたは窒化シリコンからなる絶縁膜304で覆われ、残りの部分に導体膜305が形成されている。すなわち、絶縁膜304, 306は、アノード電極301を複数のアイランド状に分割する第3絶縁膜として機能する。導体膜305は下部のアノード電極301と接続されている。導体膜30

5は、ダイオードチップ300のアノード中間電極402に対する接触面において、接触面の重心に対して点対称に配置されることが好ましい。また、図14に示すように、導体膜305は、絶縁膜306で分割された各アノード電極301に均等に配置されることが好ましい。均等に配置されるとは、各アノード電極301における導体膜305の表面積が等しいという意味である。

[0054] アノード中間電極402のダイオードチップ300に対する接触面には、接続領域404において導体膜207と接触する位置に導体膜407が形成されており、それ以外の位置には絶縁膜406が形成されている。

[0055] 実施の形態3の圧接型半導体装置において、半導体チップの表面電極は複数のアイランド状電極に分割され、分割された各表面電極上に、均等に導体膜が形成されている。これによって、分割された各表面電極と表面中間電極400との間の接触抵抗が均一になる。また、大電流を通電する場合に何らかの理由で各表面電極を通電する電流量が不均一となった場合、抵抗の小さな表面電極に電流が通電し他の表面電極よりも温度が上昇する。温度の上昇に伴って、当該表面電極の抵抗が増加するため、半導体チップ内の電流不均一が自然に低減される。これによって、半導体チップ内の局所的な温度上昇を抑制することができ、圧接型半導体装置の信頼性が向上する。

[0056] < E. 実施の形態4 >

実施の形態4の圧接型半導体装置は、実施の形態2の圧接型半導体装置において、エミッタ中間電極401とIGBTチップ200との接触部の構成を変更したものである。以下、実施の形態4の圧接型半導体装置におけるエミッタ中間電極401とIGBTチップ200との接触部の構成について、図16から図20を用いて説明する。なお、本実施の形態は実施の形態3と組み合わせることも可能である。

[0057] 図16は、IGBTチップ200の上面図である。図17は、図16のC-C'線に沿ったIGBTチップ200の断面図である。図18は、IGBTチップ200のゲート配線205を通る断面の模式図である。図19は、

エミッタ中間電極401のIGBTチップ200に対する接触面の上面図である。

[0058] 実施の形態4の圧接型半導体装置は、実施の形態2の圧接型半導体装置において、IGBTチップ200に第3導体膜である導体膜207bを設け、エミッタ中間電極401に導体膜407bを設けたものである。これら以外の実施の形態4の圧接型半導体装置の構成は、実施の形態2の圧接型半導体装置と同様である。導体膜207bは、IGBTチップ200のゲート配線205が形成された領域の最表面に設けられる。導体膜407bは、エミッタ中間電極401の接続領域404の導体膜207bと接触する領域に設けられる。すなわち、導体膜207bと導体膜407bは接触する。

[0059] 図18に示すように、IGBTチップ200は、半導体層208、絶縁膜210、ポリシリコン層209、ゲート金属層211、絶縁膜206、および導体膜207bがこの順に積層された構成である。絶縁膜206は二酸化シリコンまたは窒化シリコンで構成される。導体膜207bは例えば、ニッケルまたは金などの単体膜または積層膜で形成される。

[0060] 導体膜207bと導体膜407bを接触させ、導体膜207と導体膜407を接触させるため、エミッタ中間電極401とIGBTチップ200には高い位置精度が求められる。そのため、図10と同様の手法でエミッタ中間電極401の位置決めを実施することが好ましい。

[0061] 上記では、実施の形態2の圧接型半導体装置に対する変形例として実施の形態4の圧接型半導体装置を説明した。しかし、本実施の形態は、実施の形態3にも適用可能である。

[0062] 図18に示すように、ゲート配線205上に比較的柔らかい金属膜である導体膜207bを形成したことで、エミッタ中間電極401に存在する凹凸が導体膜207bで吸収され、ゲート配線205に局所的に高圧力が印加されることが防止される。これにより、ゲート配線205上の絶縁膜206が圧力によって破損して、ゲート金属層211がエミッタ中間電極401と接触することが防止される。その結果、圧接型半導体装置の信頼性が向上し、

製造時の破損を抑制して生産性が向上する。

[0063] エミッタ中間電極401とIGBTチップ200が押圧され、導体膜407bと導体膜207bが接触すると、導体膜207bはエミッタ電位となる。一方、ゲート金属層211はゲートパッド203から供給されるゲート電流により、ゲート電位となる。この時のIGBTチップ200の等価回路図を図20に示す。IGBT素子701に、電源電圧 V_{cc} とゲート-エミッタ間電圧 V_{ge} が印加されている。ゲート電極には、内蔵ゲート抵抗 R_{g1} と外付けゲート抵抗 R_{g2} の両方またはいずれか一方が接続される。また、破線で示した通り、寄生容量としてゲート-コレクタ間容量 C_{gc} と、ゲート-エミッタ間容量 C_{ge} が接続される。さらに、図18の構造によるとゲート金属層211と導体膜207bが絶縁膜206を介して並行平板コンデンサを構成する。また、ゲート配線205は寄生抵抗を有するため、図20の破線で示したように、ゲート-エミッタ間にメインのゲート配線205と並列に寄生スナバ回路702が形成される。これにより、ゲート電圧の発振を抑制することができる。寄生スナバ回路702の容量は、絶縁膜206の膜厚によって制御することができる。

[0064] 2つのIGBT素子を直列接続して、上下アームを形成した構造を考える。下アームIGBTがオフで上アームIGBTがターンオンする。この際に、下アームIGBTの帰還容量に変位電流が流れて下アームIGBTが誤点弧することがある。この変位電流は上アームIGBTのコレクタ電圧変化速度(dV/dt)に比例するため、スイッチング速度の高速化を妨げる要因の一つとなっていた。一方、本実施の形態の構造では、寄生容量にゲート-エミッタ間の変位電流が充電されるため、ゲート-エミッタ間に流れる変位電流が抑制され、誤点弧が抑制される。これにより、上アームIGBTと下アームIGBTが同時にオン状態となってIGBTチップが短絡破壊することが防止されると共に、スイッチング速度を高速化することが可能となる。

[0065] なお、本発明は、その発明の範囲内において、各実施の形態を自由に組み合わせたり、各実施の形態を適宜、変形、省略することが可能である。この

発明は詳細に説明されたが、上記した説明は、すべての態様において、例示であって、この発明がそれに限定されるものではない。例示されていない無数の変形例が、この発明の範囲から外れることなく想定され得るものと解される。

符号の説明

[0066] 102 チップガイド、103 接着剤、104 コレクタ中間電極ガイド、200 IGBTチップ、201, 303 終端領域、202 エミッタ電極、203 ゲートパッド、204 コレクタ電極、205 ゲート配線、206, 210, 304, 306 絶縁膜、207, 207b, 305, 407, 407b 導体膜、208 半導体層、209 ポリシリコン層、211 ゲート金属層、212 保護膜、300 ダイオードチップ、301 アノード電極、302 カソード電極、400 表面中間電極、401 エミッタ中間電極、402 アノード中間電極、403 エミッタ共通電極板、404 接続領域、405 保護領域、500 裏面中間電極、501 コレクタ中間電極、502 カソード中間電極、503 コレクタ共通電極板、601 制御端子、701 IGBT端子、702 寄生スナバ回路。

請求の範囲

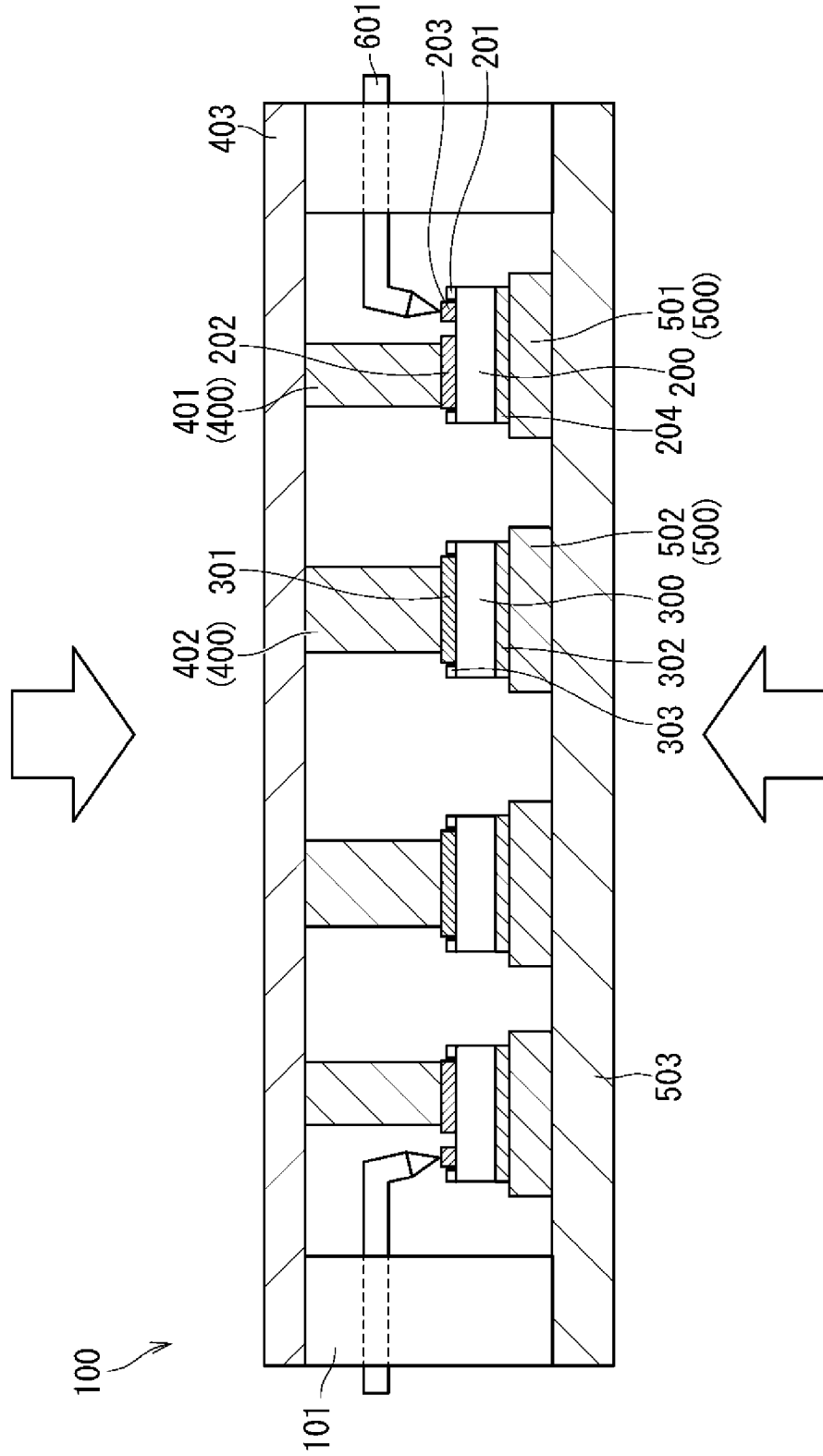
- [請求項1] 表面と裏面に第1主電極（202, 301）と第2主電極（204, 302）をそれぞれ有する複数個の半導体チップ（200, 300）と、
- 前記半導体チップ（200, 300）の前記第1主電極（202, 301）に対向する第1中間電極（400）と、
- 前記第1中間電極（400）の前記第1主電極（202, 301）との対向面と反対側に設けられる第1共通電極板（403）と、
- 前記第2主電極（204, 302）に対向して設けられる第2共通電極板（503）と、を備え、
- 前記第1中間電極（400）の前記第1主電極（202, 301）との対向面は、前記第1主電極（202, 301）の前記第1中間電極（400）との対向面よりも小さく、外周部の保護領域（405）と前記保護領域（405）に囲まれた接続領域（404）とを有し、
- 前記接続領域（404）に部分的に形成された複数の第1導体膜（407）と、
- 前記接続領域（404）のうち前記第1導体膜（407）が形成されない領域と前記保護領域（405）とに形成された第1絶縁膜（406）と、を備える、
- 圧接型半導体装置。
- [請求項2] 複数の前記第1導体膜（407）は、前記第1中間電極（400）の前記第1主電極（202, 301）との対向面の重心に対して点対称に形成される、
- 請求項1に記載の圧接型半導体装置。
- [請求項3] 前記半導体チップ（200, 300）は、IGBTチップ（200）と、前記IGBTチップ（200）に逆並列接続されたダイオードチップ（300）とを含む、
- 請求項1または請求項2に記載の圧接型半導体装置。

[請求項4] 前記半導体チップ（200, 300）はIGBTチップ（200）を含み、
前記IGBTチップ（200）は、
前記第1主電極（202）から電氣的に分離された制御配線（205）と、
前記制御配線（205）を覆う第2絶縁膜（206, 210）とを備え、
前記第1導体膜（407）は、平面視において前記制御配線（205）と重ならない位置に形成される、
請求項1から請求項3のいずれか1項に記載の圧接型半導体装置。

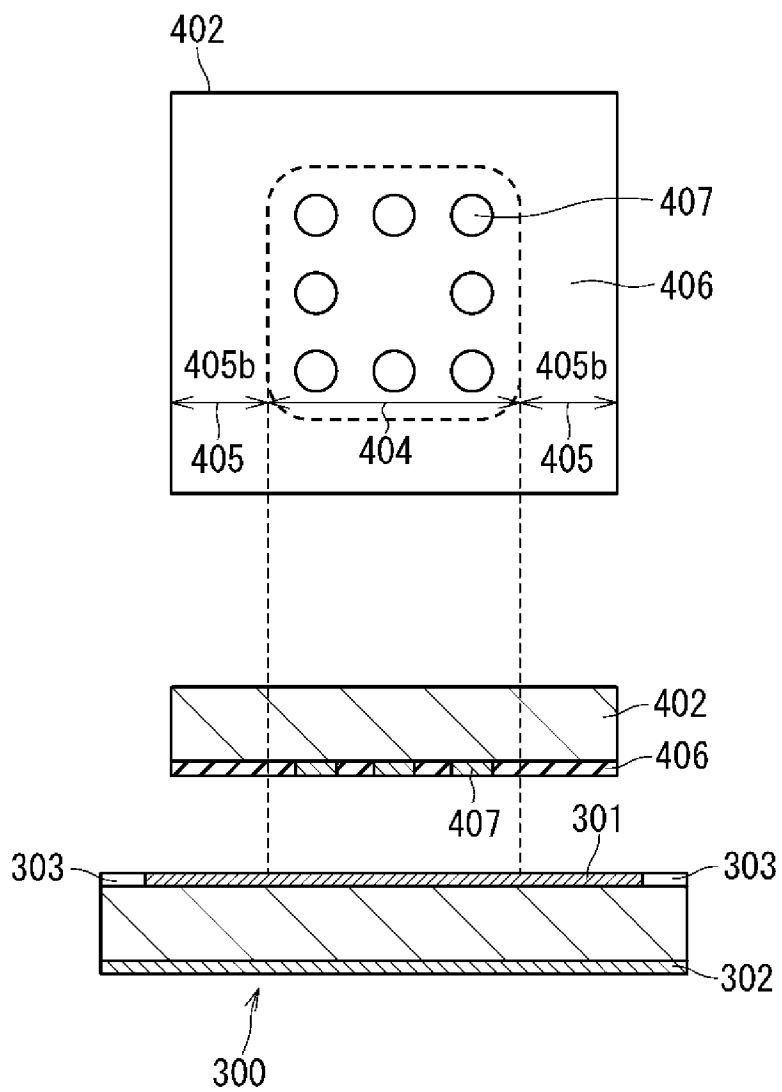
[請求項5] 前記第1主電極（202, 301）は、第3絶縁膜（206, 210, 304, 306）によって複数のアイランド状に分割され、
前記半導体チップ（200, 300）は、分割された各前記第1主電極（202, 301）上に、部分的に形成された第2導体膜（207）を備え、
分割された各前記第1主電極（202, 301）間で、前記第2導体膜の表面積は等しく、
前記第1導体膜（407）は、前記接続領域（404）のうち前記第2導体膜（207）に対応する位置に形成され、前記第2導体膜（207）と接触する、
請求項1から請求項4のいずれか1項に記載の圧接型半導体装置。

[請求項6] 前記IGBTチップ（200）は、前記第2絶縁膜（206）上に形成され、前記IGBTチップ（200）の表面を構成する第3導体膜（207b）を備える、
請求項4に記載の圧接型半導体装置。

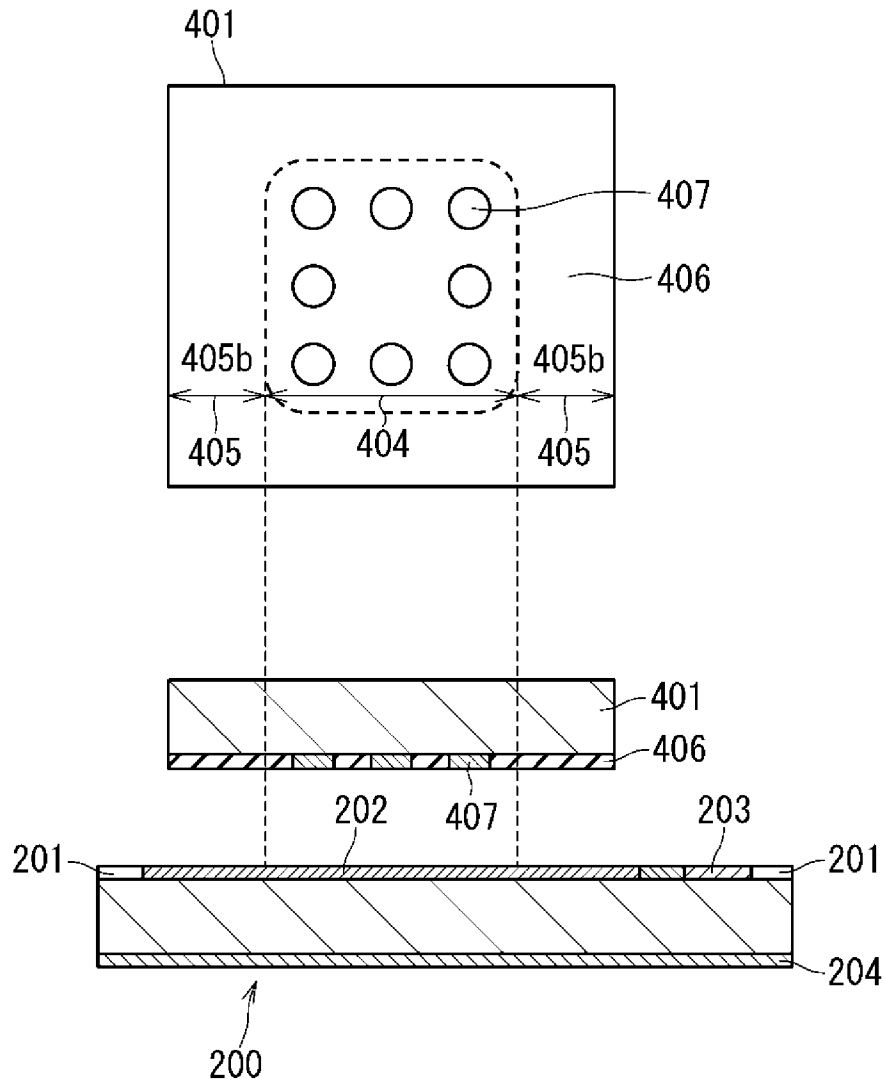
[図1]



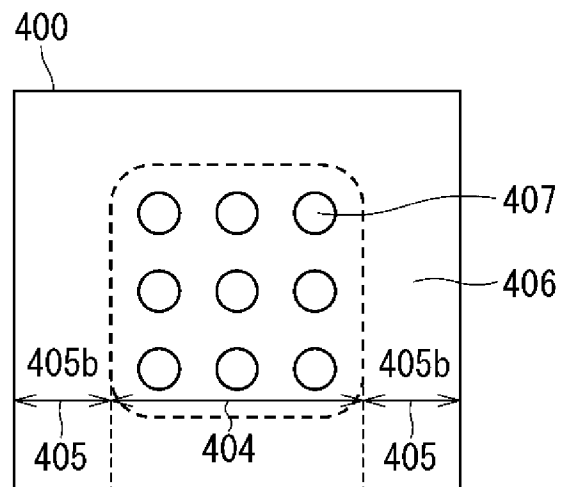
[図2]



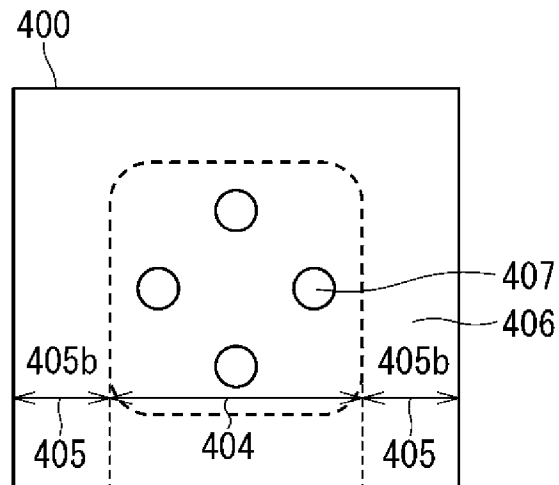
[図3]



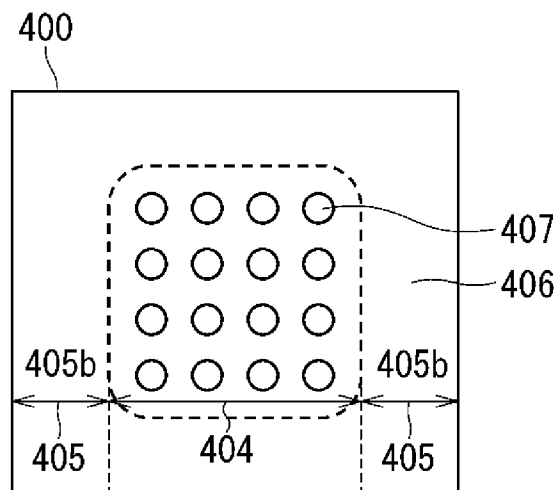
[図4]



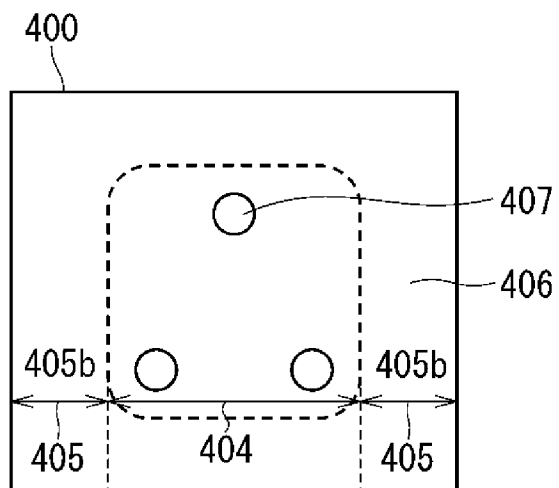
[図5]



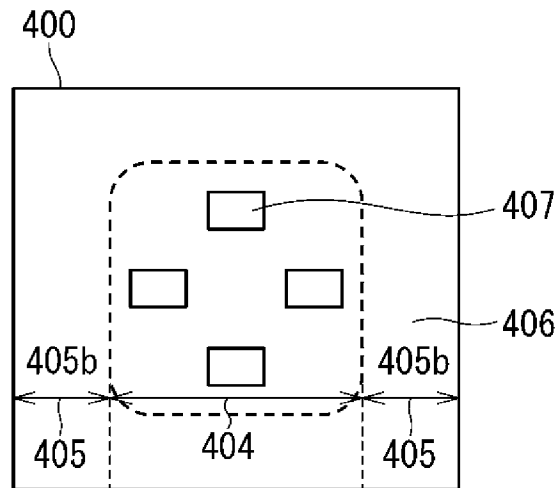
[図6]



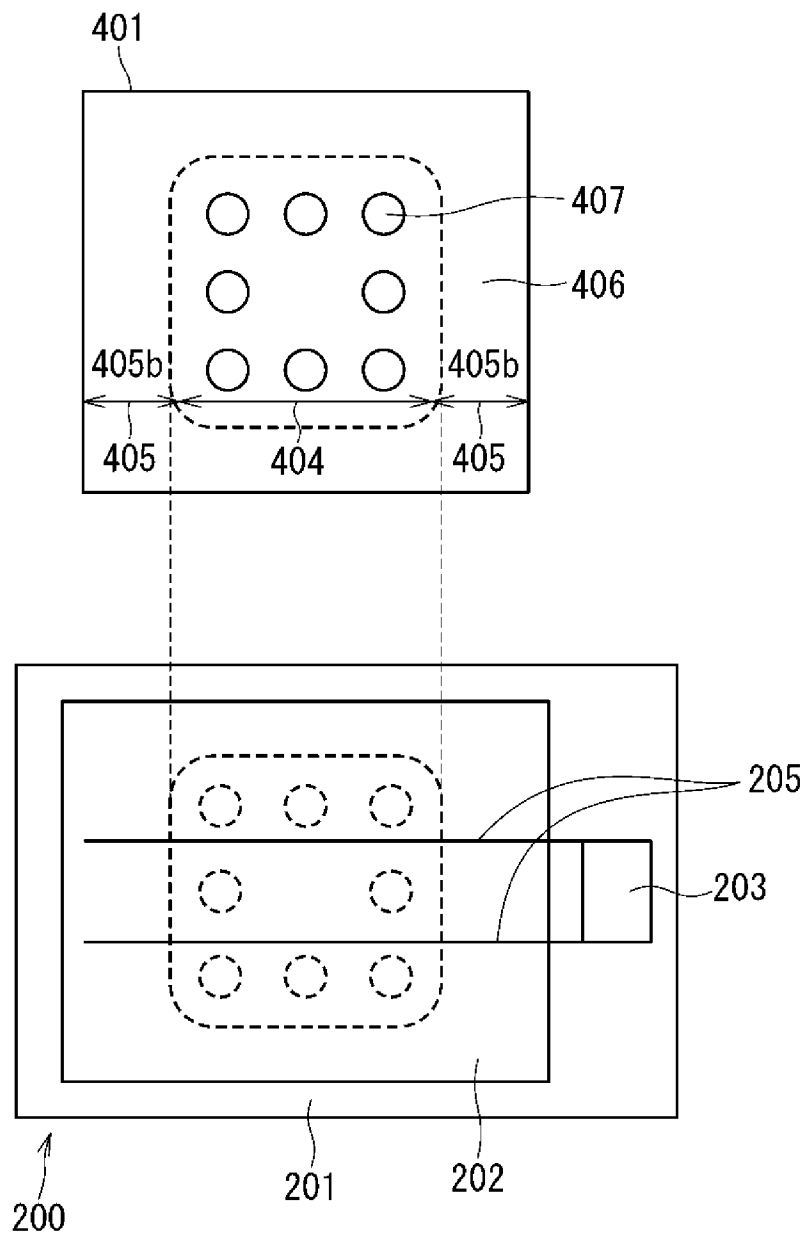
[図7]



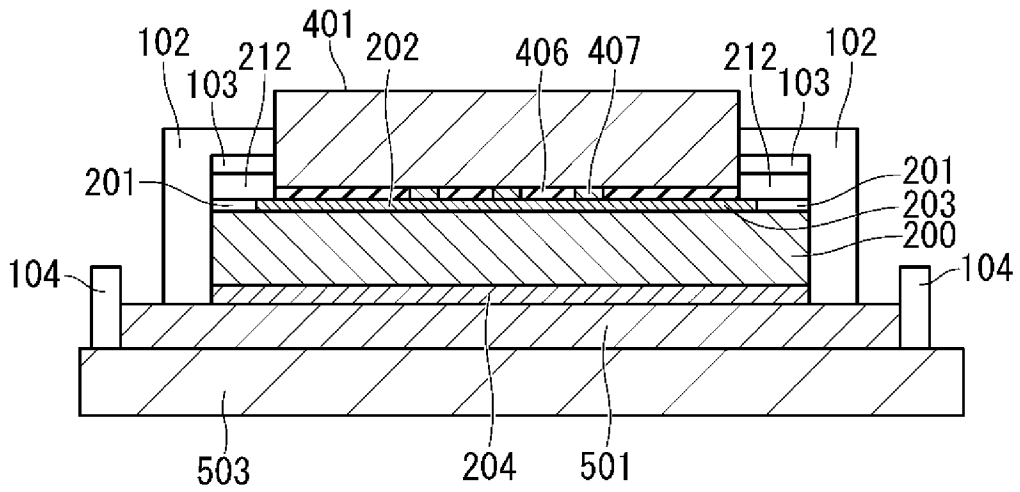
[図8]



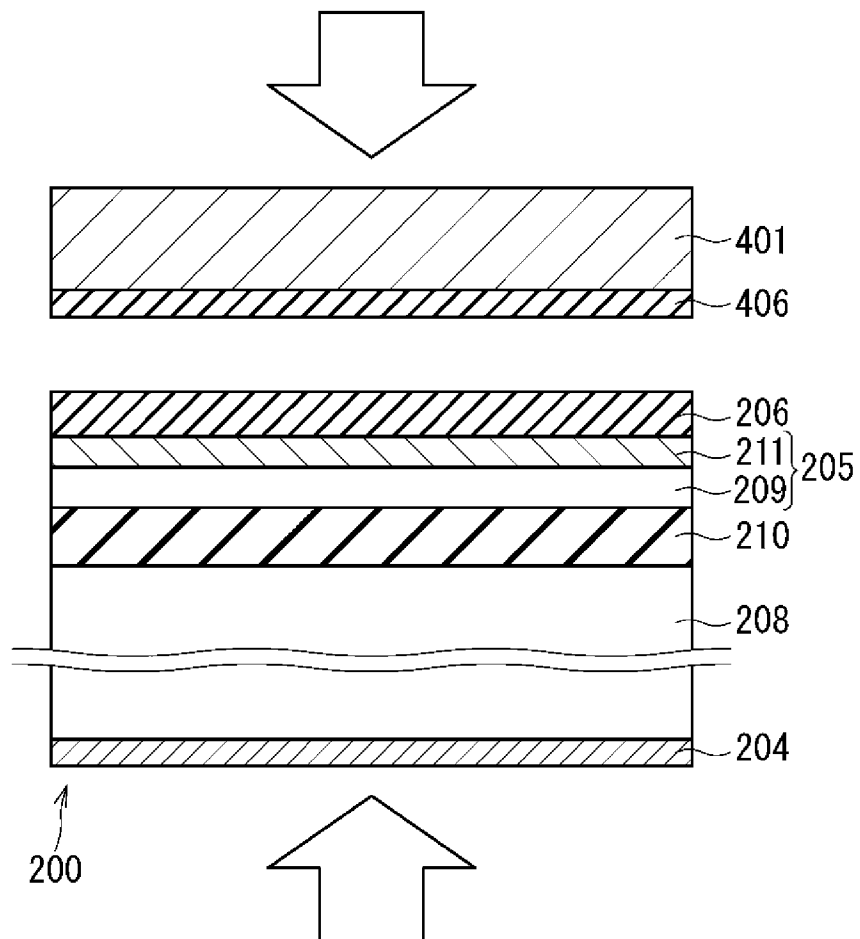
[図9]



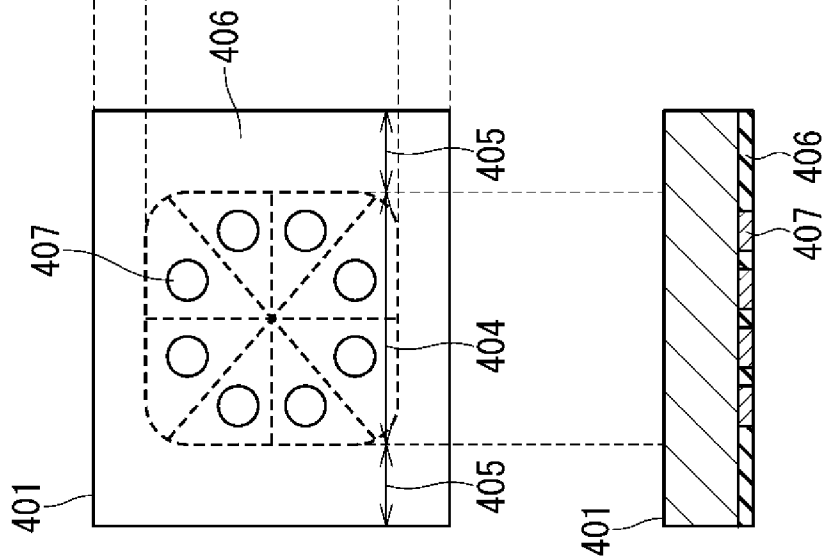
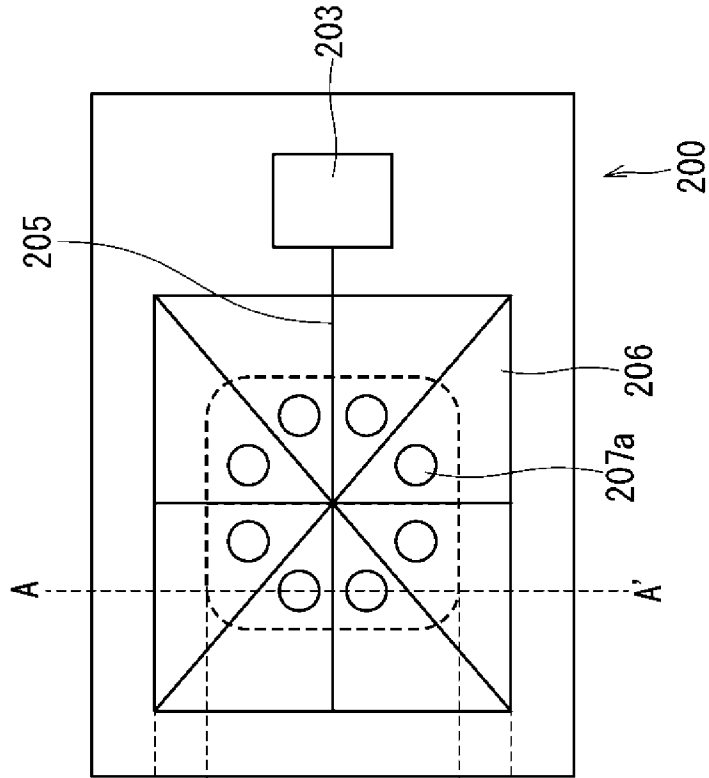
[図10]



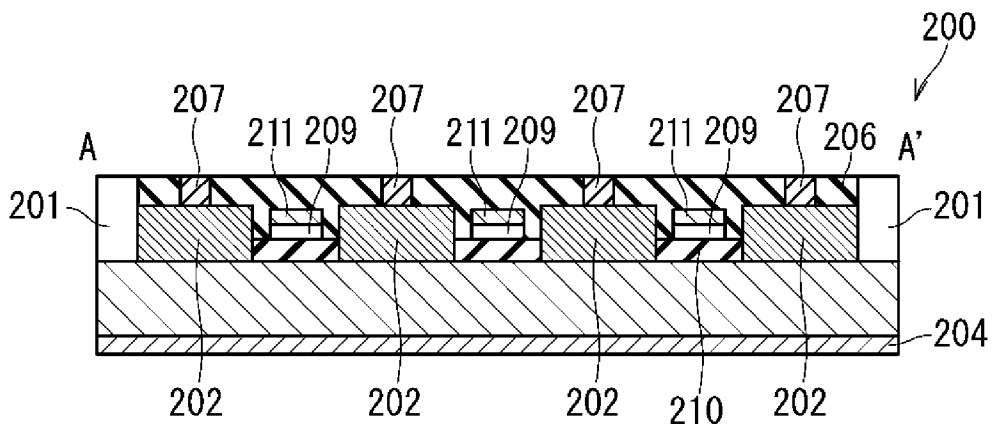
[図11]



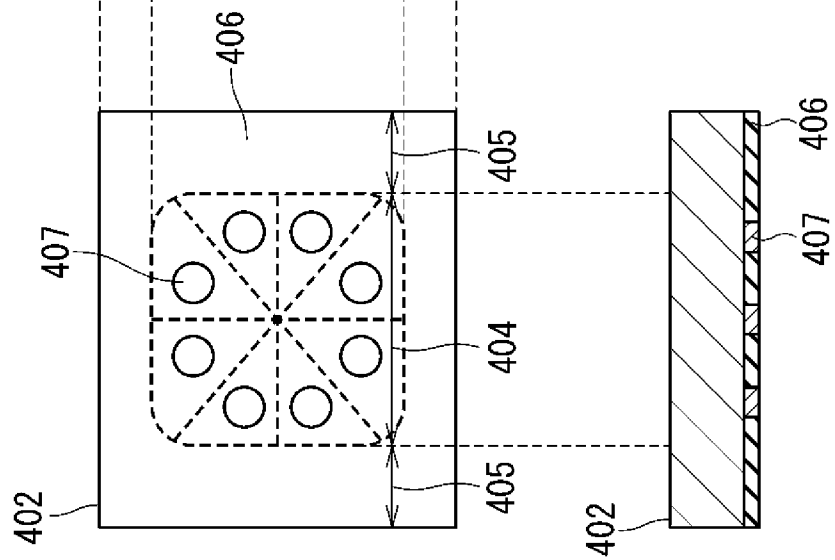
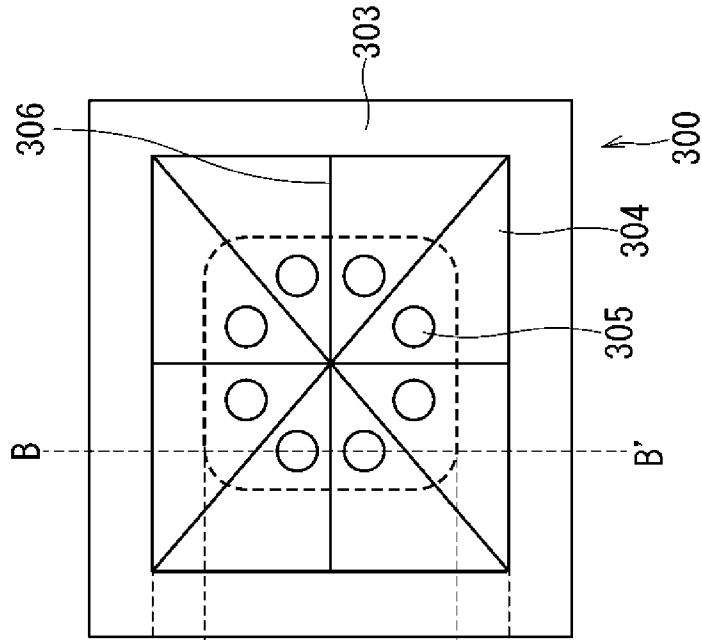
[図12]



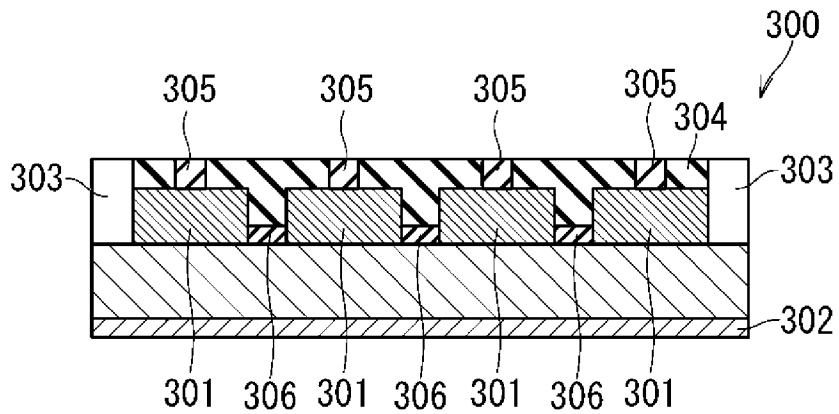
[図13]



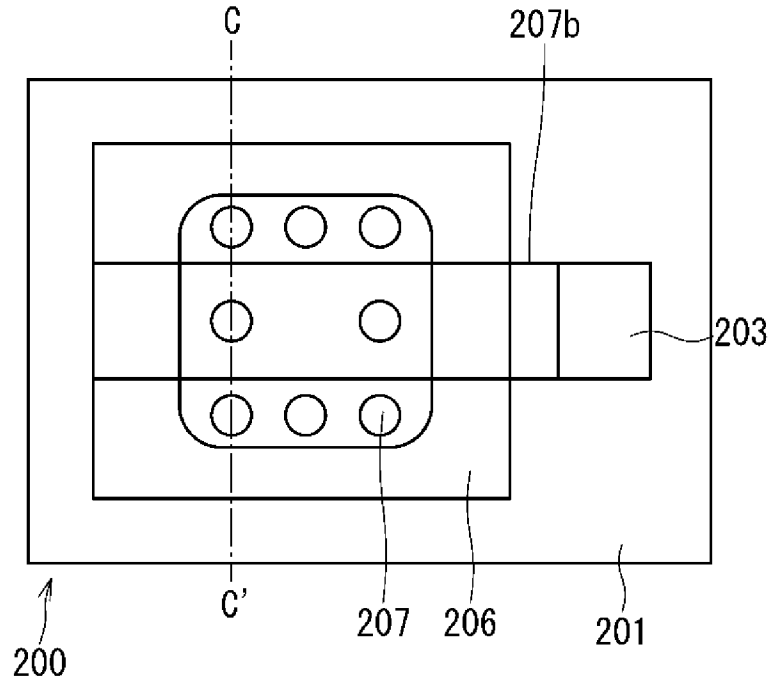
[図14]



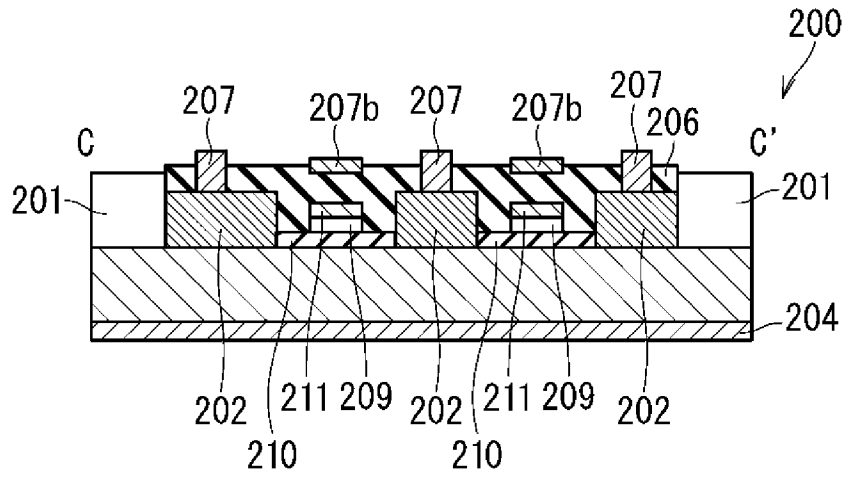
[図15]



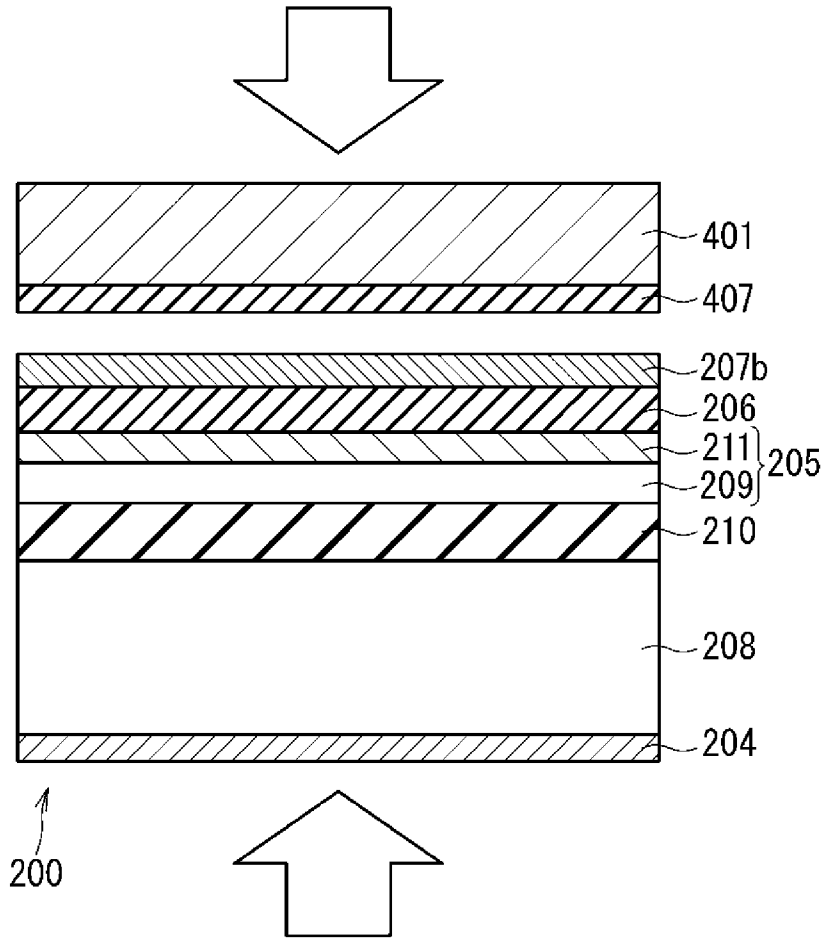
[図16]



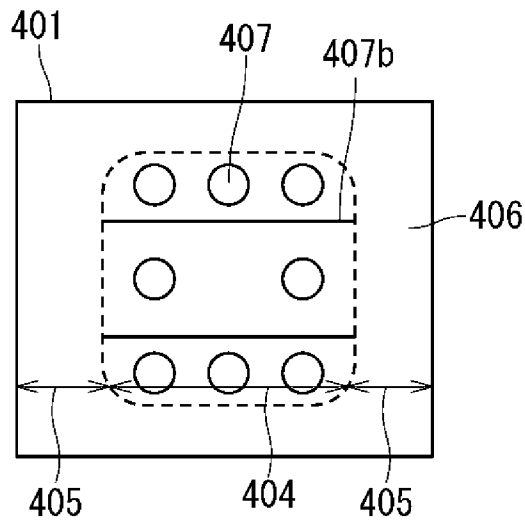
[図17]



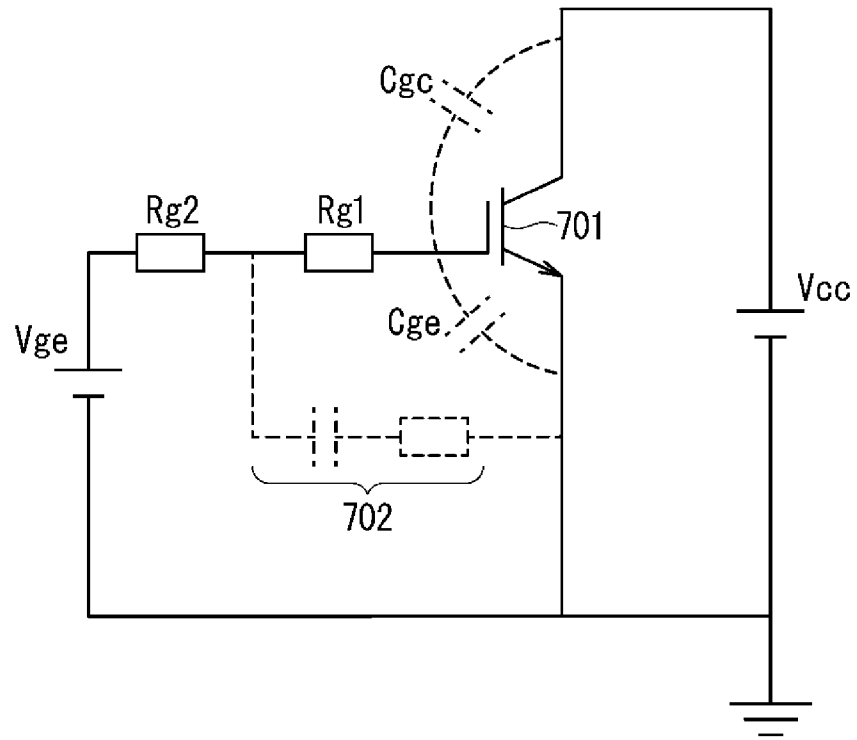
[図18]



[図19]



[図20]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/009939

A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl. H01L21/52 (2006.01) i, H01L25/10 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl. H01L21/52, H01L25/10

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2019

Registered utility model specifications of Japan 1996-2019

Published registered utility model applications of Japan 1994-2019

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2016/189953 A1 (MITSUBISHI ELECTRIC CORP.) 01 December 2016, paragraphs [0011]-[0030], fig. 1-7 & US 2018/0277508 A1, paragraphs [0039]-[0060], fig. 1-7 & EP 3306649 A1 & CN 107533983 A	1-6
A	WO 98/043301 A1 (HITACHI, LTD.) 01 October 1998, column 11, line 17 to column 12, line 14, fig. 4 & EP 1014451 A1, paragraphs [0028], [0029], fig. 4	1-6

Further documents are listed in the continuation of Box C.

See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
04.04.2019Date of mailing of the international search report
16.04.2019Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

A. 発明の属する分野の分類（国際特許分類（IPC）） Int.Cl. H01L21/52(2006.01)i, H01L25/10(2006.01)i		
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） Int.Cl. H01L21/52, H01L25/10		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2019年 日本国実用新案登録公報 1996-2019年 日本国登録実用新案公報 1994-2019年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	WO 2016/189953 A1（三菱電機株式会社）2016.12.01, 段落[0011]-[0030], 図1-7 & US 2018/0277508 A1 段落[0039]-[0060], 図1-7 & EP 3306649 A1 & CN 107533983 A	1-6
A	WO 98/043301 A1（株式会社日立製作所）1998.10.01, 第11欄第17行-第12欄第14行, 第4図 & EP 1014451 A1 段落[0028]-[0029], 図4	1-6
☐ C欄の続きにも文献が列挙されている。		
☐ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願		
の日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献		
国際調査を完了した日 04.04.2019	国際調査報告の発送日 16.04.2019	
国際調査機関の名称及びあて先 日本国特許庁（ISA/J P） 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官（権限のある職員） 平野 崇 電話番号 03-3581-1101 内線 3516	5 F 3657