



(12)发明专利

(10)授权公告号 CN 104051377 B

(45)授权公告日 2020.02.21

(21)申请号 201410094386.7

(51)Int.CI.

(22)申请日 2014.03.14

H01L 23/373(2006.01)

(65)同一申请的已公布的文献号

H01L 23/14(2006.01)

申请公布号 CN 104051377 A

H01L 23/488(2006.01)

(43)申请公布日 2014.09.17

H01L 21/56(2006.01)

(30)优先权数据

H01L 21/60(2006.01)

61/784834 2013.03.14 US

CN 102208498 A, 2011.10.05,

13/897638 2013.05.20 US

CN 202058730 U, 2011.11.30,

(73)专利权人 通用电气公司

CN 102447018 A, 2012.05.09,

地址 美国纽约州

CN 202282342 U, 2012.06.20,

(72)发明人 A.V.高达 S.S.乔汉

CN 101776248 A, 2010.07.14,

P.A.麦康奈利

审查员 肖瑶

(74)专利代理机构 中国专利代理(香港)有限公司 72001

权利要求书4页 说明书11页 附图11页

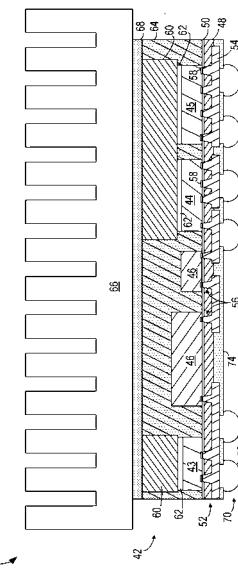
代理人 肖日松 谭祐祥

(54)发明名称

功率覆盖结构及其制作方法

(57)摘要

本发明涉及功率覆盖结构及其制作方法。一种功率覆盖(POL)结构,包括POL子模块。POL子模块包括介电层和具有附接到介电层上的顶表面的半导体装置。半导体装置的顶表面具有形成在其上的至少一个接触垫。POL子模块还包括金属互连结构,其延伸穿过介电层,且电性地联接到半导体装置的至少一个接触垫上。传导垫片联接到半导体装置的底表面上,且热界面的第一侧联接到传导垫片上。散热件联接到电绝缘的热界面的第二侧上。



1. 一种功率覆盖 (POL) 结构, 包括:

POL子模块, 所述POL子模块包括:

介电层;

具有附接到所述介电层上的顶表面的半导体装置, 所述顶表面具有形成在其上的至少一个接触垫;

金属互连结构, 其延伸穿过所述介电层且电性地联接到所述半导体装置的所述至少一个接触垫上;

联接到所述半导体装置的底表面上的传导垫片; 以及

具有联接到所述传导垫片上的第一侧的多层热界面, 所述多层热界面层包括位于传导垫片上的第一热界面层、位于第一热界面层上的陶瓷绝缘层、以及位于陶瓷绝缘层上的第二热界面层, 所述第一热界面层和第二热界面层包括导热但电绝缘的材料; 以及

联接到所述电绝缘的热界面的第二侧上的散热件。

2. 根据权利要求1所述的功率覆盖 (POL) 结构, 其特征在于, 所述热界面为导热的。

3. 根据权利要求1所述的功率覆盖 (POL) 结构, 其特征在于, 所述POL结构还包括围绕所述半导体装置和所述传导垫片定位在所述介电层与所述热界面之间的空间中的包封件。

4. 根据权利要求1所述的功率覆盖 (POL) 结构, 其特征在于, 所述热界面联接到所述传导垫片上而没有定位在其间的直接覆铜 (DBC) 基底。

5. 根据权利要求1所述的功率覆盖 (POL) 结构, 其特征在于, 所述传导垫片包括铜、钼和铝中的至少一者。

6. 根据权利要求1所述的功率覆盖 (POL) 结构, 其特征在于, 所述POL结构还包括定位在所述半导体装置与所述传导垫片之间来将所述传导垫片固定到所述半导体装置上的焊料材料、传导粘合剂和烧结的银层中的一者。

7. 根据权利要求1所述的功率覆盖 (POL) 结构, 其特征在于, 所述POL结构还包括印刷电路板; 并且

其中, 所述POL子模块通过输入/输出连接而附接到所述印刷电路板上。

8. 根据权利要求1所述的功率覆盖 (POL) 结构, 其特征在于, 所述POL结构还包括电性地联接到所述POL子模块上的引线框架; 并且

其中, 所述引线框架直接地附接到所述传导垫片上。

9. 一种形成功率覆盖 (POL) 结构的方法, 包括:

提供半导体装置;

将所述半导体装置的第一表面附连到介电层上;

形成穿过所述介电层的通孔;

形成延伸穿过所述介电层中的所述通孔的金属互连结构以电性地连接到所述半导体装置上;

将传导垫片的第一表面附连到所述半导体装置的第二表面上;

将多层热界面形成在所述传导垫片的第二表面的顶部上, 所述多层热界面层包括位于传导垫片上的第一热界面层、位于第一热界面层上的陶瓷绝缘层、以及位于陶瓷绝缘层上的第二热界面层, 所述第一热界面层和第二热界面层包括导热但电绝缘的材料; 以及

在没有定位在散热件与所述传导垫片之间的直接覆铜 (DBC) 基底的情况下将所述散热

件热联接到所述传导垫片上。

10. 根据权利要求9所述的方法,其特征在于,所述方法还包括在形成所述热界面之前利用聚合模制化合物来包封所述半导体装置和所述传导垫片的至少一部分。

11. 根据权利要求9所述的方法,其特征在于,所述方法还包括在所述介电层与所述热界面之间施加底部填充剂来包封所述半导体装置和所述传导垫片的至少一部分。

12. 根据权利要求9所述的方法,其特征在于,形成所述热界面包括:用导热液体和导热浆料中的一者涂布所述传导垫片的所述第二表面的顶部。

13. 根据权利要求12所述的方法,其特征在于,所述方法还包括固化所述热界面。

14. 根据权利要求9所述的方法,其特征在于,所述方法还包括使用传导浆料来将所述传导垫片的所述第一表面附连到所述半导体装置的所述第二表面上。

15. 根据权利要求9所述的方法,其特征在于,所述方法还包括将所述金属互连结构附接到外部电路结构上。

16. 根据权利要求9所述的方法,其特征在于,所述方法还包括提供联接到所述传导垫片上的引线框架组件,所述引线框架形成所述POL结构与外部电路结构之间的互连。

17. 一种功率覆盖 (POL) 封装结构,包括:

POL 子模块,所述POL 子模块包括:

介电层;

附接到所述介电层上的第一半导体装置;

电性地联接到所述第一半导体装置的第一侧上的互连结构,所述互连结构延伸穿过所述介电层来将至少一个接触垫电性地连接在所述第一半导体装置上;

具有联接到所述第一半导体装置的第二侧上的底表面的第一传导垫片;以及

多层热界面,其联接到所述第一传导垫片的顶表面上而没有定位在其间的直接覆铜 (DBC) 基底,所述多层热界面层包括位于传导垫片上的第一热界面层、位于第一热界面层上的陶瓷绝缘层、以及位于陶瓷绝缘层上的第二热界面层,所述第一热界面层和第二热界面层包括导热但电绝缘的材料;以及

直接地联接到所述热界面上的散热件。

18. 根据权利要求17所述的功率覆盖 (POL) 封装结构,其特征在于,所述第一传导垫片包括铜。

19. 根据权利要求17所述的功率覆盖 (POL) 封装结构,其特征在于,所述POL封装结构还包括包绕所述第一半导体装置和所述第一传导垫片的至少一部分的填料材料。

20. 根据权利要求17所述的功率覆盖 (POL) 封装结构,其特征在于,所述POL封装结构还包括具有附接到所述介电层上的第一侧的第二半导体装置。

21. 根据权利要求20所述的功率覆盖 (POL) 封装结构,其特征在于,所述第一传导垫片的底侧联接到所述第二半导体装置的第二侧上。

22. 根据权利要求21所述的功率覆盖 (POL) 封装结构,其特征在于,所述第二半导体装置具有不同于所述第一半导体装置的竖直高度的竖直高度;

其中所述第一传导垫片的第一部分联接到所述第一半导体装置上;

其中所述第一传导垫片的第二部分联接到所述第二半导体装置上;并且

其中所述第一传导垫片的所述第一部分和所述第一半导体装置的总体竖直高度等于

所述第一传导垫片的所述第二部分和所述第二半导体装置的总体竖直高度。

23. 根据权利要求20所述的功率覆盖 (POL) 封装结构, 其特征在于, 所述POL封装结构还包括具有联接到所述第二半导体装置上的底表面的第二传导垫片。

24. 根据权利要求20所述的功率覆盖 (POL) 封装结构, 其特征在于, 所述POL封装结构还包括:

印刷电路板; 以及

联接到所述第一传导垫片上的引线框架, 所述引线框架构成造成将所述POL子模块电性地连接到所述印刷电路板上。

25. 一种半导体装置封装件, 包括:

第一半导体装置;

具有的厚度大于所述第一半导体装置的厚度的第二半导体装置;

联接到所述第一半导体装置和所述第二半导体装置的第一表面上的绝缘基底;

金属化层, 其延伸穿过所述绝缘基底, 使得所述金属化层的第一表面联接到所述第一半导体装置和所述第二半导体装置的接触垫上;

第一传导垫片, 其具有经由传导接触层而联接到所述第一半导体装置上的第一侧,

第二传导垫片, 其具有经由所述传导接触层而联接到所述第二半导体装置上的第一侧; 以及

其中所述第一传导垫片具有的厚度大于所述第二传导垫片的厚度; 以及

其中所述第一传导垫片和所述第二传导垫片的第二侧共面,

所述封装件包括联接到所述第一传导垫片的第二侧和所述第二传导垫片的第二侧上的热界面层, 所述热界面层包括多层基底, 所述多层基底包括:

第一热界面层, 其包括电绝缘且导热的材料, 具有直接地联接到所述第一传导垫片和所述第二传导垫片上的第一侧;

陶瓷基底, 其具有直接地联接到所述第一热界面层的第二侧上的第一侧; 以及

第二热界面层, 其包括导热且导电或电绝缘的材料, 直接地联接到所述陶瓷基底的第二侧上。

26. 根据权利要求25所述的半导体装置封装件, 其特征在于, 所述热界面层为电绝缘且导热的。

27. 根据权利要求25所述的半导体装置封装件, 其特征在于, 所述热界面层为导电且导热的。

28. 根据权利要求25所述的半导体装置封装件, 其特征在于, 所述热界面层包括悬浮在树脂基质中的多个传导纤维。

29. 根据权利要求25所述的半导体装置封装件, 其特征在于, 所述热界面层的第一部分联接到所述第一传导垫片上, 且所述热界面层的第二部分联接到所述第二传导垫片上; 并且

其中, 间隙形成在所述热界面层的所述第一部分与所述第二部分之间, 使得所述热界面层的所述第一部分与所述热界面层的所述第二部分电绝缘。

30. 一种半导体装置封装件, 包括:

介电层, 其具有穿过其间形成的多个通孔;

半导体装置,其具有联接到所述介电层的顶表面上的第一表面;

联接到所述介电层的底表面上的金属互连结构,所述金属互连结构延伸穿过所述介电层的所述多个通孔来连接到所述半导体装置的所述第一表面上;

传导垫片,其具有联接到所述半导体装置的第二表面上的底表面;以及

有机热界面,其在没有定位在所述有机热界面与所述传导垫片之间的直接覆铜 (DBC) 基底的情况下联接到所述传导垫片的顶表面上,

所述有机热界面包括多层基底,所述多层基底包括:

第一层,其包括有机材料,具有联接到所述传导垫片上的第一侧;

陶瓷基底,其具有直接地联接到所述第一层的第二侧上的第一侧;以及

第二层,其包括导热且导电或电绝缘的材料,直接地联接到所述陶瓷基底的第二侧上。

31. 根据权利要求30所述的半导体装置封装件,其特征在于,所述有机热界面包括悬浮在树脂基质中的多个传导纤维。

32. 根据权利要求30所述的半导体装置封装件,其特征在于,所述半导体装置封装件还包括位于所述介电层与所述热界面之间的绝缘底部填充材料。

33. 根据权利要求30所述的半导体装置封装件,其特征在于,所述传导垫片包括导热且导电的材料。

功率覆盖结构及其制作方法

[0001] 相关申请的交叉引用

[0002] 本申请主张2013年3月14日提交的美国临时专利申请序列第61/784,834号的优先权,该申请的公开内容通过引用合并于本文中。

技术领域

[0003] 本发明的实施例大体上涉及用于封装半导体装置的结构和方法,并且更具体地涉及包括改善的热界面的功率覆盖(power overlay,POL)封装结构。

背景技术

[0004] 功率半导体装置为用作功率电子电路中的开关或整流器的半导体装置,例如开关式电源。大部分功率半导体装置仅用于通信模式(即,它们或者导通或者截止),且因此对此进行优化。许多功率半导体装置用于高电压功率应用中且被设计成携带大量电流且支持大电压。在使用中,高电压功率半导体装置经由功率覆盖(POL)封装和互连系统而连接到外部电路上。

[0005] 图1中示出了现有技术的功率覆盖(POL)结构10的总体结构。用于POL结构10的标准制造过程通常以将一个或多个功率半导体装置12通过粘合剂16置于介电层14上来开始。金属互连件18(例如,铜互连件)然后电镀到介电层14上来形成与功率半导体装置12的直接金属连接。金属互连件18可为低轮廓(例如,小于200微米厚)平坦互连结构的形式,其提供往返于功率半导体装置12的输入/输出(I/O)系统20的形成。为了连接到外部电路上,如,通过产生与印刷电路板的第二级互连,例如,目前的POL封装件使用焊球栅阵列(BGA)或盘栅阵列(LGA)。

[0006] 散热件22通常也包括在POL结构10中,以提供移除由半导体装置12生成的热并保护装置12免受外部环境的方式。散热件22使用直接覆铜(DBC)基底24来热联接到装置12上。如图所示,DBC基底24定位在半导体装置12的上表面与散热件22的下表面之间。

[0007] DBC基底24为预制构件,其包括非有机陶瓷基底26,例如矾土,其中上铜片28和下铜片30通过直接覆铜界面或铜焊层31来结合到其两侧上。DBC基底24的下铜片30图案确定为在DBC基底24附接到半导体装置12上之前形成一定数目的传导接触区域。通常,DBC基底可具有大约1mm的总体厚度。

[0008] 在POL结构10的制造过程期间,焊料32施加到半导体装置12的表面上。DBC基底24然后落到焊料32上来使下铜片30的图案部分与焊料32对准。在DBC基底24联接到半导体装置12上之后,底部填充技术用于将介电有机材料34施加到粘合层16与DBC基底24之间的空间中来形成POL子模块36。热垫或热脂38然后施加到DBC基底24的上铜层28上。

[0009] 在POL结构10中使用DBC基底具有许多限制。首先,DBC基底的铜和陶瓷材料的材料性质对DBC基底的设计带来了固有限制。例如,由于陶瓷的固有刚性和DBC基底24的铜和陶瓷材料的热膨胀系数差异,故铜片28,30必须保持相对较薄,以避免由铜材料中的大的温度波动引起过度的应力置于陶瓷上。此外,由于面对半导体装置12的DBC基底24的下铜层的表

面是平坦的,故DBC基底24不会促进具有不同高度的半导体装置的POL封装件的制造。

[0010] 另外,DBC基底制造相对昂贵,且为预制构件。当DBC基底24为预制构件时,铜片28,30的厚度基于施加到陶瓷基底26上的铜箔层的厚度确定。另外,由于DBC基底24在与POL结构的构件的其余部分组装之前制造,故包绕半导体装置12的介电填料或环氧树脂基底在DBC基底24联接到半导体装置12上之后使用底部填充技术来施加。这种底部填充技术耗时,且可导致POL结构内的不期望的空隙。

[0011] 因此,将期望提供一种POL结构,其具有改善的热界面,其克服合并DBC基底的已知POL结构的前述结构和处理限制。还将期望的此类POL结构应对不同厚度的半导体装置,同时最大限度地降低POL结构的成本。

发明内容

[0012] 本发明的实施例通过提供一种功率覆盖(POL)结构来克服前述缺陷,该结构消除了将DBC基底作为POL子模块与散热件之间的热界面的使用。改善的热界面设在半导体装置与散热件之间,其包括应对不同高度的半导体装置的传导垫片。

[0013] 根据本发明的一个方面,一种功率覆盖(POL)结构包括POL子模块。POL子模块包括介电层和具有附接到介电层上的顶表面的半导体装置。半导体装置的顶表面具有形成在其上的至少一个接触垫。POL子模块还包括金属互连结构,其延伸穿过介电层,且电性地联接到半导体装置的至少一个接触垫上。传导垫片联接到半导体装置的底表面上,且热界面的第一侧联接到传导垫片上。散热件联接到电绝缘的热界面的第二侧上。

[0014] 根据本发明的另一个方面,一种形成功率覆盖(POL)结构的方法,包括提供半导体装置、将半导体装置的第一表面附连到介电层上、形成穿过介电层的通孔、以及形成延伸穿过介电层中的通孔来电性地连接到半导体装置上的金属互连结构。该方法还包括将传导垫片的第一表面附连到半导体装置的第二表面上,以及形成传导垫片的第二表面顶部上的热界面。此外,该方法包括将散热件热联接到传导垫片上,没有定位在散热件与传导垫片之间的直接覆铜(DBC)基底。

[0015] 根据本发明的另一个方面,一种功率覆盖(POL)封装结构包括POL子模块。POL子模块包括介电层、附接到介电层上的第一半导体装置,以及电性地联接到第一半导体装置的第一侧上的互连结构。互连结构延伸穿过介电层以电性地连接到第一半导体装置上的至少一个接触垫上。第一传导垫片具有联接到第一半导体装置的第二侧上的底表面,以及联接到第一传导垫片的顶表面上的热界面,而没有位于其间的直接覆铜(DBC)基底。散热件直接地联接到热界面上。

[0016] 根据本发明的另一个方面,一种半导体装置封装件包括第一半导体装置、具有的厚度大于第一半导体装置的厚度的第二半导体装置、以及联接到第一半导体装置和第二半导体装置的第一表面上的绝缘基底。金属化层延伸穿过绝缘基底,使得金属化层的第一表面联接到第一半导体装置和第二半导体装置的接触垫上。具有第一侧的第一传导垫片经由传导接触层联接到第一半导体装置上;具有第一侧的第二传导垫片经由传导接触层联接到第一半导体装置上。第一传导垫片具有的厚度大于第二传导垫片的厚度,且第一传导垫片和第二传导垫片的第二侧共面。

[0017] 根据本发明的另一方面,一种半导体装置封装件包括:具有穿过其间形成的多个

通孔的介电层,以及具有联接到介电层的顶表面上的第一表面的半导体装置。半导体装置封装件还包括联接到介电层的底表面上的金属互连结构。金属互连结构延伸穿过介电层的多个通孔来连接到半导体装置的第一表面上。半导体装置封装件还包括具有联接到半导体装置的第二表面上的底表面的传导垫片,以及联接到传导垫片的顶表面上的有机热界面,而没有定位在有机热界面与传导垫片之间的直接覆铜(DBC)基底。

- [0018] 一种功率覆盖(POL)结构,包括:
 - [0019] POL子模块,POL子模块包括:
 - [0020] 介电层;
 - [0021] 具有附接到介电层上的顶表面的半导体装置,顶表面具有形成在其上的至少一个接触垫;
 - [0022] 金属互连结构,其延伸穿过介电层且电性地联接到半导体装置的至少一个接触垫上;
 - [0023] 联接到半导体装置的底表面上的传导垫片;以及
 - [0024] 具有联接到传导垫片上的第一侧的热界面;以及
 - [0025] 联接到电绝缘的热界面的第二侧上的散热件。
 - [0026] 优选地,热界面为导热的。
 - [0027] 优选地,POL结构还包括围绕半导体装置和传导垫片定位在介电层与热界面之间的空间中的包封件。
 - [0028] 优选地,热界面联接到传导垫片上而没有定位在其间的直接覆铜(DBC)基底。
 - [0029] 优选地,传导垫片包括铜、钼和铝中的至少一者。
 - [0030] 优选地,POL结构还包括定位在半导体装置与传导垫片之间来将传导垫片固定到半导体装置上的焊料材料、传导粘合剂和烧结的银层中的一者。
 - [0031] 优选地,POL结构还包括印刷电路板;并且
 - [0032] 其中,POL子模块通过输入/输出连接而附接到印刷电路板上。
 - [0033] 优选地,POL结构还包括电性地联接到POL子模块上的引线框架;并且
 - [0034] 其中,引线框架直接地附接到传导垫片上。
 - [0035] 一种形成功率覆盖(POL)结构的方法,包括:
 - [0036] 提供半导体装置;
 - [0037] 将半导体装置的第一表面附连到介电层上;
 - [0038] 形成穿过介电层的通孔;
 - [0039] 形成延伸穿过介电层中的通孔的金属互连结构以电性地连接到半导体装置上;
 - [0040] 将传导垫片的第一表面附连到半导体装置的第二表面上;
 - [0041] 将热界面形成在传导垫片的第二表面的顶部上;以及
 - [0042] 在没有定位在散热件与传导垫片之间的直接覆铜(DBC)基底的情况下将散热件热联接到传导垫片上。
 - [0043] 优选地,方法还包括在形成热界面之前利用聚合模制化合物来包封半导体装置和传导垫片的至少一部分。
 - [0044] 优选地,方法还包括在介电层与热界面之间施加底部填充剂来包封半导体装置和传导垫片的至少一部分。

- [0045] 优选地,形成热界面包括:用导热液体和导热浆料中的一者涂布第一传导垫片的顶表面。
- [0046] 优选地,方法还包括固化热界面。
- [0047] 优选地,方法还包括使用传导浆料来将传导垫片的第一表面附连到半导体装置的第二表面上。
- [0048] 优选地,方法还包括将金属互连结构附接到外部电路结构上。
- [0049] 优选地,方法还包括提供联接到传导垫片上的引线框架组件,引线框架形成POL结构与外部电路结构之间的互连。
- [0050] 一种功率覆盖(POL)封装结构,包括:
- [0051] POL子模块,POL子模块包括:
- [0052] 介电层;
- [0053] 附接到介电层上的第一半导体装置;
- [0054] 电性地联接到第一半导体装置的第一侧上的互连结构,互连结构延伸穿过介电层来将至少一个接触垫电性地连接在第一半导体装置上;
- [0055] 具有联接到第一半导体装置的第二侧上的底表面的第一传导垫片;以及
- [0056] 热界面,其联接到第一传导垫片的顶表面上而没有定位在其间的直接覆铜(DBC)基底;以及
- [0057] 直接地联接到热界面上的散热件。
- [0058] 优选地,第一传导垫片包括铜。
- [0059] 优选地,POL封装结构还包括包绕第一半导体装置和第一传导垫片的至少一部分的填料材料。
- [0060] 优选地,POL封装结构还包括具有附接到介电层上的第一侧的第二半导体装置。
- [0061] 优选地,第一传导垫片的底侧联接到第二半导体装置的第二侧上。
- [0062] 优选地,第二半导体装置具有不同于第一半导体装置的竖直高度的竖直高度;
- [0063] 其中第一传导垫片的第一部分联接到第一半导体装置上;
- [0064] 其中第一传导垫片的第二部分联接到第二半导体装置上;并且
- [0065] 其中第一传导垫片的第一部分和第一半导体装置的总体竖直高度大致等于第一传导垫片的第二部分和第二半导体装置的总体竖直高度。
- [0066] 优选地,POL封装结构还包括具有联接到第二半导体装置上的底表面的第二传导垫片。
- [0067] 优选地,POL封装结构还包括:
- [0068] 印刷电路板;以及
- [0069] 联接到第一传导垫片上的引线框架,引线框架构造成将POL子模块电性地连接到印刷电路板上。
- [0070] 一种半导体装置封装件,包括:
- [0071] 第一半导体装置;
- [0072] 具有的厚度大于第一半导体装置的厚度的第二半导体装置;
- [0073] 联接到第一半导体装置和第二半导体装置的第一表面上的绝缘基底;
- [0074] 金属化层,其延伸穿过绝缘基底,使得金属化层的第一表面联接到第一半导体装

置和第二半导体装置的接触垫上；

[0075] 第一传导垫片，其具有经由传导接触层而联接到第一半导体装置上的第一侧，

[0076] 第二传导垫片，其具有经由传导接触层而联接到第一半导体装置上的第一侧；以及

[0077] 其中第一传导垫片具有的厚度大于第二传导垫片的厚度；以及

[0078] 其中第一传导垫片和第二传导垫片的第二侧共面。

[0079] 优选地，封装件包括联接到第一传导垫片的第二侧和第二传导垫片的第二侧上的热界面层。

[0080] 优选地，热界面层为电绝缘且导热的。

[0081] 优选地，热界面层为导电且导热的。

[0082] 优选地，热界面层包括悬浮在树脂基质中的多个传导纤维。

[0083] 优选地，热界面层的第一部分联接到第一传导垫片上，且热界面层的第二部分联接到第二传导垫片上；并且

[0084] 其中，间隙形成在热界面层的第一部分与第二部分之间，使得热界面层的第一部分与热界面层的第二部分电绝缘。

[0085] 优选地，热界面层包括多层基底，多层基底包括：

[0086] 第一热界面层，其包括电绝缘且导热的材料，具有直接地联接到第一传导垫片和第二传导垫片上的第一侧；

[0087] 陶瓷基底，其具有直接地联接到第一热界面层的第二侧上的第一侧；以及

[0088] 第二热界面层，其包括电绝缘且导热的材料，直接地联接到陶瓷基底的第二侧上。

[0089] 优选地，热界面层包括多层基底，多层基底包括：

[0090] 第一热界面层，其包括电绝缘且导热的材料，具有直接地联接到第一传导垫片和第二传导垫片上的第一侧；

[0091] 陶瓷基底，其具有直接地联接到第一热界面层的第二侧上的第一侧；以及

[0092] 第二热界面层，其包括导电且导热的材料，直接地联接到陶瓷基底的第二侧上。

[0093] 一种半导体装置封装件，包括：

[0094] 介电层，其具有穿过其间形成的多个通孔；

[0095] 半导体装置，其具有联接到介电层的顶表面上的第一表面；

[0096] 联接到介电层的底表面上的金属互连结构，金属互连结构延伸穿过介电层的多个通孔来连接到半导体装置的第一表面上；

[0097] 传导垫片，其具有联接到半导体装置的第二表面上的底表面；以及

[0098] 有机热界面，其在没有定位在有机热界面与传导垫片之间的直接覆铜 (DBC) 基底的情况下联接到传导垫片的顶表面上。

[0099] 优选地，有机热界面为导热且导电的。

[0100] 优选地，有机热界面为导热且电绝缘的。

[0101] 优选地，有机热界面层包括悬浮在树脂基质中的多个传导纤维。

[0102] 优选地，半导体装置封装件还包括位于介电层与热界面之间的绝缘底部填充材料。

[0103] 优选地，传导垫片包括导热且导电的材料。

- [0104] 优选地,有机热界面包括多层基底,多层基底包括:
- [0105] 第一层,其包括有机材料,具有联接到传导垫片上的第一侧;
- [0106] 陶瓷基底,其具有直接地联接到第一层的第二侧上的第一侧;以及
- [0107] 第二层,其包括电绝缘且导热的材料,直接地联接到陶瓷基底的第二侧上。
- [0108] 优选地,有机热界面包括多层基底,多层基底包括:
- [0109] 第一层,其包括有机材料,具有联接到传导垫片上的第一侧;
- [0110] 陶瓷基底,其具有直接地联接到第一层的第二侧上的第一侧;以及
- [0111] 第二层,其包括导电且导热的材料,直接地联接到陶瓷基底的第二侧上。
- [0112] 这些和其它优点和特征将从结合附图提供的本发明的优选实施例的以下详细描述中更容易理解到。

附图说明

- [0113] 附图示出了当前构想成用于执行本发明的实施例。
- [0114] 在附图中:
- [0115] 图1为合并DBC基底的现有技术的功率覆盖 (POL) 结构的示意性截面侧视图。
- [0116] 图2为根据本发明的实施例的POL结构的示意性截面侧视图。
- [0117] 图3为根据本发明的另一个实施例的POL结构的示意性截面侧视图。
- [0118] 图4为根据本发明的又一个实施例的POL结构的示意性截面侧视图。
- [0119] 图5为根据本发明的实施例的POL组件的示意性截面侧视图。
- [0120] 图6至图16为根据本发明的实施例的在制造/构建过程的各种阶段期间的POL子模块的示意性截面侧视图。
- [0121] 图17为根据本发明的另一个实施例的带引线的POL子模块的一部分的示意性截面侧视图。
- [0122] 图18为根据本发明的另一个实施例的带引线的POL子模块的一部分的示意性截面侧视图。
- [0123] 图19为根据本发明的实施例的具有阶梯传导垫片的POL子模块的一部分的示意性截面侧视图。
- [0124] 图20为根据本发明的实施例的具有多层传导垫片组件的POL子模块的一部分的示意性截面侧视图。

具体实施方式

- [0125] 本发明的实施例提供了一种具有包括在其中的改善的热界面的功率覆盖 (POL) 结构,以及用于形成此类POL结构的方法。POL结构包括应对不同高度的半导体装置的传导垫片和增加包封材料和方法的选择的热界面层。
- [0126] 参看图2,示出了根据本发明的实施例的半导体装置组件或功率覆盖 (POL) 结构40。POL结构40包括具有在其中的一个或多个半导体装置43,44,45的POL子模块42,根据各种实施例,半导体装置可为管芯、二极管或其它功率电气装置的形式。如图2中所示,三个半导体装置43,44,45设在POL子模块42中,然而将认识到的是,更多或更少数目的半导体装置43,44,45可包括在POL子模块42中。除半导体装置43,44,45之外,POL子模块42还可包括任

何数目的附加电路构件46,例如,门驱动器。

[0127] 半导体装置43,44,45通过粘合层50联接到介电层48上。介电层48可根据各种实施例为叠层或膜的形式,且可由多种介电材料中的一种形成,如,Kapton®、Ultem®、聚四氟乙烯(PTFE)、Upilex®、聚砜材料(例如,Udel®、Radel®)或另一种聚合物膜,如,液晶聚合物(LCP)或聚酰亚胺材料。

[0128] POL子模块42还包括金属化层或互连结构52,其通过金属互连件54形成与半导体装置43,44,45的直接金属连接,金属互连件54延伸穿过形成在介电层48中的通孔56来连接到相应的半导体装置43,44,45上的接触垫58上。

[0129] POL子模块42还包括一个或多个传导板或垫片60,其利用导热和导电的接触层62来固定到半导体装置43,44,45上。根据各种实施例,例如,传导接触层62可为焊料材料、传导粘合剂或烧结的银。传导垫片60为金属和合金材料,例如铜、铝、钼或它们的组合,如,铜钼或铜钨,以及复合材料,如,铝硅、碳化铝硅、铝-石墨、铜-石墨等。

[0130] 介电填料材料64也设在POL子模块42中,以在POL子模块42中填充在半导体装置43,44,45与传导垫片60之间和周围的间隙,以便向POL子模块42提供附加的结构完整性。根据各种实施例,介电填料材料64可为聚合材料的形式,例如,底部填充剂(例如,毛细底部填充剂或非流动的底部填充剂)、包封件、硅酮或模制化合物。

[0131] POL结构40还包括便于冷却半导体装置43,44,45的散热件66。散热件66包括具有高热导率的材料,如,铜、铝或复合材料。散热件66通过形成在传导垫片60和介电填料材料64上的热界面基底或层68来联接到POL子模块42上。

[0132] 热界面层68为导热的电绝缘的聚合材料或有机材料,例如,热垫、热浆料、热脂或热粘合剂。热界面层68使散热件66与传导垫片60电绝缘。根据一个实施例,热界面层68包括悬浮在树脂或环氧树脂的基质中的传导填料、颗粒或纤维。例如,热界面层68可为环氧树脂或硅树脂,其填充有导热的电绝缘的填料,如矾土和/或氮化硼。根据一个实施例,热界面层68具有大约100μm的厚度。然而,本领域的技术人员将认识到的是,热界面层68的厚度可基于设计规格变化。热界面层68提供相比于DBC基底优异的热性能,因为热界面层68不会经历包括在DBC基底内的陶瓷层的热阻。

[0133] 在热界面层68为热浆料、热脂或热垫(例如,预成形的有机材料片或膜)的实施例中,在围绕POL子模块42的周边的一定数目的位置处,散热件66使用螺钉或其它紧固装置(未示出)固定到POL子模块42上,引起热界面层68夹在传导垫片60与散热件66之间。作为备选,在热界面层68为聚合粘合剂的实施例中,热界面层68以胶粘状态施加到POL子模块42上,且在散热件66定位到热界面层68的顶部上之后固化,从而在没有附加紧固件的情况下将散热件66结合到POL子模块42上。

[0134] 如参照图5更详细描述那样,POL子模块42还包括输入-输出(I/O)连接70,其使POL结构40能够表面安装到外部电路上,如,印刷电路板(PCB)。根据示例性实施例,I/O连接70由焊球栅阵列(BGA)焊料焊盘72形成,其构造成附接/附连到PCB上来将POL结构40电联接到PCB上,尽管也可使用其它适合的第二级焊料互连件,如,盘栅阵列(LGA)。BGA焊料焊盘72提供高度可靠的互连结构,其在高应力状态下抵抗故障。如图2中所示,焊料焊盘72定位在形成于POL子模块42的焊料掩模层74中的开口中。

[0135] 现在参看图3,示出了根据本发明的备选实施例的POL结构76和POL子模块78。POL

结构76和POL子模块78包括类似于图2中的POL结构40和POL子模块42中所示的构件的一定数目的构件,且因此用于指出图2中的构件的标号将用于指出图3中的类似构件。

[0136] 如图所示,POL子模块78包括定位在传导垫片60与散热件66之间的多层热界面80。多层热界面80包括第一热界面层82、陶瓷绝缘层84和第二热界面层86。陶瓷绝缘层84包括在POL子模块78与散热件66之间对于高电压应用提供了附加的电绝缘。例如,绝缘层84可由陶瓷材料如矾土或氮化铝构成。

[0137] 如图所示,第一热界面层82夹在传导垫片60与陶瓷绝缘层84之间。根据一个实施例,图3的第一热界面层82包括类似于图2中的热界面层68的导热电绝缘的材料,允许热从传导垫片60传递至散热件66,同时使传导垫片60与散热件66电绝缘。在示例性实施例中,第一热界面层82包括填充有导热但电绝缘的填料如矾土或氮化硼的环氧树脂或硅树脂。

[0138] 在备选实施例中,第一热界面层82包括导电材料,例如焊料、传导粘合剂或烧结的银,传导材料形成为传导垫片60顶部上的一定数目的不连续的垫88,如图4中所示。根据各种实施例,邻接的垫88之间的侧向空间90可留下作为空气间隙,或填充介电填料材料64。

[0139] 现在一起参看图3和图4,第二热界面层86夹在陶瓷绝缘层84与散热件66之间。根据一个实施例,第二热界面层86包括类似于图2中的热界面层68的导热电绝缘的材料。在备选实施例中,第二热界面层86为既导热又导电的材料,例如,填充有银的环氧树脂或硅树脂。

[0140] 图5示出了根据本发明的实施例的合并POL结构40(图2)和POL结构76(图3、图4)的POL组件92。如图所示,POL结构40,76的相应的I/O连接70联接到外部电路构件94上,例如印刷电路板(PCB)。尽管POL组件92中示出了两个POL结构40,76,但本领域的技术人员将认识到的是根据本发明的各种实施例,POL组件92可包括任何数目的POL结构。此外,POL组件92可包括单个类型的多个POL结构,如,两个或多个POL结构40,或两个或多个POL结构76。

[0141] 现在参看图6至图16,根据本发明的实施例,提供了图2中的POL子模块42和图3与图4中的POL子模块78的制造技术的过程步骤的详细视图。首先参看图6,POL子模块42,78的构建过程以将粘合层50施加到介电层48上开始。在技术的下一步中,如图7中所示,一个或多个半导体装置44,45(例如,两个半导体装置)通过粘合层50固定到介电层48上。为了将半导体装置44,45固定到介电层48上,半导体装置44,45的顶表面96置于粘合层50上。粘合剂50然后固化来将半导体装置44,45固定到介电层48上。

[0142] 如图8中所示,多个通孔56然后形成为穿过粘合层50和介电层48。根据本发明的实施例,通孔56可通过激光烧蚀或激光钻孔过程、等离子蚀刻、光限定(photo-definition)或机械钻孔过程形成。

[0143] 尽管穿过粘合层50和介电层48形成通孔56在图8中示为在将半导体装置44,45置于粘合层50上之后执行,但将认识到的是,半导体装置44,45的放置可发生在通孔形成之后。作为备选,取决于由通孔尺寸施加的约束,半导体装置44,45可首先置于粘合层50和介电层48上,其中通孔56随后形成在对应于形成在半导体装置44,45上的多个金属化的电路和/或连接垫接触垫58的位置处。此外,可使用预先钻孔的通孔和后钻孔的通孔的组合。

[0144] 现在参看图9和图10,在将半导体装置44,45固定到介电层48上且形成通孔56时,通孔56被清洁(如,通过活性离子蚀刻(RIE)除尘过程)且随后金属化来形成金属化层或互连层54。金属化层54通常通过溅射和电镀应用的组合来形成,尽管认识到也可使用金属沉

积的其它无电方法。例如,钛粘附层和铜晶种层可首先经由溅射过程来施加,随后为电镀过程,其将铜的厚度增加到期望的水平。然后将所施加的金属材料图案确定为具有所期望的形状的金属互连件54,且其功能为通过介电层48和粘合层50形成的竖直馈通。金属互连件54从半导体装置44,45的电路和/或连接垫接触垫58延伸出来,穿过通孔/开口56,且穿出介电层48的顶表面98。

[0145] 如图11中所示,焊料掩模层74施加到图案化金属互连件54上,以提供保护性涂层并限定互连垫。在备选实施例中,将认识到的是,互连垫可具有有助于可焊接性的金属精整,如,Ni或Ni/Au。

[0146] 现在参看图12,在制造技术的下一个步骤中,传导接触层62施加到半导体装置44,45的底表面100上。传导垫片60的底表面102然后通过传导接触层62联接到半导体装置44,45上。

[0147] 根据本发明的一个实施例,且如图12中所示,半导体装置44,45可具有变化的厚度/高度。为了平衡相应的半导体装置44,45的总体高度,传导垫片60可为不同高度,以便各个半导体装置44,45/传导垫片对60的总体厚度/高度相等,且传导垫片60的后表面“平坦化(planarized)”。

[0148] 如图13中所示,制造POL子模块42,78的构建技术继续施加介电填料材料64来在POL子模块42,78中填充于半导体装置44,45与传导垫片60之间和周围的间隙,以便约束介电层48,且向POL子模块42,78提供附加的电绝缘和结构完整性。在一个实施例中,介电填料材料64使用包覆模制技术施加且固化。在介电填料材料64固化之后,介电填料材料64的部分104使用磨削操作移除来露出传导垫片60。如图14中所示,该磨削操作还可用于移除传导垫片60的高度上的任何变化,以便传导垫片60的顶表面106和介电填料材料64的顶表面108共面。作为备选,包覆模制或包封技术可用于施加介电填料材料64,使得固化的介电填料材料64的顶表面108与没有磨削步骤的传导垫片60的顶表面106齐平。在又一个实施例中,介电填料材料64可使用底部填充技术来施加。

[0149] 在制造过程的下一步骤中,如图15中所示,热界面112的第一侧110施加到传导垫片60和介电填料材料64的相应的顶表面106,108上。在热界面112包括单个热界面层68(图2)的实施例中,热界面112在一个步骤中施加到传导垫片60和介电填料材料64的顶表面106,108上。作为备选,热界面112可为如图3和图4中所示的多层热界面80。还参看图3和图4,多层热界面80的独立层使用构建技术按顺序施加到传导垫片60和介电填料材料64的顶表面106,108上,其中第一热界面层82施加到介电填料材料64和传导垫片60的顶部上,陶瓷绝缘层84接下来施加到第一热界面层82的顶部上,且第二热界面层86最后施加到陶瓷绝缘层84的顶表面上。

[0150] 在制造技术的下一个步骤中,I/O连接70施加到焊料掩模层74上。在一个实施例中,如图16中所示,I/O连接70为焊料焊盘72。在构建技术的备选实施例中,如图17中所示,I/O连接70构造为用于贯穿孔构件的引线114。在POL子模块42,78的构建过程完成之后,散热件66附连到热界面112的第二侧116上。POL子模块42,78可为单一的以用于表面安装到外部电路上,如PCB94(图5)。

[0151] 现在参看图18,示出了POL子模块118的备选实施例。POL子模块118包括类似于图2中的POL子模块42中所示的构件的一定数目的构件,且因此用于指出图2中的构件的标号还

将用于指出图18中的类似构件。

[0152] 如图所示, POL子模块118包括通过粘合层50安装到介电层48上的半导体装置44。金属互连件54延伸穿过形成在介电层48中的通孔56, 以将接触垫(未示出)连接到半导体装置44上。传导垫片120通过传导接触层62联接到各个半导体装置44上。类似于图2的传导垫片60, 传导垫片120包括金属或合金材料, 例如, 铜、铝、钼或它们的组合。介电填料材料64提供成在POL子模块118中填充在半导体装置44与传导垫片120之间和周围的间隙。热界面112如热界面层68(图2)或多层热界面80(图3)设在介电填料材料64和传导垫片120的顶部上。

[0153] 如图18中所示, 传导垫片120联接到引线框架122上。根据本发明的实施例, 引线框架122在将传导垫片120置入传导接触层62中之前预先附接到传导垫片120上。例如, 引线框架122和引导垫片60可由普通铜板预先制造, 或引线框架122可通过高温联接过程预先附接到传导垫片60上, 如, 软钎焊、铜焊、焊接或用于组装到POL子模块118中的其它类似的方法。作为备选, 将认识到的是, 引线框架122可改为在完成POL子模块118的制造之后后附接。

[0154] 现在参看图19和图20, 示出了POL子模块124的两个备选实施例, 其应对POL子模块124包括不同高度的半导体装置126, 128的情形。另外, POL子模块124包括类似于图2中的POL子模块42中所示的构件的一定数目的构件, 且因此用于指出图2中的构件的标号还将用于指出图19和图20中的类似构件。

[0155] 首先参看图19, 示出了包括具有阶梯构型的传导垫片130的备选实施例。如图所示, 传导垫片130的第一部分132具有第一高度或厚度134, 且传导垫片130的第二部分136具有第二高度或厚度138, 其应对半导体装置126, 128的不同高度, 同时保持传导垫片130的平坦顶表面140。

[0156] 图20中示出了POL子模块24的备选实施例, 其中第一传导垫片142使用第一传导接触层144联接到半导体装置126上, 第一传导接触层144例如, 类似于传导接触层62(图2)的焊料。第一传导垫片142尺寸确定为使得第一传导垫片142的上表面146和半导体装置128的上表面148共面。第二传导接触层150然后施加到第一传导垫片142和半导体装置128的顶表面上。在一个实施例中, 第二传导接触层150包括焊料。尺寸确定为至少跨越半导体装置126, 128的整个宽度的第二传导垫片152然后附连到如图所示的第二传导垫片152上。

[0157] 有利的是, 本发明的实施例因此提供了一种POL封装和互连结构, 其包括没有DBC基底的缺陷的热界面。例如, 由于热界面层68和多层热界面80可在发生于介电填料材料64被施加且固化之后的制造步骤中应用, 故介电填料材料64可使用包封或包覆模制技术施加, 而非更昂贵且耗时的底部填充过程, 底部填充过程更可能导致空隙。另外, 由于在封装构建过程期间形成热界面, 而非提供为预制构件, 故热界面的尺寸和材料可基于期望的操作特征来定制。此外, 使用传导垫片60, 120, 130, 142和/或152提供了应对不同高度的半导体装置的能力。

[0158] 尽管本发明的实施例已经描述为包括在高压电力应用中使用的功率半导体装置, 但本领域的技术人员将认识到的是, 本文阐明的技术同样适用于合并非功率半导体装置或具有仅延伸至半导体装置的单侧的电连接的半导体装置的低功率应用和芯片封装。

[0159] 因此, 根据本发明的一个实施例, 一种功率覆盖(POL)结构包括POL子模块。POL子模块包括介电层和具有附接到介电层上的顶表面的半导体装置。半导体装置的顶表面具有形成在其上的至少一个接触垫。POL子模块还包括金属互连结构, 其延伸穿过介电层, 且电

性地联接到半导体装置的至少一个接触垫上。传导垫片联接到半导体装置的底表面上,且热界面的第一侧联接到传导垫片上。散热件联接到电绝缘的热界面的第二侧上。

[0160] 根据本发明的另一个实施例,一种形成功率覆盖 (POL) 结构的方法,包括提供半导体装置、将半导体装置的第一表面附连到介电层上、形成穿过介电层的通孔、以及形成延伸穿过介电层中的通孔来电性地连接到半导体装置上的金属互连结构。该方法还包括将传导垫片的第一表面附连到半导体装置的第二表面上,以及形成传导垫片的第二表面顶部的热界面。此外,该方法包括将散热件热联接到传导垫片上,没有定位在散热件与传导垫片之间的直接覆铜 (DBC) 基底。

[0161] 根据本发明的又一个实施例,一种功率覆盖 (POL) 封装结构包括POL子模块。POL子模块包括介电层、附接到介电层上的第一半导体装置、以及电性地联接到第一半导体装置的第一侧上的互连结构。互连结构延伸穿过介电层以电性地连接到第一半导体装置上的至少一个接触垫上。第一传导垫片具有联接到第一半导体装置的第二侧上的底表面,以及联接到第一传导垫片的顶表面上的热界面,而没有位于其间的直接覆铜 (DBC) 基底。散热件直接地联接到热界面上。

[0162] 根据本发明的又一个实施例,一种半导体装置封装件包括第一半导体装置、具有的厚度大于第一半导体装置的厚度的第二半导体装置、以及联接到第一半导体装置和第二半导体装置的第一表面上的绝缘基底。金属化层延伸穿过绝缘基底,使得金属化层的第一表面联接到第一半导体装置和第二半导体装置的接触垫上。具有第一侧的第一传导垫片经由传导接触层联接到第一半导体装置上;具有第一侧的第二传导垫片经由传导接触层联接到第一半导体装置上。第一传导垫片具有的厚度大于第二传导垫片的厚度,且第一传导垫片和第二传导垫片的第二侧共面。

[0163] 根据本发明的又一个实施例,一种半导体装置封装件包括:具有穿过其间形成的多个通孔的介电层,以及具有联接到介电层的顶表面上的第一表面的半导体装置。半导体装置封装件还包括联接到介电层的底表面上的金属互连结构。金属互连结构延伸穿过介电层的多个通孔来连接到半导体装置的第一表面上。半导体装置封装件还包括具有联接到半导体装置的第二表面上的底表面的传导垫片,以及联接到传导垫片的顶表面上的有机热界面,而没有定位在有机热界面与传导垫片之间的直接覆铜 (DBC) 基底。

[0164] 尽管已经仅结合有限数目的实施例详细描述了本发明,但应容易理解的是,本发明不限于此类公开的实施例。相反,本发明可改变来合并迄今未描述的任何数目的改型、变化、置换或等同布置,但这与本发明的要旨和范围相当。此外,尽管已经描述了本发明的各种实施例,但将理解的是本发明的方面可仅包括所述的实施例中的一些。因此,本发明不被看作是由前述描述限制,而是仅由所附权利要求的范围限制。

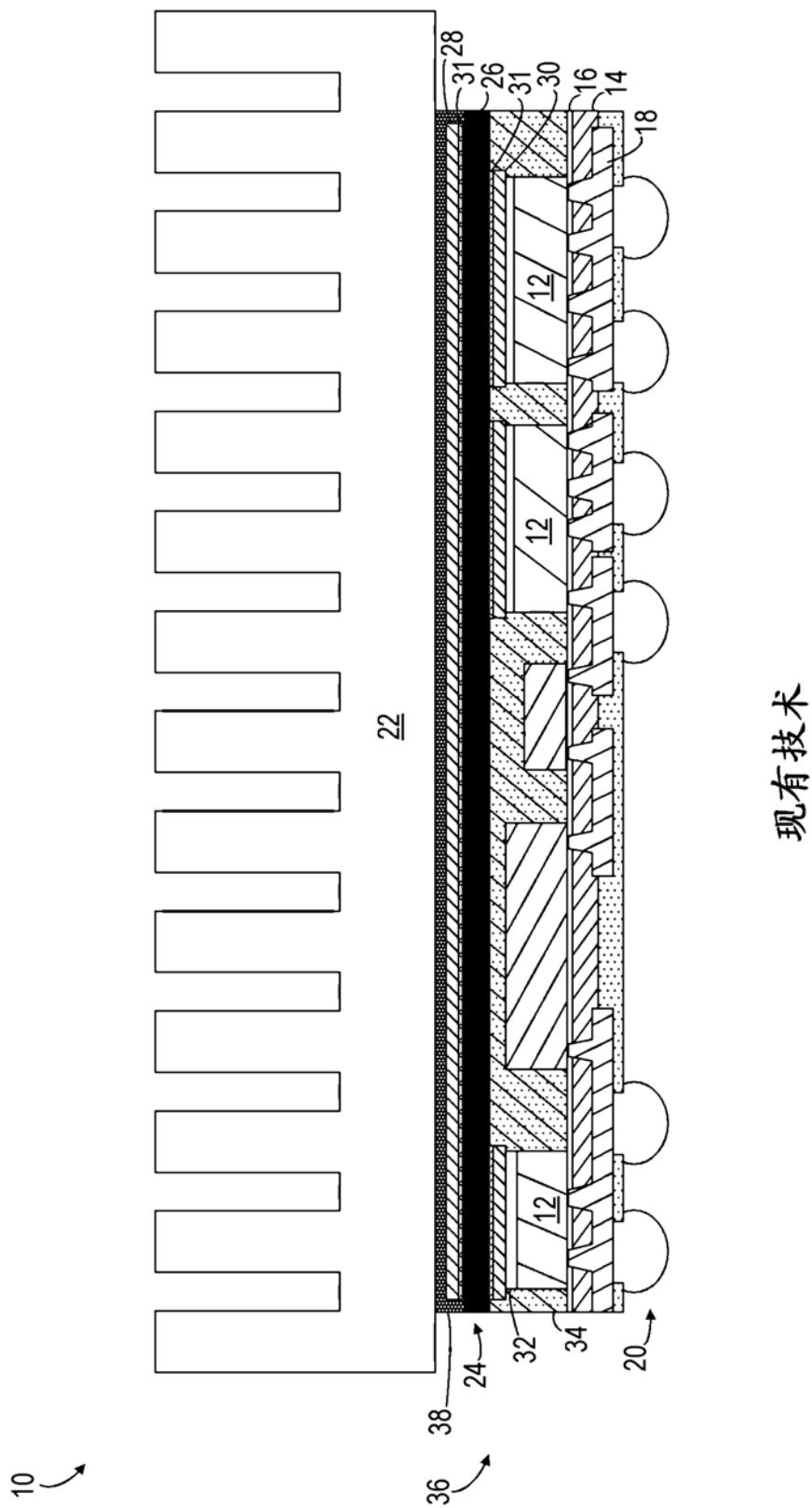


图 1

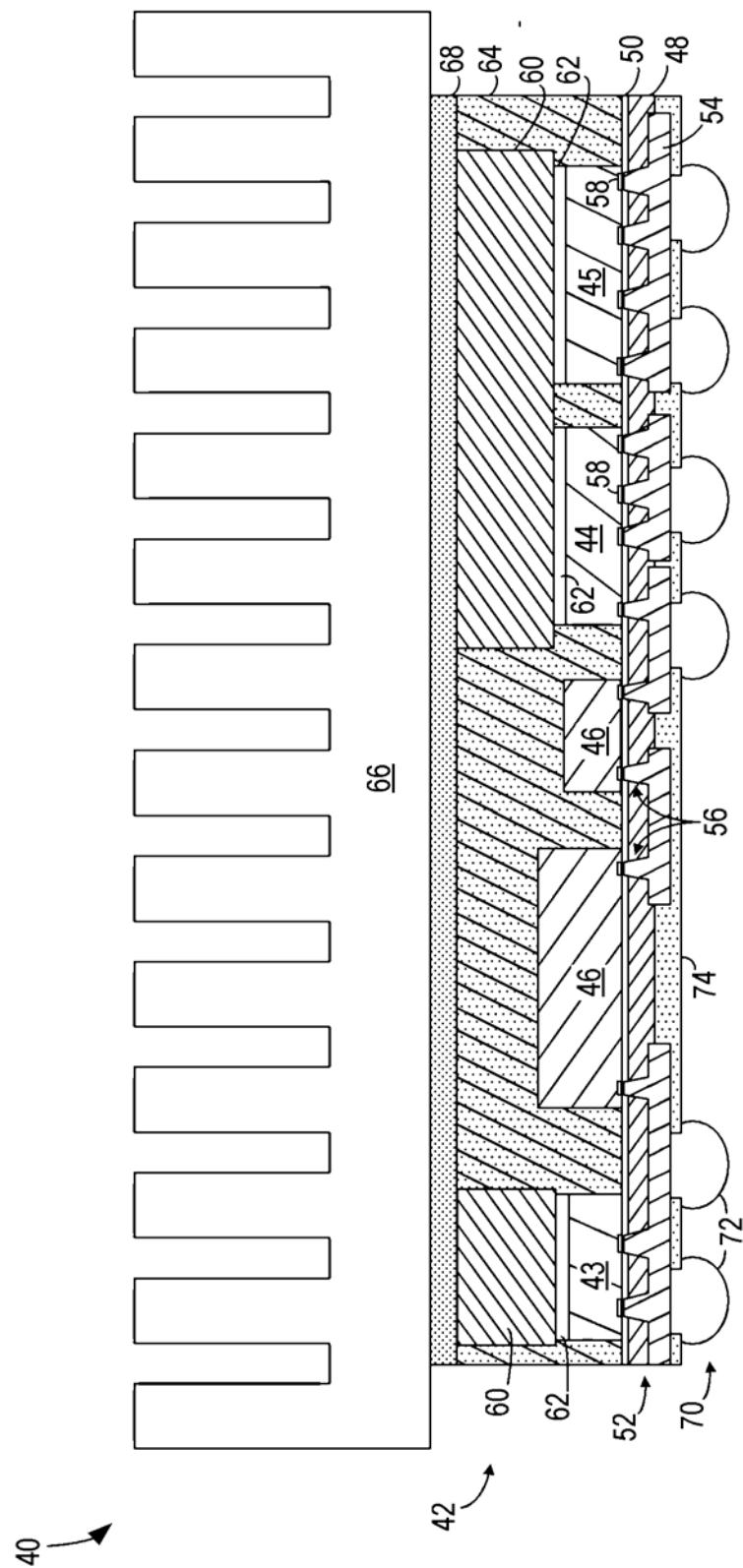


图 2

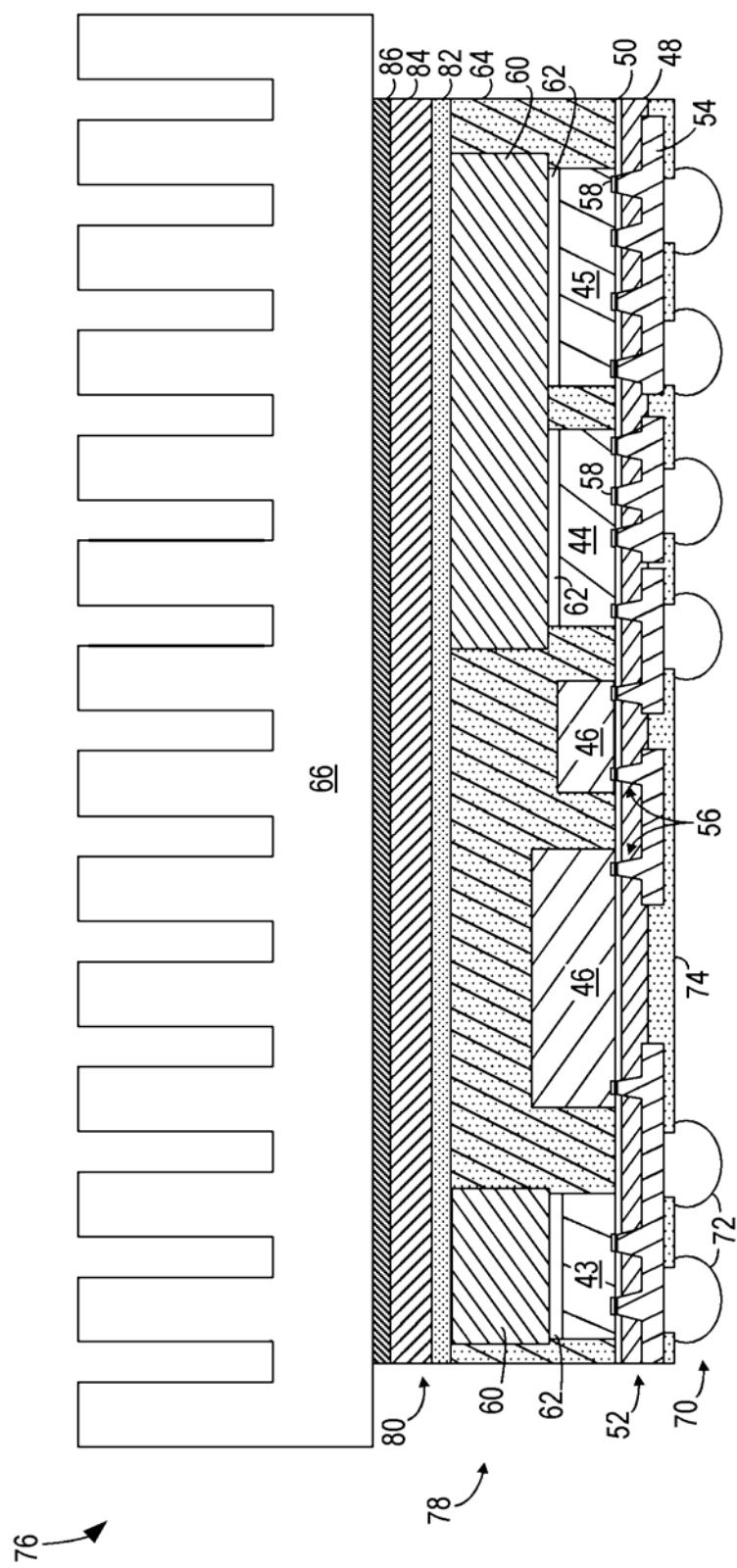


图 3

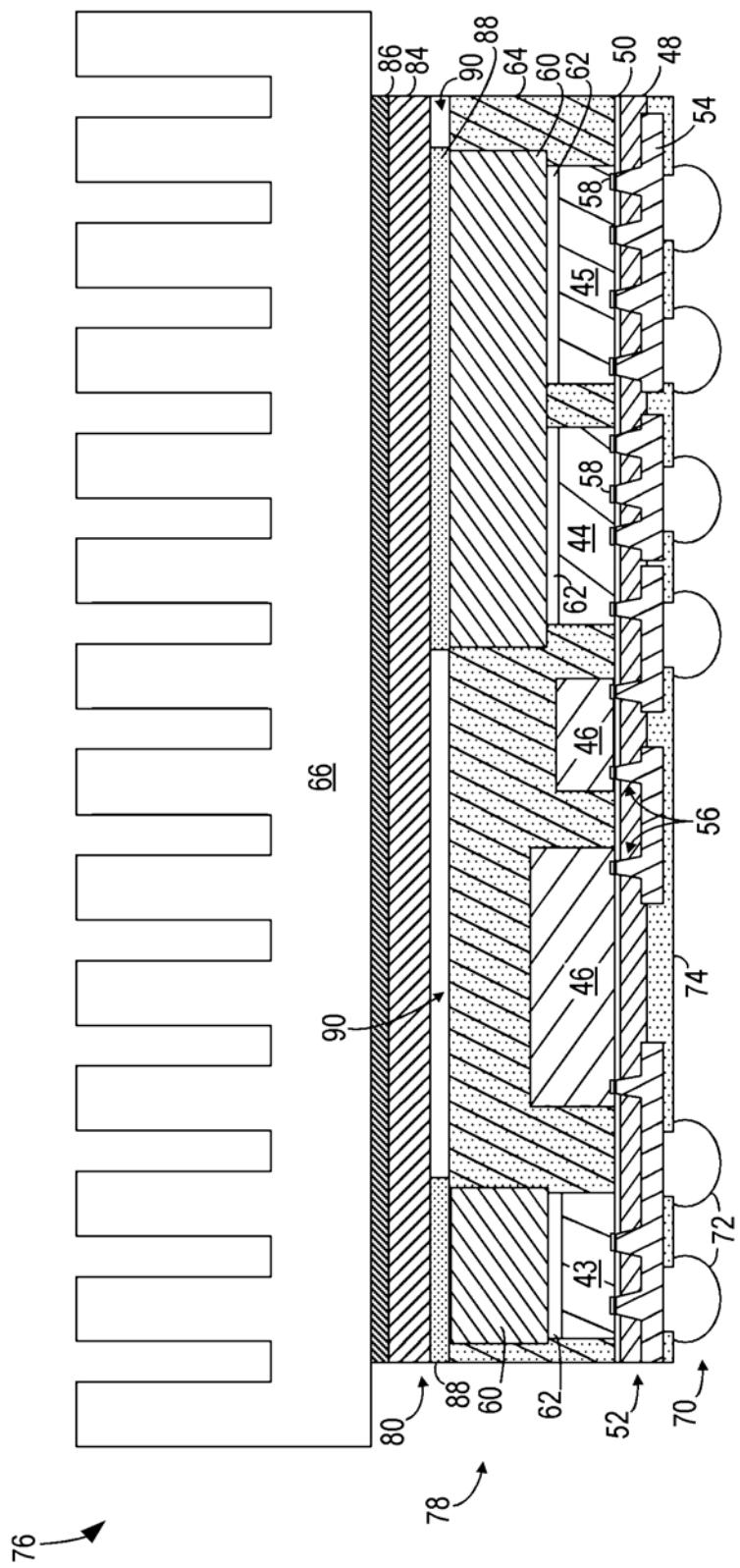


图 4

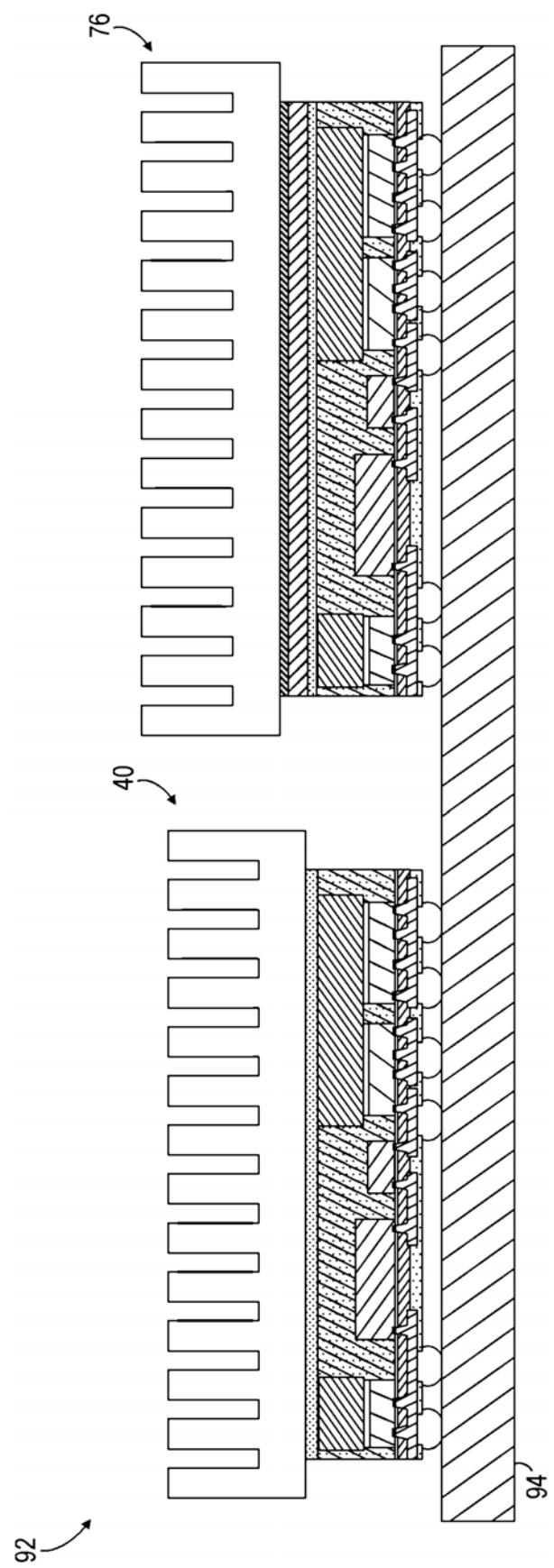


图 5

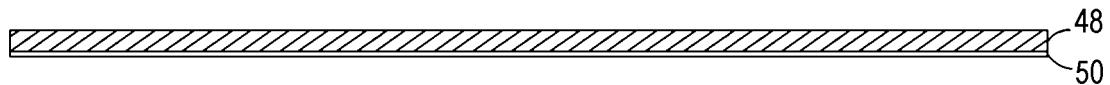


图 6

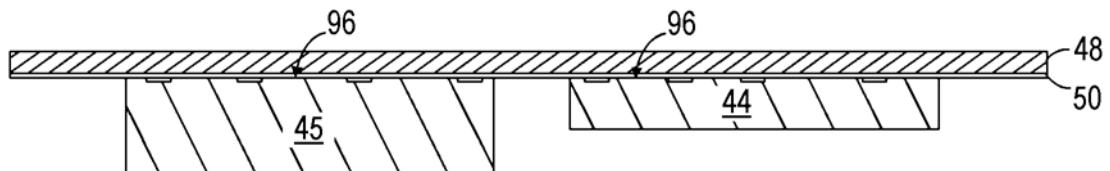


图 7

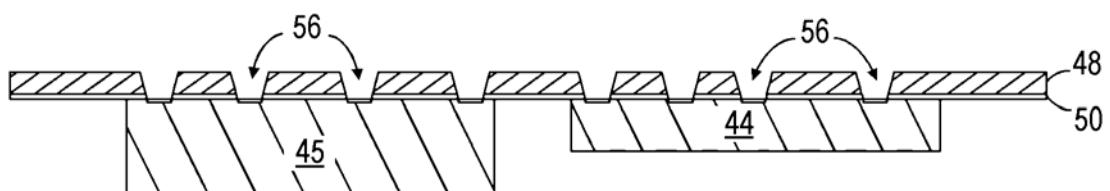


图 8

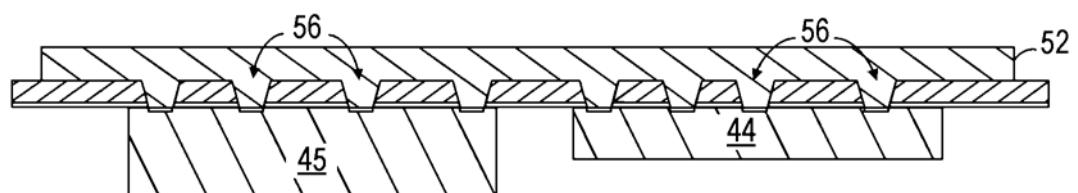


图 9

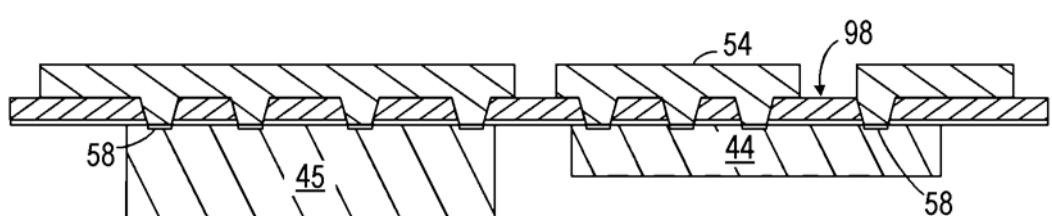


图 10

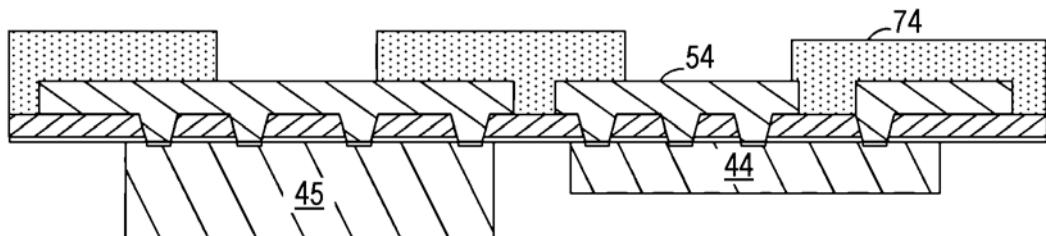


图 11

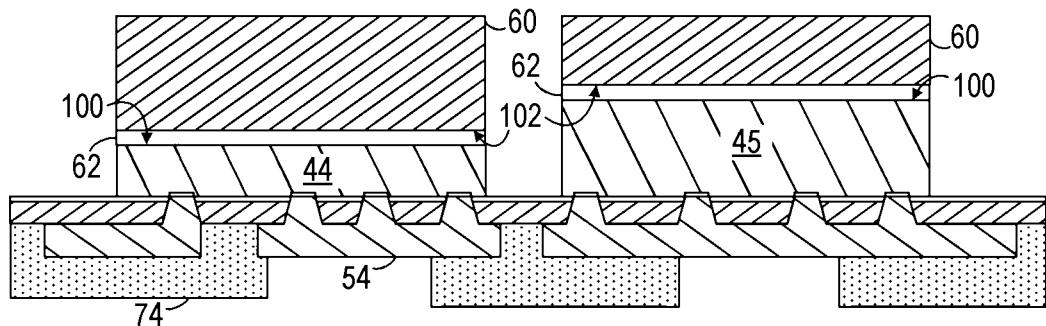


图 12

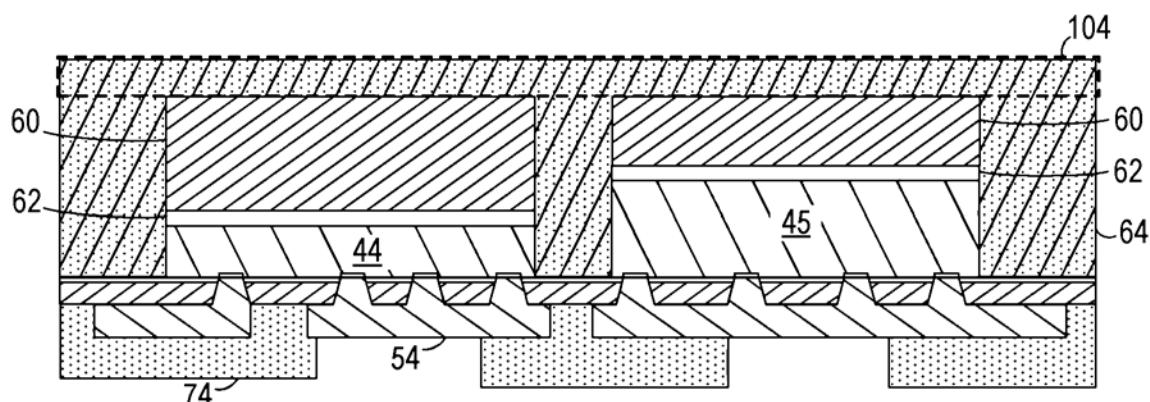


图 13

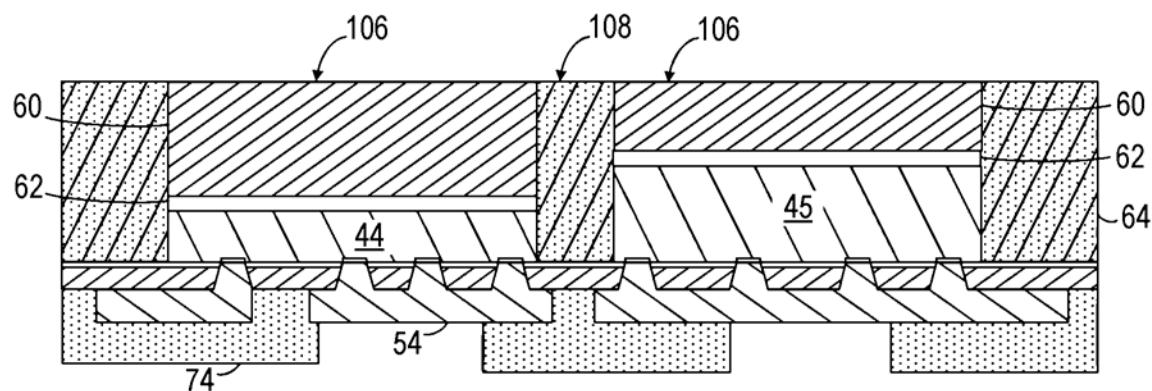


图 14

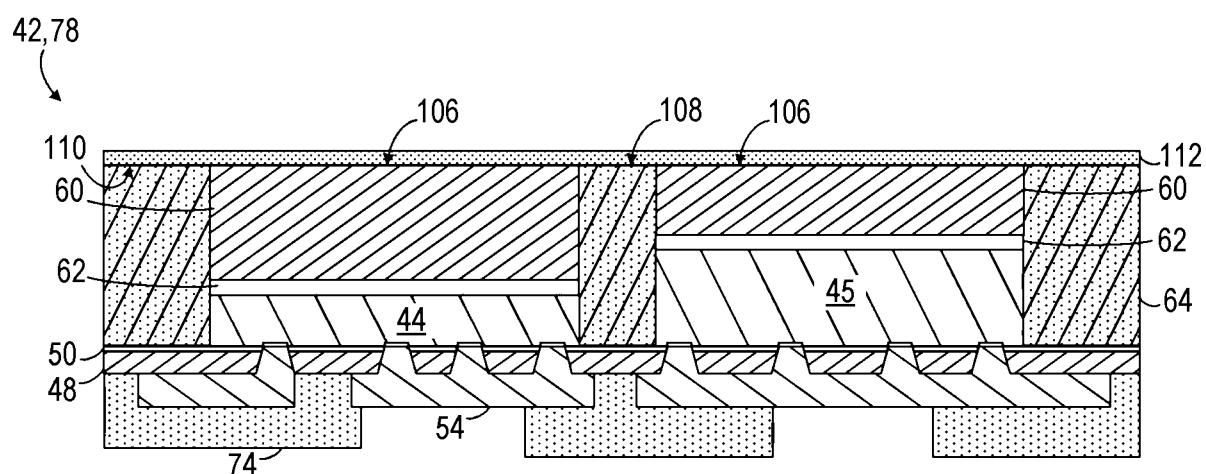


图 15

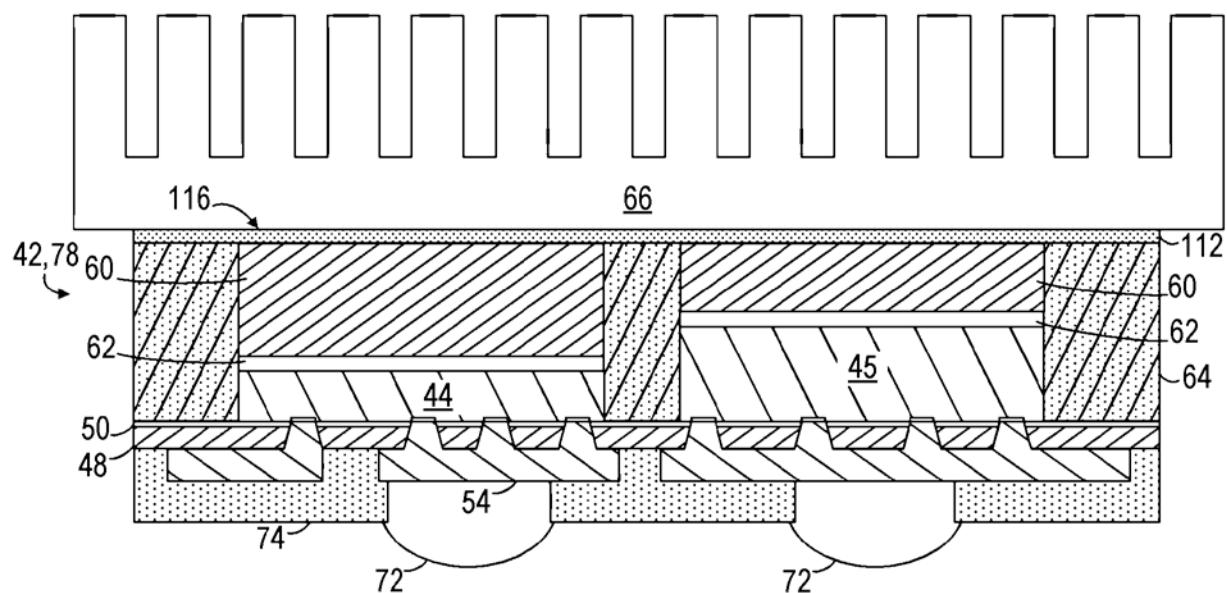


图 16

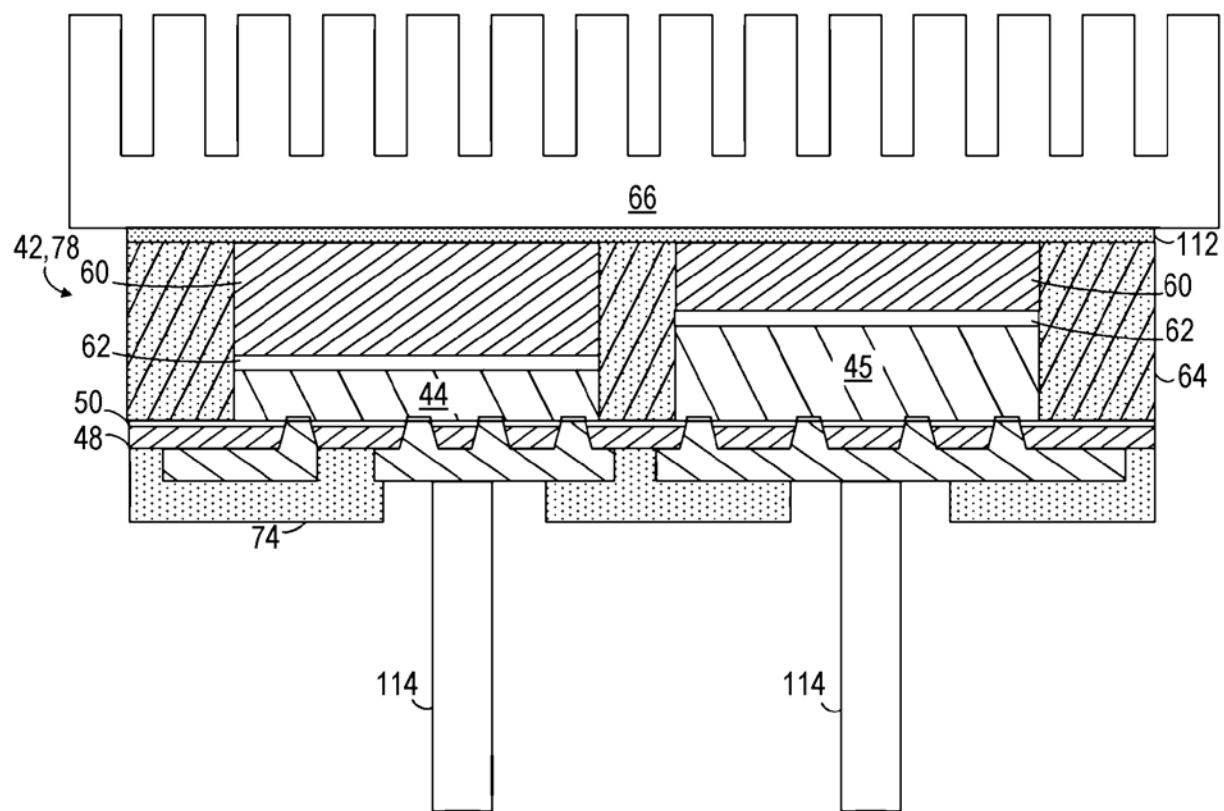


图 17

118

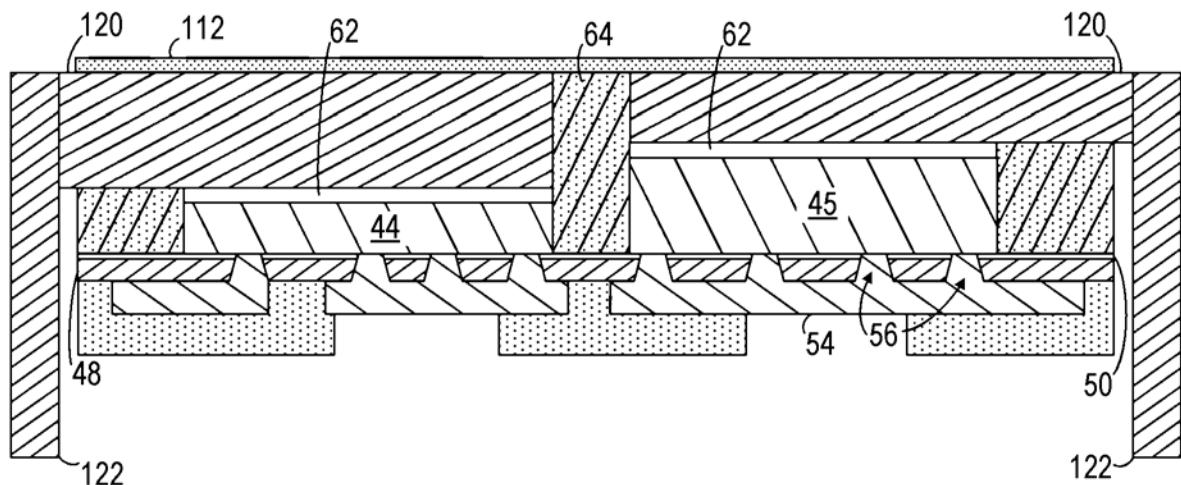


图 18

124

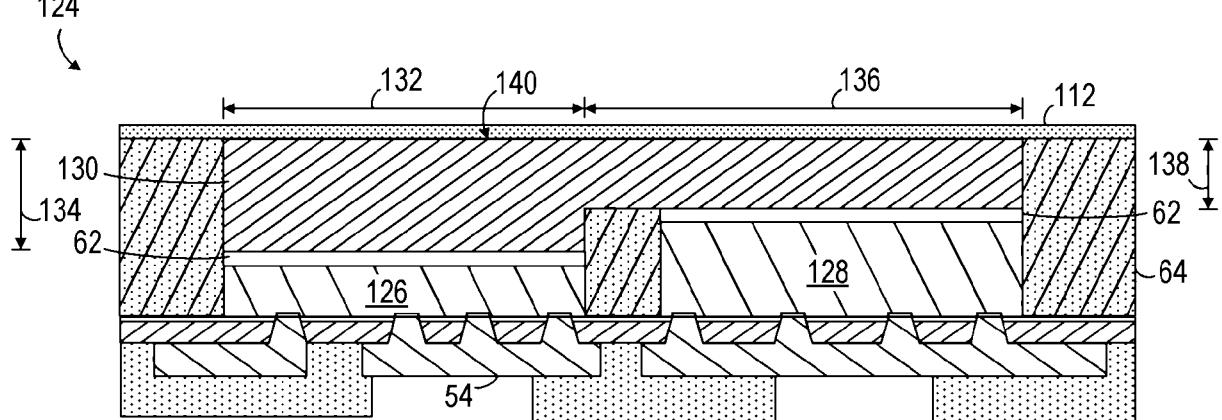


图 19

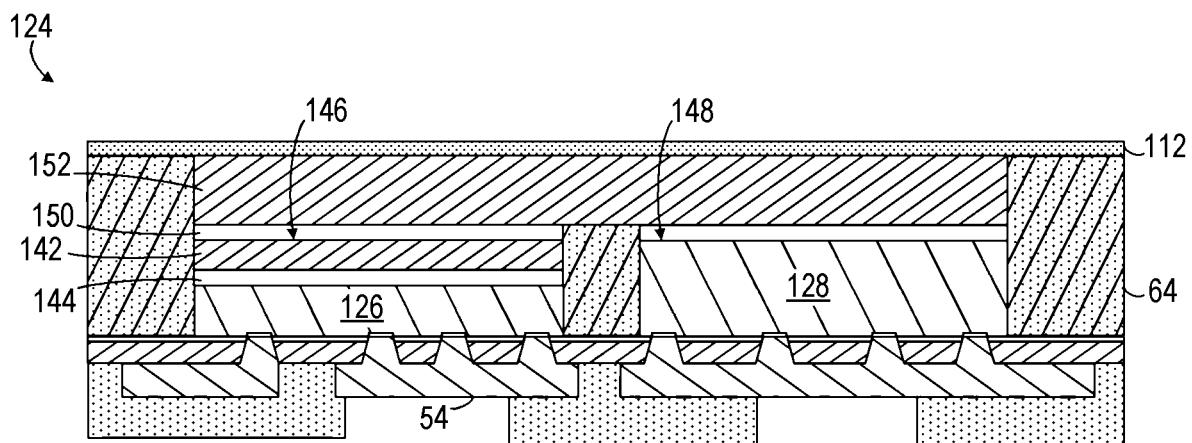


图 20