

公告本

申請日期	85.3.28
案號	85103532
類	Int. C1 ⁶ 17016 21/322

A4
C4

459310

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中 文	自我對準接觸製程
	英 文	
二、發明 創作人	姓 名	1. 陳輝煌 2. 洪允錠
	國 籍	中華民國
	住、居所	1. 台北市和平西路3段89巷16弄4號 2. 新竹縣竹東鎮光明路554巷27號2樓
三、申請人	姓 名 (名稱)	聯華電子股份有限公司
	國 籍	中華民國
	住、居所 (事務所)	新竹科學工業園區工業東三路三號
	代 表 人 姓 名	曹興誠

裝

訂

線

五、發明說明 (1)

本發明係有關於記憶體積體電路製程技術，特別具有關於一種自動對準接觸製程，藉以降低接觸區與閘極間的漏電流，並降低其間之寄生電容值，進而改善速度及良率。

習知記憶體元件製程裏，可藉由一稱做自我對準接觸 (self-aligned contact) 的技術，來減少記憶單元 (cell) 所需佔用的佈局面積。請參照第 1A-1C 圖，所示即為習知自我對準接觸製程的流程剖面示意圖。如圖所示，記憶單元是製作於一半導體基底 10 內，此基底 10 譬如可以是一 P 型矽基底、亦或是形成於矽基底內之一 P 型井區 (well region)。再者，標號 11 是閘極介電層，譬如是在熱氧化矽基底 10 表面得之氧化矽物構成；標號 12 是第一複晶矽層，做為記憶單元之閘極，其表面業經熱氧化處理或沈積氧化矽，形成一氧化矽層 13；標號 14 係為第一邊牆間隔物，設置於閘極介電層 11、閘極 12、以及氧化矽層 13 等所建構之閘極結構側壁；淡摻植區 15 及濃摻植區 16，形成於基底 10 內，每一濃摻植區 16 形成於相對應之淡摻植區 15 內，做為記憶單元之源/汲極區。

在完成記憶單元植基於基底 10 內的流程後，如第 1A 圖所示，沈積一氧化矽層 17 覆於整個基底表面，再旋轉塗佈光阻層 100，並經光學微影術 (photolithography) 定義接觸區圖案，呈一開口 110 露出氧化矽層 17。然後，如第 1B 圖所示，以光阻層 100 做罩幕，施以乾蝕刻 (dry etch) 處理，沿開口 110 蝕刻氧化矽層 17 成第二邊牆間隔物 18 於第一邊牆間隔物 14 上，並露出兩相鄰閘極結構間之濃摻植區 16，

五、發明說明(2)

之後將光阻層 100 去除。再者，沈積一第二複晶矽層覆於整個基底表面，並經由開口 110 與露出之濃摻植區 15 相接觸。如第 1C 圖示，此第二複晶矽層經光學微影術和蝕刻程序，得一接觸區 19。此接觸區 19 係做為記憶體之一位元線。

由於氧化矽層 17 所沈積的厚度，決定了第二邊牆間隔物 18 之寬度。若沈積厚度愈厚，則第二邊牆間隔物 18 之寬度愈寬；反之，愈薄則寬度愈窄。若為考量接觸區 19 與閘極 12 間的絕緣效果，則氧化矽層 17 沈積得愈厚，其絕緣效果愈佳，其間寄生電容亦愈小。但是，加厚的氧化矽層 17，卻造致垂直方向高低落差變大，使得後續金屬化的製程裏高寬比(aspect ratio)變大，增加金屬濺鍍的難度，亦劣化平坦化製程的效果。

因此，本發明之主要目的，在於提供一種自我對準接觸製程，同時兼具接觸區和閘極間的絕緣效果以及平坦化之考量。

而本發明之上述目的，可藉由提供一種自我對準接觸製程，適用於一半導體基底；其中，該基底具有：二互為相隔之閘極結構設置其上、第一邊牆間隔物形成於該等閘極結構之側壁、以及一源/汲極區形成於該等閘極結構間之該基底內；而該自我對準接觸製程包括：形成一絕緣層覆於該基底表面；非等向蝕刻該絕緣層及於一既定的厚度；形成一光阻層於該絕緣層上，並經定義呈一開口；沿該開口蝕刻該絕緣層，成第二邊牆間隔物於該開口範圍內之該等第一邊牆間隔物上，並露出該源極區；去除該光阻層；以及形成一接觸

五、發明說明(3)

區經該開口與該源/汲極區呈電性接觸。

爲讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下。

圖示之簡單說明：

第 1A-1C 圖係顯示用以說明習知自我對準接觸製程的流程剖面示意圖；以及

第 2A-2D 圖係顯示用以說明根據本發明一較佳實施例的流程剖面示意圖。

實施例：

請參照第 2A-2D 圖，所示爲根據本發明一較佳實施例的流程剖面示意圖。如圖所示，記憶單元是製作於一半導體基底 20 內，此基底 20 譬如可以是一 P 型矽基底、亦或是形成於矽基底內之一 P 型井區。再者，標號 21 是閘極介電層，譬如是以熱氧化矽基底 20 表面而得之氧化矽物所構成；標號 22 爲第一複晶矽層，係做爲記憶單元之閘極，其表面業經熱氧化或氧化層沈積處理，形成一氧化矽層 23 覆於其上；標號 24 爲第一邊牆間隔物，設置於閘極介電層 21、閘極 22、以及氧化矽層 23 等所建構之閘極結構側壁；源/汲極區，譬如是以 N 型雜質佈植入基底 20 內而得，分別由一淡摻植區 25 和一濃摻植區 26 建構而得，其中，濃摻植區 26 係形成於淡植區 25 範圍內。

首先，如第 2A 圖所示，沈積一絕緣層 27 覆於整個基底表面，此絕緣層 27 可以是一氧化矽層，其厚度較習知者

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(4)

(如第 1A 圖之氧化矽層 17) 為厚，約可介於 3000~4000Å 間的範圍。後續施以一非等向性蝕刻(anisotropic etch)，將絕緣層 27 回蝕刻至第 2A 圖所示之虛線 200 處。為量及後續製程的平坦化效果，若絕緣層 27 之初始沈積厚度約為 3000Å，則非等向性蝕刻步驟可蝕去約介於 800~1200Å 間的絕緣層 27 厚度。

再者，如第 2B 圖所示，塗佈一光阻層 210 於整個基底表面，再經顯影、定影、烘烤等程序界定出接觸區圖案，呈一開口 220 露出絕緣層 27。然後，如第 2C 圖所示，以光阻層 210 做罩幕，施以乾蝕刻處理，沿開口 220 蝕刻絕緣層 27 成第二邊牆間隔物 28 於第一邊牆間隔物 24 上，並露出兩相鄰閘極結構間之濃摻植區 26，之後再將光阻層 210 予以去除。

然後，沈積一導電層覆於整個基底表面，並經由開口 220 與露出之濃摻植區 26 相接觸，此導電層譬如是一第二複晶層或金屬複晶矽化層(polycide)。如第 2D 圖所示，此導電層經光學微影術與蝕刻程序，得一接觸區 29，做為記憶體內之一位元線。

綜上所述，本發明之自我對準接觸製程，利用沈積一較習知製程厚之絕緣層後，再施以一非等回蝕刻回蝕至既定的厚度，接著以光阻層界定出接觸區的範圍呈一開口，後續沿開口蝕刻絕緣層成第二邊牆間隔物，據此可得較寬之第二邊牆間隔物，故可增加閘極和接觸區間絕緣物質厚度，增加絕緣效果，進而降低其間的寄生電容值。再者，

五、發明說明(5)

蝕刻之絕緣層垂直厚度因回蝕刻而減小，因此不會增加後續沈積金屬層時的高寬比，故不會影響平坦化效果。

雖然本發明已以一較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文發明摘要(發明之名稱：自我對準接觸製程)

一種自我對準接觸製程，係於記憶單元形成於一半導體基底後，利用沈積一較習知製程厚之絕緣層覆於表面。再施以一非等向蝕刻回蝕至既定的厚度，接著以光阻層界定出接觸區的範圍呈一開口。後續沿開口蝕刻絕緣層成一邊牆間隔物。根據本發明方法，此邊牆間隔物可較習知者寬，故可增加閘極和接觸區間的絕緣效果，進而降低其間的寄生電容。再者，蝕餘之絕緣層垂直厚度因回蝕刻而減少，因此不會增加後續沈積金屬層時之高寬比，故不會影響平坦化的效果。

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

英文發明摘要(發明之名稱：)

六、申請專利範圍

1.一種自我對準接觸製程，適用於一半導體基底；其中，該基底具有：二互為相隔之閘極結構設置其上、第一邊牆間隔物形成於該等閘極結構之側壁、以及一源/汲極區形成於該等閘極結構間之該基底內；而該自我對準接觸製程包括：

形成一絕緣層覆於該基底表面；

非等向蝕刻該絕緣層及於一既定的厚度；

形成一光阻層於該絕緣層上，並經定義呈一開口；

沿該開口蝕刻該絕緣層，成第二邊牆間隔物於該開口範圍內之該等第一邊牆間隔物上，並露出該源/汲極區；

去除該光阻層；以及

形成一接觸區經該開口與該源/汲極區呈電性接觸。

2.如申請專利範圍第 1 項所述之該自我對準接觸製程，其中，該絕緣層是一氧化矽層。

3.如申請專利範圍第 2 項所述之該自我對準接觸製程，其中，該氧化矽層厚度約介於 3000~4000Å 之間。

4.如申請專利範圍第 3 項所述之該自我對準接觸製程，其中，該絕緣層經該非等向蝕刻所蝕去的厚度約介於 800~1200Å 間。

5.如申請專利範圍第 1 項所述之該自我對準接觸製程，其中，該接觸區是一複晶矽化層。

6.如申請專利範圍第 1 項所述之該自我對準接觸製程，其中，該接觸區是一金屬複晶矽化層。

7.如申請專利範圍第 1 項所述之該自我對準接觸製

六、申請專利範圍

程，其中，該等閘極結構由下而上分別包括：一閘極介電層、一閘極、以及一氧化矽層。

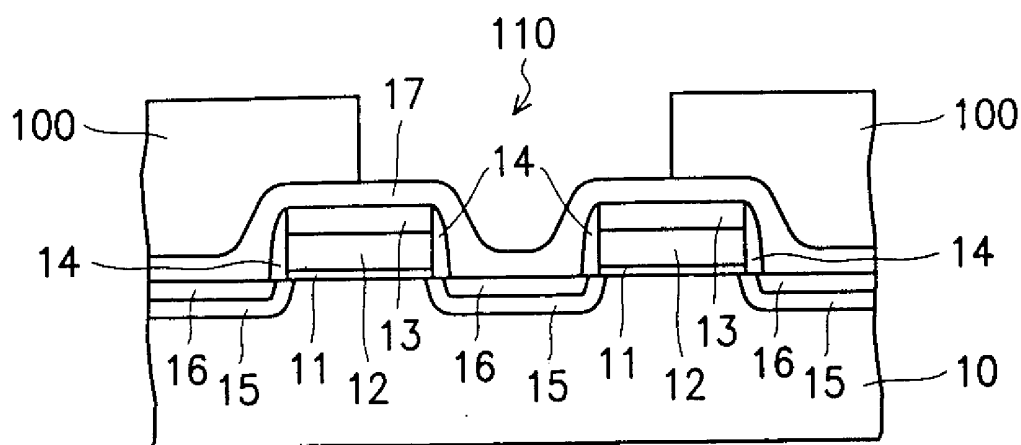
8.如申請專利範圍第 1 項所述之該自我對準接觸製程，其中，該源/極區包括一濃摻植區和一淡摻植區，其中，該濃摻植區形成於該淡摻植區範圍內。

(請先閱讀背面之注意事項再填寫本頁)

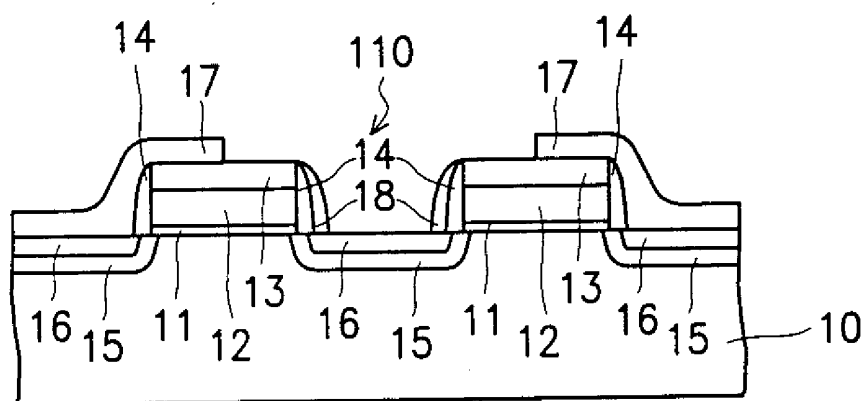
裝

訂

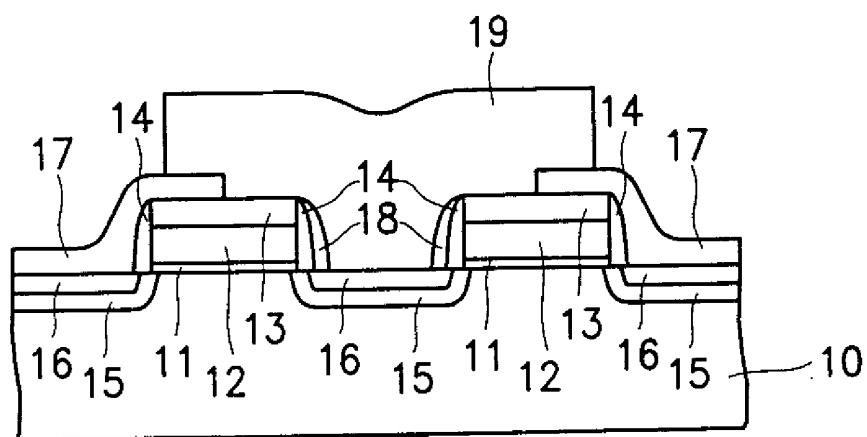
線



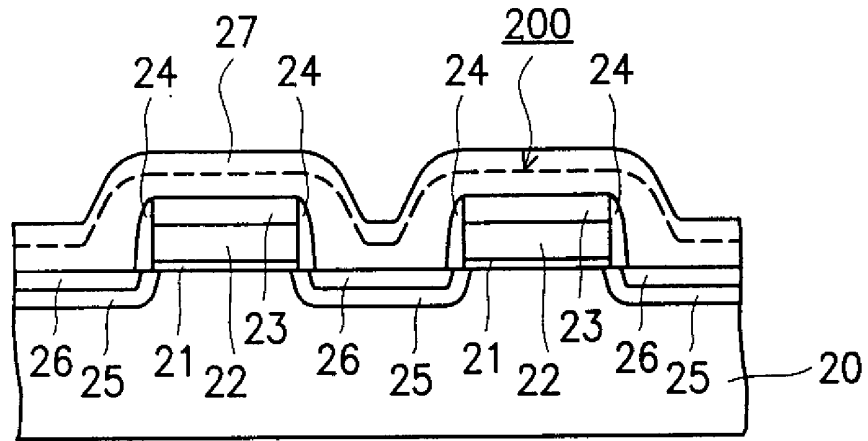
第1A圖



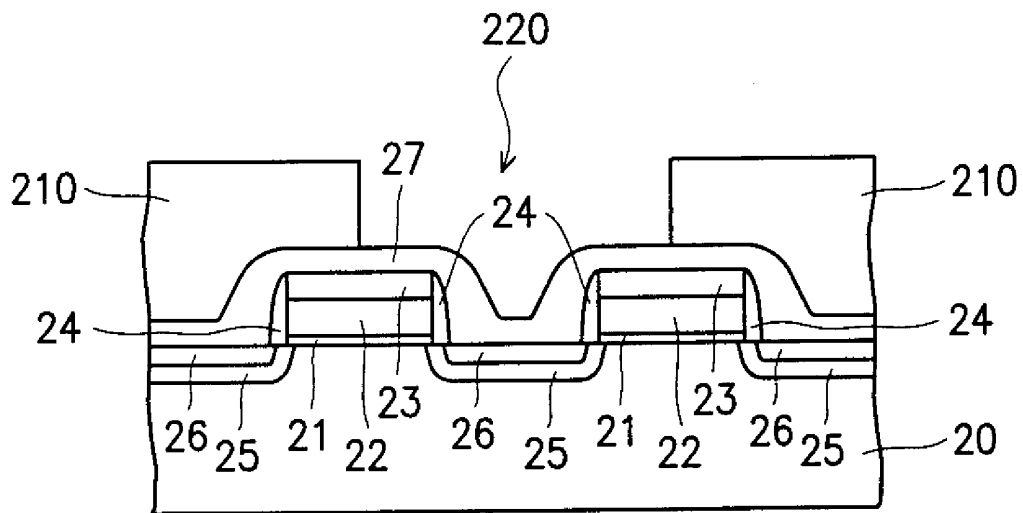
第1B圖



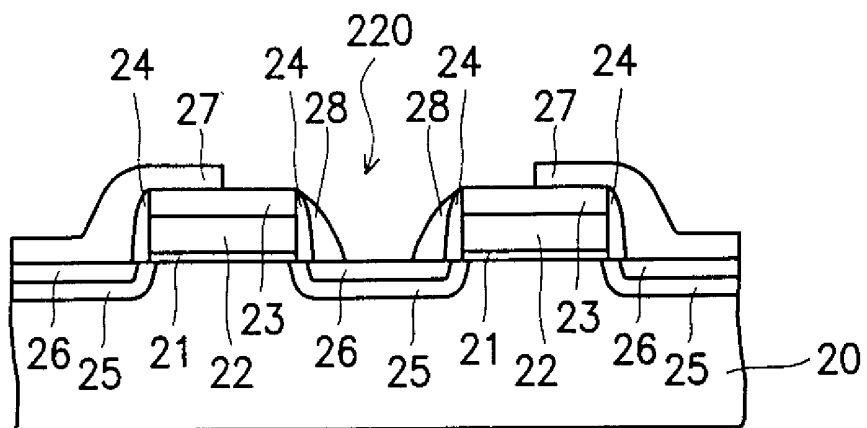
第1C圖



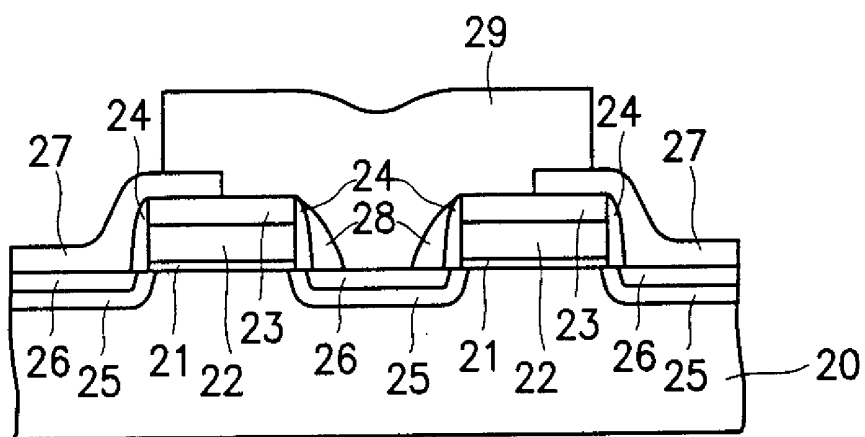
第2A圖



第2B圖



第2C圖



第2D圖