

公告本

I272680

申請日期	91 年 12 月 31 日
案 號	91138088
類 別	1101L21/33b. 29/98

A4
C4

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中 文	半導體裝置及其製造方法
	英 文	
二、發明 創作人	姓 名	(1) 鉢嶺清太 (2) 清水昭博 (3) 大木長斗司
	國 籍	(1) 日本國東京都小平市上水本町五丁目二番一號日立超愛爾・愛斯・愛・系統(股)內
	住、居所	(2) 日本國東京都小平市上水本町五丁目二番一號日立超愛爾・愛斯・愛・系統(股)內 (3) 日本國東京都小平市上水本町五丁目二番一號日立超愛爾・愛斯・愛・系統(股)內
三、申請人	姓 名 (名稱)	(1) 日立製作所股份有限公司 株式会社日立製作所
	國 籍	(2) 日立超愛爾・愛斯・愛・系統股份有限公司 株式会社日立超エル・エス・アイ・システムズ
	住、居所 (事務所)	(1) 日本 (2) 日本 (1) 日本國東京都千代田區神田駿河台四丁目六番地 (2) 日本國東京都小平市上水本町五丁目二番一號
	代 表 人 姓 名	(1) 庄山悦彦 (2) 小切間正彦

裝

訂

線

申請日期	91 年 12 月 31 日
案 號	91138088
類 別	

A4
C4

(以上各欄由本局填註)

發 明 專 利 說 明 書		
一、發明 名稱	中 文	
	英 文	
二、發明 創作人	姓 名	(4) 酒井哲 (5) 山本直樹
	國 籍	(4) 日本國東京都千代田區丸之內一丁目五番一號新丸大樓日立製作所(股)知的財産權本部內
	住、居所	(5) 日本國東京都千代田區丸之內一丁目五番一號新丸大樓日立製作所(股)知的財産權本部內
三、申請人	姓 名 (名稱)	
	國 籍	
	住、居所 (事務所)	
	代 表 人 姓 名	

裝

訂

線

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

A6

B6

本案已向：

國(地區) 申請專利，申請日期：

案號：

，☐有 ☐無主張優先權

日本

2002 年 3 月 19 日 2002-076182

☒有主張優先權

有關微生物已寄存於：

，寄存日期：

，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

五、發明說明(1)

【發明領域】

本發明是關於半導體裝置及其製造技術，特別是關於適用於在同一基板具有 n 通道導電型場效電晶體以及 p 通道導電型場效電晶體的半導體裝置及其製造型 FET 之有效技術。

【發明背景】

【習知技藝之說明】

搭載於半導體裝置的場效電晶體已知有例如稱為 MISFET(金屬-絕緣體-半導體場效電晶體，Metal Insulator Semiconductor Field Effect Transistor)的絕緣閘型場效電晶體。此 MISFET 因具有容易高積集化的特徵，故作為構成積體電路的電路元件廣泛被使用。

MISFET 不問 n 通道導電型以及 p 通道導電型，一般成為具有通道形成區域、閘絕緣膜、閘電極、源極區域以及汲極區域等的構成。閘絕緣膜配設於半導體基板的電路形成面(一主面)的元件形成區域，例如以氧化矽膜形成。閘電極是在半導體基板的電路形成面的元件形成區域上隔著閘絕緣膜而配設，例如以導入有降低電阻值的雜質的多晶矽膜形成。通道形成區域配設於面對閘電極的半導體基板的區域(閘電極正下方)。源極區域以及汲極區域是在配設於通道形成區域的通道長方向中的兩側的半導體區域(雜質擴散區域)形成。

此外，在 MISFET 中閘絕緣膜由氧化矽膜構成者通常被

五、發明說明 (2)

稱為 MOSFET (金屬 - 氧化物 - 半導體場效電晶體, Metal Oxide Semiconductor Field Effect Transistor)。而且, 通道形成區域是指形成有連結源極區域與汲極區域的電流通路(通道(Channel))的區域。而且, 稱電流流過半導體基板的厚度方向(深度方向)者為縱型, 電流流過半導體基板的平面方向(表面方向)者為橫型。而且, 稱在源極區域與汲極區域之間(閘電極下)的通道形成區域產生電子的通道(導電通路)者為 n 型(或 n 通道導電型); 稱產生電洞的通道者為 p 型(或 p 通道導電型)。

【發明概要】

但是, 在 $0.1\mu\text{m}$ 水平時代的超微細 CMIS(互補型金屬 - 絕緣體 - 半導體, Complementary MIS)製程, 由新材料的導入、MISFET 的短通道效應抑制等的理由低溫化持續進行。此點在元件中容易殘留製程起因的殘留應力。製程起因的殘留應力是在半導體基板的電路形成面的表層部即 MISFET 的通道形成區域作用。

在一般的 CMIS(互補型 MIS)製程中, 例如在半導體基板的電路形成面上形成層間絕緣膜(Interlayer dielectric film)的情形, 在 n 通道導電型 MISFET 以及 p 通道導電型 MISFET 上使用同一材料的結果在同一晶片內於 MISFET 的通道形成區域作用的應力大致相同。而且, 通常藉由製程的工夫謀求在 n 通道導電型 MISFET 以及 p 通道導電型 MISFET 的通道形成區域作用的應力的降低化。

五、發明說明 (3)

而且，針對對通道形成區域的應力的電晶體特性的變化，在與汲極電流(I_d)的流動方向(閘極長方向)相同方向施加應力的情形已知

(1)、n 通道導電型 MISFET 的汲極電流在壓縮應力減少在拉伸應力增加。

(2)、p 通道導電型 MISFET 的汲極電流在壓縮應力增加在拉伸應力減少。

但是，其變化為頂多數 % 以下(參照文獻:IEEE TRANSACTIONS ON ELECTRON DEVICE. VOL.38.NO.APRIL 1991 p898~p900)。此為在像例如閘極長尺寸為 $1\mu m$ 的長度尺寸的製程世代，也有取決於充分高溫長時間的回火(Anneal)被進行。

如果依照本發明者等的檢討，得知若微細化 MISFET 的閘極長到 $0.1\mu m$ 附近使製程低溫化的話則殘留應力增大，因通道形成區域的應力造成的對電晶體特性的影響非常大。

例如得知若在 MISFET 的形成後改變兼具層間絕緣膜的自對準接觸(Self-aligned contact)用的電漿 CVD 氮化膜(由電漿 CVD 法形成的氮化膜)的形成條件的話，膜中的應力由壓縮方向朝拉伸方向大大地變化，根據此變化 MISFET 的電晶體特性也大大地變化。此點顯示於圖 2 的汲極電流變動率的膜應力依存性。但是，圖中的應力值並非顯示 MISFET 的通道形成區域的內部應力，而是由被覆層間絕緣膜後的晶圓的翹曲換算求得的層間絕緣膜自身的值。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(4)

由應力造成的影響雖然為與前述文獻相同的傾向，但其大小若為 $\pm 10\sim 20\%$ 則會變大到一位數以上。再者，在 n 通道導電型 MISFET 與 p 通道導電型 MISFET，依照膜的應力汲極電流的增減明顯地顯示相反的方向。

因此，若改變層間絕緣膜等的形成條件使內部應力的大小變化的話，n 通道導電型 MISFET 以及 p 通道導電型 MISFET 的汲極電流顯示相反的動向，有無法同時提高兩元件的汲極電流的問題。

而且再者，在 $0.1\mu\text{m}$ 水平以後由此應力造成的汲極電流的變動也為 $\pm 10\sim 20\%$ 以上，有 n 通道導電型 MISFET 與 p 通道導電型 MISFET 的汲極電流的平衡變化的問題。

本發明的目的為提供可謀求 n 通道導電型場效電晶體以及 p 通道導電型場效電晶體的汲極電流的增加(謀求電流驅動能力的增加)的技術。

本發明的其他目的為提供可自由設定 n 通道導電型場效電晶體以及 p 通道導電型場效電晶體的汲極電流比的技術。

在本案中所揭示的發明之中，若簡單地說明代表的發明的概要的話，如以下所示。

本發明的主旨為藉由膜的應力控制在 n 通道導電型場效電晶體以及 p 通道導電型場效電晶體的各個通道形成區域作用的應力於各個汲極電流增加的方向。在 n 通道導電型場效電晶體藉由沿著汲極電流的流動方向(閘極長方向)的拉伸應力在通道形成區域作用使汲極電流增加。在 p 通道

五、發明說明(6)

基板的 n 通道導電型場效電晶體以及 p 通道導電型場效電晶體，包含：

在以絕緣膜覆蓋前述 n 通道導電型場效電晶體的閘電極與前述半導體基板的元件分離區域之間的半導體區域的狀態下，用以在前述 n 通道導電型場效電晶體以及前述 p 通道導電型場效電晶體上覆蓋這些電晶體的閘電極，在前述 p 通道導電型場效電晶體的通道形成區域形成使壓縮應力產生的第一絕緣膜的(a)製程；

實施蝕刻處理，選擇性地除去前述 n 通道導電型場效電晶體上的前述第一絕緣膜的(b)製程；

用以在前述 n 通道導電型場效電晶體以及前述 p 通道導電型場效電晶體上覆蓋這些電晶體的閘電極，在前述 n 通道導電型場效電晶體的通道形成區域形成使拉伸應力產生的第二絕緣膜的(c)製程；以及

選擇性地除去前述 p 通道導電型場效電晶體上的前述第二絕緣膜的(d)製程。

(3)、在前述手段(1)或(2)中，覆蓋前述半導體區域的絕緣膜包含形成於前述閘電極側壁的側壁間隙壁，與用以覆蓋前述側壁間隙壁而形成的沉積膜。

(4)、在前述手段(1)或(2)中，覆蓋前述半導體區域的絕緣膜包含形成於前述閘電極側壁的側壁間隙壁，與用以覆蓋前述側壁間隙壁而形成的沉積膜，

在前述半導體區域的表面配設有對準前述側壁間隙壁而形成的金屬/半導體反應層。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(7)

(5)、在前述手段(1)或(2)中，覆蓋前述半導體區域的絕緣膜包含形成於前述閘電極側壁的側壁間隙壁，與形成於前述側壁間隙壁與前述元件分離區域之間的熱氧化膜。

(6)、在前述手段(1)或(2)中，覆蓋前述半導體區域的絕緣膜包含形成於前述閘電極側壁的側壁間隙壁，與形成於前述側壁間隙壁與前述元件分離區域之間的熱氧化膜，

在前述半導體區域的表面配設有對準前述側壁間隙壁而形成的金屬/半導體反應層。

(7)、在前述手段(1)或(2)中，前述第一以及第二絕緣膜為以 LP-CVD(低壓化學氣相成長:Low Pressure-Chemical Vapor Deposition)法、電漿 CVD 法或單片熱 CVD 法等形成的氮化矽膜。

(8)、一種半導體裝置的製造方法，具有形成於半導體基板的 n 通道導電型場效電晶體以及 p 通道導電型場效電晶體，包含：

在前述 n 通道導電型以及 p 通道導電型場效電晶體的閘電極與前述半導體基板的元件分離區域之間的半導體區域上對準前述閘電極，形成第一側壁間隙壁的(a)製程；

在前述半導體區域的表面對準前述第一側壁間隙壁，形成金屬/半導體反應層的(b)製程；

在前述金屬/半導體反應層上對準前述第一側壁間隙壁，形成第二側壁間隙壁的(c)製程；

用以在前述 n 通道導電型以及 p 通道導電型場效電晶體上覆蓋這些電晶體的閘電極，在前述 n 通道導電型場效

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(8)

電晶體的通道形成區域形成使拉伸應力產生的第一絕緣膜的(d)製程；

實施蝕刻處理，選擇性地除去前述 p 通道導電型場效電晶體上的前述第一絕緣膜的(e)製程；

用以在前述 n 通道導電型場效電晶體以及前述 p 通道導電型場效電晶體上覆蓋這些電晶體的閘電極，在前述 p 通道導電型場效電晶體的通道形成區域形成使壓縮應力產生的第二絕緣膜的(f)製程；以及

選擇性地除去前述 n 通道導電型場效電晶體上的前述第二絕緣膜的(g)製程。

(9)、一種半導體裝置的製造方法，具有形成於半導體基板的 n 通道導電型場效電晶體以及 p 通道導電型場效電晶體，包含：

在前述 n 通道導電型以及 p 通道導電型場效電晶體的閘電極與前述半導體基板的元件分離區域之間的半導體區域上對準前述閘電極，形成第一側壁間隙壁的(a)製程；

在前述半導體區域的表面對準前述第一側壁間隙壁，形成金屬/半導體反應層的(b)製程；

在前述金屬/半導體反應層上對準前述第一側壁間隙壁，形成第二側壁間隙壁的(c)製程；

用以在前述 n 通道導電型以及 p 通道導電型場效電晶體上覆蓋這些電晶體的閘電極，在前述 p 通道導電型場效電晶體的通道形成區域形成使壓縮應力產生的第一絕緣膜的(d)製程；

五、發明說明 (9)

實施蝕刻處理，選擇性地除去前述 n 通道導電型場效電晶體上的前述第一絕緣膜的(e)製程；

用以在前述 n 通道導電型場效電晶體以及前述 p 通道導電型場效電晶體上覆蓋這些電晶體的閘電極，在前述 n 通道導電型場效電晶體的通道形成區域形成使拉伸應力產生的第二絕緣膜的(f)製程；以及

選擇性地除去前述 p 通道導電型場效電晶體上的前述第二絕緣膜的(g)製程。

(10)、在前述手段(8)或(9)中，前述第一以及第二絕緣膜為以 LP-CVD 法、電漿 CVD 法或單片熱 CVD 法等形成的氮化矽膜。

(11)、一種半導體裝置的製造方法，具有形成於半導體基板的 n 通道導電型場效電晶體以及 p 通道導電型場效電晶體，包含：

在前述 n 通道導電型場效電晶體以及前述 p 通道導電型場效電晶體上用以覆蓋這些電晶體的閘電極形成具有拉伸應力的第一絕緣膜的(a)製程；

在前述 n 通道導電型場效電晶體以及前述 p 通道導電型場效電晶體上用以覆蓋這些電晶體的閘電極形成具有絕對值比前述第一絕緣膜的拉伸應力還大的壓縮應力的第二絕緣膜的(b)製程；以及

實施蝕刻處理，選擇性地除去前述 n 通道導電型場效電晶體上的前述第二絕緣膜的(c)製程；

前述第二絕緣膜的壓縮應力為前述第一絕緣膜的拉伸

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明（10）

應力的兩倍以上。

前述第一以及第二絕緣膜為以 LP-CVD 法、電漿 CVD 法或單片熱 CVD 法等形成的氮化矽膜。

(12)、一種半導體裝置的製造方法，具有形成於半導體基板的 n 通道導電型場效電晶體以及 p 通道導電型場效電晶體，包含：

在前述 n 通道導電型場效電晶體以及前述 p 通道導電型場效電晶體上用以覆蓋這些電晶體的閘電極形成具有壓縮應力的第一絕緣膜的(a)製程；

在前述 n 通道導電型場效電晶體以及前述 p 通道導電型場效電晶體上用以覆蓋這些電晶體的閘電極形成具有絕對值比前述第一絕緣膜的壓縮應力還大的拉伸應力的第二絕緣膜的(b)製程；以及

實施蝕刻處理，選擇性地除去前述 p 通道導電型場效電晶體上的前述第二絕緣膜的(c)製程。

前述第二絕緣膜的拉伸應力為前述第一絕緣膜的壓縮應力的兩倍以上。

前述第一以及第二絕緣膜為以 LP-CVD 法、電漿 CVD 法或單片熱 CVD 法等形成的氮化矽膜。

(13)、一種半導體裝置，具有形成於半導體基板的 n 通道導電型場效電晶體以及 p 通道導電型場效電晶體，其中

具有拉伸應力的第一絕緣膜是在前述 n 通道導電型以及 p 通道導電型場效電晶體上用以覆蓋這些電晶體的閘電極而形成，

五、發明說明 (11)

具有絕對值比前述第一絕緣膜的拉伸應力還大的壓縮應力的第二絕緣膜是在前述 p 通道導電型場效電晶體上用以覆蓋此閘電極而選擇性地形成。

前述第二絕緣膜的壓縮應力為前述第一絕緣膜的拉伸應力的兩倍以上。

前述第一以及第二絕緣膜為以 LP-CVD 法、電漿 CVD 法或單片熱 CVD 法等形成的氮化矽膜。

(14)、一種半導體裝置，具有形成於半導體基板的 n 通道導電型場效電晶體以及 p 通道導電型場效電晶體，其中

具有壓縮應力的第一絕緣膜是在前述 n 通道導電型以及 p 通道導電型場效電晶體上用以覆蓋這些電晶體的閘電極而形成，

具有絕對值比前述第一絕緣膜的壓縮應力還大的拉伸應力的第二絕緣膜是在前述 n 通道導電型場效電晶體上用以覆蓋此閘電極而選擇性地形成。

前述第二絕緣膜的拉伸應力為前述第一絕緣膜的壓縮應力的兩倍以上。

前述第一以及第二絕緣膜為以 LP-CVD 法、電漿 CVD 法或單片熱 CVD 法等形成的氮化矽膜。

(15)、一種半導體裝置的製造方法，具有形成於半導體基板的 n 通道導電型場效電晶體以及 p 通道導電型場效電晶體，包含：

在前述 n 通道導電型場效電晶體以及 p 通道導電型場效電晶體上用以覆蓋這些電晶體的閘電極形成具有拉伸應

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (12)

力的絕緣膜的製程；以及

對前述 p 通道導電型場效電晶體上的前述絕緣膜導入元素，將前述絕緣膜變換成在前述 p 通道導電型場效電晶體的通道形成區域使壓縮應力產生的膜的製程。

前述元素為與包含於前述絕緣膜的元素同一的元素。

前述元素的導入是以對前述半導體基板垂直地離子植入前述元素的方法或對前述半導體基板斜斜地離子植入前述元素的方法來進行。

前述絕緣膜為以 LP-CVD 法、電漿 CVD 法或單片熱 CVD 法等形成的氮化矽膜。

(16)、一種半導體裝置，具有形成於半導體基板的 n 通道導電型場效電晶體以及 p 通道導電型場效電晶體，其中

在前述 n 通道導電型以及 p 通道導電型場效電晶體上用以覆蓋這些電晶體的閘電極而形成有膜，

前述膜具有在前述 n 通道導電型場效電晶體的通道形成區域使拉伸應力產生的膜應力的第一部分，與在前述 p 通道導電型場效電晶體的通道形成區域使壓縮應力產生的膜應力的第二部分，

前述膜的第二部分為膜中的元素濃度比前述第一部分高。

前述膜為以 LP-CVD 法、電漿 CVD 法或單片熱 CVD 法等形成的氮化矽膜。

如果依照前述手段，分別對 n 通道導電型場效電晶體的通道形成區域、p 通道導電型場效電晶體的通道形成區域

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (13)

給予拉伸應力、壓縮應力的結果，如圖 2 所示根據 n 通道導電型場效電晶體以及 p 通道導電型場效電晶體的各通道形成區域作用的應力的大小，在 n 通道導電型場效電晶體以及 p 通道導電型場效電晶體汲極電流都增加。

而且，因可個別控制在 n 通道導電型場效電晶體以及 p 通道導電型場效電晶體的通道形成區域作用的應力，故可自由控制 n 通道導電型場效電晶體與 p 通道導電型場效電晶體的汲極電流比。

此處定義幾個用語。

在場效電晶體的通道形成區域作用的拉伸應力是指通道形成區域為矽(Si)的情形，Si 的晶格常數比平衡狀態大的應力。

在場效電晶體的通道形成區域作用的壓縮應力是指通道形成區域為矽(Si)的情形，Si 的晶格常數比平衡狀態小的應力。

膜所具有的拉伸應力是指在場效電晶體的通道形成區域使拉伸應力產生的應力。

膜所具有的壓縮應力是指在場效電晶體的通道形成區域使壓縮應力產生的應力。

因此，本發明的主旨為通道形成區域中的矽原子的原子間距離在 n 通道導電型場效電晶體與 p 通道導電型場效電晶體不同的換言之應變的大小不同，再者矽原子間距離意味著在 n 通道導電型場效電晶體的通道形成區域比 p 通道導電型場效電晶體的通道形成區域還大。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (14)

本發明的前述以及其他目的與新穎的特徵可由本說明書的記述以及添付圖面而明瞭。

此外，本發明者在構成本發明的過程發現新的問題點。針對此問題點與適用本發明的實施形態一起說明。

【圖式之簡單說明】

圖 1 是顯示本發明的實施形態 1 的半導體裝置的概略構成的模式的剖面圖。

圖 2 是顯示汲極電流變動率的膜應力依存性的特性圖。

圖 3 是顯示電流方向與膜應力方向的關係的模式的剖面圖。

圖 4 是顯示電流方向與膜應力方向的關係的模式的俯視圖。

圖 5 是本發明的實施形態 1 的半導體裝置的製程中的模式的剖面圖。

圖 6 是接著圖 5 的半導體裝置的製程中的模式的剖面圖。

圖 7 是接著圖 6 的半導體裝置的製程中的模式的剖面圖。

圖 8 是接著圖 7 的半導體裝置的製程中的模式的剖面圖。

圖 9 是接著圖 8 的半導體裝置的製程中的模式的剖面圖。

五、發明說明 (15)

圖 10 是接著圖 9 的半導體裝置的製程中的模式的剖面圖。

圖 11 是接著圖 10 的半導體裝置的製程中的模式的剖面圖。

圖 12 是接著圖 11 的半導體裝置的製程中的模式的剖面圖。

圖 13 是接著圖 12 的半導體裝置的製程中的模式的剖面圖。

圖 14 是接著圖 13 的半導體裝置的製程中的模式的剖面圖。

圖 15 是接著圖 14 的半導體裝置的製程中的模式的剖面圖。

圖 16 是接著圖 15 的半導體裝置的製程中的模式的剖面圖。

圖 17 是接著圖 16 的半導體裝置的製程中的模式的剖面圖。

圖 18 是接著圖 17 的半導體裝置的製程中的模式的剖面圖。

圖 19 是接著圖 18 的半導體裝置的製程中的模式的剖面圖。

圖 20 是用以說明在構成本發明的過程由本發明者發現的問題點的模式剖面圖。

圖 21 是用以說明在構成本發明的過程之中由本發明者發現的問題點的模式剖面圖。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (16)

圖 22 是用以說明在構成本發明的過程之中由本發明者發現的問題點的模式剖面圖。

圖 23 是用以說明在構成本發明的過程之中由本發明者發現的問題點的模式剖面圖。

圖 24 是顯示本發明的實施形態 1 的變形例的模式剖面圖。

圖 25 是顯示本發明的實施形態 2 的半導體裝置的概略構成的模式剖面圖。

圖 26A、B 是本發明的實施形態 2 的半導體裝置的製程中的模式剖面圖。

圖 27 是本發明的實施形態 2 的半導體裝置的製程中的模式剖面圖。

圖 28 是本發明的實施形態 3 的半導體裝置的製程中的模式剖面圖。

圖 29 是本發明的實施形態 4 的半導體裝置的製程中的模式剖面圖。

圖 30A、B 是顯示本發明的實施形態 5 的半導體裝置的概略構成的模式剖面圖。

圖 31 是顯示本發明的實施形態 6 的半導體裝置的概略構成的模式剖面圖。

圖 32 是本發明的實施形態 6 的半導體裝置的製程中的模式剖面圖。

圖 33 是接著圖 32 的半導體裝置的製程中的模式剖面圖。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (17)

圖 34 是接著圖 33 的半導體裝置的製程中的模式的剖面圖。

圖 35 是接著圖 34 的半導體裝置的製程中的模式的剖面圖。

圖 36 是顯示本發明的實施形態 6 的變形例的模式的剖面圖。

圖 37 是顯示本發明的實施形態 7 的半導體裝置的概略構成的模式的剖面圖。

圖 38 是本發明的實施形態 7 的半導體裝置的製程中的模式的剖面圖。

圖 39 是接著圖 38 的半導體裝置的製程中的模式剖面圖。

圖 40 是顯示本發明的實施形態 7 的變形例的模式的剖面圖。

圖 41 是顯示本發明的實施形態 8 的半導體裝置的概略構成的模式的剖面圖。

圖 42 是顯示本發明的實施形態 9 的半導體裝置的概略構成的模式的俯視圖。

圖 43 是沿著圖 42 的 A-A 線的模式剖面圖。

圖 44 是顯示本發明的實施形態 10 的半導體裝置的概略構成的模式的剖面圖。

【符號說明】

1: p 型半導體基板

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (18)

- 2: p 型井區域
- 3: n 型井區域
- 4: 淺渠溝隔離區域
- 5: 閘絕緣膜
- 6: 閘電極
- 7、10: n 型半導體區域
- 8、11: p 型半導體區域
- 9、22: 側壁間隙壁
- 12: 金屬矽化物層
- 12a: 高熔點金屬膜
- 13、15、21、41: 絕緣膜
- 14a、14b、24: 氮化矽膜
- 16: 層間絕緣膜
- 17: 雜質
- 18: 源極/汲極用接觸孔
- 19: 導電性插塞
- 20: 配線
- 24a: 第一部分
- 24b: 第二部分
- 30: 通道形成區域
- 31: 汲極電流方向
- 32、33: 半導體區域
- 34: 膜
- 35a、35b: 層差部

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (19)

X: 閘極長方向

Y: 閘極寬方向

40: 半導體基板

40a、40c: 半導體層

40b: 絕緣層

【較佳實施例之詳細說明】

以下參照圖面詳細說明本發明的實施形態。此外，在用以說明發明的實施形態的全圖中，對具有同一功能的構件附加同一符號，省略其重複說明。而且，為了使圖面易見起見，顯示剖面的陰影線省略一部分。

(實施形態 1)

在本實施形態 1 是說明關於使適用本發明於具有電源電壓為 1~1.5V、閘極長為 0.1~0.14 μm 左右的互補型 MISFET 的半導體裝置的例子。

圖 1 是顯示本發明的實施形態 1 的半導體裝置的概略構成的模式的剖面圖。

圖 2 是顯示汲極電流變動率的膜應力依存性的特性圖。

圖 3 以及圖 4 是顯示電流方向與膜應力方向的關係的模式俯視圖以及模式的剖面圖。

圖 5 至圖 19 是圖 1 的半導體裝置的製程中的模式的剖面圖。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (20)

圖 20 至圖 23 是用以說明在構成本發明的過程由本發明者發現的問題點的模式剖面圖。

在圖 1、圖 5 至圖 19 面向前左側為 n 通道導電型 MISFET(n-ch MISFET)，右側為 p 通道導電型 MISFET(p-ch MISFET)。

如圖 1 所示本實施形態的半導體裝置，半導體基板是以例如由單晶矽構成的 p 型矽基板(以下僅稱為 p 型基板)1 為主體而構成。p 型基板 1 的電路形成面(一主面)具有 nMIS 形成區域(第一元件形成區域)1n 以及 pMIS 形成區域(第二元件形成區域)1p，此 nMIS 形成區域 1n 以及 pMIS 形成區域 1p 是由元件分離區域的例如淺渠溝隔離(SGI: Shallow Groove Isolation)區域 4 互相區分。在 nMIS 形成區域 1n 形成有 p 型井區域 2 以及 n 通道導電型 MISFET(以下僅稱為 n 型 MISFET)，在 pMIS 形成區域 1p 形成有 n 型井區域 3 以及 p 通道導電型 MISFET(以下僅稱為 p 型 MISFET)。淺渠溝隔離區域 4 是藉由在 p 型基板 1 的電路形成面形成淺渠溝，然後在淺渠溝的內部選擇性地埋入絕緣膜(例如氧化矽膜)而形成。本實施形態的 n 型以及 p 型 MISFET 是成為電流流過 p 型基板 1 的平面方向的橫型構造。

n 型 MISFET 主要成為具有通道形成區域、閘絕緣膜 5、閘電極 6、側壁間隙壁(Sidewall spacer)9、源極區域以及汲極區域的構成。源極區域以及汲極區域為成為具有 n 型半導體區域(延伸(Extension)區域)7 以及 n 型半導體區域 10 的構成。n 型半導體區域 7 為對閘電極 6 自對準地形成，n

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (21)

型半導體區域 10 是對配設於閘電極 6 的側壁的側壁間隙壁 9 自對準地形成。n 型半導體區域 10 是以比 n 型半導體區域 7 還高的雜質濃度形成。

p 型 MISFET 主要成為具有通道形成區域、閘絕緣膜 5、閘電極 6、側壁間隙壁 9、源極區域以及汲極區域的構成。源極區域以及汲極區域為成為具有 p 型半導體區域(延伸區域)8 以及 p 型半導體區域 11 的構成。p 型半導體區域 8 為對閘電極 6 自對準地形成，p 型半導體區域 11 是對配設於閘電極 6 的側壁的側壁間隙壁 9 自對準地形成。p 型半導體區域 11 是以比 p 型半導體區域 8 還高的雜質濃度形成。

在閘電極 6、n 型半導體區域 10、p 型半導體區域 11 的各個表面形成有用以謀求低電阻化的金屬矽化物(Silicide)層(金屬/半導體反應層)12。配設於閘電極 6 表面的金屬矽化物層 12、配設於 n 型半導體區域 10 以及 p 型半導體區域 11 表面的金屬矽化物層 12 是對配設於閘電極 6 的側壁間隙壁 9 自對準地形成。這些金屬矽化物層 12 例如藉由自對準矽化物(Salicide: Self Aligned Silicide)技術形成。即本實施形態的 n 型以及 p 型 MISFET 成為自對準矽化物構造。

在 p 型基板 1 的電路形成面上形成有由例如氧化矽膜構成的層間絕緣膜 16。層間絕緣膜 16 是用以覆蓋 p 型基板 1 的電路形成面而形成。在 n 型 MISFET 與層間絕緣膜 16 之間形成有第一氮化膜的例如氮化矽膜 14a，作為在 p 型基板 1 的電路形成面使拉伸應力產生的膜。在 p 型 MISFET 與

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (22)

層間絕緣膜 16 之間形成有第二氮化膜的例如氮化矽膜 14b，作為在 p 型基板 1 的電路形成面使壓縮應力產生的膜。在本實施形態中氮化矽膜 14a 是在 n 型 MISFET 上用以覆蓋其閘電極 6 而選擇性地形成，氮化矽膜 14b 是在 p 型 MISFET 上用以覆蓋其閘電極 6 而選擇性地形成。

在 n 型 MISFET 與氮化矽膜 14a 之間以及 p 型 MISFET 與氮化矽膜 14b 之間形成有由例如氧化矽膜構成的絕緣膜 13。絕緣膜 13 是在 p 型基板 1 的電路形成面上用以覆蓋 n 型以及 p 型 MISFET 而形成。

在氮化矽膜 14a 與層間絕緣膜 16 之間形成有由例如氧化矽膜構成的絕緣膜 15。此絕緣膜 15 是在氮化矽膜 14a 上用以覆蓋此氮化矽膜 14a 而選擇性地形成。

在 n 型半導體區域 10 以及 p 型半導體區域 11 上形成有由層間絕緣膜 16 的表面到達金屬矽化物層 12 的源極/汲極用接觸孔 18，在此源極/汲極用接觸孔 18 的內部埋入有導電性插塞(Plug)19。n 型半導體區域 10 以及 p 型半導體區域 11 經由金屬矽化物層 12 以及導電性插塞 19 與延伸於層間絕緣膜 16 上的配線 20 電氣連接。

在閘電極 6 上未圖示，形成有由層間絕緣膜 16 的表面到達金屬矽化物層 12 的閘極用接觸孔，在此閘極用接觸孔的內部埋入有導電性插塞 19。閘電極 6 經由金屬矽化物層 12 以及閘極用接觸孔內部的導電性插塞 19 與延伸於層間絕緣膜 16 上的配線 20 電氣連接。

源極/汲極用接觸孔 18 以及閘極用接觸孔是藉由以氮化

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (23)

矽膜 14a 以及 14b 為蝕刻中止 (Etching stopper) 膜使用的 SAC (自對準接觸孔, Self Aligned Contact hole) 技術而形成。即氮化矽膜 14a 以及 14b 是作為自對準接觸用絕緣膜使用。

氮化矽膜 14a 以及 14b 例如由電漿 CVD (化學氣相沉積, Chemical Vapor Deposition) 法形成。此氮化矽膜 14a 以及 14b 藉由改變其形成條件 (反應氣體、壓力、溫度、高頻功率等), 可控制在 p 型基板 1 的電路形成面產生的應力。在本實施形態中氮化矽膜 14a 為例如膜形成時的高頻功率為 300~400W 的低功率化, 控制在 p 型基板 1 的電路形成面產生的應力於拉伸方向。氮化矽膜 14b 為例如膜形成時的高頻功率為 600~700W 的高功率化, 控制在 p 型基板 1 的電路形成面產生的應力於壓縮方向。

因在如此形成的氮化矽膜 14a 存在 +700~+800MPa 左右的拉伸應力, 在氮化矽膜 14b 存在 -900~-1000MPa 左右的壓縮應力, 故在 n 型 MISFET 的通道形成區域產生拉伸應力, 在 p 型 MISFET 的通道形成區域產生壓縮應力。此結果如圖 2 所示, 與不被覆氮化矽膜 14a 以及 14b 的情形比較, n 型 MISFET 的汲極電流提高 10~15%, p 型 MISFET 的汲極電流提高 15~20%。此外, 這些應力如前述主要施加於與流過通道形成區域的汲極電流 (I_d) 的方向 (閘極長方向) 相同方向。

此處針對在 MISFET 的通道形成區域產生的應力使用簡略的圖以及與本實施形態一部分不同的符號來說明。圖 3 以及圖 4 所示的 MISFET 與本實施形態一樣為自對準矽化物

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (24)

構造，符號 30 為 MISFET 的通道形成區，符號 31 為流過通道形成區域 30 的汲極電流的方向，符號 32 為對準閘電極 6 形成的半導體區域、符號 33 為對準側壁間隙壁 9 而形成的半導體區域、符號 34 為在通道形成區 30 用以使應力產生的膜，符號 35a 以及 35b 為層差部。

如圖 3 以及圖 4 所示，MISFET 為用以在閘電極 6 的側壁包圍閘電極 6 而配設有側壁間隙壁 9 的構造。因閘電極 6 以及側壁間隙壁 9 由基板突出，故形成有由閘電極 6 以及側壁間隙壁 9 造成的層差部 (35a、35b)。在這種構造的 MISFET 上用以覆蓋其閘電極 6 而在通道形成區域 30 形成使應力 (拉伸應力或壓縮應力) 產生的膜 34 的情形，因在閘極長方向 X 中的層差部 35a 的最下部以及閘極寬方向 Y 中的層差部 35b 的最下部，由膜 34 造成的應力集中，故以閘極長方向 X 中的層差部 35a 的最下部為起點的閘極長方向的膜應力在通道形成區域 30 作用，並且以閘極寬方向 Y 中的層差部 35b 的最下部為起點的閘極寬方向的膜應力在通道形成區域 30 作用。即由膜 34 造成的應力為拉伸應力的情形，在通道形成區域 30 產生閘極長方向以及閘極寬方向的拉伸應力，由膜 34 造成的應力為壓縮應力的情形，在通道形成區域 30 產生閘極長方向以及閘極寬方向的壓縮應力。

但是，由於閘電極 6 的閘極長方向 X 中的長度與其閘極寬方向 Y 中的長度比較壓倒地小，故集中於閘極寬方向 Y 中的層差部 35b 的最下部的拉伸應力或因壓縮應力在通道

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (25)

形成區域 30 產生的閘極寬方向的拉伸應力或壓縮應力極度地小。因此，因膜 34 在通道形成區域 30 產生的應力實質上可僅視為閘極長方向的拉伸應力或壓縮應力，換言之沿著汲極電流方向 31 的拉伸應力或壓縮應力。

在 p 型 MISFET 中對通道形成區域 30 施加閘極寬方向的壓縮應力的情形汲極電流減少被報告。在利用膜 34 的通道形成區域 30 的應力控制如前述因在通道形成區域 30 產生的閘極寬方向的壓縮應力極度小，故可有效地進行 p 型 MISFET 的汲極電流增加。因此，利用膜 34 的通道形成區域 30 的應力控制對 p 型場效電晶體特別有效。

此外，因膜 34 的應力使在通道形成區域 30 產生的應力隨著膜應力的起點離開(遠離)通道形成區域 30 而減少，故膜應力的起點盡可能接近通道形成區域 30 較佳。在前述的說明，由閘電極 6 以及側壁間隙壁 9 造成的層差部(35a、35b)的最下部成為膜應力的起點，惟不具有側壁間隙壁 9 的 MISFET 的情形為閘電極 6 的側壁的最下部成為膜應力的起點。

其次，針對本實施形態 1 的半導體裝置的製造使用圖 5 至圖 9 來說明。

首先準備由具有電阻率 $100\ \Omega\text{ cm}$ 的單晶矽構成的 p 型基板 1，然後如圖 5 所示，在 p 型基板 1 的電路形成面選擇性地形成 p 型井區域 2 以及 n 型井區域 3。

其次如圖 5 所示，在 p 型基板 1 的電路形成面形成淺渠溝隔離區域 4 作為區分 nMIS 形成區域(第一元件形成區

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (26)

域)1n 以及 pMIS 形成區域(第二元件形成區域)1p 的元件分離區域。此淺渠溝隔離區域 4 是在 p 型基板 1 的電路形成面形成淺渠溝(例如 300[nm]左右的深度的溝槽)，然後在 p 型基板 1 的電路形成面上以 CVD 法形成例如由氧化矽膜構成的絕緣膜，然後使絕緣膜僅殘留於淺渠溝的內部藉由以 CMP(化學機械研磨：Chemical Mechanical Polishing)法平坦化來形成。

其次如圖 6 所示實施熱處理在 p 型基板 1 的電路形成面的 nMIS 形成區域 1n 以及 pMIS 形成區域 1p 形成由例如厚度 2~3nm 左右的氧化矽膜構成的閘絕緣膜 5，然後在 p 型基板 1 的電路形成面上的全面以 CVD 法形成例如 150~200nm 左右的厚度的多晶矽膜，然後對多晶矽膜實施圖案形成(Patterning)以形成閘電極 6。降低電阻值的雜質在其沉積中或沉積後被導入多晶矽膜。

其次如圖 6 所示在未形成有閘電極 6 的 p 型井區域 2 的部分以離子打入法選擇性地導入雜質例如砷(As)，形成一對 n 型半導體區域(延伸區域)7，然後在未形成有閘電極 6 的 n 型井區域 3 的部分以離子打入法選擇性地導入雜質例如二氟化硼(BF₂)，形成一對 p 型半導體區域(延伸區域)8。n 型半導體區域 7 的形成是在以光阻罩幕(Photoresist mask)覆蓋 pMIS 形成區域 1p 的狀態下進行。而且，p 型半導體區域 8 的形成是在以光阻罩幕覆蓋 nMIS 形成區域 1n 的狀態下進行。砷的導入是在加速能量 1~5KeV、劑量(Dose) 1~ $2 \times 10^{15}/\text{cm}^2$ 的條件下進行。而且，二氟化硼的導入是在加速

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (27)

能量 $1\sim 5\text{KeV}$ 、劑量 $1\sim 2\times 10^{15}/\text{cm}^2$ 的條件下進行。n 型半導體區域 7 以及 p 型半導體區域 8 是對準閘電極 6 而形成。

此外，在導入雜質形成半導體區域 (7、8) 後實施活化此半導體區域 (7、8) 的熱處理。

其次如圖 6 所示在閘電極 6 的側壁形成例如閘極長方向的膜厚為 $50\sim 70\text{nm}$ 左右的側壁間隙壁 9。側壁間隙壁 9 是在 p 型基板 1 的電路形成面上的全面以 CVD 法形成由例如氧化矽膜或氮化矽膜構成的絕緣膜，然後藉由對絕緣膜實施 RIE (反應性離子蝕刻: Reactive Ion Etching) 等的非等向性蝕刻 (Anisotropic etch) 而形成。側壁間隙壁 9 是對準閘電極 6 而形成。

其次如圖 6 所示在未形成有閘電極 6 以及側壁間隙壁 9 的 p 型井區域 2 的部分以離子打入法選擇性地導入雜質例如砷 (As)，形成一對 n 型半導體區域 10，然後在未形成有閘電極 6 以及側壁間隙壁 9 的 n 型井區域 3 的部分以離子打入法選擇性地導入雜質例如二氟化硼 (BF_2)，形成一對 p 型半導體區域 11。n 型半導體區域 10 的形成是在以光阻罩幕覆蓋 pMIS 形成區域 1p 的狀態下進行。而且，p 型半導體區域 11 的形成是在以光阻罩幕覆蓋 nMIS 形成區域 1n 的狀態下進行。砷的導入是在加速能量 $35\sim 45\text{KeV}$ 、劑量 $2\sim 4\times 10^{15}/\text{cm}^2$ 的條件下進行。而且，二氟化硼的導入是在加速能量 $40\sim 50\text{KeV}$ 、劑量 $2\sim 4\times 10^{15}/\text{cm}^2$ 的條件下進行。n 型半導體區域 10 以及 p 型半導體區域 11 是對準側壁間隙壁 9 而形成。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (28)

此外，在導入雜質形成半導體區域(10、11)後實施活化此半導體區域(10、11)用的熱處理。

在此製程中形成有具有對準閘電極 6 而形成的 n 型半導體區域 7 以及對準側壁間隙壁 9 而形成的 n 型半導體區域 10 的源極區域以及汲極區域。而且，形成有具有對準閘電極 6 而形成的 p 型半導體區域 8 以及對準側壁間隙壁 9 而形成的 p 型半導體區域 11 的源極區域以及汲極區域。而且形成有橫型的 n 型以及 p 型 MISFET。

其次，除去自然氧化膜等使閘電極 6 以及半導體區域(10、11)的表面露出後如圖 7 所示，在包含這些的表面上之 p 型基板 1 的電路形成面上的全面以濺鍍(Sputtering)法形成例如鈷(Co)膜 12a 當作高熔點金屬膜，然後如圖 8 所示實施熱處理，使閘電極 6 的矽(Si)與鈷膜 12a 的 Co 反應在閘電極 6 的表面形成金屬/半導體反應層的金屬矽化物(CoSix)層 12，並且使半導體區域(10、11)的 Si 與鈷膜 12a 的 Co 反應在半導體區域(10、11)的表面形成金屬矽化物(CoSix)層 12，然後如圖 9 所示選擇性地除去形成有金屬矽化物層 12 的區域以外的未反應的鈷膜 12a，然後實施熱處理活化金屬矽化物層 12。

在此製程中配設於閘電極 6 表面的金屬矽化物層 12 以及配設於半導體區域(10、11)表面的金屬矽化物層 12 是對準側壁間隙壁 9 而形成。而且形成有自對準矽化物構造的 n 型以及 p 型 MISFET。

其次如圖 10 所示在包含 n 型以及 p 型 MISFET 上的 p

五、發明說明 (29)

型基板 1 的電路形成面上的全面以 CVD 法形成由例如 5~10nm 左右厚的氧化矽膜構成的絕緣膜 13。在此製程中，閘電極 6 的金屬矽化物層 12、半導體區域(10、11)的金屬矽化物層 12 以及側壁間隙壁 9 等被絕緣膜 13 覆蓋。

其次如圖 11 所示在包含 n 型以及 p 型 MISFET 上的 p 型基板 1 的電路形成面上的全面以電漿 CVD 法形成由例如 100~120nm 左右厚的氮化矽膜 14a 作為絕緣膜。氮化矽膜 14a 的形成例如以高頻功率 350~400W 或反應室(Chamber)內壓力 300~350Torr 的條件進行。

在此製程中，n 型以及 p 型 MISFET 被氮化矽膜 14a 覆蓋。而且閘電極 6 的金屬矽化物層 12、半導體區域(10、11)以及側壁間隙壁 9 等是隔著絕緣膜 13 被氮化矽膜 14a 覆蓋。

其次如圖 12 所示在包含 n 型以及 p 型 MISFET 上的 p 型基板 1 的電路形成面上的全面以 CVD 法形成由例如 50nm 左右厚的氧化矽膜構成的絕緣膜 15。在此製程中，氮化矽膜 14a 被絕緣膜 15 覆蓋。

其次如圖 13 所示在絕緣膜 15 上形成選擇性地覆蓋 nMIS 形成區域 1n(n 型 MISFET)上的光阻罩幕 RM1。

其次令光阻罩幕 RM1 為蝕刻罩幕實施蝕刻處理，如圖 14 所示依次除去 pMIS 形成區域 1p(p 型 MISFET 上)的絕緣膜 15 以及氮化矽膜 14a。絕緣膜 15 的加工是以濕式蝕刻進行，氮化矽膜 14a 的加工是以等向性乾式蝕刻進行。

在此製程中用以在 n 型 MISFET 上覆蓋其閘電極 6 而選

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (30)

擇性地形成氮化矽膜 14a。如此藉由選擇性地形成氮化矽膜 14a，可藉由氮化矽膜 14a 在 n 型 MISFET 的通道形成區域選擇性地使拉伸應力產生。

而且在此製程中，在 p 型 MISFET 因閘電極 6 的表面的金屬矽化物層 12、p 型半導體區域 11 的表面的金屬矽化物層 12 以及側壁間隙壁 9 被絕緣膜 13 覆蓋，故可抑制這些金屬矽化物層 12 以及側壁間隙壁 9 被氮化矽膜 14a 的加工時的過度蝕刻(Overetch)削去的情況不佳。即絕緣膜 13 是扮演氮化矽膜 14a 的加工時的蝕刻中止層的角色。

此外在此製程中，絕緣膜 13 不存在的情形因氮化矽膜 14a 的加工時的過度蝕刻而發生問題。對於此問題在後面詳細說明。

其次，除去光阻罩幕 RM1 後如圖 15 所示在包含絕緣膜 15 上的 p 型基板 1 的電路形成面上的全面以電漿 CVD 法形成例如 100nm 左右厚的氮化矽膜 14b 作為絕緣膜。氮化矽膜 14b 的形成例如以高頻功率 600~700W 或反應室內壓力 5~10Torr 的條件進行。

在此製程中，n 型以及 p 型 MISFET 被氮化矽膜 14b 覆蓋。而且，n 型 MISFET 上的氮化矽膜 14a 隔著絕緣膜 15 被氮化矽膜 14b 覆蓋。

其次如圖 16 所示在氮化矽膜 14b 上形成選擇性地覆蓋 pMIS 形成區域 1p(p 型 MISFET)上的光阻罩幕 RM2。

其次令光阻罩幕 RM2 為蝕刻罩幕實施蝕刻處理，如圖 17 所示除去 nMIS 形成區域 1n(n 型 MISFET 上)上的氮化矽

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (31)

膜 14b。氮化矽膜 14b 的加工是以等向性乾式蝕刻進行。

在此製程中用以在 p 型 MISFET 上覆蓋其閘電極 6 而選擇性地形成氮化矽膜 14b。如此藉由選擇性地形成氮化矽膜 14b，可藉由氮化矽膜 14b 在 p 型 MISFET 的通道形成區域選擇性地使壓縮應力產生。

而且在此製程中，因 n 型 MISFET 上的氮化矽膜 14a 被絕緣膜 15 覆蓋，故可抑制此氮化矽膜 14a 被氮化矽膜 14b 的加工時的過度蝕刻削去的情況不佳。即絕緣膜 15 是扮演氮化矽膜 14b 的加工時的蝕刻中止層的角色。

其次，除去光阻罩幕 RM2 後如圖 18 所示在包含 n 型以及 p 型 MISFET 上的 p 型基板 1 的電路形成面上的全面以電漿 CVD 法形成例如由氧化矽膜構成的層間絕緣膜 16。然後以 CMP 法平坦化層間絕緣膜 16 的表面。

其次如圖 18 所示在層間絕緣膜 16 中藉由離子打入法導入 Ar、Ge、Si、As、Sb、In、BF₂ 等的雜質 17，破壞層間絕緣膜 16 中的結晶性。在此製程中因層間絕緣膜 16 的應力被緩和故可抑制層間絕緣膜 16 的應力在 MISFET 的通道形成區域作用的影響。此外，若觀察層間絕緣膜 16 的剖面的話明顯地殘留破壞的痕跡。

其次如圖 19 所示在半導體區域(11、12)上形成由層間絕緣膜 16 的表面到達金屬矽化物層 12 的源極/汲極用接觸孔 18。源極/汲極用接觸孔 18 的形成是以令氮化矽膜(14a、14b)為蝕刻中止層的 SAC 技術來進行。具體上首先在面對半導體區域(10、11)的位置形成具有接觸孔用的開口圖案的

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (32)

光阻罩幕於層間絕緣膜 16 上，然後以該光阻罩幕為蝕刻罩幕依次對層間絕緣膜 16、絕緣膜 15、氮化矽膜(14a、14b)以及絕緣膜 13 實施非等向性乾式蝕刻。層間絕緣膜 16 以及絕緣膜 15 的蝕刻是以對氮化矽膜(14a、14b)可取選擇比的條件來進行。氮化矽膜(14a、14b)的蝕刻是以對絕緣膜 13 可取選擇比的條件來進行。絕緣膜 13 的蝕刻是以對金屬矽化物層 12 以及 p 型基板 1 可取選擇比的條件來進行。此外絕緣膜 13 的蝕刻以氮化矽膜(14a、14b)的加工時的過度蝕刻來進行也可以。

其次，雖然未圖示利用與源極/汲極用接觸孔 18 的形成同樣的方法在閘電極 6 上形成由層間絕緣膜 16 的表面到達金屬矽化物層 12 的閘極用接觸孔。

其次，在源極/汲極用接觸孔 18 的內部以及閘極用接觸孔的內部埋入金屬等的導電物形成導電性插塞 19，然後藉由在層間絕緣膜 16 上形成配線 20，成為圖 1 所示的構造。

其次，說明在構成本發明的過程由本發明者發現的問題點以及本發明。

以非等向性乾式蝕刻除去 p 型 MISFET 上的氮化矽膜 14a 的情形，因非等向性乾式蝕刻沿著側壁間隙壁 9 的側壁的氮化矽膜 14a 的部分的膜厚在實行上可厚厚地看見，故如圖 20 所示在側壁間隙壁 9 的側壁殘存氮化矽膜 14a 的一部分。在持續此狀態下，於 p 型 MISFET 上形成氮化矽膜 14b 的情形如圖 21 所示，因在閘電極 6、側壁間隙壁 9 以及一部分的氮化矽膜 14a 造成的層差部 35a 的最下部氮化矽

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (33)

膜 14b 的應力集中，故氮化矽膜 14b 的應力的起點藉由殘存於側壁間隙壁 9 側壁的氮化矽膜 14a 由 p 型 MISFET 的通道形成區域分離，使藉由氮化矽膜 14b 的膜應力在通道形成區域使壓縮應力產生的效果減少。而且，因具有相反的應力作用的氮化矽膜 14a 殘存於側壁間隙壁 9 的側壁，故藉由氮化矽膜 14b 在通道形成區域使壓縮應力產生的效果更減少。因此，在 p 型 MISFET 上的氮化矽膜 14a 的除去，在層差部以蝕刻殘留不產生的等向性乾式蝕刻進行為有效。

但是以等向性乾式蝕刻除去 p 型 MISFET 上的氮化矽膜 14a 的情形發生新的問題。

氮化矽膜的等向性乾式蝕刻一般使用利用 CF_4 或 CF_6 等的氟化氣體的等向性電漿蝕刻。在此等向性電漿蝕刻，對氧化矽膜或金屬矽化物層可取選擇比，惟對矽無法取選擇比。

由氧化矽膜構成的側壁間隙壁 9 雖然對氮化矽膜 14a 的等向性電漿蝕刻具有選擇性，惟因氮化矽膜 14a 的加工時的過度蝕刻而被蝕刻若干，故側壁間隙壁 9 的全體膜厚朝閘電極 6 後退。另一方面 p 型半導體區域 11 表面的金屬矽化物層 12 對準側壁間隙壁 9 形成。因此，因氮化矽膜 14a 的加工時的過度蝕刻造成的側壁間隙壁 9 的後退如圖 22 所示，在側壁間隙壁 9 與金屬矽化物層 12 之間形成有矽的露出部 a1。氮化矽膜的等向性電漿蝕刻因對矽無法取選擇比，故因氮化矽膜 14a 的加工時的過度蝕刻使 p 型基板 1

五、發明說明 (34)

由露出部 a1 被削去，發生閘電極 6 被剝去等的情況不佳。

而且金屬矽化物層 12 雖然對氮化矽膜 14a 的等向性電漿蝕刻具有選擇性，惟因氮化矽膜 14a 的加工時的過度蝕刻而被蝕刻若干，故金屬矽化物層 12 的膜厚變薄。金屬矽化物層 12 爲了抑制伴隨著 MISFET 的微細化的閘極電阻的增加或源極/汲極電阻的增加而配設於閘電極 6 的表面或 p 型半導體區域 11 的表面。因此若因氮化矽膜 14a 的加工時的過度蝕刻使金屬矽化物層 12 的膜厚變薄的話，抑制伴隨著 MISFET 的微細化的閘極電阻的增加或源極/汲極電阻的增加的效果就會減少。

而且，自對準矽化物構造的 p 型 MISFET 的情形因金屬矽化物層 12 扮演蝕刻中止層的角色，故無在閘電極 6 中金屬矽化物層 12 下的多晶矽膜、源極區域以及汲極區域中金屬矽化物層 12 下的 p 型半導體區域 11 被氮化矽膜 14a 的加工時的過度蝕刻削去，但在閘電極 6 的表面或 p 型半導體區域 11 的表面不具有金屬矽化物層 12 構造的情形，如圖 23 所示閘電極 6 的多晶矽膜、源極區域以及汲極區域的 p 型半導體區域 11 被削去，因這些厚度減少故閘極電阻以及源極/汲極電阻增加。閘極電阻的增加會招致開關速度的下降，源極/汲極電阻的增加會招致電流驅動能力的下降。

因此，p 型 MISFET 上的氮化矽膜 14a 的除去以在層差部不產生蝕刻殘留的等向性乾式蝕刻進行爲有效，但爲了以等向性乾式蝕刻進行氮化矽膜 14a 的加工，需要解決前述的問題。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (35)

如果依照本發明者的檢討，關於側壁間隙壁 9 的後退問題可藉由在 n 型以及 p 型 MISFET 上用以覆蓋這些電晶體的閘電極 6 形成氮化矽膜 14a 之前，以作為蝕刻中止層功能的絕緣膜覆蓋至少 p 型半導體區域 11 中的金屬矽化物層 12 的側壁間隙壁側的端部上而解決。

而且，關於金屬矽化物層 12 的削去問題可藉由在 n 型以及 p 型 MISFET 上用以覆蓋這些電晶體的閘電極 6 形成氮化矽膜 14a 之前，以作為蝕刻中止層功能的絕緣膜覆蓋金屬矽化物層 12 的全體而解決。

而且，關於不具有金屬矽化物層 12 的構造的問題可藉由在 n 型以及 p 型 MISFET 上用以覆蓋這些電晶體的閘電極 6 形成氮化矽膜 14a 之前，以作為蝕刻中止層功能的絕緣膜覆蓋閘電極 6 的表面或 p 型半導體區域 11 的表面而解決。

絕緣膜為對氮化矽膜 14a 的等向性電漿蝕刻具有選擇性，例如氧化矽膜較佳。

在前述實施形態 1 如圖 10 以及圖 11 所示在形成氮化矽膜 14a 前以 CVD 法形成由氧化矽膜構成的絕緣膜 13。以 CVD 法即沉積法形成絕緣膜 13 的情形，在 p 型 MISFET 上可以絕緣膜 13 覆蓋閘電極 6 表面的金屬矽化物層 12、p 型半導體區域 11 表面的金屬矽化物層 12、p 型半導體區域 11 表面中的金屬矽化物層 12 的側壁間隙壁 9 側的端部以及側壁間隙壁 9。

因此，p 型 MISFET 上的氮化矽膜 14b 的除去如圖 14 所示因在以絕緣膜 13 覆蓋閘電極 6 表面的金屬矽化物層 12

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (36)

、p 型半導體區域 11 表面的金屬矽化物層 12、p 型半導體區域 11 表面中的金屬矽化物層 12 的側壁間隙壁 9 側的端部以及側壁間隙壁 9 的狀態下進行，故可一口氣解決關於側壁間隙壁 9 的後退問題、金屬矽化物層 12 的削去問題。

如此，如果依照本實施形態 1 分別對 n 型 MISFET 的通道形成區域、p 型 MISFET 的通道形成區域給予拉伸應力、壓縮應力的結果，根據在 n 型 MISFET 以及 p 型 MISFET 的各通道形成區域作用的應力大小，在 n 型 MISFET 以及 p 型 MISFET 汲極電流都增加。

而且，因可個別控制在 n 型 MISFET 以及 p 型 MISFET 的通道形成區域作用的應力，故可自由控制 n 型 MISFET 與 p 型 MISFET 的汲極電流比。

而且，因可同時增加 n 型 MISFET 以及 p 型 MISFET 的汲極電流，故可謀求具有 n 型以及 p 型 MISFET 的半導體裝置的高速化。

而且，因可解決以等向性乾式蝕刻除去 p 型 MISFET 上的氮化矽膜 14a 時所發生的關於側壁間隙壁 9 的後退問題或關於金屬矽化物層 12 的削去問題，故可提供製造良率以及可靠度高的半導體裝置。

此外，改變氮化矽膜的形成方法改變膜應力的方法除了改變前述實施形態的高頻功率的方法外，可舉以下的方法：

(1)、改變原料氣體的方法對於氮化矽膜 14a 的形成使用 SiH_4 與 NH_3 與 N_2 ，氮化矽膜 14b 的形成除了 NH_3 外使用

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (37)

SiH_4 與 N_2 。

(2)、改變形成溫度的方法比氮化矽膜 14b 的形成時還提高氮化矽膜 14a 的形成時的溫度。

(3)、改變壓力的方法比氮化矽膜 14b 的形成時還提高氮化矽膜 14a 的形成時的壓力。

等。當然使前述任意組合複合也可以。要點為如何令氮化矽膜 14a 為拉伸應力側；令氮化矽膜 14b 為壓縮應力側才重要。

而且，使用單片熱 CVD 法的氮化膜的形成方法越降低膜形成時的壓力，而且越提高溫度越可在拉伸側產生膜應力，適合於氮化矽膜 14a。

圖 24 是顯示本發明的實施形態 1 的變形例的半導體裝置的製程中的模式的剖面圖。在圖 24 中面向前左側為 n 型 MISFET，右側為 p 型 MISFET。

在前述實施形態 1 雖然以比氮化矽膜 14b 還先形成氮化矽膜 14a 為例來說明，惟如圖 24 所示比氮化矽膜 14a 還先形成氮化矽膜 14b 也可以。在這種情形中，因可分別對 n 型 MISFET 的通道形成區域、p 型 MISFET 的通道形成區域給予拉伸應力、壓縮應力，故可同時增加 n 型以及 p 型 MISFET 的汲極電流。

而且在以等向性電漿蝕刻除去 n 型 MISFET 上的氮化矽膜 14b 時，因藉由在以絕緣膜 13 覆蓋閘電極 6 表面的金屬矽化物層 12、n 型半導體區域 10 表面的金屬矽化物層 12、n 型半導體區域 10 表面中的金屬矽化物層 12 的側壁間隙壁

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (38)

9 側的端部以及側壁間隙壁 9 的狀態下進行，故不發生關於側壁間隙壁 9 的後退問題、關於金屬矽化物層 12 的削去問題，可以等向性電漿蝕刻除去 n 型 MISFET 上的氮化矽膜 14b。

此外，在實施形態 1 以及其變形例雖然以由氧化矽膜構成的絕緣膜 13 作為氮化矽膜 14a 的加工時的蝕刻中止層使用為例來說明，惟並非限定於此，若為對氮化矽膜 14a 的等向性乾式蝕刻可取選擇比的話，使用其他絕緣膜也可以。

(實施形態 2)

圖 25 是顯示本發明的實施形態 2 的半導體裝置的概略構成的模式的剖面圖。

圖 26A、B 以及圖 27 是本發明的實施形態 2 的半導體裝置的製程中的模式的剖面圖。在圖 25 至圖 27 中面向前左側為 n 型 MISFET，右側為 p 型 MISFET。

如圖 25 所示本實施形態 2 的半導體裝置為成為在前述實施形態 1 中除去當作蝕刻中止層使用的絕緣膜 13 的構成。

如前述實施形態 1 殘留絕緣膜 13 的情形(參照圖 18)因在由閘電極 6、側壁間隙壁 9 以及絕緣膜 13 造成的層差部 35a 的最下部氮化矽膜(14a、14b)的應力集中，故氮化矽膜(14a、14b)的應力的起點因殘存於側壁間隙壁 9 側壁的絕緣膜 13 而由 MISFET 的通道形成區域分離，因氮化矽膜(14a

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (39)

、14b)的膜應力在通道形成區域使應力產生的效果減少。因此，絕緣膜 13 盡可能除去較佳。

但是如實施形態 1 對於比氮化矽膜 14b 還先形成氮化矽膜 14a 的情形，在除去 p 型 MISFET 上的氮化矽膜 14a 的製程中需要絕緣膜 13，如實施形態 1 的變形例，對於比氮化矽膜 14a 還先形成氮化矽膜 14b 的情形，因在除去 n 型 MISFET 上的氮化矽膜 14b 的製程中需要絕緣膜 13，故考慮這些製程除去絕緣膜 13。

比氮化矽膜 14b 還先形成氮化矽膜 14a 的情形，n 型 MISFET 上的絕緣膜 13 的除去如圖 26A 所示是在形成氮化矽膜 14a 的製程前進行，p 型 MISFET 上的絕緣膜 13 的除去如對應圖 13 的圖 26B 以及圖 27 所示是在除去 p 型 MISFET 上的氮化矽膜 14a 後進行。即如圖 26B 以及圖 27 所示在除去 p 型 MISFET 上的絕緣膜 15 以及氮化矽膜 14a 後，除去 p 型 MISFET 上的絕緣膜 13。

比氮化矽膜 14a 還先形成氮化矽膜 14b 的情形，p 型 MISFET 上的絕緣膜 13 的除去是在形成氮化矽膜 14b 的製程前進行，n 型 MISFET 上的絕緣膜 13 的除去是在除去 n 型 MISFET 上的氮化矽膜 14b 後進行。n 型 MISFET 上的絕緣膜 13 的除去是在以例如光阻罩幕等覆蓋 p 型 MISFET 上的狀態下進行，p 型 MISFET 上的絕緣膜 13 的除去是在以例如光阻罩幕等覆蓋 n 型 MISFET 上的狀態下進行。

n 型 MISFET 上或 p 型 MISFET 上的絕緣膜 13 的除去以在層差部不產生蝕刻殘留的等向性乾式蝕刻進行較佳。由

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (40)

氧化矽膜構成的絕緣膜 13 的等向性乾式蝕刻一般使用對 CF_4 混合 H_2 氣體的氣體或使用 CF_3 氣體的等向性電漿蝕刻。在此等向性電漿蝕刻因對矽或金屬矽化物層可充分地取選擇比，故無像 p 基板 1、金屬矽化物層 12 以及側壁間隙壁 9 等大大地被削去。

此外在本實施形態 2 雖然以除去 n 型 MISFET 上以及 p 型 MISFET 上的兩方的絕緣膜 13 為例來說明，惟使任一方的絕緣膜 13 殘留也可以。

(實施形態 3)

圖 28 是顯示本發明的實施形態 3 的半導體裝置的製程中的模式的剖面圖。在圖 28 中面向前左側為 n 型 MISFET，右側為 p 型 MISFET。

在前述實施形態 1 雖然以由用沉積法形成的氧化矽膜構成的絕緣膜 13 當作氮化矽膜 14a 的加工時的蝕刻中止層使用為例來說明，惟在本實施形態 3 以由用熱氧化法形成的氧化矽膜構成的絕緣膜 21 當作氮化矽膜 14a 的加工時的蝕刻中止層使用。利用熱氧化法的絕緣膜 21 的形成是在形成自對準矽化物構造的 n 型以及 p 型 MISFET 的製程之後，形成氮化矽膜 14a 以及 14b 的製程之前進行。

在熱氧化法如圖 28 所示，可用以在閘電極 6 表面的金屬矽化物層 12 上以及半導體區域(10、11)表面的金屬矽化物層 12 上覆蓋這些金屬矽化物層 12 而選擇性地形成絕緣膜 21。因此，如前述實施形態 1 在比氮化矽膜 14b 還先形

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (41)

成氮化矽膜 14a 的情形或如前述實施形態 1 的變形例比氮化矽膜 14a 還先形成氮化矽膜 14b 的情形中，都能藉由絕緣膜 21 抑制以等向性乾式蝕刻加工氮化矽膜(14a、14b)時所發生的情況不佳。

(實施形態 4)

圖 29 是顯示本發明的實施形態 4 的半導體裝置的製程中的模式的剖面圖。在圖 29 中面向前左側為 n 型 MISFET，右側為 p 型 MISFET。

在前述實施形態 1 雖然以由用沉積法形成的氧化矽膜構成的絕緣膜 13 當作氮化矽膜 14a 的加工時的蝕刻中止層使用為例來說明，惟在本實施形態 4 以由形成於側壁間隙壁 9 側壁的氧化矽膜構成的側壁間隙壁 22 當作氮化矽膜 14a 的加工時的蝕刻中止層使用。側壁間隙壁 22 的形成是在形成自對準矽化物構造的 n 型以及 p 型 MISFET 的製程之後，形成氮化矽膜 14a 以及 14b 的製程之前進行。側壁間隙壁 22 是以與側壁間隙壁 9 同樣的方法形成。

如此，藉由在側壁間隙壁 9 的側壁形成由氧化矽膜構成的側壁間隙壁 22，因可以側壁間隙壁 22 覆蓋半導體區域(10、11)表面中的金屬矽化物層 12 的側壁間隙壁 9 側的端部以及側壁間隙壁 9，故如前述實施形態 1 在比氮化矽膜 14b 還先形成氮化矽膜 14a 的情形或如前述實施形態 1 的變形例比氮化矽膜 14a 還先形成氮化矽膜 14b 的情形中，都能以側壁間隙壁 22 抑制以等向性乾式蝕刻加工氮化矽膜(14a

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (42)

、14b)時所發生的情況不佳，特別是關於側壁間隙壁 9 的後退的情況不佳。

此外，在本實施形態 4 雖然以由氧化矽膜構成的側壁間隙壁 22 作為氮化矽膜(14a、14b)的加工時的蝕刻中止層使用為例來說明，惟並非限定於此，若為對氮化矽膜(14a、14b)的加工時的等向性乾式蝕刻可取選擇比的話，使用其他絕緣膜也可以。

(實施形態 5)

圖 30A、B 是顯示本發明的實施形態 5 的半導體裝置的概略構成的模式的剖面圖。在圖 30A、B 中面向前左側為 n 型 MISFET，右側為 p 型 MISFET。

在前述實施形態 1 雖然以適用本發明於具有自對準矽化物構造的互補型 MISFET 的半導體裝置為例來說明，惟在本實施形態 5 針對適用本發明於具有不具備金屬矽化物層的互補型 MISFET 的半導體裝置的例子來說明。

如圖 30A 所示，本實施形態 5 的半導體裝置基本上為與前述實施形態 1 一樣的構成，n 型以及 p 型 MISFET 的構成不同。即本實施形態 5 的 n 型以及 p 型 MISFET 成為在閘電極 6 的表面以及半導體區域(10、11)的表面不具金屬矽化物層的構造。

本實施形態 5 的半導體裝置除了形成金屬矽化物層的製程外，其餘以在前述實施形態 1 說明的方法形成。

以等向性乾式蝕刻除去 p 型 MISFET 上的氮化矽膜 14a

五、發明說明 (43)

時如實施形態 1，p 型 MISFET 為自對準矽化物構造的情形因金屬矽化物層 12 扮演蝕刻中止層的角色，故無在閘電極 6 中金屬矽化物層 12 下的多晶矽膜、在源極區域以及汲極區域中金屬矽化物層 12 下的 p 型半導體區域 11 被氮化矽膜 14a 的加工時的過度蝕刻削去，但如本實施形態 5 p 型 MISFET 在閘電極的表面或 p 型半導體區域 11 的表面不具有金屬矽化物層 12 的構造的情形，如圖 23 所示閘電極 6 的多晶矽膜、源極區域以及汲極區域的 p 型半導體區域 11 被削去。

這種問題在形成氮化矽膜 14a 的製程前可藉由以作為蝕刻中止層的功能的絕緣膜 13 覆蓋閘電極 6 上以及 p 型半導體區域 11 上來解決。

在本實施形態 5 蝕刻中止層使用絕緣膜 13。此絕緣膜 13 是以沉積法形成。沉積法因可以絕緣膜 13 總括閘電極 6 上以及 p 型半導體區域 11 上來覆蓋，故可同時抑制閘電極 6 以及 p 型半導體區域 11 的削去。

此外在本實施形態 5 雖然以比氮化矽膜 14b 還先形成氮化矽膜 14a 為例來說明，惟在比氮化矽膜 14a 還先形成氮化矽膜 14b 的情形中也可得到同樣的效果。

而且在本實施形態 5 雖然以蝕刻中止層使用絕緣膜 13 的例子來說明，惟在以用熱氧化法形成的絕緣膜 21 當作蝕刻中止層使用的情形也可得到同樣的效果。而且在本實施形態 5 雖然以使作為蝕刻中止層的功能的絕緣膜 13 殘留的例子來說明，惟如圖 30B 所示絕緣膜 13 如實施形態 2 除去

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (44)

也可以。

而且不具本實施形態 5 的金屬矽化物層的 MISFET 例如形成於與具有前述實施形態 1~4 的金屬矽化物層 MISFET 同一基板上，構成欲降低源極區域或汲極區域與基板之間的(接合)遺漏電流(Leakage current)的 MISFET 以及電路。即以不具本實施形態 5 的金屬矽化物層 MISFET 構成降低接合遺漏電流所需的 MISFET，以具有實施形態 1~4 的金屬矽化物層 MISFET 形成高速動作所需的 MISFET。據此，可謀求低消耗功率化以及高速動作。

而且，絕緣膜 13 因可在不具金屬矽化物層 MISFET 以及具有金屬矽化物層 MISFET 上以同一製程沉積，故可不增加製程而形成低消耗功率以及高速動作可能的半導體裝置。

而且，形成具有金屬矽化物層 MISFET 與不具金屬矽化物層 MISFET 於同一基板的情形，在具有金屬矽化物層 MISFET 中如圖 25 所示以不配設當作蝕刻中止層功能的絕緣膜 13 的構造，在不具金屬矽化物層 MISFET 中如圖 30A 所示以配設當作蝕刻中止層功能的絕緣膜 13 的構造也可以。

此情形具有金屬矽化物層 MISFET 上的絕緣膜 13 的除去是根據在具有金屬矽化物層 MISFET 的通道形成區域使應力產生的第一膜先形成，或者在不具金屬矽化物層 MISFET 的通道形成區域使應力產生的第二膜先形成而不同。例如具有金屬矽化物層 MISFET 為 n 型，不具金屬矽化

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (45)

物層的 MISFET 爲 p 型的情形，先形成第一膜(氮化矽膜 14a)的情形如圖 26(參照將圖中右側的 p 型 MISFET 置換成不具金屬矽化物層的 p 型 MISFET)所示，在形成氮化矽膜 14a 的製程前選擇性地除去具有金屬矽化物層的 MISFET 上的絕緣膜 13，先形成第二膜(氮化矽膜 14b)的情形在選擇性地除去具有金屬矽化物層的 MISFET 上的氮化矽膜 14b 的製程之後，形成氮化矽膜 14a 的製程前選擇性地除去具有金屬矽化物層的 MISFET 上的絕緣膜 13。而且具有金屬矽化物層的 MISFET 爲 p 型；不具金屬矽化物層的 MISFET 爲 n 型的情形也同樣地選擇性地除去具有金屬矽化物層的 MISFET 上的絕緣膜 13。

此外，形成具有金屬矽化物層的 MISFET 與不具金屬矽化物層的 MISFET 於同一基板的情形，在具有金屬矽化物層的 MISFET 中如圖 25 所示，在不具金屬矽化物層的 MISFET 中如圖 30B 所示以不配設當作蝕刻中止層功能的絕緣膜的構造也可以。此情形在具有金屬矽化物層的 MISFET 以及不具金屬矽化物層的 MISFET 中，藉由使除去絕緣膜 13 的製程共通，因可以與如實施形態 2 所示的絕緣膜 13 的除去製程相同的製程數形成，故可降低製程數。

(實施形態 6)

圖 31 是顯示本發明的實施形態 6 的半導體裝置的概略構成的模式的剖面圖，圖 32 至圖 35 是本發明的實施形態 6 的半導體裝置的製程中的模式的剖面圖。在圖 31 至圖 35

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (46)

中面向前左側為 n 型 MISFET，右側為 p 型 MISFET。

本實施形態 6 是在 n 型 MISFET 的通道形成區域使拉伸應力產生的膜上重疊在 p 型 MISFET 的通道形成區域使壓縮應力產生的膜，謀求 n 型以及 p 型 MISFET 的汲極電流的增加。

如圖 31 所示 n 型以及 p 型 MISFET 被氮化矽膜 14a 覆蓋。而且 p 型 MISFET 被氮化矽膜 14b 覆蓋。即在 n 型 MISFET 上僅存在氮化矽膜 14a；在 p 型 MISFET 上存在氮化矽膜 14a 以及 14b。

因在 n 型 MISFET 上僅存在氮化矽膜 14a，故在 n 型 MISFET 的通道形成區域僅加入氮化矽膜 14a 的拉伸應力，而在 p 型 MISFET 上存在氮化矽膜 14a 以及 14b，故在 p 型 MISFET 的通道形成區域加入氮化矽膜 14a 的拉伸應力以及氮化矽膜 14b 的壓縮應力。因此，藉由使用具有絕對值至少比氮化矽膜 14a 的拉伸應力還大的壓縮應力的氮化矽膜 14b，可在 p 型 MISFET 的通道形成區域使壓縮應力產生。

此外，在本實施形態 6 因具有壓縮應力的氮化矽膜 14b 形成於比具有拉伸應力的氮化矽膜 14a 還上層，故對 p 型 MISFET 的通道形成區域的膜應力的起點氮化矽膜 14b 比氮化矽膜 14a 還遠。因此，對於這種情形使用具有絕對值為氮化矽膜 14a 的拉伸應力的兩倍以上的壓縮應力的氮化矽膜 14b 較佳。

其次，針對本實施形態 6 的半導體裝置的製造使用圖 32 至圖 35 來說明。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (47)

如圖 32 所示藉由與前述實施形態 1 同樣的製程形成自對準矽化物構造的 n 型以及 p 型 MISFET。

其次如圖 33 所示在包含 n 型以及 p 型 MISFET 上的 p 型基板 1 的電路形成面上的全面以電漿 CVD 法形成例如 100~120nm 左右厚的氮化矽膜 14a。氮化矽膜 14a 的形成例如以高頻功率 350~400W 的條件來進行。

其次如圖 34 所示，在包含 n 型以及 p 型 MISFET 上的 p 型基板 1 上的全面以 CVD 法形成由例如 50nm 左右厚的氧化矽膜構成的絕緣膜 15，然後在包含 n 型以及 p 型 MISFET 上的 p 型基板 1 上的全面以電漿 CVD 法形成例如 100~200nm 左右厚的氮化矽膜 14b。氮化矽膜 14b 的形成例如以高頻功率 600~700W 的條件來進行。

在此製程中最終使在 p 型 MISFET 的通道形成區域產生壓縮應力，形成具有絕對值至少比氮化矽膜 14a 的拉伸應力還大的壓縮應力的氮化矽膜 14b。在本實施形態形成具有絕對值為氮化矽膜 14a 的拉伸應力的兩倍以上的壓縮應力的氮化矽膜 14b。

其次在氮化矽膜 14b 上形成選擇性地覆蓋 p 型 MISFET 上的光阻罩幕 RM3，然後令光阻罩幕 RM3 為蝕刻罩幕實施蝕刻處理，如圖 35 所示除去 n 型 MISFET 上的氮化矽膜 14b。氮化矽膜 14b 的加工是以等向性乾式蝕刻進行。

然後藉由除去光阻罩幕 RM3 成為圖 31 所示的狀態。

如此因藉由在 n 型以及 p 型 MISFET 上形成氮化矽膜 14a，然後在 p 型 MISFET 上選擇性地形成具有絕對值比氮

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (48)

化矽膜 14a 的拉伸應力還大的壓縮應力的氮化矽膜 14b，可在 p 型 MISFET 的通道形成區域使壓縮應力產生，故即使在本實施形態中也能同時增加 n 型 MISFET 以及 p 型 MISFET 的汲極電流。

而且在本實施形態 6 因未進行 p 型 MISFET 上的氮化矽膜 14a 的除去，故無須如前述實施形態 1 形成當作蝕刻中止層功能的絕緣膜 13。因此，與前述實施形態 1 比較可簡略化製程數。

此外在本實施形態 6 雖然以在覆蓋 n 型以及 p 型 MISFET 上的氮化矽膜 14a 之後，形成僅覆蓋 p 型 MISFET 上的氮化矽膜 14b 為例來說明，惟僅覆蓋 p 型 MISFET 上的氮化矽膜 14b 在覆蓋 n 型以及 p 型 MISFET 上的氮化矽膜 14a 之前形成也可以。但是此情形如前述實施形態 1 在氮化矽膜 14b 的加工時需要當作蝕刻中止層功能的絕緣膜。

圖 36 是顯示本發明的實施形態 6 的變形例的半導體裝置的概略構成的模式的剖面圖。在圖 36 中面向前左側為 n 型 MISFET，右側為 p 型 MISFET。

在前述實施形態 6 雖然以在 n 型以及 p 型 MISFET 上形成具有拉伸應力的氮化矽膜 14a，然後在 p 型 MISFET 上選擇性地形成具有絕對值比氮化矽膜 14a 的拉伸應力還大的壓縮應力的氮化矽膜 14b，可同時增加 n 型以及 p 型 MISFET 的汲極電流為例來說明，惟如圖 36 所示在 n 型以及 p 型 MISFET 上形成具有壓縮應力的氮化矽膜 14b，然後在 n 型 MISFET 上選擇性地形成具有絕對值比氮化矽膜 14b

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (49)

的壓縮應力還大的拉伸應力的氮化矽膜 14a 也可以。即使在這種情形中也能同時增加 n 型 MISFET 以及 p 型 MISFET 的汲極電流。

此外在圖 36 雖然以在覆蓋 n 型以及 p 型 MISFET 上的氮化矽膜 14b 之後，形成僅覆蓋 n 型 MISFET 上的氮化矽膜 14a 為例而圖示，惟僅覆蓋 n 型 MISFET 上的氮化矽膜 14a 在覆蓋 n 型以及 p 型 MISFET 上的氮化矽膜 14b 之前形成也可以。但是此情形如前述實施形態 1 在氮化矽膜 14b 的加工時需要當作蝕刻中止層功能的絕緣膜。

(實施形態 7)

圖 37 是顯示本發明的實施形態 7 的半導體裝置的概略構成的模式的剖面圖。圖 38 以及圖 39 是本發明的實施形態 7 的半導體裝置的製程中的模式的剖面圖。在圖 37 至圖 39 中面向前左側為 n 型 MISFET，右側為 p 型 MISFET。

本實施形態 7 是以一個氮化矽膜謀求 n 型以及 p 型 MISFET 的汲極電流的增加。

如圖 37 所示 n 型以及 p 型 MISFET 被一個氮化矽膜 24 覆蓋。氮化矽膜 24 具有在 n 型 MISFET 的通道形成區域使拉伸應力產生的第一部分 24a，與在 p 型 MISFET 的通道形成區域使壓縮應力產生的第二部分 24b，第一部分 24a 是用以在 n 型 MISFET 上覆蓋其閘電極 6 而形成，第二部分 24b 是用以在 p 型 MISFET 上覆蓋其閘電極 6 而形成。第二部分 24b 其 Si 以及 N 的元素濃度比第一部分 24a 還高。以下針

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (50)

對本實施形態 7 的半導體裝置的製造使用圖 38 以及圖 37 來說明。

藉由與前述實施形態 1 同樣的製程，形成自對準矽化物構造的 n 型以及 p 型 MISFET 後，如圖 38 所示在包含 n 型以及 p 型 MISFET 上的 p 型基板 1 的電路形成面上的全面以電漿 CVD 法形成在 n 型 MISFET 的通道形成區域使拉伸應力產生的氮化矽膜 24。氮化矽膜 24 的形成例如以高頻功率 350~400W 的條件來進行。

其次，覆蓋 n 型 MISFET 上且形成在 p 型 MISFET 上具有開口的光阻罩幕 RM4 於氮化矽膜 24 上，然後如圖 39 所示以光阻罩幕 RM4 為罩幕，藉由離子打入法對由光阻罩幕 RM4 露出的氮化矽膜 24 中 (p 型 MISFET 上的氮化矽膜 24 中) 導入 Si 以及 N 元素。離子打入是用以遍及膜的深度方向全般導入這些元素，以深度方向中的元素濃度的尖峰值 (Rp) 成為膜厚的 1/2 左右的加速能量、劑量 $1 \times 10^{15} / \text{cm}^2$ 以上的條件來進行。

在此製程中形成有具有第一部分 24a 與元素濃度比此第一部分 24a 還高的第二部分 24b 的氮化矽膜 24。

其次在除去光阻罩幕 RM4 後實施熱處理活化氮化矽膜 24 的第二部分 24b。

在此製程中氮化矽膜 24 的第二部分 24b 會體積膨脹，第二部分 24b 變換成在 p 型 MISFET 的通道形成區域使壓縮應力產生的膜。因此，如圖 37 所示氮化矽膜 24 成為具有在 n 型 MISFET 的通道形成區域使拉伸應力產生的第一部分

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (51)

24a 與在 p 型 MISFET 的通道形成區域使壓縮應力產生的第二部分 24b 的構成。

如此，藉由形成氮化矽膜 24 即使在本實施形態 7 中也能同時增加 n 型 MISFET 以及 p 型 MISFET 的汲極電流。

而且在本實施形態 7 因未進行 p 型 MISFET 上的氮化矽膜 24 的除去，故無須如前述實施形態 1 形成當作蝕刻中止層功能的絕緣膜 13。因此，與前述實施形態 1 比較可簡略化製程數。

而且在本實施形態 7 因用以增加 n 型以及 p 型 MISFET 的汲極電流可以一個氮化矽膜 24 控制，故與前述實施形態 1 比較，氮化矽膜的被膜製程以一次就能完成。因此，可省略氮化矽膜的被膜製程與其加工製程，可簡略化製程。

圖 40 是顯示本發明的實施形態 7 的變形例的半導體裝置的製程中的模式的剖面圖。

在前述實施形態 7 導入 Si 以及 N 元素的方法雖然顯示適用對 p 型基板 1 垂直地離子植入元素的方法的情形，惟如圖 40 所示，適用對 p 型基板 1 斜斜地離子植入元素的方法也可以。此情形也能對覆蓋側壁間隙壁 9 的側壁的氮化矽膜 24 的閘極側壁部分(層差部分)導入元素。其結果可得到更進一步的壓縮應力產生效果。

(實施形態 8)

圖 41 是顯示本發明的實施形態 8 的半導體裝置的概略構成的模式的剖面圖。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (52)

本實施形態 8 為適用本發明於具有縱型雙閘極構造的互補型 MISFET 的半導體裝置的例子。

如圖 41 所示本實施形態 8 的半導體裝置是以 SOI(絕緣層上覆矽, Silicon On Insulator)構造的半導體基板(以下僅稱為基板)40 為主體而構成。基板 40 為成為具有例如半導體層 40a 與配設於此半導體層 40a 上的絕緣層 40b 與配設於此絕緣層 40b 上的半導體層 40c 的構成。半導體層 40a 以及 40c 例如由單晶矽構成, 絕緣層 40b 例如由氧化矽構成。

半導體層 40c 被分割成複數個元件形成部, 在各元件形成部形成有 n 型 MISFET 或 p 型 MISFET。在形成有 n 型 MISFET 的半導體層 40c 配設有 p 型井區域 2, 在形成有 p 型 MISFET 的半導體層 40c 配設有 n 型井區域 3。各半導體層 40c 被配設於絕緣層 40b 上的絕緣膜 41 包圍周圍, 互相被絕緣分離。

本實施形態 8 的 n 型以及 p 型 MISFET 是成為由基板 40 的平面方向(表面方向)以兩個閘電極 6 夾入作為通道形成區域使用的半導體層 40c 的雙閘極構造。而且, n 型以及 p 型 MISFET 是成為汲極電流流過基板 40 的厚度方向的縱型構造。

在 n 型 MISFET 的通道形成區域使拉伸應力產生的氮化矽膜 14a 是用以在 n 型 MISFET 上覆蓋其兩個閘電極 6 而形成, 在 p 型 MISFET 的通道形成區域使壓縮應力產生的氮化矽膜 14b 是用以在 p 型 MISFET 上覆蓋其兩個閘電極 6 而形成。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (53)

在本實施形態 8 因 n 型以及 p 型 MISFET 是成為由基板 40 的平面方向以兩個閘電極 6 夾入作為通道形成區域使用的半導體層 40c 的雙閘極構造，故因氮化矽膜造成的應力的影響倍增，汲極電流增加比例也比單閘極構造的習知型還增加。

(實施形態 9)

圖 42 是顯示本發明的實施形態 9 的半導體裝置的概略構成的模式的俯視圖，圖 43 是沿著圖 42 的 A-A 線的模式剖面圖。

本實施形態 9 為適用本發明於具有橫型雙閘極構造的互補型 MISFET 的半導體裝置的例子。

如圖 42 以及圖 43 所示，本實施形態 9 的 n 型以及 p 型 MISFET 是成為由基板 40 的平面方向以兩個閘電極 6 夾入作為通道形成區域使用的半導體層 40c 的雙閘極構造。而且，n 型以及 p 型 MISFET 是成為汲極電流流過基板 40 的平面方向的橫型構造。

在 n 型 MISFET 的通道形成區域使拉伸應力產生的氮化矽膜 14a 是用以在 n 型 MISFET 上覆蓋其兩個閘電極 6 而形成，在 p 型 MISFET 的通道形成區域使壓縮應力產生的氮化矽膜 14b 是用以在 p 型 MISFET 上覆蓋其兩個閘電極 6 而形成。

在本實施形態 9 因 n 型以及 p 型 MISFET 是成為由基板 40 的平面方向以兩個閘電極 6 夾入作為通道形成區域使用

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (54)

的半導體層 40c 的雙閘極構造，故因氮化矽膜造成的應力的影響倍增，汲極電流增加比例也比單閘極構造的習知型還增加。

(實施形態 10)

圖 44 是顯示本發明的實施形態 10 的半導體裝置的概略構成的模式的剖面圖。

本實施形態 10 為適用本發明於具有橫型雙閘極構造的互補型 MISFET 的半導體裝置的例子。

如圖 44 所示，本實施形態 10 的半導體裝置為例如以 p 型基板 1 為主體而構成。在 p 型基板 1 的主面上配設有半導體層 42。半導體層 42 被分割成複數個元件形成部，在各元件形成部形成有 n 型 MISFET 或 p 型 MISFET。在形成有 n 型 MISFET 的半導體層 42 配設有 p 型井區域 2，在形成有 p 型 MISFET 的半導體層 42 配設有 n 型井區域 3。各半導體層 42 被配設於 p 型基板 1 上的絕緣膜 41 包圍周圍，互相被絕緣分離。

本實施形態 10 的 n 型以及 p 型 MISFET 是成為在 p 型基板 1 的厚度方向以兩個閘電極 6 夾入作為通道形成區域使用的半導體層 42 的雙閘極構造。而且，n 型以及 p 型 MISFET 是成為汲極電流流過基板 40 的平面方向的橫型構造。

n 型 MISFET 是被在其通道形成區域使拉伸應力產生的兩個氮化矽膜 14a 由 p 型基板 1 的厚度方向夾入。一方的

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (55)

氮化矽膜 14a 配設於 p 型基板 1 與 n 型 MISFET 之間，他方的氮化矽膜 14a 是用以覆蓋 n 型 MISFET 上而配設。

p 型 MISFET 是被在其通道形成區域使壓縮應力產生的兩個氮化矽膜 14b 由 p 型基板 1 的厚度方向夾入。一方的氮化矽膜 14b 配設於 p 型基板 1 與 p 型 MISFET 之間，他方的氮化矽膜 14b 是用以覆蓋 p 型 MISFET 上而配設。

在本實施形態 10 中因 n 型以及 p 型 MISFET 是成為由基板 40 的深度方向以兩個閘電極 6 夾入作為通道形成區域使用的半導體層 40c 的雙閘極構造，而且被兩個氮化矽膜覆蓋，故因氮化矽膜造成的應力的影響倍增，汲極電流增加比例也比單閘極構造的習知型還增加。

以上根據發明的實施形態具體地說明了由本發明者所創作的發明，惟本發明並非限定於前述發明的實施形態，當然在不脫離其要旨的範圍可進行種種的變更。

例如，在包含 SRAM(靜態隨機存取記憶體，Static Random Access Memory)、DRAM(動態隨機存取記憶體，Dynamic Random Access Memory)、快閃記憶體等的記憶體系統的製品中，若至少適用本發明的構造於其記憶體系統的周邊電路或邏輯電路的話，可得到更高性能的記憶體製品。

【發明的功效】

如果簡單地說明藉由在本案中所揭示的發明之中代表的發明所獲得的功效的話，如以下所示。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (56)

如果依照本發明，可謀求 n 通道導電型場效電晶體以及 p 通道導電型場效電晶體的汲極電流的增加(電流驅動能力的提高)。

而且如果依照本發明，可自由設定 n 通道導電型場效電晶體以及 p 通道導電型場效電晶體的汲極電流比。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文發明摘要(發明之名稱： 半導體裝置及其製造方法)

【課題】

謀求 n 型 FET 以及 p 型 FET 的汲極電流的增加(電流驅動能力的提高)。

【解決手段】

一種半導體裝置的製造，具有形成於半導體基板的 n 型以及 p 型 FET，包含：

在以絕緣膜覆蓋前述 p 型 FET 的閘電極與前述半導體基板的元件分離區域之間的半導體區域的狀態下，用以在前述 n 型以及 p 型 FET 上覆蓋這些電晶體的閘電極，在前述 n 型 FET 的通道形成區域形成使拉伸應力產生的第一絕緣膜(a)的製程；

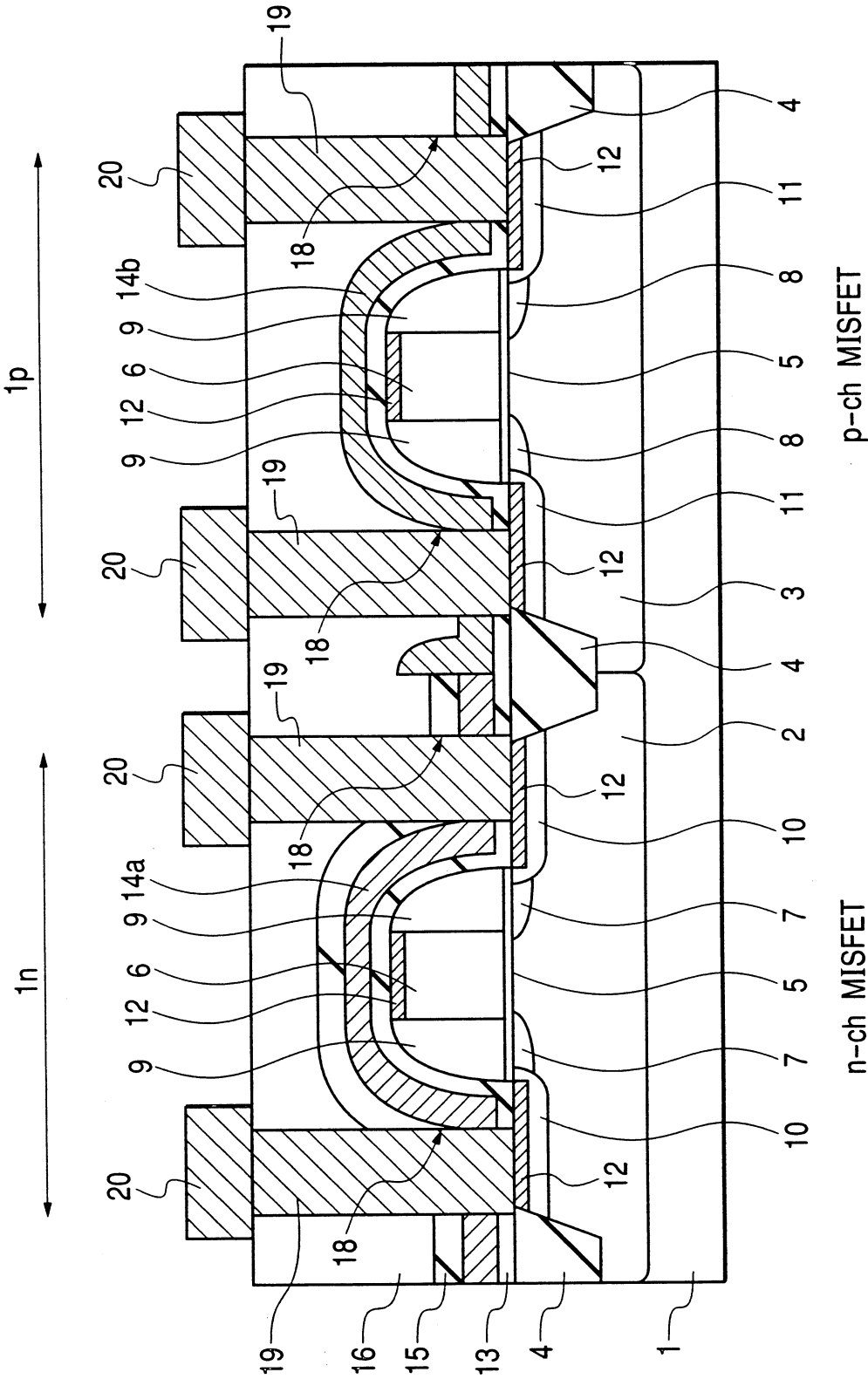
實施蝕刻處理，選擇性地除去前述 p 型 FET 上的前述第一絕緣膜(b)的製程；

用以在前述 n 型以及 p 型 FET 上覆蓋這些電晶體的閘電極，在前述 p 型 FET 的通道形成區域形成使壓縮應力產生的第二絕緣膜(c)的製程；以及

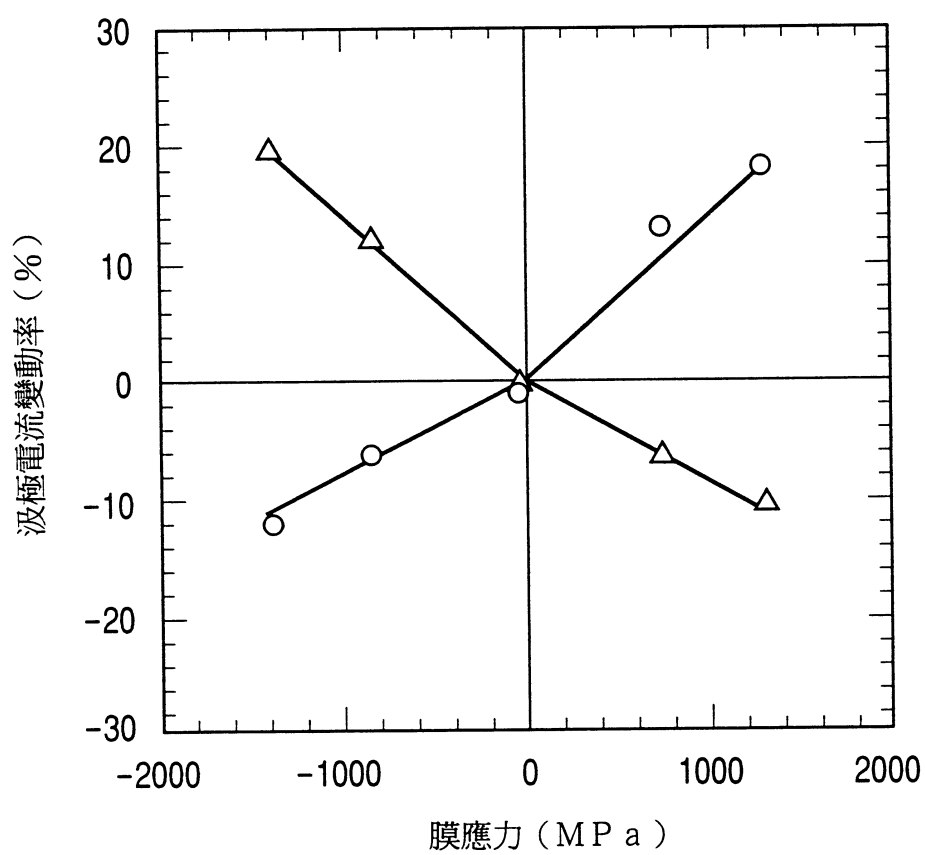
選擇性地除去前述 n 型 FET 上的前述第二絕緣膜(d)的製程。

英文發明摘要(發明之名稱：)

第 1 圖



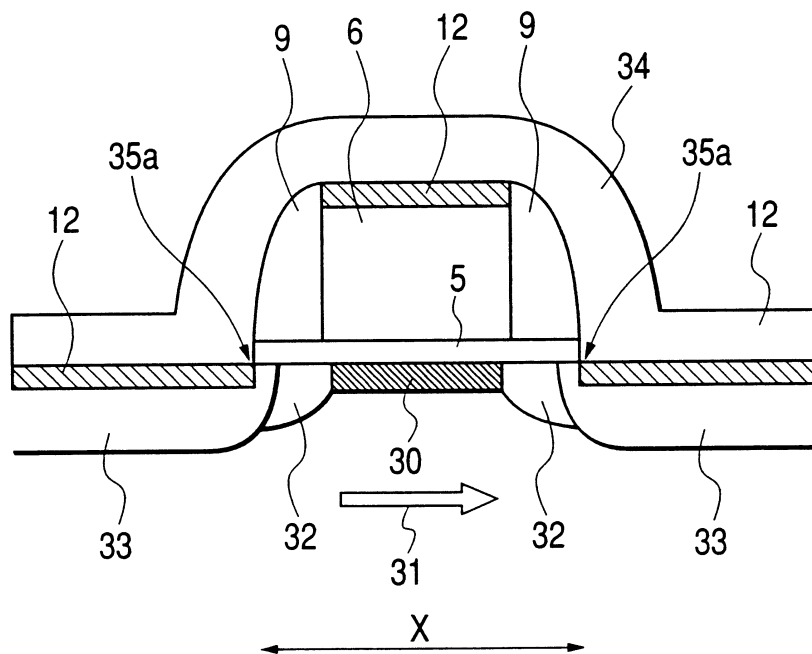
第 2 圖



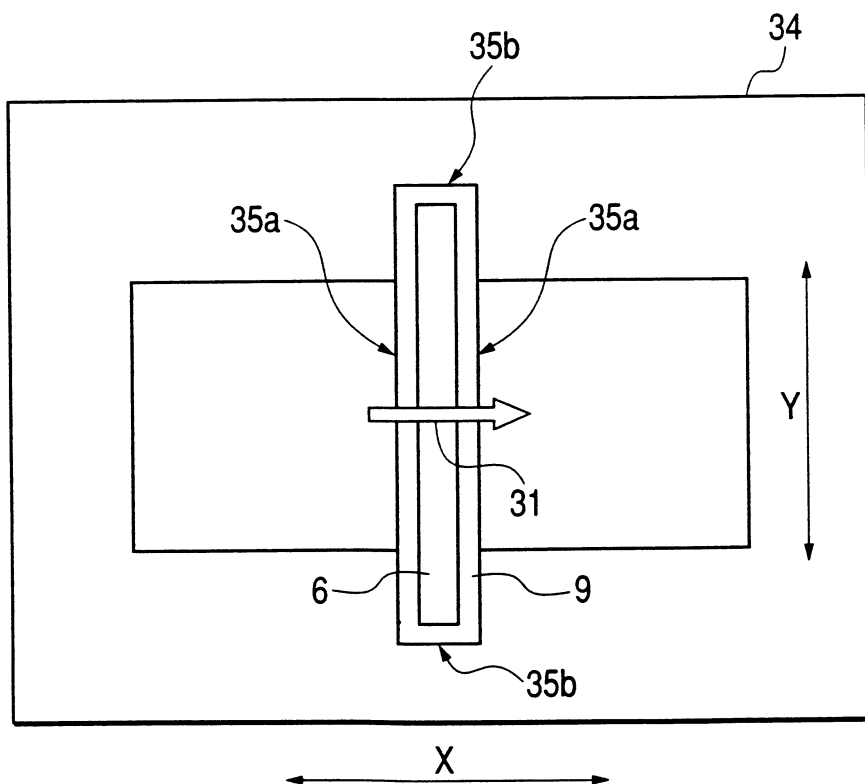
○ : NMIS 閘極長 $0.14 \mu\text{m}$

△ : PMIS 閘極長 $0.14 \mu\text{m}$

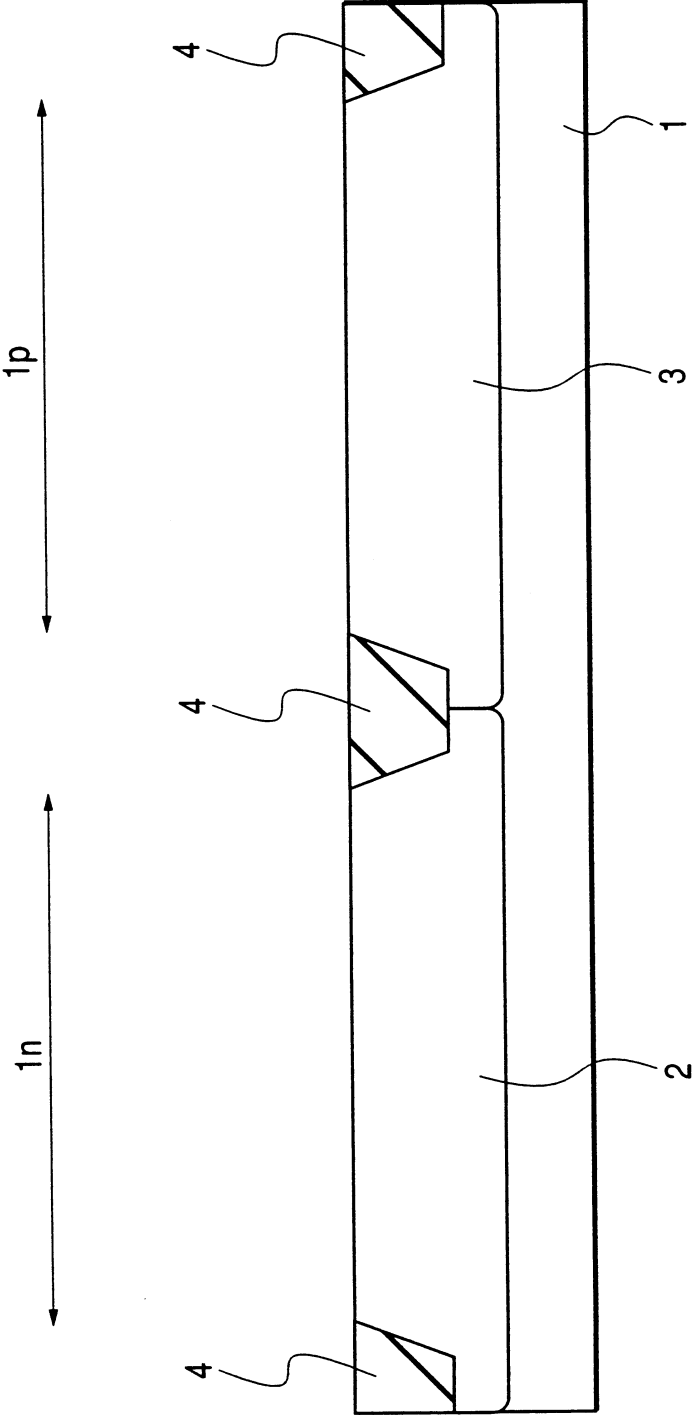
第 3 圖



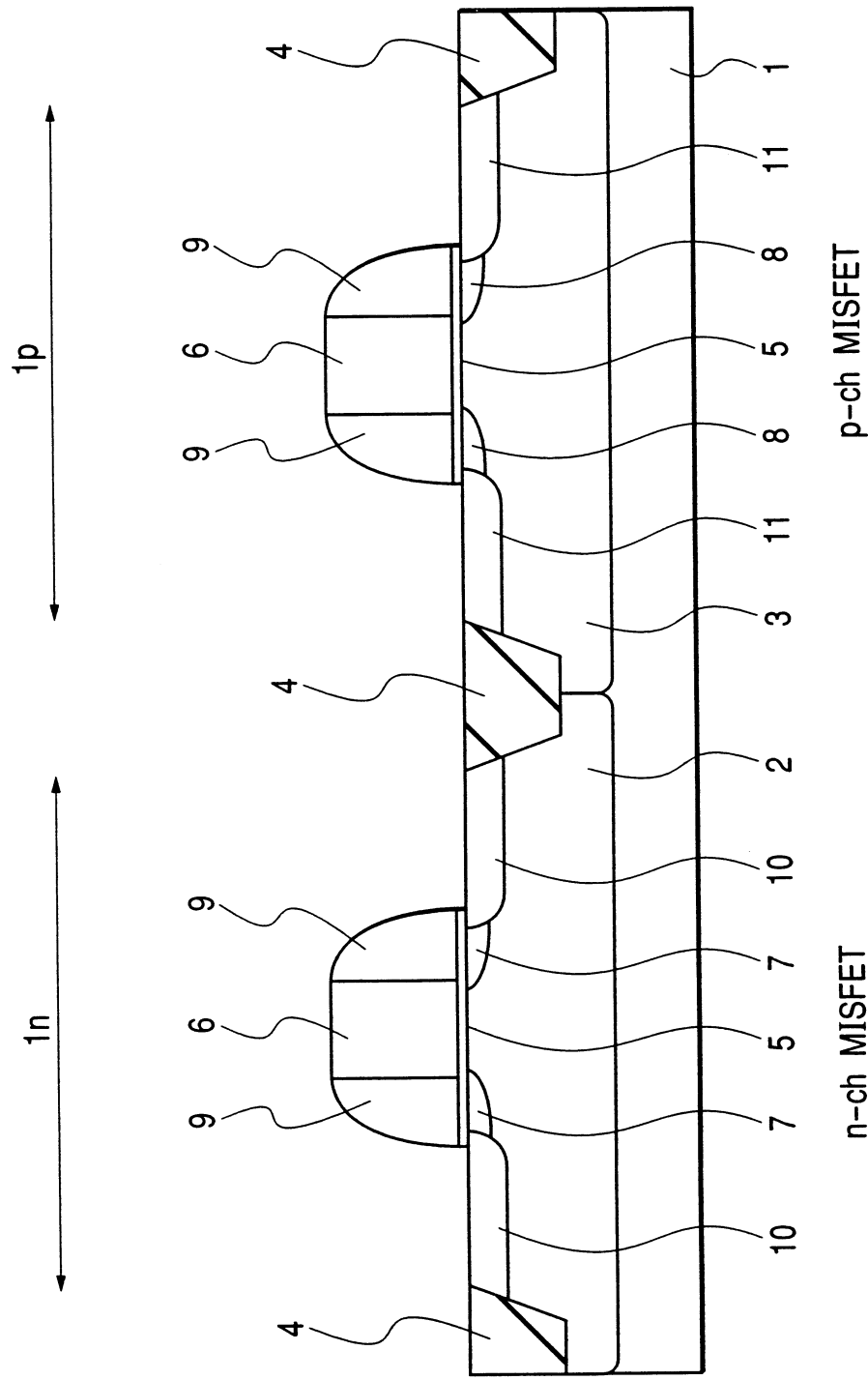
第 4 圖



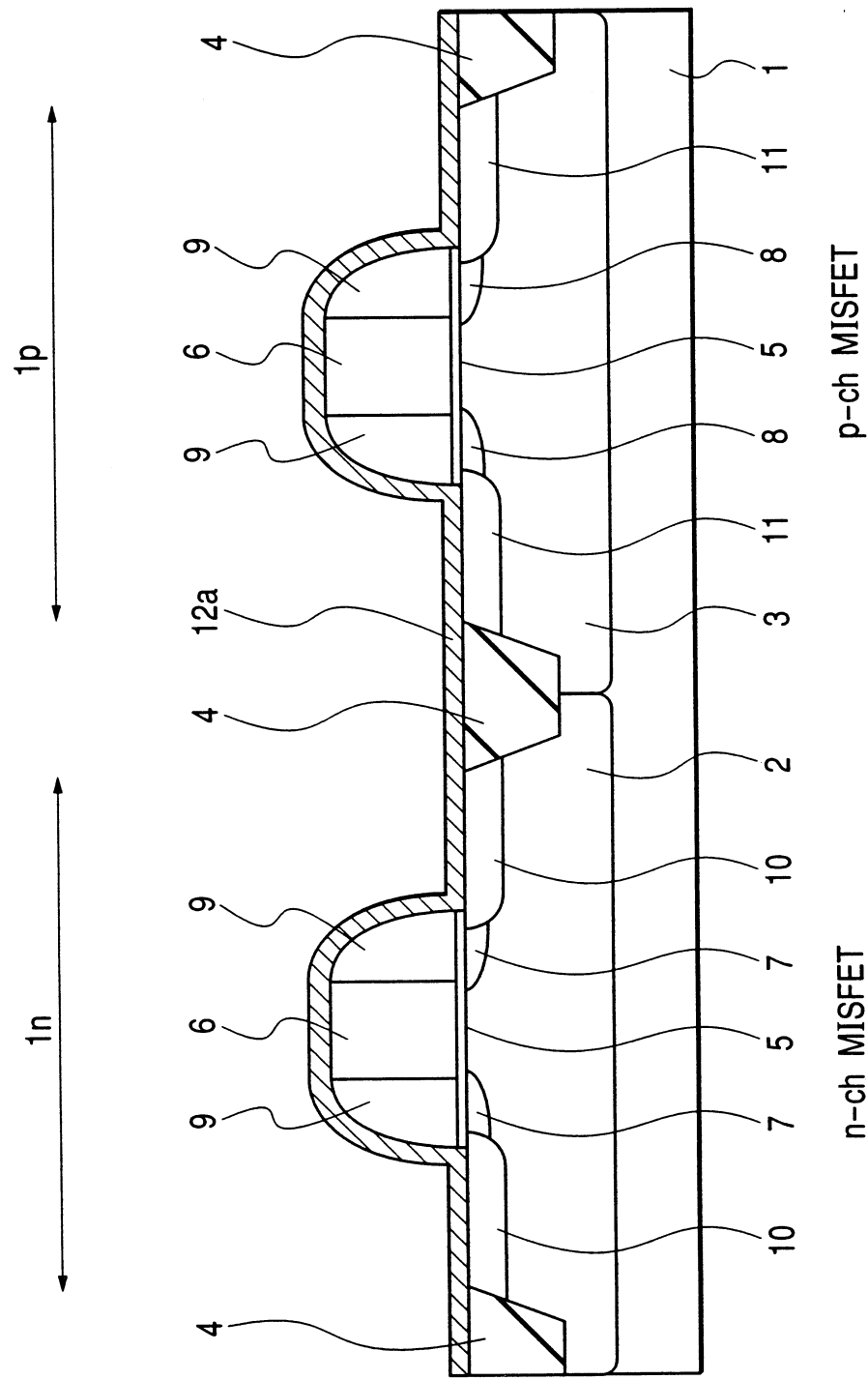
第 5 圖



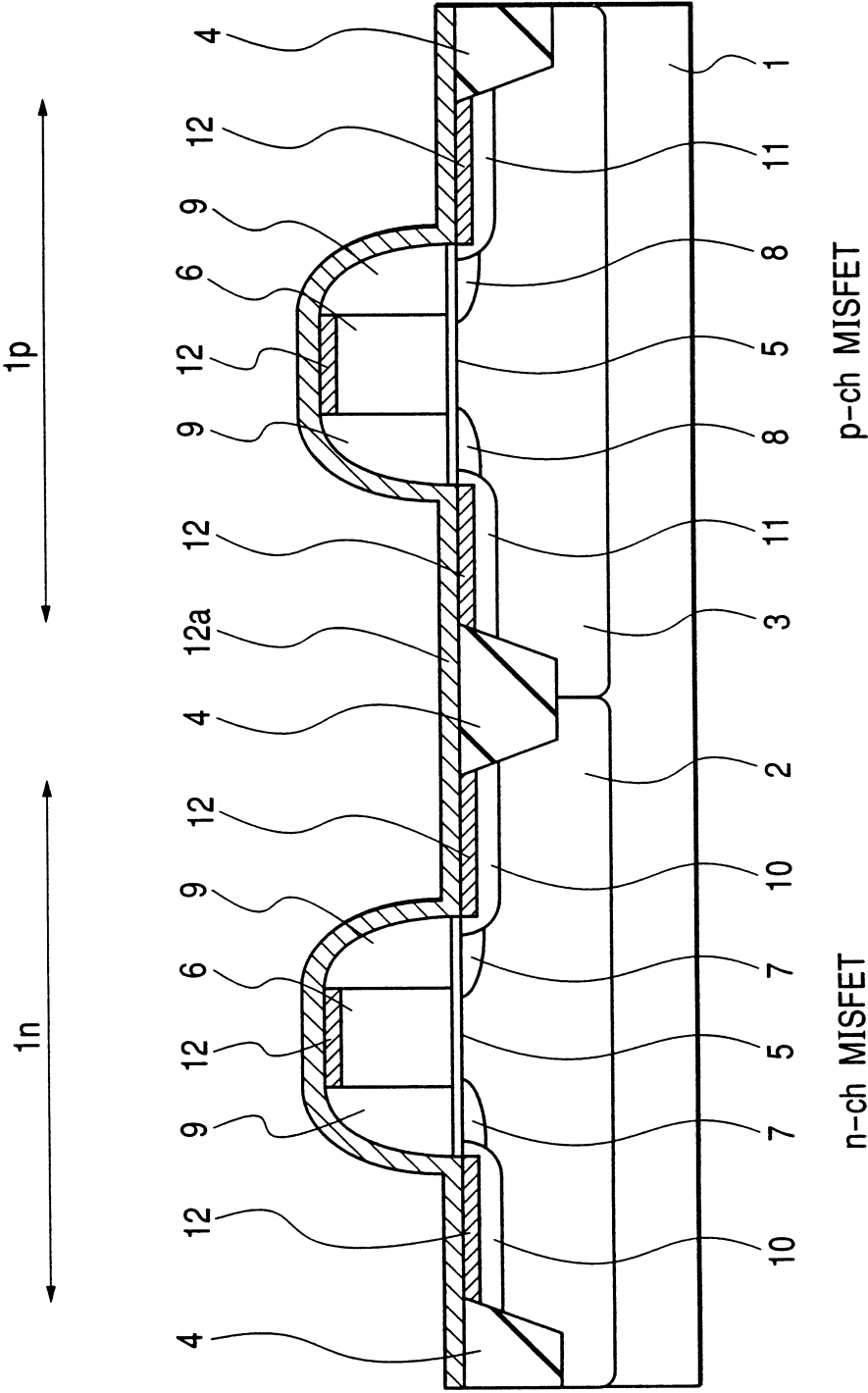
第 6 圖



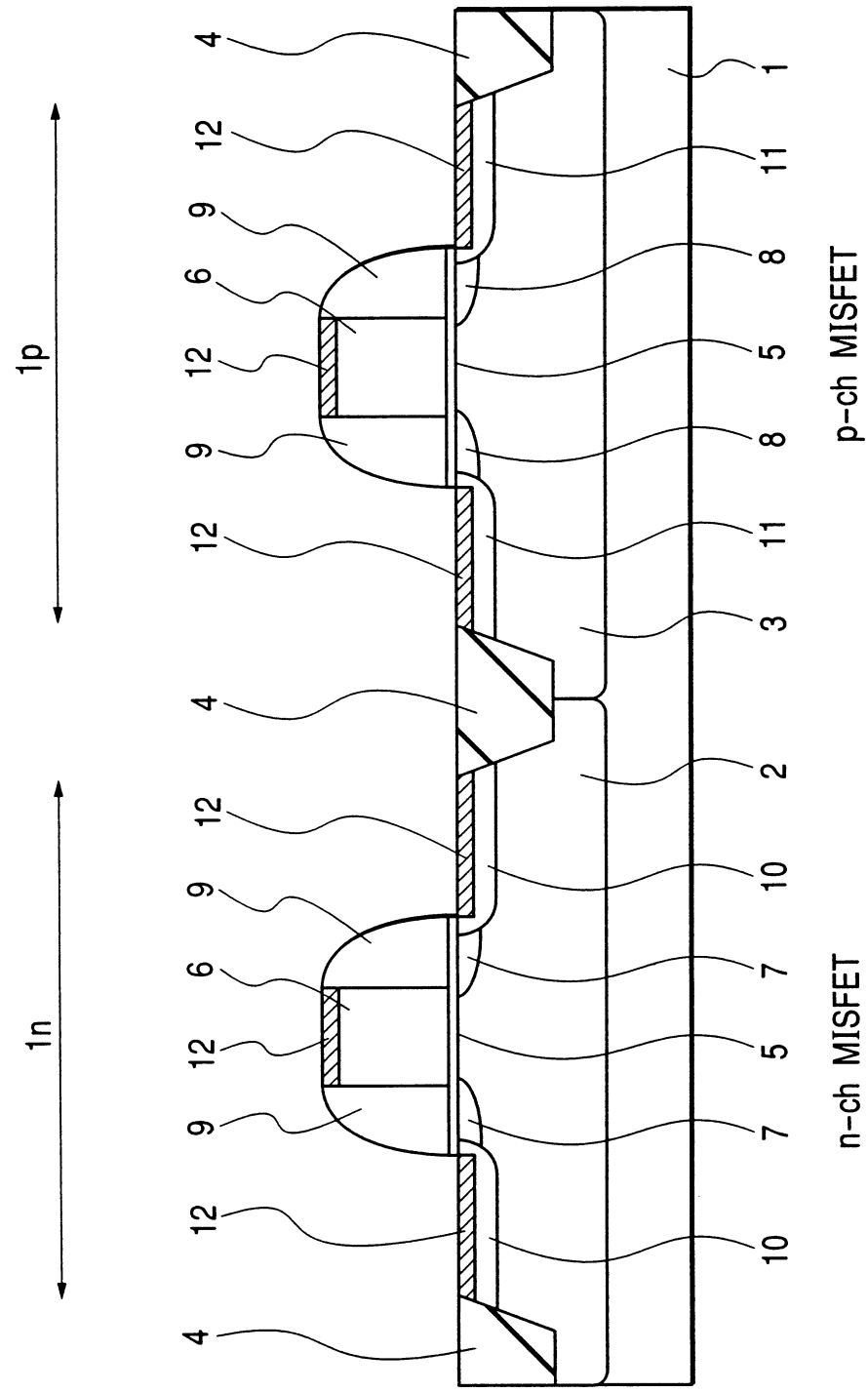
第 7 圖



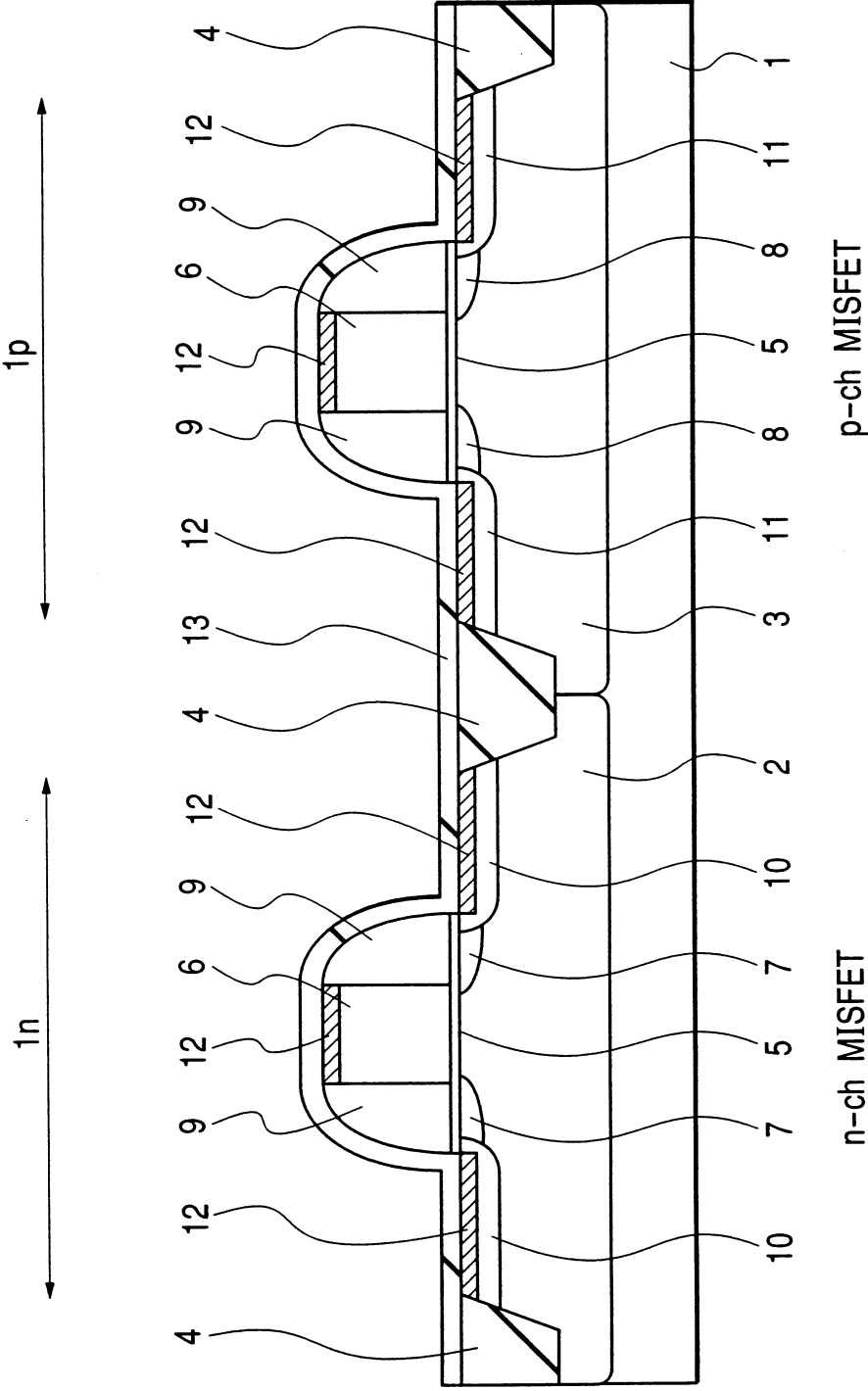
第 8 圖



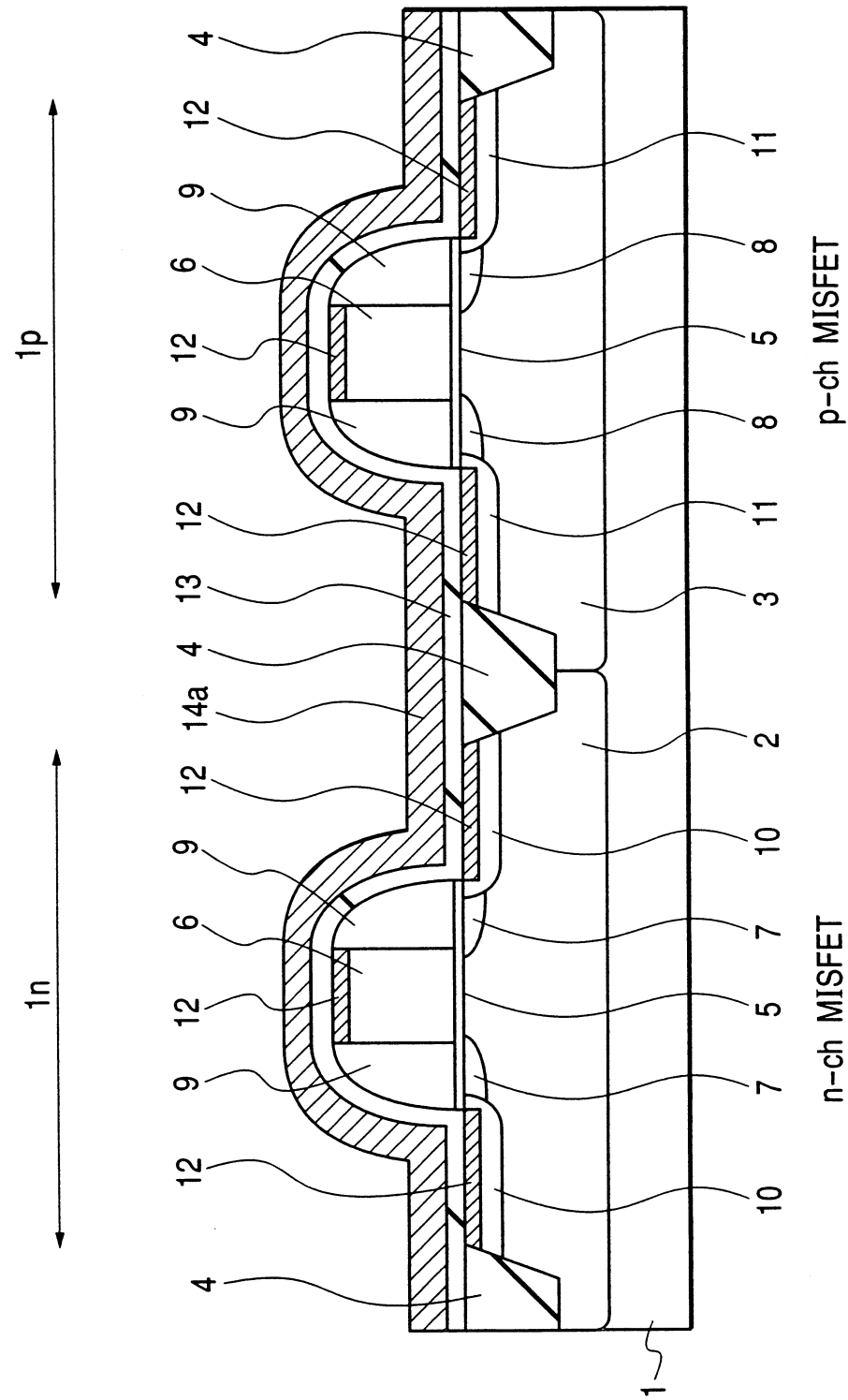
第 9 圖



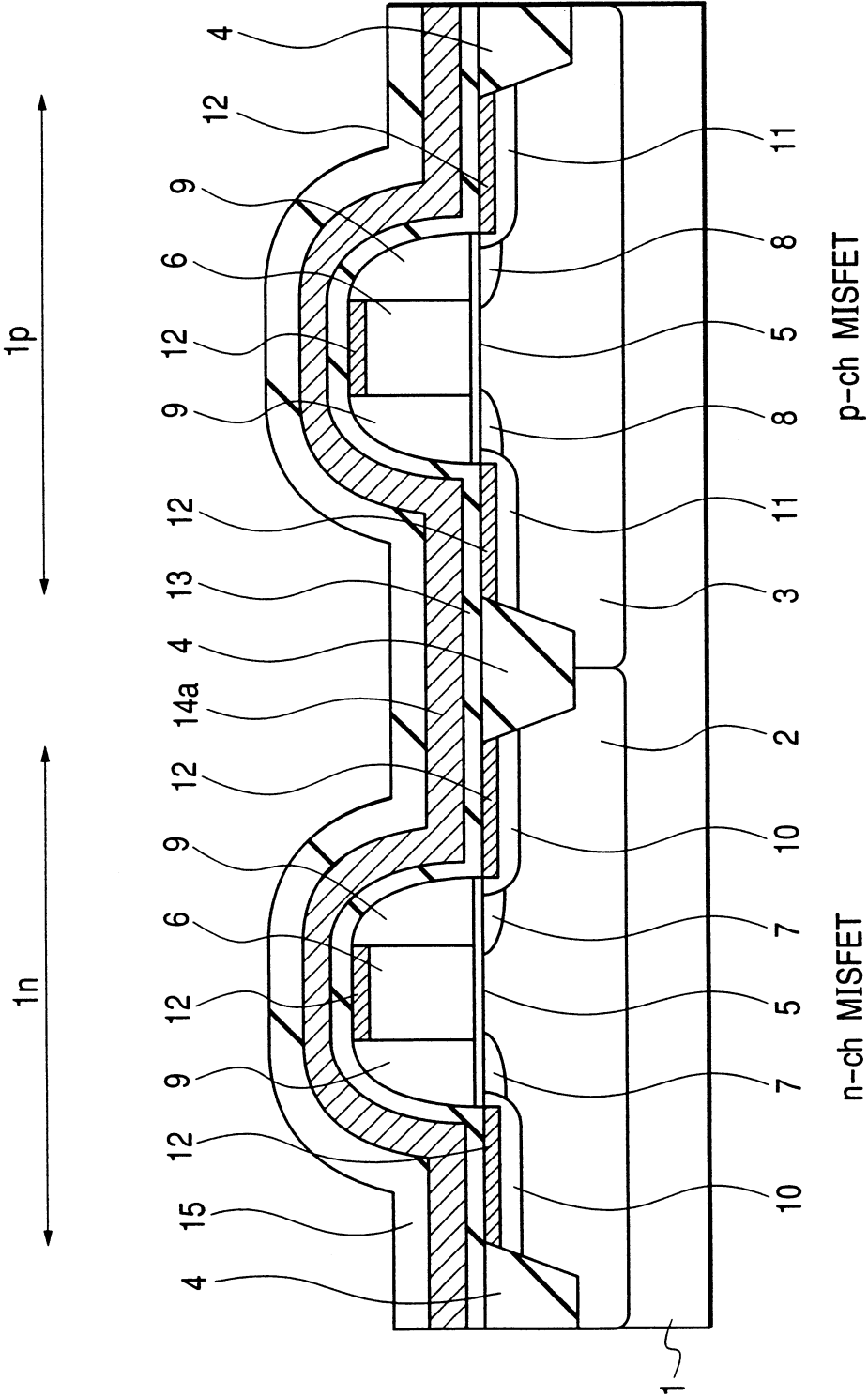
第 10 圖



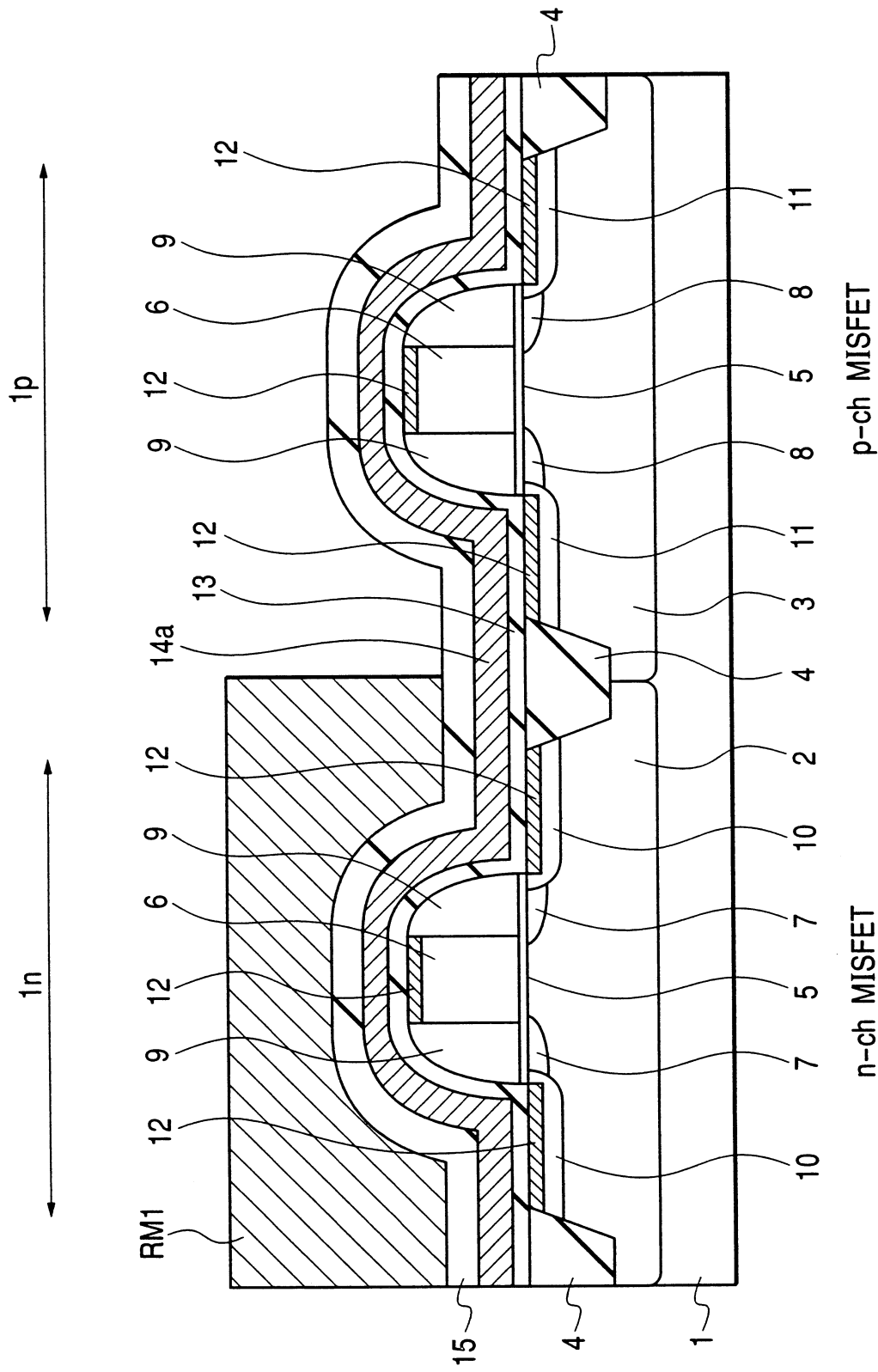
第 11 圖



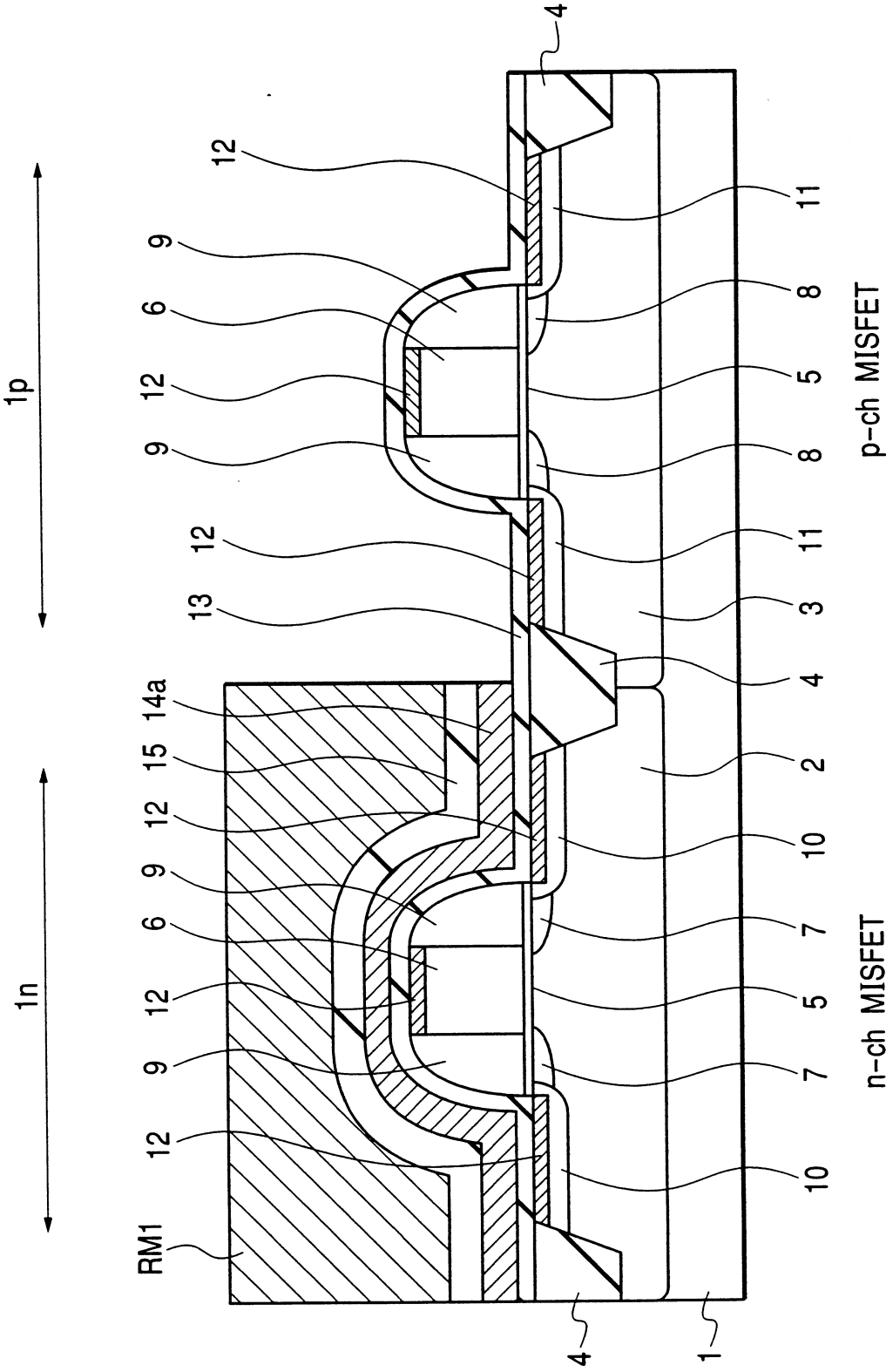
第 12 圖



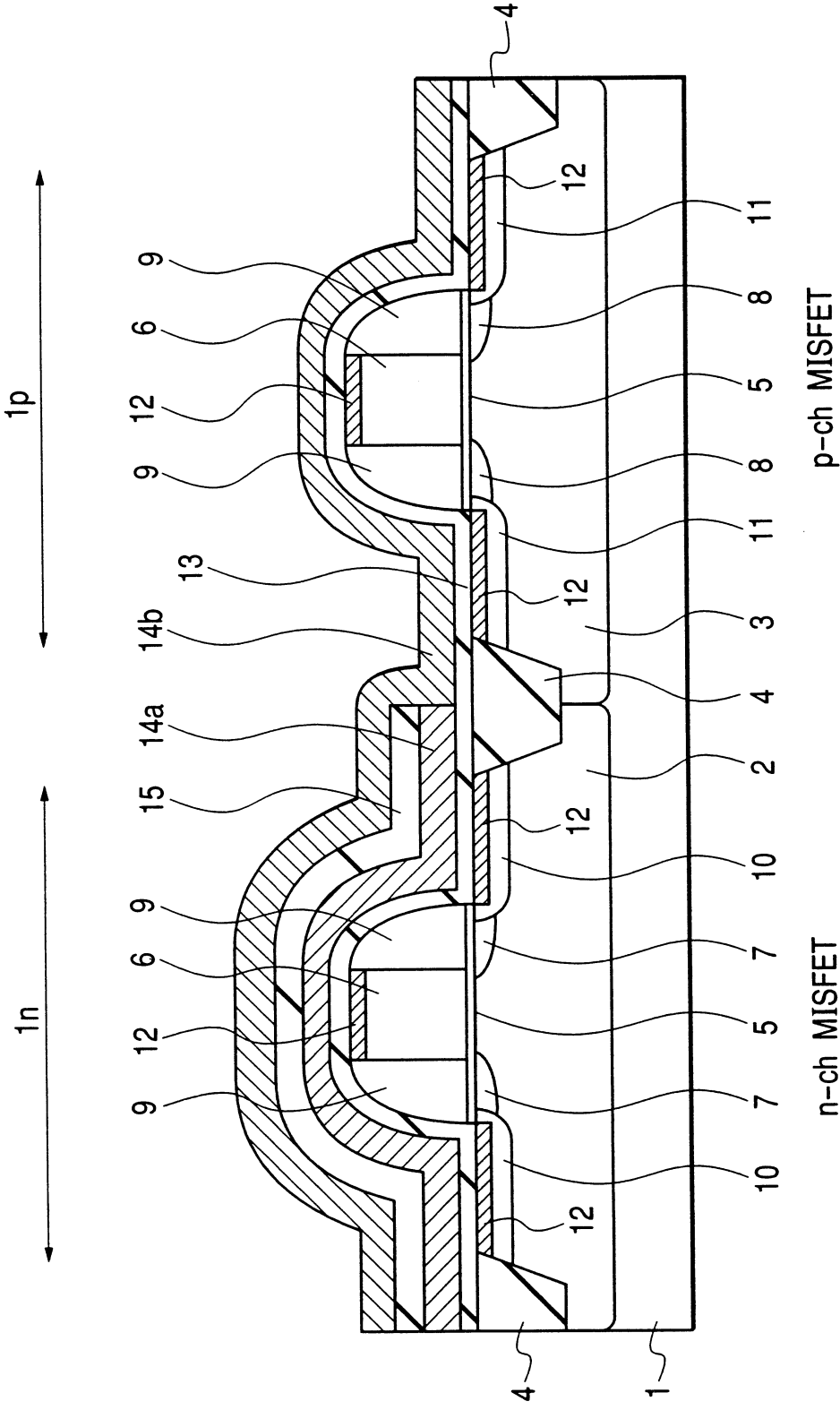
第 13 圖



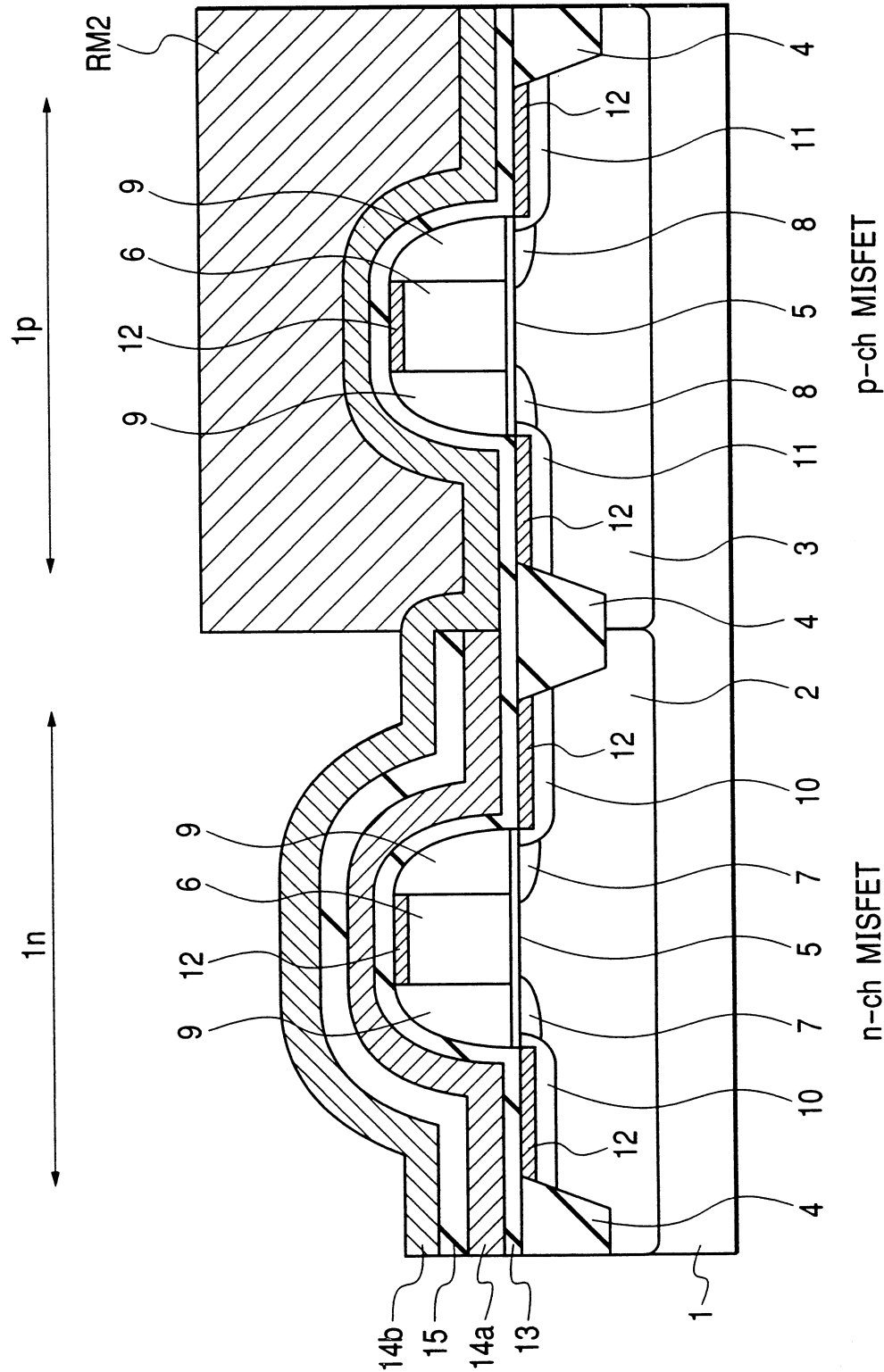
第 14 圖



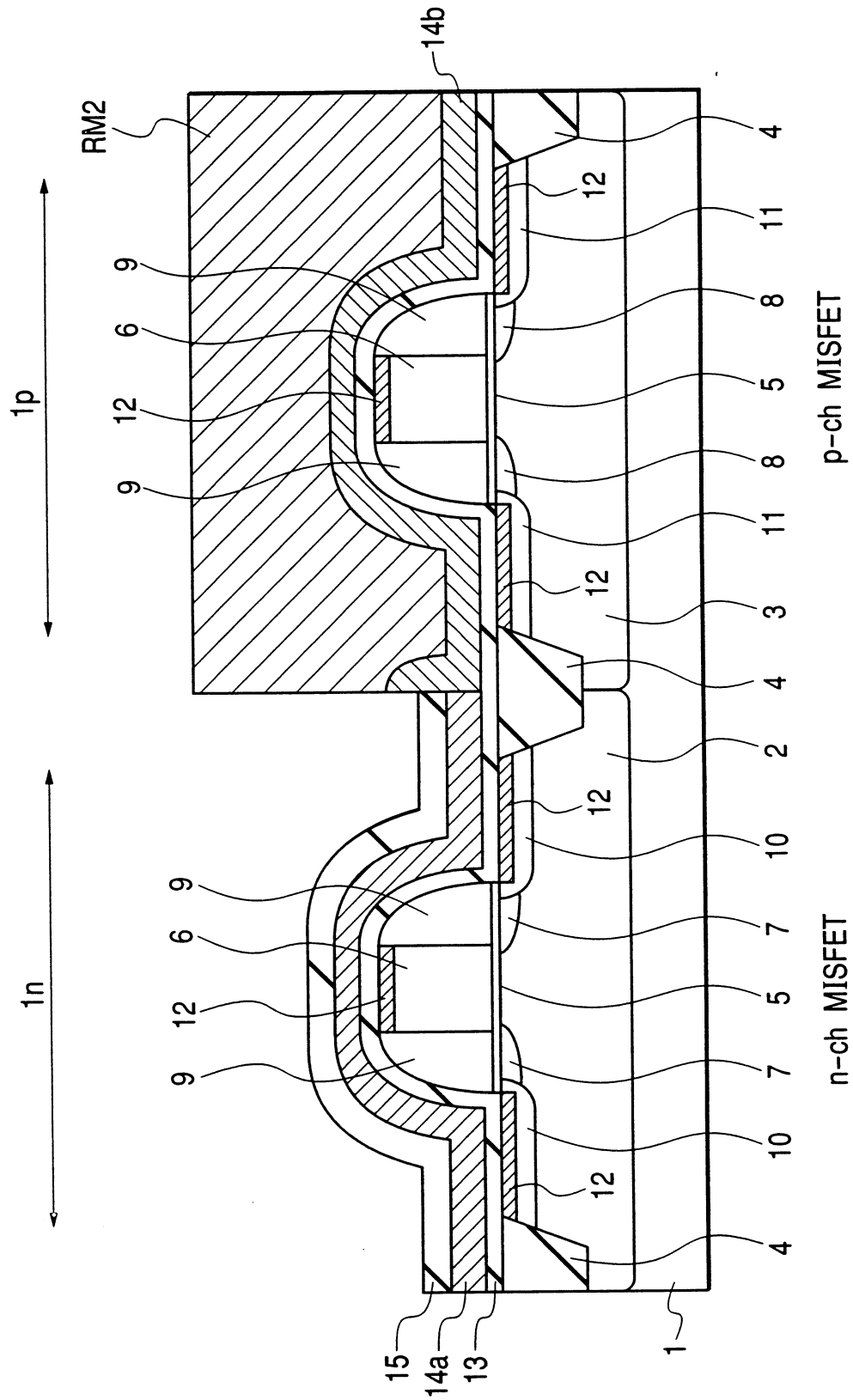
第 15 圖



第 16 圖



第 17 圖



第 18 圖

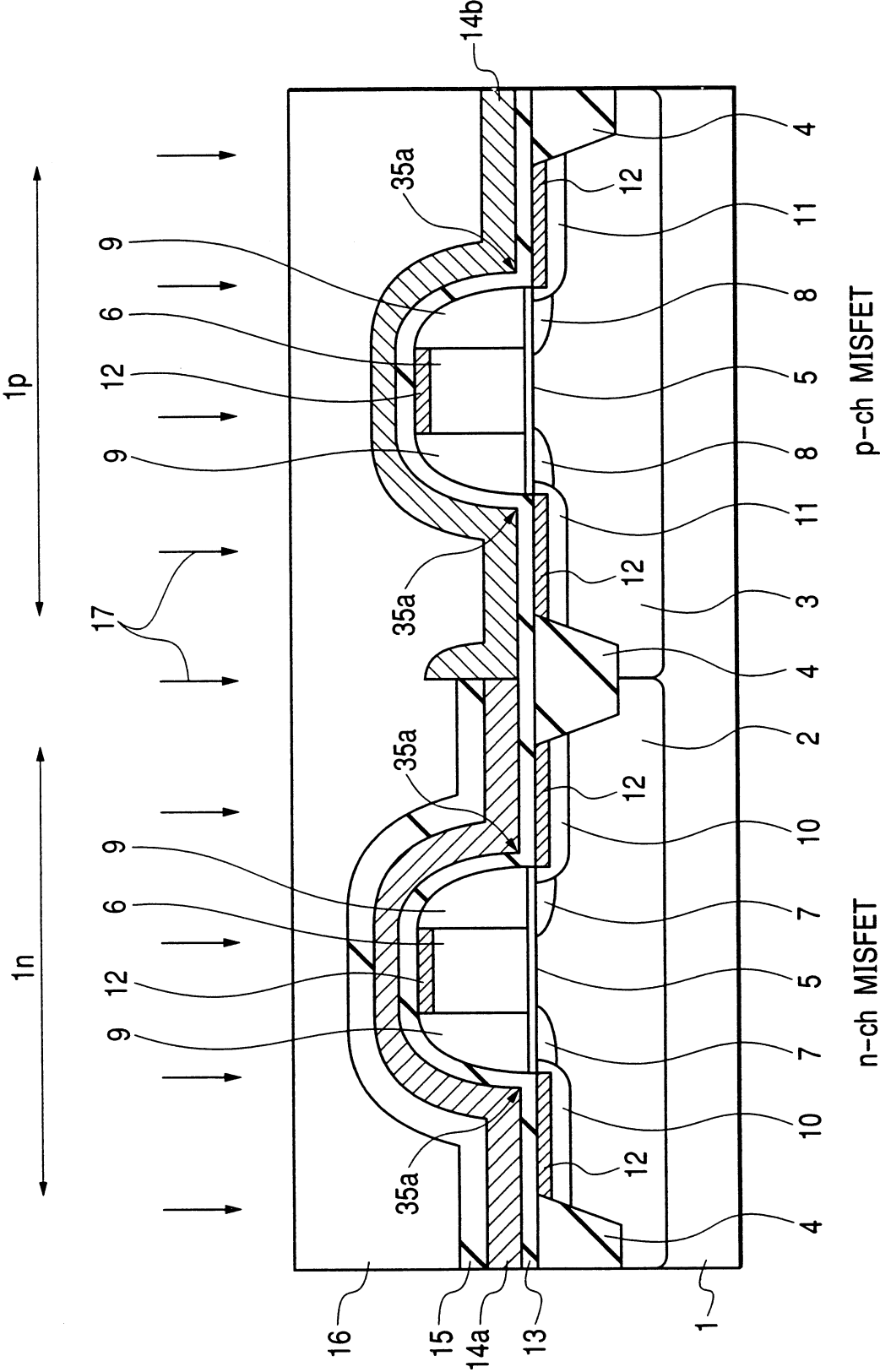
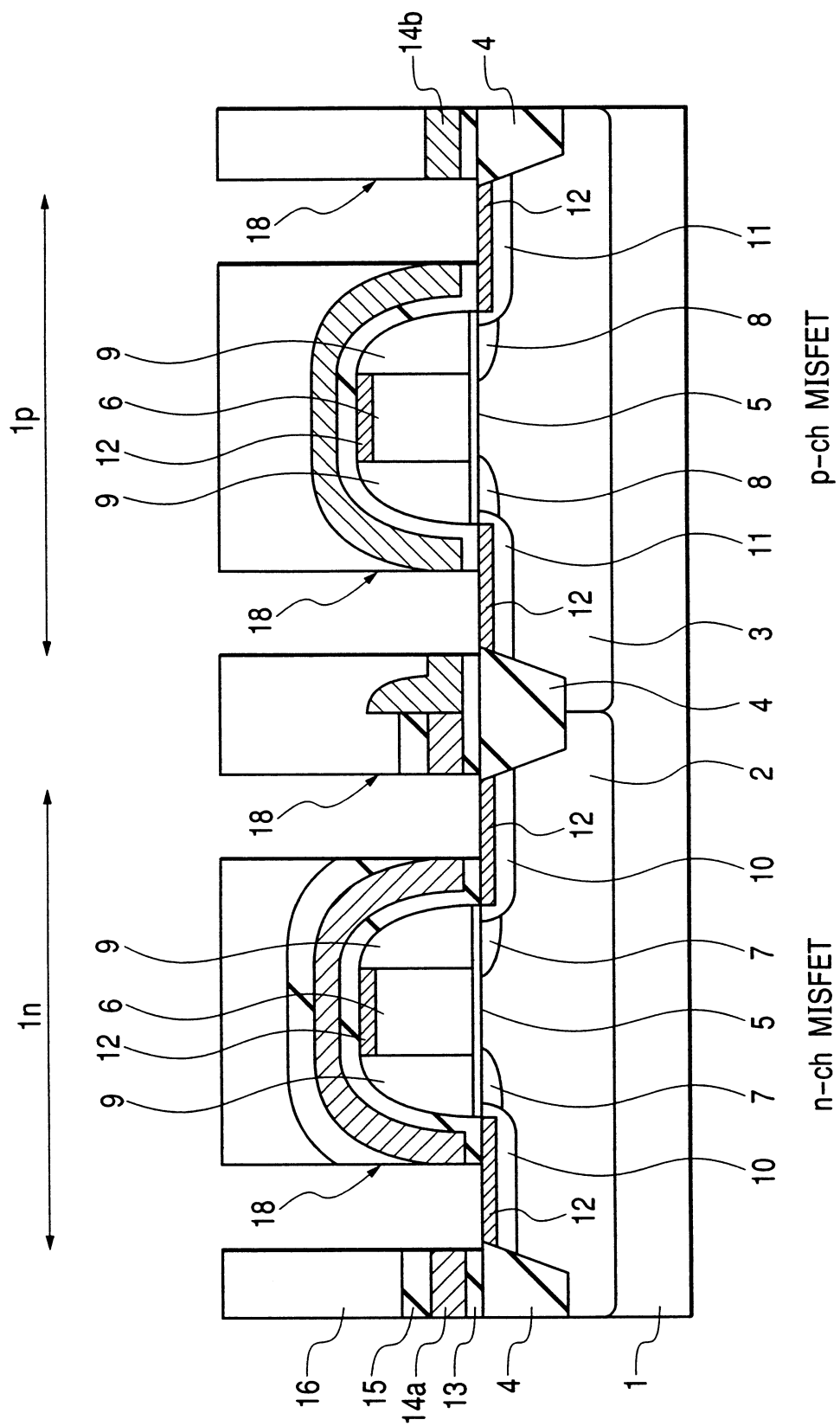
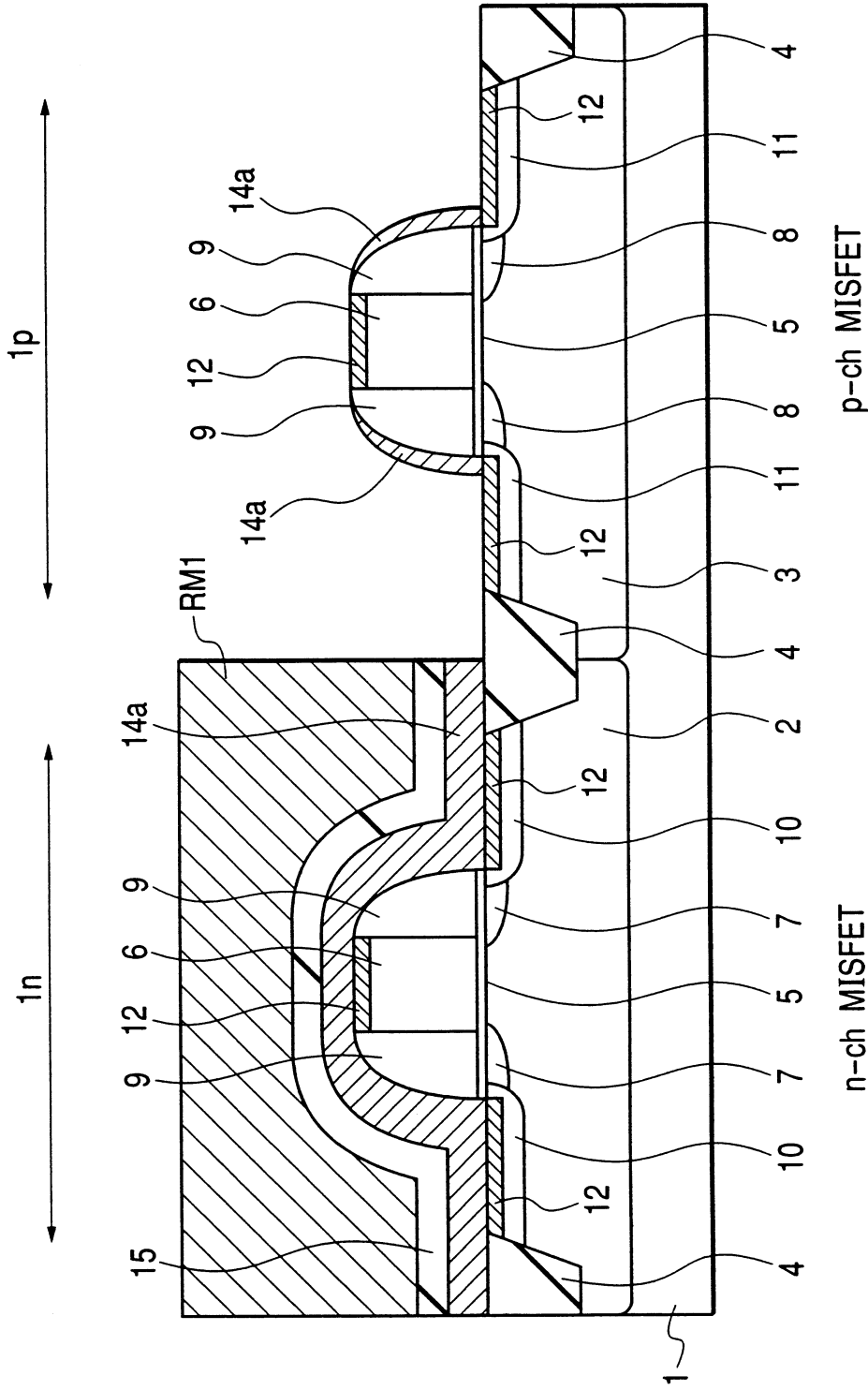


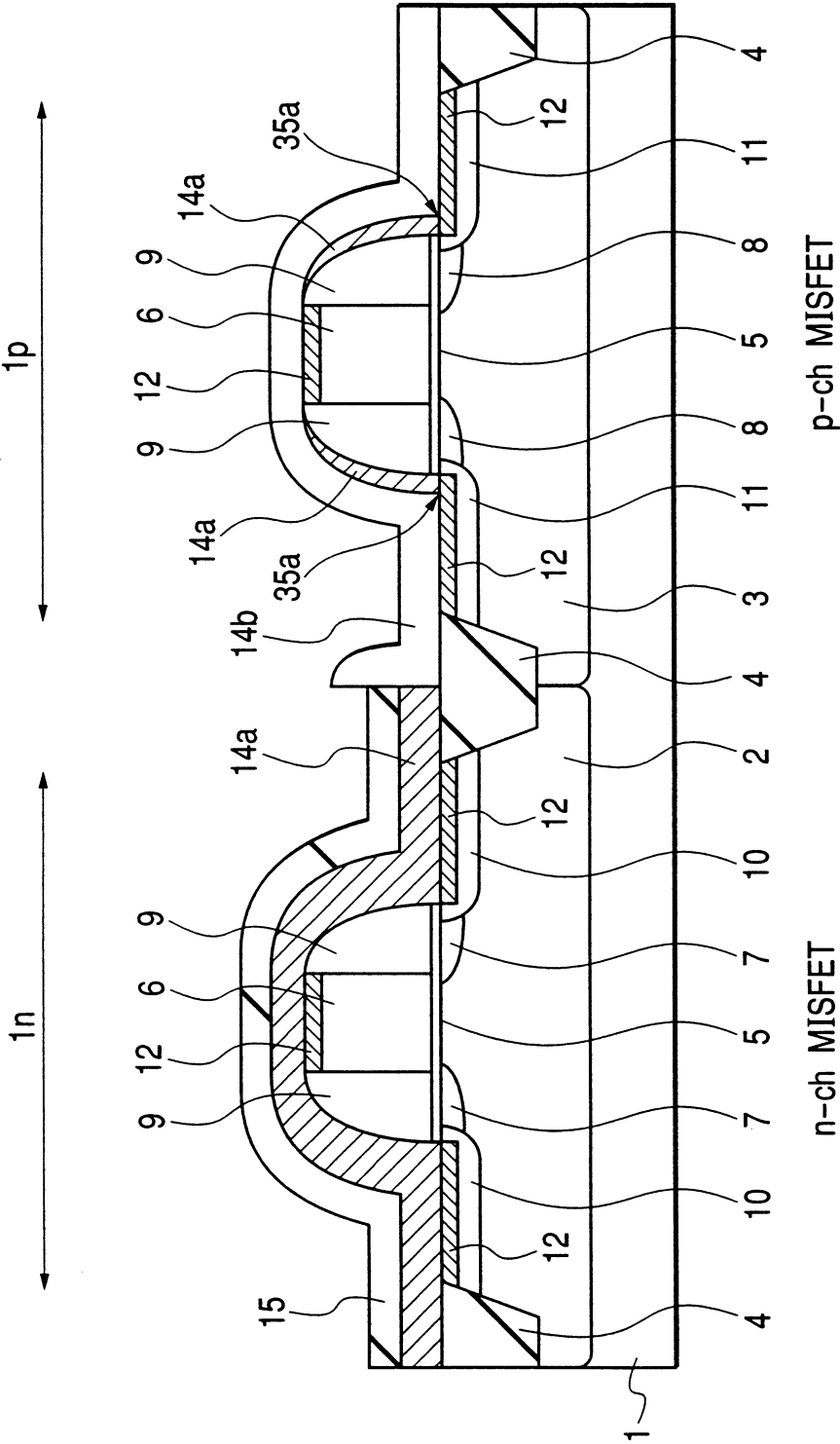
圖 19 第



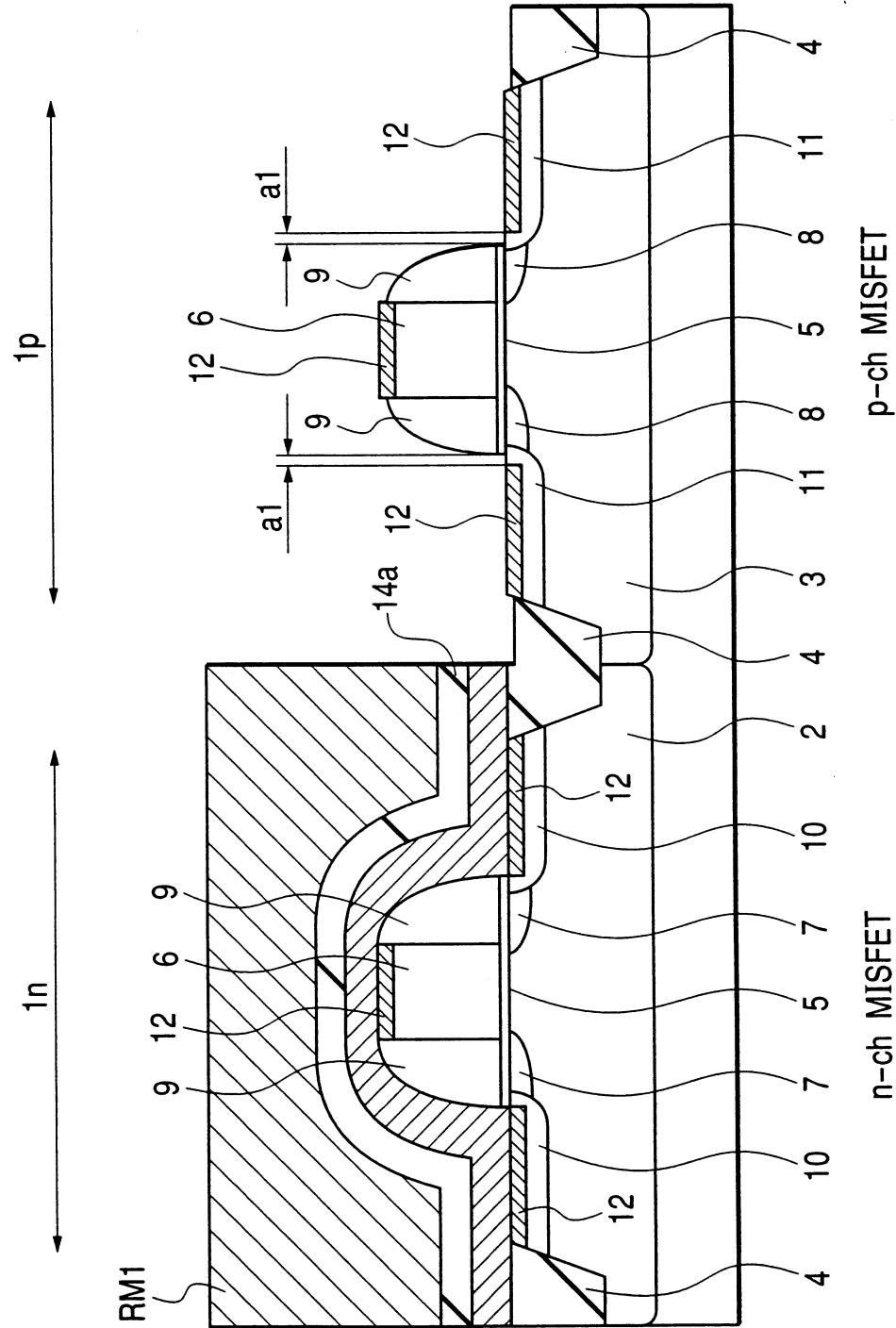
第 20 圖



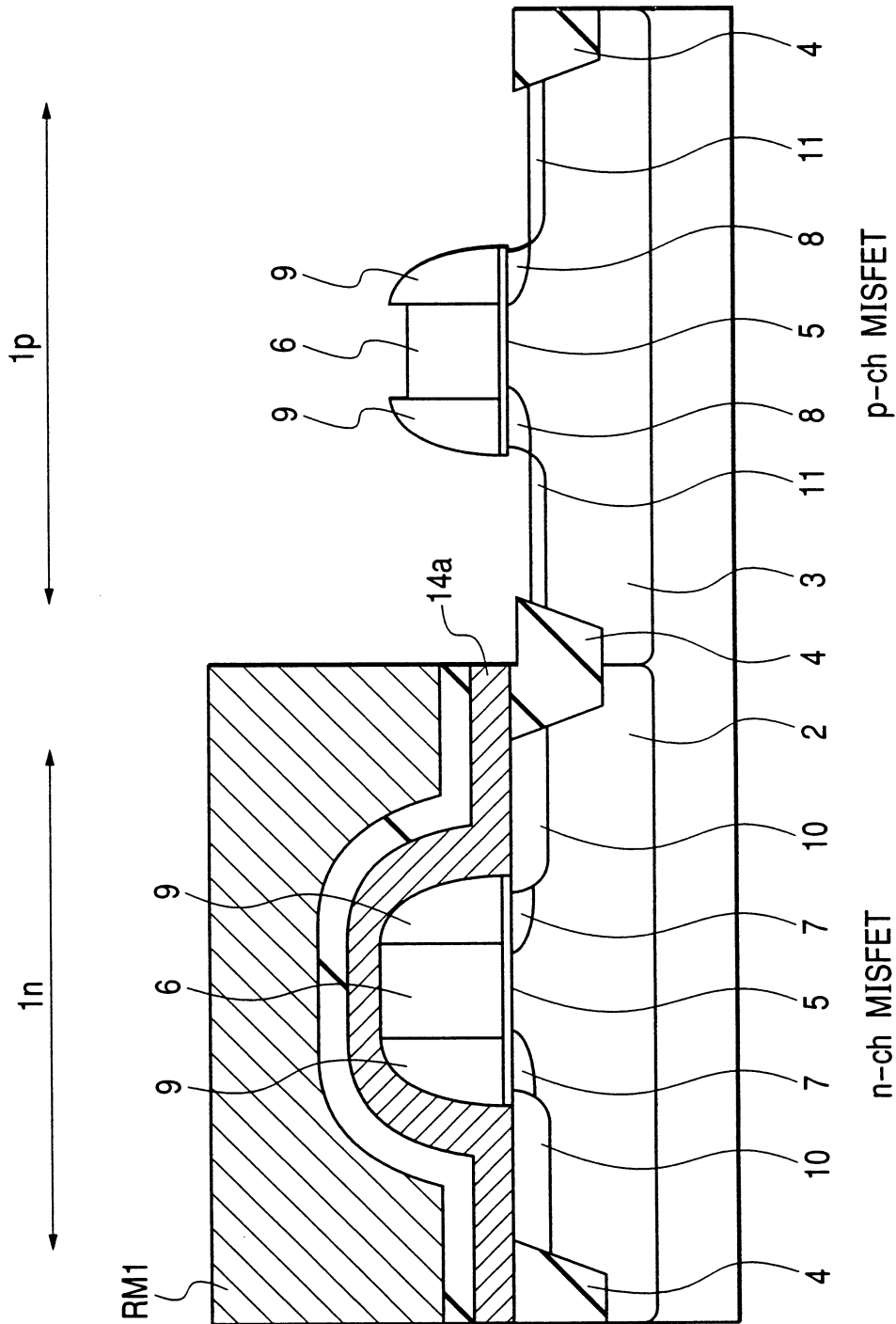
第 21 圖



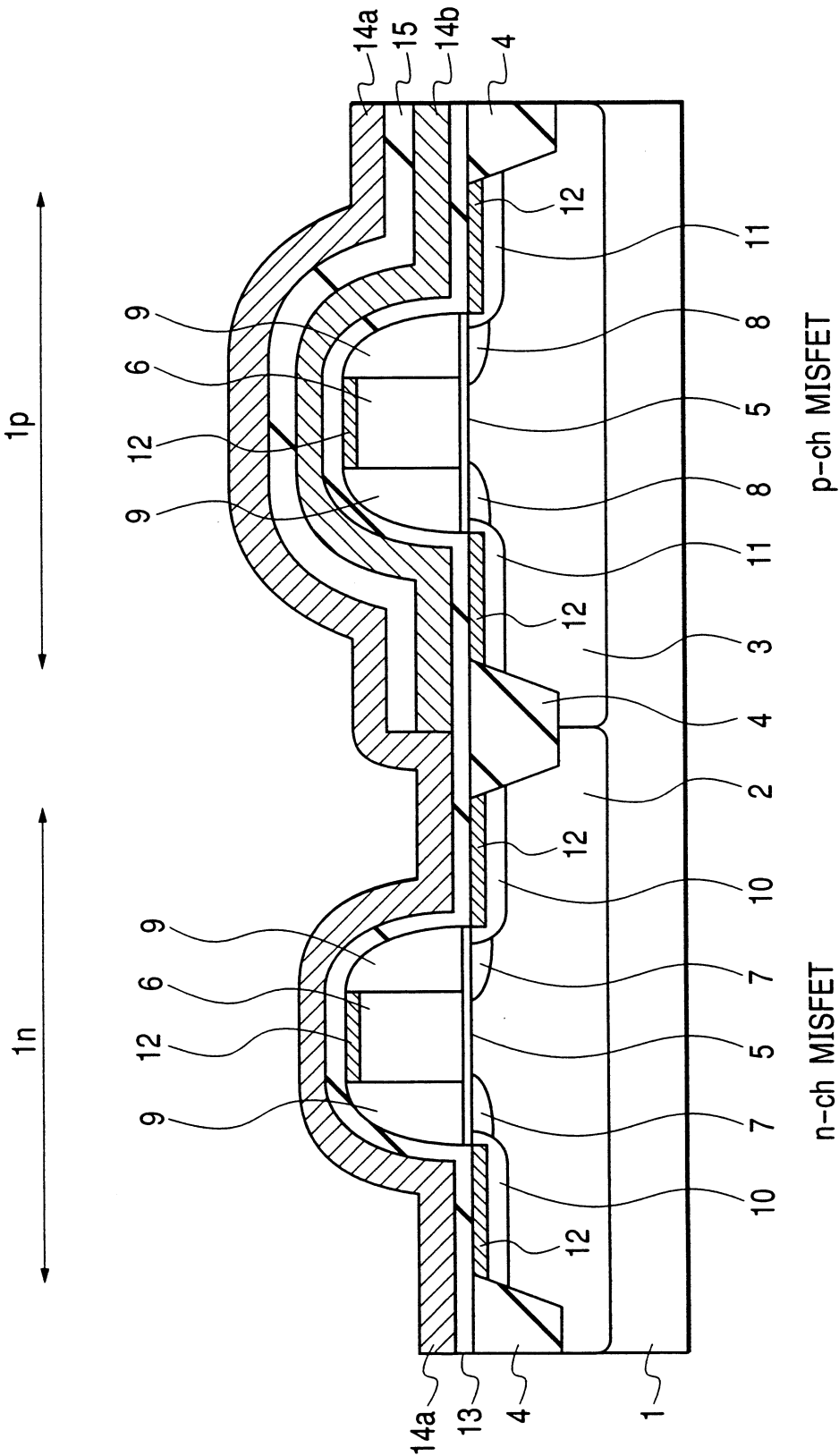
第 22 圖



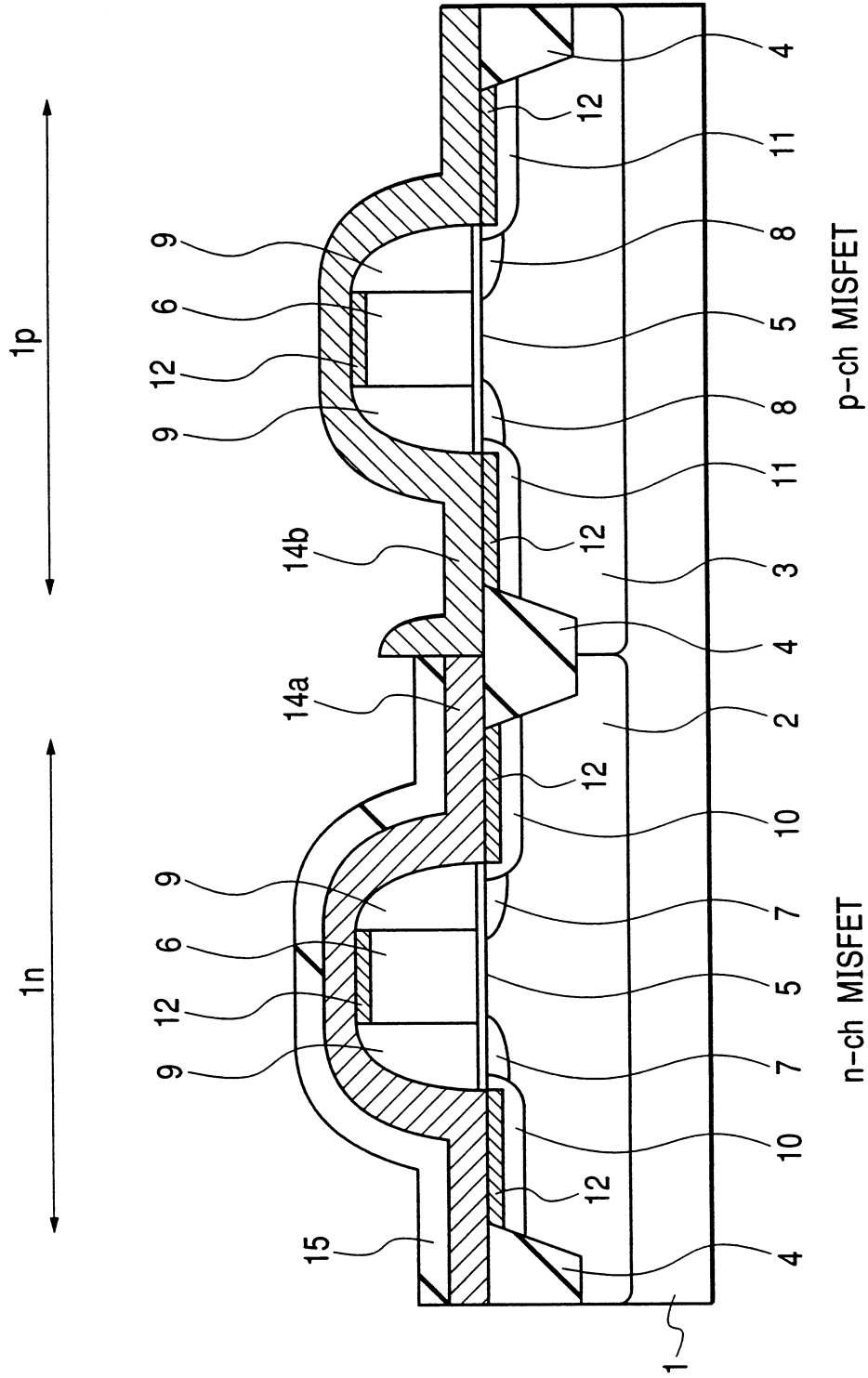
第 23 圖



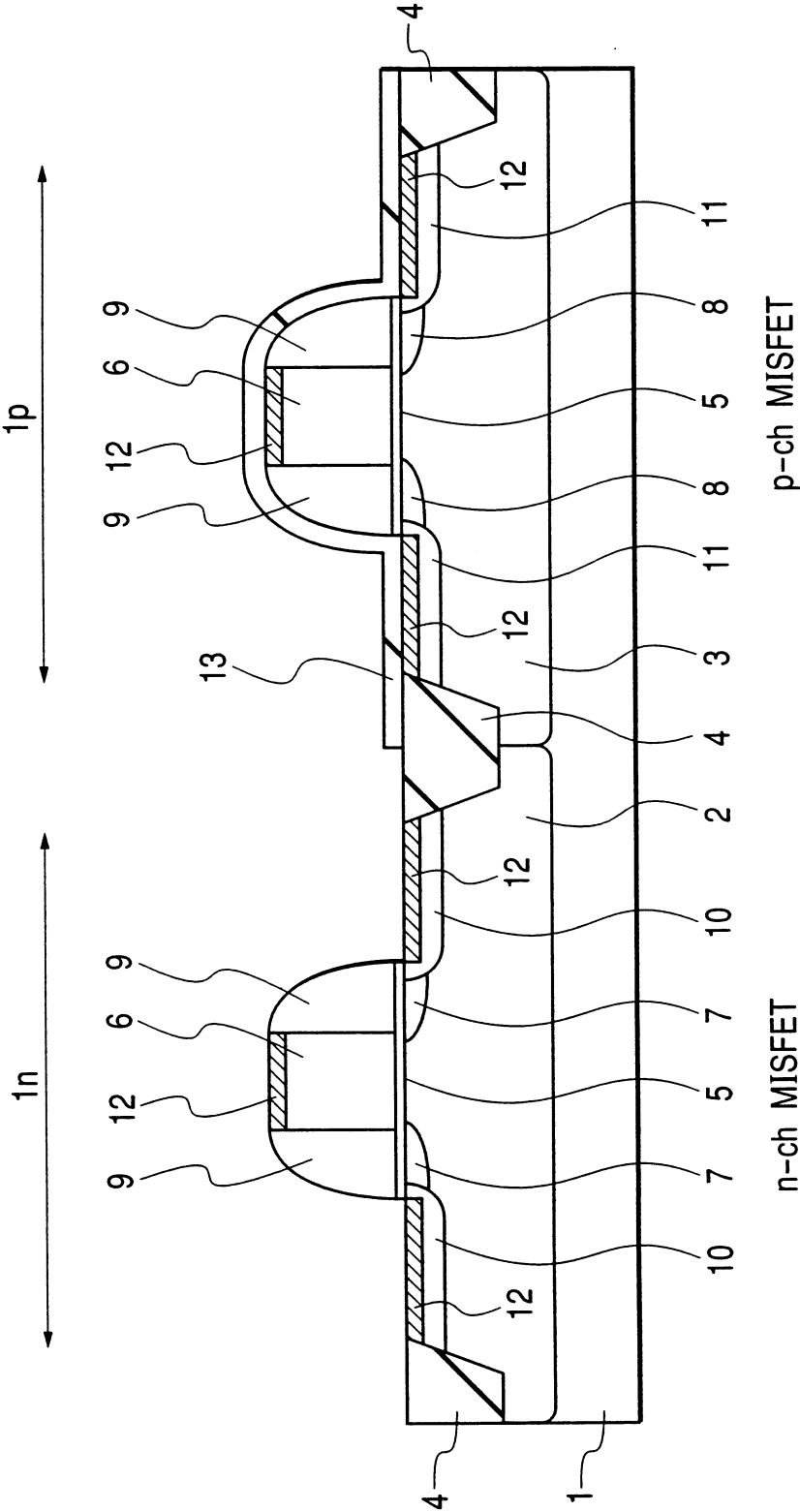
第 24 圖



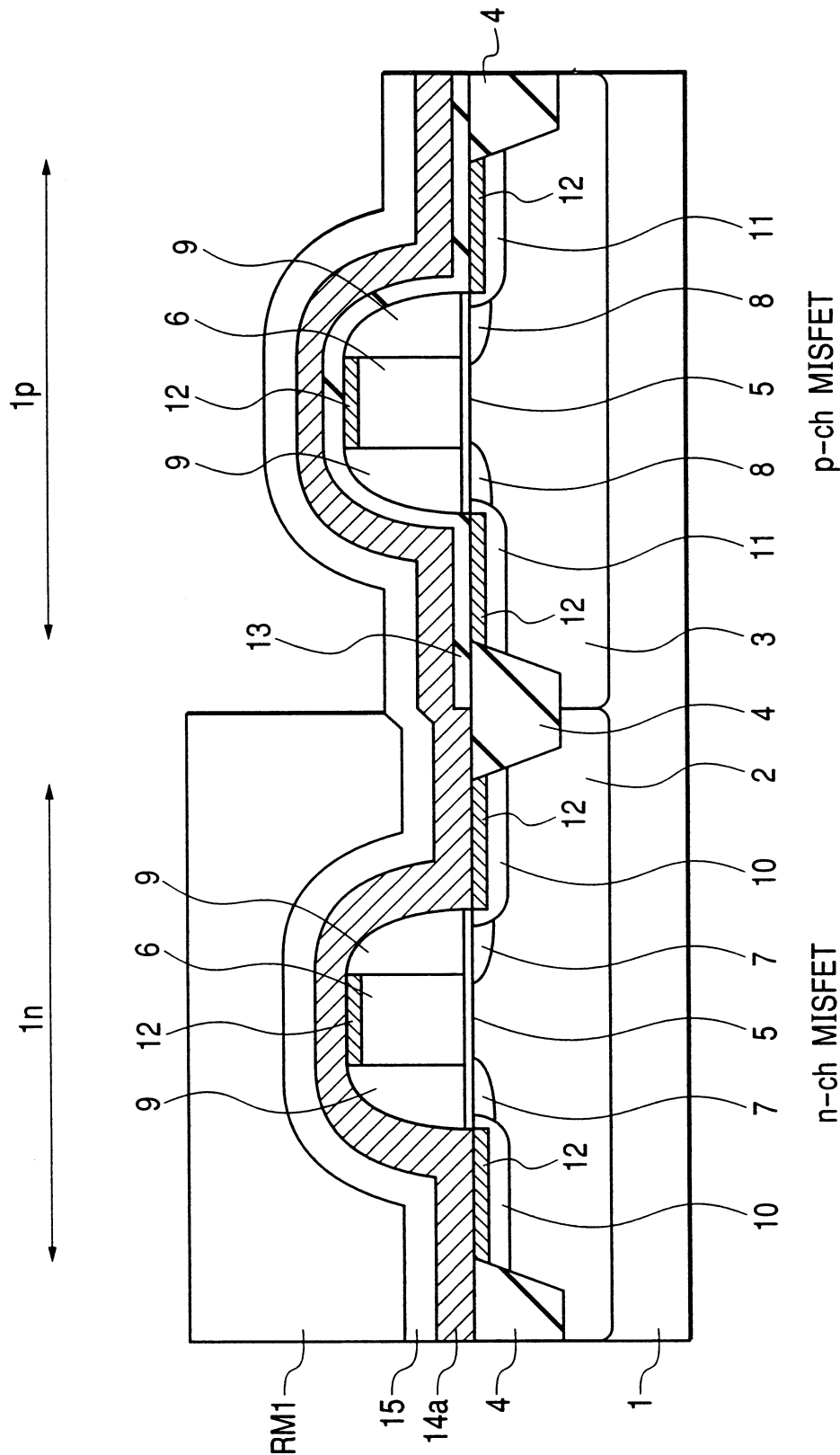
第 25 圖



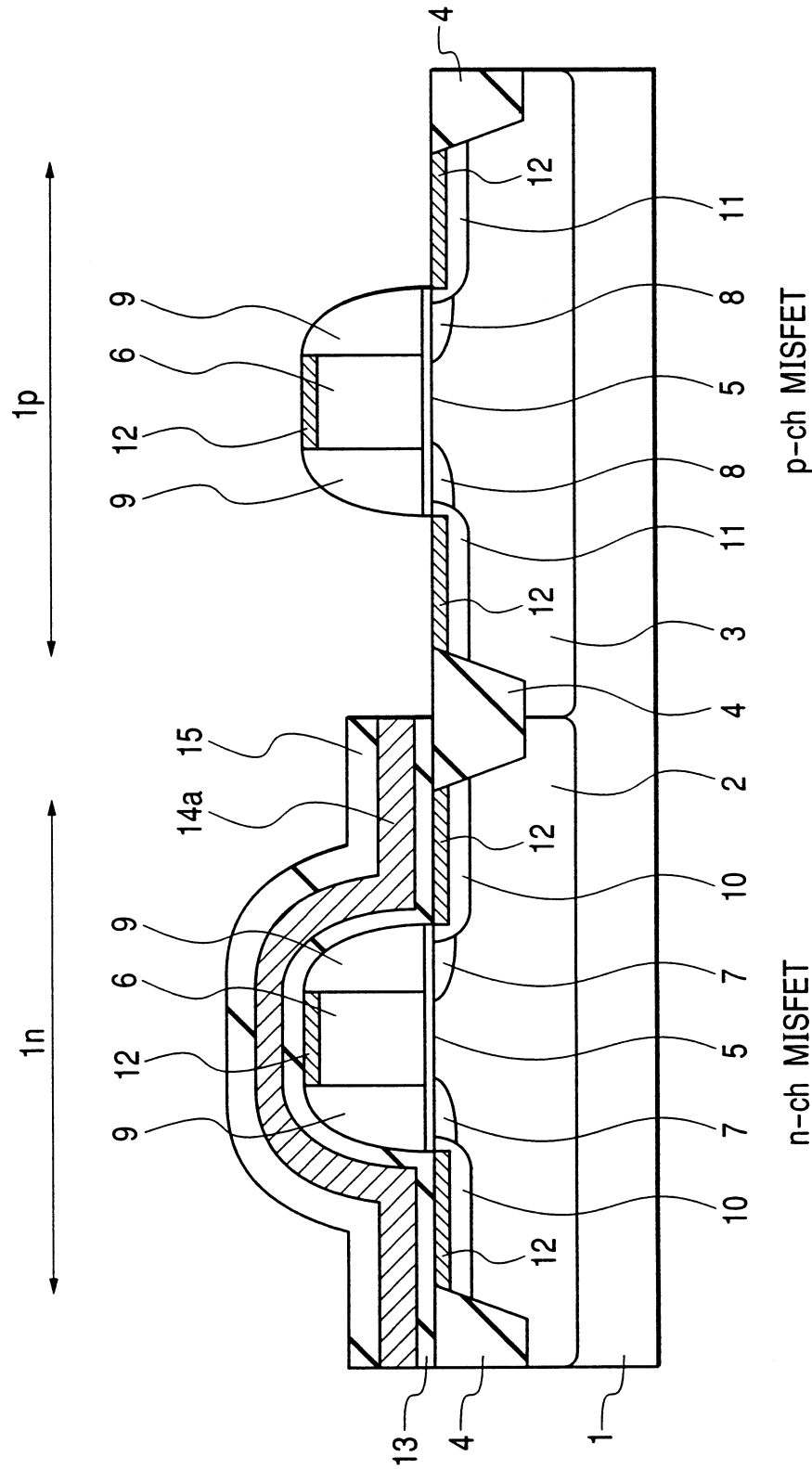
第 26A 圖



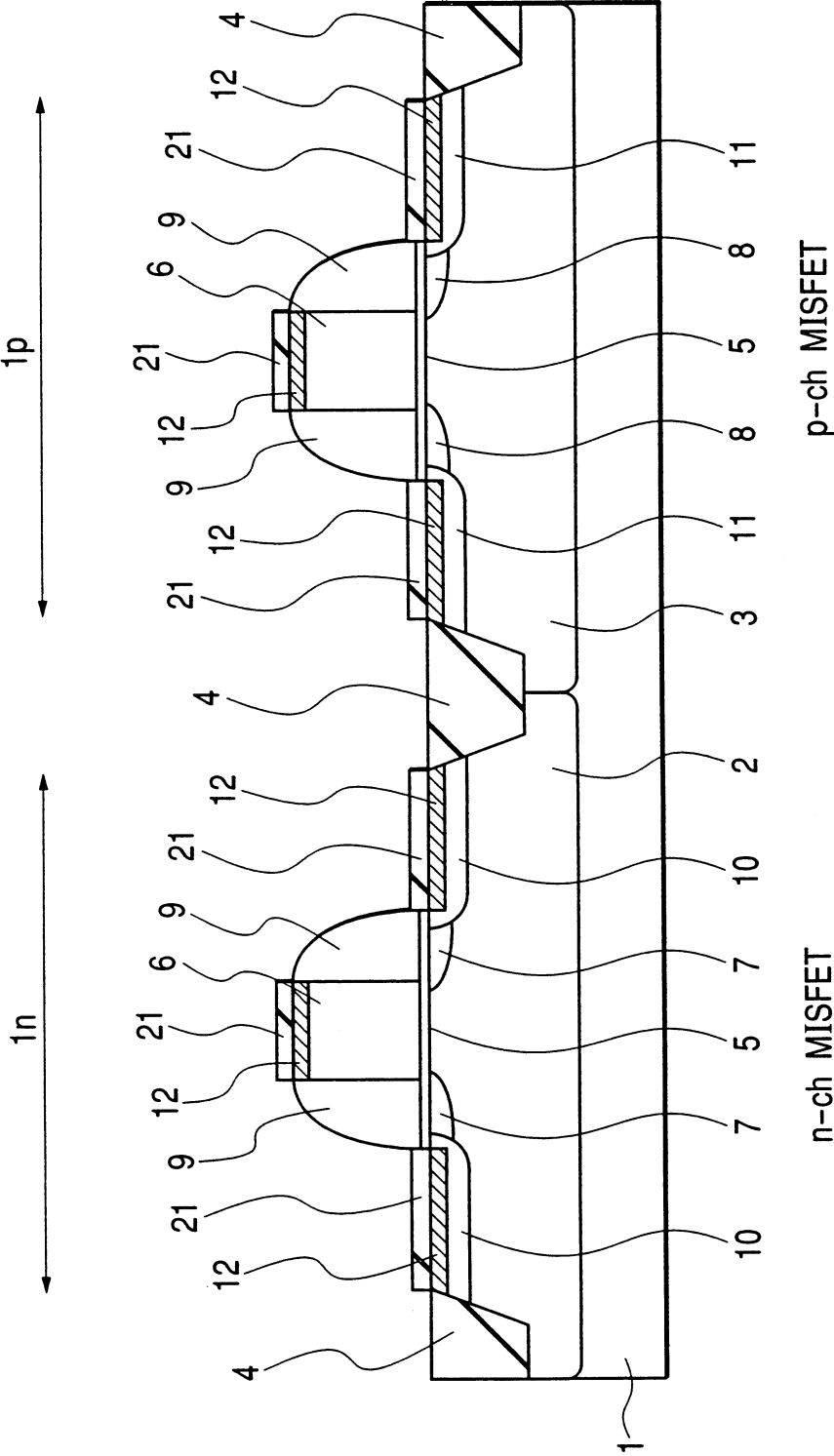
第 26B 圖



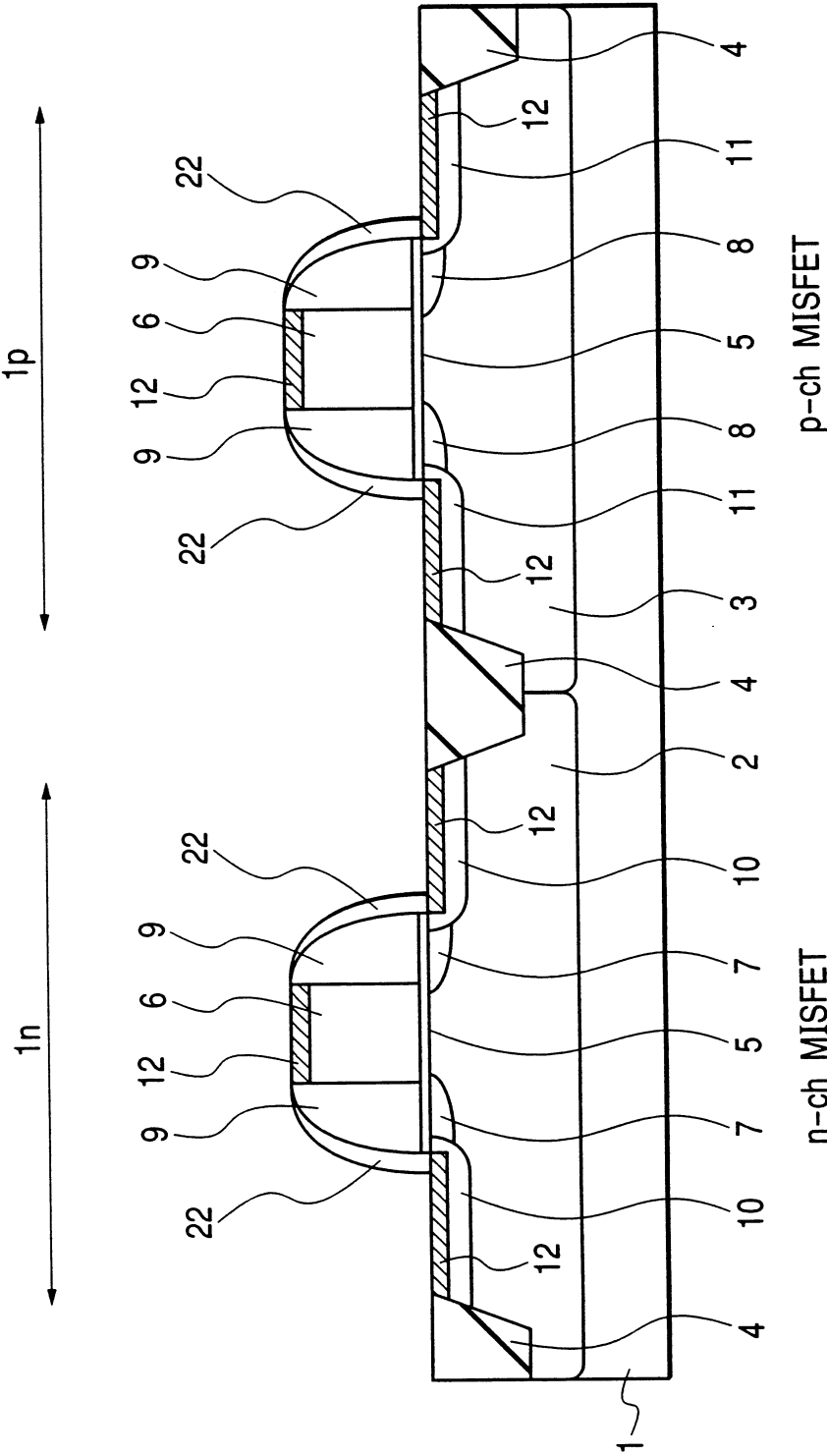
第 27 圖



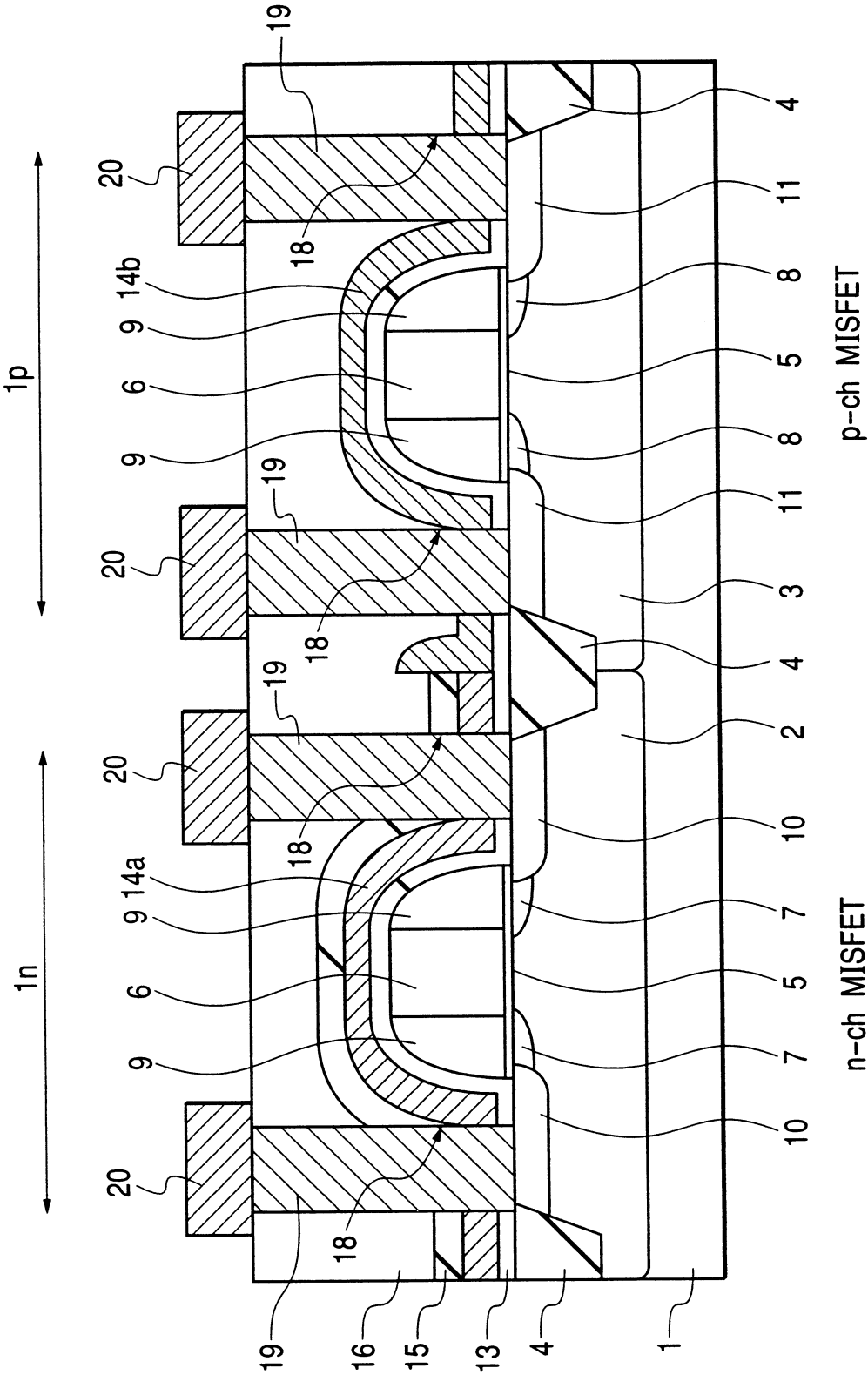
第 28 圖



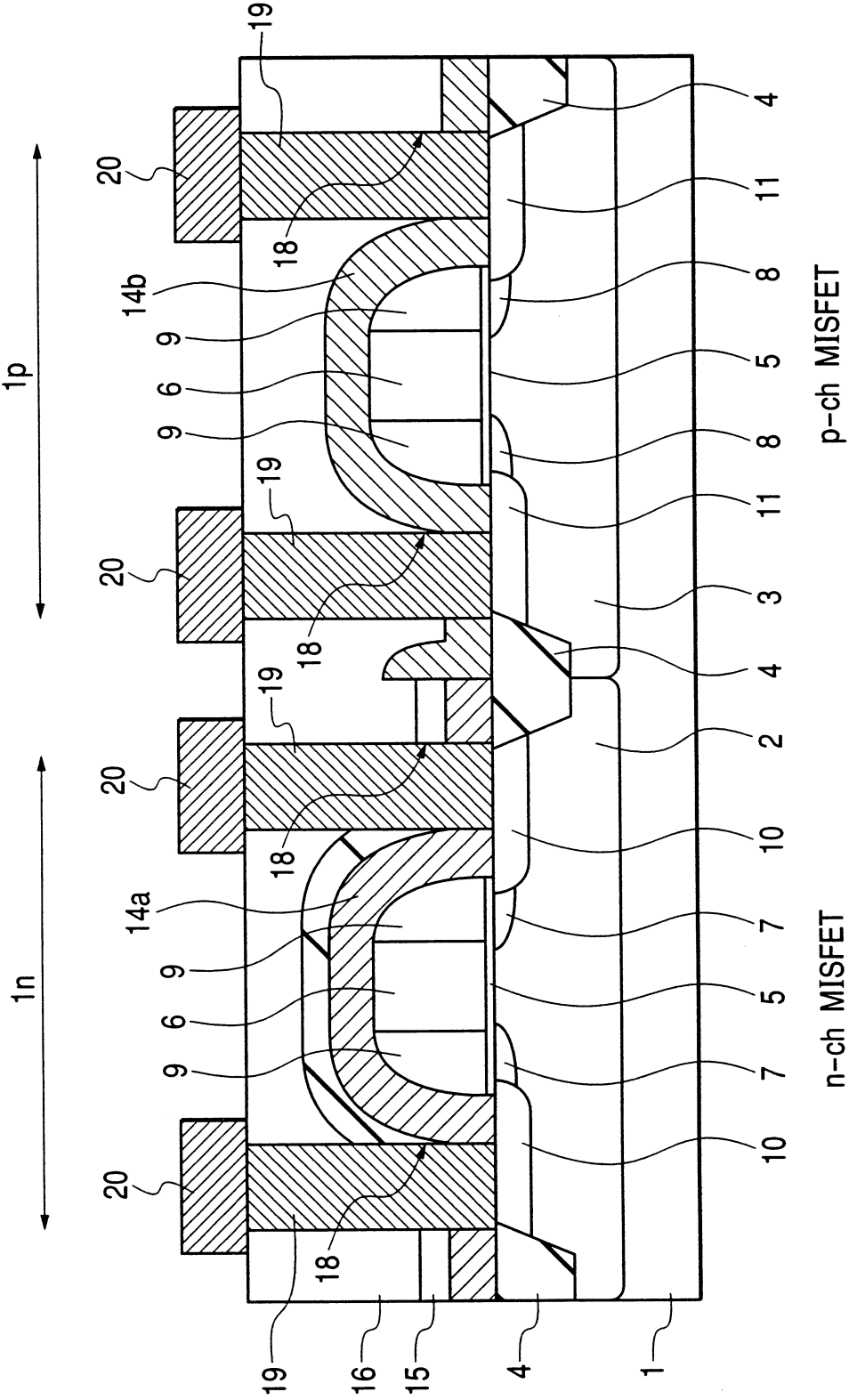
第 29 圖



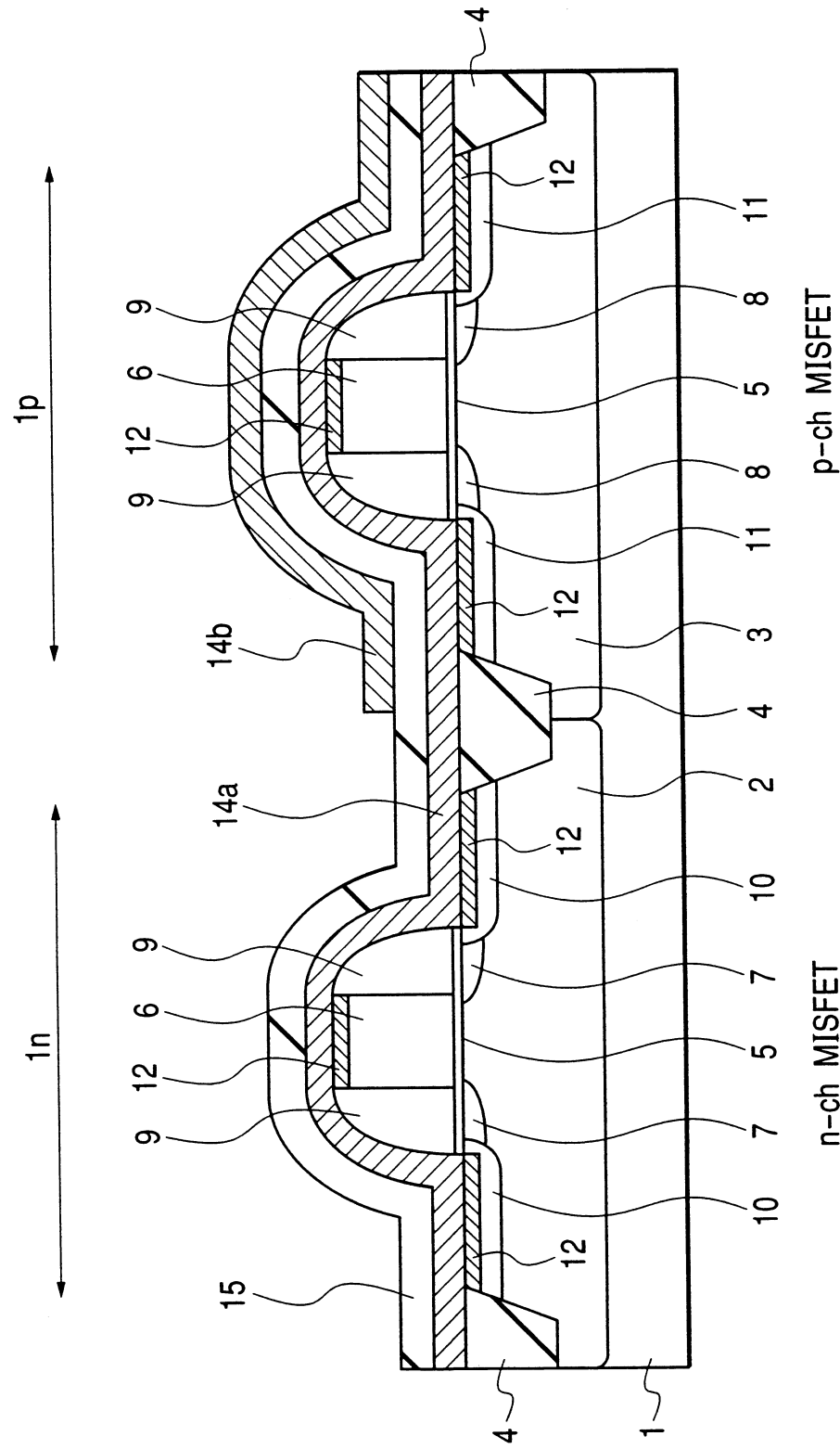
第 30A 圖



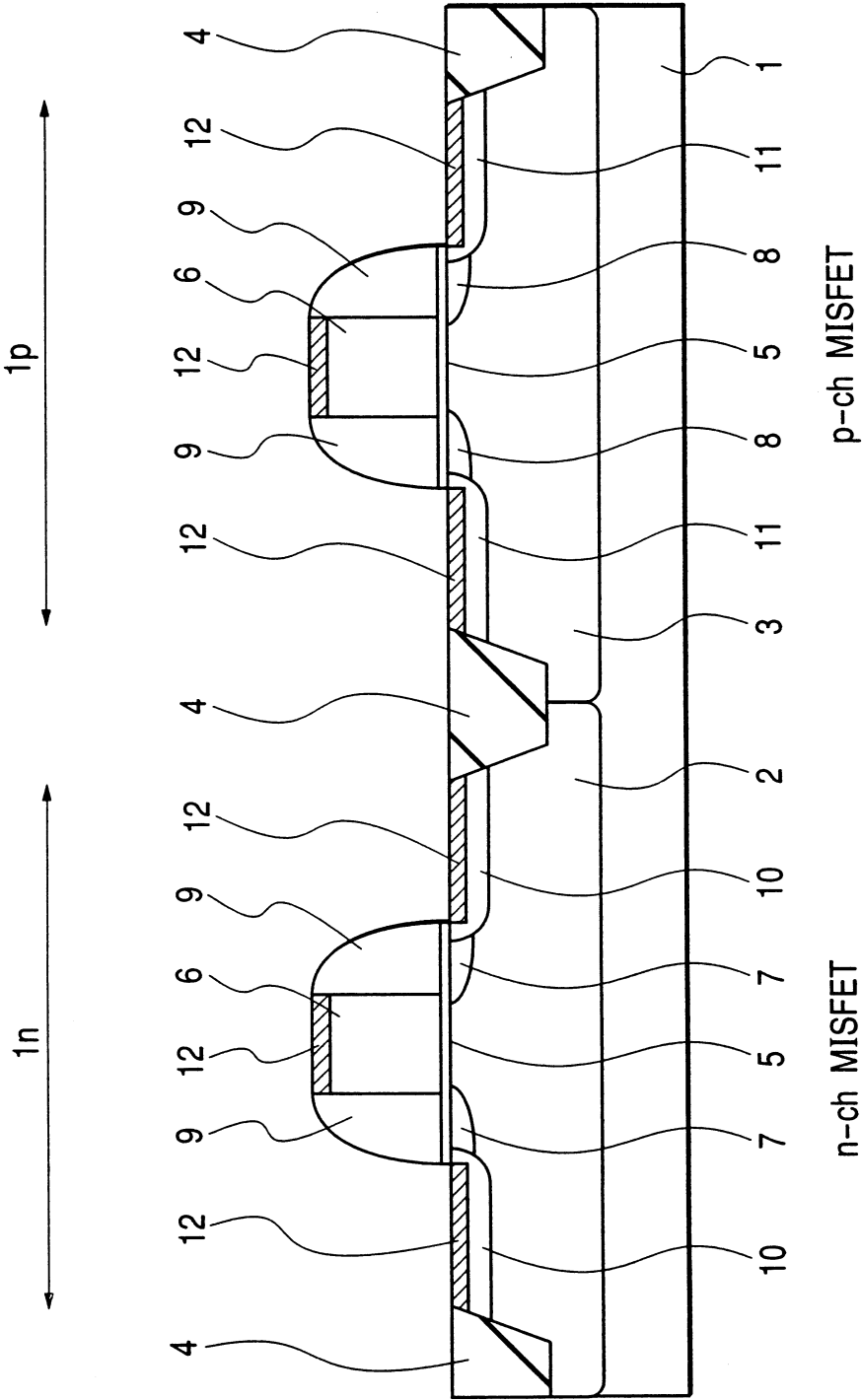
第 30B 圖



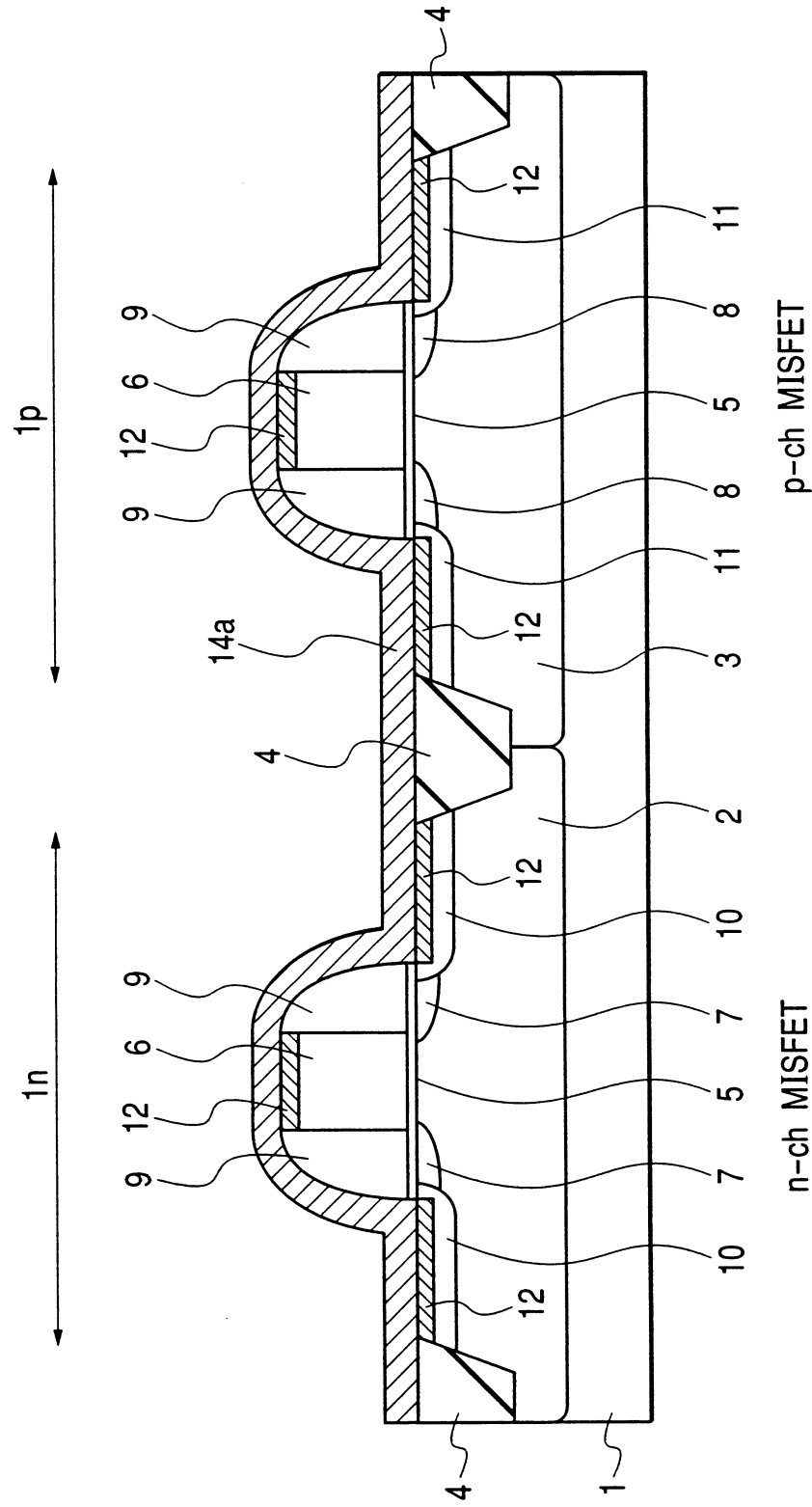
第 31 圖



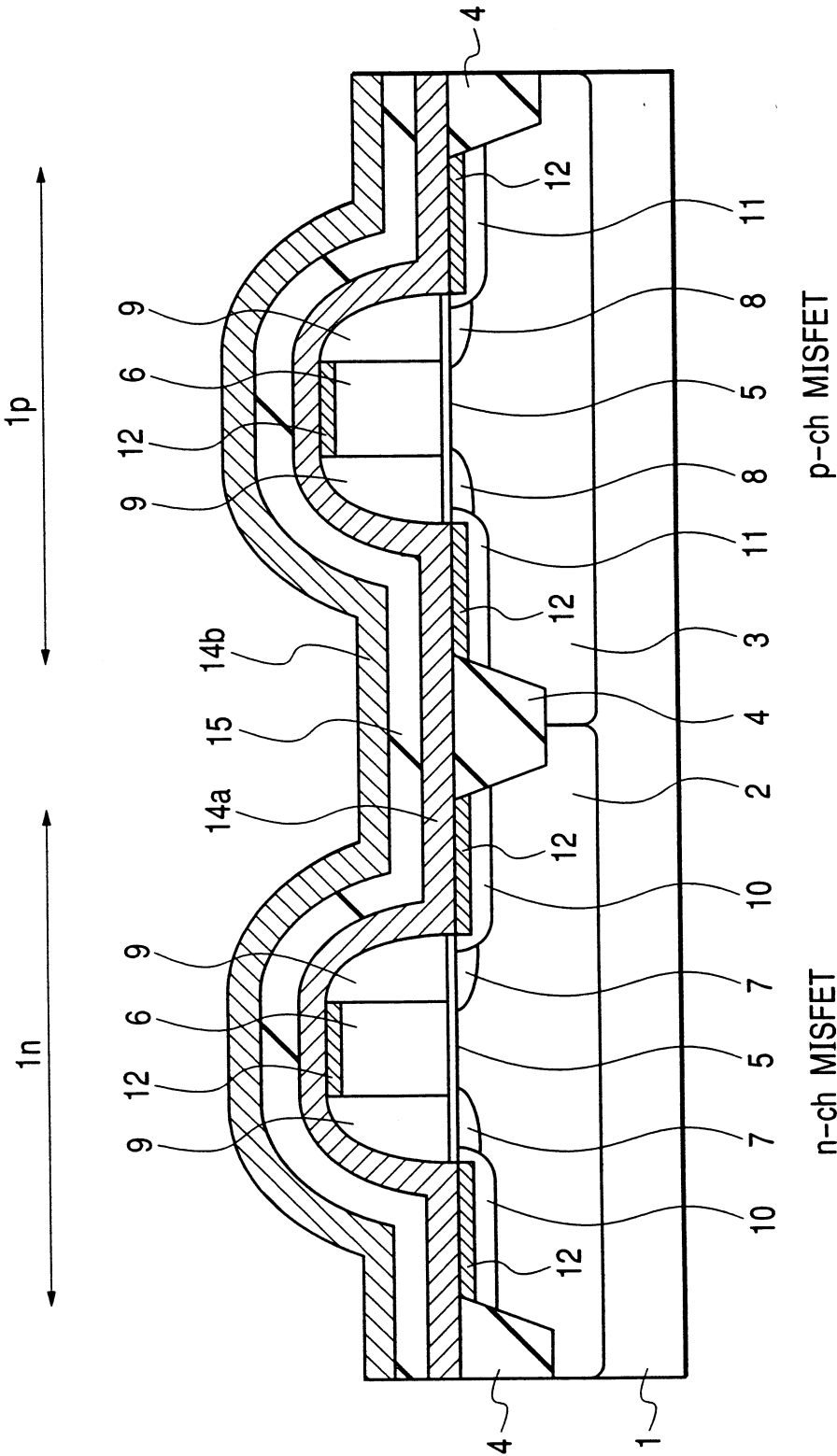
第 32 圖



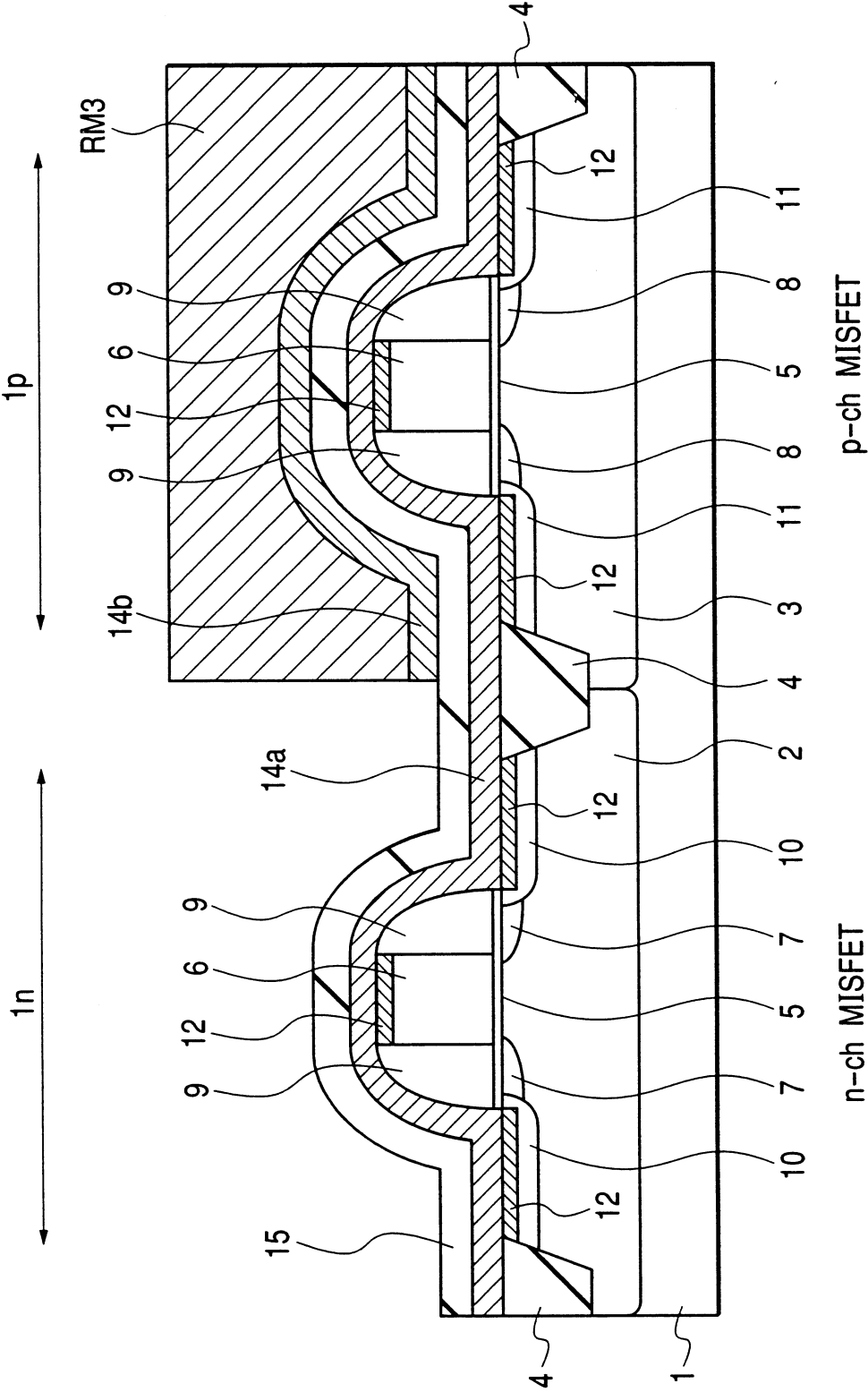
第 33 圖



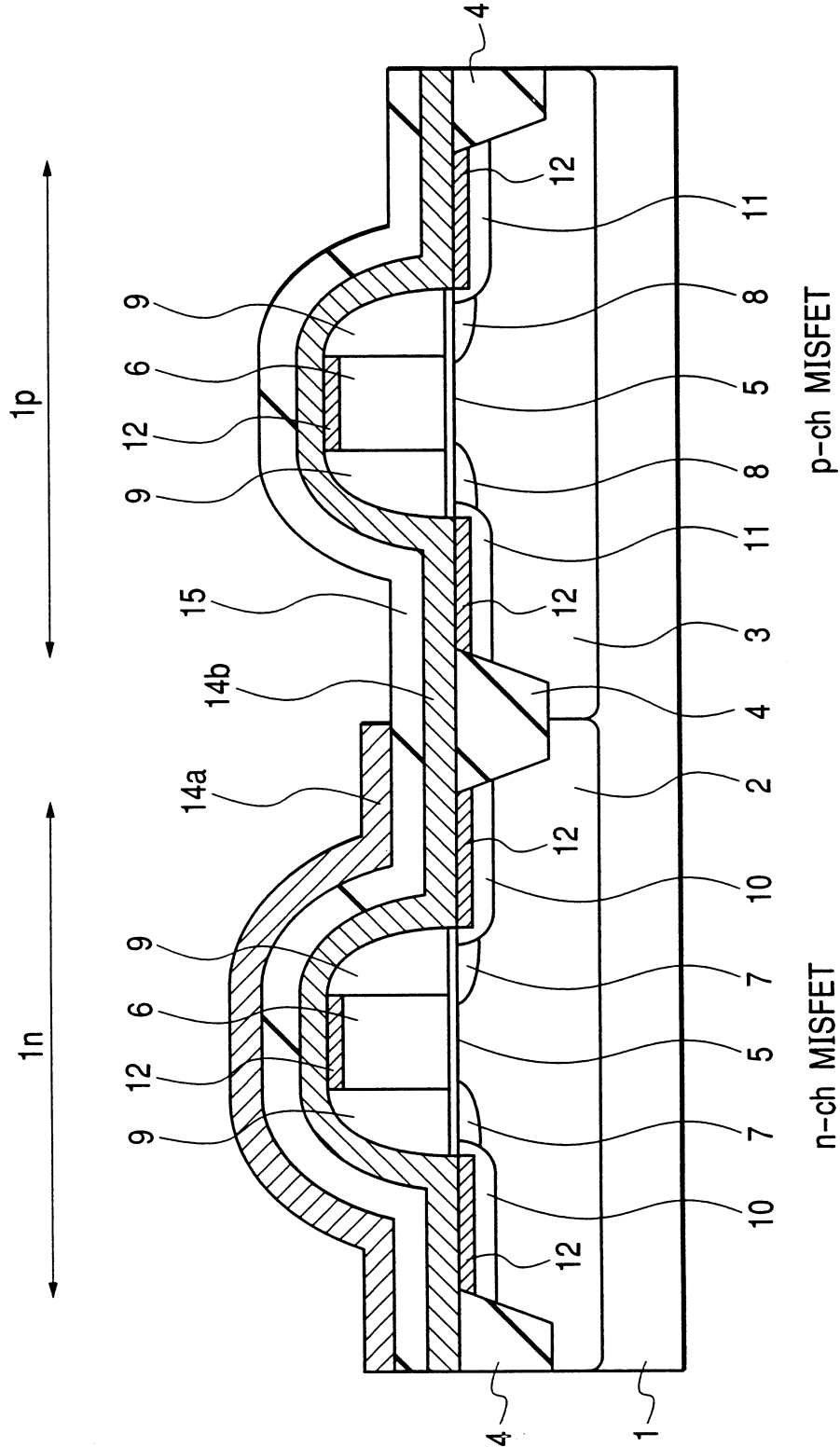
第 34 圖



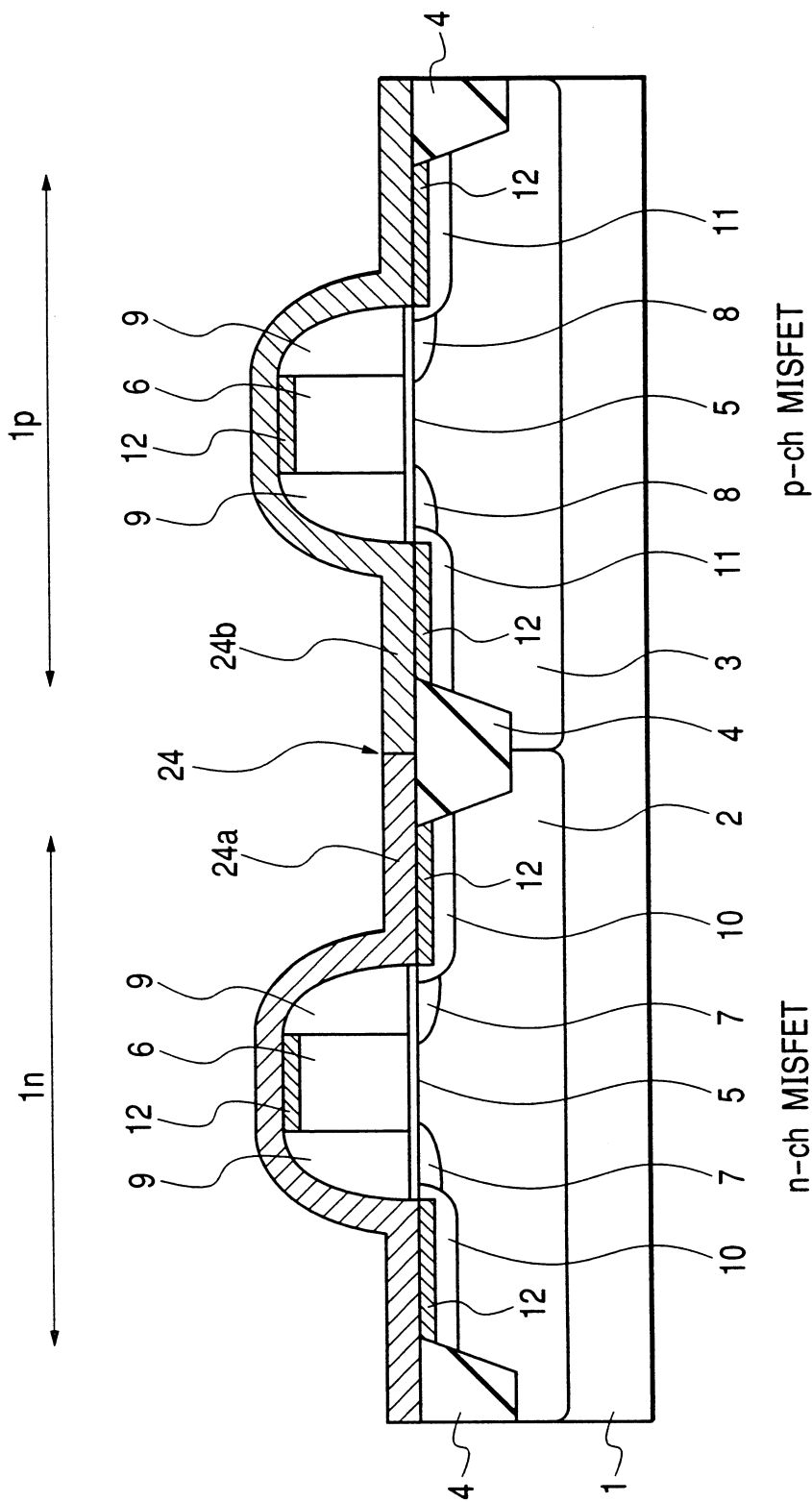
第 35 圖



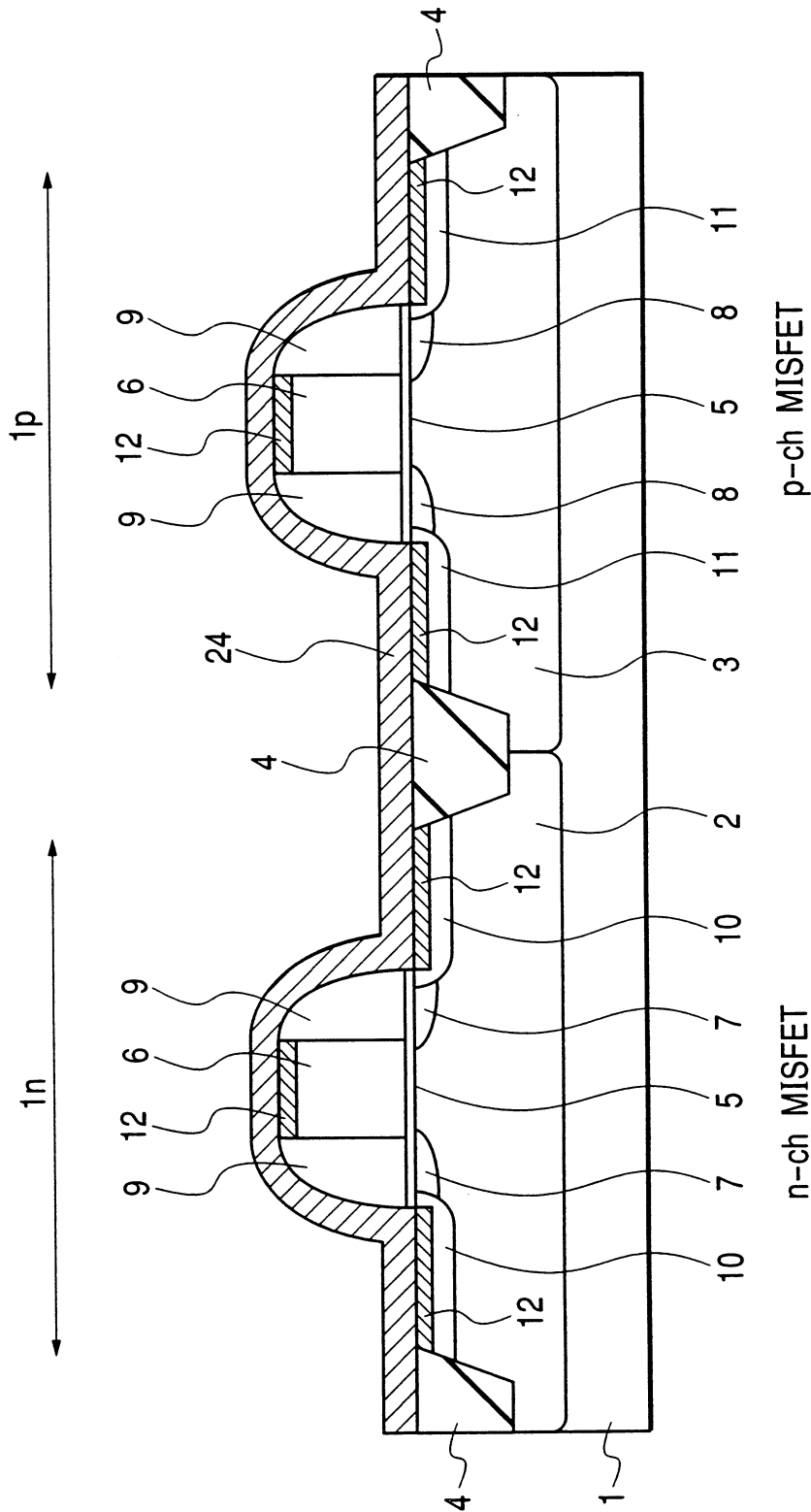
第 36 圖



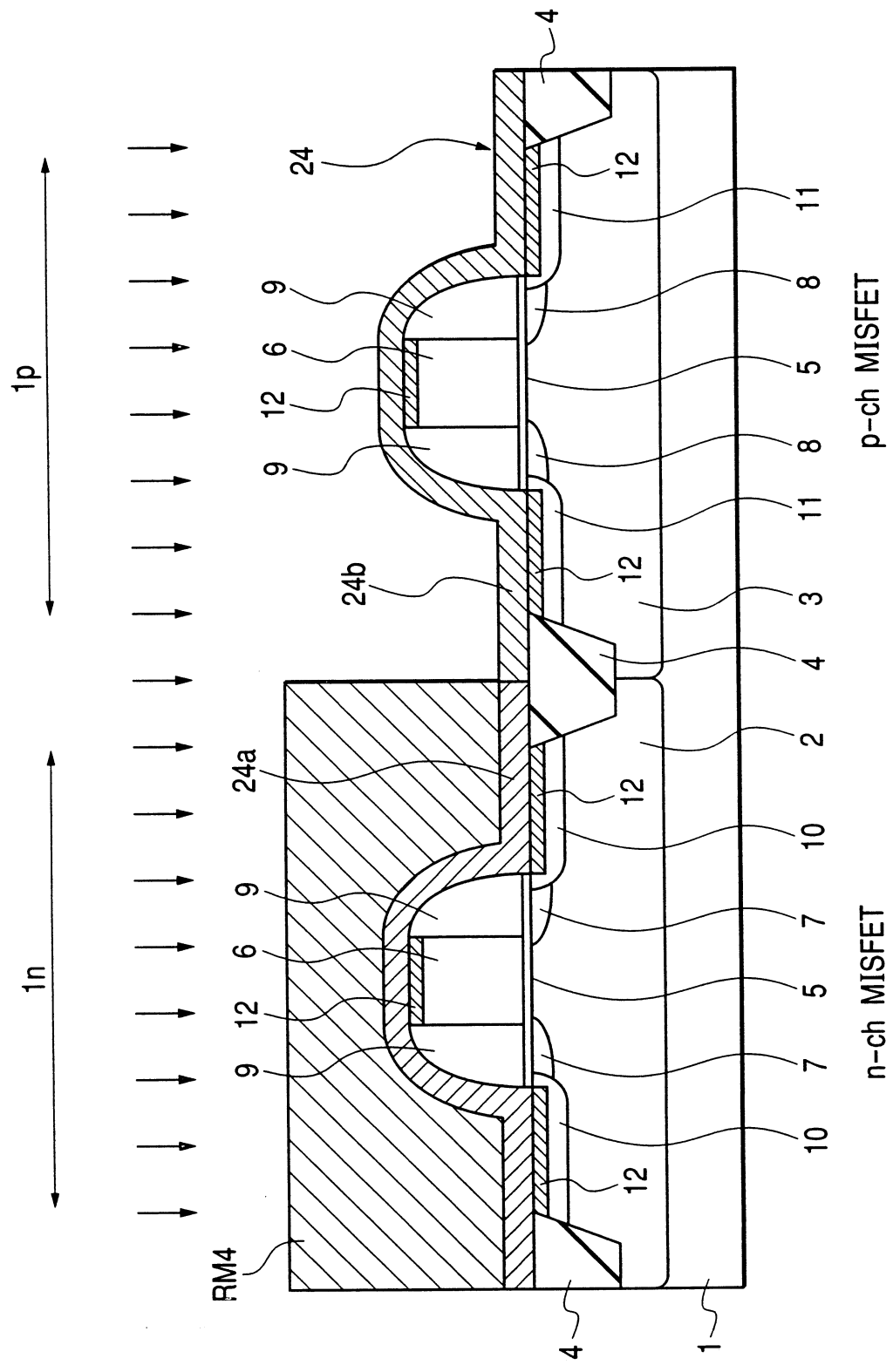
第 37 圖



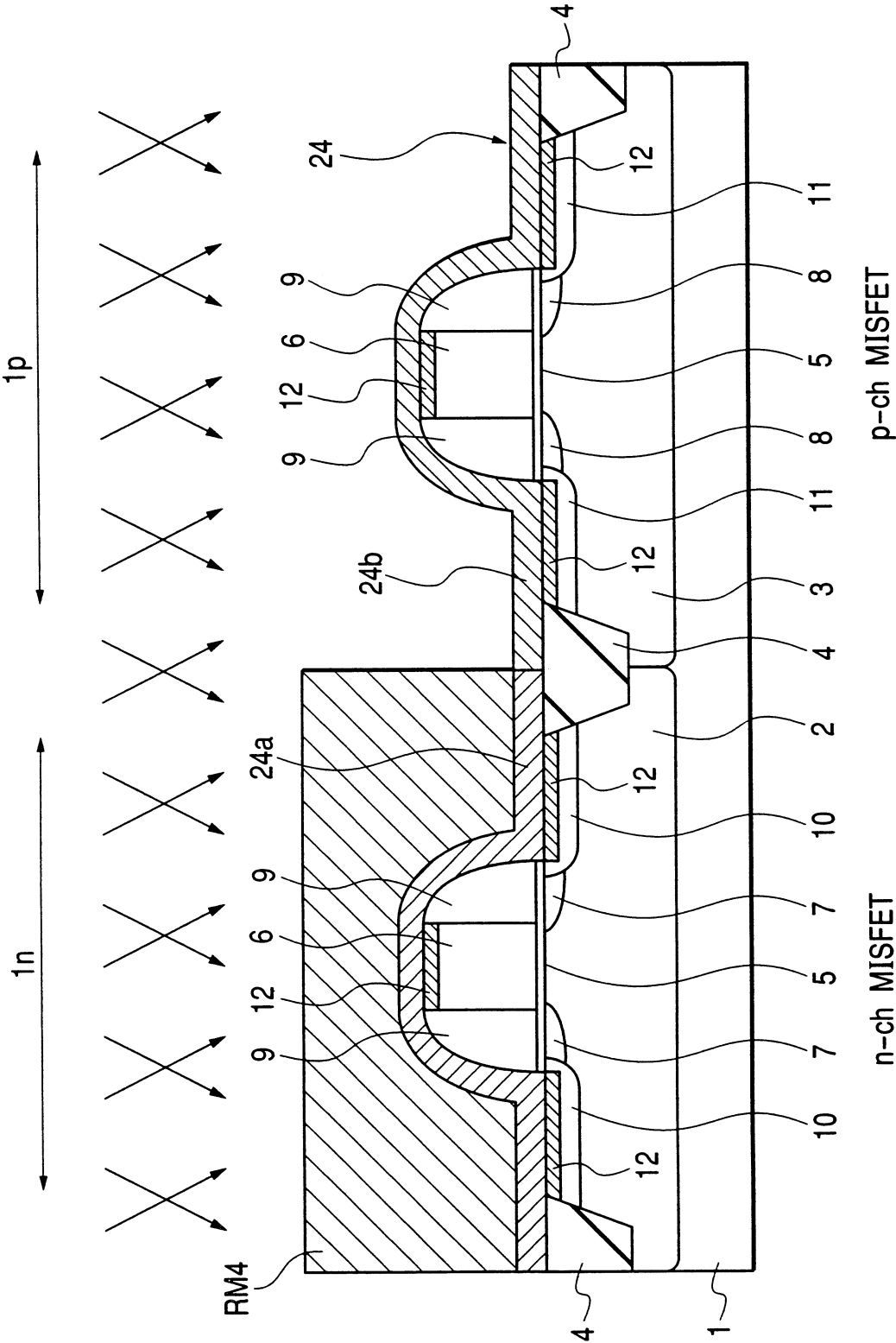
第 38 圖



第 39 圖



第 40 圖



第 41 圖

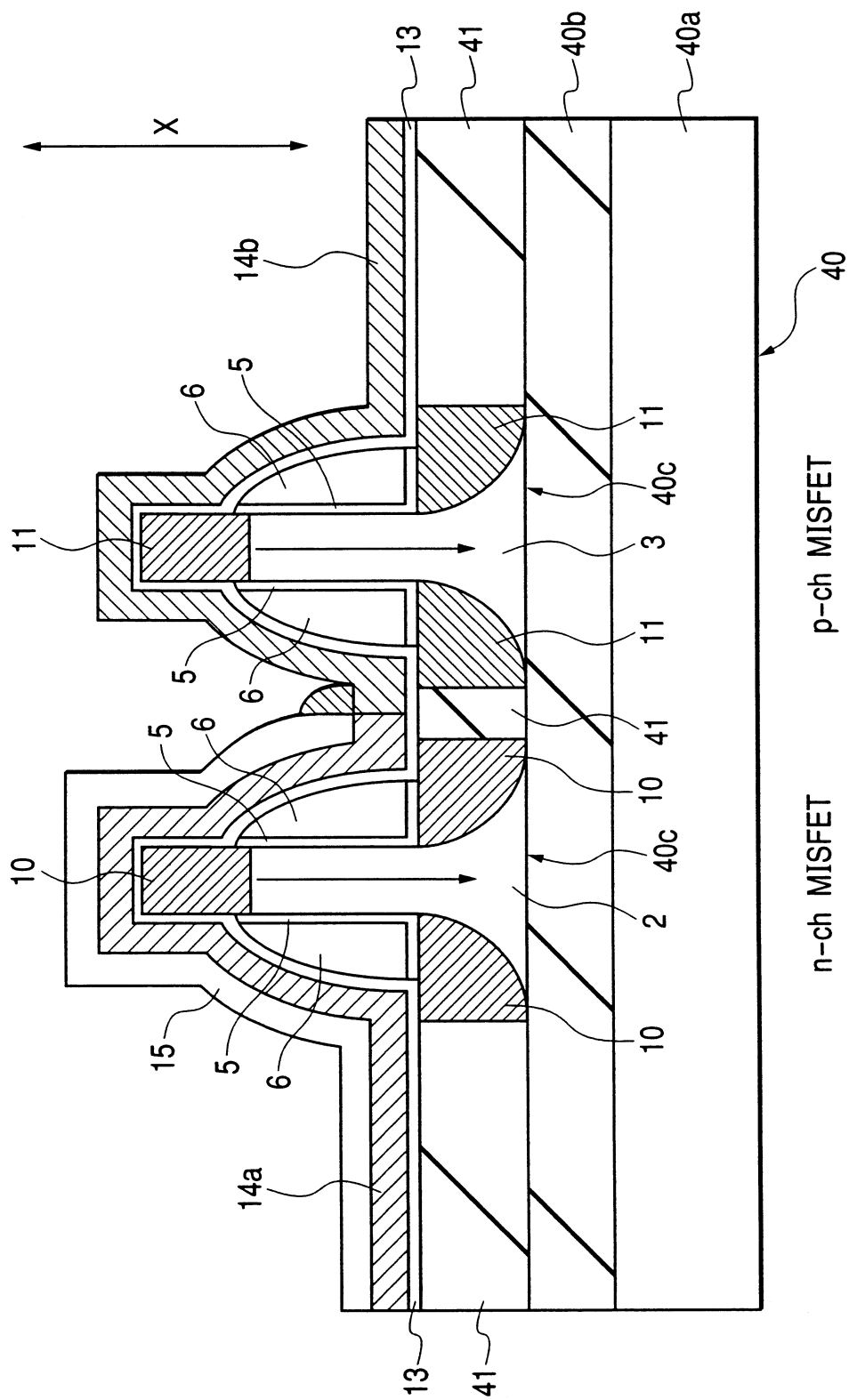
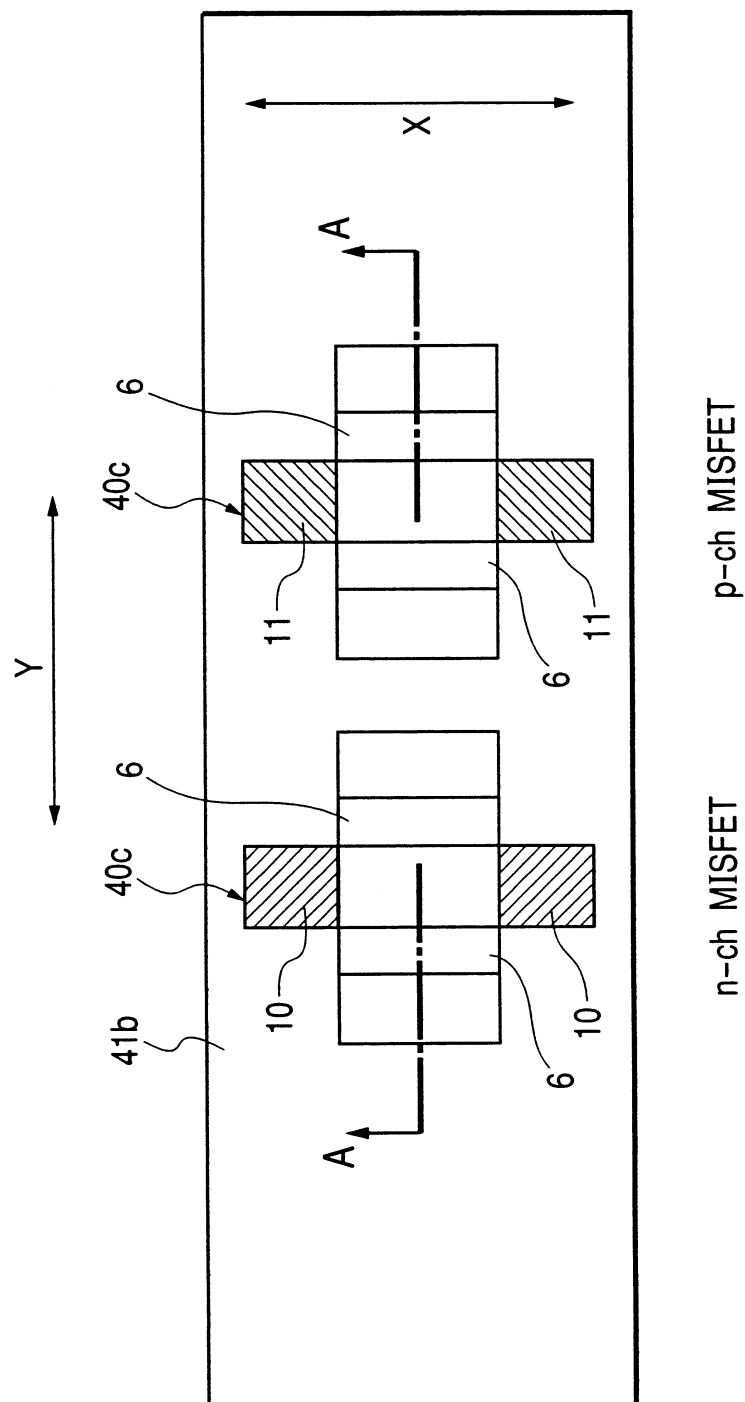
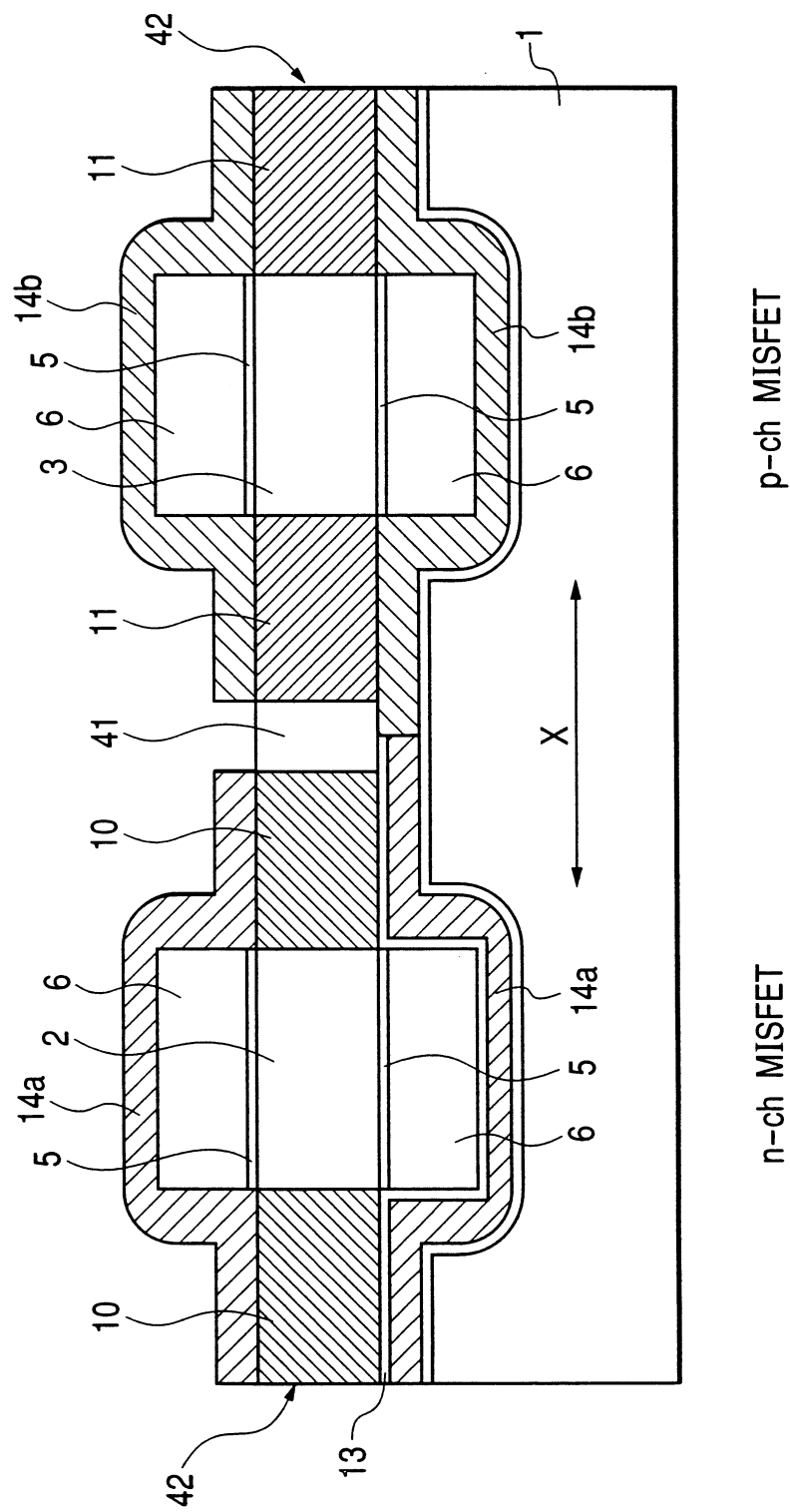


圖 42 第



第 44 圖



- (一)、本案指定代表圖為：第 1 圖
- (二)、本代表圖之元件代表符號簡單說明：
- 1: p 型半導體基板
 - 2: p 型井區域
 - 3: n 型井區域
 - 4: 淺渠溝隔離區域
 - 5: 閘絕緣膜
 - 6: 閘電極
 - 7、10: n 型半導體區域
 - 8、11: p 型半導體區域
 - 9: 側壁間隙壁
 - 12: 金屬矽化物層
 - 13、15: 絕緣膜
 - 14a、14b: 氮化矽膜
 - 16: 層間絕緣膜
 - 18: 源極/汲極用接觸孔
 - 19: 導電性插塞
 - 20: 配線

五、發明說明 (5)

導電型場效電晶體藉由沿著汲極電流的流動方向(閘極長方向)的壓縮應力在通道形成區域作用使汲極電流增加。即藉由膜的應力控制使汲極電流方向的拉伸應力在 n 通道導電型場效電晶體的通道形成區域作用，汲極電流方向的壓縮應力在 p 通道導電型場效電晶體的通道形成區域作用。例如設成如以下所示。

(1)、一種半導體裝置的製造方法，具有形成於半導體基板的 n 通道導電型場效電晶體以及 p 通道導電型場效電晶體，包含：

在以絕緣膜覆蓋前述 p 通道導電型場效電晶體的閘電極與前述半導體基板的元件分離區域之間的半導體區域的狀態下，用以在前述 n 通道導電型場效電晶體以及前述 p 通道導電型場效電晶體上覆蓋這些電晶體的閘電極，在前述 n 通道導電型場效電晶體的通道形成區域形成使拉伸應力產生的第一絕緣膜的(a)製程；

實施蝕刻處理，選擇性地除去前述 p 通道導電型場效電晶體上的前述第一絕緣膜的(b)製程；

用以在前述 n 通道導電型場效電晶體以及前述 p 通道導電型場效電晶體上覆蓋這些電晶體的閘電極，在前述 p 通道導電型場效電晶體的通道形成區域形成使壓縮應力產生的第二絕緣膜的(c)製程；以及

選擇性地除去前述 n 通道導電型場效電晶體上的前述第二絕緣膜的(d)製程。

(2)、一種半導體裝置的製造方法，具有形成於半導體

(請先閱讀背面之注意事項再填寫本頁)

訂

六、申請專利範圍 1

第 91138088 號專利申請案

中文申請專利範圍修正本

民國 95 年 10 月 11 日修正

1、一種半導體裝置的製造方法，具有形成於半導體基板的 n 通道導電型場效電晶體以及 p 通道導電型場效電晶體，其特徵包含：

在以絕緣膜覆蓋該 p 通道導電型場效電晶體的閘電極與該半導體基板的元件分離區域之間的半導體區域的狀態下，用以在該 n 通道導電型場效電晶體以及該 p 通道導電型場效電晶體上覆蓋這些電晶體的閘電極，在該 n 通道導電型場效電晶體的通道形成區域形成使拉伸應力產生的第一絕緣膜的(a)製程；

實施蝕刻處理，選擇性地除去該 p 通道導電型場效電晶體上的該第一絕緣膜的(b)製程；

用以在該 n 通道導電型場效電晶體以及該 p 通道導電型場效電晶體上覆蓋這些電晶體的閘電極，在該 p 通道導電型場效電晶體的通道形成區域形成使壓縮應力產生的第二絕緣膜的(c)製程；以及

選擇性地除去該 n 通道導電型場效電晶體上的該第二絕緣膜的(d)製程。

2、一種半導體裝置的製造方法，具有形成於半導體基板的 n 通道導電型場效電晶體以及 p 通道導電型場效電晶體，其特徵包含：

在以絕緣膜覆蓋該 n 通道導電型場效電晶體的閘電極

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

六、申請專利範圍 2

與該半導體基板的元件分離區域之間的半導體區域的狀態下，用以在該 n 通道導電型場效電晶體以及該 p 通道導電型場效電晶體上覆蓋這些電晶體的閘電極，在該 p 通道導電型場效電晶體的通道形成區域形成使壓縮應力產生的第一絕緣膜的(a)製程；

實施蝕刻處理，選擇性地除去該 n 通道導電型場效電晶體上的該第一絕緣膜的(b)製程；

用以在該 n 通道導電型場效電晶體以及該 p 通道導電型場效電晶體上覆蓋這些電晶體的閘電極，在該 n 通道導電型場效電晶體的通道形成區域形成使拉伸應力產生的第二絕緣膜的(c)製程；以及

選擇性地除去該 p 通道導電型場效電晶體上的該第二絕緣膜的(d)製程。

3、如申請專利範圍第 1 項或第 2 項所述之半導體裝置的製造方法，其中覆蓋該半導體區域的絕緣膜包含形成於該閘電極側壁的側壁間隙壁，與用以覆蓋該側壁間隙壁而形成的沉積膜。

4、如申請專利範圍第 1 項或第 2 項所述之半導體裝置的製造方法，其中覆蓋該半導體區域的絕緣膜包含形成於該閘電極側壁的側壁間隙壁，與用以覆蓋該側壁間隙壁而形成的沉積膜，

在該半導體區域的表面配設有對準該側壁間隙壁而形成的金屬/半導體反應層。

5、如申請專利範圍第 1 項或第 2 項所述之半導體裝置

六、申請專利範圍 3

的製造方法，其中覆蓋該半導體區域的絕緣膜包含形成於該閘電極側壁的側壁間隙壁，與形成於該側壁間隙壁與該元件分離區域之間的熱氧化膜。

6、如申請專利範圍第 1 項或第 2 項所述之半導體裝置的製造方法，其中覆蓋該半導體區域的絕緣膜包含形成於該閘電極側壁的側壁間隙壁，與形成於該側壁間隙壁與該元件分離區域之間的熱氧化膜，

在該半導體區域的表面配設有對準該側壁間隙壁而形成的金屬/半導體反應層。

7、如申請專利範圍第 1 項或第 2 項所述之半導體裝置的製造方法，其中該(b)製程是以等向性蝕刻進行。

8、如申請專利範圍第 1 項或第 2 項所述之半導體裝置的製造方法，其中該(d)製程是以等向性蝕刻進行。

9、如申請專利範圍第 1 項或第 2 項所述之半導體裝置的製造方法，其中該第一以及第二絕緣膜為由氮化矽膜構成的自對準接觸用絕緣膜。

10、如申請專利範圍第 1 項所述之半導體裝置的製造方法，其中在(a)製程之後該(b)製程之前具有在該第一絕緣膜上形成絕緣膜的製程，

該(b)製程包含選擇性地除去該 p 通道導電型場效電晶體上的該絕緣膜的製程。

11、如申請專利範圍第 1 項所述之半導體裝置的製造方法，其中覆蓋該半導體區域的絕緣膜包含形成於該閘電極側壁的側壁間隙壁，與用以覆蓋該側壁間隙壁而形成的

六、申請專利範圍 4

沉積膜，

在該(b)製程之後該(c)製程之前，具有除去該 p 通道導電型場效電晶體側中的該沉積膜的製程。

12、如申請專利範圍第 1 項所述之半導體裝置的製造方法，其中覆蓋該半導體區域的絕緣膜包含形成於該閘電極側壁的側壁間隙壁，與用以覆蓋該側壁間隙壁而形成的沉積膜，

在該形成沉積膜製程之後該(a)製程之前，具有除去該 n 通道導電型場效電晶體側中的該沉積膜的製程。

13、如申請專利範圍第 2 項所述之半導體裝置的製造方法，其中在(a)製程之後該(b)製程之前，具有在該第一絕緣膜上形成絕緣膜的製程，

該(b)製程具有選擇性地除去該 n 通道導電型場效電晶體上的該絕緣膜的製程。

14、如申請專利範圍第 2 項所述之半導體裝置的製造方法，其中覆蓋該半導體區域的絕緣膜包含形成於該閘電極側壁的側壁間隙壁，與用以覆蓋該側壁間隙壁而形成的沉積膜，

在該(b)製程之後該(c)製程之前，具有除去該 n 通道導電型場效電晶體側中的該沉積膜的製程。

15、如申請專利範圍第 2 項所述之半導體裝置的製造方法，其中覆蓋該半導體區域的絕緣膜包含形成於該閘電極側壁的側壁間隙壁，與用以覆蓋該側壁間隙壁而形成的沉積膜，

六、申請專利範圍 5

在該形成沉積膜製程之後該(a)製程之前，具有除去該 p 通道導電型場效電晶體側中的該沉積膜的製程。

16、一種半導體裝置的製造方法，具有形成於半導體基板的 n 通道導電型場效電晶體以及 p 通道導電型場效電晶體，其特徵包含：

在該 n 通道導電型以及 p 通道導電型場效電晶體的閘電極與該半導體基板的元件分離區域之間的半導體區域上對準該閘電極，形成第一側壁間隙壁的(a)製程；

在該半導體區域的表面對準該第一側壁間隙壁，形成金屬/半導體反應層的(b)製程；

在該金屬/半導體反應層上對準該第一側壁間隙壁，形成第二側壁間隙壁的(c)製程；

用以在該 n 通道導電型以及 p 通道導電型場效電晶體上覆蓋這些電晶體的閘電極，在該 n 通道導電型場效電晶體的通道形成區域形成使拉伸應力產生的第一絕緣膜的(d)製程；

實施蝕刻處理，選擇性地除去該 p 通道導電型場效電晶體上的該第一絕緣膜的(e)製程；

用以在該 n 通道導電型場效電晶體以及該 p 通道導電型場效電晶體上覆蓋這些電晶體的閘電極，在該 p 通道導電型場效電晶體的通道形成區域形成使壓縮應力產生的第二絕緣膜的(f)製程；以及

選擇性地除去該 n 通道導電型場效電晶體上的該第二絕緣膜的(g)製程。

六、申請專利範圍 6

17、一種半導體裝置的製造方法，具有形成於半導體基板的 n 通道導電型場效電晶體以及 p 通道導電型場效電晶體，其特徵包含：

在該 n 通道導電型以及 p 通道導電型場效電晶體的閘電極與該半導體基板的元件分離區域之間的半導體區域上對準該閘電極，形成第一側壁間隙壁的(a)製程；

在該半導體區域的表面對準該第一側壁間隙壁，形成金屬/半導體反應層的(b)製程；

在該金屬/半導體反應層上對準該第一側壁間隙壁，形成第二側壁間隙壁的(c)製程；

用以在該 n 通道導電型以及 p 通道導電型場效電晶體上覆蓋這些電晶體的閘電極，在該 p 通道導電型場效電晶體的通道形成區域形成使壓縮應力產生的第一絕緣膜的(d)製程；

實施蝕刻處理，選擇性地除去該 n 通道導電型場效電晶體上的該第一絕緣膜的(e)製程；

用以在該 n 通道導電型場效電晶體以及該 p 通道導電型場效電晶體上覆蓋這些電晶體的閘電極，在該 n 通道導電型場效電晶體的通道形成區域形成使拉伸應力產生的第二絕緣膜的(f)製程；以及

選擇性地除去該 p 通道導電型場效電晶體上的該第二絕緣膜的(g)製程。

18、如申請專利範圍第 16 項或第 17 項所述之半導體裝置的製造方法，其中該(e)製程是以等向性蝕刻進行。

六、申請專利範圍 7

19、如申請專利範圍第 16 項或第 17 項所述之半導體裝置的製造方法，其中該第一以及第二絕緣膜為由氮化矽膜構成的自對準接觸用絕緣膜。

20、一種半導體裝置的製造方法，具有形成於半導體基板的 n 通道導電型場效電晶體以及 p 通道導電型場效電晶體，其特徵包含：

在該 n 通道導電型場效電晶體以及該 p 通道導電型場效電晶體上用以覆蓋這些電晶體的閘電極形成具有拉伸應力的第一絕緣膜的(a)製程；

在該 n 通道導電型場效電晶體以及該 p 通道導電型場效電晶體上用以覆蓋這些電晶體的閘電極形成具有絕對值比該第一絕緣膜的拉伸應力還大的壓縮應力的第二絕緣膜的(b)製程；以及

實施蝕刻處理，選擇性地除去該 n 通道導電型場效電晶體上的該第二絕緣膜的(c)製程。

21、如申請專利範圍第 20 項所述之半導體裝置的製造方法，其中該第二絕緣膜的壓縮應力為該第一絕緣膜的拉伸應力的兩倍以上。

22、如申請專利範圍第 20 項所述之半導體裝置的製造方法，其中該(c)製程是以等向性蝕刻進行。

23、如申請專利範圍第 20 項所述之半導體裝置的製造方法，其中該(a)製程是在該(b)製程之前實施。

24、如申請專利範圍第 20 項所述之半導體裝置的製造方法，其中該第一以及第二絕緣膜為由氮化矽膜構成的自

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

六、申請專利範圍 8

對準接觸用絕緣膜。

25、一種半導體裝置的製造方法，具有形成於半導體基板的 n 通道導電型場效電晶體以及 p 通道導電型場效電晶體，其特徵包含：

在該 n 通道導電型場效電晶體以及該 p 通道導電型場效電晶體上用以覆蓋這些電晶體的閘電極形成具有壓縮應力的第一絕緣膜的(a)製程；

在該 n 通道導電型場效電晶體以及該 p 通道導電型場效電晶體上用以覆蓋這些電晶體的閘電極形成具有絕對值比該第一絕緣膜的壓縮應力還大的拉伸應力的第二絕緣膜的(b)製程；以及

實施蝕刻處理，選擇性地除去該 p 通道導電型場效電晶體上的該第二絕緣膜的(c)製程。

26、如申請專利範圍第 25 項所述之半導體裝置的製造方法，其中該第二絕緣膜的拉伸應力為該第一絕緣膜的壓縮應力的兩倍以上。

27、如申請專利範圍第 25 項所述之半導體裝置的製造方法，其中該(c)製程是以等向性蝕刻進行。

28、如申請專利範圍第 25 項所述之半導體裝置的製造方法，其中該(a)製程是在該(b)製程之前實施。

29、如申請專利範圍第 25 項所述之半導體裝置的製造方法，其中該第一以及第二絕緣膜為由氮化矽膜構成的自對準接觸用絕緣膜。

30、一種半導體裝置，具有形成於半導體基板的 n 通

六、申請專利範圍 9

道導電型場效電晶體以及 p 通道導電型場效電晶體，其特徵為：

具有拉伸應力的第一絕緣膜是在該 n 通道導電型以及 p 通道導電型場效電晶體上用以覆蓋這些電晶體的閘電極而形成，

具有絕對值比該第一絕緣膜的拉伸應力還大的壓縮應力的第二絕緣膜是在該 p 通道導電型場效電晶體上用以覆蓋此閘電極而選擇性地形成。

31、如申請專利範圍第 30 項所述之半導體裝置，其中該第二絕緣膜的壓縮應力為該第一絕緣膜的拉伸應力的兩倍以上。

32、一種半導體裝置，具有形成於半導體基板的 n 通道導電型場效電晶體以及 p 通道導電型場效電晶體，其特徵為：

具有壓縮應力的第一絕緣膜是在該 n 通道導電型以及 p 通道導電型場效電晶體上用以覆蓋這些電晶體的閘電極而形成，

具有絕對值比該第一絕緣膜的壓縮應力還大的拉伸應力的第二絕緣膜是在該 n 通道導電型場效電晶體上用以覆蓋此閘電極而選擇性地形成。

33、如申請專利範圍第 32 項所述之半導體裝置，其中該第二絕緣膜的拉伸應力為該第一絕緣膜的壓縮應力的兩倍以上。

34、如申請專利範圍第 30 項或第 32 項所述之半導體

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

六、申請專利範圍 10

裝置，其中該第一以及第二絕緣膜為氮化矽膜。

35、一種半導體裝置的製造方法，具有形成於半導體基板的 n 通道導電型場效電晶體以及 p 通道導電型場效電晶體，其特徵包含：

在該 n 通道導電型場效電晶體以及 p 通道導電型場效電晶體上用以覆蓋這些電晶體的閘電極形成具有拉伸應力的絕緣膜的製程；以及

對該 p 通道導電型場效電晶體上的該絕緣膜導入元素，將該絕緣膜變換成在該 p 通道導電型場效電晶體的通道形成區域使壓縮應力產生的膜的製程。

36、如申請專利範圍第 35 項所述之半導體裝置的製造方法，其中元素為與包含於該絕緣膜的元素同一的元素。

37、如申請專利範圍第 35 項所述之半導體裝置的製造方法，其中該變換製程為在該元素導入之後具有實施熱處理的製程，使用該膜的體積膨脹。

38、如申請專利範圍第 35 項所述之半導體裝置的製造方法，其中該絕緣膜為由氮化矽膜構成的自對準接觸用絕緣膜。

39、一種半導體裝置，具有形成於半導體基板的 n 通道導電型場效電晶體以及 p 通道導電型場效電晶體，其特徵為：

在該 n 通道導電型以及 p 通道導電型場效電晶體上用以覆蓋這些電晶體的閘電極而形成有膜，

該膜具有在該 n 通道導電型場效電晶體的通道形成區

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

六、申請專利範圍 11

域使拉伸應力產生的膜應力的第一部分，與在該 p 通道導電型場效電晶體的通道形成區域使壓縮應力產生的膜應力的第二部分，

該膜的第二部分為膜中的元素濃度比該第一部分高。

40、如申請專利範圍第 39 項所述之半導體裝置，其中該膜為由氮化矽膜構成的自對準接觸用絕緣膜。

41、一種半導體裝置，其特徵包含：

形成於半導體基板，在配設於該閘電極側壁的側壁間隙壁與該半導體基板的元件分離區域之間的半導體區域上具有金屬矽化物層的第一場效電晶體；

形成於該半導體基板，在配設於該閘電極側壁的側壁間隙壁與該半導體基板的元件分離區域之間的半導體區域上不具有金屬矽化物層的第二場效電晶體；

在該第一場效電晶體的通道形成區域使應力產生，在該第一場效電晶體上用以覆蓋該閘電極而形成的第一絕緣膜；以及

在該第二場效電晶體的通道形成區域使應力產生，在該第二場效電晶體上用以覆蓋該閘電極而形成的第二絕緣膜，其中

在該第二場效電晶體的半導體區域與該第二絕緣膜之間配設有第三絕緣膜，

在該第一場效電晶體的金屬矽化物層與該第一絕緣膜之間不配設有該第三絕緣膜。

42、一種半導體裝置的製造方法，具有形成於半導體

六、申請專利範圍 12

基板的 n 通道導電型場效電晶體以及 p 通道導電型場效電晶體，其特徵包含：

在以絕緣膜覆蓋該 p 通道導電型場效電晶體的閘電極與該半導體基板的元件分離區域之間的半導體區域的狀態下，用以在該 n 通道導電型場效電晶體以及該 p 通道導電型場效電晶體上覆蓋這些電晶體的閘電極，在該 n 通道導電型場效電晶體的通道形成區域形成使拉伸應力產生的第一絕緣膜的 (a) 製程；以及

實施蝕刻處理，選擇性地除去該 p 通道導電型場效電晶體上的該第一絕緣膜的 (b) 製程。

43、如申請專利範圍第 42 項所述之半導體裝置的製造方法，其中該絕緣膜為氧化矽膜，

該第一絕緣膜為由氮化矽膜構成的自對準接觸用絕緣膜。

44、一種半導體裝置的製造方法，具有形成於半導體基板的 n 通道導電型場效電晶體以及 p 通道導電型場效電晶體，其特徵包含：

在以絕緣膜覆蓋該 n 通道導電型場效電晶體的閘電極與該半導體基板的元件分離區域之間的半導體區域的狀態下，用以在該 n 通道導電型場效電晶體以及該 p 通道導電型場效電晶體上覆蓋這些電晶體的閘電極，在該 p 通道導電型場效電晶體的通道形成區域形成使壓縮應力產生的第一絕緣膜的 (a) 製程；以及

實施蝕刻處理，選擇性地除去該 n 通道導電型場效電

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

六、申請專利範圍 13

晶體上的該第一絕緣膜的(b)製程。

45、如申請專利範圍第 44 項所述之半導體裝置的製造方法，其中該絕緣膜為氧化矽膜，

該第一絕緣膜為由氮化矽膜構成的自對準接觸用絕緣膜。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂