

(19) 日本国特許庁(JP)

再公表特許(A1)

(11) 国際公開番号

W02007/037055

発行日 平成21年4月2日(2009.4.2)

(43) 国際公開日 **平成19年4月5日(2007.4.5)**

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 23/12 (2006.01)	HO 1 L 23/12 F	
	HO 1 L 23/12 5 O 1 B	

審査請求 未請求 予備審査請求 未請求 (全 19 頁)

出願番号	特願2007-537542 (P2007-537542)	(71) 出願人	000004237 日本電気株式会社 東京都港区芝五丁目7番1号
(21) 国際出願番号	PCT/JP2006/313391	(74) 代理人	100123788 弁理士 官崎 昭夫
(22) 国際出願日	平成18年7月5日(2006.7.5)	(74) 代理人	100106138 弁理士 石橋 政幸
(31) 優先権主張番号	特願2005-284193 (P2005-284193)	(74) 代理人	100127454 弁理士 緒方 雅昭
(32) 優先日	平成17年9月29日(2005.9.29)	(72) 発明者	渡邊 真司 東京都港区芝五丁目7番1号 日本電気株式会社内
(33) 優先権主張国	日本国(JP)		

最終頁に続く

(54) 【発明の名称】 半導体パッケージ、基板、この半導体パッケージ又は基板を用いた電子機器、半導体パッケージの反り矯正方法

(57) 【要約】

基板の一方の面に半導体チップが搭載された半導体パッケージにおいて、前記基板における、前記半導体チップが搭載された側の面の一部に、前記基板よりも大きな熱膨張係数を有する材料からなる変曲点形成部が形成されている。

【特許請求の範囲】

【請求項 1】

基板と、
前記基板の一方の面に搭載された半導体チップと、
前記基板における、前記半導体チップが搭載された側の面の一部に形成され、前記基板よりも大きな熱膨張係数を有する材料からなる変曲点形成部と、を有する半導体パッケージ。

【請求項 2】

基板と、
前記基板の一方の面に搭載された半導体チップと、
前記基板における、前記半導体チップが搭載された側とは反対側の面の一部に形成され、前記基板よりも小さな熱膨張係数を有する材料からなる変曲点形成部と、を有する半導体パッケージ。

10

【請求項 3】

前記変曲点形成部は、前記基板上で前記半導体チップの外周を囲んで形成されている請求項 1 または 2 に記載の半導体パッケージ。

【請求項 4】

前記変曲点形成部は、その一部に切れ目を有する請求項 3 に記載の半導体パッケージ。

【請求項 5】

他の基板とはんだを用いて接続される半導体パッケージであって、前記はんだの融点において、前記変曲点形成部の材料の弾性率が、前記基板の弾性率よりも高い、請求項 1 から 4 のいずれかに記載の半導体パッケージ。

20

【請求項 6】

前記変曲点形成部の材料が樹脂材料からなる請求項 1 から 5 のいずれかに記載の半導体パッケージ。

【請求項 7】

前記変曲点形成部の材料が無機材料からなる請求項 1 から 5 のいずれかに記載の半導体パッケージ。

【請求項 8】

半導体チップを搭載する基板であって、
前記基板における、前記半導体チップが搭載される面の一部に、前記基板よりも大きな熱膨張係数を有する材料からなる変曲点形成部が形成されている基板。

30

【請求項 9】

半導体チップを搭載する基板であって、
前記基板における、前記半導体チップが搭載される面とは反対側の面の一部に、前記基板よりも小さな熱膨張係数を有する材料からなる変曲点形成部が形成されている基板。

【請求項 10】

前記変曲点形成部は、前記基板上で前記半導体チップの外周を囲むように形成されている請求項 8 または 9 に記載の基板。

【請求項 11】

前記変曲点形成部は、その一部に切れ目を有する請求項 10 に記載の基板。

40

【請求項 12】

他の基板とはんだを用いて接続されるものであり、前記はんだの融点において、前記変曲点形成部の材料の弾性率が、前記基板の弾性率よりも高い、請求項 8 から 11 のいずれかに記載の基板。

【請求項 13】

前記変曲点形成部の材料が樹脂材料からなる請求項 8 から 12 のいずれかに記載の基板。

【請求項 14】

前記変曲点形成部の材料が無機材料からなる請求項 8 から 12 のいずれかに記載の基板

50

。

【請求項 15】

請求項 1 から 7 のいずれかに記載の半導体パッケージを含んで構成された電子機器。

【請求項 16】

請求項 8 から 14 のいずれかに記載の基板を含んで構成された電子機器。

【請求項 17】

基板の一方の面に半導体チップが搭載された半導体パッケージにおける反り矯正方法であって、

前記基板よりも大きな熱膨張係数を有する材料からなる変曲点形成部を、前記基板における、前記半導体チップが搭載された側の面の一部に形成した後に、熱工程を実施する、反り矯正方法。

10

【請求項 18】

基板の一方の面に半導体チップが搭載された半導体パッケージにおける反り矯正方法であって、

前記基板よりも小さな熱膨張係数を有する材料からなる変曲点形成部を、前記基板における、前記半導体チップが搭載された側とは反対側の面の一部に形成した後に、熱工程を実施する、反り矯正方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体パッケージ、及びこの半導体パッケージに用いられる基板に関する。特に、フリップチップ方式によって半導体チップが基板に搭載されている半導体パッケージに関する。また、基板又は半導体パッケージを用いた電子機器に関する。さらに、こうした半導体パッケージの反り矯正方法に関する。

20

【背景技術】

【0002】

携帯端末の小型化及び薄型化に伴い、半導体パッケージの小型化及び薄型化が要求されている。これらの要求を満たすため、フリップチップ接続技術を適用した半導体パッケージのニーズが高まっている。ここでいうフリップチップ接続技術とは、半導体チップの回路面に端子を設け、これらの端子を基板上のパッドにはんだボールを用いて直接接続する技術である。

30

【0003】

さらに、半導体パッケージを更に低く実装する要求も高まっている。このためには半導体チップやこれを搭載する基板の薄型化が望まれている。一方、これらを用いる携帯機器の高機能化に伴って外部端子数は増加する傾向にある。この結果、半導体パッケージサイズは大型化する傾向にある。半導体パッケージサイズの大型化を抑制するためには、外部端子の配置ピッチを更に狭くすることが必須となっている。このためには外部端子の接続に用いられるはんだボールは小径化する必要がある。

【0004】

こうした半導体パッケージ及び基板の薄型化に伴って、半導体パッケージの反りが問題になってきた。反りの発生する原因は、半導体パッケージを構成する各要素の熱膨張係数が異なっていて、その製造工程において各種の熱負荷が生じるためである。この熱負荷は、例えば、半導体チップを基板にフリップチップ方式で接続する際や、この半導体パッケージに他の基板を接続する際に上記のはんだボールのリフロー（即ち、はんだリフロー）を実施するとき発生する。ここで、例えば、実装される半導体チップの熱膨張係数は $3 \times 10^{-6} / K$ 程度、基板を構成するガラスクロスの熱膨張係数は $15 \times 10^{-6} / K$ 程度である。

40

【0005】

図 1 に、こうした従来の半導体パッケージの一例の平面図を示す。さらに図 2 A ~ 2 C に、その半導体パッケージの反った様子の断面図を示す。この構造においては、半導体チ

50

チップ1が基板2にフリップチップ方式で接続されている。半導体チップ1と同一基板面に、半導体チップ1を囲むように外部端子3が格子状に配置されている。半導体チップ1と基板2とは、 bumps によって電氣的に接続されている。さらに、半導体チップ1と基板2との間の隙間にアンダーフィル樹脂4が充填されている。外部端子3ははんだボールで形成されている。このはんだボールを用いてこの半導体パッケージと他の基板とを接続することによって、この半導体パッケージを含む新たな半導体パッケージが形成される。図2Aは、図1のA-A'断面の模式図であり、図1に示される半導体パッケージの製造工程において、半導体チップ1と基板2の接続、アンダーフィル樹脂4の充填と硬化とが完了した後の、常温時のパッケージ状態を示している。アンダーフィル樹脂4の硬化温度は180~250℃が一般的であるため、この硬化工程の際の基板2の温度は150~220℃程度となる。この温度で、 $3 \times 10^{-6} / K$ 程度の熱膨張係数である半導体チップ1に対して、 $15 \times 10^{-6} / K$ 程度と熱膨張係数の大きい基板2が、膨張した状態で接続される。このため、接続後に常温に戻った時点では、基板2の収縮によって、半導体チップ1が搭載された面が凸となる方向の反りが発生する(図2A参照)。一方、この半導体パッケージに他の基板を接続する際には、基板2に外部端子3を形成した後、はんだリフロー工程を行なう。はんだリフローは、はんだの融点(例えば225℃)よりも高い温度で行なわれ、例えば240~260度で行なわれる。このはんだリフロー時には、再び基板2が膨張する。図2B、2Cはリフロー温度域でのパッケージの状態を示しており、図2Bは図1のA-A'断面、図2Cは図1のB-B'断面の模式図である。このリフロー温度は上記のアンダーフィル樹脂4の硬化温度よりも高いため、基板2は図2Aの状態とは逆向きに反る。図2Bに示されるA-A'断面から分かるように、パッケージの中心に近いほど他の基板と外部端子3のはんだボールとの距離が大きくなる。また、図2Cに示されるB-B'断面から分かるように、パッケージ外周部においても、辺の中央部に近いほど他の基板と外部端子3のはんだボールとの距離が大きくなる。他の基板とはんだボールとの隙間が、はんだボールや他の基板に供給されたクリームはんだが溶融しても埋まらない場合は接続不良となる。このため、特に上記の辺の中央部で接続不良が発生しやすい。

10

20

30

40

50

【0006】

図1、2では、半導体チップ1と外部端子3とが基板2における同一の面に配された例を示した。この他、半導体チップ1と外部端子3とが別々の面に配された半導体パッケージの例を示す。図3はその平面図、図4A~4Cはその断面図である。図4Aは、図3のA-A'断面の模式図であり、図3に示される半導体パッケージの製造工程において、半導体チップ1と基板2の接続、アンダーフィル樹脂4の充填と硬化とが完了した後の、常温時のパッケージ状態を示している。この状態では、半導体チップ1が搭載された面が凸となる方向の反りが発生する(図4A参照)。一方、はんだリフロー時には、基板2の膨張によって、図4Aに示す状態とは逆方向の反りとなる(図4B参照)。この場合、図4Bに示されるA-A'断面から分かるように、パッケージの外周に近いほど他の基板と外部端子3のはんだボールとの距離が大きくなる。また、図4Cに示されるB-B'断面から分かるように、パッケージ外周部においても、辺の端部に近いほど他の基板と外部端子3のはんだボールとの距離が大きくなる。このように、図1及び2に示した構造とは反りの状態が異なっているけれども、他の基板とはんだボールとの隙間が、はんだボールや他の基板に供給されたクリームはんだが溶融しても埋まらない場合は接続不良となる。

【0007】

また、とりわけ携帯機器分野においては、半導体チップや基板などを薄型化することによって薄型の半導体パッケージを得ていた。こうした薄型の半導体パッケージの剛性は低くなるため、半導体パッケージの反りは顕著となる。さらに、接続に用いられるはんだボールの小径化により、反りに対する許容度はさらに小さくなっている。また、近年における、環境負荷低減を目的としたR o H S (Restrictions on the use of certain Hazardous Substances : 有害物質の使用禁止令)により、融点が高く、そのリフローに高い温度を要する無鉛はんだを適用せざるをえないことも、パッケージの反りを助長する一因となっている。このため、反りに起因する接続不良は、ますます顕著になっている

。

【 0 0 0 8 】

半導体チップ 1 や基板 2 自身の剛性が高ければこの反りは抑制されるため、これらがある程度以上であれば、反りは低減される。しかしながら、特に、半導体チップ 1 が 0 . 3 mm、または基板 2 が 0 . 8 mm 以下の厚さである場合は、はんだリフロー時の半導体パッケージの反りによる接続不良は顕著となっている。

【 0 0 0 9 】

この反りを抑制するために、例えば、半導体パッケージ全体を樹脂でモールドして剛性を確保するという手段が講じられてきた。この手段が講じられた従来のフリップチップ式半導体パッケージには、特開 2 0 0 2 - 1 7 0 9 0 1 号公報に記載されているような、
5
図 5 に示す構造が一般的に適用されている。この構造においては、半導体チップ 1 が基板 2 にフリップチップ方式で接続されている。半導体チップ 1 と基板 2 とは、バンプによって電氣的に接続されている。さらに、半導体チップ 1 と基板 2 との間の隙間に、接続部の補強のためアンダーフィル樹脂 4 が充填されている。この構造が、外部端子 3 により他の基板と接続される。さらに、半導体チップ 1 が実装された基板 2 の全体を覆うようにモールド樹脂 8 が形成される。そして、基板 2 における、モールド樹脂 8 が形成された面とは反対側の面には、外部端子 3 としてのはんだボールが格子状に配置されている。以下、この外部端子 3 が形成された領域を接続エリアと呼ぶ。この半導体パッケージは、このはんだボールによって他の基板と電氣的に接続される。半導体チップ 1 と基板 2 とは前記のとおり、その熱膨張係数が異なる。この構造では、高剛性のモールド樹脂によって半導体パ
20
ッケージを形成することで反りを抑制している。このため、モールド樹脂 8 の材料としては、半導体チップ 1 や基板 2 の材料の熱膨張係数に近いものが要求される。

【 0 0 1 0 】

また、この反りをさらに小さくするために、金属の補強板が配されている半導体パッケージも提案されている。その一例として、特許第 3 3 9 5 1 6 4 号明細書に記載された構造を図 6 に示す。この図において、半導体装置 1 0 は、基板 1 2、半導体チップ 1 4、バンプ 1 6、構造物 1 8、接着剤 2 0、アンダーフィル樹脂 2 2、外部端子 2 4、凹陷部 2 6、隙間 2 8 からなる。こうした構造は、半導体パッケージサイズが非常に大きい大型コンピュータ向けの高機能、高性能な半導体パッケージで広く採用されている。この構造においては、補強板として構造物 1 8 が貼り付けられた構造となっている。この構造物 1 8
30
の材料としては、剛性の高い金属材料が使われているのが一般的である。図 5 に示すようなモールド樹脂のみで補強する方法では、樹脂材料の剛性が充分でないため、はんだリフロー時のパッケージの反りを完全になくすことは困難であった。これに対し、この補強板が配された構造においては、より剛性の高い金属棒で強固に基板 1 2 が支えられるため、コストは向上するものの、反りの抑制には、より効果的である。

【 0 0 1 1 】

しかしながら、補強板が配された構造では、半導体パッケージの小型化及び薄型化が困難である。その結果、この構造は、薄型化及び小型化を要求される携帯機器へ適用することが困難である。さらに、近年では、携帯機器に適した半導体パッケージとして、複数の半導体パッケージを一つの大きな半導体パッケージに収容するシステムインパッケージ (S i P) が、高機能パッケージとして活況を呈している。以上のモールド樹脂や補強板などの補強材が配された構造では、補強材が存在する領域はデッドエリア (部品実装に用いることのできない領域) となる。つまり、半導体パッケージ上に他の半導体パッケージまたは電子部品を実装するためのエリアが圧迫される。このため、収容可能な半導体パッケージ数が限られる、あるいは、半導体パッケージを多数収容しようとする半導体パッケージのサイズが大型化するという課題があり、高密度の実装が困難であった。したがって、携帯機器に適用可能な小型、薄型の高機能な半導体パッケージを実現することは困難であった。

【 発明の開示 】

【 0 0 1 2 】

10

20

30

40

50

本発明は、上述した従来技術の問題点に鑑みてなされたものである。その目的は、はんだリフロー時の半導体パッケージの反りを抑制することによってはんだ接続不良の低減や接続信頼性の強化を図ることである。また、この際にデッドエリアを小さくすることにより小型化、薄型化および高密度化に適した半導体パッケージを提供することにある。

【0013】

上記目的を達成するための本発明の半導体パッケージは、基板と、この基板の一方の面に搭載された半導体チップと、変曲点を形成する変曲点形成部と、を有する。この変曲点形成部は、基板における、半導体チップが搭載された側の面の一部に形成されており、基板よりも大きな熱膨張係数を有する材料からなる。

【0014】

あるいは、上記の変曲点形成部は、基板における、半導体チップが搭載された側とは反対側の面の一部に形成されており、基板よりも小さな熱膨張係数を有する材料からなるものであってもよい。

【0015】

このような変曲点形成部は、基板上で半導体チップの外周を囲んで形成されていることが好ましい。また、この変曲点形成部の一部に切れ目を有することによりパッケージの製造が容易となる。

【0016】

また、上記のような半導体パッケージは、他の基板とはんだを用いて接続される場合、はんだの融点において、変曲点形成部の材料の弾性率が、基板の弾性率よりも高いことが好ましい。

【0017】

さらに、変曲点形成部の材料としては樹脂材料あるいは無機材料が適用できる。

【0018】

また、上記のような変曲点形成部を有する基板および、この基板を含んで構成された電子機器、さらには、上記のような半導体パッケージを含んで構成された電子機器を提供することができる。

【0019】

また、本発明は、基板の一方の面に半導体チップが搭載された半導体パッケージにおける反り矯正方法も包含する。この方法は、基板よりも大きな熱膨張係数を有する材料からなる変曲点形成部を、基板における、半導体チップが搭載された側の面の一部に形成した後に、熱工程を実施する方法である。あるいは、基板よりも小さな熱膨張係数を有する材料からなる変曲点形成部を、基板における、半導体チップが搭載された側とは反対側の面の一部に形成した後に、熱工程を実施する方法であってもよい。

【0020】

以上のように構成された半導体パッケージでは、はんだリフロー時の熱負荷で、半導体チップと基板との熱膨張係数の差によって発生する反りと反対の方向の応力を、変曲点形成部によって発生させることができる。このため、はんだリフロー温度において基板に反りが生ずる際に変曲点が生じる。これにより、水平性が特に要求される接続エリアを接続対象の他の基板と平行にすることができるので、はんだ接続不良が抑制される。さらに、半導体パッケージの反りと反対方向の応力を、半導体パッケージの一部に配された変曲点形成部によって発生させるため、反りの低減機能を最小限の占有面積で実現することが可能となる。そのため、デッドエリアが少なくなって、パッケージ内に高密度の実装が可能になる。

【0021】

以上のように、本発明によれば、はんだリフロー時に接続不良が発生せず、信頼性が高く、携帯機器に適した小型、薄型の半導体パッケージを実現することができる。

【図面の簡単な説明】

【0022】

【図1】従来の半導体パッケージの第1の例の平面図である。

10

20

30

40

50

【図 2 A】図 1 の半導体パッケージの A - A' 断面図であって、フリップチップ接続後の状態図である。

【図 2 B】図 1 の半導体パッケージの A - A' 断面図であって、リフロー工程中の状態図である。

【図 2 C】図 1 の半導体パッケージの B - B' 断面図であって、リフロー工程中の状態図である。

【図 3】従来の半導体パッケージの第 2 の例の平面図である。

【図 4 A】図 3 の半導体パッケージの A - A' 断面図であって、フリップチップ接続後の状態図である。

【図 4 B】図 3 の半導体パッケージの A - A' 断面図であって、リフロー工程中の状態図である。

【図 4 C】図 3 の半導体パッケージの B - B' 断面図であって、リフロー工程中の状態図である。

【図 5】従来の半導体パッケージの第 3 の例の断面図である。

【図 6】従来の半導体パッケージの第 4 の例の断面図である。

【図 7】本発明の第 1 の実施の形態における半導体パッケージの平面図である。

【図 8 A】図 7 の半導体パッケージの A - A' 断面図であって、フリップチップ接続後の状態図である。

【図 8 B】図 7 の半導体パッケージの A - A' 断面図であって、リフロー工程中の状態図である。

【図 8 C】図 7 の半導体パッケージの B - B' 断面図であって、リフロー工程中の状態図である。

【図 9】本発明の半導体パッケージに使われる基板の弾性率の温度依存性の一例を示す図である。

【図 10】本発明の半導体パッケージに使われる変曲点形成部の材料の弾性率の温度依存性の一例を示す図である。

【図 11】本発明の第 2 の実施の形態における半導体パッケージの平面図である。

【図 12 A】図 11 の半導体パッケージの A - A' 断面図であって、フリップチップ接続後の状態図である。

【図 12 B】図 11 の半導体パッケージの A - A' 断面図であって、リフロー工程中の状態図である。

【図 12 C】図 11 の半導体パッケージの B - B' 断面図であって、リフロー工程中の状態図である。

【図 13】本発明の第 3 の実施の形態における半導体パッケージの平面図である。

【図 14】本発明の第 4 の実施の形態における半導体パッケージの平面図である。

【図 15 A】本発明の第 5 の実施の形態における半導体パッケージの平面図である。

【図 15 B】図 15 A の A - A' 断面図である。

【図 16 A】本発明の第 6 の実施の形態における半導体パッケージの平面図である。

【図 16 B】図 16 A の A - A' 断面図である。

【図 17】本発明の第 7 の実施の形態における半導体パッケージの平面図である。

【発明を実施するための最良の形態】

【0023】

以下、本発明の実施の形態について図面を参照して説明する。

【0024】

本発明の半導体パッケージは、基板の一方の面に半導体チップが搭載されたものであり、半導体チップが搭載された側の面の一部に変曲点形成部が形成されている。この基板の反りは、半導体チップと基板の熱膨張係数の差によって発生する。変曲点形成部は、この反りと逆向きの反りを発生させることのできる材料からなる。これにより、はんだリフロー時に接続エリアを水平に近くすることができるので、この半導体パッケージと他の基板とを接続する際のはんだ接続不良が抑制される。ここで、変曲点形成部を形成する材料と

10

20

30

40

50

しては、基板を構成する材料よりも熱膨張係数が大きい材料を用いることができる。この変曲点形成部の形成は、半導体チップの搭載の前に実施してもよく、後に実施してもよい。前者の場合は、変曲点形成部が予め形成された基板に、半導体チップをフリップチップ方式で接続して、半導体パッケージを製造することができる。

【0025】

図7は、本発明の第1の実施の形態の半導体パッケージの平面図である。この図において、半導体チップ1と外部端子3とは基板2の同一面上に配されている。半導体チップ1は基板2にフリップチップ方式で接続されている。半導体チップ1と基板2の間にはアンダーフィル樹脂4が配されている。さらに、基板2上の、半導体チップ1と外部端子3の間の領域に変曲点形成部7が、半導体チップ1の外周に沿って設けられている。

10

【0026】

半導体チップ1は、半導体LSI、例えば、ロジックやメモリ等が形成されたシリコン製のチップである。

【0027】

基板2は、他の部品に実装する基板となるものであり、例えば、ガラスクロス材をベース材とした非常に高剛性な材質「FR-4」で形成される。半導体チップ1と基板2とはバンパで電氣的に接続される。

【0028】

外部端子3は、この半導体パッケージと他の基板との接続部分であり、はんだボールから形成されている。複数の外部端子3が格子状に配置された領域が接続エリアである。

20

【0029】

アンダーフィル樹脂4は半導体チップ1と基板2の隙間に充填されて、これらの間の接続力を補強する役割を果たす。この樹脂は例えば熱硬化性のエポキシ樹脂からなる。アンダーフィル樹脂4は、この材料を充填後、例えば180~250の温度で硬化することによって形成される。

【0030】

変曲点形成部7は、この半導体パッケージに熱が加わった際に、半導体チップ1によって発生する反りと逆向きの反り（すなわち、変曲点形成部7の形成された側が凸形状となる方向の反り）を基板2に発生させることができる材料からなる。この詳細は後述する。

【0031】

外部端子3によってこの半導体パッケージは他の基板と接続される。これにより、この半導体パッケージを含む新たな半導体パッケージが形成される。

30

【0032】

本例の半導体パッケージの製造方法では、変曲点形成部7が形成された後に、基板2と他の基板とがはんだボールを用いて接続される。つまり、この構造の半導体パッケージは、半導体チップ1と基板2の接続、変曲点形成部7の形成の工程を経て製造された後、はんだリフローを経て他の基板に接続される。これらの工程において、この半導体パッケージの反りがどのように変わっていくかを以下に述べる。図8A~8Cはこの反りの状況を図7の半導体パッケージの断面で示した図である。これらの図では本例の半導体パッケージと接続する他の基板は示していないが、図中の半導体パッケージの下側にある。

40

【0033】

半導体チップ1はフリップチップ方式によって基板2に接続される。このフリップチップ接続を行なう工法としては、圧接法、熱圧着法、はんだ融着法、超音波圧着法などのいくつかの工法がある。何れの工法においても接続時には熱を加えられる。例えば圧接法によってフリップチップ接続する場合は、アンダーフィル樹脂4の硬化温度は180~250が一般的であるため、この場合の基板2の温度は150~220となる。この温度で、 $3 \times 10^{-6} / K$ 程度の熱膨張係数である半導体チップ1に対して、 $15 \times 10^{-6} / K$ 程度と熱膨張係数の大きい基板2が、膨張した状態で接続される。このため、接続後に常温に戻った時点では、基板2の収縮によって、半導体チップ1が搭載された面が凸となる方向の反りが発生する（図8A参照）。この反り量は、半導体チップ1や基板2の厚

50

さが薄いほど、また半導体チップ1のサイズが大きいほど顕著となる。一方、変曲点形成部7の近傍の反りの度合いは変曲点形成部7の形成方法によって決まる。例えば、変曲点形成部7の材料を常温に近い温度で基板2上に接着した場合、あるいは、変曲点形成部7の材料が樹脂からなり、その硬化を常温に近い温度で行なって変曲点形成部7を形成した場合には、常温においてこの部分はほぼ平坦にすることができる。

【0034】

その後実施するはんだリフローの温度は、例えば、Sn-3.5Ag-0.5Cuの無鉛はんだを用いた場合にはその融点が225であるため、240~260程度である。このため、このはんだリフロー時には、再び基板2が膨張する。この結果、基板2は図8Aの状態とは逆向きに反る。図8B、8Cはこのリフロー温度域でのパッケージの状態を示しており、図8Bは図7のA-A'断面、図8Cは図7のB-B'断面の模式図である。ここで、半導体チップ1の周辺には、基板2よりも大きな熱膨張係数を持つ変曲点形成部7が形成されているため、この部分で基板2は半導体チップ1が接続された部分とは逆の方向に反る。すなわち、基板2における変曲点形成部7が形成された部分が、変曲点形成部7が形成された側の面を凸とした形状に反る。このように、反り形状が変曲点形成部7近傍を変曲点として変化するので、変曲点形成部7よりも外側部分の基板2は水平に近づく。このため、外部端子3が配された接続エリアはほぼ水平をなす。したがって、この半導体パッケージと他の基板との間の接続不良を減少させることができる。

10

【0035】

この変曲点形成部7による逆向きの反りの発生とその反り量については、変曲点形成部7の材料の物性や、変曲点形成部7の厚さや幅などで調整することが可能である。

20

【0036】

変曲点形成部7の材料としては、熱膨張係数が比較的大きい材料を選定することが好ましく、少なくとも基板2よりも高い熱膨張係数を持つ必要がある。例えば、基板2の材料として一般的に用いられる材質「FR-4」のガラスクロス基板の熱膨張係数は $15 \times 10^{-6} / K$ であることから、変曲点形成部7の材料の熱膨張係数はこれより大きい必要がある。これを満たす具体的な材料としては、樹脂材料ではエポキシ樹脂がある。

【0037】

また、効果的に基板2を逆向きに反らせるためには、はんだリフロー温度域で基板2を反らせるだけの高い剛性を有していることが必要とされる。このためには、はんだリフロー温度域での、変曲点形成部7の材料の弾性率が、基板2よりも高いことが好ましい。はんだリフローははんだの融点よりも高い温度でなされるため、変曲点形成部7の材料の弾性率は、はんだの融点において基板2よりも高いことが好ましい。

30

【0038】

変曲点形成部7の材料として樹脂材料を用いる場合に、フィラーを含有させることもできる。この場合には、フィラーの熱膨張係数が高いほど好ましい。例えば、一般的にフィラーとして用いられる材料であるシリカ、アルミナ、Cuの熱膨張係数はそれぞれ $5 \times 10^{-6} / K$ 、 $7 \sim 8 \times 10^{-6} / K$ 、 $17 \times 10^{-6} / K$ である。したがって、熱膨張係数の観点からはCuのような金属フィラーがより好ましい。さらには、弾性率は低いながら熱膨張係数が著しく大きいシリコンフィラーも、例えばシリカハイブリッドのような高ガラス転移点(Tg)を有し且つ高剛性の樹脂と組み合わせることで変曲点形成部7の材料の熱膨張係数を大きくするという効果が得られる。一方、変曲点形成部7の材料の弾性率を向上させるためには、シリカ、アルミナ、およびCuのような金属のフィラーのいずれも好ましい。

40

【0039】

以上のように、変曲点形成部7の材料としては、各種のものを選択することができる。但し、基板2の反りが問題になるのははんだリフロー工程であるため、上記の弾性率としては、はんだリフロー温度域での値が重要である。図9は、基板2の材料として一般的に使用される材質「FR-4」のガラスクロス基板の弾性率の温度依存性を示したグラフである。この基板は常温では10GPa程度の高弾性特性を示す。ところが、無鉛はんだと

50

して一般的なSn - Ag - Cu系のはんだの融点である220 から230 の間での弾性率は、常温時の約5分の1の2GPa程度である。よって、この場合には、変曲点形成部7の材料の弾性率は、この温度域で2GPaを超える弾性率を有していればよい。例えば、図10に示すような弾性特性を有する材料である熱硬化性アミン系エポキシ樹脂が適用可能である。この樹脂は図10に示すように225 で、基板2の弾性率2GPaを上回る4GPaの弾性率を有しているため、変曲点形成部7の材料に好適である。また、樹脂材料はガラス転移点温度(Tg)以上で弾性率が急激に低下することが知られている。このため、変曲点形成部7の材料として樹脂材料を用いる場合には、ガラス転移点温度(Tg)の高い材料であることが好ましい。さらには、変曲点形成部7の材料のガラス転移点温度(Tg)がはんだの融点を超える材料であればもっと良い。

10

【0040】

一方、変曲点形成部7による効果を大きくするために、基板2の材料を最適化することも可能である。はんだリフロー温度域での弾性率が低い材料を基板2の材料として用いれば、変曲点形成部7の材料についても弾性率が低いものが適用可能となるため、好ましい。これにより、変曲点形成部7の材料の選定の自由度が高くなる。同様に、基板2の熱膨張係数についても低いことが好ましく、半導体チップ1の熱膨張係数に近いほど好ましい。

【0041】

上記の材質「FR-4」に限らずほとんどの基板2の材料においては、ガラス転移点温度(Tg)を超えると、急激な弾性率の低下が見られる。しかも、材料によってその低下量や、その低下が開始される温度は異なる。以上では、材質「FR-4」の場合を示したが、例えばアラミド不織布に樹脂を含浸させた基板材料を選定してもよい。例えばアラミド不織布を基材とした基板の熱膨張係数は材質「FR-4」よりも低く、 10×10^{-6} / K程度であり、その基板のはんだリフロー温度域での弾性率も低いことから、変曲点形成部7による効果が大きくなる。また、このアラミド不織布を適用した基板では、その熱膨張係数が低いことから、Cuのような金属材料との熱膨張係数の差が大きくなる。そのため、変曲点形成部7の材料として金属板のような無機材料を適用することが可能になる。この際には、はんだリフロー温度域で、基板2と変曲点形成部7とが密着していることが重要である。

20

【0042】

次に、本発明の第2の実施の形態となる半導体パッケージを説明する。図11はその平面図、図12A~12Cはその断面図を示している。第1の実施の形態(図7)では、半導体チップ1と外部端子3が基板2における同一の面に配された半導体パッケージの例を示した。これに対し、半導体チップ1と外部端子3がそれぞれ異なる面に配された例を以下に示す。

30

【0043】

図12Aは、図11のA-A'断面の模式図であり、図11に示される半導体パッケージの製造工程において、半導体チップ1と基板2の接続、アンダーフィル樹脂4の充填と硬化とが完了した後の、常温時のパッケージ状態を示している。この状態では、フリップチップ接続時の熱負荷によって、半導体チップ1と基板2との熱膨張係数の違いに起因して、半導体チップ1が搭載された面が凸となる方向の反りが発生している(図12A参照)。図8Aの場合と同様に、反りは半導体チップ1と基板2とが重なっているところで発生する。この結果、基板1は、半導体チップ1のある部分では曲線を描くが、半導体チップ1のない部分では基板2は直線となる。この場合にも、半導体チップ1が搭載される面に変曲点形成部7を形成することによって、図12Bに示したように接続エリアの水平性を確保することが可能となる。よって、接続不良の大幅な低減が可能となる。

40

【0044】

以上の第1及び第2の実施の形態においては、基板2において、半導体チップ1と変曲点形成部7とが同一の面に搭載されている。しかし、変曲点形成部7を、半導体チップ1が搭載された側と反対側の面に形成することも可能である。この場合には、基板2よりも

50

熱膨張係数の小さな材料を変曲点形成部7の材料に用いることができる。これにより、上記の各実施の形態における場合と全く同一の機能を持たせることができる。すなわち、はんだリフロー時に接続エリアの水平性が確保され、接続不良の大幅な低減が可能となる。

【0045】

次に、変曲点形成部7の形成方法と形状について説明する。変曲点形成部7は、半導体チップ1を搭載する前に基板2に予め形成しておく方法と、半導体チップ1を搭載した後に形成する方法のうち、どちらで形成してもよい。例えば、変曲点形成部7の材料として樹脂を用いる場合には、メタルマスクやスクリーンマスクによる印刷形成や、ディスペンス形成が適用可能である。

【0046】

変曲部形成部7としては、各種の形状のものを用いることができる。例えば、メタルマスクによる印刷形成によって変曲部形成部7を形成する場合には、コストメリットが大きく、さらには印刷樹脂表面の平坦性を確保しやすいという利点を有する。しかし、この印刷形成によって変曲部形成部7を半導体チップ1の外周全周に連続する場合、メタルマスクの製造が困難である。このような場合に対応させるためには、変曲部形成部7は、図13に示すように半導体チップ1の四隅近傍のみに形成された形状としてもよい。あるいは、図14に示すように半導体チップ1の4辺に沿った形状としてもよい。変曲部形成部7の一部に切れ目を有したこれらの形状においても、基板2において変曲点を形成できるため、基板2の反りを矯正して接続エリアのはんだ接続不良を低減することが可能である。また、変曲点形成部7は半導体チップ1と接触していてもよい。例えば、図15A、15Bに示すように、変曲点形成部7の内周が半導体チップ1の外周と接触していてもよい。さらには、図16A、16Bに示すように、変曲点形成部7が半導体チップ1の外周に配されているだけでなく、半導体チップ1の上面をも覆った形状としてもよい。

【0047】

変曲点形成部7においては、その体積が大きいほど、基板1の反りを矯正する応力を発生させやすい。そのため、体積が大きい場合は、変曲点形成部7の材料に求められる特性、例えば熱膨張係数、ガラス転移点、加熱時の弾性率などにおいて要求される物性の範囲が広がり、変曲点形成部7の材料の選定の自由度が上がるという利点を有する。しかし、半導体パッケージの平面方向の面積を増加させる場合には、他の部品の実装エリアを圧迫することになる。このため、これらのバランスから最適な変曲点形成部7を設定する必要がある。その際には、変曲点形成部7の配置エリアを、半導体チップ1になるべく近接させておくことが好ましい。この場合、基板2における半導体チップ1の外側部分に関してより根幹での変曲が可能になることから、外部端子3の所望の平坦性を確保することが可能な範囲の拡大ができる。

【0048】

半導体パッケージの厚さ方向における変曲点形成部7の厚さを増加させることによって、基板2の反りを矯正する応力を増加させることが可能である。但し、半導体パッケージの薄型化というメリットが低減しないよう、同一面の実装部品よりも変曲点形成部7の高さを低くしておくことが望ましい。

【0049】

補強材料によって基板の反りを抑制する従来の半導体パッケージの構造においては、その補強材料の半導体パッケージにおける占有面積および体積が非常に大きかった。そのため、半導体パッケージに対して実装面積の点で複数の電子部品を実装することが困難であった。これに対して本発明では、反り抑制方法として、基板2上に部分的に変曲点を形成する矯正方法を採用したことにより、反り矯正のための構造を最小化することが可能となる。そのため、例えば図13に示すように、変曲点形成部7の占有面積を小さくして、半導体パッケージの一方の面全面を他部品の実装エリアとした構造が可能になる。よって、小型、薄型を維持した高密度な半導体パッケージが実現可能になる。

【0050】

なお、以上に述べた実施の形態においては、本発明の半導体パッケージにおける基板と

10

20

30

40

50

他の基板とをはんだバンプで接続していた。しかし、この接続方法についてははんだバンプに限られるものではない。この他の接続方法、例えば導電性接着剤による接続方法を用いた場合においても、基板の反りが問題になる場合には本発明は有効である。

【0051】

また、本発明の半導体パッケージにおいては、基板よりも大きな熱膨張係数を有する材料からなる変曲点形成部を、半導体チップが搭載された側の面の一部に形成した後、熱工程を実施することで、基板の反りを矯正している。あるいは、基板よりも小さな熱膨張係数を有する材料からなる変曲点形成部を、半導体チップが搭載された側とは反対側の面の一部に形成した後、熱工程を実施することで、基板の反りを矯正している。このような反り矯正方法は、基板とこれに搭載される部品との熱膨張係数の際に起因して反りが発生する基板において、その反りを矯正するために、本明細書で述べた実施の形態の他にも広く適用できることは明らかである。

10

【0052】

本発明の反り矯正方法を用いることで、小型、薄型の半導体パッケージが実現可能になる。そして、この半導体パッケージや基板を用いれば、電子機器の小型化、薄型化が図れ、低価格で魅力のある製品提供が可能となる。

【0053】

また、本発明の半導体パッケージは、特に、複数のチップを1つのパッケージに混載したシステムインパッケージ(SiP)に好適である。このシステムインパッケージの一例の断面図を図17に示す。ここで、半導体チップ1、基板2、外部端子3、アンダーフィル樹脂4、変曲点形成部7からなる本発明の半導体パッケージに、他の半導体パッケージ6が搭載された新たな半導体パッケージ(システムインパッケージ)が構築されている。こうした構造は、本発明の半導体パッケージにおける、基板の反りを矯正したことと、デッドエリアが小さいことという特徴のため、実現できる。このように、本発明は、デバイスの種類によらず全ての半導体パッケージ、例えばCPU、ロジック、メモリなどの半導体チップを搭載する半導体パッケージに対して適用できる。個々の半導体チップを本発明の構造の半導体パッケージに搭載することにより、従来の半導体パッケージに比べ、小型、薄型、高密度、高信頼性、低コストの半導体パッケージを実現できる。また、このような発明の半導体パッケージを電子機器へ適用することによって、小型化及び薄型化が要求される携帯電話、デジタルスキルカメラ、PDA(Personal Digital Assistant)、ノート型パーソナルコンピュータなどの携帯機器の更なる小型化及び薄型化が可能になり、製品の付加価値を高めることができる。

20

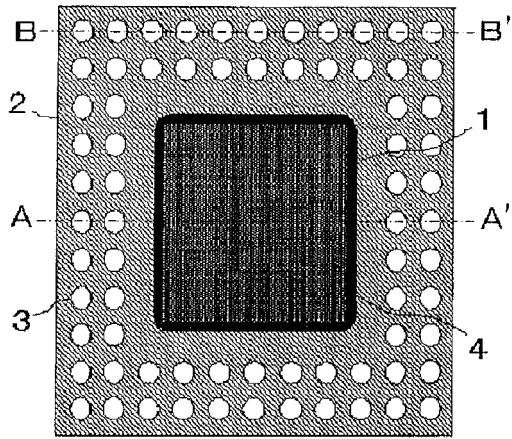
30

【0054】

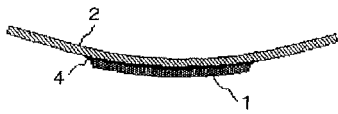
最後に、本発明の半導体パッケージの実施結果について述べる。図13に示した構造の半導体パッケージにおいて、材質「FR-4」の基板2と、図10に示した特性の熱硬化性アミン系エポキシ樹脂からなる変曲点形成部7と、Sn-3.5Ag-0.5Cuの無鉛はんだによる外部端子3とを用いた。この半導体パッケージを他の基板に接続する際、250℃ではんだリフローを実施した。その結果、接続部の歩留まりは100%であった。一方、変曲点形成部7が設けられていないこと以外は上記と同じ半導体パッケージを製造し、上記と同じようにはんだリフローを経て他の基板と接続したところ、接続部の歩留まりは23%であった。これにより、本発明の有効性が確認できた。

40

【図 1】



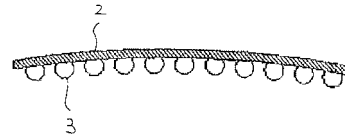
【図 2 A】



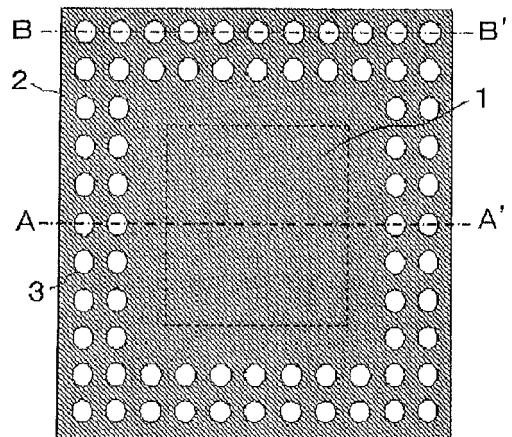
【図 2 B】



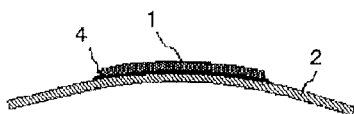
【図 2 C】



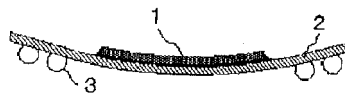
【図 3】



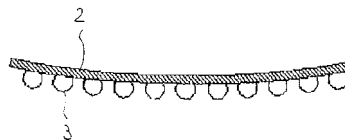
【図 4 A】



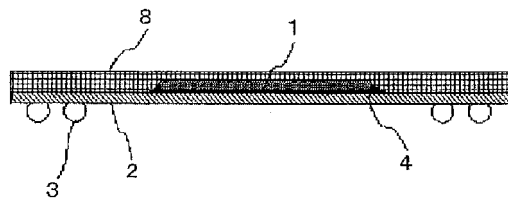
【図 4 B】



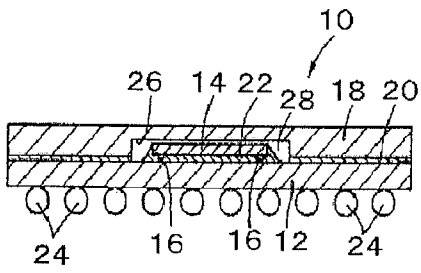
【図 4 C】



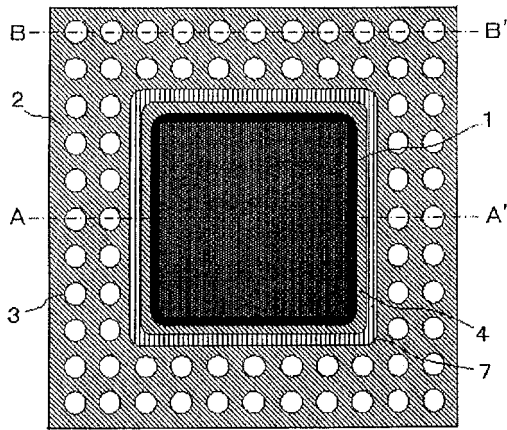
【図 5】



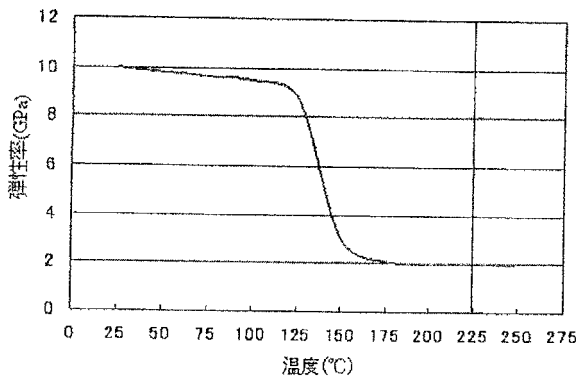
【 図 6 】



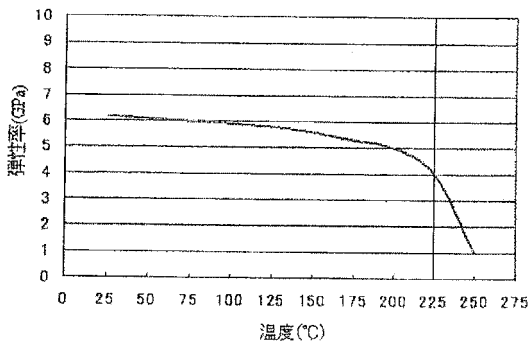
【 図 7 】



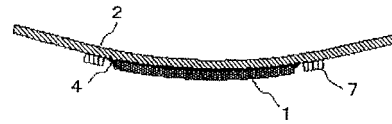
【 図 9 】



【 図 10 】



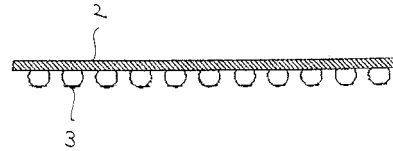
【 図 8 A 】



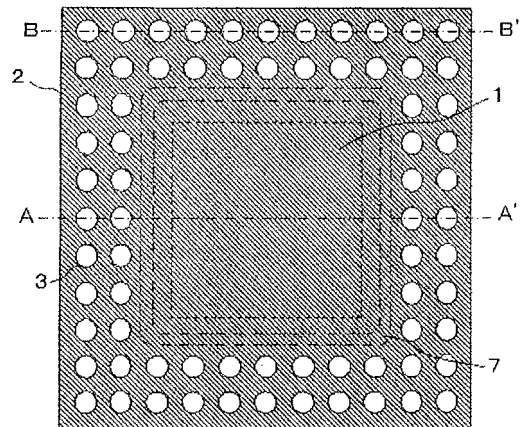
【 図 8 B 】



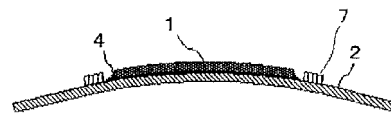
【 図 8 C 】



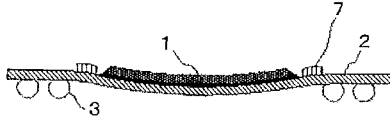
【 図 11 】



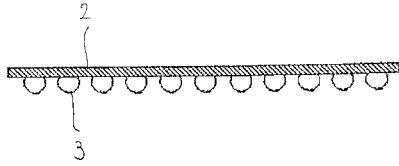
【 図 12 A 】



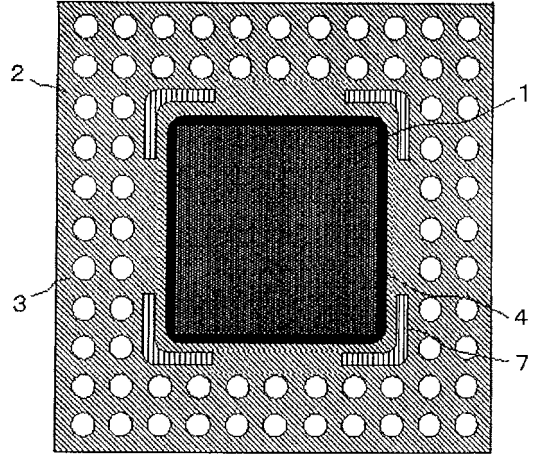
【 図 1 2 B 】



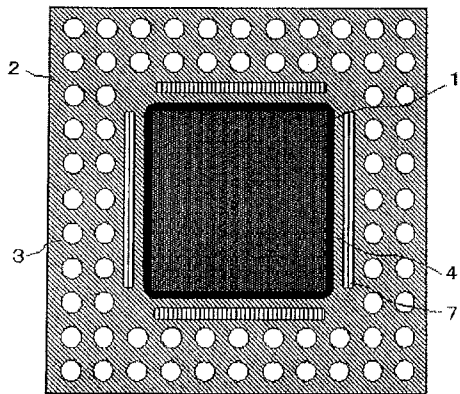
【 図 1 2 C 】



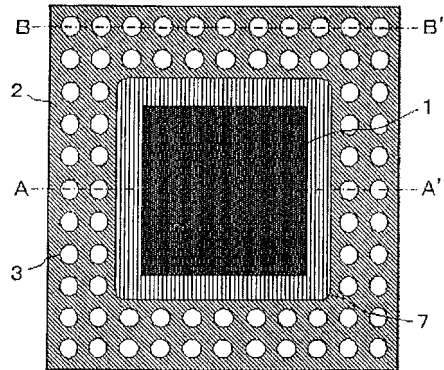
【 図 1 3 】



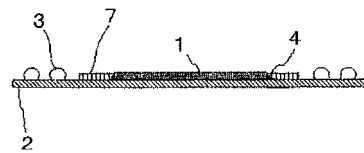
【 図 1 4 】



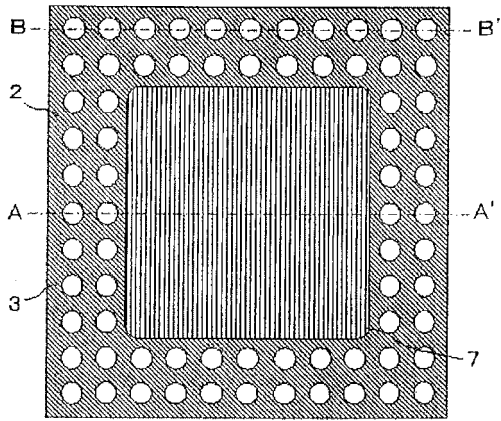
【 図 1 5 A 】



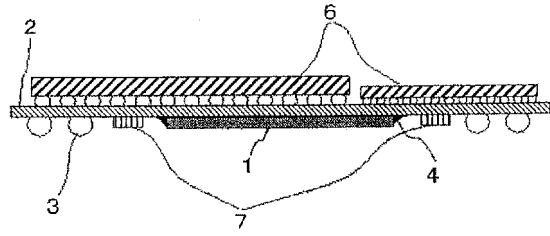
【 図 1 5 B 】



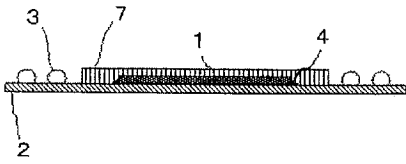
【 図 1 6 A 】



【 図 1 7 】



【 図 1 6 B 】



【 国際調査報告 】

INTERNATIONAL SEARCH REPORT		International application No. PCT/JP2006/313391
A. CLASSIFICATION OF SUBJECT MATTER H01L23/12 (2006.01) i According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) H01L23/12 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2006 Kokai Jitsuyo Shinan Koho 1971-2006 Toroku Jitsuyo Shinan Koho 1994-2006 Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 11-40687 A (Toshiba Corp.), 12 February, 1999 (12.02.99), Par. Nos. [0006] to [0035]; Figs. 1 to 14 (Family: none)	1, 3-8, 10-17
X A	JP 9-199625 A (Texas Instruments Japan Ltd.), 31 July, 1997 (31.07.97), Par. Nos. [0002] to [0011]; Figs. 39 to 44 (Family: none)	1, 6, 15 5
A	JP 2000-164757 A (Kyocera Corp.), 16 June, 2000 (16.06.00), Full text (Family: none)	2, 9, 18
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 26 September, 2006 (26.09.06)		Date of mailing of the international search report 03 October, 2006 (03.10.06)
Name and mailing address of the ISA/ Japanese Patent Office		Authorized officer
Facsimile No.		Telephone No.

国際調査報告		国際出願番号 PCT/JP2006/313391									
A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. H01L23/12(2006.01)i											
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. H01L23/12											
最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2006年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2006年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2006年</td> </tr> </table>				日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2006年	日本国実用新案登録公報	1996-2006年	日本国登録実用新案公報	1994-2006年
日本国実用新案公報	1922-1996年										
日本国公開実用新案公報	1971-2006年										
日本国実用新案登録公報	1996-2006年										
日本国登録実用新案公報	1994-2006年										
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)											
C. 関連すると認められる文献											
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号									
X	JP 11-40687 A (株式会社東芝) 1999.02.12, 段落 0006-0035, 図 1-14 (ファミリーなし)	1, 3-8, 10-17									
X A	JP 9-199625 A (日本テキサス・インスツルメンツ株式会社) 1997.07.31, 段落 0002-0011, 図 39-44 (ファミリーなし)	1, 6, 15 5									
A	JP 2000-164757 A (京セラ株式会社) 2000.06.16, 全文 (ファミリーなし)	2, 9, 18									
<input type="checkbox"/> C欄の続きにも文献が列挙されている。		<input type="checkbox"/> パテントファミリーに関する別紙を参照。									
* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願		の日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献									
国際調査を完了した日 26.09.2006		国際調査報告の発送日 03.10.2006									
国際調査機関の名称及びあて先 日本国特許庁 (ISA/JP) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官 (権限のある職員) 石野 忠志 電話番号 03-3581-1101 内線 3471	4R 3547								

フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LV, LY, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW

(注) この公表は、国際事務局(WIPO)により国際公開された公報を基に作成したものである。なおこの公表に係る日本語特許出願(日本語実用新案登録出願)の国際公開の効果は、特許法第184条の10第1項(実用新案法第48条の13第2項)により生ずるものであり、本掲載とは関係ありません。