(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第5195864号
(P5195864)

(45)発行日　平成25年5月15日(2013.5.15)　(24)登録日　平成25年2月15日(2013.2.15)

(51)Int.Cl.　　F I
H01L 27/146 (2006.01)　　H01L 27/14 A
H04N 5/369 (2011.01)　　H04N 5/335 690

請求項の数 7　(全 28 頁)

(21)出願番号　特願2010-230879 (P2010-230879)
(22)出願日　平成22年10月13日 (2010.10.13)
(62)分割の表示　特願2008-272673 (P2008-272673)の分割
原出願日　平成20年10月23日 (2008.10.23)
(65)公開番号　特開2011-49579 (P2011-49579A)
(43)公開日　平成23年3月10日 (2011.3.10)
審査請求日　平成22年10月13日 (2010.10.13)

(73)特許権者　000002185
ソニー株式会社
東京都港区港南１丁目７番１号
(74)代理人　110000925
特許業務法人信友国際特許事務所
(72)発明者　宮田　里江
東京都港区港南１丁目７番１号　ソニー株式会社内

審査官　井出　和水

最終頁に続く

(54)【発明の名称】固体撮像装置とその製造方法、及び撮像装置

(57)【特許請求の範囲】
【請求項１】
半導体基板と、
前記半導体基板に二次元的に配列された複数の画素とを備え、
前記画素は、光電変換を行なう光電変換素子と、前記光電変換素子から信号電荷を読み出すための画素トランジスタを有し、
前記画素トランジスタは、転送ゲートを有する電荷読み出しトランジスタを含み、
前記光電変換素子は、
第１導電型の不純物によって前記半導体基板内に形成された第１不純物領域と、
前記第１導電型と異なる第２導電型の不純物によって前記半導体基板内に前記第１不純物領域と接する状態で形成された第２不純物領域とを有し、
前記第１不純物領域は、不純物濃度が相対的に低い低濃度不純物領域と不純物濃度が相対的に高い高濃度不純物領域とを含み、
前記第２不純物領域は、不純物濃度が相対的に低い低濃度不純物領域と不純物濃度が相対的に高い高濃度不純物領域とを含み、
前記第１不純物領域の前記高濃度不純物領域と、前記第２不純物領域の前記高濃度不純物領域とが接するＰＮ接合部が、前記半導体基板の表面側に凸の、円錐状又は角錐状の凸形状に形成され、
前記第２不純物領域の前記低濃度不純物領域上に前記第２不純物領域の前記高濃度不純物領域が形成され、

前記第２不純物領域の前記高濃度不純物領域によって前記凸形状が形成され、
前記第２不純物領域の前記高濃度不純物領域による凸形状を、前記第１不純物領域の前記高濃度不純物領域で覆うことにより、前記ＰＮ接合部が形成され、
前記第２不純物領域からなる凸形状と、前記第１不純物領域の前記高濃度不純物領域との前記ＰＮ接合部の周囲に、前記第１不純物領域の前記低濃度不純物領域が設けられ、
前記転送ゲートが前記ＰＮ接合部の一部に重なるように形成され、
前記凸形状をなすＰＮ接合部のポテンシャルが前記転送ゲートに向かって傾斜している
固体撮像装置。
【請求項２】
前記凸形状をなすＰＮ接合部が単位画素内に複数形成されている請求項１に記載の固体撮像装置。
【請求項３】
前記転送ゲートは、前記半導体基板の表面から深さ方向に延在した縦型構造に形成されている請求項１又は２に記載の固体撮像装置。
【請求項４】
前記転送ゲートは、単位画素領域内で前記凸形状をなすＰＮ接合部の頂部に対応した位置に形成されている請求項３に記載の固体撮像装置。
【請求項５】
前記転送ゲートは、前記凸形状をなすＰＮ接合部の形成領域に対応して単位画素領域内に複数形成されている請求項３に記載の固体撮像装置。
【請求項６】
光電変換を行なう光電変換素子と、前記光電変換素子から信号電荷を読み出すための画素トランジスタを有する複数の画素を形成すべき、半導体基板の画素領域内に、
前記半導体基板の内部に第１導電型の不純物を導入することにより低濃度の第１不純物領域を形成する第１工程と、
前記半導体基板の内部に前記第１導電型と異なる第２導電型の不純物を導入することにより、前記第１不純物領域と接する状態で、低濃度の第２不純物領域と、前記低濃度の第２不純物領域上に、前記半導体基板の表面側に凸の、円錐状又は角錐状の凸形状の高濃度の第２不純物領域とを形成する第２工程と、
前記高濃度の第２不純物領域による凸形状を覆うように、高濃度の第１不純物領域を形成してＰＮ接合を形成し、光電変換素子を形成する第３工程と、
前記画素トランジスタの電荷読み出しトランジスタを構成する転送ゲートとソース・ドレイン領域とを形成する第４工程とを有し、
前記第１工程、前記第２工程、及び前記第３工程では、前記高濃度の第１不純物領域と前記高濃度の第２不純物領域とが接するＰＮ接合部が、前記半導体基板の表面側に凸の円錐状又は角錐状の凸形状をなし、かつ該凸形状をなす前記ＰＮ接合部のポテンシャルが前記転送ゲートに向かって傾斜するように、前記第１不純物領域と前記第２不純物領域を形成し、
前記第３工程では、前記転送ゲートを前記ＰＮ接合部の一部に重なるように形成する
固体撮像装置の製造方法。
【請求項７】
固体撮像装置と、
被写体からの光を前記固体撮像装置に導く光学系とを備え、
前記固体撮像装置は、請求項１乃至５のいずれかに記載の固体撮像装置で構成されている
撮像装置。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明は、固体撮像装置とその製造方法、及び撮像装置に関する。詳しくは、光電変換

素子を有する固体撮像装置とその製造方法、及び当該固体撮像装置を備えた撮像装置に関する。

【背景技術】

【０００２】

近年、パーソナルコンピュータなどとともに使用される画像入力用カメラの開発が盛んになっている。これらのカメラに搭載されている固体撮像装置には、電荷結合素子(ＣＣＤ：Charge Coupled Device)を用いたＣＣＤイメージセンサや、ＣＭＯＳ製造プロセスと互換性のあるＣＭＯＳイメージセンサが用いられている。

【０００３】

ＣＣＤイメージセンサは、画素に対応する光電変換素子（フォトダイオード）を二次元的に配列させ、光電変換素子によって電荷となった各画素の信号を、垂直転送ＣＣＤと水平転送ＣＣＤとを用いて順次読み出していくタイプのイメージセンサである。ＣＭＯＳイメージセンサは、画素に対応する光電変換素子を二次元的に配列させる点では、ＣＣＤイメージセンサと同様である。但し、ＣＭＯＳイメージセンサでは、信号の読み出しに垂直及び水平転送のＣＣＤを使用せず、メモリデバイスのようにアルミニウムや銅の配線などで構成される選択線によって、画素毎に蓄えられた信号を、選択された画素から読み出す仕組みになっている。このようにＣＣＤイメージセンサとＣＭＯＳイメージセンサは、画素信号の読み出し方式などが異なるものの、光電変換素子となるフォトダイオードは共通の構造になっている。

【０００４】

フォトダイオードの構造としては、例えば、図１６に示す構造が知られている（特許文献１参照）。図１６においては、シリコン基板１０１の表層部に形成した素子分離部１０２の中間に、フォトダイオード１０３を形成した状態を示している。フォトダイオード１０３は、シリコン基板１０１の表面から深さ方向に、P+領域１０４、N+領域１０５、N-領域１０６、P-領域１０７の各不純物領域を順に形成した構造となっている。図中の「+」と「-」は、不純物濃度が他の領域と比較して「濃い場合」と「薄い場合」を表している。

【０００５】

このような構造により、フォトダイオード１０３のシリコン基板１０１表面から発生する暗電流を低減させることができる。そして、このフォトダイオード１０３の部分に光が入射することで電子－正孔対が発生し、信号電荷（電子）がＰ領域とＮ領域の接合部に蓄積される。ＰＮ接合部に蓄積可能な信号電荷量の最大値は飽和信号電荷量（以下、「Ｑｓ」とも記す）と呼ばれている。高いＱｓを有するイメージセンサは、ダイナミックレンジやＳＮ（シグナル／ノイズ）比などの諸特性が優れたものとなる。したがって、イメージセンサの特性を向上させるうえでＱｓの増加は非常に重要な要素となる。

【先行技術文献】

【特許文献】

【０００６】

【特許文献１】特開２００２－１７０９４５号公報

【発明の概要】

【発明が解決しようとする課題】

【０００７】

飽和信号電荷量(Ｑｓ)を増加する方法としては、フォトダイオードのＰＮ接合面積を増加させることや、フォトダイオードのＰＮ接合容量を増加させることが考えられる。しかしながら、フォトダイオードのＰＮ接合面積を増加させるべく、フォトダイオードの面積を平面的に拡大すると、同じ画角（例えば２／３インチなど）で比較した場合に、フォトダイオードの面積拡大に伴い、イメージセンサの総画素数が減少してしまう。また、フォトダイオードのＰＮ接合容量を増加させるべく、Ｐ領域とＮ領域の不純物濃度を高くすると、暗電流が増加するなどの特性劣化を招く。このため、不純物濃度を高めてＰＮ接合容量を増加させるにも限界がある。

【０００８】
本発明の目的は、光電変換素子の面積を平面的に拡大したり不純物濃度を高めたりしなくても、飽和信号電荷量を増加させることができる仕組みを提供することにある。
【課題を解決するための手段】
【０００９】
本発明に係る固体撮像装置は、半導体基板と、半導体基板に二次元的に配列された複数の画素とを備える。画素は、光電変換を行なう光電変換素子と、光電変換素子から信号電荷を読み出すための画素トランジスタを有する。画素トランジスタは、転送ゲートを有する電荷読み出しトランジスタを含む。光電変換素子は、第１導電型の不純物によって半導体基板内に形成された第１不純物領域と、第１導電型と異なる第２導電型の不純物によって半導体基板内に第１不純物領域と接する状態で形成された第２不純物領域とを有する。第１不純物領域は、不純物濃度が相対的に低い低濃度不純物領域と不純物濃度が相対的に高い高濃度不純物領域とを含み、第２不純物領域は、不純物濃度が相対的に低い低濃度不純物領域と不純物濃度が相対的に高い高濃度不純物領域とを含む。第１不純物領域の高濃度不純物領域と、第２不純物領域の高濃度不純物領域とが接するＰＮ接合部が、半導体基板の表面側に凸の、円錐状又は角錐状の凸形状に形成され、第２不純物領域の低濃度不純物領域上に第２不純物領域の高濃度不純物領域が形成される。第２不純物領域の高濃度不純物領域によって凸形状が形成され、第２不純物領域の高濃度不純物領域による凸形状を、第１不純物領域の高濃度不純物領域で覆うことにより、ＰＮ接合部が形成される。第２不純物領域からなる凸形状と、第１不純物領域の高濃度不純物領域とのＰＮ接合部の周囲に、第１不純物領域の低濃度不純物領域が設けられる。第１不純物領域と第２不純物領域とが接するＰＮ接合部は、半導体基板の表面側に凸の形状で形成される。転送ゲートはＰＮ接合部の一部に重なるように形成され、凸形状をなすＰＮ接合部のポテンシャルが転送ゲートに向かって傾斜している。
【００１０】
本発明に係る固体撮像装置の製造方法は、次の工程を有する。光電変換を行なう光電変換素子と、光電変換素子から信号電荷を読み出すための画素トランジスタを有する複数の画素を形成すべき、半導体基板の画素領域内に、半導体基板の内部に第１導電型の不純物を導入することにより低濃度の第１不純物領域を形成する第１工程。半導体基板の内部に第１導電型と異なる第２導電型の不純物を導入することにより第１不純物領域と接する状態で、低濃度の第２不純物領域と、前記低濃度の第２不純物領域上に、前記半導体基板の表面側に凸の、円錐状又は角錐状の凸形状の高濃度の第２不純物領域とを形成する第２工程。前記高濃度の第２不純物領域による凸形状を覆うように、高濃度の第１不純物領域を形成してＰＮ接合を形成し、光電変換素子を形成する第３工程。画素トランジスタの電荷読み出しトランジスタを構成する転送ゲートとソース・ドレイン領域とを形成する第４工程。
第１工程、第２工程及び第３工程では、高濃度の第１不純物領域と高濃度の第２不純物領域とが接するＰＮ接合部が、半導体基板の表面側に凸の円錐状又は角錐状の形状をなし、かつこのＰＮ接合部のポテンシャルが転送ゲートに向かって傾斜するように、第１不純物領域と前記第２不純物領域を形成する。第３工程では、転送ゲートをＰＮ接合部の一部に重なるように形成する。
【００１１】
本発明に係る撮像装置は、上記構成の固体撮像装置と、被写体からの光を前記固体撮像装置に導く光学系とを備える。
【００１２】
本発明に係る固体撮像装置及び撮像装置では、第１不純物領域と第２不純物領域とが接するＰＮ接合部を、半導体基板の表面側に凸の形状で形成することにより、ＰＮ接合部の面積が、基板面方向だけでなく、凸形状の三次元的な傾斜によって基板深さ方向にも広がる。転送ゲートが前記ＰＮ接合部の一部に重なるように形成され、凸形状をなすＰＮ接合部のポテンシャルが転送ゲートに向かって傾斜しているので、ＰＮ接合部に蓄積された信

号電荷の取り出しが容易になる。
【００１３】
本発明の固体撮像装置の製造方法では、上記構成の固体撮像装置を製造することができる。
【発明の効果】
【００１４】
本発明によれば、第１不純物領域と第２不純物領域とが接するＰＮ接合部を、半導体基板の表面側に凸の形状で形成することにより、ＰＮ接合部の面積を、基板面方向だけでなく、凸形状の三次元的な傾斜によって基板深さ方向にも広げることができる。このため、光電変換素子の面積を平面的に拡大したり不純物濃度を高めたりしなくても、飽和信号電荷量を増加させることができる。ＰＮ接合部に蓄積された信号電荷の取り出しを容易にすることができる。
【図面の簡単な説明】
【００１５】
【図１】参考例に係るＣＣＤ固体撮像装置の構成例を示す概略図である。
【図２】本発明の第１の実施の形態に係る固体撮像装置の構成例を示す断面図である。
【図３】本発明の第１の実施の形態に係る固体撮像装置の製造方法を説明する図（その１）である。
【図４】本発明の第１の実施の形態に係る固体撮像装置の製造方法を説明する図（その２）である。
【図５】本発明の第１の実施の形態に係る固体撮像装置の製造方法を説明する図（その３）である。
【図６】本発明の第１の実施の形態に係る固体撮像装置の製造方法を説明する図（その４）である。
【図７】本発明の第１の実施の形態に係る固体撮像装置の製造方法の変形例を説明する図（その１）である。
【図８】本発明の第１の実施の形態に係る固体撮像装置の製造方法の変形例を説明する図（その２）である。
【図９】基板深さ方向のポテンシャル図である。
【図１０】ＰＮ接合部の凸形状に沿う線上のポテンシャル図である。
【図１１】本発明の第１の実施の形態に係る固体撮像装置の第１変形例を説明する図である。
【図１２】本発明の第１の実施の形態に係る固体撮像装置の第２変形例を説明する図である。
【図１３】本発明の第１の実施の形態に係る固体撮像装置の応用例を説明する図である。
【図１４】本発明の第２の実施の形態に係る固体撮像装置の構成例を説明する図である。
【図１５】本発明が適用される撮像装置の構成例を示すブロック図である。
【図１６】フォトダイオードの構造例を示す断面図である。
【発明を実施するための形態】
【００１６】
以下、本発明の具体的な実施の形態について図面を参照しつつ詳細に説明する。なお、本発明の技術的範囲は以下に記述する実施の形態に限定されるものではなく、発明の構成要件やその組み合わせによって得られる特定の効果を導き出せる範囲において、種々の変更や改良を加えた形態も含む。
【００１７】
発明を実施するための最良の形態（以下、実施の形態）については、以下の順序で説明する。ＣＣＤイメージセンサからなる電荷転送型の固体撮像装置（以下、「ＣＣＤ固体撮像装置」と記す）は参考例とする。本発明は、ＣＭＯＳイメージセンサに代表されるＸ－Ｙアドレス型の固体撮像装置に適用する。
１．固体撮像装置の構成

２．第１の実施の形態
３．第２の実施の形態
４．適用例

【００１８】

＜１．固体撮像装置の構成＞

図１は参考例に係るＣＣＤ固体撮像装置の構成例を示す概略図である。図示のように、画素アレイ１には、複数（多数）の画素２が二次元的（行列状）に配列されている。これら複数の画素２は、後述する半導体基板の基板面内に二次元的に配列されるものである。各々の画素２は、光電変換を行う光電変換素子を有する。画素アレイ１に設けられた画素２は、それぞれに対応する色フィルタを通して入射した光を上記光電変換素子によって光電変換する。

【００１９】

画素アレイ１には、各々の画素２に対して、複数の垂直転送レジスタ３が垂直方向に沿って設けられている。垂直転送レジスタ３は、画素列ごとに、画素２に隣接して設けられている。この垂直転送レジスタ３は、各行の画素２から読み出された信号電荷を垂直方向に転送するもので、垂直ＣＣＤによって構成されている。

【００２０】

各々の垂直転送レジスタ３の終端部には、水平方向に沿って水平転送レジスタ４が設けられている。水平転送レジスタ４は、各々の垂直転送レジスタ３によって垂直方向に転送された信号電荷を水平方向に転送するもので、水平ＣＣＤによって構成されている。水平転送レジスタ４による信号電荷の転送先には出力アンプ５が設けられている。

【００２１】

出力アンプ５は、水平転送レジスタ４によって水平方向に転送された信号電荷を電圧に変換して出力するものである。出力アンプ５から出力された信号は信号処理回路６に入力される。信号処理回路６は、出力アンプ５から出力された信号を取り込んで、予め設定された信号処理を施すことにより、画像信号を生成するものである。駆動回路７は、信号電荷を転送するための転送パルスを発生するとともに、この転送パルスにしたがって垂直転送レジスタ３と水平転送レジスタ４を駆動するものである。その際、駆動回路７は、垂直転送レジスタ３に対しては垂直転送パルスを供給し、水平転送レジスタ４に対しては水平転送パルスを供給する。

【００２２】

本発明が適用されるＣＭＯＳ固体撮像装置は、各画素が、光電変換を行なう光電変換素子と、当該光電変換素子から信号電荷を読み出すための画素トランジスタとを含むものである。さらに詳述すると、光電変換素子は、入射光を受光量に応じた信号電荷に変換して蓄積するものである。画素トランジスタは、複数のトランジスタによって構成されるものである。画素トランジスタは、転送ゲートを有する電荷読み出しトランジスタを含むものである。電荷読み出しトランジスタ以外のトランジスタとしては、例えば、リセットトランジスタ、アンプトランジスタ、セレクトトランジスタなどがある。

【００２３】

＜２．第１の実施の形態＞

[固体撮像装置の構成]

図２は本発明の第１の実施の形態に係る固体撮像装置の構成例、特に光電変換素子の部分を示す断面図である。図２においては、半導体基板２１の内部に、光電変換素子となるフォトダイオード２２が形成されている。フォトダイオード２２は、例えば、Ｒ（赤），Ｇ（緑），Ｂ（青）の色フィルタを有する固体撮像装置であれば、フィルタの色成分ごとに、形状や深さ位置を変えて形成してもよい。半導体基板２１は、ＳＴＩ（Shallow Trench Isolation）型の素子分離部２３により複数の単位画素領域に区画され、そのうちの一つを図示している。半導体基板２１の表面は、例えば、酸化シリコンからなる絶縁膜２４で覆われている。絶縁膜２４は、画素トランジスタのゲート絶縁膜としても機能するものである。

【００２４】
半導体基板２１は、第１導電型の半導体基板、例えば、Ｐ型のシリコン基板を用いて構成されている。半導体基板２１の内部には、不純物の拡散領域として、Ｐ-領域２５と、Ｐ+領域２６と、Ｎ-領域２７と、Ｎ+領域２８とが形成されている。これらの不純物領域２５～２８は、それぞれ半導体基板２１の表面から所要の深さに形成されている。
【００２５】
Ｐ-領域２５及びＰ+領域２６は、いずれも第１導電型となるＰ型の不純物を基板内に導入することにより形成されている。Ｐ-領域２５は、Ｐ型の不純物濃度が相対的に低い低濃度不純物領域に相当し、Ｐ+領域２６は、Ｐ型の不純物濃度が相対的に高い高濃度不純物領域に相当するものである。一方、Ｎ-領域２７及びＮ+領域２８は、いずれも第２導電型となるＮ型の不純物を基板内に導入することにより形成されている。Ｎ-領域２７は、Ｎ型の不純物濃度が相対的に低い低濃度不純物領域に相当し、Ｎ+領域２８は、Ｎ型の不純物濃度が相対的に高い高濃度不純物領域に相当するものである。一例として、Ｐ-領域２５及びＮ-領域２７の不純物濃度は、それぞれ1×10^{15}（atoms/cm^3）以上、1×10^{17}（atoms/cm^3）未満となっている。また、Ｐ+領域２６及びＮ+領域２８の不純物濃度は、それぞれ1×10^{17}（atoms/cm^3）以上、1×10^{18}（atoms/cm^3）未満となっている。
【００２６】
Ｎ-領域２７及びＮ+領域２８からなるＮ型不純物領域は、Ｐ-領域２５及びＰ+領域２６からなるＰ型不純物領域に囲まれた状態で半導体基板２１の内部に形成されている。さらに詳述すると、Ｎ-領域２７及びＮ+領域２８からなるＮ型不純物領域の両側にはそれぞれＰ-領域２５が存在している。また、Ｎ-領域２７の下側にはＰ-領域２５が存在し、Ｎ+領域２８の上側にはＰ+領域２６が存在している。
【００２７】
Ｎ-領域２７とＮ+領域２８とは、半導体基板２１の深さ方向に不純物濃度の勾配をつけたかたちで形成されている。そして、基板表面から遠い方（深い方）をＮ-領域２７とし、基板表面に近い方（浅い方）をＮ+領域２８としている。このため、Ｎ+領域２８の下側にはＮ-領域２７が存在している。
【００２８】
また、Ｐ型不純物領域（２５，２６）とＮ型不純物領域（２７，２８）は、互いに接する状態で半導体基板２１の内部に形成されている。Ｐ型不純物領域（２５，２６）とＮ型不純物領域（２７，２８）とが接する部分はＰＮ接合部となり、このＰＮ接合によってフォトダイオード２２が形成されている。フォトダイオード２２は、主として、Ｐ+領域２６と、Ｎ-領域２７と、Ｎ+領域２８とによって構成されている。ＰＮ接合部の一部２９は、半導体基板２１の表面側に凸の形状で形成されている。半導体基板２１の表面側とは、当該半導体基板２１の両面（表面及び裏面）のうち、図示しない画素トランジスタが形成される側をいう。ここでは、フォトダイオード２２に対して、光が入射する側に凸の形状でＰＮ接合部２９が形成されている。つまり、半導体基板２１の表面側が光入射側に相当するものとなっている。凸形状のＰＮ接合部２９は、Ｐ型の高濃度不純物領域となるＰ+領域２６とＮ型の高濃度不純物領域となるＮ+領域２８によって形成されている。このため、ＰＮ接合部２９は、高濃度不純物領域（２６，２８）同士が接する部分となっている。ＰＮ接合部２９は、断面半円状（全体として半球状）の凸形状に形成されている。
【００２９】
[固体撮像装置の製造方法]
図３～図６は本発明の第１の実施の形態に係る固体撮像装置の製造方法を説明する図である。まず、図３（ａ）に示すように、シリコン基板からなる半導体基板２１の画素領域内でかつ基板内部の所要の深さ位置に、Ｎ型不純物領域３０をイオン注入法により形成する。次に、Ｎ型不純物領域３０を囲むように半導体基板２１の内部にＰ-領域２５（２５-1，２５-2，２５-3，２５-4）をイオン注入法により形成する。その後、半導体基板２１上にＳＴＩ型の素子分離部２３を形成する。なお、イオン注入法による不純物領域の形成工程と素子分離部２３の形成工程は、どちらを先に行なってもよい。

【００３０】
Ｐ-領域２５を形成するにあたっては、イオン注入時の加速エネルギーを順に変えながら、複数回にわたってイオン注入を行なうことにより、それぞれ基板表面から所要の深さ位置に、複数の層（図例では４層）にわたってＰ-領域２５を形成する。例えば、イオン種としてＢ（ボロン）を用いる場合は、以下の第１イオン注入工程、第２イオン注入工程、第３イオン注入工程及び第４イオン注入工程により、Ｐ-領域２５を形成する。
【００３１】
第１イオン注入工程（Ｐ-領域２５-1の形成工程）；
注入エネルギー＝１０００～１５００ｋｅＶ、ドーズ量＝１～３Ｅ１２
第２イオン注入工程（Ｐ-領域２５-2の形成工程）；
注入エネルギー＝６００～１０００ｋｅＶ、ドーズ量＝１～３Ｅ１２
第３イオン注入工程（Ｐ-領域２５-3の形成工程）；
注入エネルギー＝３００～６００ｋｅＶ、ドーズ量＝１～５Ｅ１２
第４イオン注入工程（Ｐ-領域２５-4の形成工程）；
注入エネルギー＝１００～３００ｋｅＶ、ドーズ量＝１～５Ｅ１２
【００３２】
次に、図３（ｂ）に示すように、半導体基板２１上にＣＶＤ法又は熱酸化法により酸化膜３１を形成する。酸化膜３１は、例えば、酸化シリコンからなるものである。酸化膜３１は、半導体基板２１の表面（全面）を覆う状態で形成する。酸化膜３１の膜厚は、例えば、５０～２００ｎｍとする。次に、酸化膜３１の上にフォトレジスト膜３２を形成する。フォトレジスト膜３２の膜厚は、例えば、５０～５００ｎｍとする。
【００３３】
次に、図３（ｃ）に示すように、フォトダイオード領域を形成する所望の領域だけにレジストを残すように、フォトレジスト膜３２をフォトリソグラフィ法によりパターニングする。これにより、Ｎ型不純物領域３０の直上にレジストパターン３２ｐが存在し、当該レジストパターン３２ｐによって酸化膜３１が覆われた状態となる。
【００３４】
次に、図４（ａ）に示すように、レジストパターン３２ｐをサーマルフローによって熱変形させる。これにより、断面半球状（全体として、略半球状）に変形させたレジストパターン３２ｐが得られる。サーマルフローの具体的な手法や処理条件に関しては、レジストパターン３２ｐの材料、厚み、形状などにより適宜選択することができる。例えば、サーマルフローの処理条件として、加熱時の温度範囲を１３０～１４０℃程度とし、加熱時間を９０秒程度とする。また、熱処理の方法としては、炉アニールによる熱処理、ＲＴＡ(Rapid Thermal Annealing)による熱処理、電子ビームによる熱処理、ホットプレートを用いた熱処理などが挙げられる。これ以外にも、レジストパターン３２ｐを断面半円状に変形させることができる方法であれば、サーマルフロー以外の方法（例えば、マイクロレンズの形成プロセス）を適用してもよい。
【００３５】
次に、図４（ｂ）に示すように、上述のように変形させたレジストパターン３２ｐをマスクとして、酸化膜３１を異方性のドライエッチング法によりエッチングする。このとき、酸化膜３１とレジストパターン３２ｐを同時進行でエッチングする。これにより、レジストパターン３２ｐがエッチングで完全に除去された段階では、当該レジストパターン３２ｐの形状を転写したかたちで酸化膜３１の一部が上側に凸の形状で残る。このとき、酸化膜３１が突出する方向は、半導体基板２１の表面から離れる方向となる。また、Ｎ型不純物領域３０の直上には、断面半円状の酸化膜３１が存在した状態となる。その後、半導体基板２１の表面（全面）にＣＶＤ法又は熱酸化法により酸化膜３３を形成する。酸化膜３３は、例えば、１０ｎｍ程度の膜厚で形成する。なお、ＣＶＤ法で酸化膜３３を形成した場合は、酸化膜３１の凸面が酸化膜３３で覆われることになる。
【００３６】
次に、図４（ｃ）に示すように、半導体基板２１の酸化膜３３上に再びフォトレジスト

膜３４を形成した後、酸化膜３１が存在している部分で、前述したN+領域２８を形成すべき領域が開口されるようにフォトレジスト膜３４をパターニングする。

【００３７】

次に、図５（ａ）に示すように、酸化膜３１及びフォトレジスト膜３４をマスクとして、例えば、Ｐ（リン）やＡｓ（ヒ素）に代表されるＮ型の不純物原子をイオン注入法により半導体基板２１のシリコン中に注入（導入）する。イオン注入は、例えば、イオン種としてＰ（リン）を用いる場合、注入エネルギー＝７００～８００ｋｅＶ、ドーズ量＝１～２Ｅ１２にて行なう。これにより、半導体基板２１の内部に、N-領域２７とN+領域２８とを含むＮ型不純物領域が形成される。このとき、酸化膜３１の下方には、当該酸化膜３１の形状を反映したかたちでN+領域２８が形成される。その理由は、酸化膜３１を介してイオン注入されるＮ型不純物原子の注入深さが、当該酸化膜３１の凸形状に伴う厚みに依存するためである。したがって、N+領域２８は、半導体基板２１の表面側に凸の形状で形成される。

【００３８】

次に、図５（ｂ）に示すように、酸化膜３１及びフォトレジスト膜３４をマスクとして、例えば、Ｂ（ボロン）やＢＦ２に代表されるＰ型の不純物原子をイオン注入法により半導体基板２１のシリコン中に注入（導入）する。イオン注入は、例えば、イオン種としてＢ（ボロン）を用いる場合、注入エネルギー＝２００ｋｅＶ、ドーズ量＝１～２Ｅ１２にて行なう。これにより、半導体基板２１の内部に、P+領域２６が形成される。このとき、酸化膜３１の下方には、上記同様の理由により、当該酸化膜３１の形状を反映したかたちでP+領域２６が形成される。したがって、P+領域２６は、N+領域２８と同様に、半導体基板２１の表面側に凸の形状で形成される。また、P+領域２６は、N+領域２８の上層に、当該N+領域２８に接する状態で層状に形成され、それらの接合部が凸形状のＰＮ接合部２９として形成される。

【００３９】

なお、N+領域２８の形成とP+領域２６の形成は、どちらを先に行なってもかまわない。また、Ｎ型不純物原子は、ＰやＡｓだけでなく、他の不純物原子でもかまわない。同様に、Ｐ型不純物原原子は、ＢやＢＦ２だけでなく、他の不純物原子でもかまわない。但し、イオン注入時の加速エネルギーについては、P+領域２６を上層とし、N+領域２８を下層として、両者を接合する必要がある。このため、Ｐ型不純物原子の注入深さとＮ型不純物原子の注入深さの差が、例えば、０～５０ｎｍ程度の値になるようなエネルギーレベルに設定することが望ましい。

【００４０】

次に、図５（ｃ）に示すように、酸化膜３１とフォトレジスト膜３４を例えばウェットエッチング法などにより除去する。このとき、半導体基板２１の表面を覆っている酸化膜３３も一緒に除去し、その後、熱酸化法によって半導体基板２１の表面（全面）に絶縁膜２４を形成する。

【００４１】

次に、図６（ａ），（ｂ），（ｃ）に示すように、電荷読み出しトランジスタ３６を構成する転送ゲート３７とソース・ドレイン領域３８とを形成する。ソース・ドレイン領域３８は、Ｎ型の不純物原子の導入により、Ｎ型不純物領域として形成される。この場合、電荷読み出しトランジスタ３６を構成するもう一方のソース・ドレイン領域は、Ｎ型不純物領域（２７，２８）となる。また、電荷読み出しトランジスタ３６と並行として、図示しない他のトランジスタ（リセットトランジスタ、アンプトランジスタ、セレクトトランジスタなど）を形成することにより、電荷転送可能な状態とする。なお、図６の（ａ）は画素の平面図、（ｂ）は（ａ）のＡ－Ａ′断面図、（ｃ）は（ａ）のＢ－Ｂ′断面図をそれぞれ示している。

【００４２】

[固体撮像装置の製造方法の変形例]

本発明の第１の実施の形態に係る固体撮像装置の製造方法としては、次のような方法を

採用することも可能である。まず、上記同様の手法で半導体基板２１に素子分離部２３、Ｐ-領域２５、Ｎ型不純物領域３０を形成した後、図７（ａ）に示すように、半導体基板２１上に酸化膜４１とフォトレジスト膜４２を順に積層した状態で形成する。酸化膜４１の膜厚は、例えば、１０ｎｍ程度とする。

【００４３】

次に、図７（ｂ）に示すように、Ｎ-領域２７を形成したい領域端を挟む位置に、例えば、数１０～１００ｎｍ程度の幅Ｗでスリット４３を形成するように、フォトレジスト膜４２をフォトリソグラフィ法によりパターニングする。これにより、スリット４３の部分で分離された状態のレジストパターン４２ｐが得られる。

【００４４】

次に、図７（ｃ）に示すように、レジストパターン４２ｐをサーマルフローによって熱変形させる。これにより、断面半球状に変形させたレジストパターン４２ｐが得られる。サーマルフローの手法や処理条件に関しては、前述したとおりである。

【００４５】

次に、図８（ａ）に示すように、レジストパターン４２ｐをマスクとして、例えば、Ｐ（リン）やＡｓ（ヒ素）に代表されるＮ型の不純物原子をイオン注入法により半導体基板２１のシリコン中に注入する。これにより、半導体基板２１の内部に、Ｎ-領域２７とＮ+領域２８とを含むＮ型不純物領域が形成される。このとき、レジストパターン４２ｐの下方には、当該レジストパターン４２ｐの形状を反映したかたちでＮ+領域２８が形成される。その理由は、レジストパターン４２ｐを介してイオン注入されるＮ型不純物原子の注入深さが、当該レジストパターン４２ｐの凸形状に伴う厚みに依存するためである。したがって、Ｎ+領域２８は、半導体基板２１の表面側に凸の形状で形成される。

【００４６】

次に、図８（ｂ）に示すように、レジストパターン４２ｐをマスクとして、例えば、Ｂ（ボロン）やＢＦ２に代表されるＰ型の不純物原子をイオン注入法により半導体基板２１のシリコン中に注入する。これにより、半導体基板２１の内部に、Ｐ+領域２６が形成される。このとき、レジストパターン４２ｐの下方には、上記同様の理由により、当該レジストパターン４２ｐの形状を反映したかたちでＰ+領域２６が形成される。したがって、Ｐ+領域２６は、Ｎ+領域２８と同様に、半導体基板２１の表面側に凸の形状で形成される。また、Ｐ+領域２６は、Ｎ+領域２８の上層に、当該Ｎ+領域２８に接する状態で層状に形成され、それらの接合部が凸形状のＰＮ接合部２９として形成される。

【００４７】

なお、先にも述べたが、Ｎ+領域２８の形成とＰ+領域２６の形成は、どちらを先に行なってもかまわない。また、Ｎ型不純物原子は、ＰやＡｓだけでなく、他の不純物原子でもかまわない。同様に、Ｐ型不純物原原子は、ＢやＢＦ２だけでなく、他の不純物原子でもかまわない。但し、イオン注入時の加速エネルギーについては、Ｐ+領域２６を上層とし、Ｎ+領域２８を下層として、両者を接合する必要がある。このため、Ｐ型不純物原子の注入深さとＮ型不純物原子の注入深さの差が、例えば、０～５０ｎｍ程度の値になるようなエネルギーレベルに設定することが望ましい。

【００４８】

次に、図８（ｃ）に示すように、レジストパターン４２ｐを例えばウェットエッチング法などにより除去する。このとき、半導体基板２１の表面を覆っている酸化膜４１も一緒に除去し、その後、熱酸化法によって半導体基板２１の表面（全面）に絶縁膜２４を形成する。以降は、先に述べた製造方法と同様であるため、説明を省略する。

【００４９】

本発明の第１の実施の形態に係る固体撮像装置においては、フォトダイオード２２を構成するＰ型不純物領域（Ｐ+領域２６）とＮ型不純物領域（Ｎ+領域２８）とが接するＰＮ接合部２９を、半導体基板２１の表面側に凸の形状で形成している。このため、ＰＮ接合部２９の面積が、半導体基板２１の基板面方向だけでなく、凸形状の三次元的な傾斜によって基板深さ方向にも広がる。したがって、凸なしの形状でＰＮ接合部を形成した場合に

比較して、フォトダイオード２２の実効的なＰＮ接合面積を拡大し、ＰＮ接合容量を増加させることができる。その結果、光電変換素子となるフォトダイオード２２の面積を平面的に拡大したり不純物濃度を高めたりしなくても、飽和信号電荷量を増加させることが可能となる。

【００５０】

また、Ｎ型不純物領域の不純物濃度のピーク位置とＰ型不純物領域の不純物濃度のピーク位置が平行になるように形成できるため、三次元的に突き出したＰＮ接合部２９の全面が、深さ方向の不純物濃度勾配によってＰＮ接合容量の増加に寄与するものとなる。このため、効果的にＰＮ接合容量を増加させることができる

【００５１】

また、Ｐ-領域２５及びP+領域２６からなるＰ型不純物領域のうち、相対的に不純物濃度が高いP+領域２６をＮ型不純物領域に接する状態で形成している。このため、より多くの信号電荷をＰＮ接合部２９に蓄積することができる。

【００５２】

また、Ｎ-領域２７及びN+領域２８からなるＮ型不純物領域のうち、相対的に不純物濃度が高いN+領域２８をＰ型不純物領域に接する状態で形成している。このため、より多くの信号電荷をＰＮ接合部２９に蓄積することができる。さらに、高濃度不純物領域（２６，２８）同士を接合させてＰＮ接合部２９を形成することにより、さらなる電荷蓄積量の増加を実現することができる。また、光電変換によって生成した信号電荷をＰＮ接合部２９に集めることができるため、信号電荷の取り出しが容易になる。

【００５３】

また、図９及び図１０のポテンシャル図に示すように、凸形状をなすＰＮ接合部２９のポテンシャルが転送ゲート３７に向かって傾斜した構成を採用すれば、ＰＮ接合部２９に蓄積された信号電荷の取り出しが容易になる。なお、図９は半導体基板２１の深さ方向のポテンシャル図を示し、図１０はＰＮ接合部２９の凸形状（円弧）に沿ったＸ－Ｘ′線上のポテンシャル図を示している。

【００５４】

［固体撮像装置の第１変形例］

図１１は本発明の第１の実施の形態に係る固体撮像装置の第１変形例を説明する図であり、図中（ａ）は画素の平面図、（ｂ）は（ａ）のＡ－Ａ′断面図、（ｃ）は（ａ）のＢ－Ｂ′断面図、（ｄ）はフォトダイオードの斜視図である。この第１変形例では、半導体基板２１の内部でフォトダイオード２２の一部を構成するＰＮ接合部２９が円錐状の凸形状に形成されている。

【００５５】

［固体撮像装置の第２変形例］

図１２は本発明の第１の実施の形態に係る固体撮像装置の第２変形例を説明する図であり、図中（ａ）は画素の平面図、（ｂ）は（ａ）のＡ－Ａ′断面図、（ｃ）は（ａ）のＢ－Ｂ′断面図、（ｄ）はフォトダイオードの斜視図である。この第２変形例では、半導体基板２１の内部でフォトダイオード２２の一部を構成するＰＮ接合部２９が四角錐状の凸形状に形成されている。なお、ＰＮ接合部２９の凸形状は、四角錐状以外の角錐状であってもよい。また、角錐の稜線部に丸みがついていてもよい。

【００５６】

［固体撮像装置の応用例］

図１３は本発明の第１の実施の形態に係る固体撮像装置の応用例を説明する図であり、図中（ａ）は平面図、（ｂ）は（ａ）のＢ－Ｂ′断面図、（ｃ）は（ａ）のＡ－Ａ′断面図である。なお、（ａ）のＣ－Ｃ′断面図は、単位画素領域を区画する素子分離部２３の間の距離が異なるものの、基本的にはＡ－Ａ′断面図と同様になる。この応用例では、半導体基板２１の内部でかつ単位画素領域内に、凸形状をなすＰＮ接合部２９が複数形成されている。これら複数のＰＮ接合部２９は、基板面方向で連続的（互いに隣接する位置関係）に形成されている。このように半導体基板２１の画素領域内に凸形状のＰＮ接合部２

９を複数形成することにより、当該画素領域内に１つのＰＮ接合部２９を凸形状に形成する場合に比較して、フォトダイオード２２の実効的なＰＮ接合面積を広く確保することができる。

【００５７】

＜３．第２の実施の形態＞

[固体撮像装置の構成]

図１４は本発明の第２の実施の形態に係る固体撮像装置の構成例を説明する図であり、図中（ａ）は画素の平面図、（ｂ）は（ａ）のＡ－Ａ′断面図である。図１４においては、素子分離部２３により区画された単位画素領域内に、前述した凸形状のＰＮ接合部２９が形成されるとともに、当該ＰＮ接合部２９の頂部（最も突出した領域）に対応した位置に転送ゲート３７が形成されている。転送ゲート３７は、半導体基板２１の表面から深さ方向に延在した縦型構造に形成されている。また、ＰＮ接合部２９は、半導体基板２１の表面から所要の深さ位置に形成されている。ＰＮ接合部２９を形成する深さ位置は、当該ＰＮ接合部２９に蓄積された信号電荷が画素トランジスタの動作に影響を与えないように、例えば、半導体基板２１の表面から０．３μｍ以上深い位置とすることが望ましい。

【００５８】

転送ゲート３７は、例えば、半導体基板２１の表面にＰＮ接合部２９に達する凹状の溝部を形成した後、溝部の凹面を含めて半導体基板２１の表面を絶縁膜２４で覆い、その後、溝部をポリシリコン等の電極材料で埋め込むことにより柱状に形成されるものである。転送ゲート３７の上端部は、他のゲート４５，４６，４７と同様に、半導体基板２１の表面に突出した状態で形成されている。転送ゲート３７の下端部は、ＰＮ接合部２９の頂部に接続する状態で形成されている。

【００５９】

因みに、ＰＮ接合部２９に蓄積された信号電荷を読み出すうえでは、転送ゲート３７の下端部は、必ずしもＰＮ接合部２９に接続している必要はなく、例えば、ＰＮ接合部２９の近傍に配置されていてもよい。但し、ＰＮ接合部２９に蓄積された信号電荷を効率良く読み出すためには、転送ゲート３７の下端部をＰＮ接合部２９に接続した構成を採用した方が好ましい。また、同様の理由で、基板面内においては、ＰＮ接合部２９の頂部に対応した位置に転送ゲート３７を形成することが望ましい。このため、本発明の第２の実施の形態においては、縦型構造をなす転送ゲート３７の下端部を、ＰＮ接合部２９の頂部に接続した構成を採用している。

【００６０】

ゲート４５，４６，４７は、それぞれポリシリコン等の電極材料を用いて単位画素領域内（素子分離部２３で区画された領域）に形成されている。これらのゲート４５，４６，４７は、電荷読み出しトランジスタ３６以外のトランジスタを構成するものである。即ち、ゲート４５は、ソース・ドレイン領域３８及びソース・ドレイン領域４８とともに、画素トランジスタの一つとなるトランジスタ５１を構成するものである。ゲート４６は、ソース・ドレイン領域４８及びソース・ドレイン領域４９とともに、画素トランジスタの一つとなるトランジスタ５２を構成するものである。ゲート４７は、ソース・ドレイン領域４９及びソース・ドレイン領域５０とともに、画素トランジスタの一つとなるトランジスタ５３を構成するものである。

【００６１】

ゲート４５，４６，４７は、単位画素領域の中心部から外縁部に向かって、それぞれ所定の間隔（ソース・ドレイン領域を間に介在させた状態）で一列の並びに形成されている。これに対して、フォトダイオード２２は、電荷蓄積領域となるＰＮ接合部２９を含めて、各々のトランジスタ３６，５１，５２，５３と平面的に重なり合うように、当該トランジスタ３６，５１，５２，５３の形成部位の下方に形成されている。また、フォトダイオード２２の中心部は、素子分離部２３によって区画された長方形の単位画素領域の中心部と同じ位置に存在している。そして、単位画素領域の長手方向では、当該単位画素領域の一端から他端にわたってフォトダイオード２２が広く形成され、当該フォトダイオード２

２の形成領域内にトランジスタ３６，５１，５２，５３が形成されている。また、図示はしないが、単位画素領域の短手方向では、当該単位画素領域の一端近傍から他端近傍にわたってフォトダイオード２２が広く形成され、当該フォトダイオード２２の形成領域内にトランジスタ３６，５１，５２，５３が形成されている。

【００６２】

本発明の第２の実施の形態に係る固体撮像装置においては、上記第１の実施の形態と同様の効果に加えて、次のような効果が得られる。即ち、転送ゲート３７を縦型構造とすることにより、半導体基板２１の表面からより深い位置にＰＮ接合部２９を形成することができる。このため、フォトダイオード２２の形成領域を、トランジスタ３６，５１，５２，５３の下方を含めて、単位画素領域全体に広げることができる。したがって、上記第１の実施の形態に比較して、フォトダイオード２２の実効的なＰＮ接合面積をさらに拡大し、ＰＮ接合容量を増加させることができる。その結果、同じ画角で比較した場合に、飽和信号電荷量を増加させることが可能となる。

【００６３】

また、素子分離部２３で区画される単位画素領域内で、ＰＮ接合部２９の頂部に対応した位置に転送ゲート３７を形成することにより、ＰＮ接合部２９に蓄積された信号電荷の読み出しが容易になる。特に、上記図１１及び図１２に示すように、ＰＮ接合部２９を円錐状又は角錐状の凸形状に形成し、その頂部に対応した位置に転送ゲート３７を形成すれば、信号電荷の読み出しが一層容易なものとなる。また、ＰＮ接合部２９を円錐状の凸形状とし、その頂部に対応した位置に転送ゲート３７を形成した場合は、基板面内で転送ゲート３７の形成部位からＰＮ接合部２９の外縁部までの距離が均等になる。このため、ＰＮ接合部２９から信号電荷を読み出す場合に、電荷残りが発生しにくくなる。

【００６４】

また、図示はしないが、凸形状をなすＰＮ接合部２９の形成領域に対応して単位画素領域内に複数の転送ゲート（縦型構造のゲート）３７を形成すれば、単位画素領域全体に広げて形成したＰＮ接合部２９から満遍なく信号電荷を読み出すことができる。なお、単位画素領域内に複数の転送ゲート３７を形成する場合は、そのうちの一つを上記図１４に示すようにＰＮ接合部２９の頂部に対応した位置に形成することが望ましい。その理由は、凸形状をなすＰＮ接合部２９では、頂部からの信号電荷の取り出しが最も容易であるためである。

【００６５】

＜４．適用例＞

先述した各々の実施形態に係る固体撮像装置は、例えばデジタルスチルカメラやビデオカメラ等の撮像装置において、その撮像デバイス（画像入力デバイス）として用いて好適なものである。

【００６６】

ここに、撮像装置とは、撮像デバイスとしての固体撮像装置と、この固体撮像装置の撮像面（受光面）上に被写体の像光を結像させるレンズ群等の光学系を含むものである。具体的には、例えば、携帯電話等の電子機器に搭載されて用いられるカメラモジュールや、当該カメラモジュールを搭載したデジタルスチルカメラやビデオカメラ等のカメラシステムをいう。

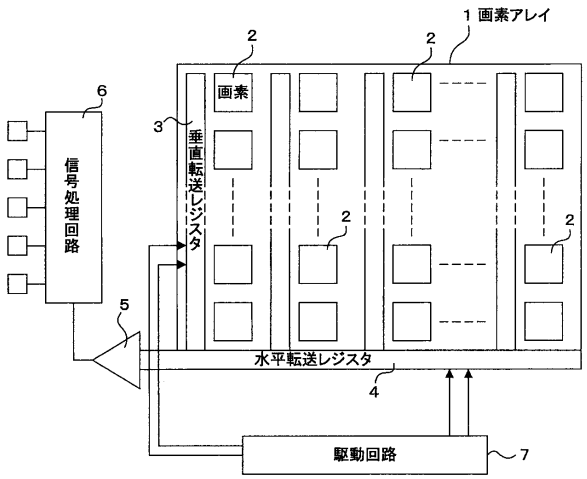
【００６７】

図１５は本発明が適用される撮像装置の構成例を示すブロック図である。本例に係る撮像装置１０は、撮像デバイスとなる固体撮像装置１１と、この固体撮像装置１１に被写体からの光を導く光学系（レンズ群等）１２と、固体撮像装置１１から出力される画素信号を処理する信号処理部１３とを含む。この撮像装置１０において、固体撮像装置１１は、ワンチップとして形成された形態であってもよいし、固体撮像装置１１と、信号処理部１３又は光学系１２とがまとめてパッケージングされた、撮像機能を有するモジュール状の形態であってもよい。

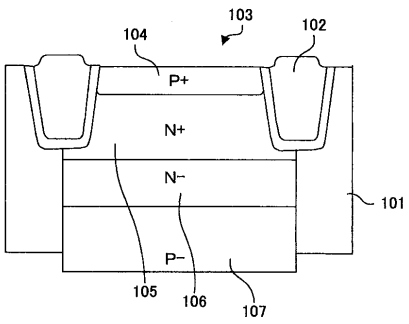
【符号の説明】

【００６８】
１…画素アレイ、２…画素、１０…撮像装置、１１…固体撮像装置、１２…光学系、２１…半導体基板、２２…フォトダイオード（光電変換素子）、２５…Ｐ-領域、２６…Ｐ+領域、２７…Ｎ-領域、２８…Ｎ+領域、２９…ＰＮ接合部、３６…電荷読み出しトランジスタ、３７…転送ゲート

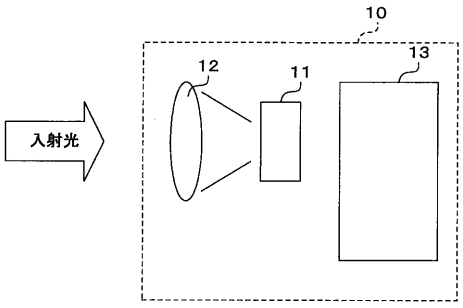
【図１】



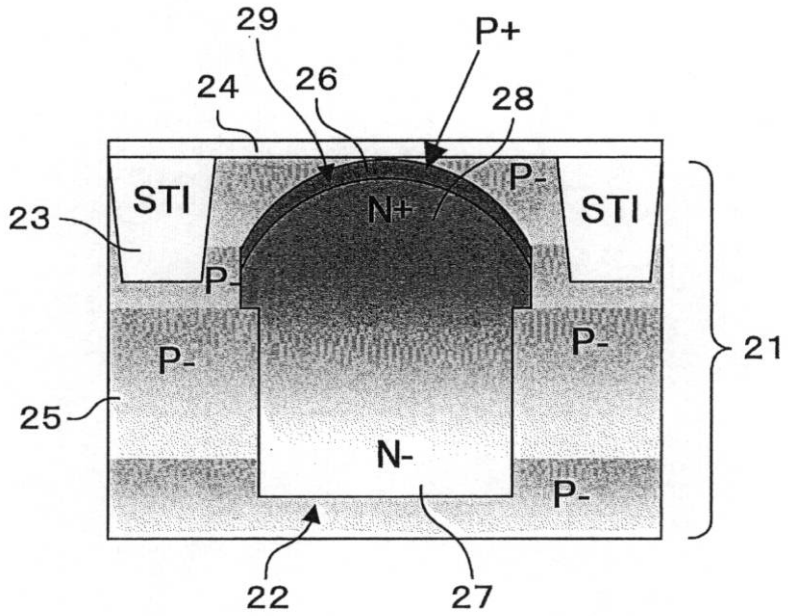
【図１６】



【図１５】

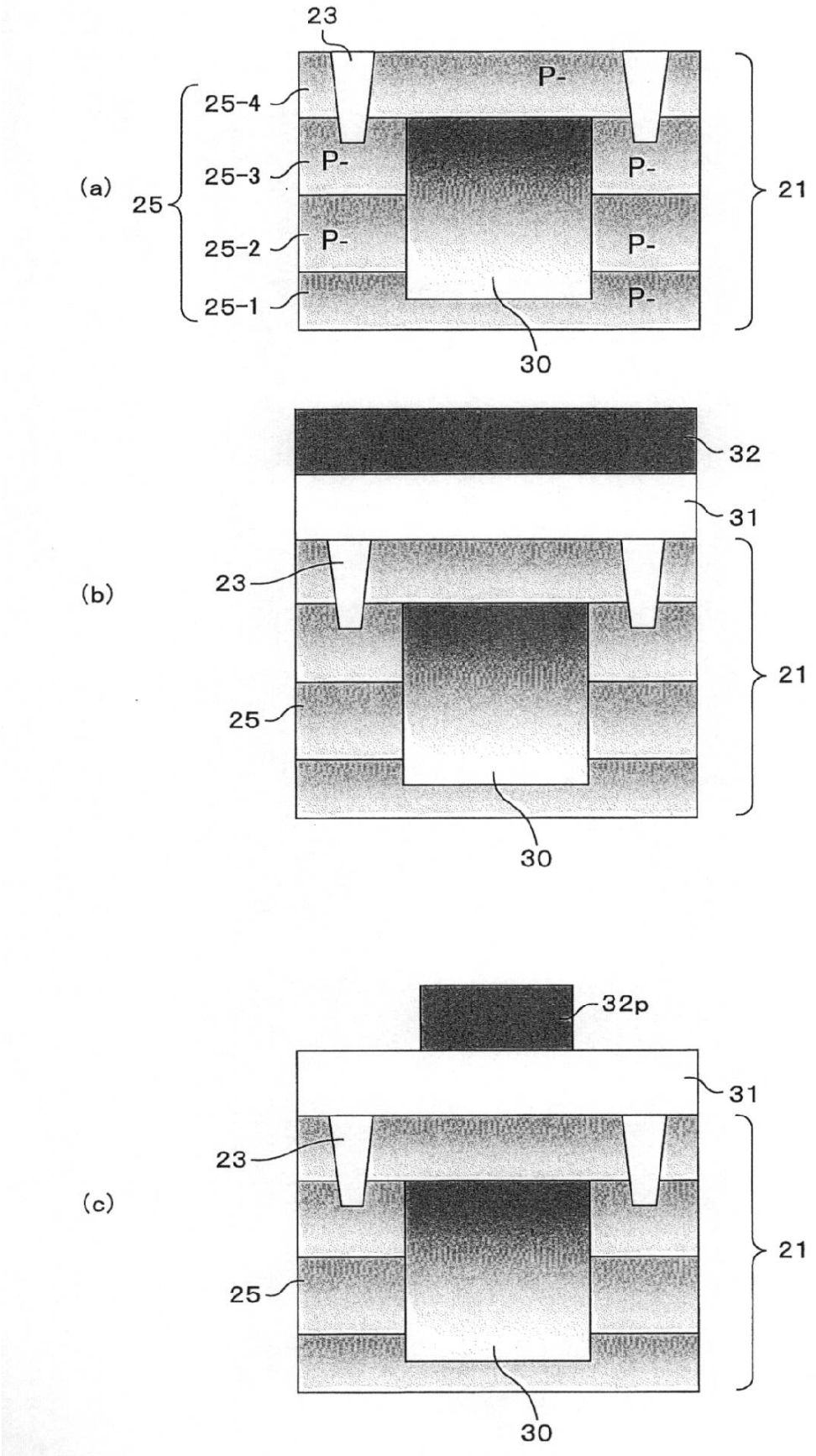


【図２】

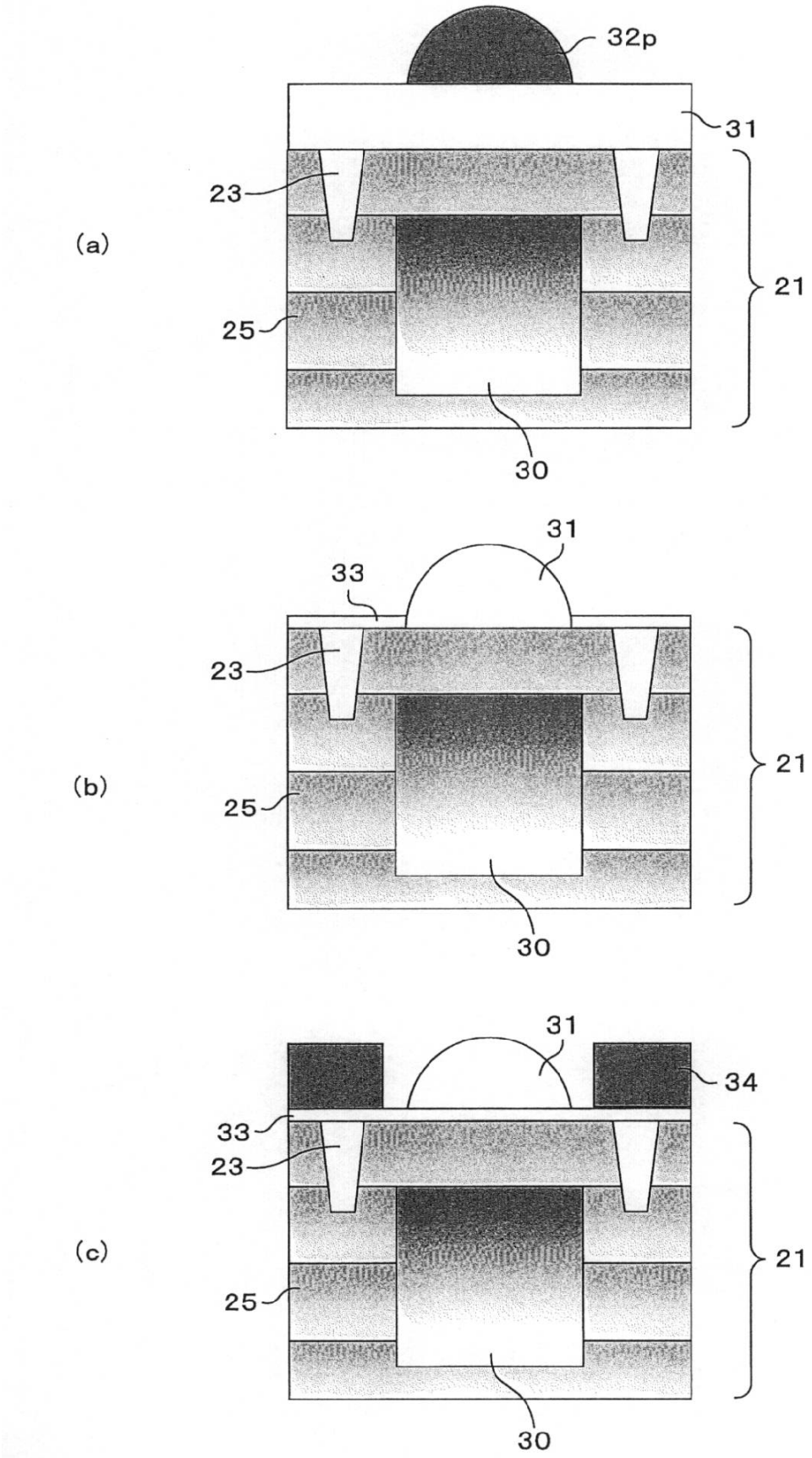


21 半導体基板
22 フォトダイオード
23 素子分離部
24 酸化膜
25 P−領域
26 P+領域
27 N−領域
28 N+領域
29 PN接合部（凸形状）

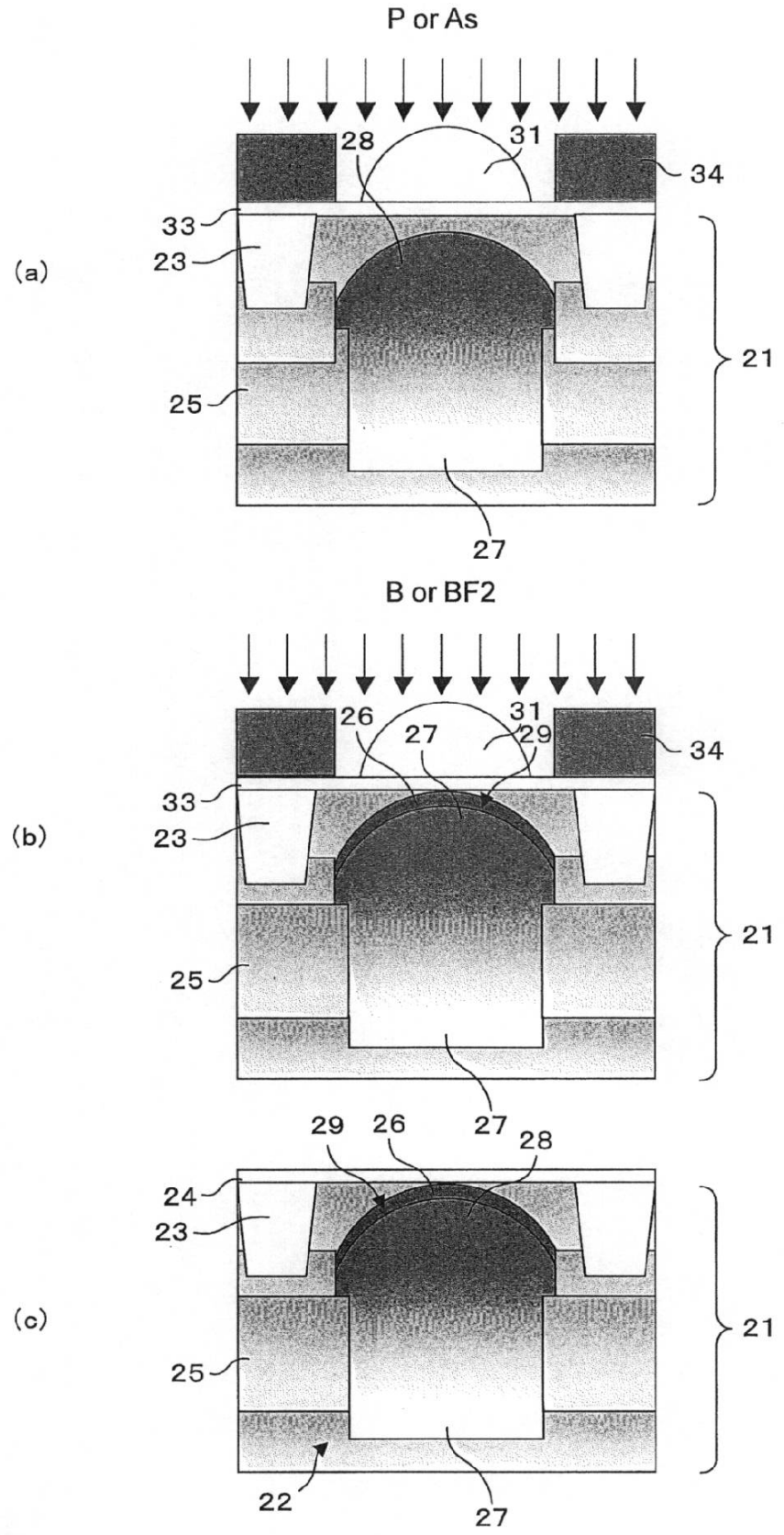
【図３】


(a)
23
25-4
25-3
25-2
25-1
25
P-
P-
P-
P-
P-
P-
21
30
(b)
32
31
23
25
21
30
(c)
32p
31
23
25
21
30

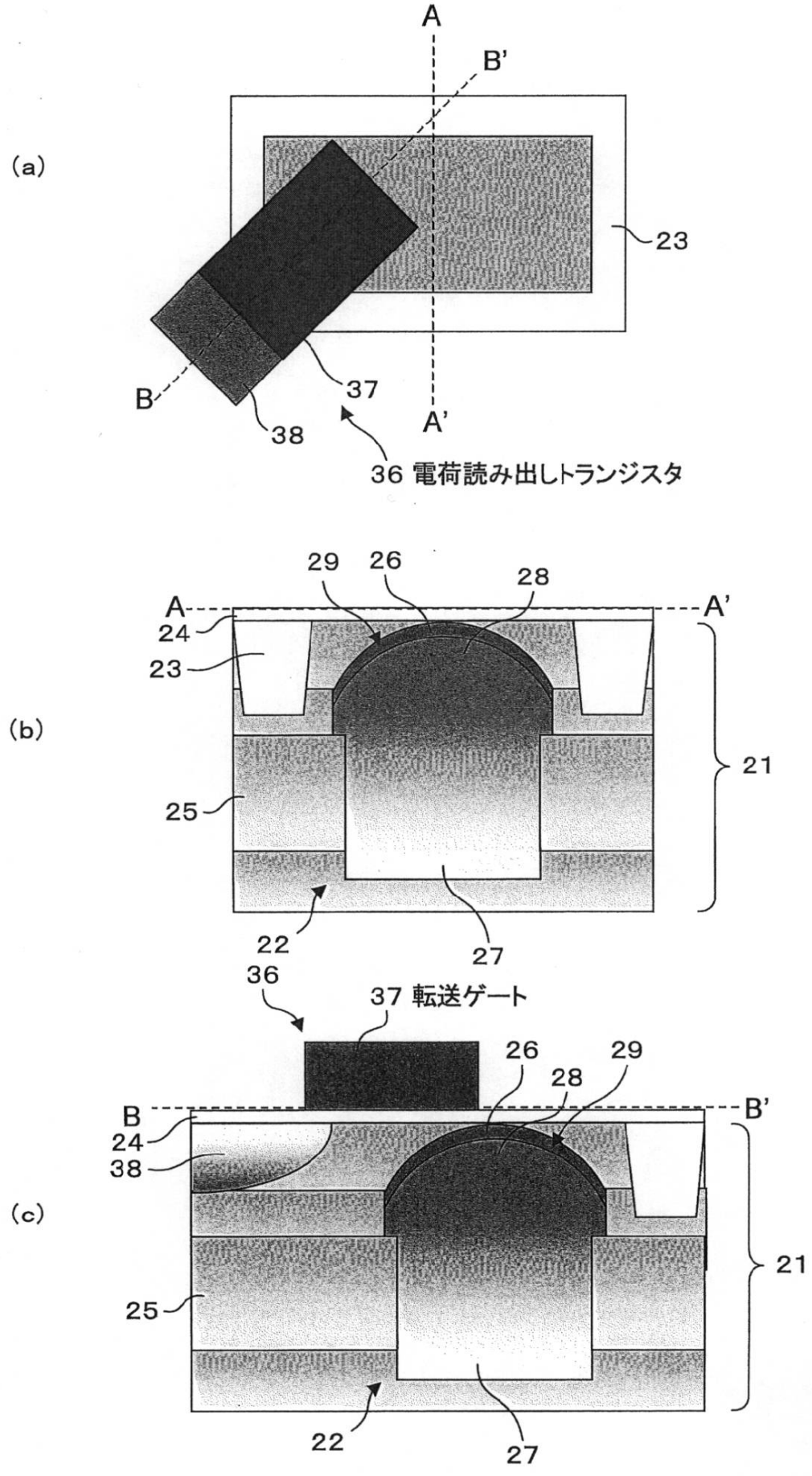
【図４】



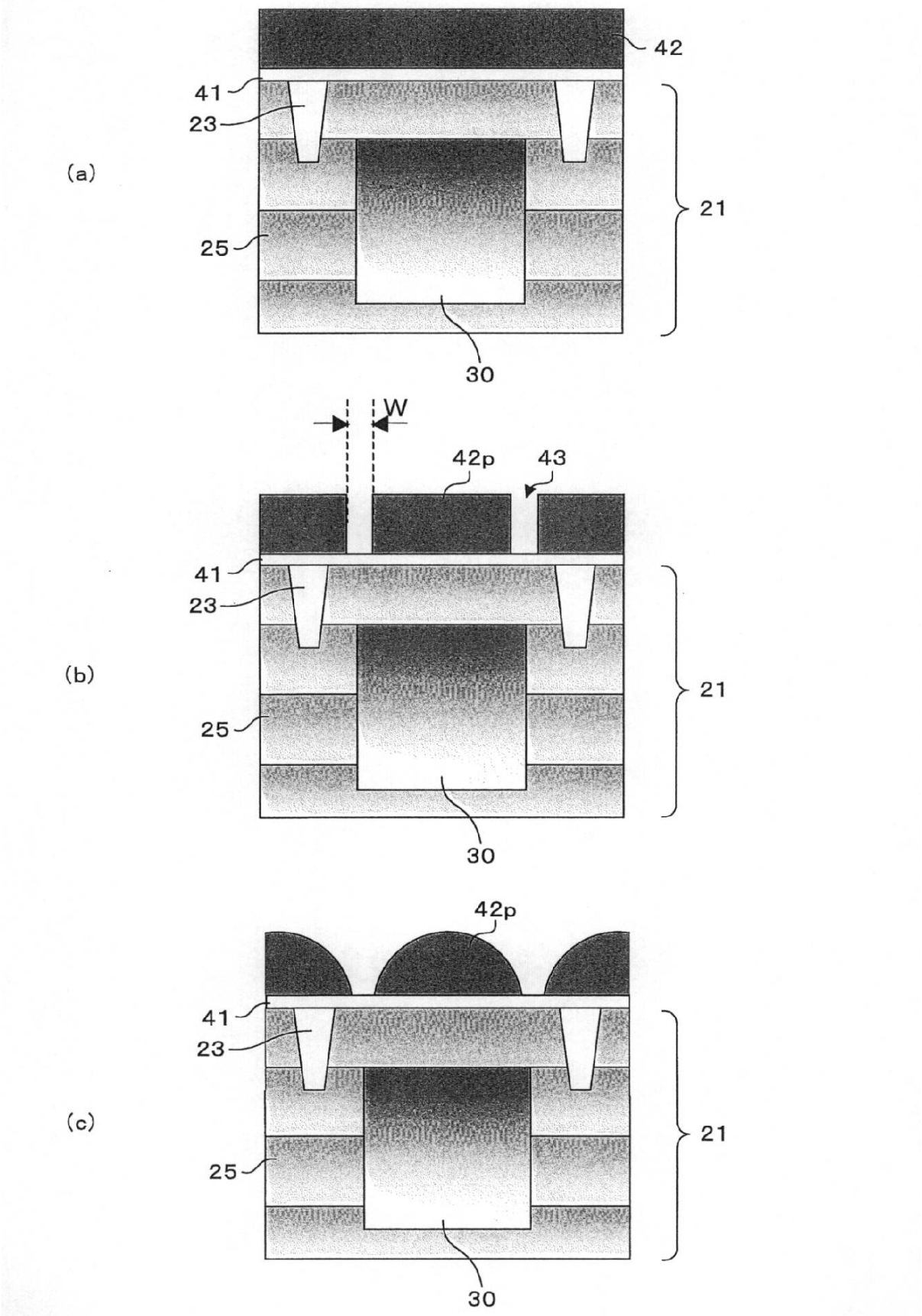
【図５】


P or As
28
31
34
33
23
(a)
21
25
27
B or BF2
26
31
27
29
34
33
23
(b)
21
25
27
29
26
28
24
23
(c)
21
25
22
27

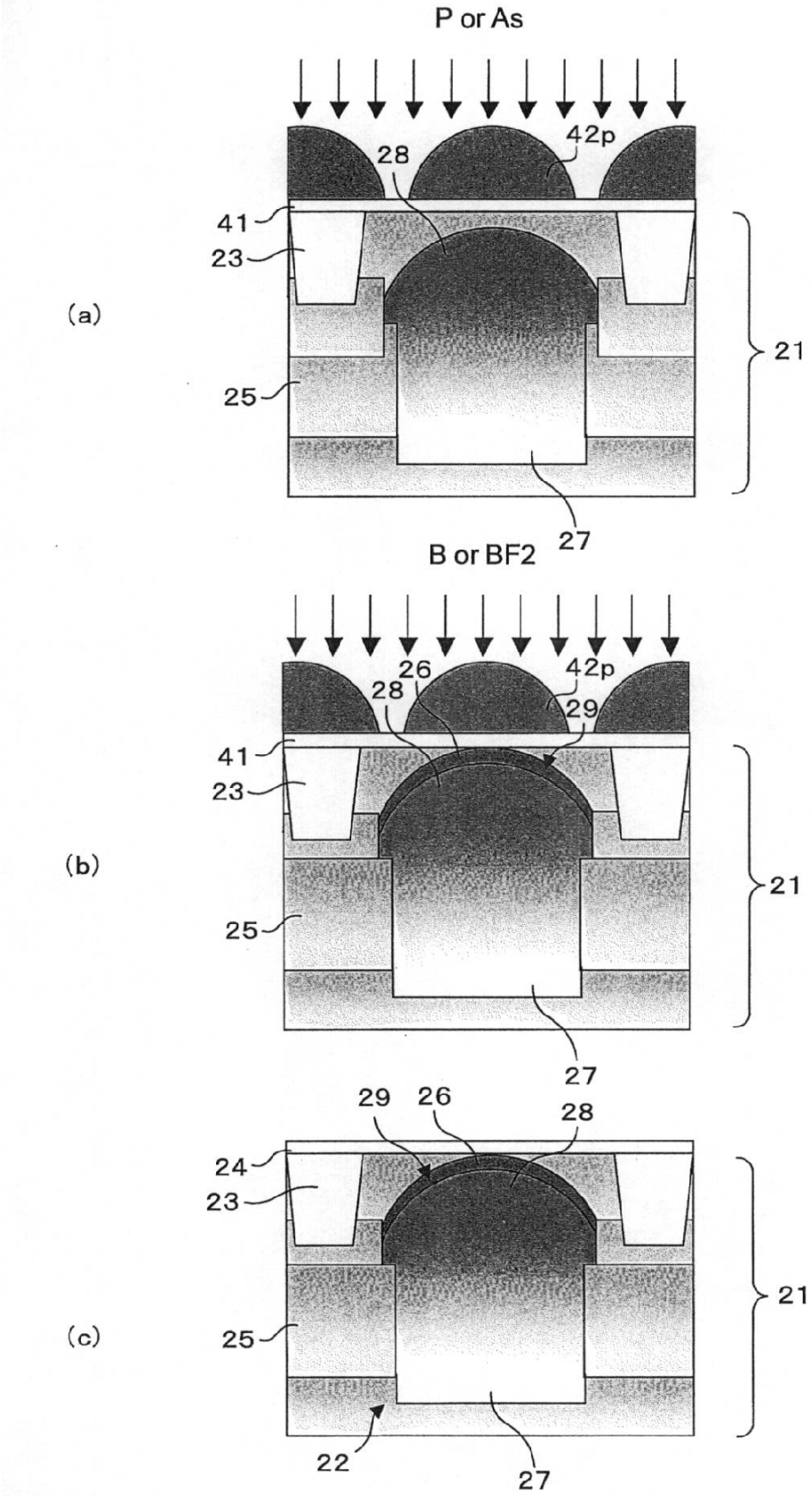
【図６】


(a)
A
B'
23
B
37
38
A'
36 電荷読み出しトランジスタ
(b)
29
26
28
A
A'
24
23
21
25
22
27
(c)
36
37 転送ゲート
26
29
28
B
B'
24
38
21
25
22
27

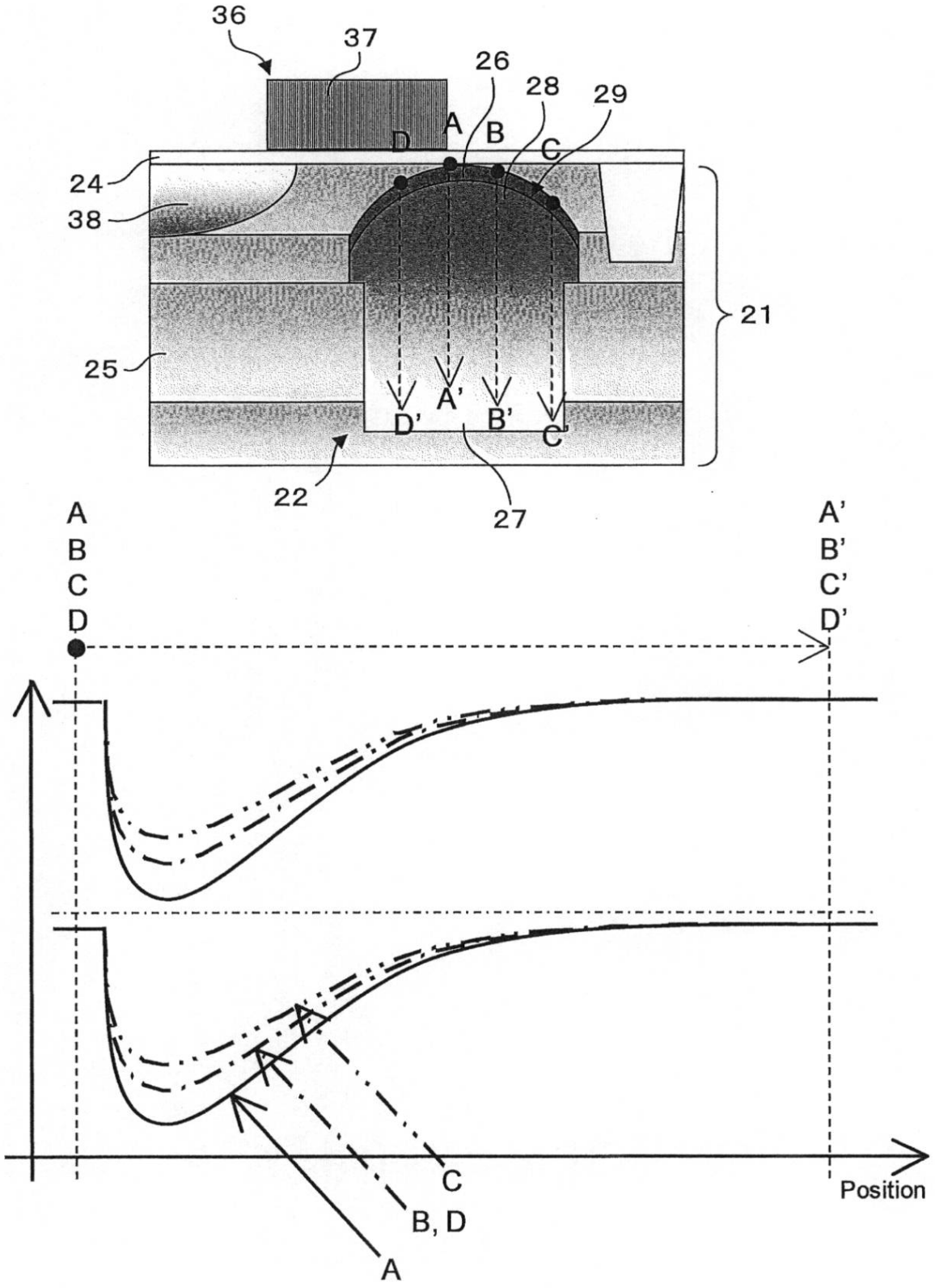
【図７】



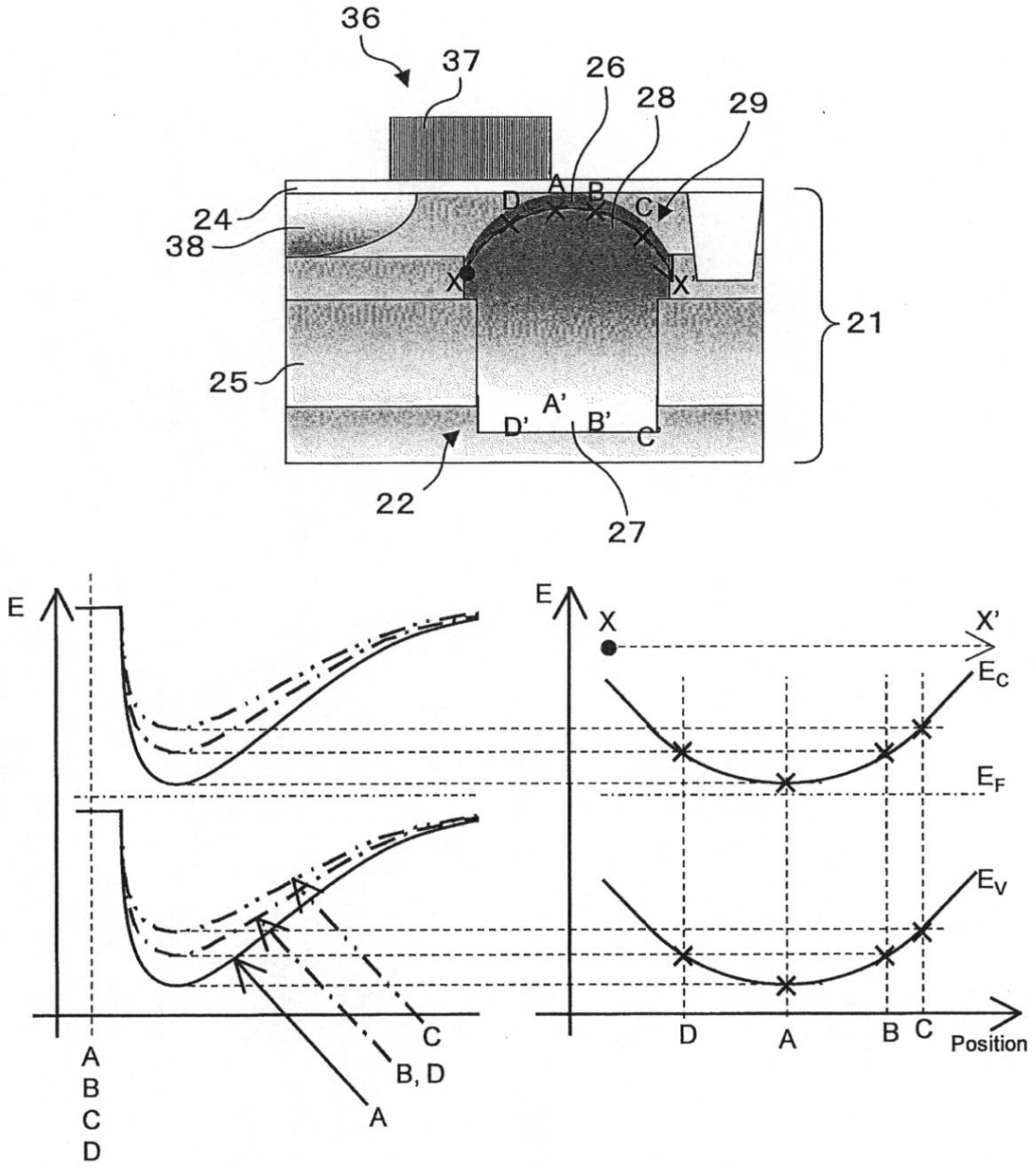
【図８】


P or As
42p
28
41
23
21
25
27
(a)
B or BF2
26
42p
28
29
41
23
21
25
27
(b)
29
26
28
24
23
21
25
22
27
(c)

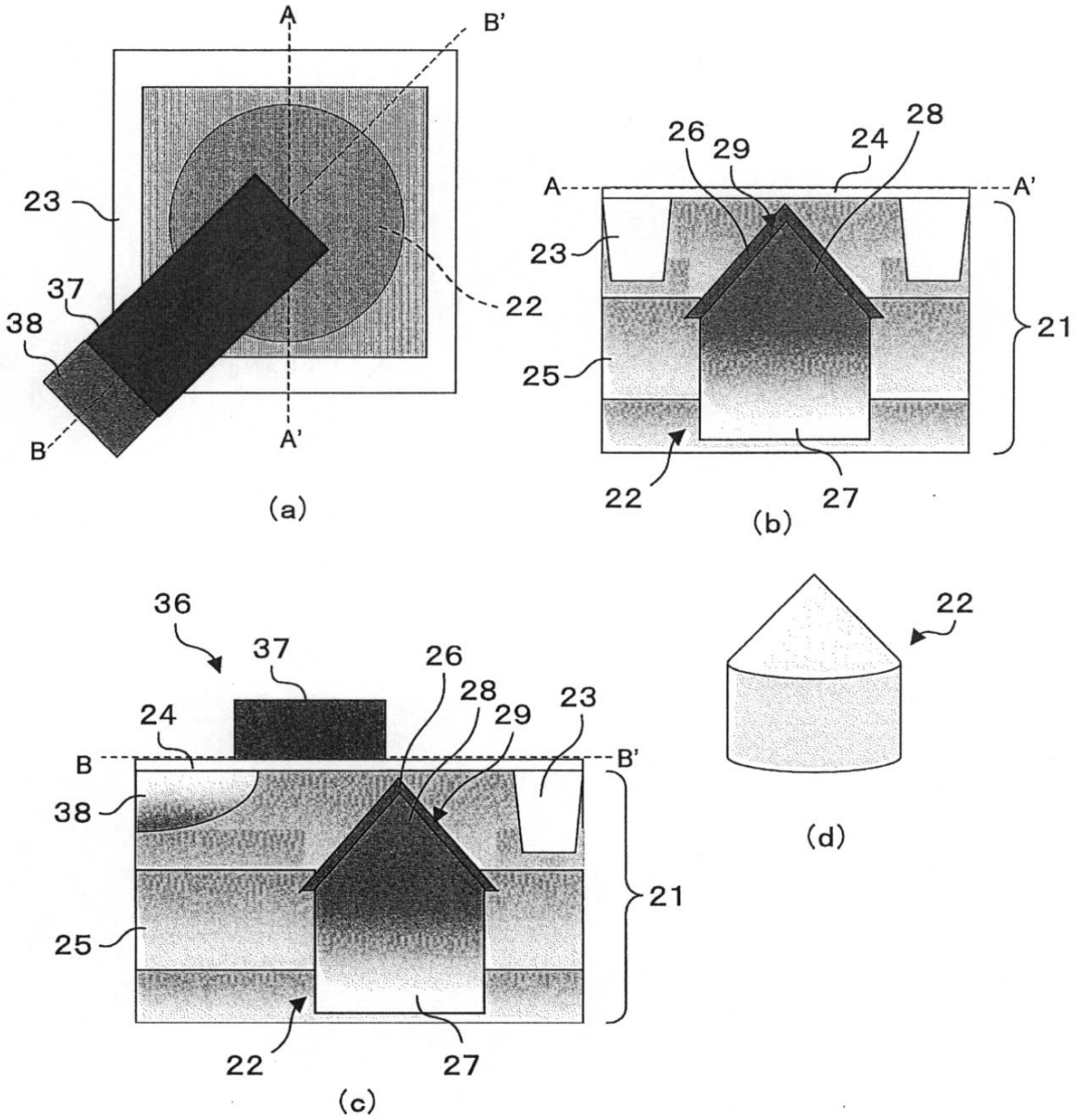
【図９】


36
37
26
28
29
A
B
C
D
24
38
21
25
A'
B'
C'
D'
22
27
A
B
C
D
A'
B'
C'
D'
Position
C
B, D
A

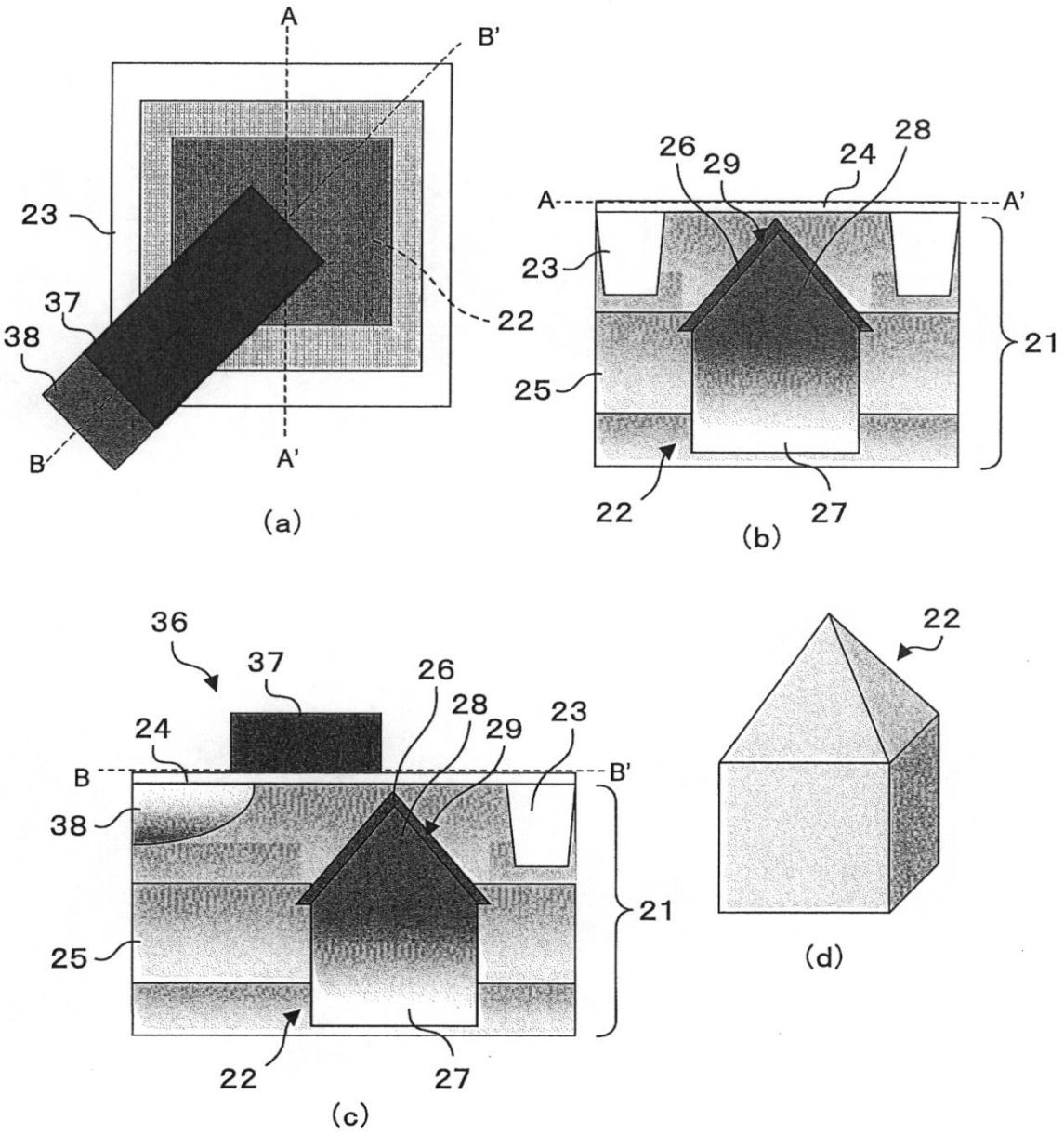
【図１０】


36
37
26
28
29
24
38
A
B
C
D
X
X'
21
25
A'
B'
C'
D'
22
27
E
A
B
C
D
C
B, D
A
E
X
X'
E_C
E_F
E_V
D
A
B
C
Position

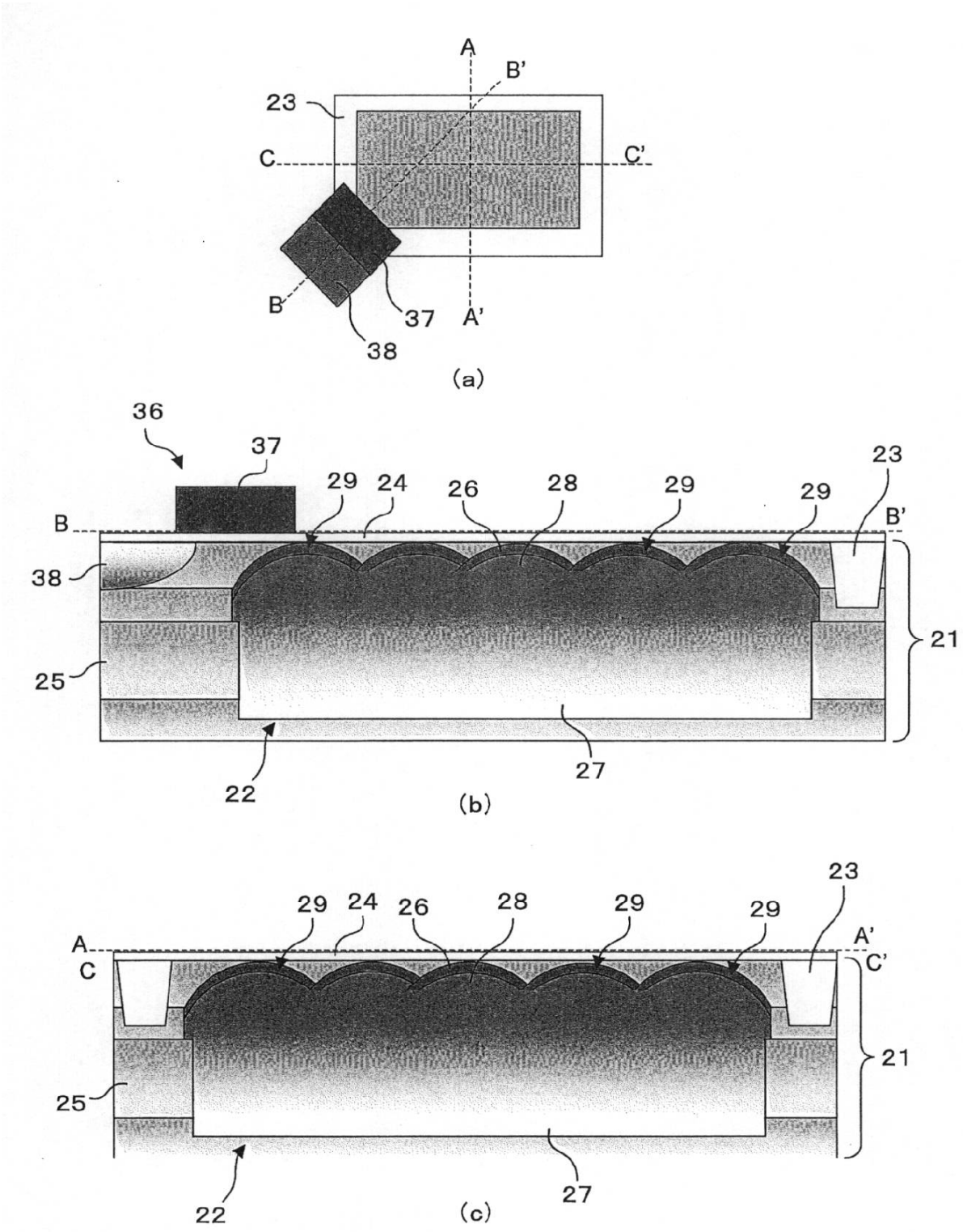
【図１１】


A
B'
23
37
38
22
B
A'
(a)
26
29
24
28
A
A'
23
21
25
22
27
(b)
36
37
26
28
29
23
24
B
B'
38
21
25
22
27
(c)
22
(d)

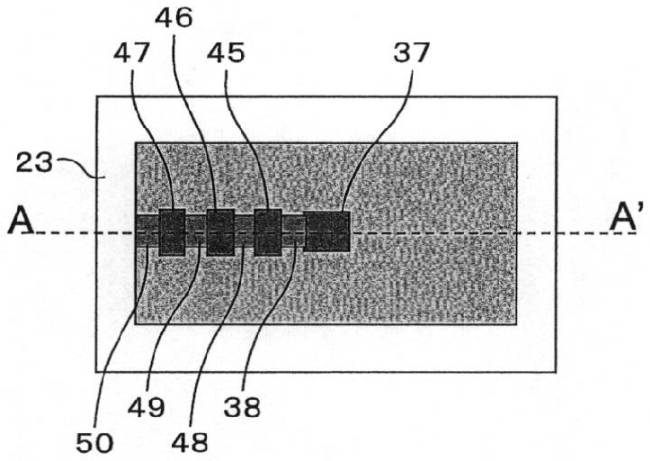
【図１２】


A
B'
23
37
38
22
B
A'
(a)
26
29
24
28
A
A'
23
21
25
22
27
(b)
36
37
26
28
29
23
24
B
B'
38
21
25
22
27
(c)
22
(d)

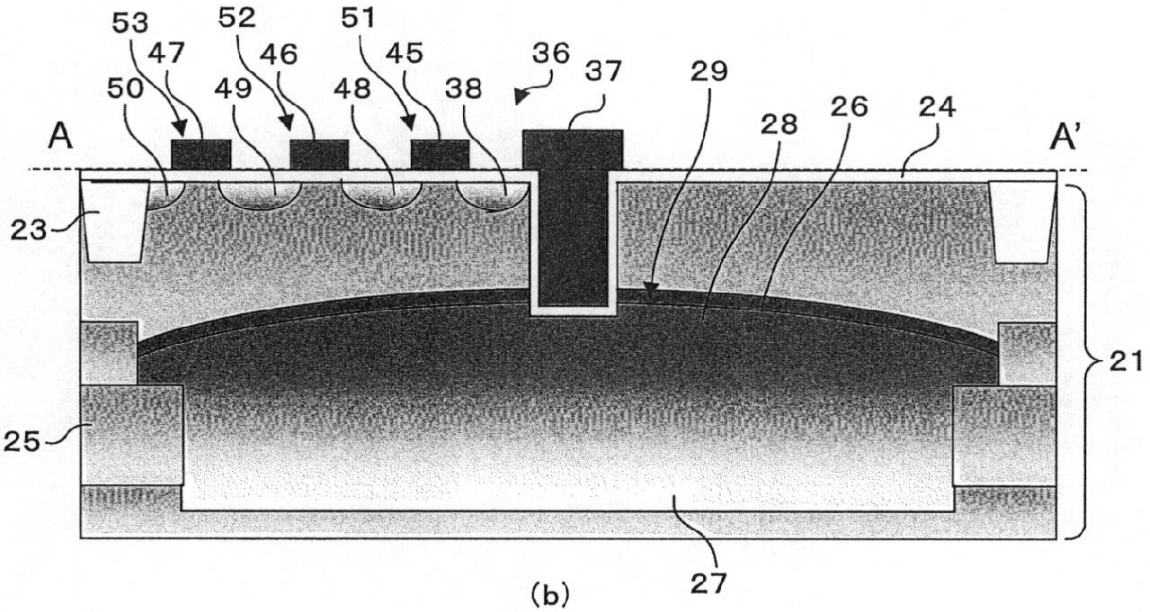
【図１３】


A
B'
23
C
C'
B
37
A'
38
(a)
36
37
29
24
26
28
29
29
23
B
B'
38
21
25
27
22
(b)
23
29
24
26
28
29
29
A
A'
C
C'
21
25
27
22
(c)

【図１４】


46
47
45
37
23
A
A'
49
38
50
48

(a)


53
52
51
47
46
45
36
37
29
50
49
48
38
28
26
24
A
A'
23
21
25
27

(b)

フロントページの続き

(56)参考文献 特開２００５－３３２９２５（ＪＰ，Ａ）
特開２００７－１３４５６２（ＪＰ，Ａ）
特開２００８－０６６７４２（ＪＰ，Ａ）
特開２００５－２０９８１０（ＪＰ，Ａ）
特開２００５－３１０８２６（ＪＰ，Ａ）
特開平０６－０７７５２２（ＪＰ，Ａ）
特開２００８－２１８６７０（ＪＰ，Ａ）
特開平０９－０６４３２８（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
Ｈ０１Ｌ　２７／１４６
Ｈ０４Ｎ　５／３０　－　Ｈ０４Ｎ　５／３７８