

DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告 (条約第21条(3))

compared with a second reference voltage, and a 1-bit digital signal is output. A current is drawn from the first integrating node or the second integrating node in accordance with the 1-bit digital signal. A short switch is provided between the first integrating node and the second integrating node to short the nodes.

(57) 要約: 電流入力型のデルタシグマ変調器で入力が急激に変化する場合に内部状態が不安定になることを軽減する。第一積分ノードに信号電流が入力される。第二積分ノードに固定電流と信号電流の差分電流が入力される。第一積分ノードと上記第二積分ノードとの間に、第一積分ノードの電圧と第1の基準電圧との差分電圧を電流に変換して出力する電圧電流変換器が接続される。第二積分ノードの電圧が第2の基準電圧と比較されて、1ビットのデジタル信号が出力される。この1ビットのデジタル信号に応じて第一積分ノードまたは第二積分ノードから電流が引かれる。第一積分ノードと第二積分ノードの間に、これらをショートするためのショートスイッチが備えられる。

明 細 書

発明の名称：

デルタシグマ変調器およびデルタシグマ変調器の駆動方法

技術分野

[0001] 本技術は、デルタシグマ変調器およびデルタシグマ変調器の駆動方法に関し、特に、電流入力型のデルタシグマ変調器等に関する。

背景技術

[0002] AD（アナログーデジタル）変換器の一つとしてデルタシグマ変調器が用いられる（例えば、特許文献1参照）。

先行技術文献

特許文献

[0003] 特許文献1：特開2010-263483号公報

発明の概要

発明が解決しようとする課題

[0004] 電流入力型のデルタシグマ変調器の入力が急激に変化する場合、内部状態が不安定になる。このように内部状態が不安定となることを軽減して、出力のセトリングを高速化し、AD変換時間の短縮化を図ることが望まれる。

[0005] 本技術の目的は、電流入力型のデルタシグマ変調器で入力が急激に変化する場合に内部状態が不安定になることを軽減することにある。

課題を解決するための手段

[0006] 本技術の概念は、
信号電流が入力される第一積分ノードと、
固定電流と上記信号電流の差分電流が入力される第二積分ノードと、
上記第一積分ノードと上記第二積分ノードとの間に接続され、上記第一積分ノードの電圧と第1の基準電圧との差分電圧を電流に変換して出力する電圧電流変換器と、

上記第二積分ノードの電圧を第2の基準電圧と比較して、1ビットのデジタル信号を出力する1ビットADコンバータと、

上記1ビットADコンバータの出力に応じて上記第一積分ノードまたは上記第二積分ノードから電流を引くフィードバックDAコンバータと、

上記第一積分ノードと上記第二積分ノードをショートするためのショートスイッチを備える

デルタシグマ変調器にある。

[0007] 本技術において、デルタシグマ変調器は、第一積分ノード、第二積分ノード、電圧電流変換器、1ビットADコンバータおよびフィードバックDAコンバータを備えている。第一積分ノードには、信号電流が入力される。第二積分ノードには、固定電流と信号電流の差分電流が入力される。電圧電流変換器は、第一積分ノードと第二積分ノードとの間に接続されている。この電圧電流変換器では、第一積分ノードの電圧と第1の基準電圧との差分電圧が電流に変換されて出力される。

[0008] 1ビットADコンバータでは、第二積分ノードの電圧が第2の基準電圧と比較されて、1ビットのデジタル信号が出力される。フィードバックDAコンバータでは、この1ビットADコンバータの出力に応じて、第一積分ノードまたは第二積分ノードから電流を引くことが行われる。

[0009] 本技術において、デルタシグマ変調器は、第一積分ノードと第二積分ノードをショートするためのショートスイッチをさらに備えている。例えば、ショートスイッチは、第一積分ノードおよび第二積分ノードが平衡状態から外れる可能性があるタイミングでオンとされる。この場合、例えば、上記タイミングは、信号電流が急激に変わるタイミング、例えば信号電流の系統の切り替えタイミングである、ようにされてもよい。また、例えば、上記タイミングは、固定電流が不安定となるタイミングである、ようにされてもよい。

[0010] このように本技術においては、第一積分ノードと第二積分ノードをショートするためのショートスイッチを備えるものである。そのため、入力が急激に変化する場合、このショートスイッチをオンとすることで、内部状態が不

安定になることを軽減でき、出力のセトリングを高速化し、AD変換時間の短縮化を図ることが可能となる。

図面の簡単な説明

[0011] [図1]電流入力型のデルタシグマ変調器の構成例を示す図である。

[図2]平衡状態から第一積分ノードに入力される信号電流 I_{sig} が急激に大きくなって非平衡状態となった場合を示す図である。

[図3]実施の形態としてのデルタシグマ変調器の構成例を示す図である。

[図4]信号電流 I_{sig} が急激に変わるタイミングでショートスイッチがオンとされた場合の電流イメージの一例を示す図である。

[図5]信号電流 I_{sig} が急激に変わるタイミングの一例を示す図である。

[図6]各スイッチの切り替えのための制御信号の一例を示す図である。

[図7]ショートスイッチの切り替えのための制御信号を生成する生成回路の一例を示す図である。

[図8]固定電流 I_{dc} が不安定となるタイミングでショートスイッチがオンとされる場合について説明するための図である。

[図9]各スイッチの切り替えのための制御信号の一例を示す図である。

発明を実施するための形態

[0012] 以下、発明を実施するための形態（以下、「実施の形態」とする）について説明する。なお、説明は以下の順序で行う。

1. 実施の形態

2. 変形例

[0013] <1. 実施の形態>

[デルタシグマ変調器]

図1は、電流入力型のデルタシグマ変調器10の構成例を示している。このデルタシグマ変調器10は、第一積分ノード101と、第二積分ノード102と、電圧電流変換器103と、1ビットADコンバータ104と、フィードバックDAコンバータ105を備えている。

[0014] 第一積分ノード101は、コンデンサ101aからなる積分器で構成され

ている。この第一積分ノード101には、信号電流 I_{sig} が入力される。第二積分ノード102は、抵抗102aおよびコンデンサ102bの直列回路からなる積分器で構成されている。この第二積分ノード102には、固定電流 I_{dc} と信号電流 I_{sig} の差分の電流($I_{dc}-I_{sig}$)が入力される。

[0015] 電圧電流変換器103は、第一積分ノード101と第二積分ノード102との間に接続されている。この電圧電流変換器103は、演算増幅器103aで構成されている。この場合、反転入力端子に第一積分ノード101が接続され、非反転入力端子に第1の基準電圧 $ref1$ が印加され、出力端子が第二積分ノード102に接続されている。この電圧電流変換器103では、第一積分ノード101の電圧 $1st-int.$ と第1の基準電圧 $ref1$ との差分電圧($ref1-1st-int.$)が変換係数 g_m で電流に変換される。

[0016] 1ビットADコンバータ104は、比較器104a、インバータ104bおよびDフリップフロップ104cの直列回路で構成されている。比較器104aおよびDフリップフロップ104cは、クロックCLKに同期して動作する。比較器104aでは、第二積分ノード102の電圧 $2nd-int.$ が第2の基準電圧 $ref2$ と比較され、 $2nd-int. \geq ref2$ のとき、ハイレベルの信号“1”が出力され、 $2nd-int. < ref2$ のとき、ローレベルの信号“0”が出力される。インバータ104bでは、比較器104aの出力信号が反転される。Dフリップフロップ104cでは、データ入力端子(D端子)に入力されるインバータ104bの出力信号が、クロックCLKに同期して順次ラッチされて、データ出力端子(Q端子)に1ビットのデジタル信号として、出力される。

[0017] フィードバックDAコンバータ105は、定電流回路105a、第一積分ノード101から電流を引き抜くためのスイッチ105bおよび第二積分ノード102から電流を引く抜くためのスイッチ105sで構成されている。このフィードバックDAコンバータ105では、1ビットADコンバータ104の出力に応じて、第一積分ノード101または第二積分ノード102から電流を引くことが行われる。

[0018] フィードバックDAコンバータ105の電流 I_{fb} は、常に一定の電流である

が、このフィードバックDAコンバータ105では、上述したように1ビットADコンバータ104の出力に応じて引き抜くノードが切り替えられ、それぞれのノードから引き抜く電流の平均がそれぞれのノードへの入力電流と釣り合う平衡状態となるように動作する。この平衡状態における1ビットADコンバータ104の出力DOUTが、デルタシグマ変調器10としての正しい出力（セトリングした出力）となる。

[0019] ここで、第一積分ノード101に入力される信号電流 I_{sig} が小さく、第二積分ノード102に入力される電流($I_{dc}-I_{sig}$)が大きくなっている場合を考える(図1には、それぞれの電流量の大小を矢印の太さで概念的に示している)。この場合、平衡状態では、フィードバックDAコンバータ105では、第一積分ノード101から電流を引き抜く頻度は低く、逆に、第二積分ノード102から電流を引き抜く頻度が高くなっている。

[0020] この平衡状態から、第一積分ノード101に入力される信号電流 I_{sig} が急激に大きくなって非平衡状態となった場合を考える。図2は、その非平衡状態となった場合を示している。この場合、第一積分ノード101および第二積分ノード102でそれぞれ平衡状態が崩れることになり、第一積分ノード101の電圧1st-int.は上昇し、第二積分ノードの電圧2nd-int.は下降する。また、この場合、電圧電流変換器103では、第一積分ノード101の電圧1st-int.が第1の基準電圧ref1より高くなると、第二積分ノード102から電流を引き抜く動作が行われる。そのため、第二積分ノードの電圧2nd-int.はさらに下降する。

[0021] デルタシグマ変調器10では、このような非平衡状態から再度平衡状態になるようにフィードバックがかかる構成となっている。しかし、平衡状態から大きく外れてしまうと、再び平衡状態になるまでにはある程度の時間を要するため、AD変換時間に係る時間が長くなるという問題がある。本技術は、このような問題を解決しようとするものである。

[0022] 図3は、実施の形態としての、電流入力型のデルタシグマ変調器10Aの構成例を示している。この図3において、図1と対応する部分には同一符号

を付して示している。このデルタシグマ変調器 10A は、第一積分ノード 101 と、第二積分ノード 102 と、電圧電流変換器 103 と、1 ビット AD コンバータ 104 と、フィードバック DA コンバータ 105 と、ショートスイッチ 106 を備えている。第一積分ノード 101、第二積分ノード 102、電圧電流変換器 103、1 ビット AD コンバータ 104 およびフィードバック DA コンバータ 105 の部分に関しては、図 1 に示すデルタシグマ変調器 10 と同様の構成動作となるので、その詳細説明は省略する。

[0023] デルタシグマ変調器 10A は、図 1 に示すデルタシグマ変調器 10 に対して、ショートスイッチ 106 が追加された構成となっている。このショートスイッチ 106 は、第一積分ノード 101 と第二積分ノード 102 とショートするためのものであり、一端が第一積分ノード 101 に接続され、他端が第二積分ノード 102 に接続されている。

[0024] このショートスイッチ 106 は、通常時はオフ（非接続状態）とされているが、第一積分ノード 101 および第二積分ノード 102 が平衡状態から外れる可能性があるタイミングでオン（接続状態）とされる。各積分ノードが平衡状態から外れる可能性があるタイミングとして、（1）信号電流 I_{sig} が急激に変わるタイミング、（2）固定電流 I_{dc} が不安定となるタイミング、などが考えられる。

[0025] （1）信号電流 I_{sig} が急激に変わるタイミングでショートスイッチ 106 がオンとされた場合について説明する。図 4 は、その場合の電流イメージの一例を示している。この例は、上述の図 2 に示したと同様に、第一積分ノード 101 に入力される信号電流 I_{sig} が小さい状態から急激に大きくなった場合の例である。この場合、ショートスイッチ 106 を介して第一積分ノード 101 側から第二積分ノード 102 側に電流が流れ、各積分ノードへの入力電流とフィードバック DA コンバータ 105 で引き抜く平均電流が釣り合った状態となる。

[0026] なお、図示は省略するが、入力される信号電流 I_{sig} が大きい状態から急激に小さくなった場合ににあっても、ショートスイッチ 106 がオンとされる

ことで、このショートスイッチ106を介して第二積分ノード102側から第一積分ノード101側に電流が流れ、各積分ノードへの入力電流とフィードバックDAコンバータ105で引き抜く平均電流が釣り合った状態となる。

[0027] また、このようにショートスイッチ106がオンとされた場合、電圧電流変換器103を構成する演算増幅器103aの部分はボルテージフォロワの構成となる。そのため、第一積分ノード101の電圧1st-int.と第二積分ノード102の電圧1nd-int.を第1の基準電圧ref1に近づけるような増幅器動作となる。これにより、信号電流 I_{sig} が急激に変わる場合であっても、平衡状態から大幅に動作点がずれることが避けられる。

[0028] ショートスイッチ106は、信号電流 I_{sig} の変化にある程度追従できるようになったところで、ショートスイッチ106はオフとされる。これにより、デルタシグマ変調器10Aは、通常の動作状態に戻される。

[0029] 図5は、信号電流 I_{sig} が急激に変わるタイミングの一例として、信号電流 I_{sig} の系統を切り替える場合を示している。図示の例は、信号電流 I_{sig} として第1の系統の信号電流 I_{sig1} と第2の系統の信号電流 I_{sig2} の2系統存在する場合を示している。詳細説明は省略するが、3系統以上が存在する場合であっても同様である。

[0030] スイッチSW1～SW4を切り替えることによって、第1の系統が選択される場合、第一積分ノード101には信号電流 I_{sig1} が入力され、第二積分ノード102には電流($I_{dc} - I_{sig1}$)が入力され、第2の系統が選択される場合、第一積分ノード101には信号電流 I_{sig2} が入力され、第二積分ノード102には電流($I_{dc} - I_{sig2}$)が入力される。

[0031] 第1の系統の信号電流 I_{sig1} と第2の系統の信号電流 I_{sig2} との間に大きな差がある場合には、スイッチSW1～SW4を切り替えにより、第1の系統から第2の系統に、あるいはその逆に第2の系統から第1の系統に切り替える場合、信号電流 I_{sig} が急激に変わることになる。

[0032] 図6は、各スイッチの切り替えのための制御信号の一例を示している。図

6 (a) は、第 1 の系統に切り替えるためのスイッチ SW 1, SW 3 の制御信号 $\phi 1$ を示し、図 6 (b) は、第 1 の系統に切り替えるためのスイッチ SW 2, SW 4 の制御信号 $\phi 2$ を示している。制御信号 $\phi 1$ がハイレベルとなる期間でスイッチ SW 1, SW 3 がオンとされ、制御信号 $\phi 2$ がハイレベルとなる期間でスイッチ SW 2, SW 4 がオンとされる。

[0033] 図 6 (c) は、ショートスイッチ 106 の制御信号 $\phi 3$ を示している。この制御信号 $\phi 3$ がハイレベルとなる期間でショートスイッチ 106 がオンとされる。この制御信号 $\phi 3$ は、相補的に変化する制御信号 $\phi 1 / \phi 2$ がハイレベルからローレベルに、あるいはその逆にローレベルからハイレベルに切り替わるタイミングで、一定期間だけハイレベルとされたものである。この制御信号 $\phi 3$ がハイレベルとなる期間でショートスイッチ 106 がオンとされる。上述の各制御信号 $\phi 1$ 、 $\phi 2$ 、 $\phi 3$ はクロック CLK に同期して生成される。図 6 (d) は、そのクロック CLK を示している。

[0034] 図 7 は、制御信号 $\phi 1$ または制御信号 $\phi 2$ に基づいて制御信号 $\phi 3$ を生成する生成回路 20 の一例を示している。図示の例では、制御信号 $\phi 1 / \phi 2$ がハイレベルからローレベルに、あるいはその逆にローレベルからハイレベルに切り替わるタイミングから 2 クロック分の期間だけハイレベルとなり制御信号 $\phi 3$ が生成される。なお、制御信号 $\phi 3$ の生成手法は、図 7 に示すような生成回路 20 でクロック CLK に同期して生成する場合に限定されるものではなく、同期が不要な場合は単純な制御信号で実現するなど、その形態は問わない。

[0035] 次に、(2) 固定電流 I_{dc} が不安定となるタイミングでショートスイッチ 106 がオンとされる場合について説明する。固定電流 I_{dc} 、あるいは電流 ($I_{dc} - I_{sig}$) を生成する回路によっては、ある特定のタイミングで固定電流 I_{dc} が不安定となることも考えられる。この場合、固定電流は、 I_{dc} から I_{dc}' に変化し、第一積分ノード 101 に信号電流 I_{sig} が入力される際、第二積分ノード 102 には電流 ($I_{dc}' - I_{sig}$) が入力され、その和が一定値である固定電流 I_{dc} とはならず、それより大きくなったり小さくなったりするような状態

が一定期間続く。

[0036] この場合、上述の図 1 に示すような構成では、各積分ノードへの入力電流とフィードバック D/A コンバータ 105 で引き抜く平均電流とが釣り合わなくなり、不安定となる。この実施の形態においては、ショートスイッチ 106 がオンとされることで、デルタシグマ変調器 10A の平衡状態を保つことができる。

[0037] 図 8 は、第 1 の系統に切り替えた状態において、固定電流が I_{dc} から I_{dc}' ($I_{dc}' < I_{dc}$) に変化し、各積分ノードに入力される電流の和が I_{dc} より小さくなった場合を示している。この場合、図示のようにショートスイッチ 106 はオンとされる。

[0038] このようにショートスイッチ 106 がオンとされても、第二積分ノード 102 に入力される電流 ($I_{dc}' - I_{sig}$) と、この第二積分ノード 102 からフィードバック D/A コンバータ 105 で引き抜かれる電流が釣り合うことは無いが、このようにショートスイッチ 106 がオンとされた場合、電圧電流変換器 103 を構成する演算増幅器 103a の部分はボルテージフォロワの構成となる。そのため、第二積分ノード 102 の入力側の不足電流が電圧電流変換器 103 から供給されて安定する。なお、上述とは異なって、固定電流が I_{dc} から I_{dc}' ($I_{dc}' > I_{dc}$) に変化した場合には、第二積分ノード 102 の入力側の過剰電流は電圧電流変換器 103 に引かれて安定する。

[0039] 図 9 は、各スイッチの切り替えのための制御信号の一例を示している。図 9 (a) は、第 1 の系統に切り替えるためのスイッチ SW1, SW3 の制御信号 $\phi 1$ を示し、図 9 (b) は、第 1 の系統に切り替えるためのスイッチ SW2, SW4 の制御信号 $\phi 2$ を示している。制御信号 $\phi 1$ がハイレベルとなる期間でスイッチ SW1, SW3 がオンとされ、制御信号 $\phi 2$ がハイレベルとなる期間でスイッチ SW2, SW4 がオンとされる。

[0040] 図 9 (c) は、ショートスイッチ 106 の制御信号 $\phi 3$ を示し、図 9 (d) はクロック CLK を示し、図 9 (e) は固定電流を示している。この場合、制御信号 $\phi 3$ は、入力が不安定となるタイミング、つまり固定電流が I_{dc} から変

化するタイミングで、一定期間だけハイレベルとされ、ショートスイッチ 106 がオンとされる。

[0041] なお、この制御信号 $\phi 3$ は、制御信号 $\phi 1 / \phi 2$ がハイレベルからローレベルに、あるいはその逆にローレベルからハイレベルに切り替わるタイミングで、一定期間だけハイレベルとされているが、必ずしも必要ではない。また、図示の例では、入力信号が不安定になる期間を長いイメージで記載しているが、この長さは、固定電流 I_{dc} や差分電流 ($I_{dc} - I_{sig}$) などを作成する回路次第である。また、この制御信号 $\phi 3$ の作成手法についても特に形態は問わない。

[0042] 以上説明したように、図 3 に示すデルタシグマ変調器 10A においては、第一積分ノード 101 と第二積分ノード 102 をショートするためのショートスイッチ 106 を備えるものである。そのため、入力が急激に変化するタイミングでショートスイッチ 106 がオンとされることで、内部状態が不安定になることを軽減でき、出力のセトリングを高速化し、AD 変換時間の短縮化を図ることが可能となる。また、固定電流 I_{dc} が不安定となるタイミングで、固定電流 I_{dc} が不安定となるタイミングでショートスイッチ 106 がオンとされることで、内部状態の平衡を保ち、素早く安定状態に復帰することができる。

[0043] なお、本明細書に記載された効果はあくまで例示であって限定されるものではなく、また付加的な効果があってもよい。

[0044] < 2. 変形例 >

なお、上述実施の形態においては、添付図面を参照しながら本開示の好適な実施形態について詳細に説明したが、本開示の技術的範囲はかかる例に限定されない。本開示の技術分野における通常の知識を有する者であれば、特許請求の範囲に記載された技術的思想の範疇内において、各種の変更例または修正例に想到し得ることは明らかであり、これらについても、当然に本開示の技術的範囲に属するものと了解される。

[0045] また、本技術は、以下のような構成を取ることでもできる。

(1) 信号電流が入力される第一積分ノードと、
固定電流と上記信号電流の差分電流が入力される第二積分ノードと、
上記第一積分ノードと上記第二積分ノードとの間に接続され、上記第一積分ノードの電圧と第1の基準電圧との差分電圧を電流に変換して出力する電圧電流変換器と、

上記第二積分ノードの電圧を第2の基準電圧と比較して、1ビットのデジタル信号を出力する1ビットADコンバータと、

上記1ビットADコンバータの出力に応じて上記第一積分ノードまたは上記第二積分ノードから電流を引くフィードバックDAコンバータと、

上記第一積分ノードと上記第二積分ノードをショートするためのショートスイッチを備える

デルタシグマ変調器。

(2) 上記ショートスイッチは、上記第一積分ノードおよび上記第二積分ノードが平衡状態から外れる可能性があるタイミングでオンとされる

前記(1)に記載のデルタシグマ変調器。

(3) 上記タイミングは、上記信号電流が急激に変わるタイミングである
前記(2)に記載のデルタシグマ変調器。

(4) 上記タイミングは、上記信号電流の系統の切り替えタイミングである
る

前記(3)に記載のデルタシグマ変調器。

(5) 上記タイミングは、上記固定電流が不安定となるタイミングである
前記(2)から(4)のいずれかにデルタシグマ変調器。

(6) 信号電流が入力される第一積分ノードと、
固定電流と上記信号電流の差分電流が入力される第二積分ノードと、
上記第一積分ノードと上記第二積分ノードとの間に接続され、上記第一積分ノードの電圧と第1の基準電圧との差分電圧を電流に変換して出力する電圧電流変換器と、

上記第二積分ノードの電圧を第2の基準電圧と比較して、1ビットのデジ

タル信号を出力する１ビットＡＤコンバータと、

上記１ビットＡＤコンバータの出力に応じて上記第一積分ノードまたは上記第二積分ノードから電流を引くフィードバックＤＡコンバータと、

上記第一積分ノードと上記第二積分ノードをショートするためのショートスイッチを備えるデルタシグマ変調器の駆動に当たって、

上記ショートスイッチを、上記第一積分ノードおよび上記第二積分ノードが平衡状態から外れる可能性があるタイミングでオンとする

デルタシグマ変調器の駆動方法。

符号の説明

- [0046] １０Ａ・・・電流入力型のデルタシグマ変調器
 ２０・・・生成回路
 １０１・・・第一積分ノード
 １０１ａ・・・コンデンサ
 １０２・・・第二積分ノード
 １０２ａ・・・抵抗
 １０２ｂ・・・コンデンサ
 １０３・・・電圧電流変換器
 １０３ａ・・・演算増幅器
 １０４・・・１ビットＡＤコンバータ
 １０４ａ・・・比較器
 １０４ｂ・・・インバータ
 １０４ｃ・・・Ｄフリップフロップ
 １０５・・・フィードバックＤＡコンバータ
 １０５ａ・・・定電流回路
 １０５ｂ、１０５ｃ・・・スイッチ
 １０６・・・ショートスイッチ

請求の範囲

- [請求項1] 信号電流が入力される第一積分ノードと、
固定電流と上記信号電流の差分電流が入力される第二積分ノードと、
、
上記第一積分ノードと上記第二積分ノードとの間に接続され、上記第一積分ノードの電圧と第1の基準電圧との差分電圧を電流に変換して出力する電圧電流変換器と、
上記第二積分ノードの電圧を第2の基準電圧と比較して、1ビットのデジタル信号を出力する1ビットADコンバータと、
上記1ビットADコンバータの出力に応じて上記第一積分ノードまたは上記第二積分ノードから電流を引くフィードバックDAコンバータと、
上記第一積分ノードと上記第二積分ノードをショートするためのショートスイッチを備える
デルタシグマ変調器。
- [請求項2] 上記ショートスイッチは、上記第一積分ノードおよび上記第二積分ノードが平衡状態から外れる可能性があるタイミングでオンとされる請求項1に記載のデルタシグマ変調器。
- [請求項3] 上記タイミングは、上記信号電流が急激に変わるタイミングである請求項2に記載のデルタシグマ変調器。
- [請求項4] 上記タイミングは、上記信号電流の系統の切り替えタイミングである
請求項3に記載のデルタシグマ変調器。
- [請求項5] 上記タイミングは、上記固定電流が不安定となるタイミングである請求項2に記載のデルタシグマ変調器。
- [請求項6] 信号電流が入力される第一積分ノードと、
固定電流と上記信号電流の差分電流が入力される第二積分ノードと、
、

上記第一積分ノードと上記第二積分ノードとの間に接続され、上記第一積分ノードの電圧と第1の基準電圧との差分電圧を電流に変換して出力する電圧電流変換器と、

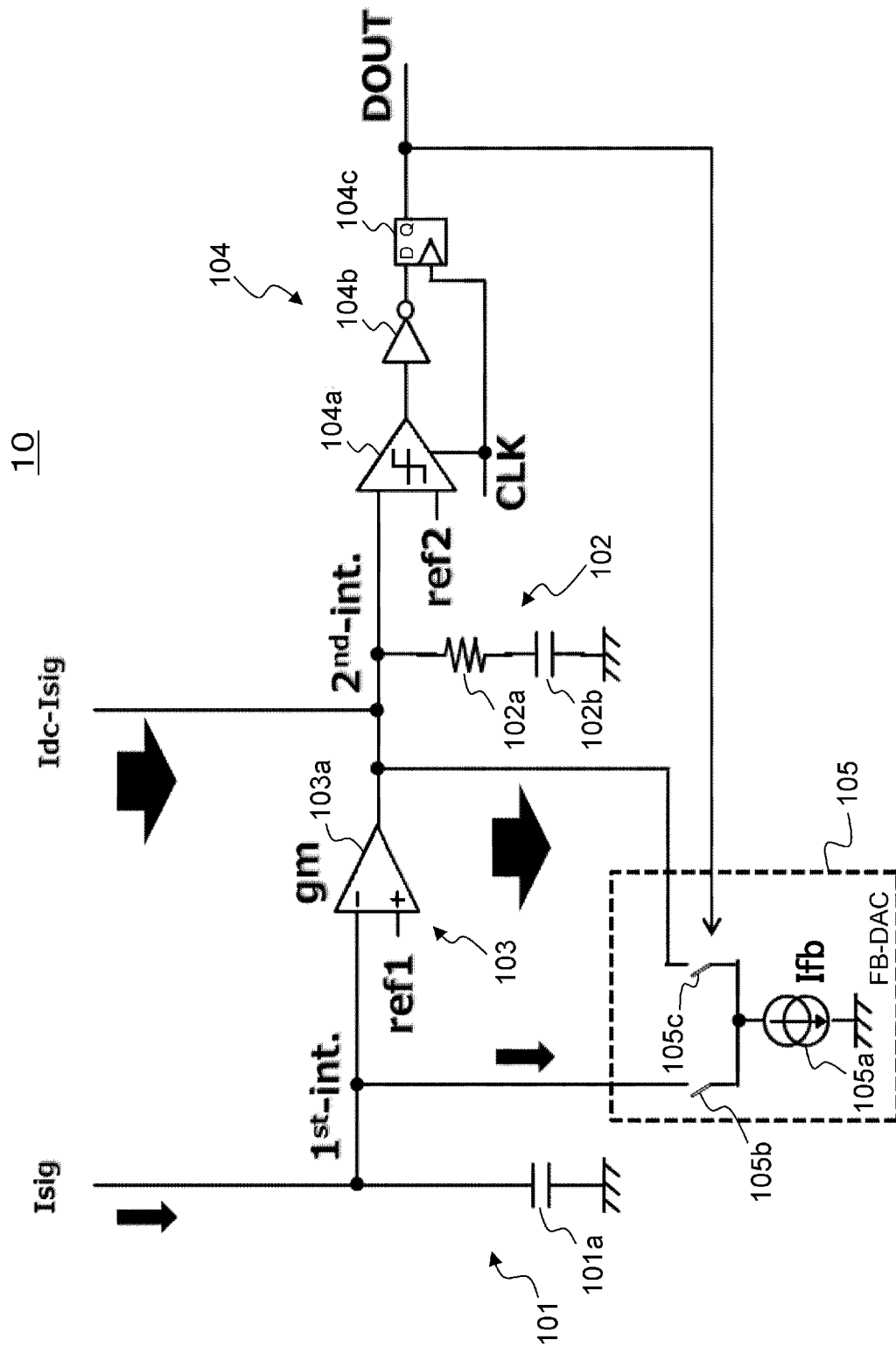
上記第二積分ノードの電圧を第2の基準電圧と比較して、1ビットのデジタル信号を出力する1ビットADコンバータと、

上記1ビットADコンバータの出力に応じて上記第一積分ノードまたは上記第二積分ノードから電流を引くフィードバックDAコンバータと、

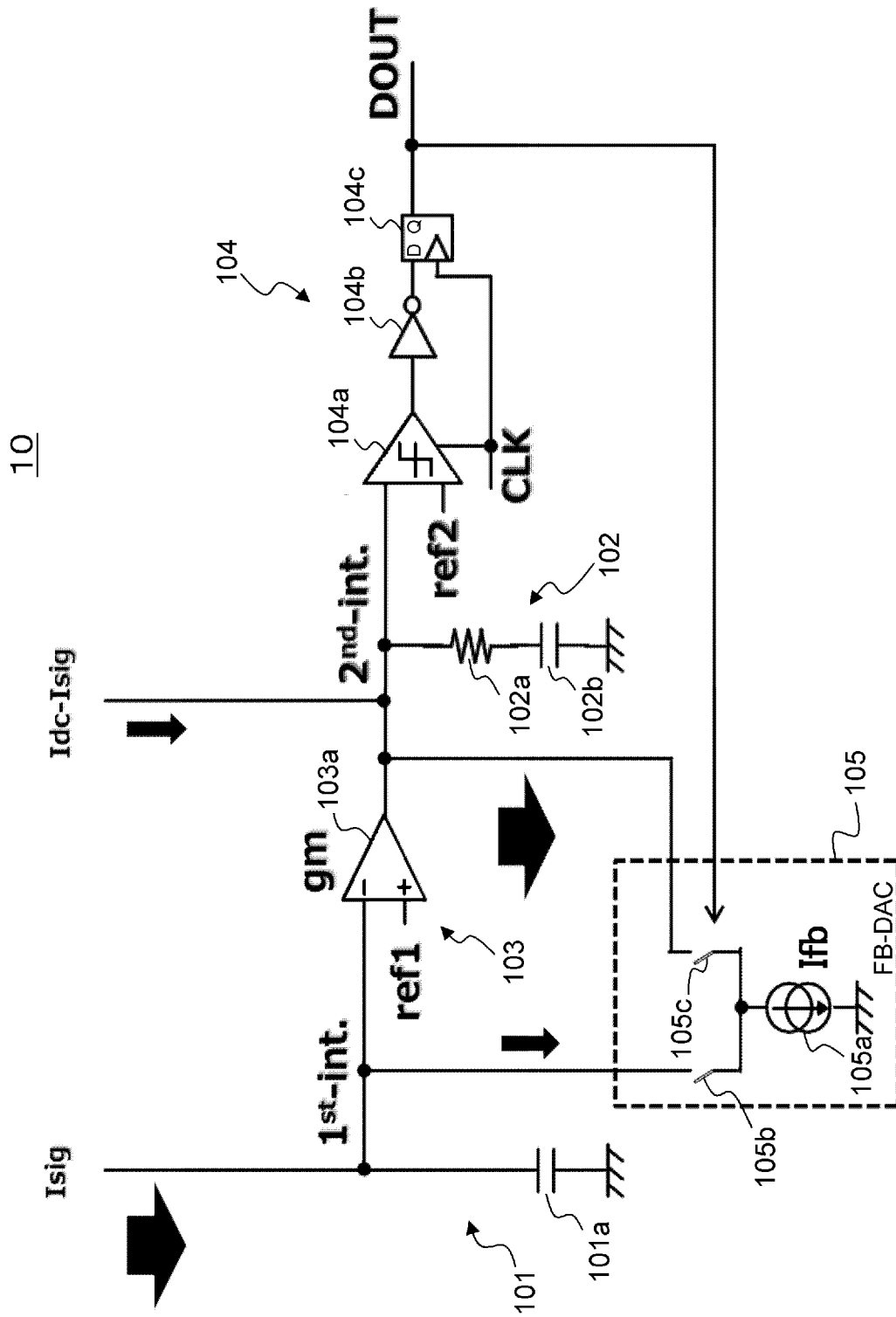
上記第一積分ノードと上記第二積分ノードをショートするためのショートスイッチを備えるデルタシグマ変調器の駆動に当たって、

上記ショートスイッチを、上記第一積分ノードおよび上記第二積分ノードが平衡状態から外れる可能性があるタイミングでオンとするデルタシグマ変調器の駆動方法。

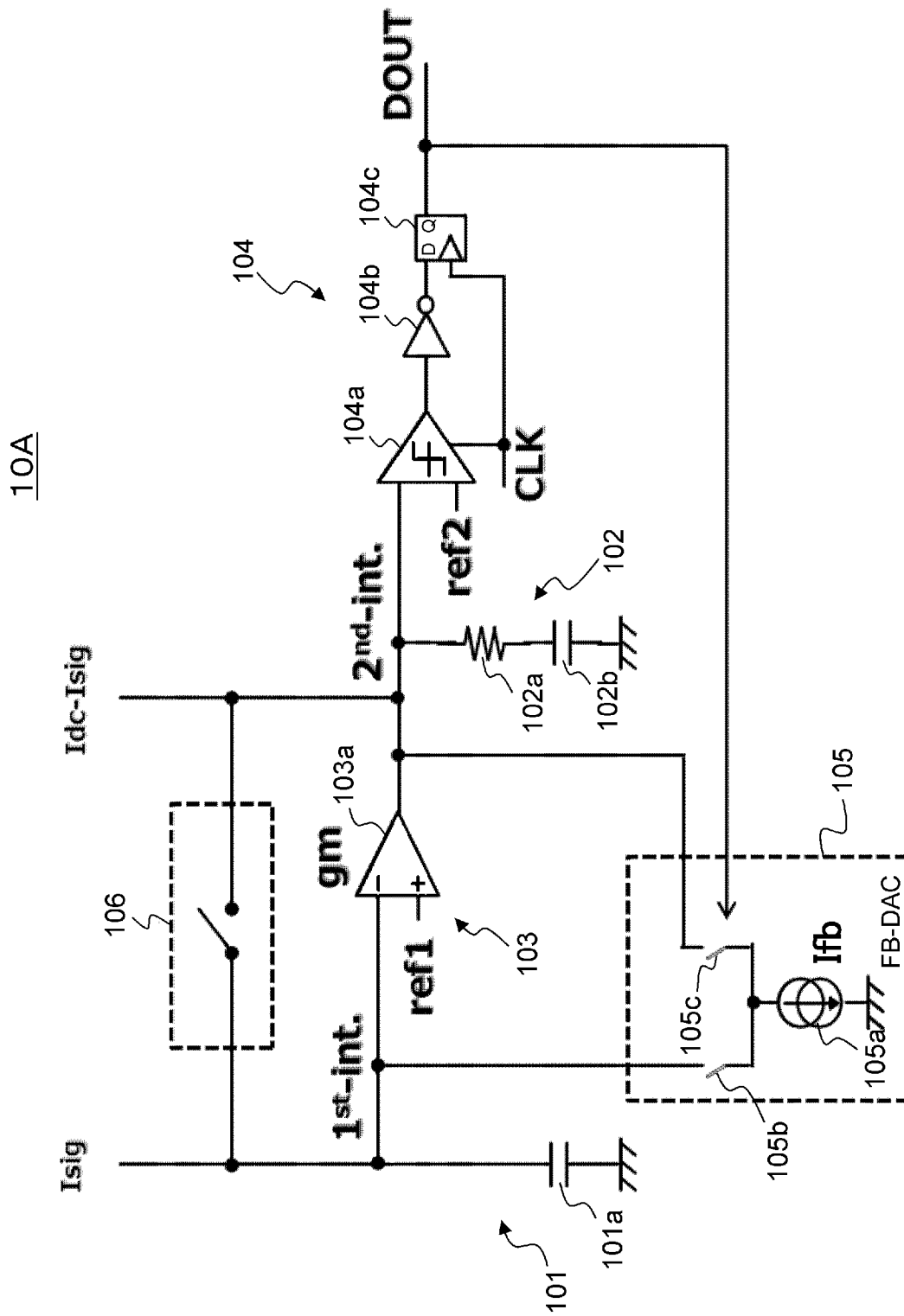
[図1]



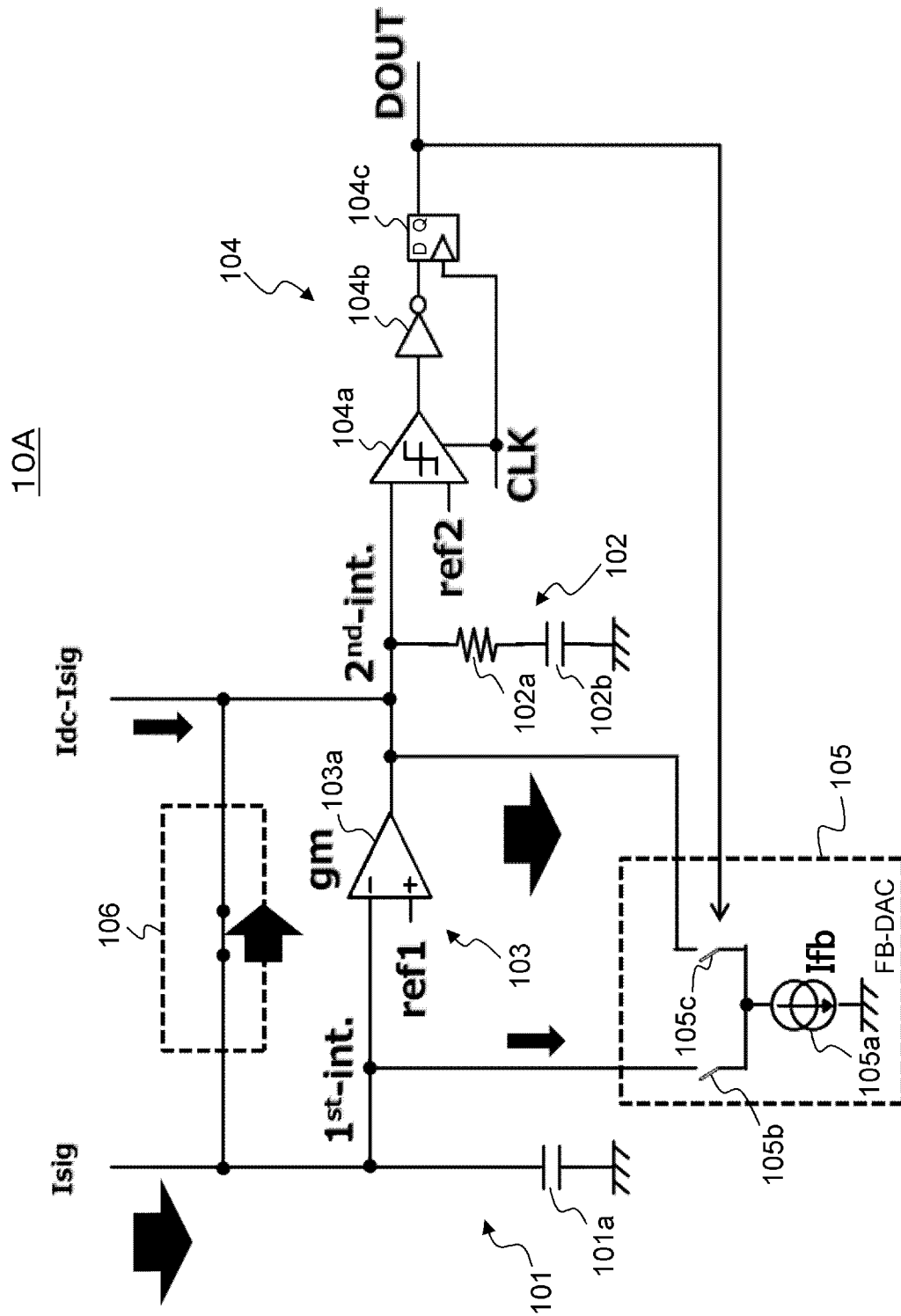
[図2]



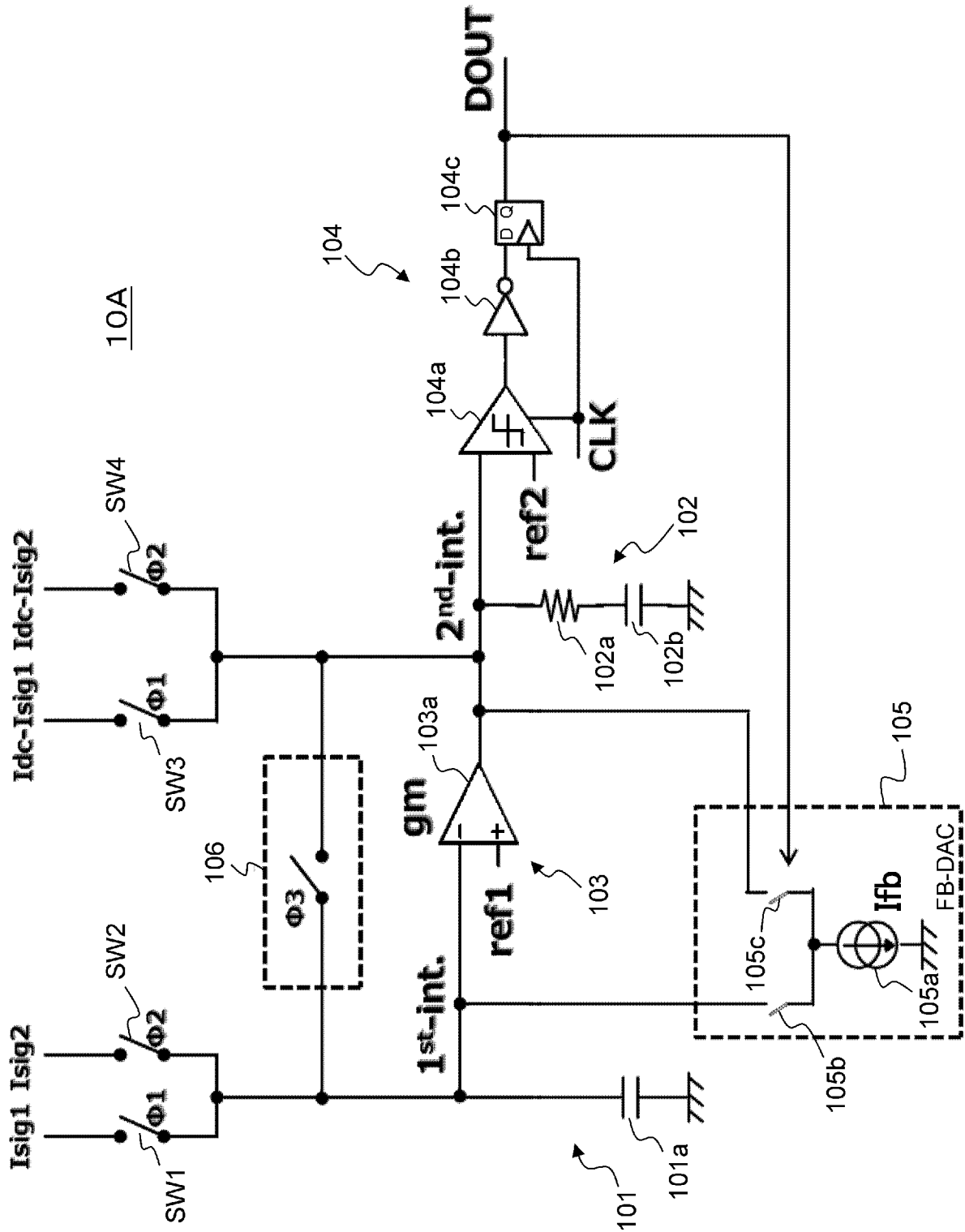
[図3]



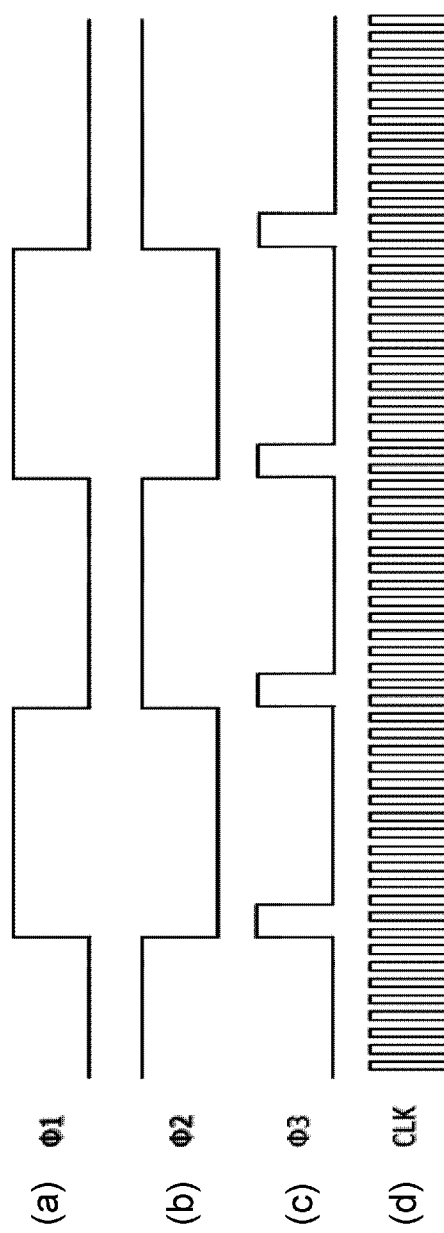
[図4]



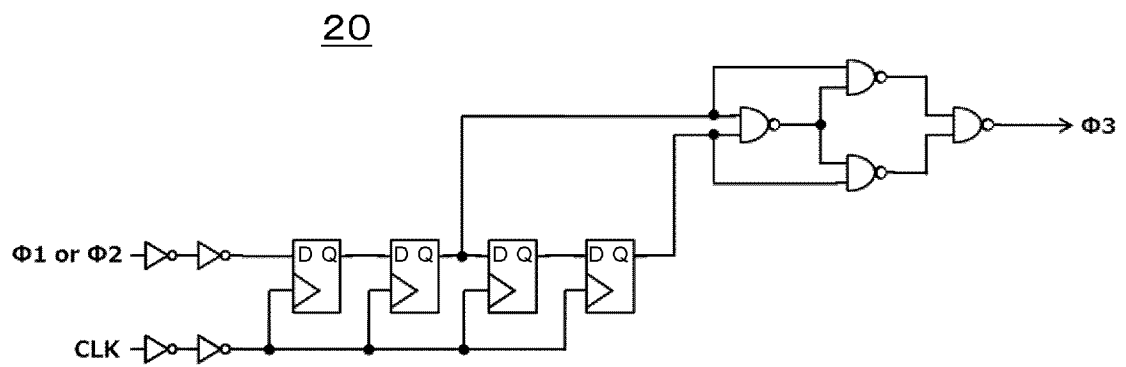
[図5]



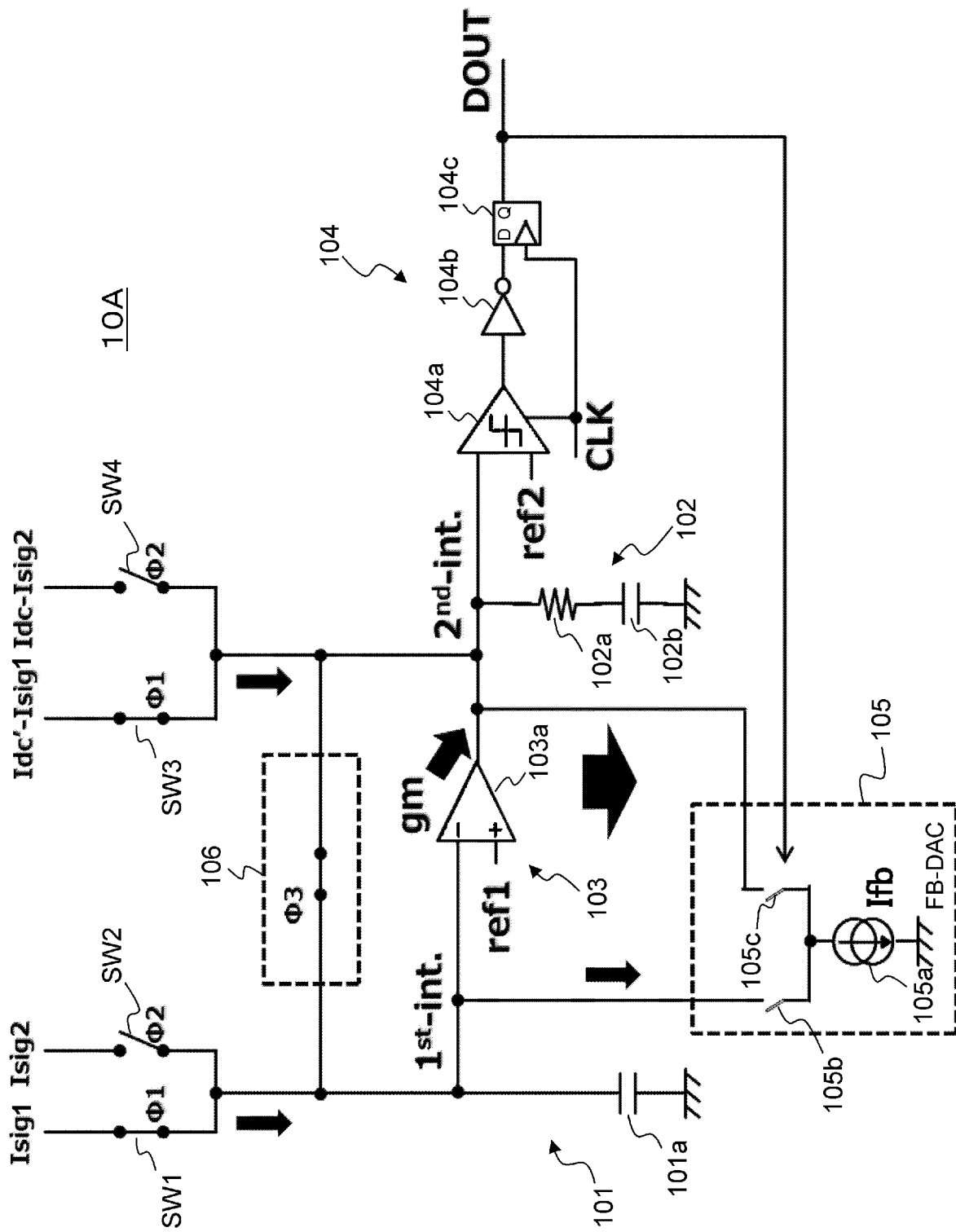
[図6]



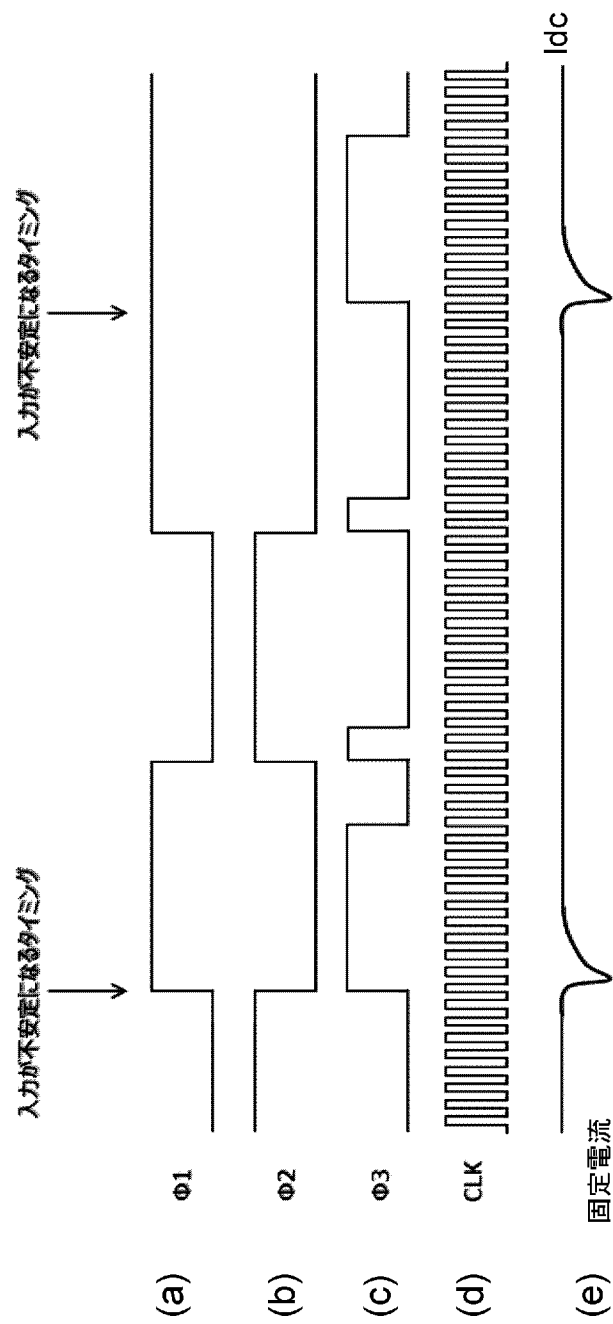
[図7]



[図8]



[図9]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/036012

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. H03M3/02 (2006.01) i, H03M1/52 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. H03M3/02, H03M1/52

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2019
Registered utility model specifications of Japan	1996-2019
Published registered utility model applications of Japan	1994-2019

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

IEEE Xplore

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	WO 2018/163679 A1 (SONY SEMICONDUCTOR SOLUTIONS CORP.) 13 September 2018, paragraphs [0042]-[0052], fig. 3 (Family: none)	1-2, 6 3-5
Y A	WO 2012/032690 A1 (PANASONIC CORPORATION) 15 March 2012, paragraphs [0021]-[0024], fig. 4-6 & US 2013/0169460 A1, paragraphs [0026]-[0030], fig. 4-6 & CN 103081363 A	1-2, 6 3-5

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
04.10.2019

Date of mailing of the international search report
15.10.2019

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H03M3/02(2006.01)i, H03M1/52(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H03M3/02, H03M1/52

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2019年
日本国実用新案登録公報	1996-2019年
日本国登録実用新案公報	1994-2019年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

IEEE Xplore

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	W0 2018/163679 A1（ソニーセミコンダクタソリューションズ株式会社）2018.09.13, [0042] - [0052], 図3（ファミリーなし）	1-2, 6 3-5
Y A	W0 2012/032690 A1（パナソニック株式会社）2012.03.15, [0021] - [0024], 図4-6 & US 2013/0169460 A1, [0026]-[0030], Figs.4-6 & CN 103081363 A	1-2, 6 3-5

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

04.10.2019

国際調査報告の発送日

15.10.2019

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

北村 智彦

5 K

9297

電話番号 03-3581-1101 内線 3556