



I643263

【發明摘要】

【中文發明名稱】

半導體裝置之製造方法

【英文發明名稱】

METHOD OF MANUFACTURING SEMICONDUCTOR DEVICE

【中文】

本發明旨在提高半導體裝置的性能。在半導體基板SB上隔著絕緣膜G1形成虛擬控制閘極電極CG1，以與虛擬控制閘極電極CG1相鄰的方式，在半導體基板SB上，隔著內部具有電荷累積部的絕緣膜MZ形成記憶體單元用的記憶體閘極電極MG。此時，記憶體閘極電極MG的高度，比虛擬控制閘極電極CG1的高度更低。然後，以覆蓋虛擬控制閘極電極CG1以及記憶體閘極電極MG的方式形成絕緣膜IL3，之後研磨絕緣膜IL3，使虛擬控制閘極電極CG1露出。此時，記憶體閘極電極MG並未露出。然後，除去虛擬控制閘極電極CG1，置換成金屬閘極電極。

【英文】

Provided is a semiconductor device having improved performance. Over a semiconductor substrate SB, a dummy control gate electrode CG1 is formed via a first insulating film G1. Over the semiconductor substrate SB, a memory gate electrode MG for a memory cell is formed via a second insulating film MZ having an internal charge storage portion so as to be adjacent to the dummy control gate electrode CG1. At this time, the height of the memory gate electrode MG is adjusted to be lower than

the height of the dummy control gate electrode CG1. Then, a third insulating film IL3 is formed so as to cover the dummy control gate electrode CG1 and the memory gate electrode MG. Then, the third insulating film IL3 is polished to expose the dummy control gate electrode CG1. At this time, the memory gate electrode MG is not exposed. Then, the dummy control gate electrode CG1 is removed and replaced with a metal gate electrode.

【指定代表圖】 圖22

【代表圖之符號簡單說明】

CG1 虛擬控制閘極電極

CP1、CP2、CP3 帽蓋絕緣膜

EX1、EX2、EX3、EX4 n⁻型半導體區域

G1、G2、G3 絕緣膜

GE1 虛擬閘極電極

GE2 閘極電極

IL3 絕緣膜

LM1、LM2、LM3 堆疊體

MG 記憶體閘極電極

MZ 絕緣膜

PW1、PW2、PW3 p型井

RG1 記憶體單元區域

RG2 周邊電路區域

【發明圖式】

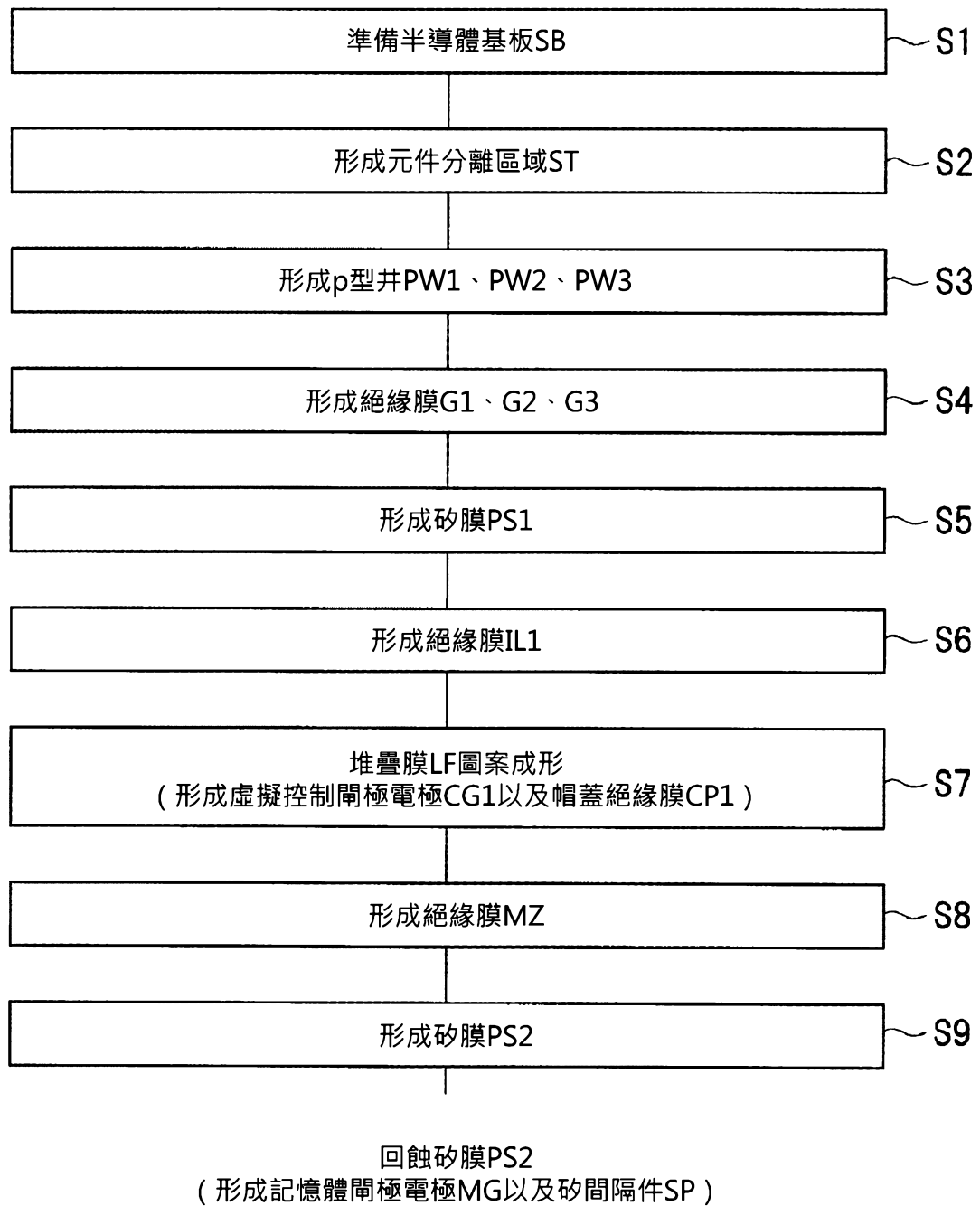
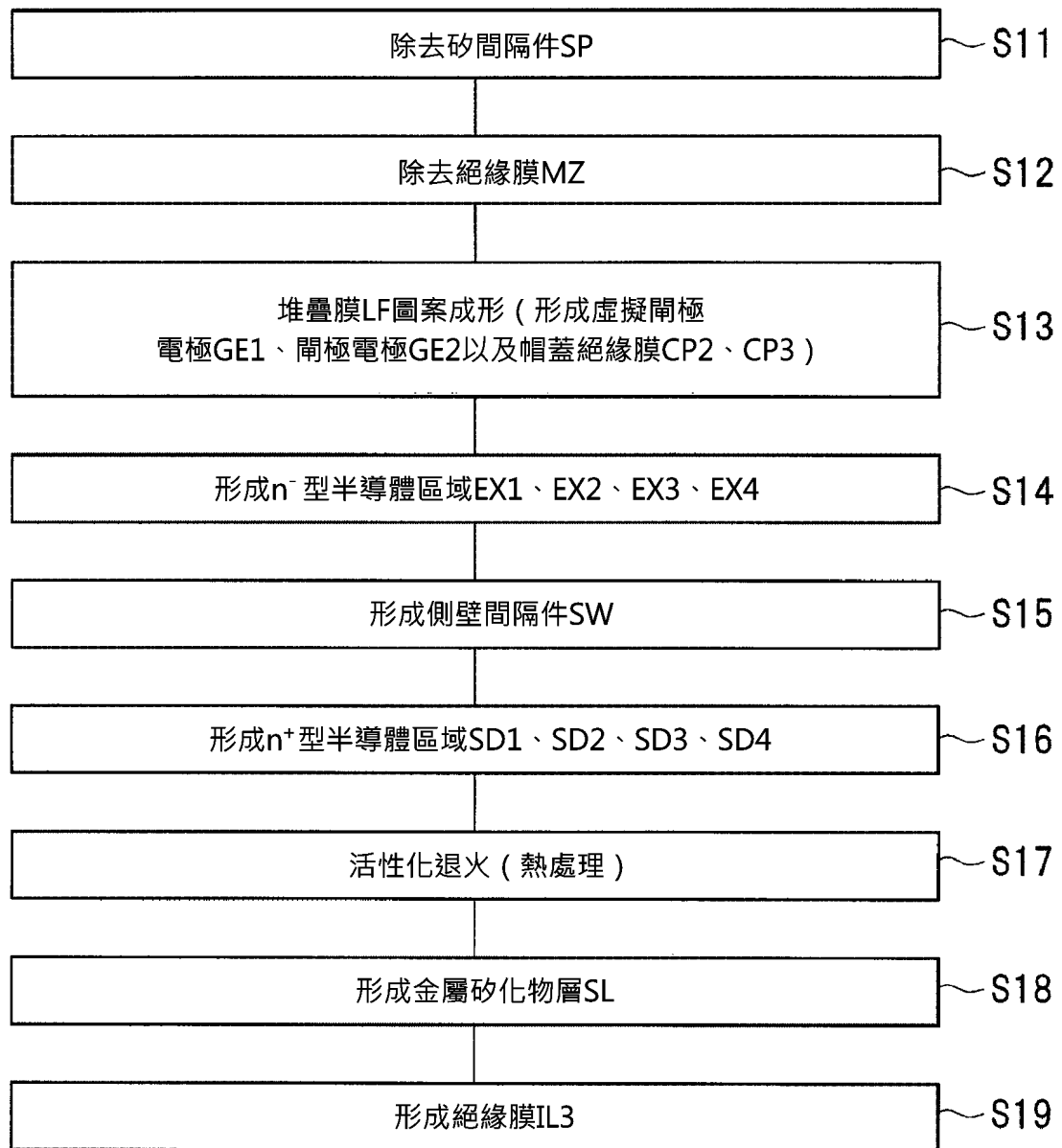


圖 1



研磨 (CMP處理)

圖 2

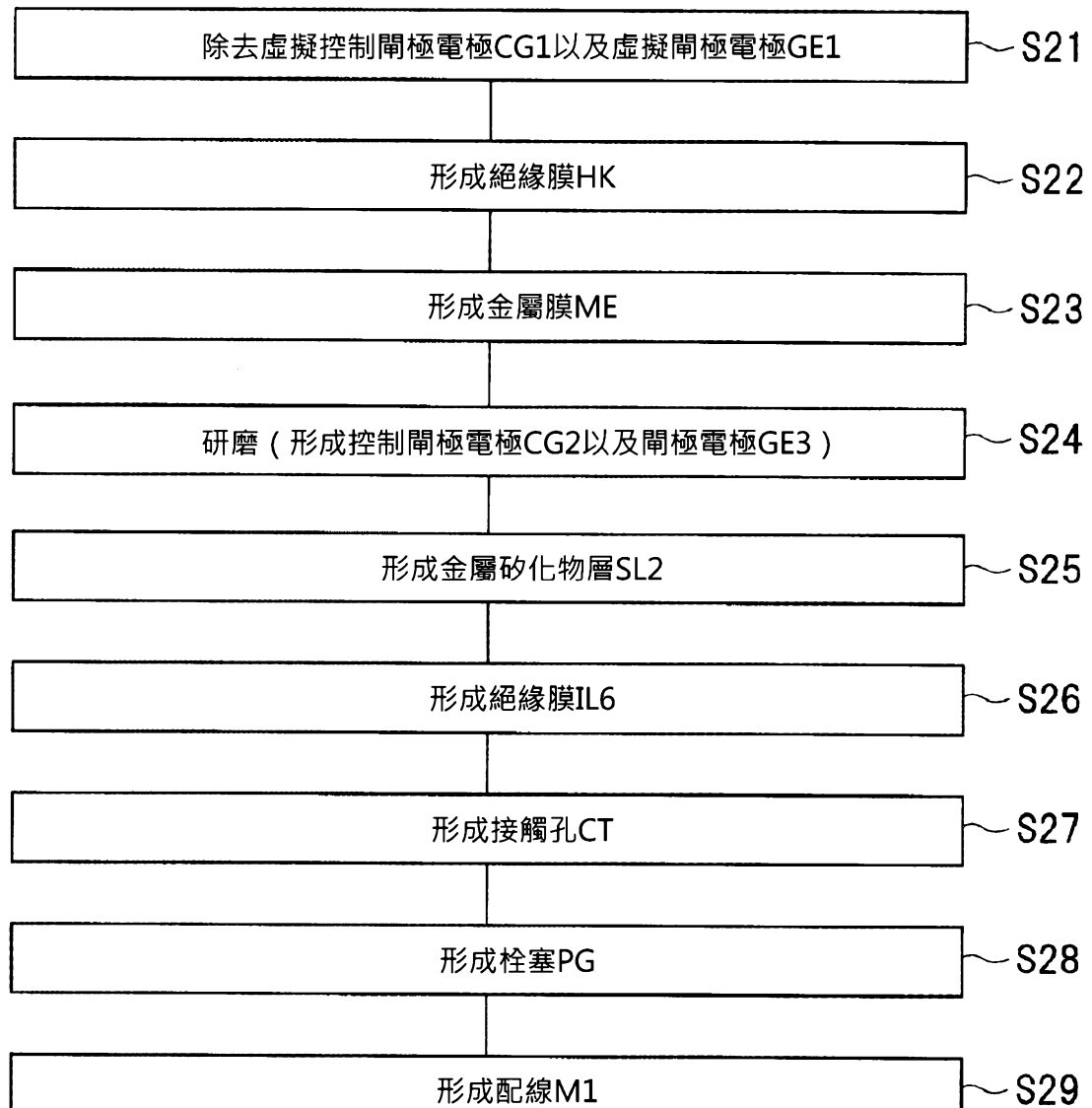


圖 3

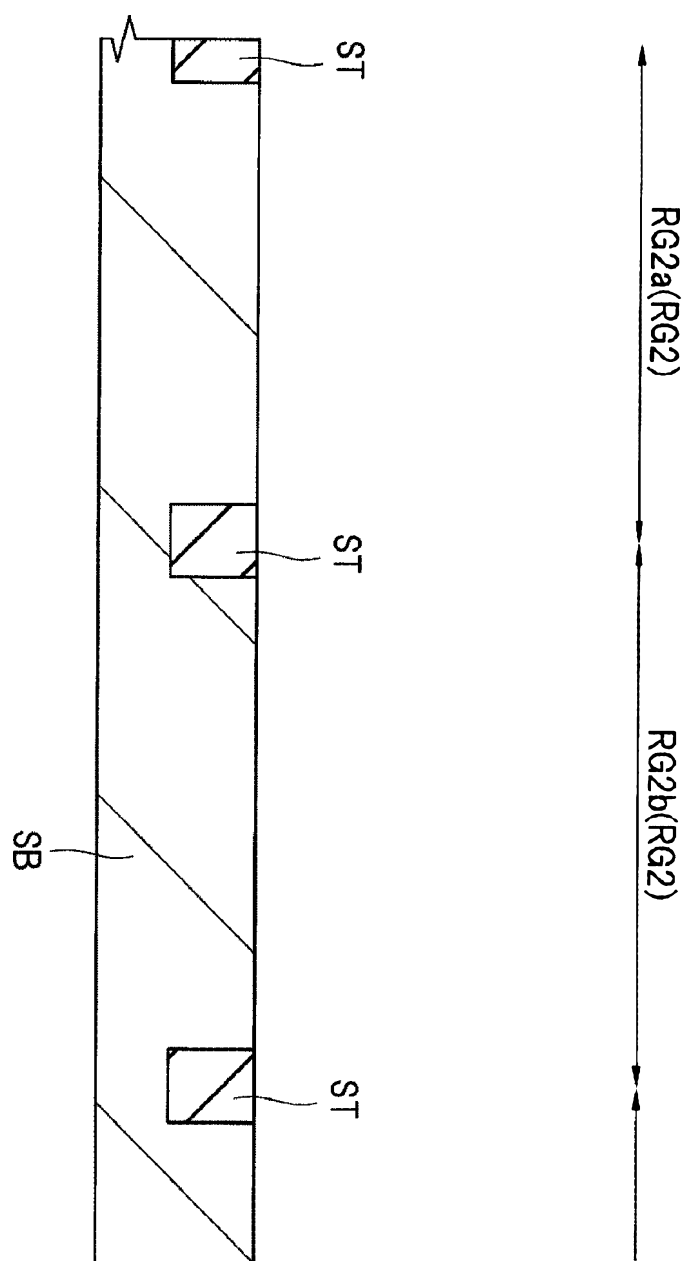


圖 4

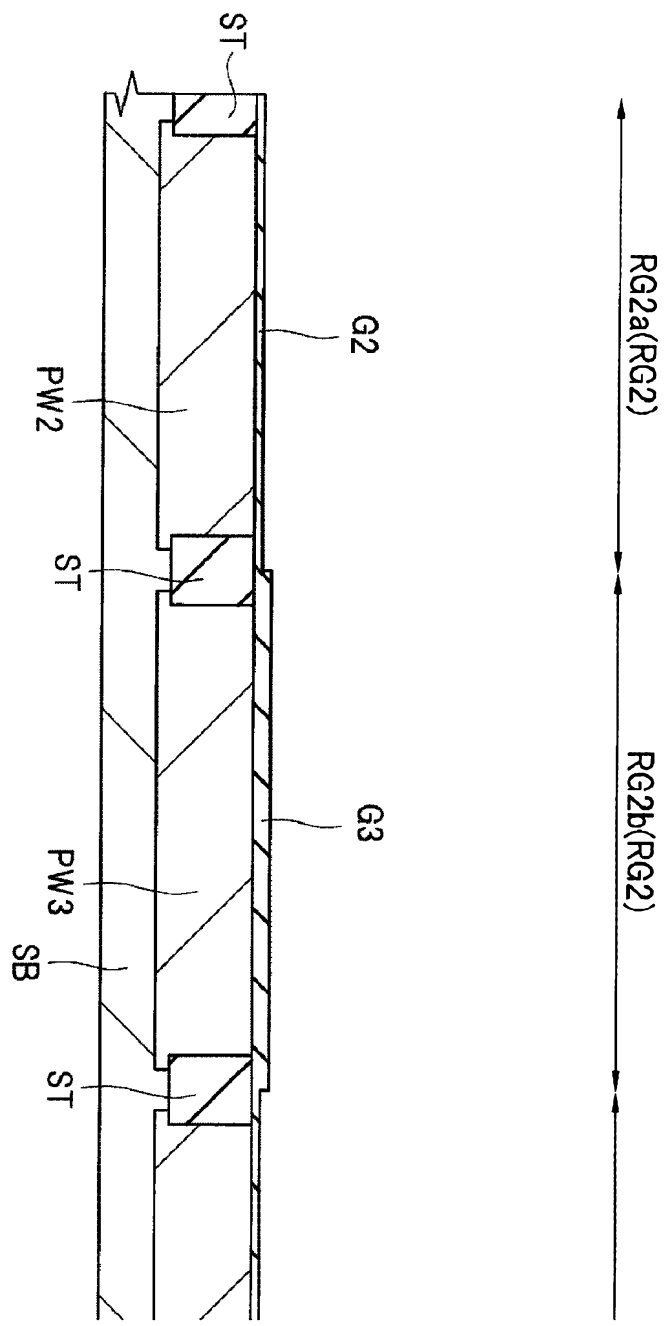


圖 5

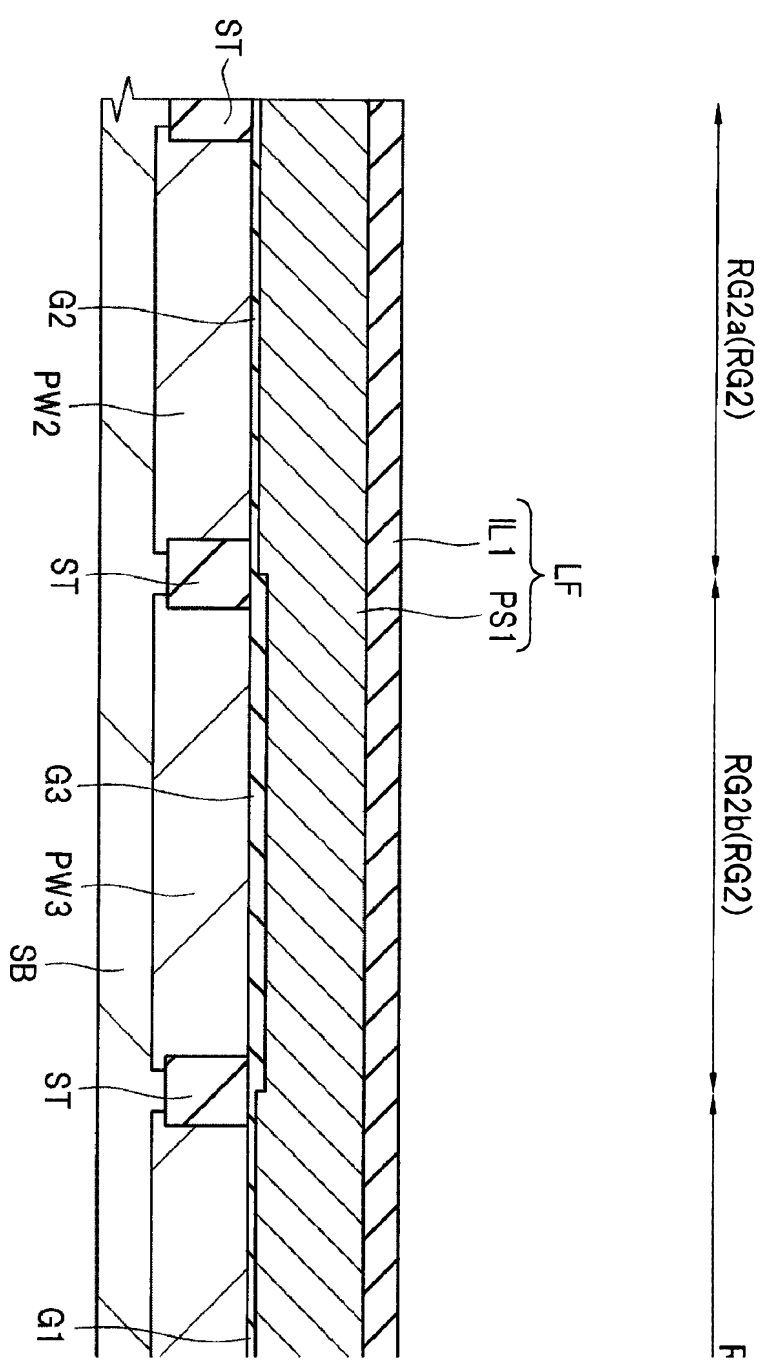


圖 6

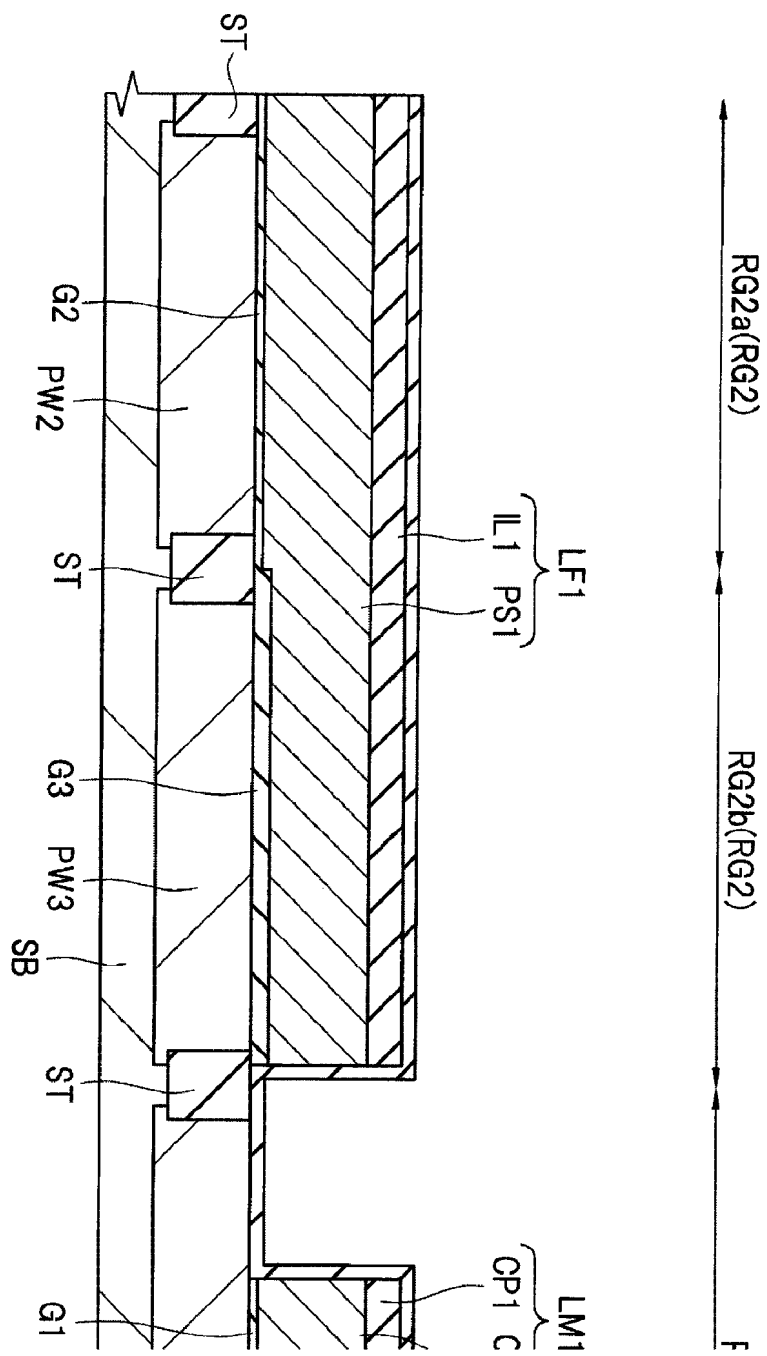


圖 8

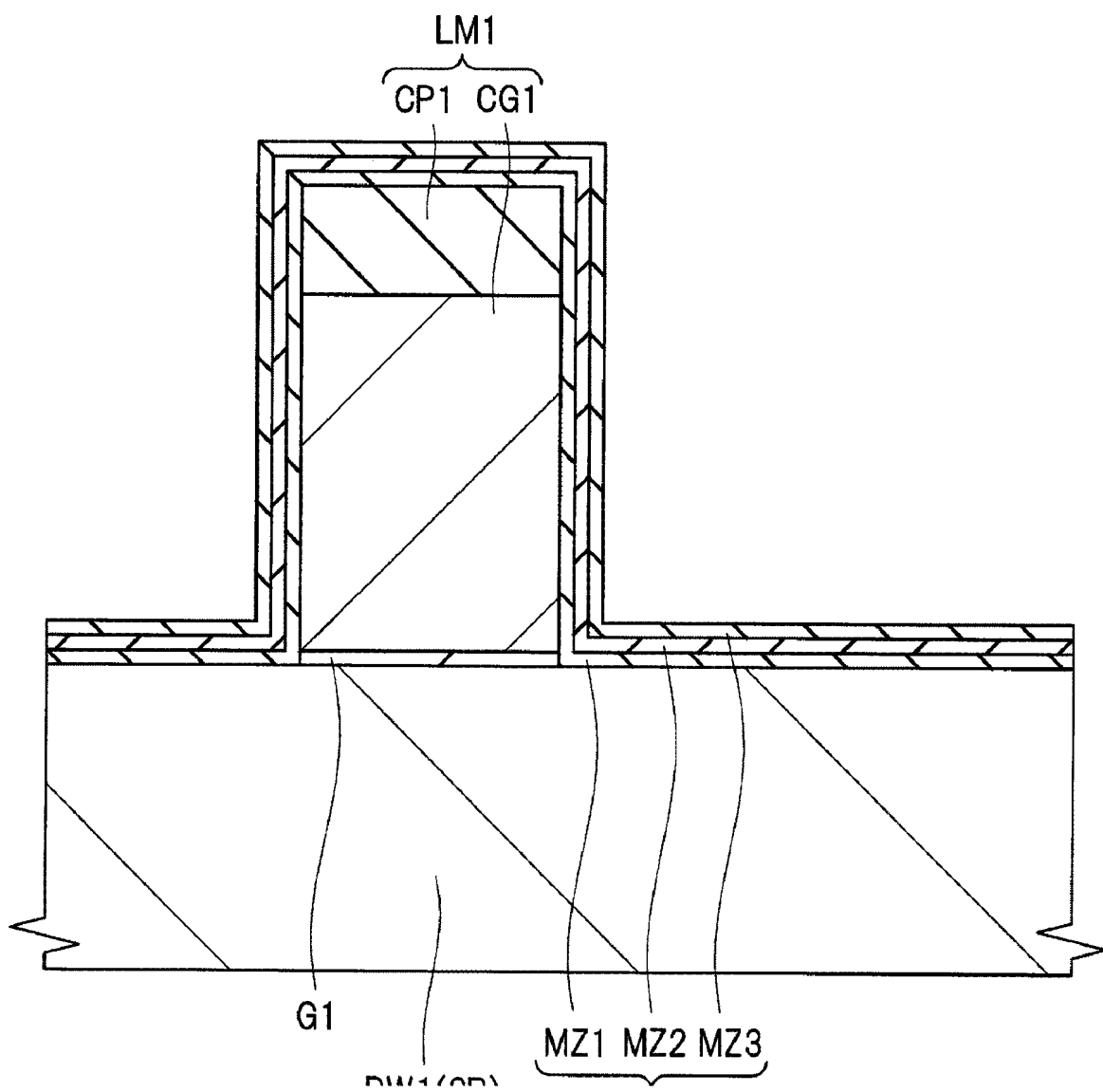


圖 9

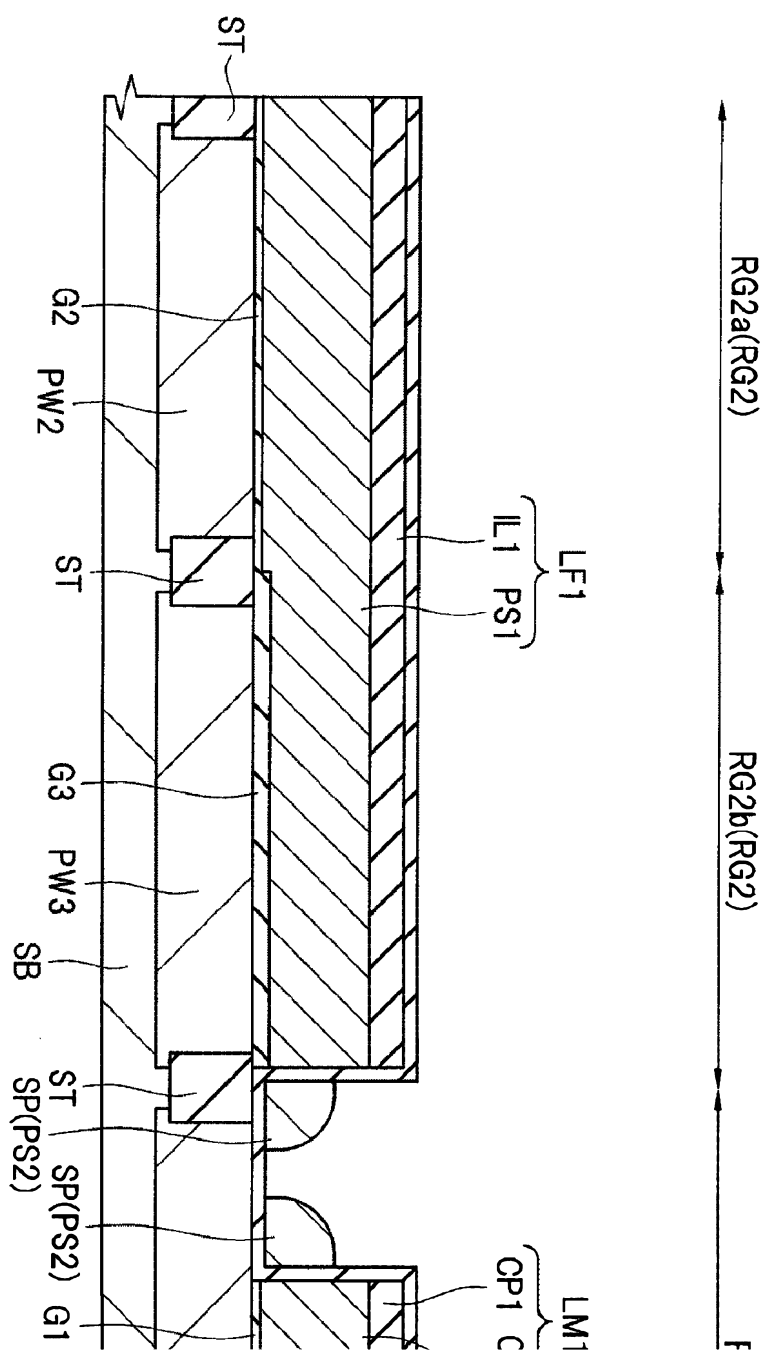


圖 11

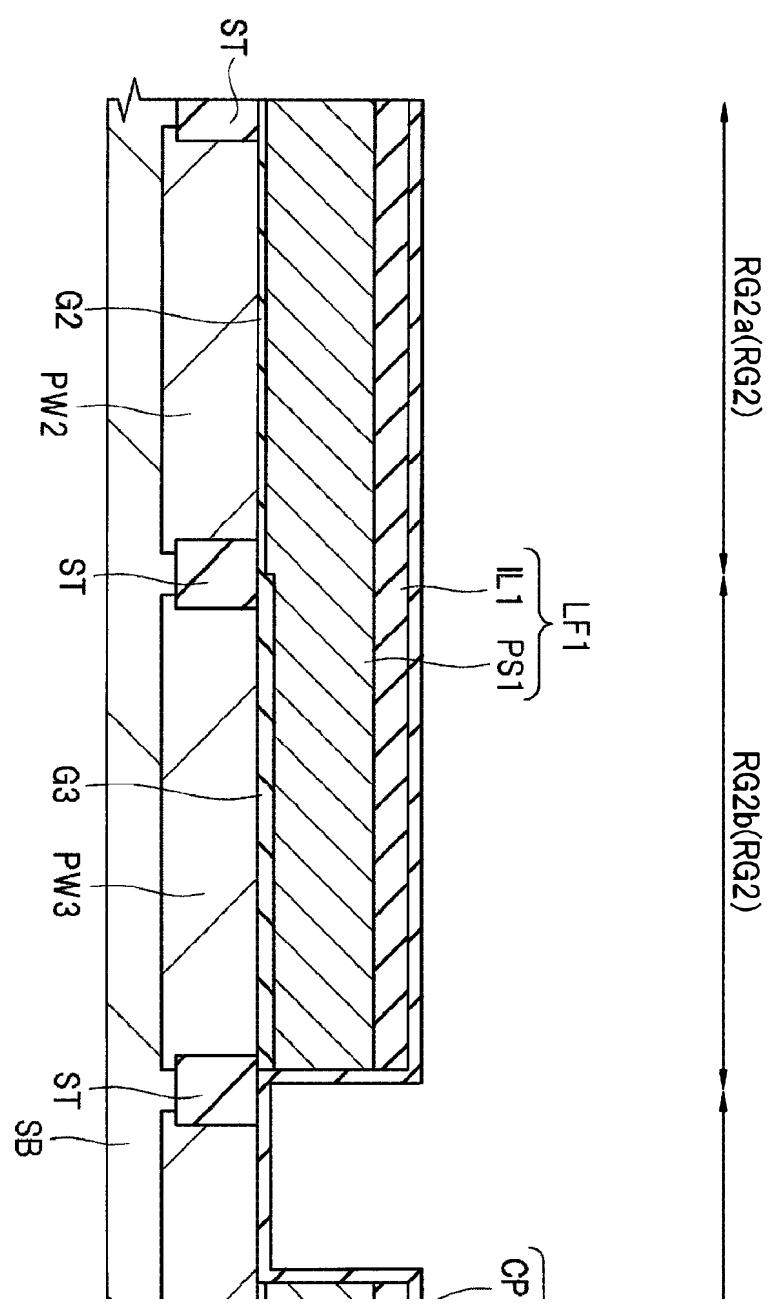


圖 12

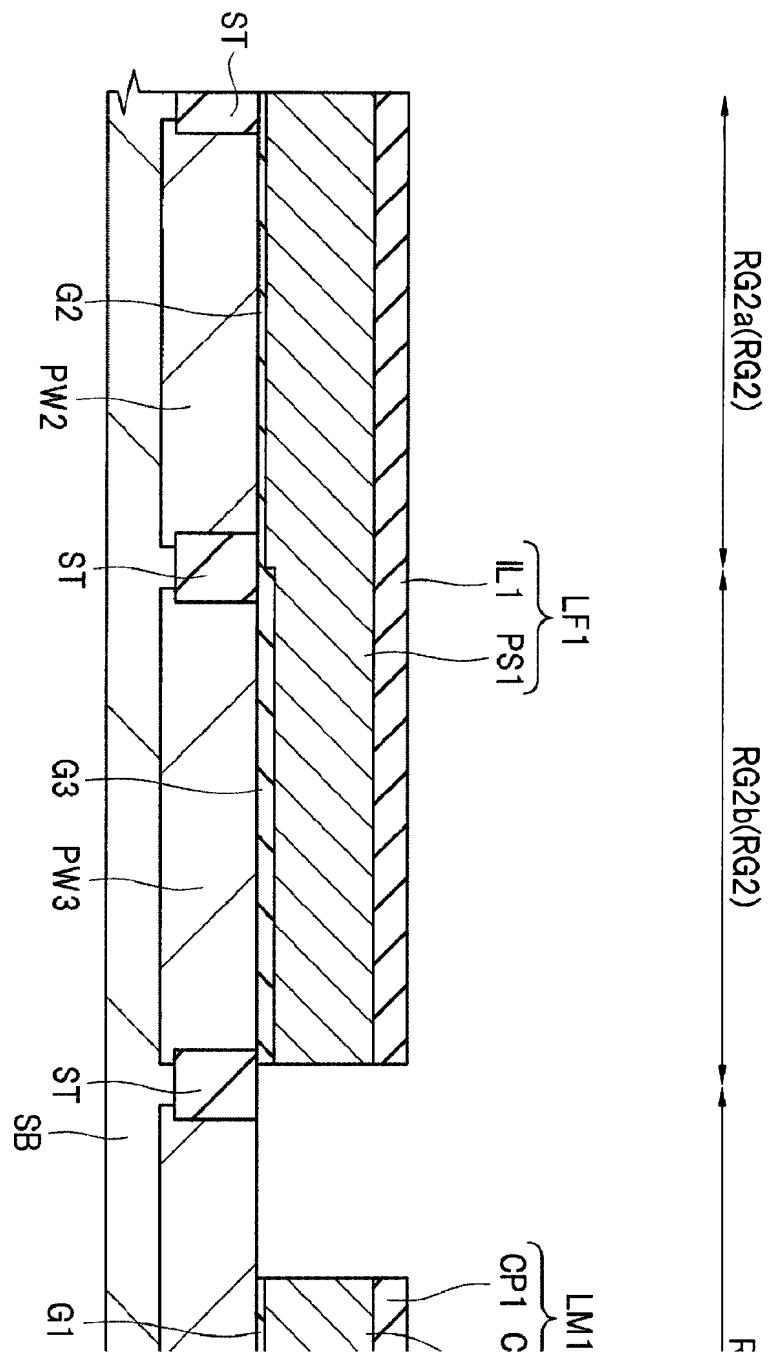


圖 13

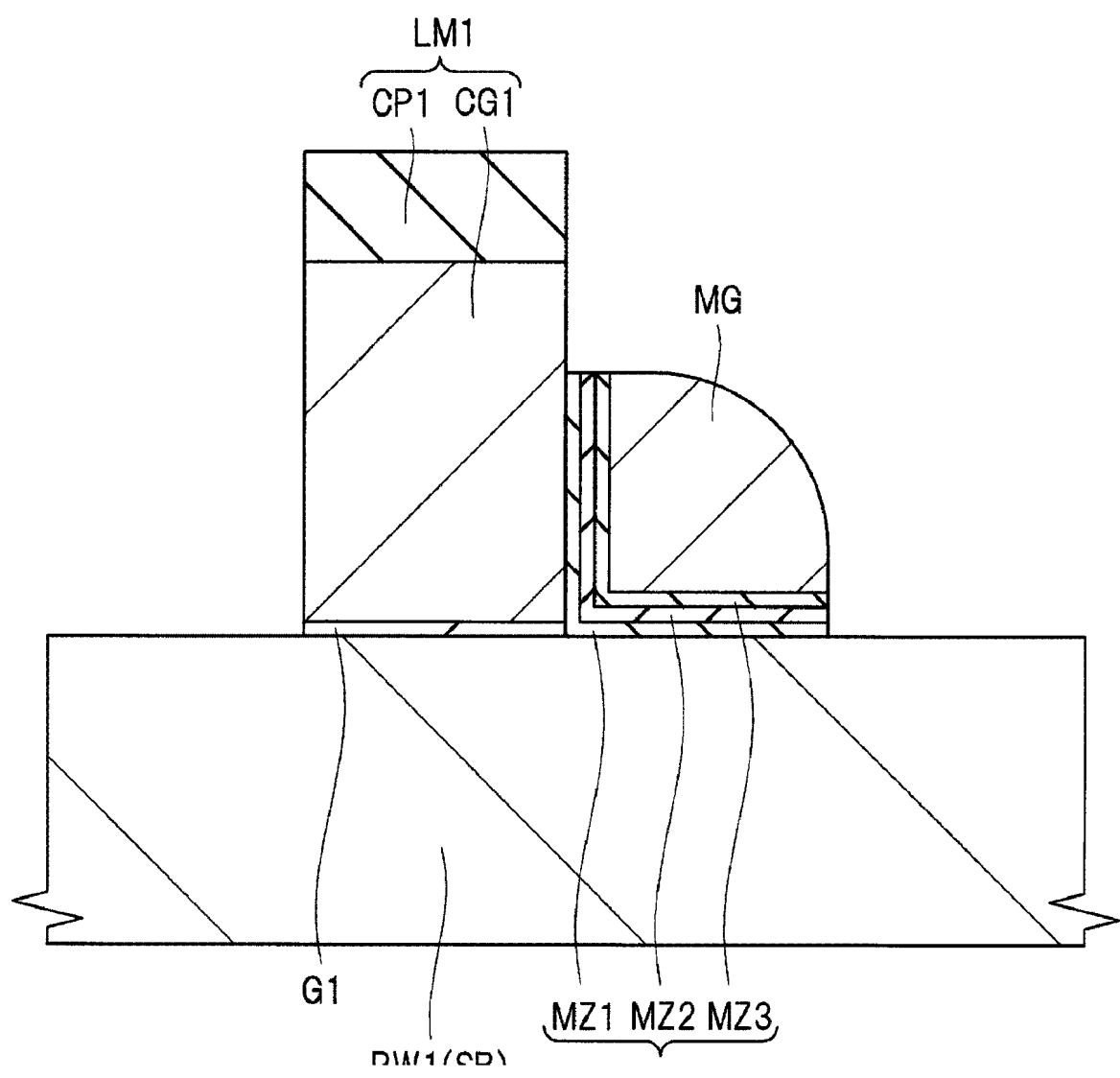


圖 14

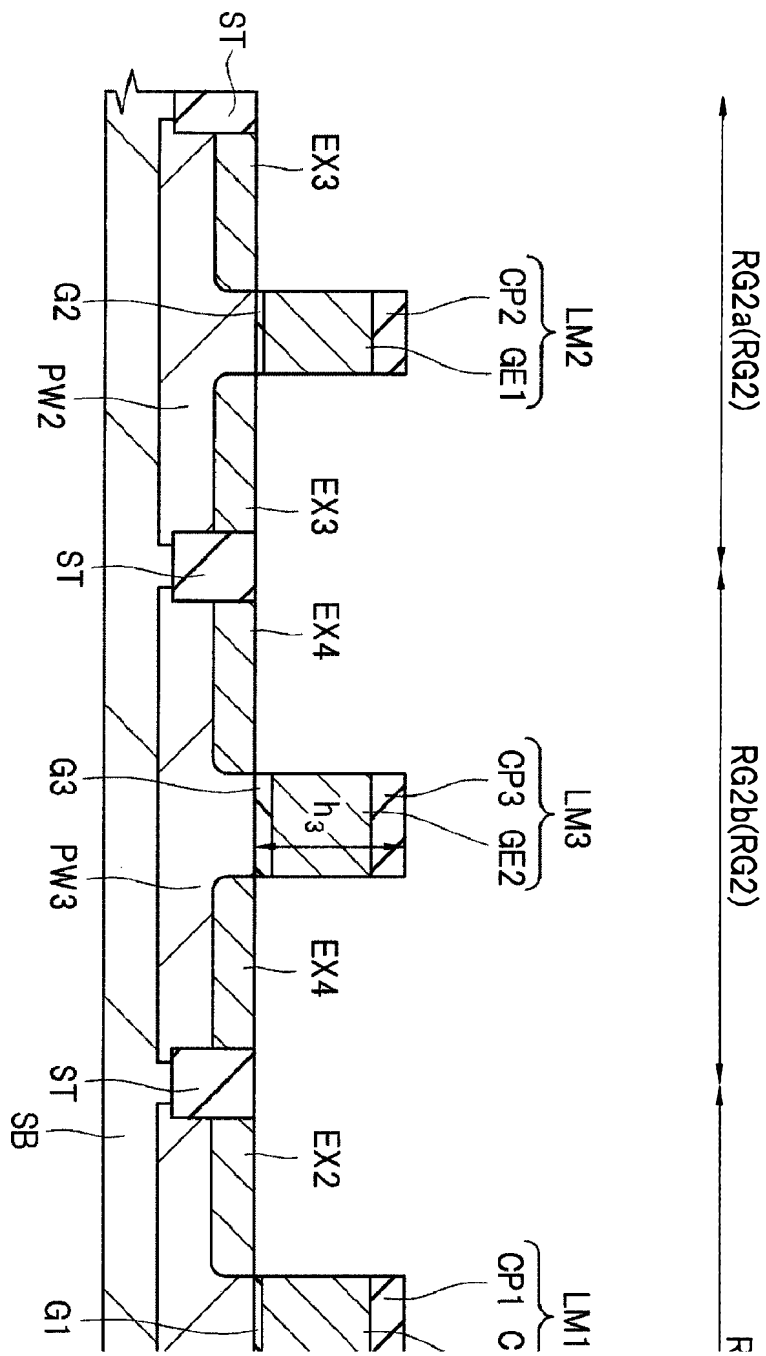


圖 16

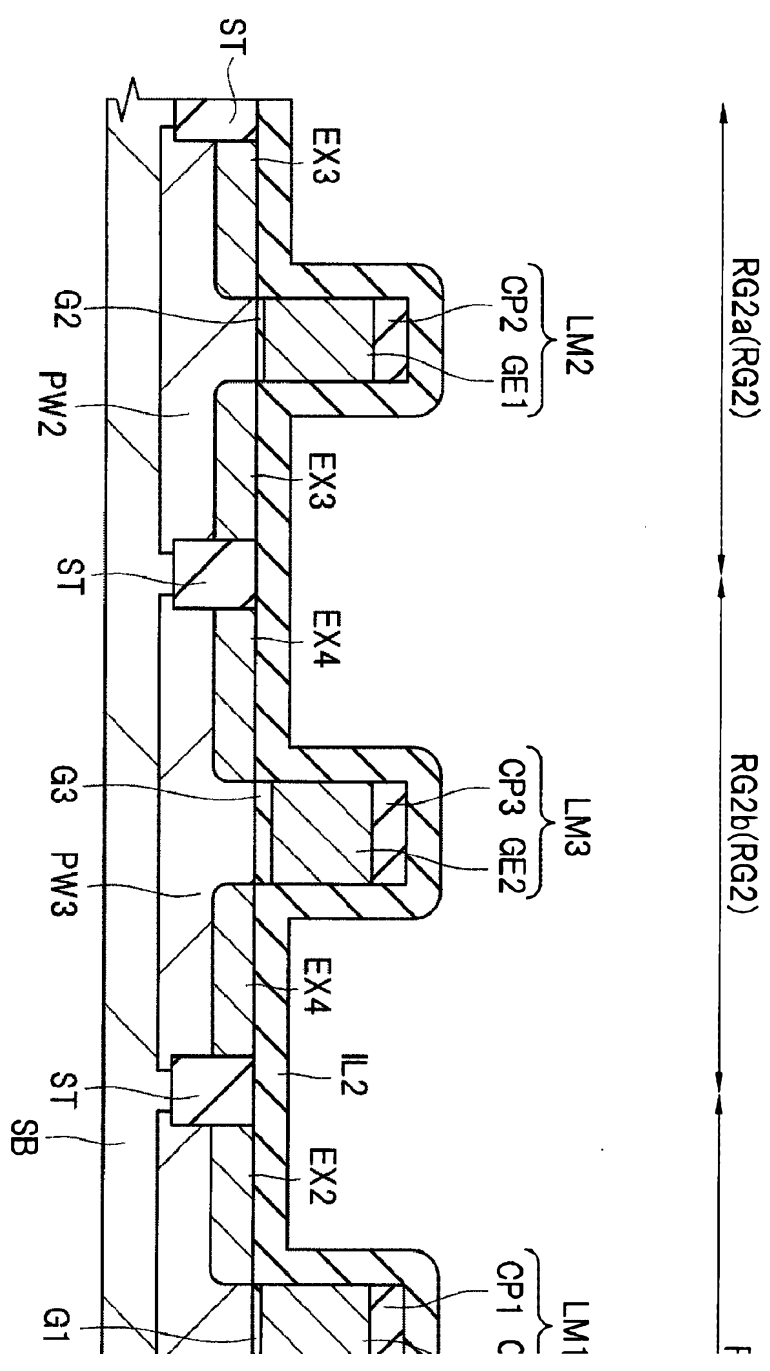


圖 17

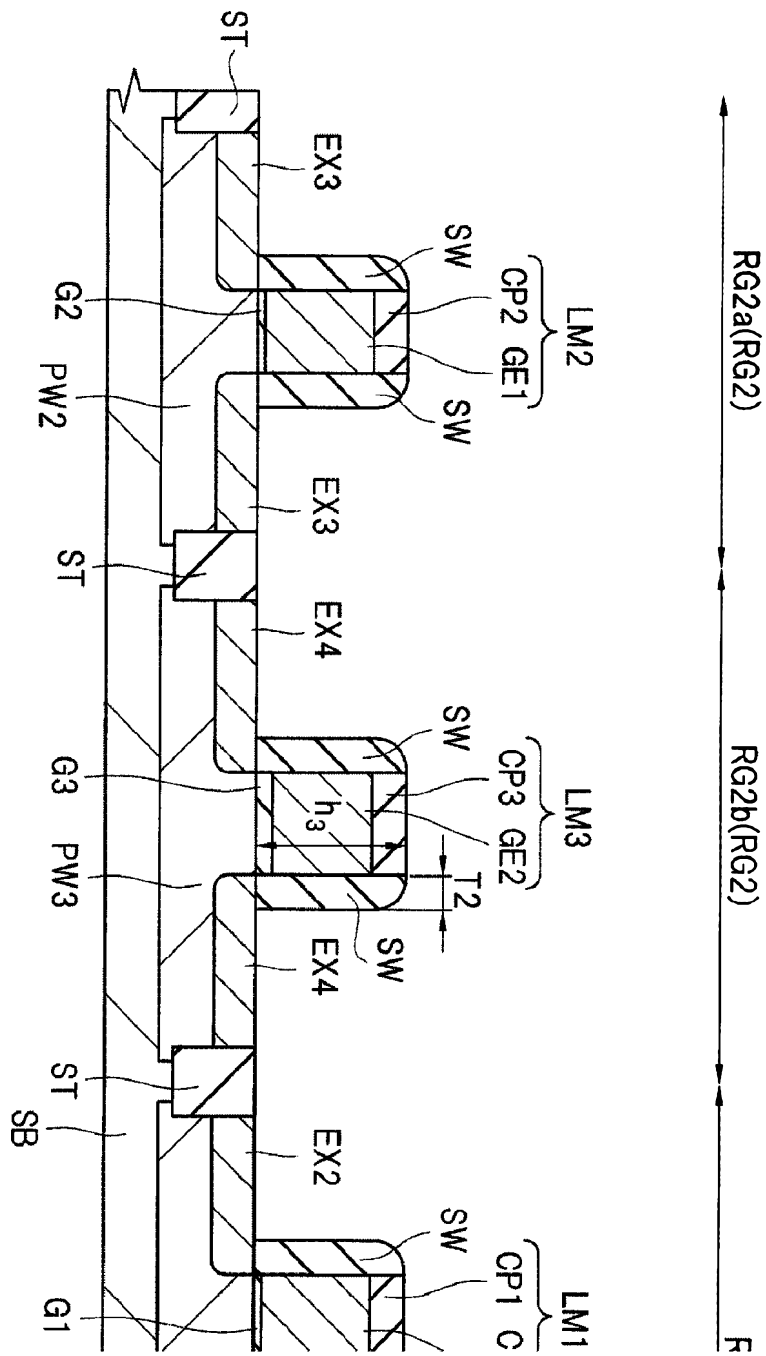


圖 18

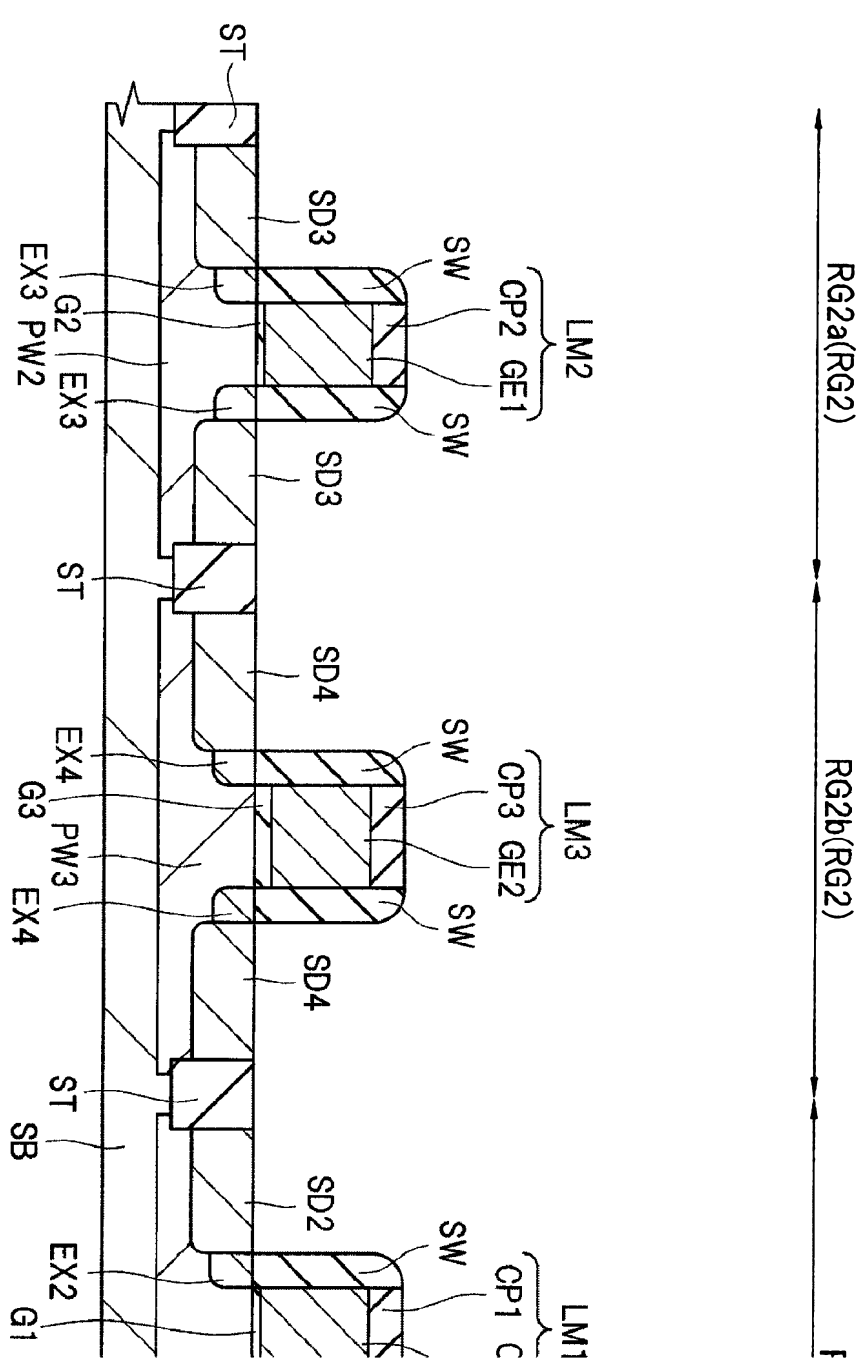


圖 19

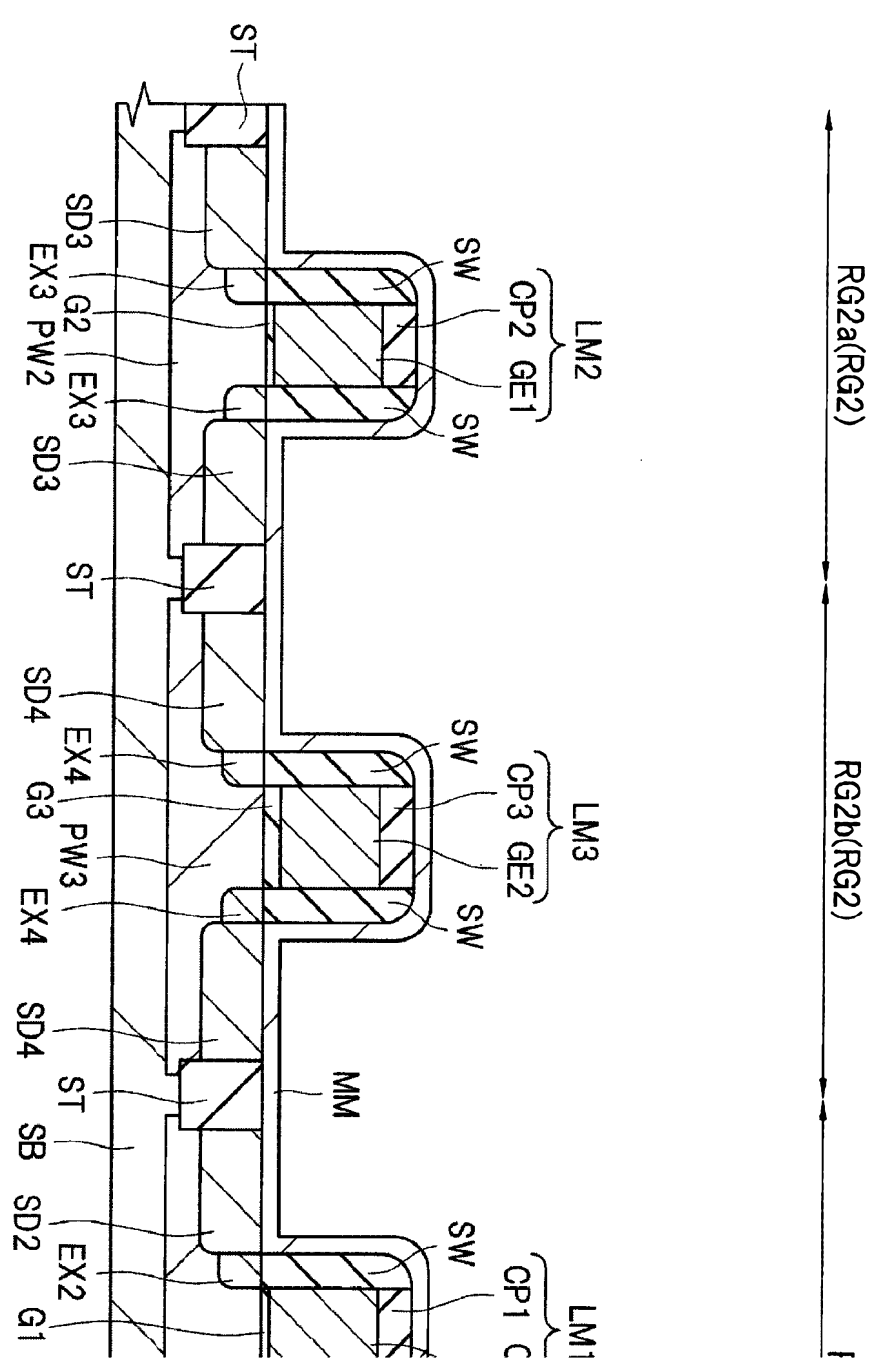


圖 20

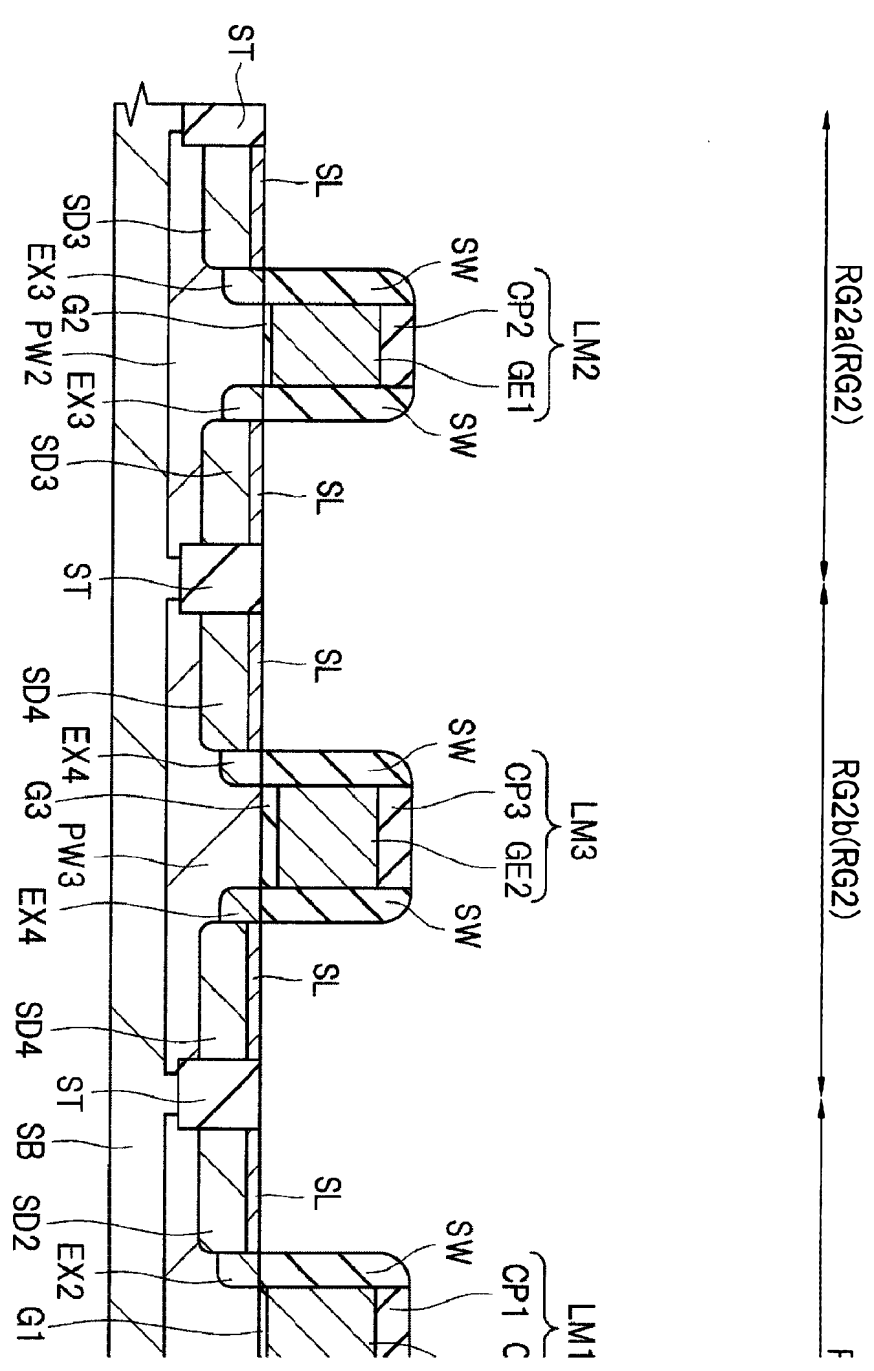


圖 21

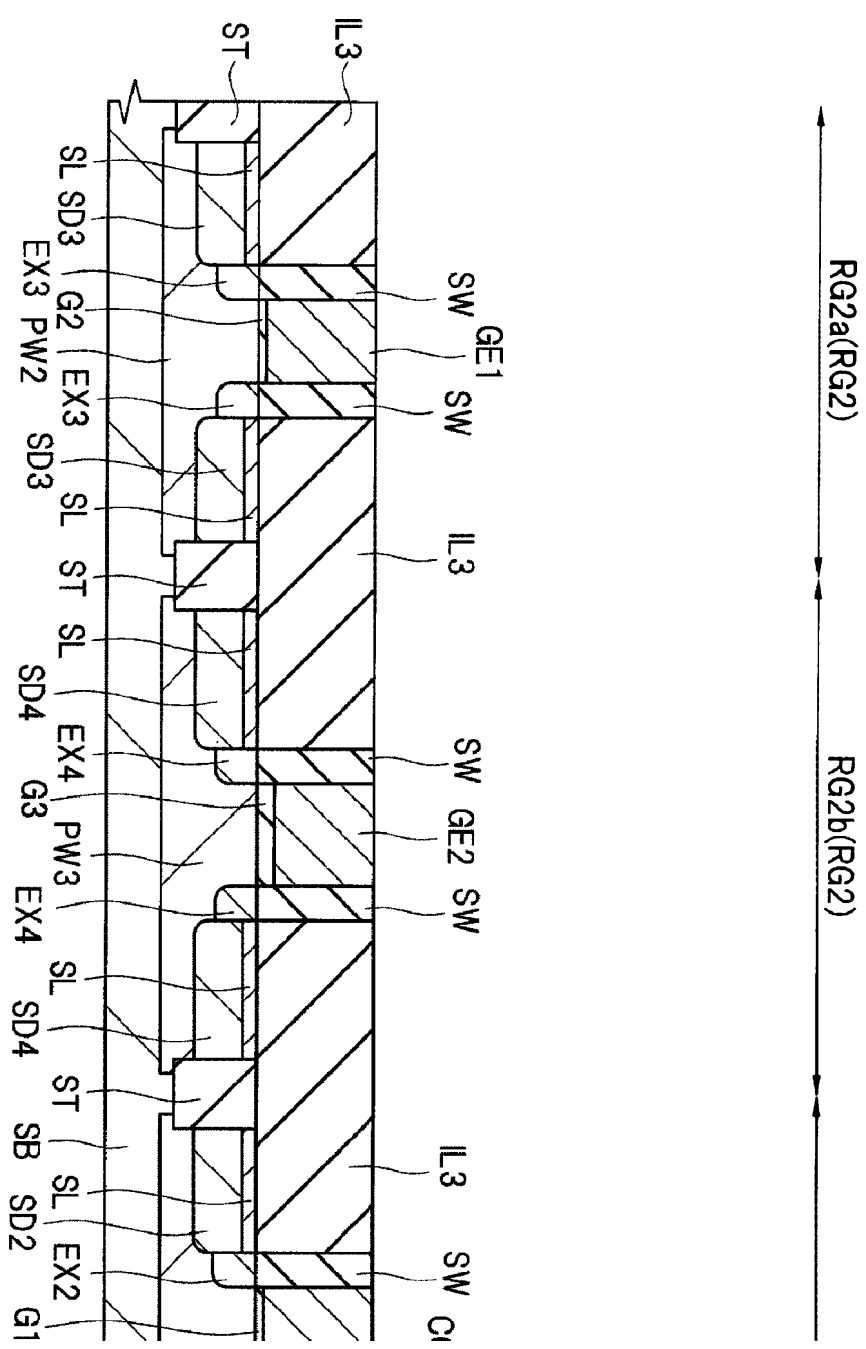


圖 23

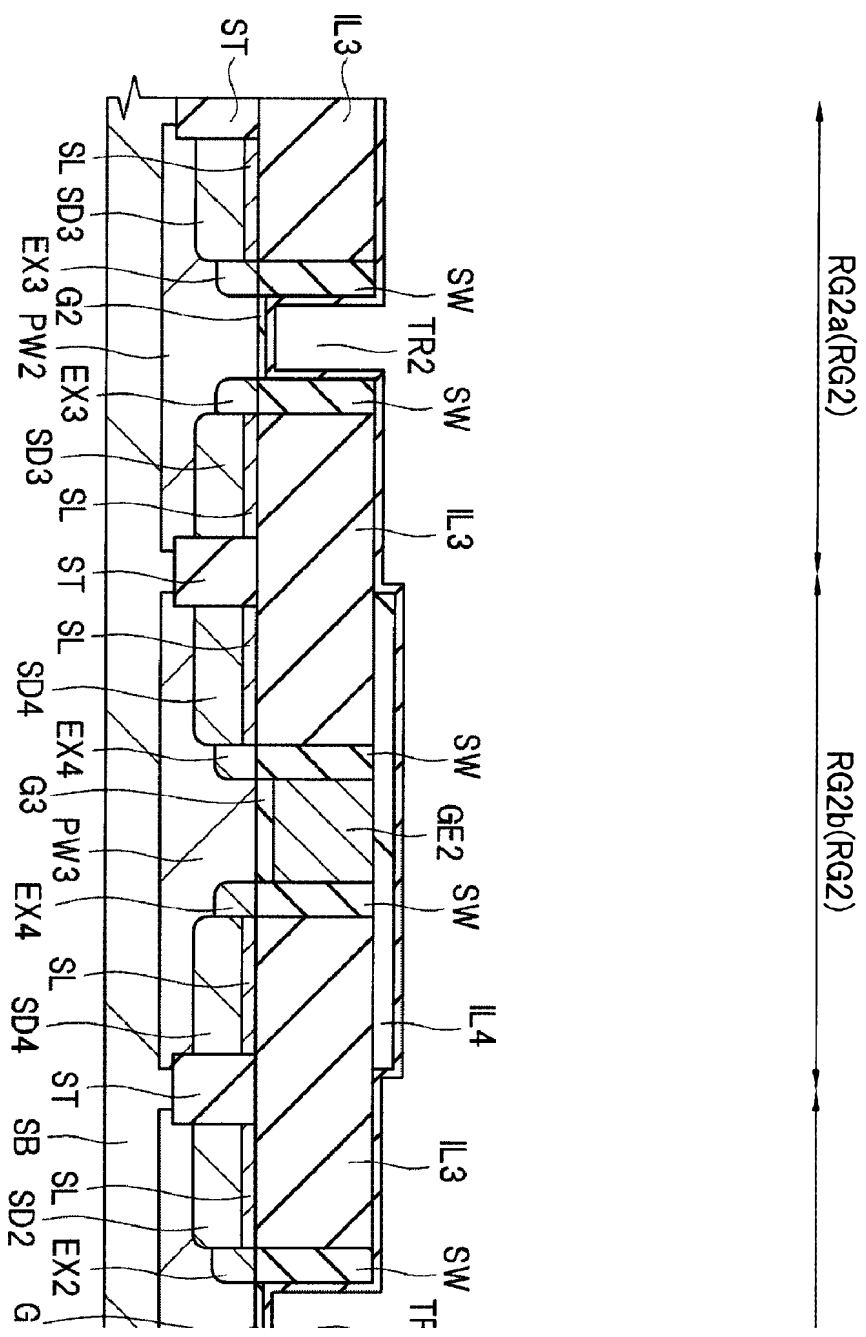


圖 25

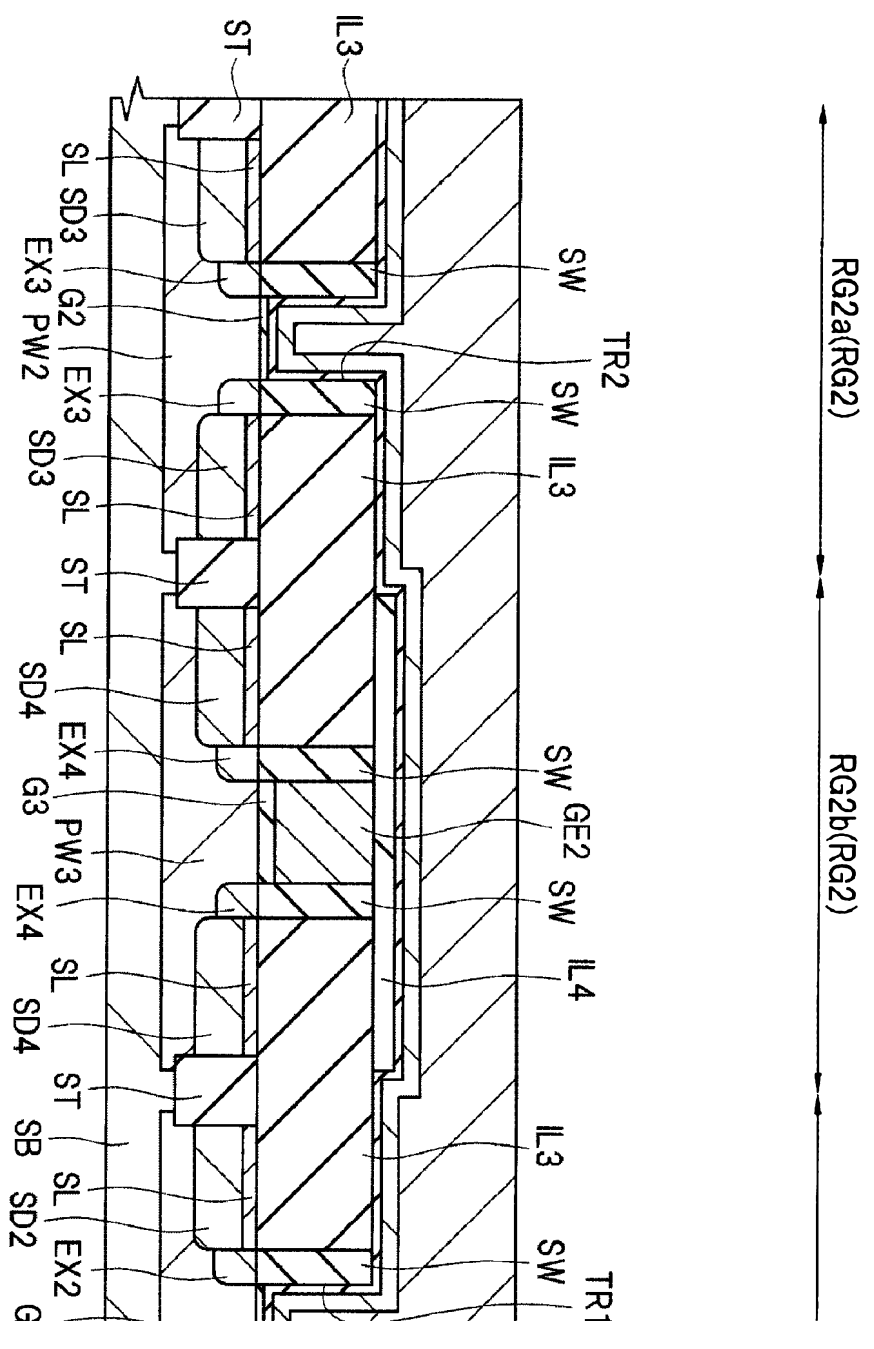


圖 26

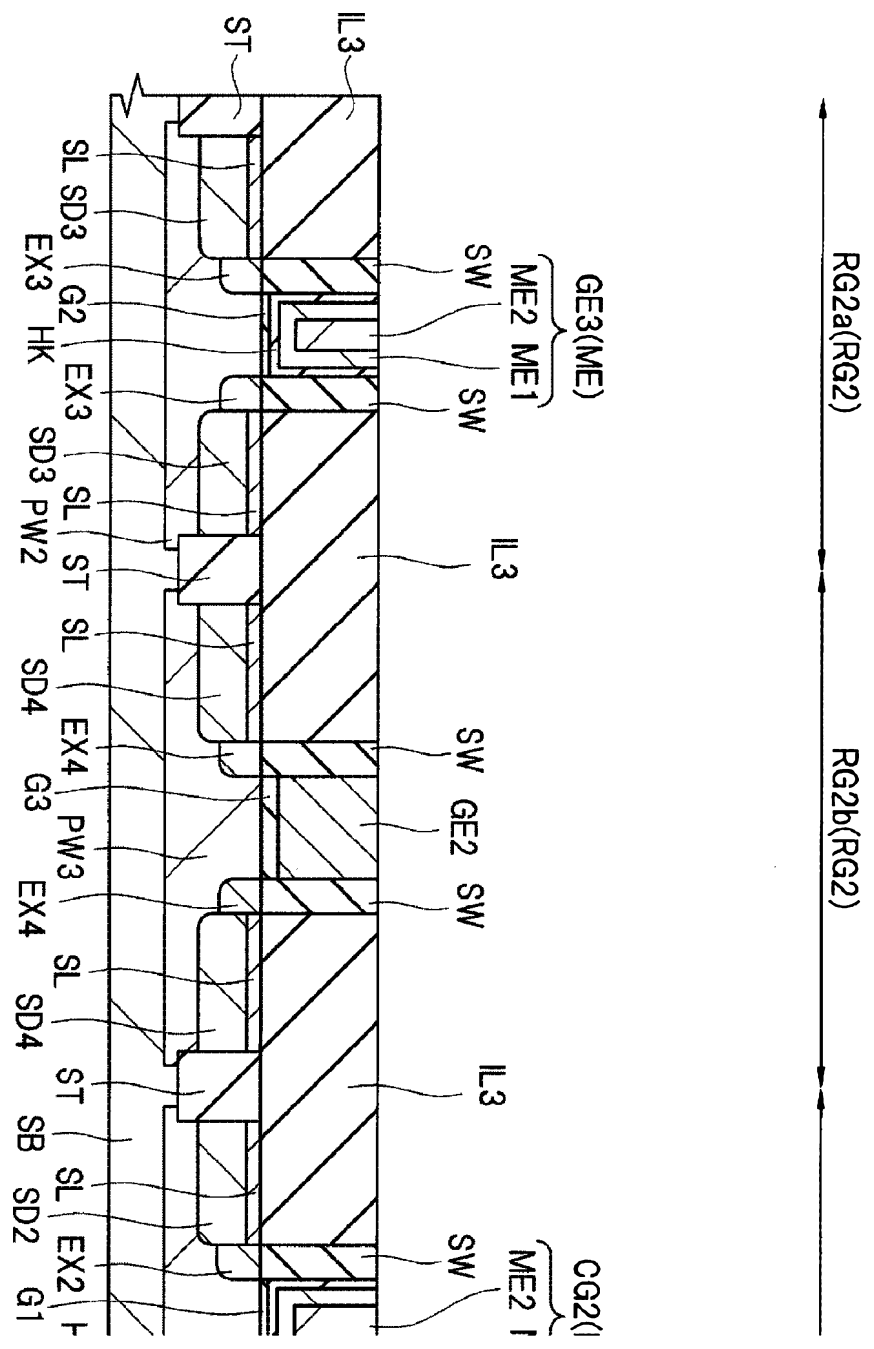


圖 27

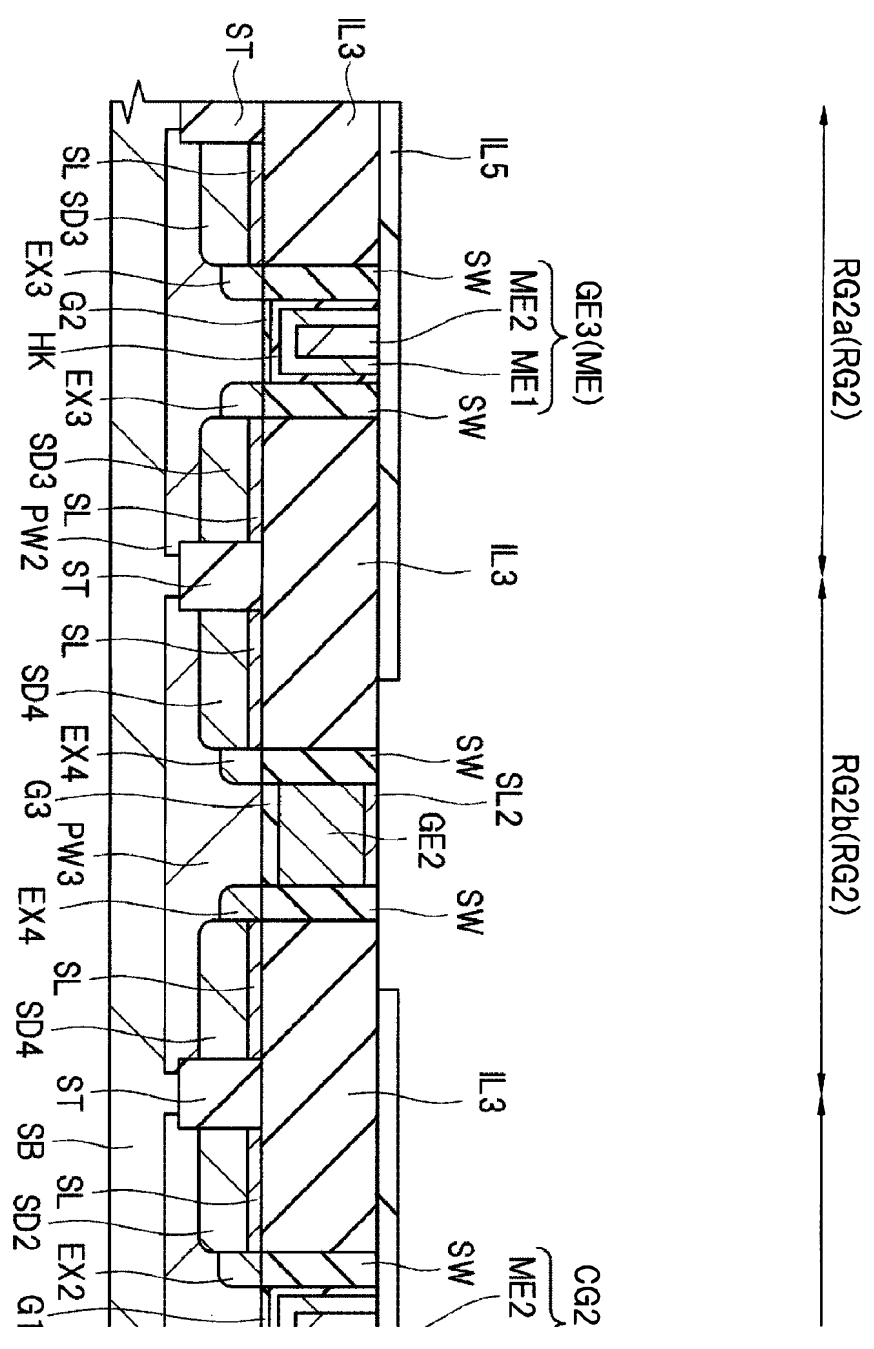


圖 28

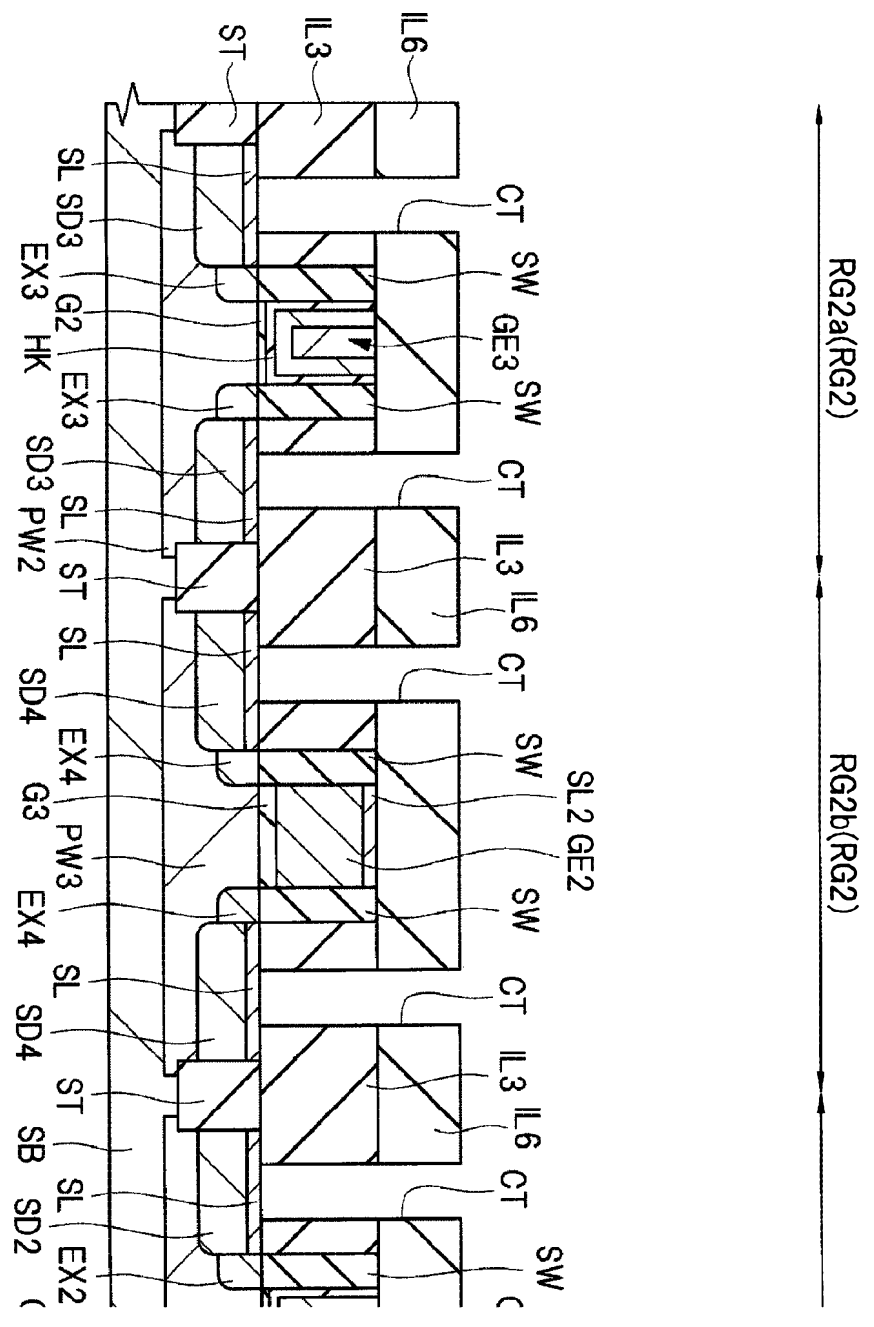


圖 30

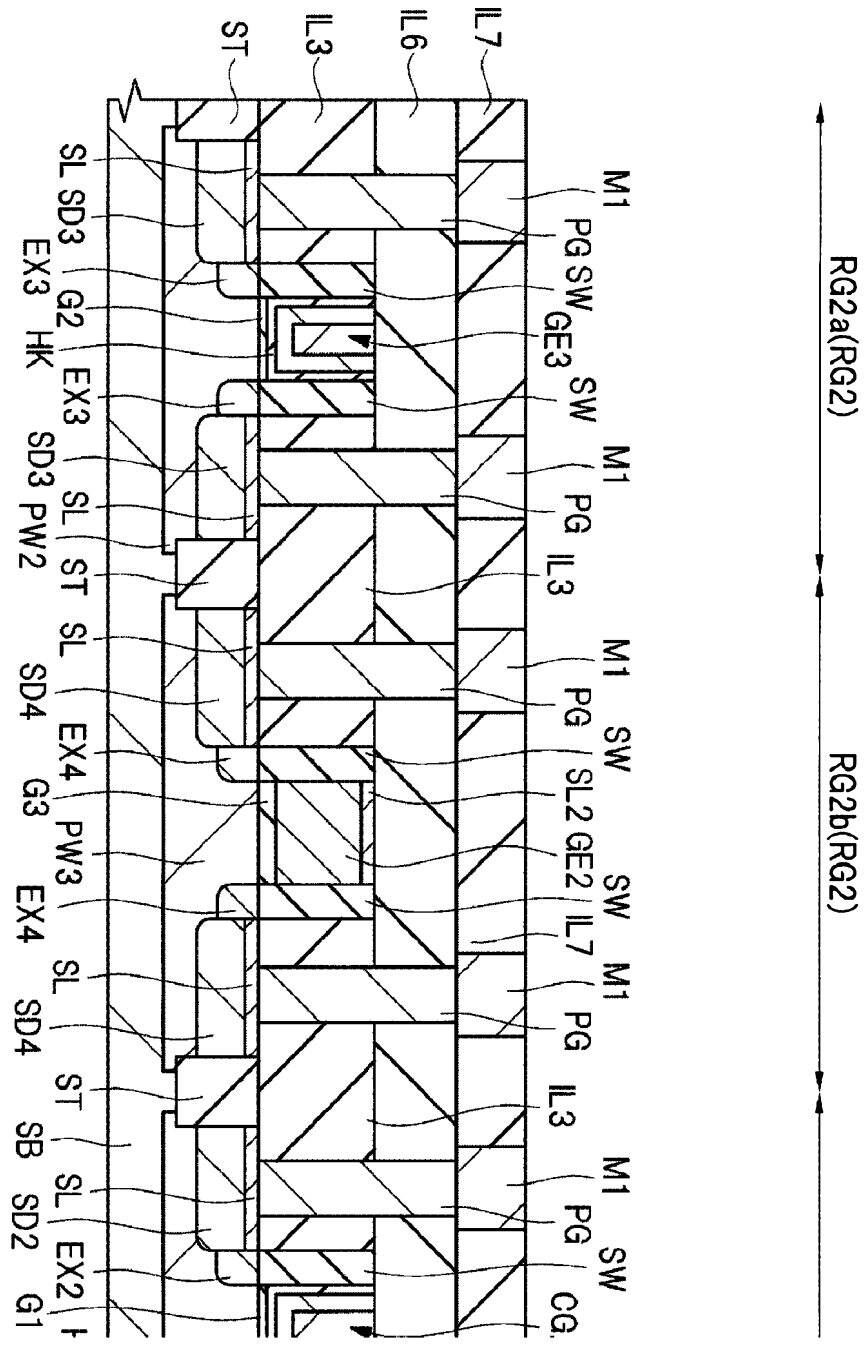


圖 32

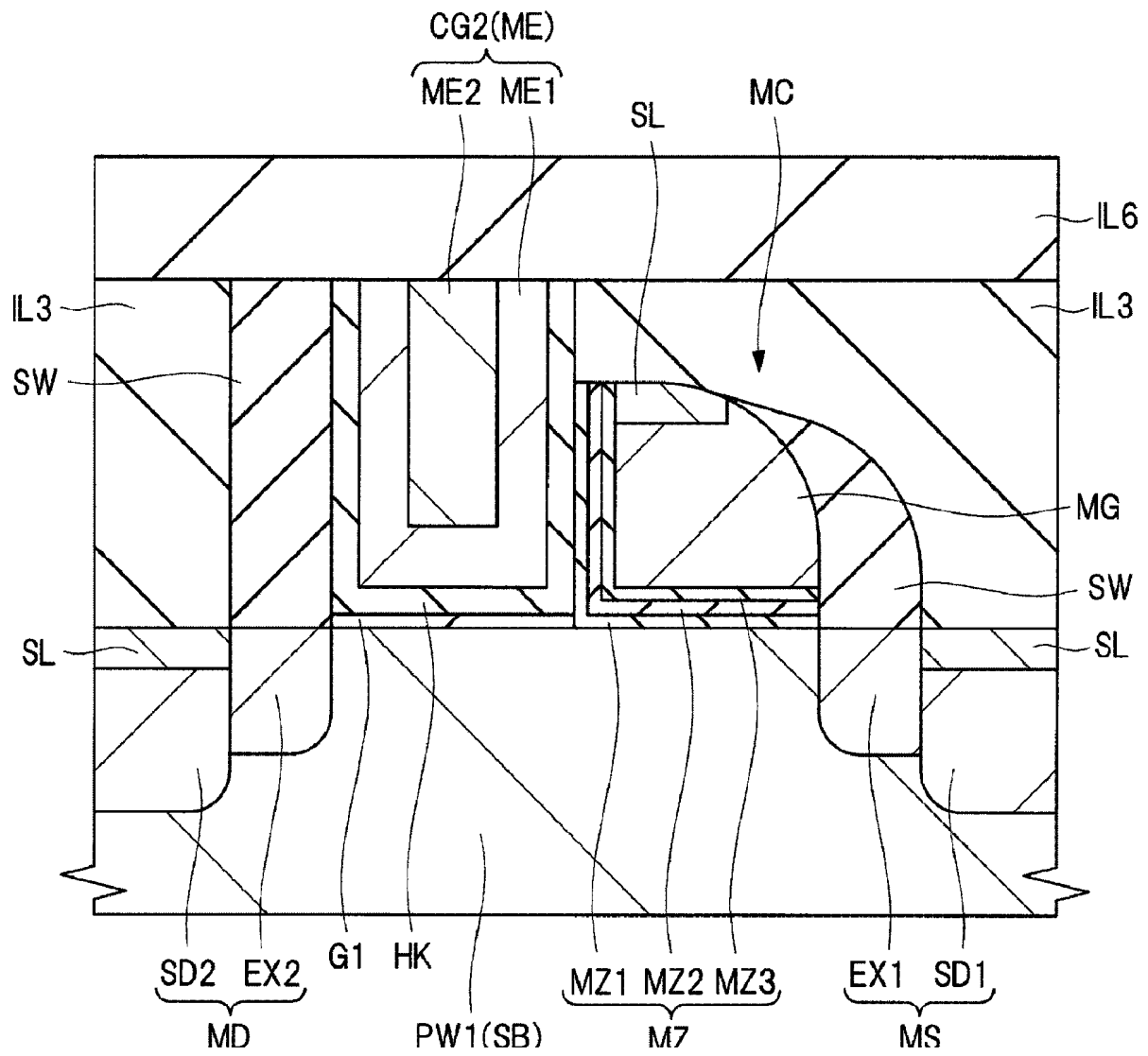


圖 33

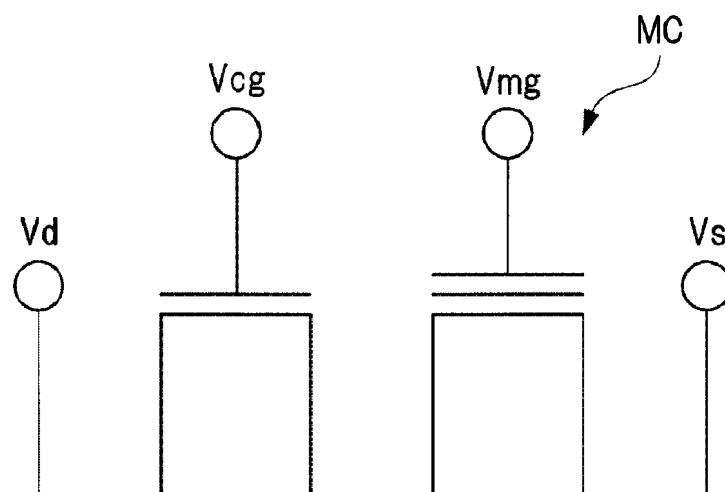


圖 34

	動作方式 寫入/消去	讀取動作電壓(V)	
		寫入動作電壓(V) Vmg/Vs/Vcg/Vd/Vb	消去動作電壓(V) Vmg/Vs/Vcg/Vd/
A	SSI(寫入)/BTBT(消去)	10/5/1/0.5/0	-6/6/0/open/0
B	SSI(寫入)/FN(消去)	10/5/1/0.5/0	12/0/0/0/0
C	FN(寫入)/BTBT(消去)	-12/0/0/0/0	-6/6/0/open/0
D	FN(寫入)/FN(消去)	-12/0/0/0/0	12/0/0/0/0

圖 35

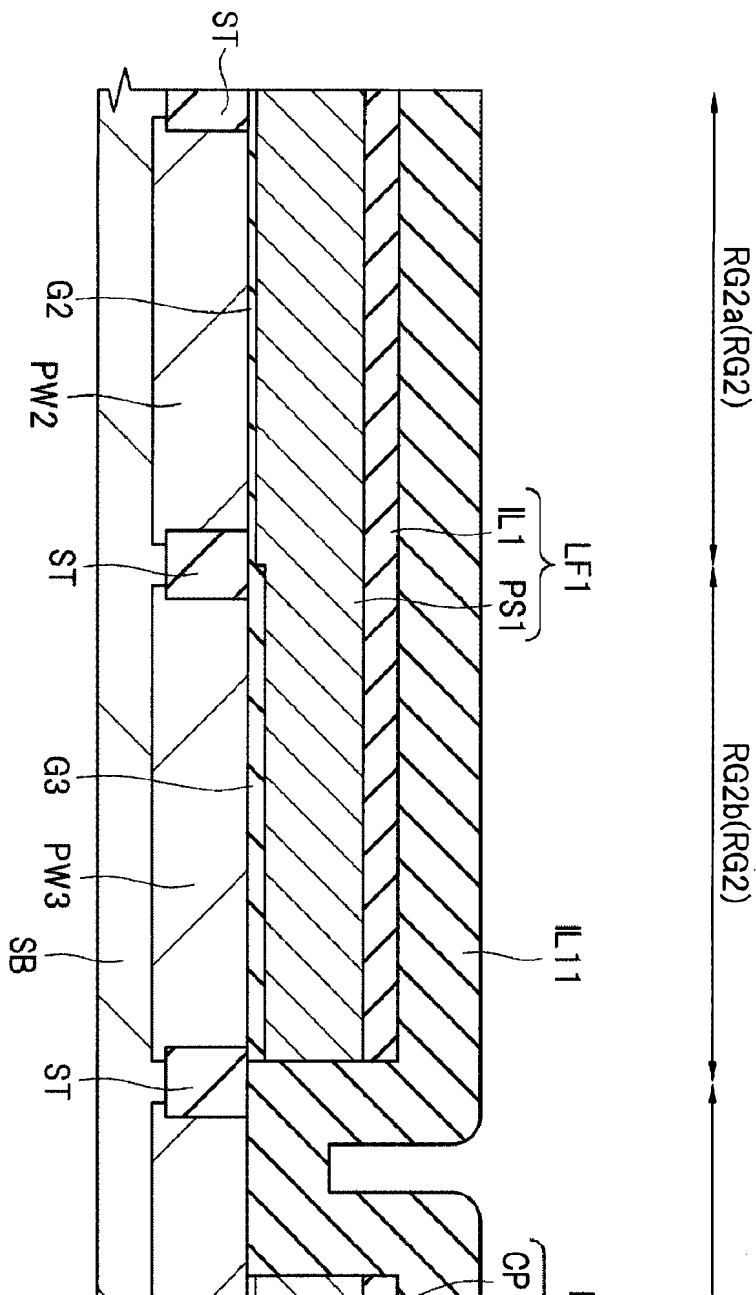


圖 36

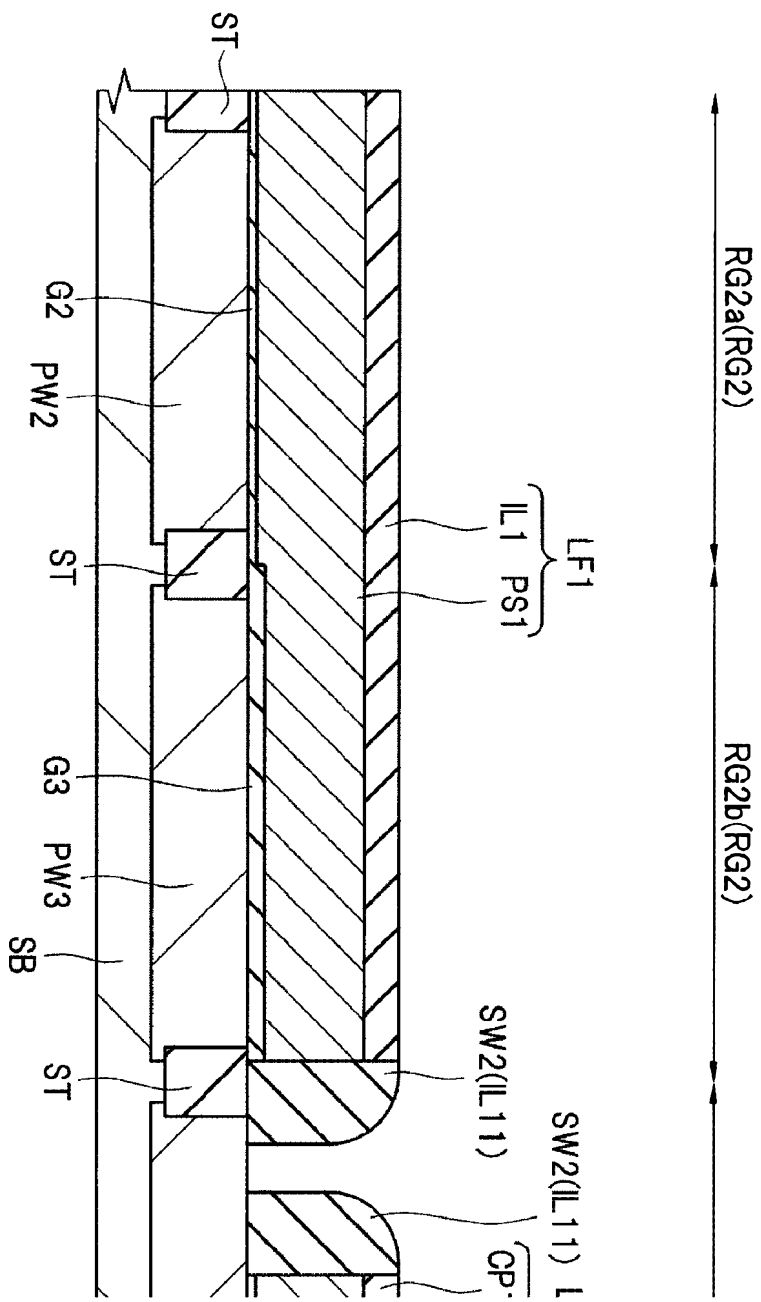
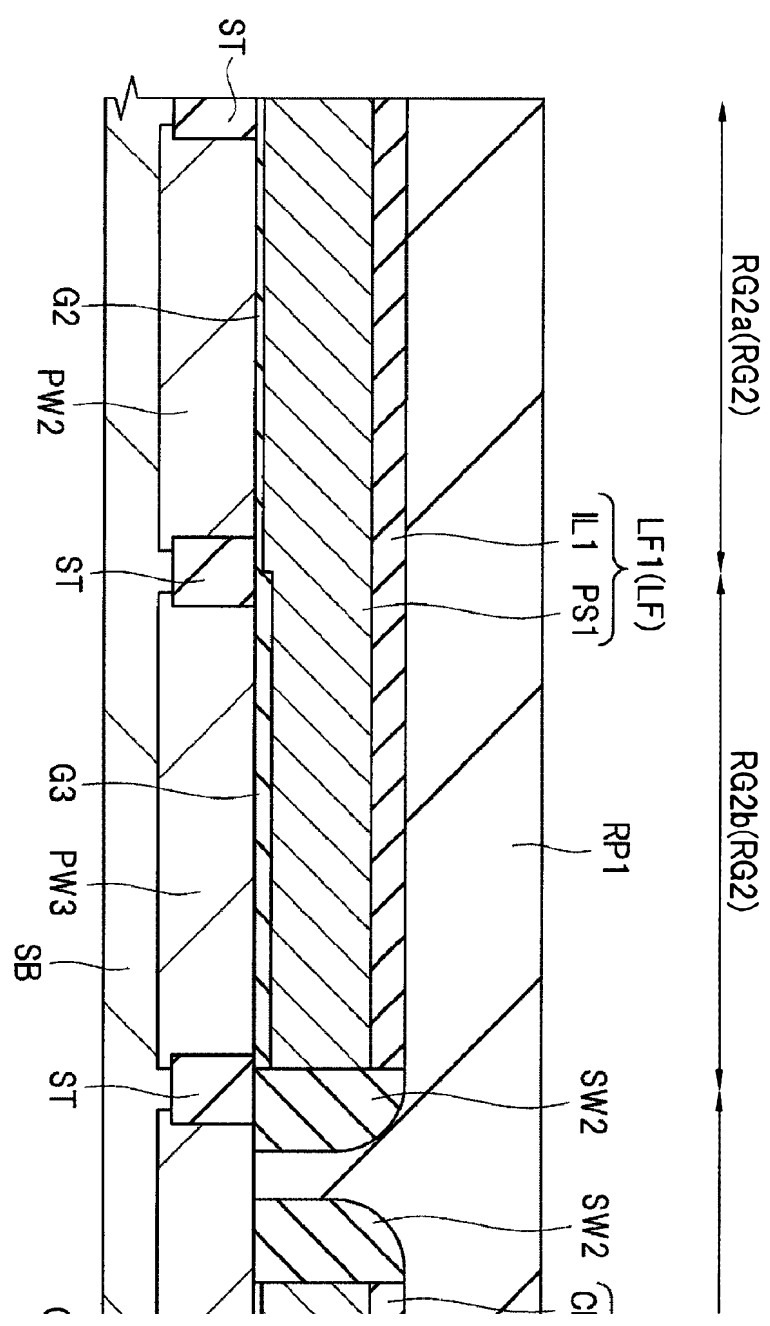


圖 37



38

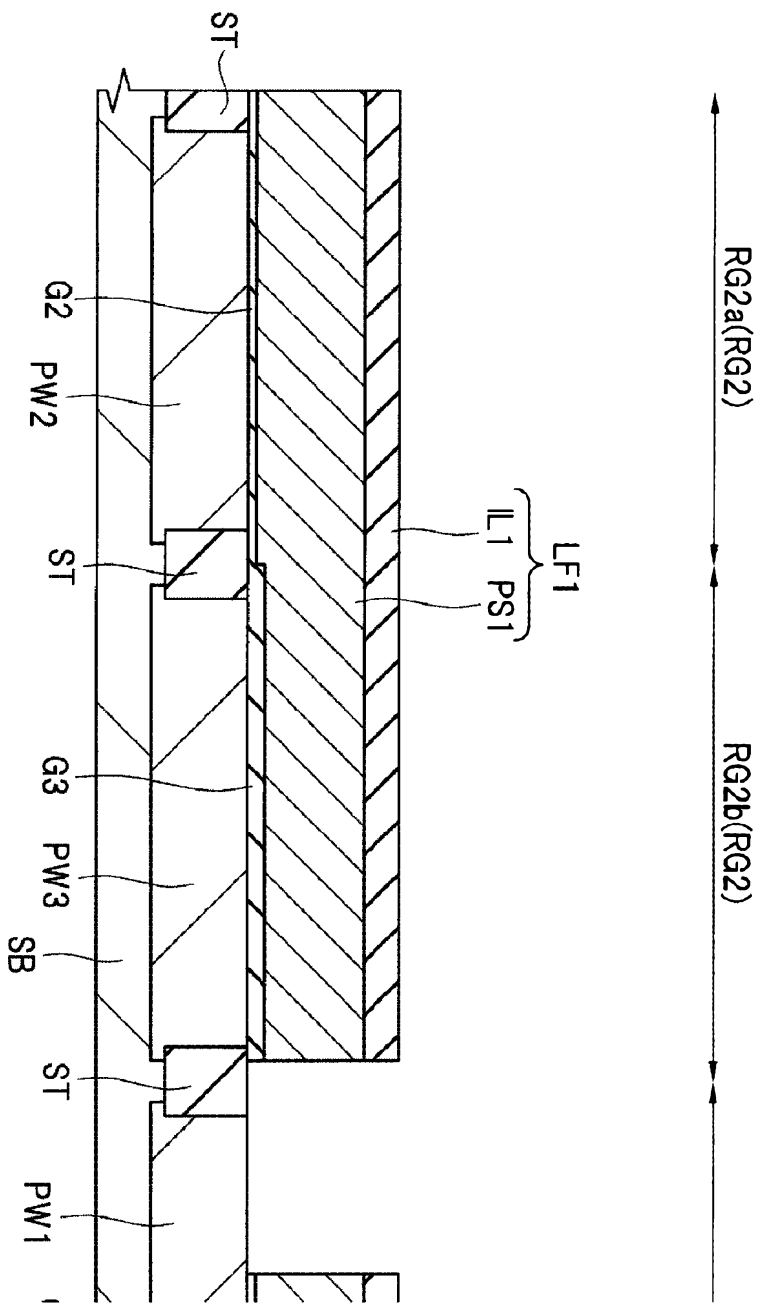


圖 39

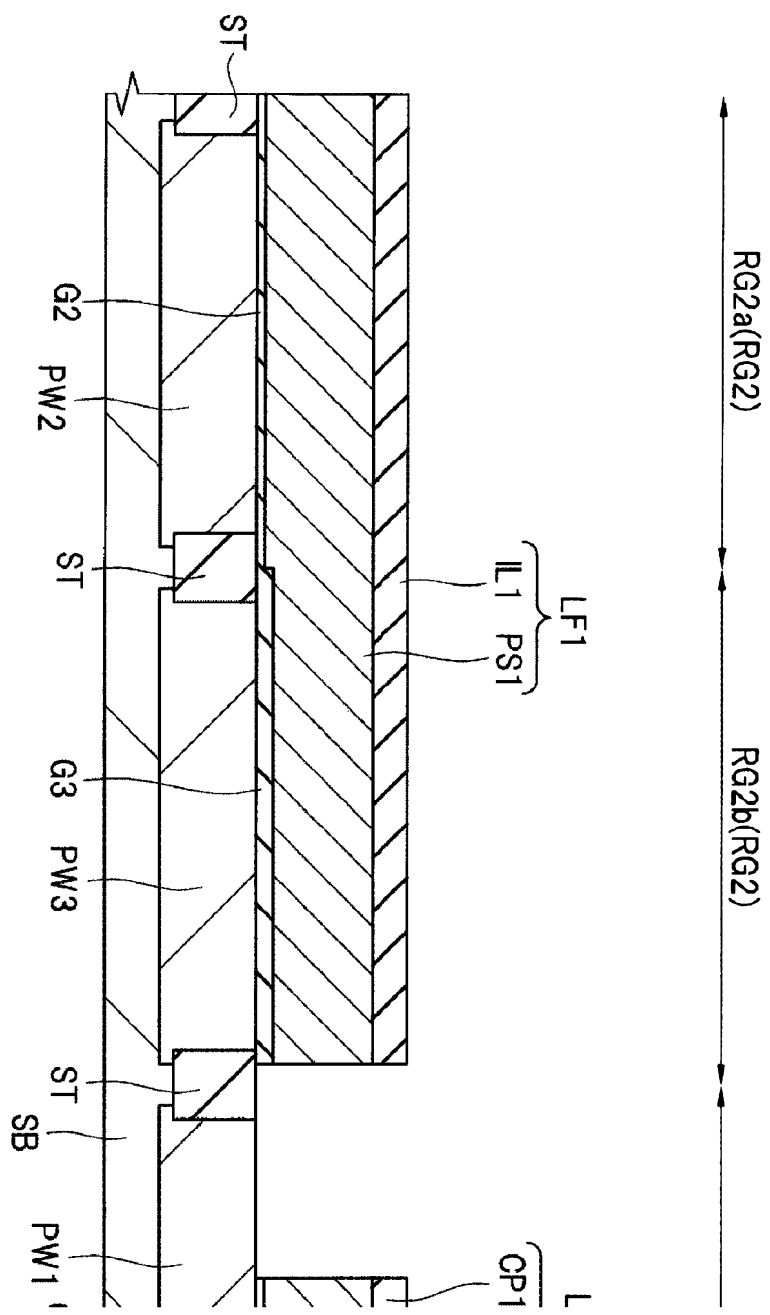


圖 40

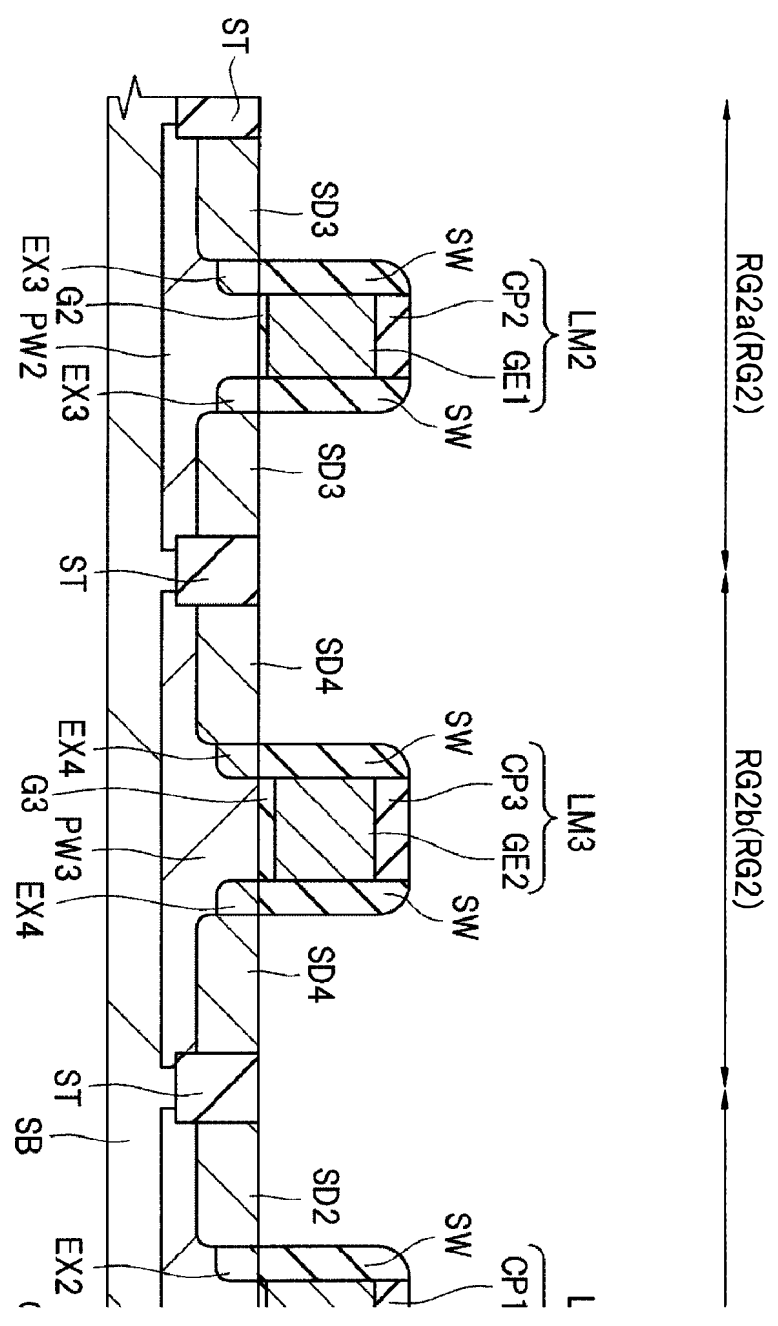


圖 41

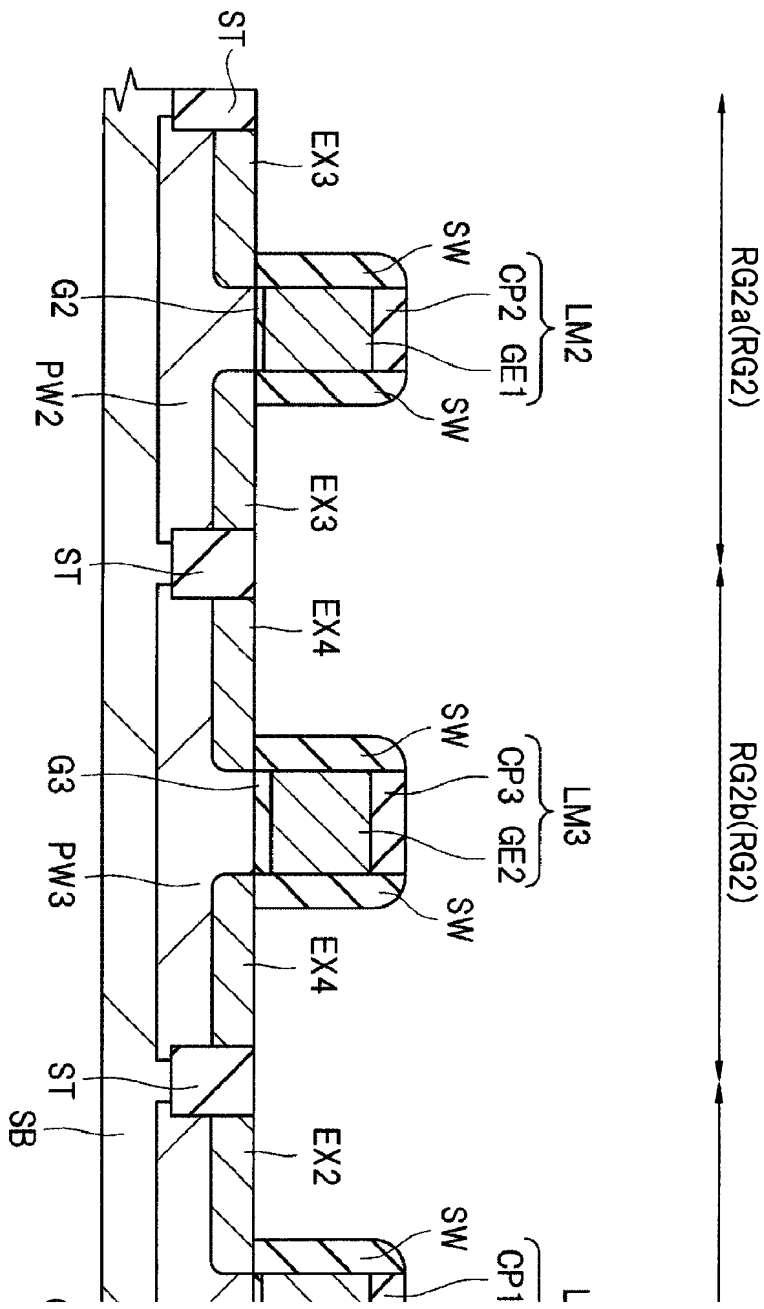


圖 42

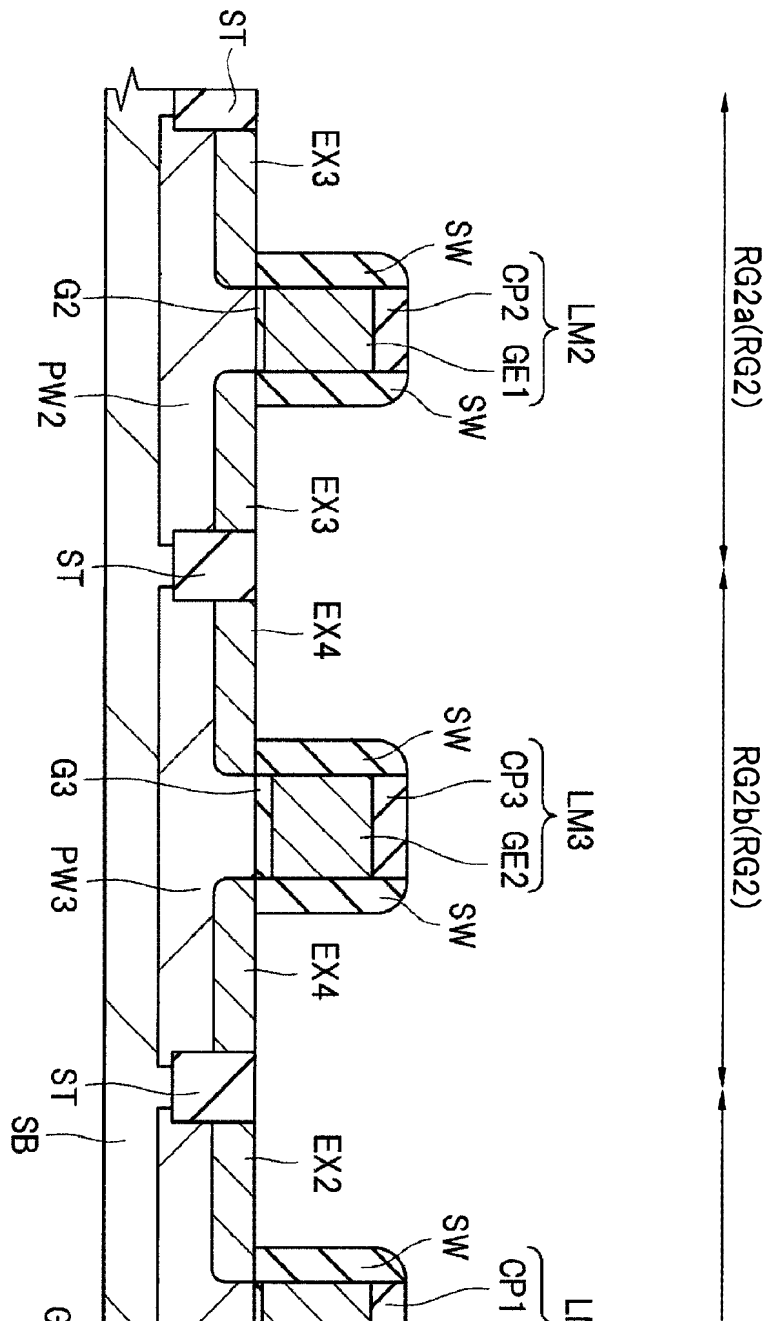
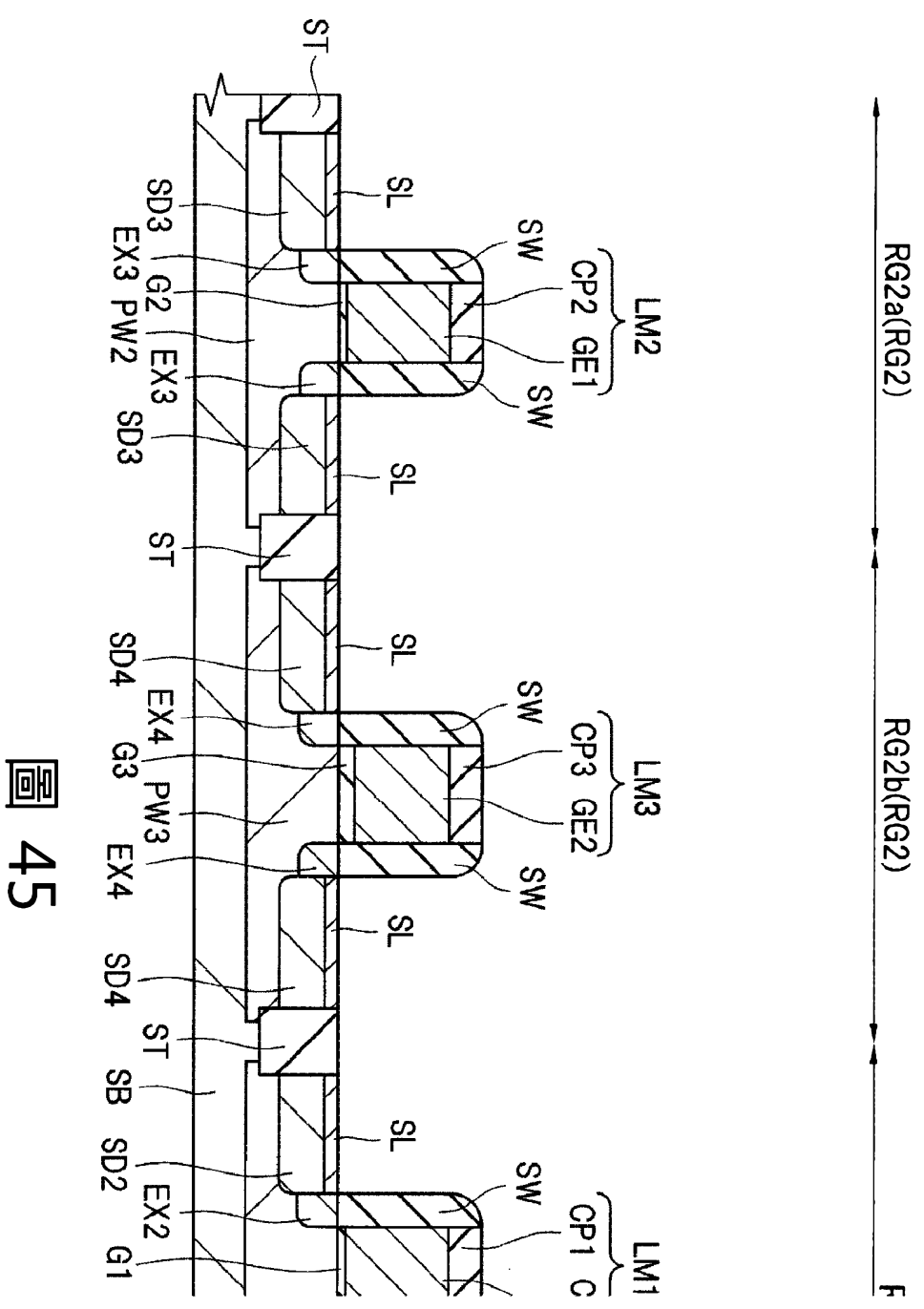


圖 44



45

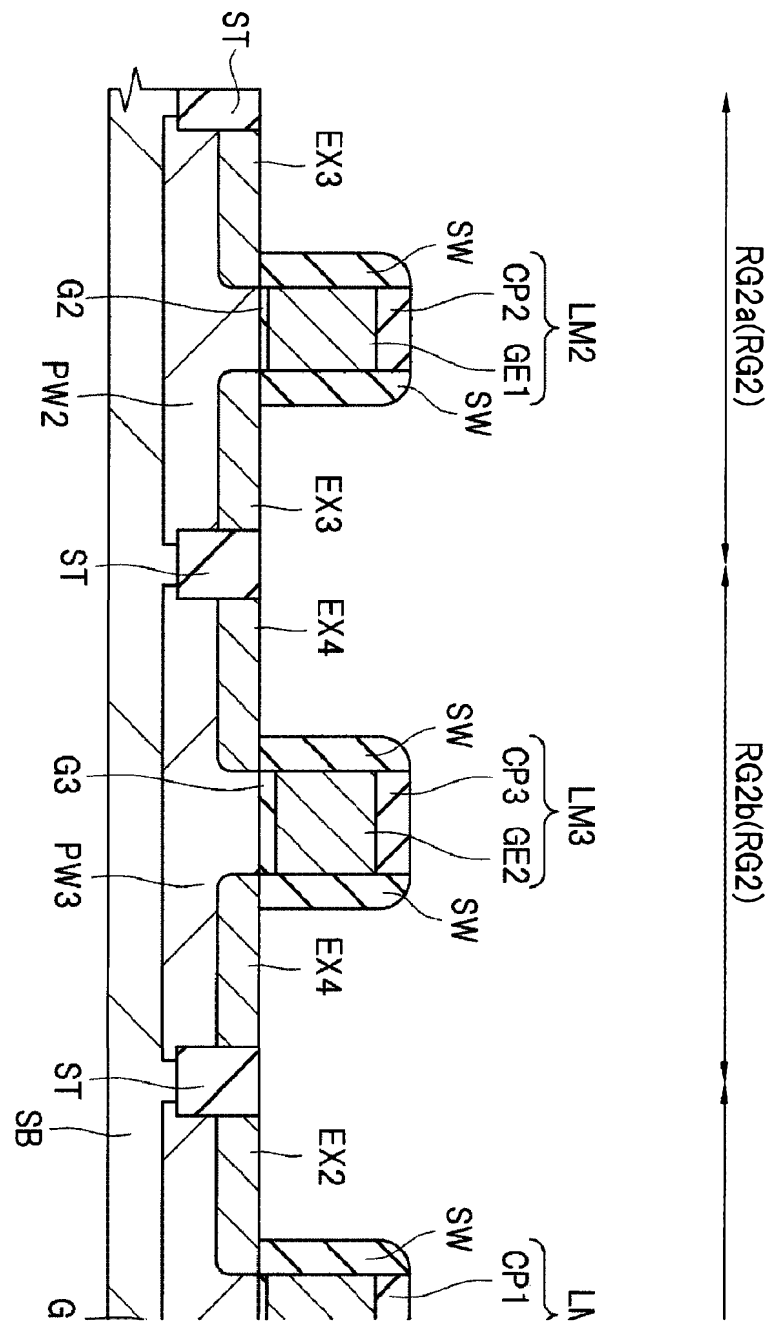


圖 46

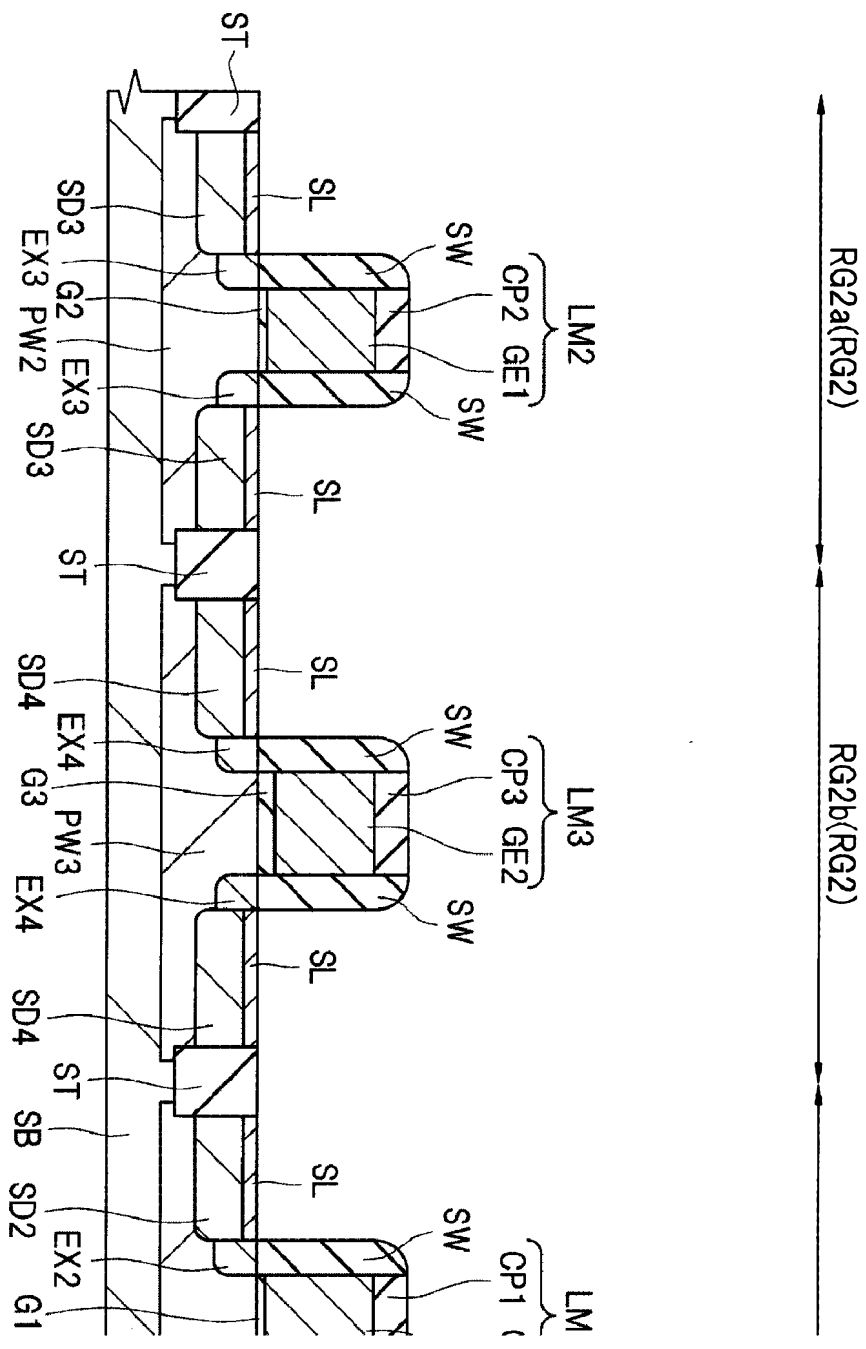


圖 47

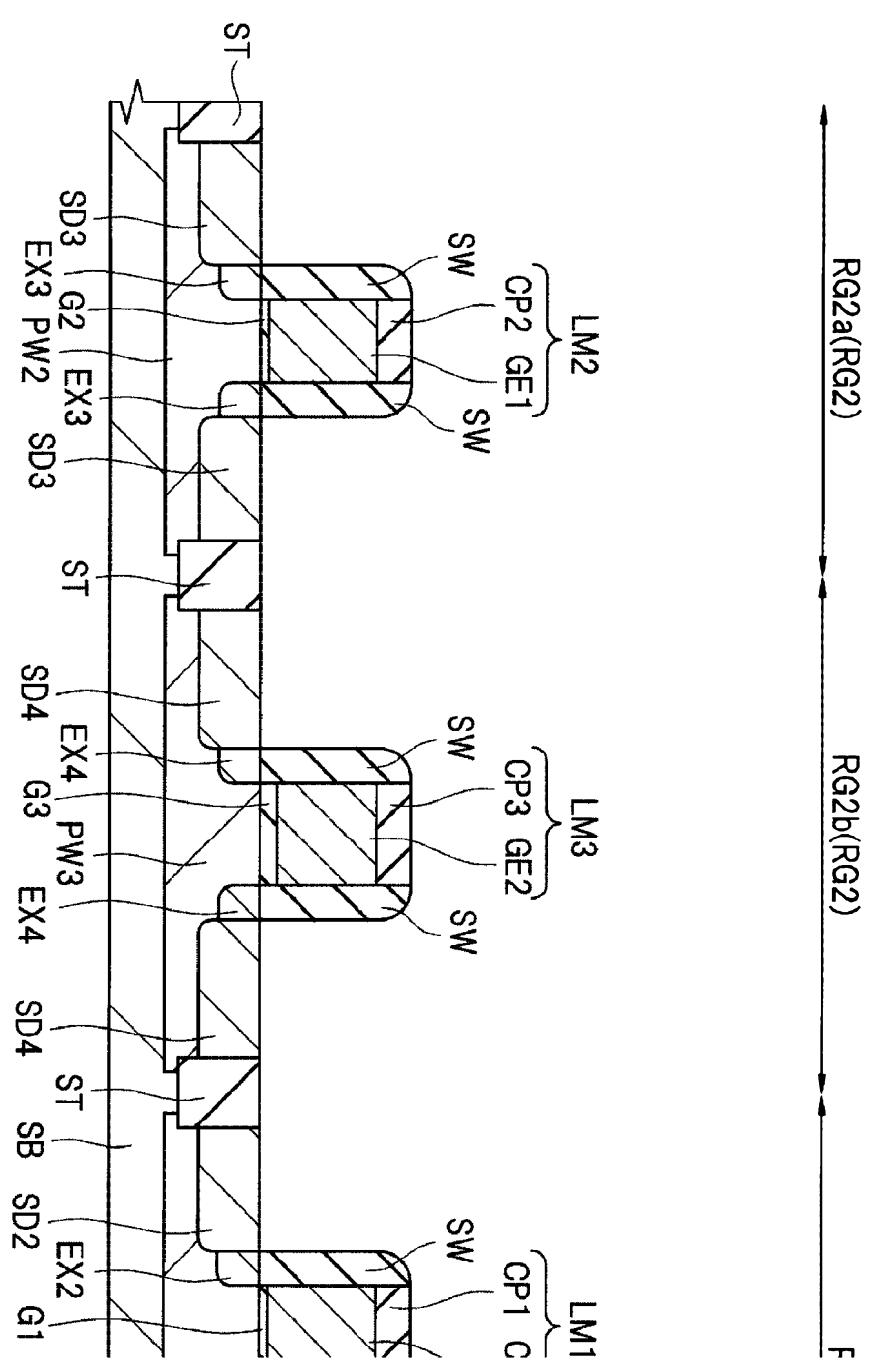


圖 48

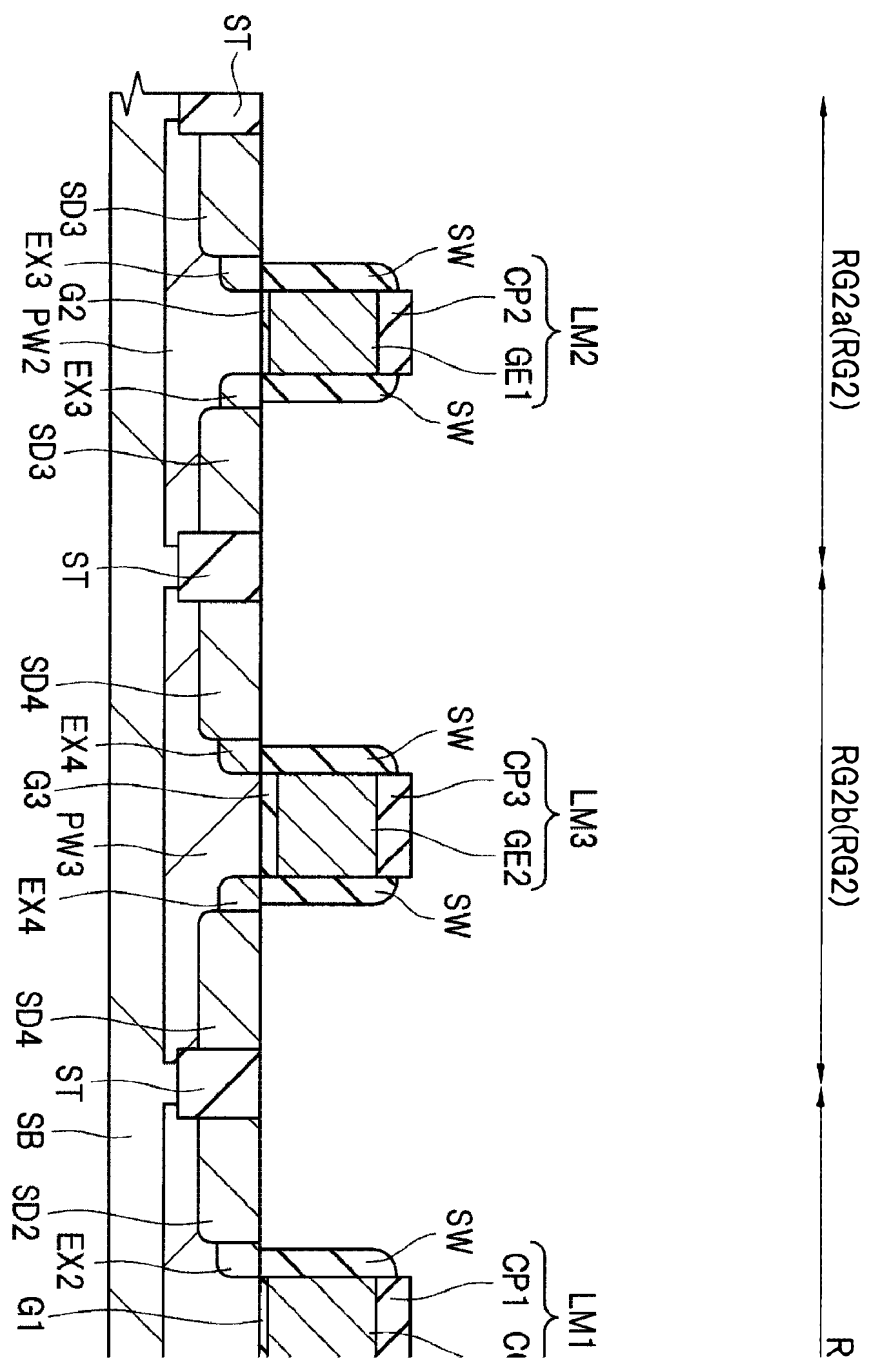


圖 49

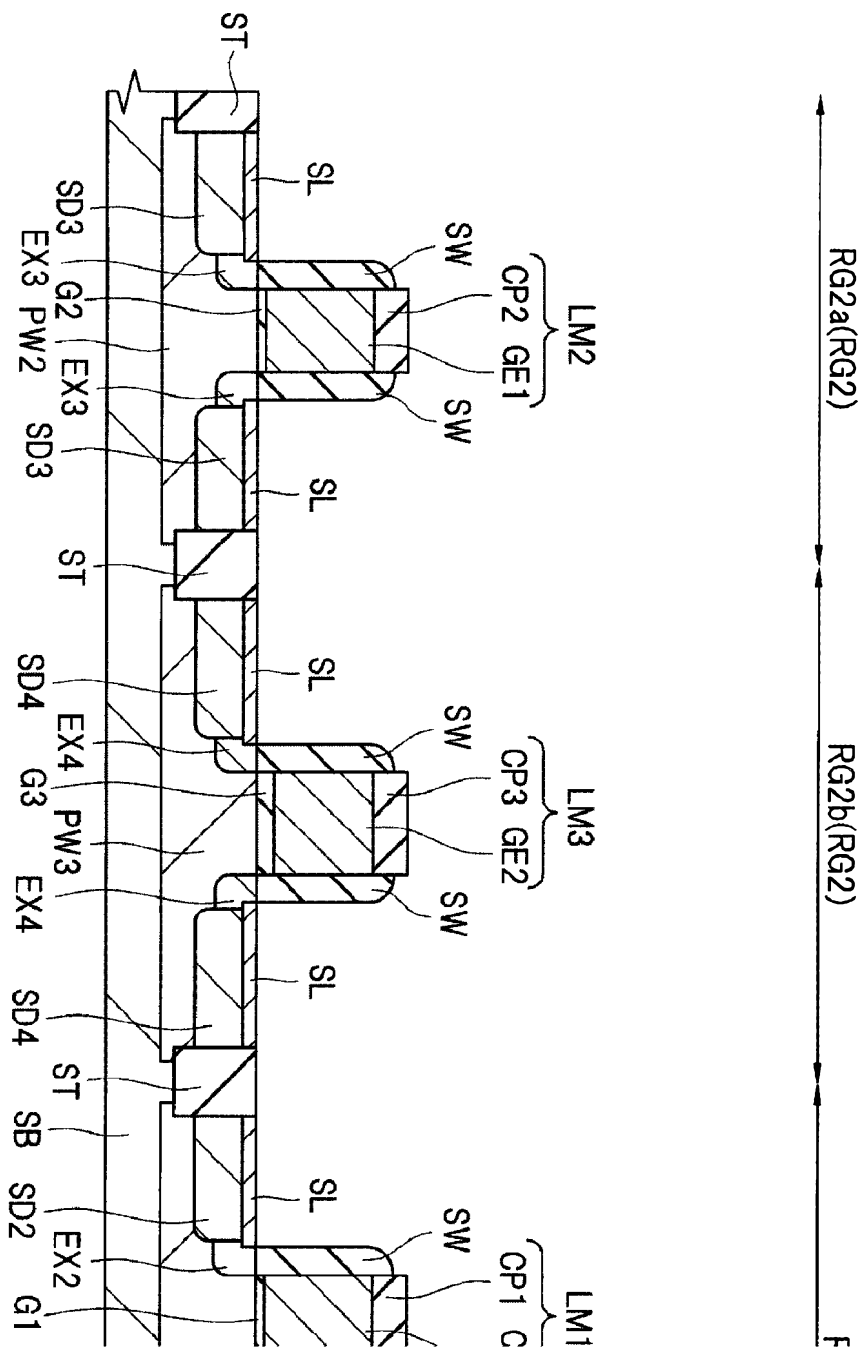


圖 50

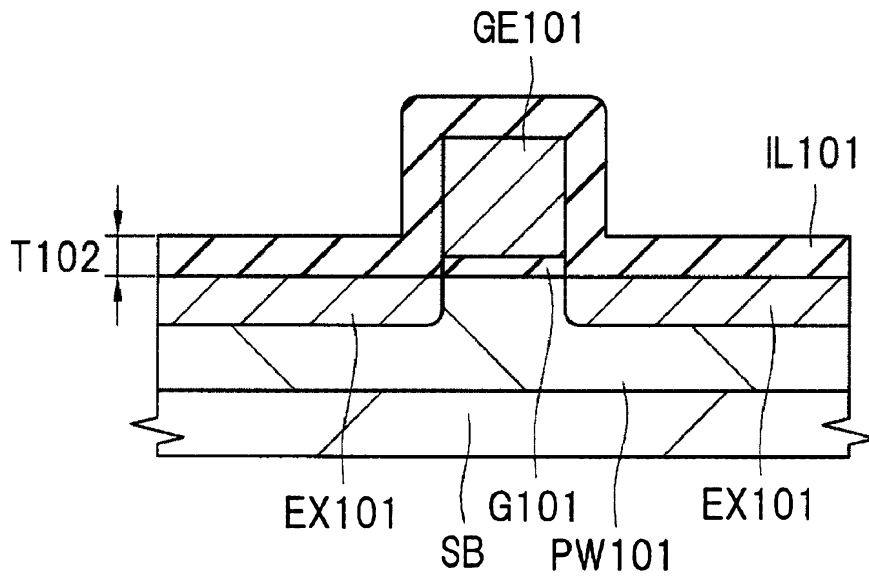


圖 51

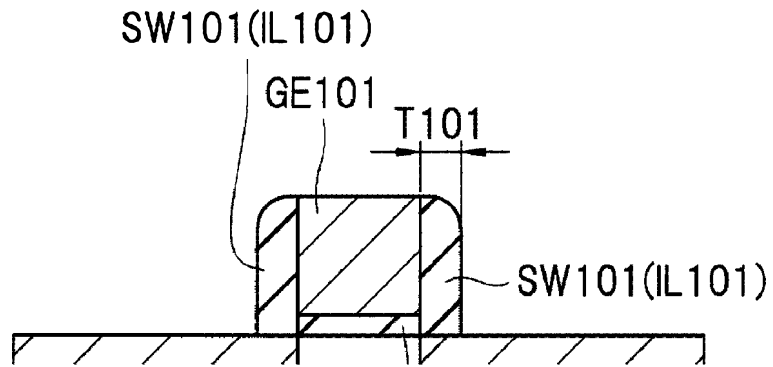


圖 52

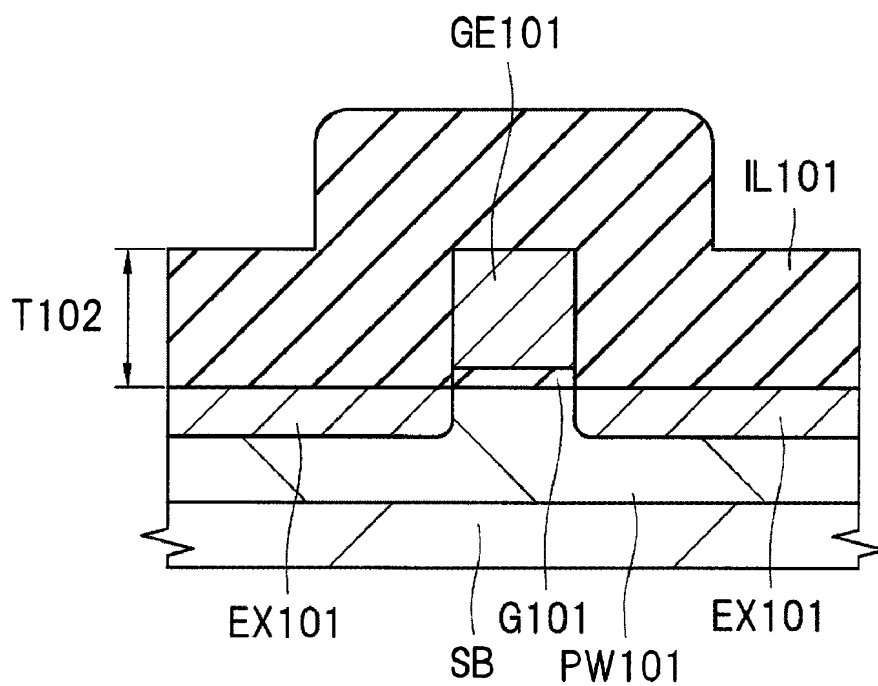


圖 53

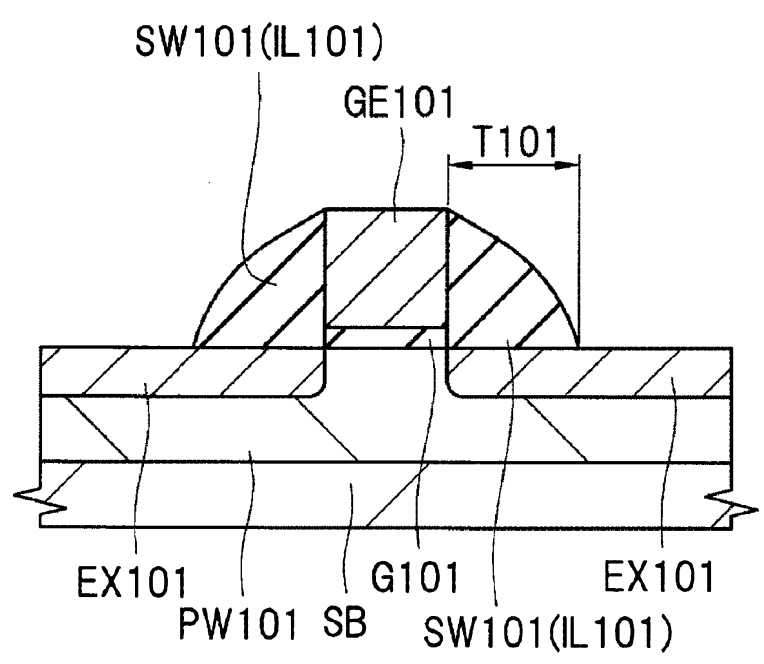


圖 54

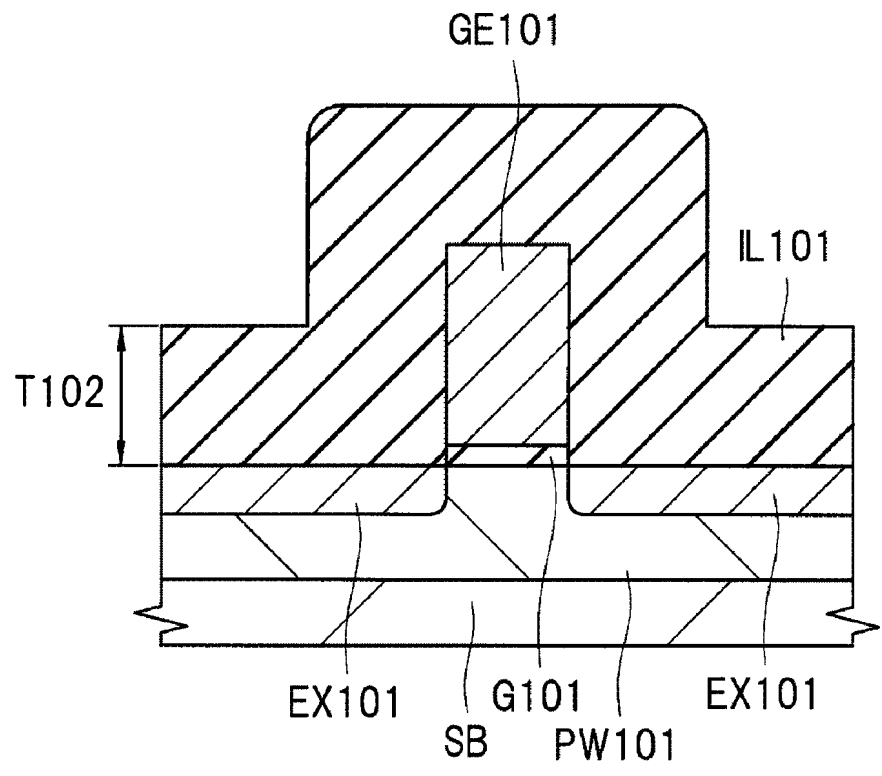


圖 55

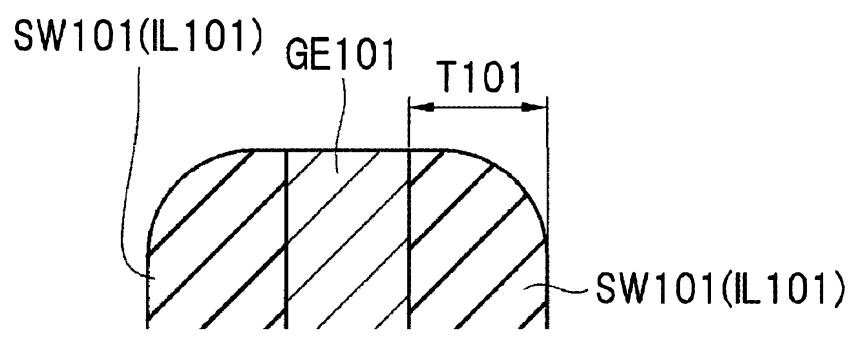


圖 56

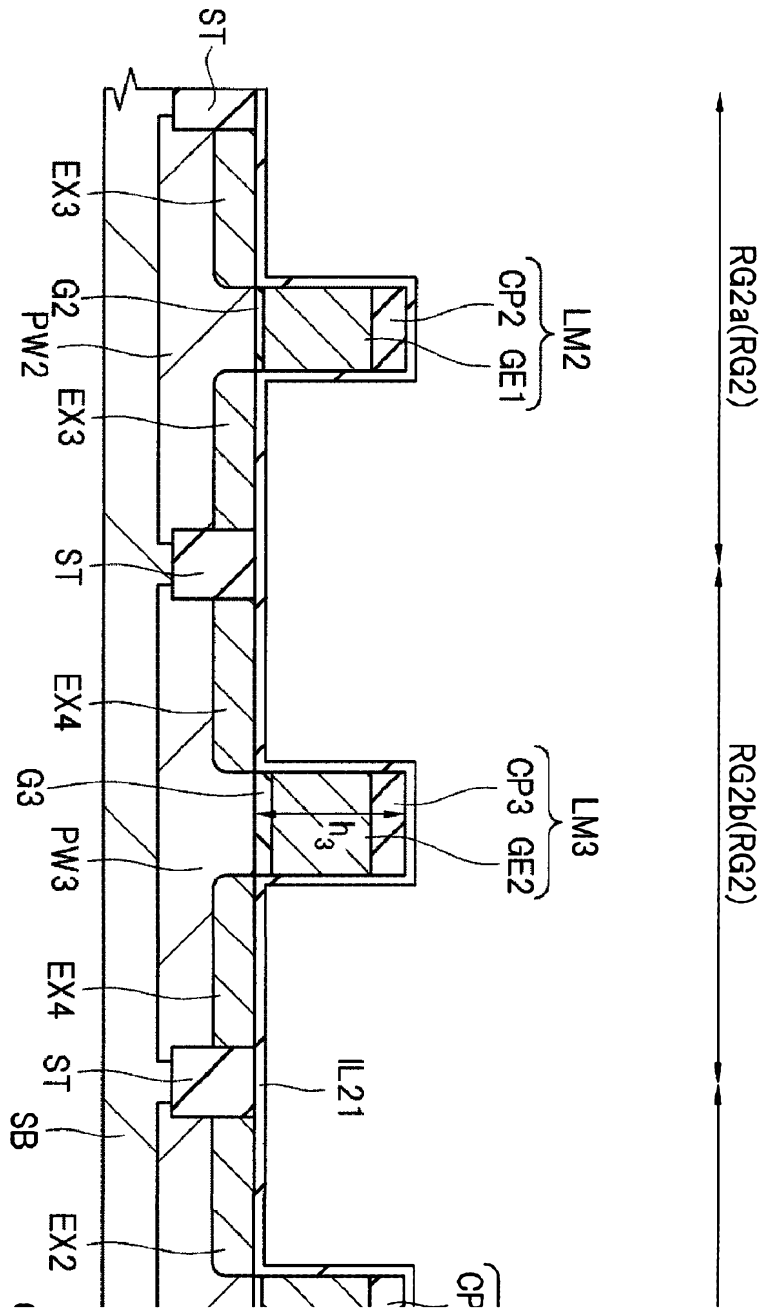


圖 57

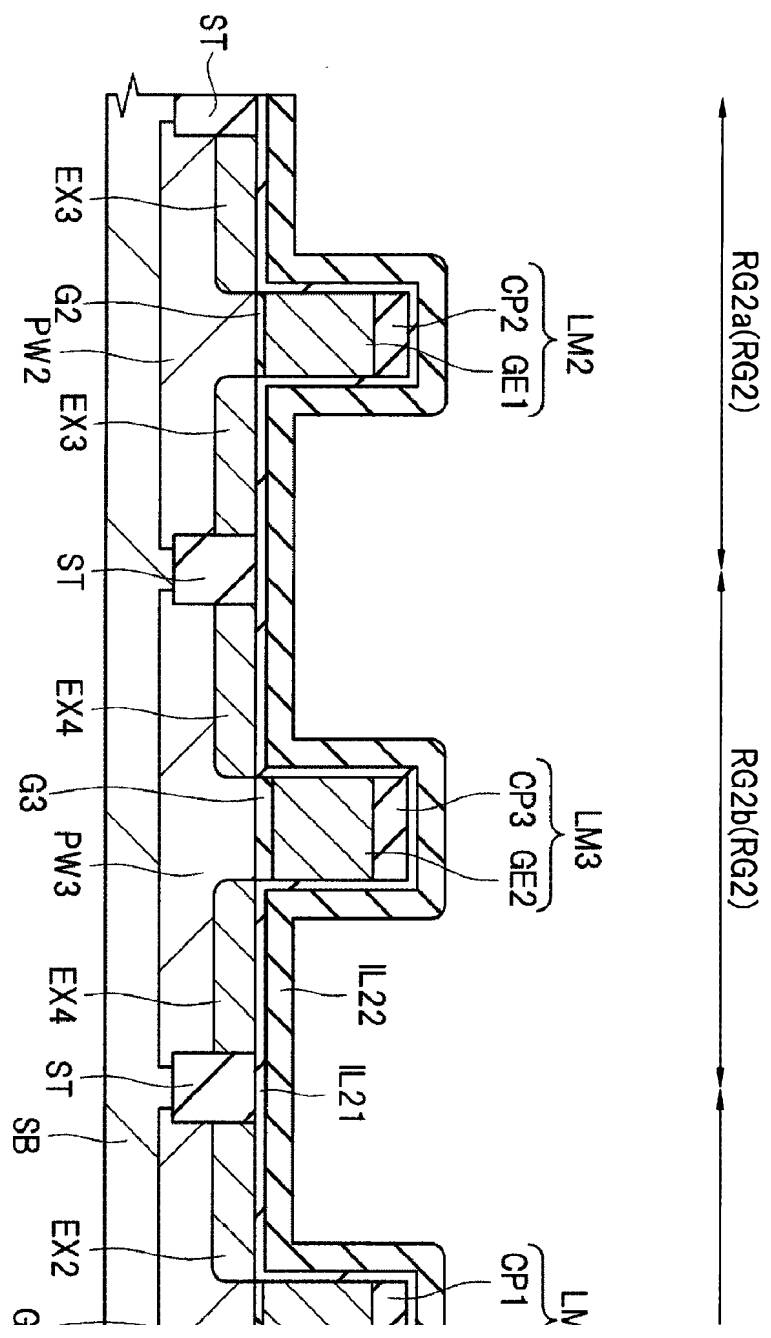


圖 58

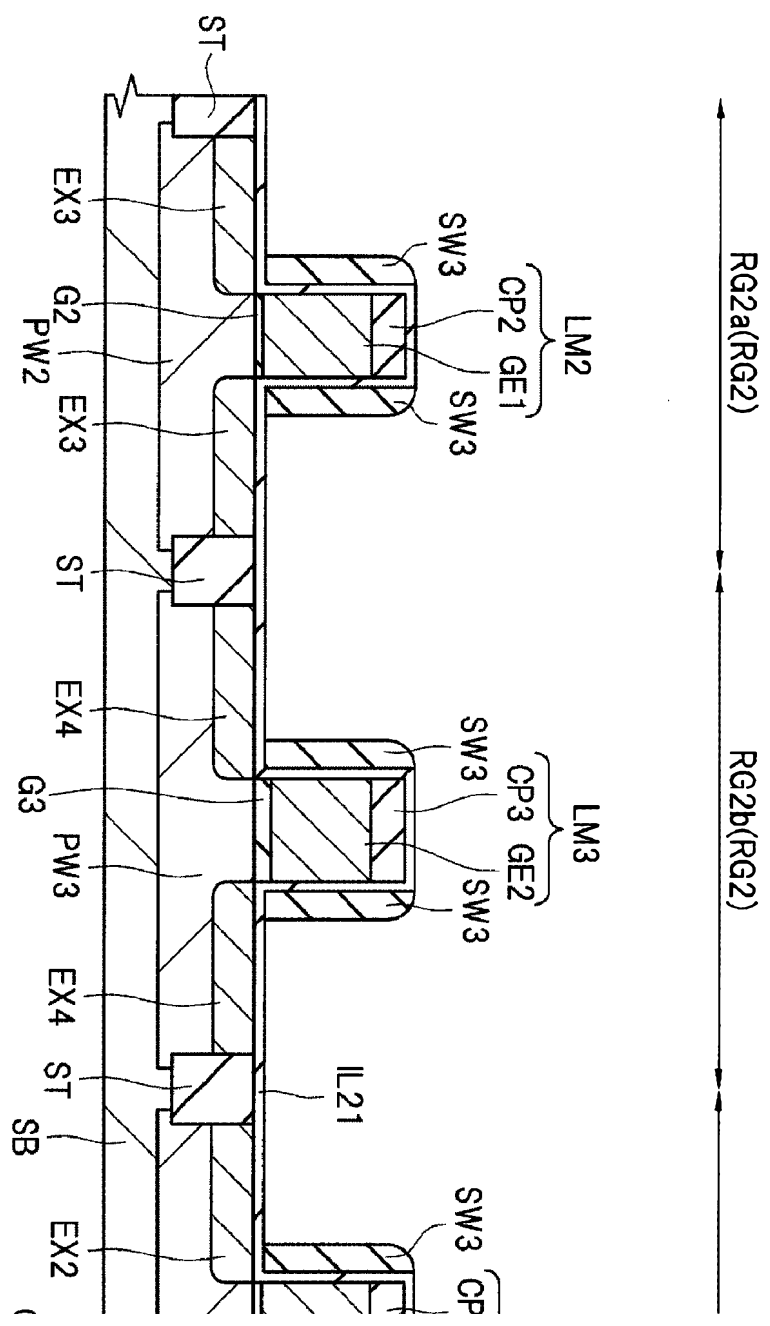


圖 59

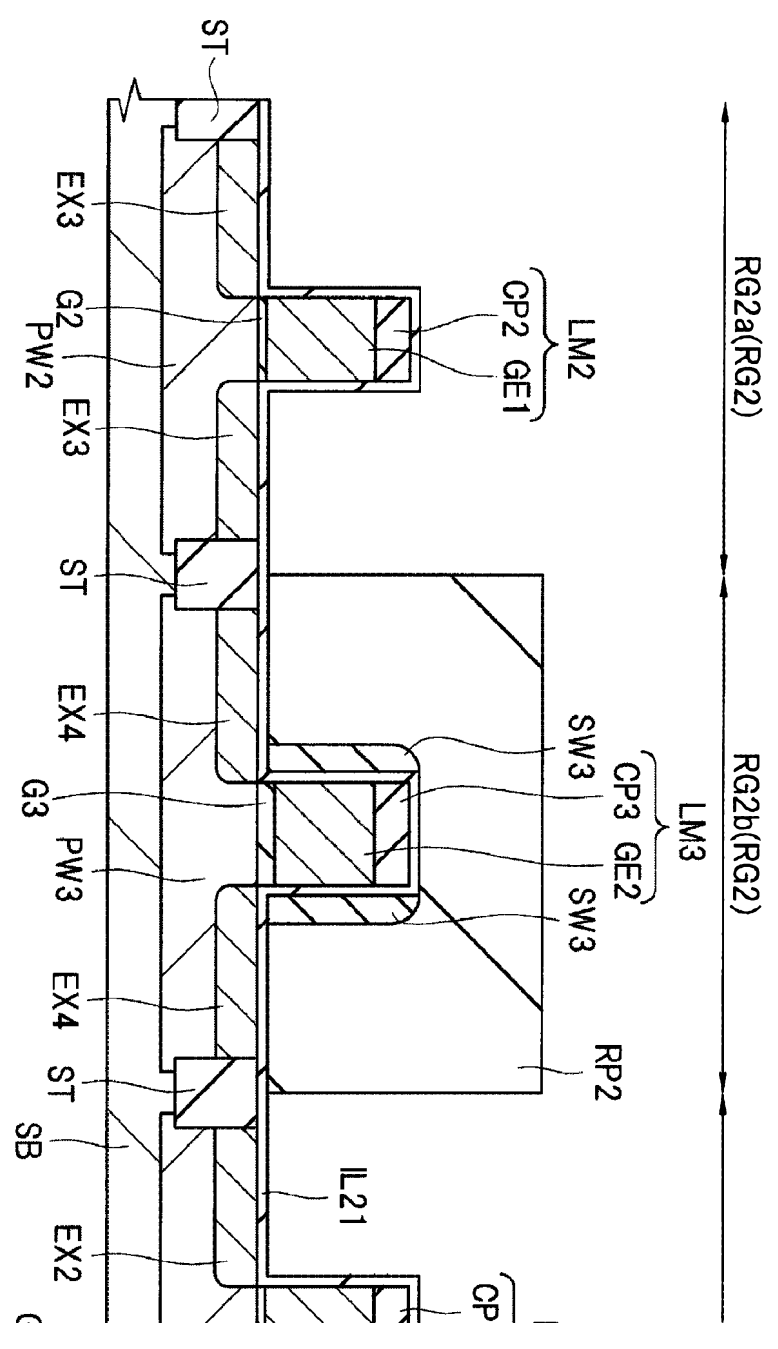


圖 60

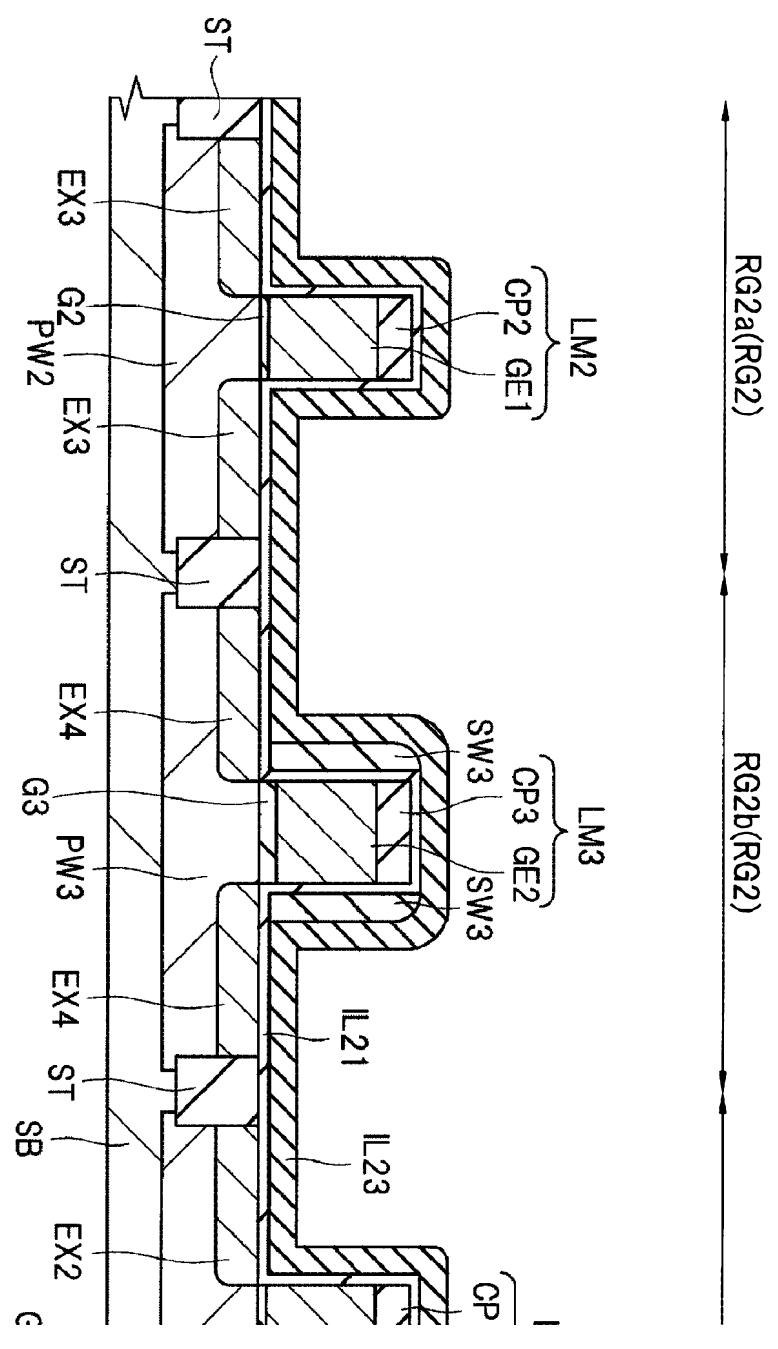


圖 61

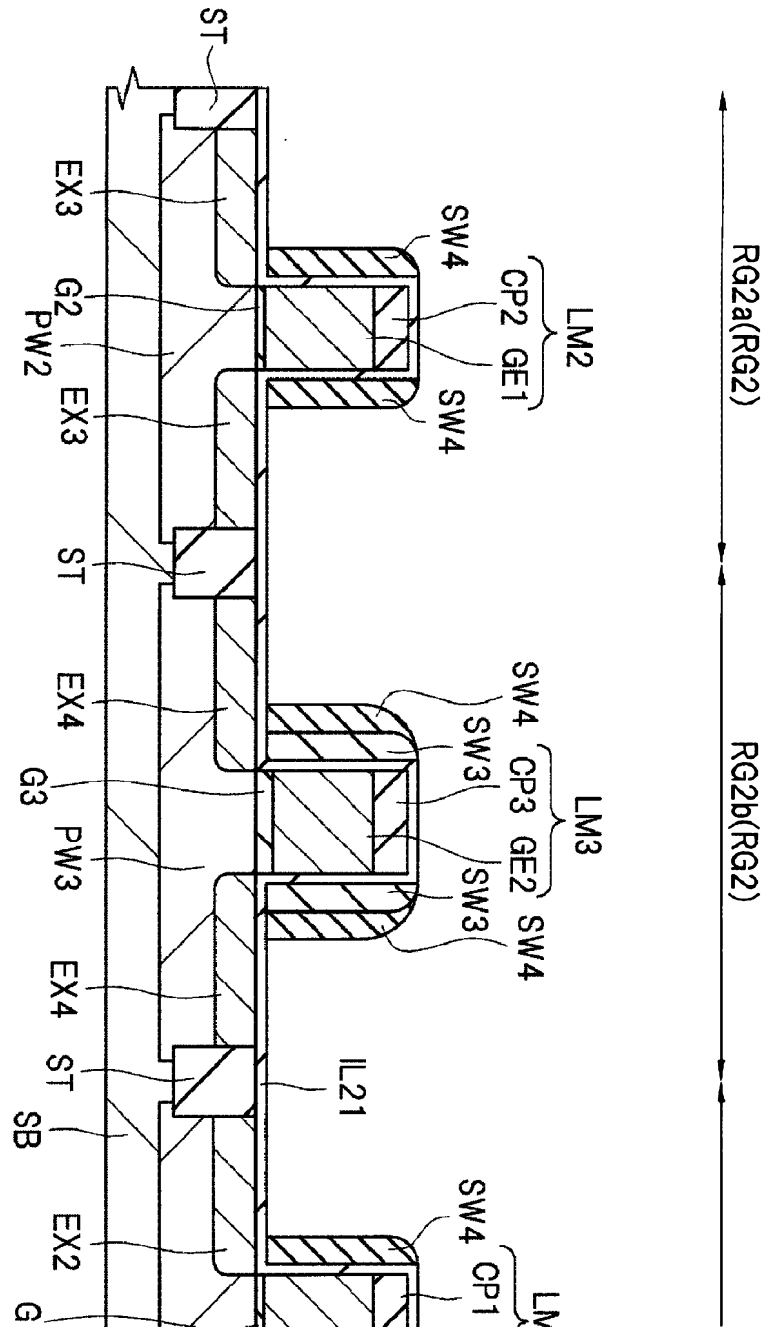


圖 62

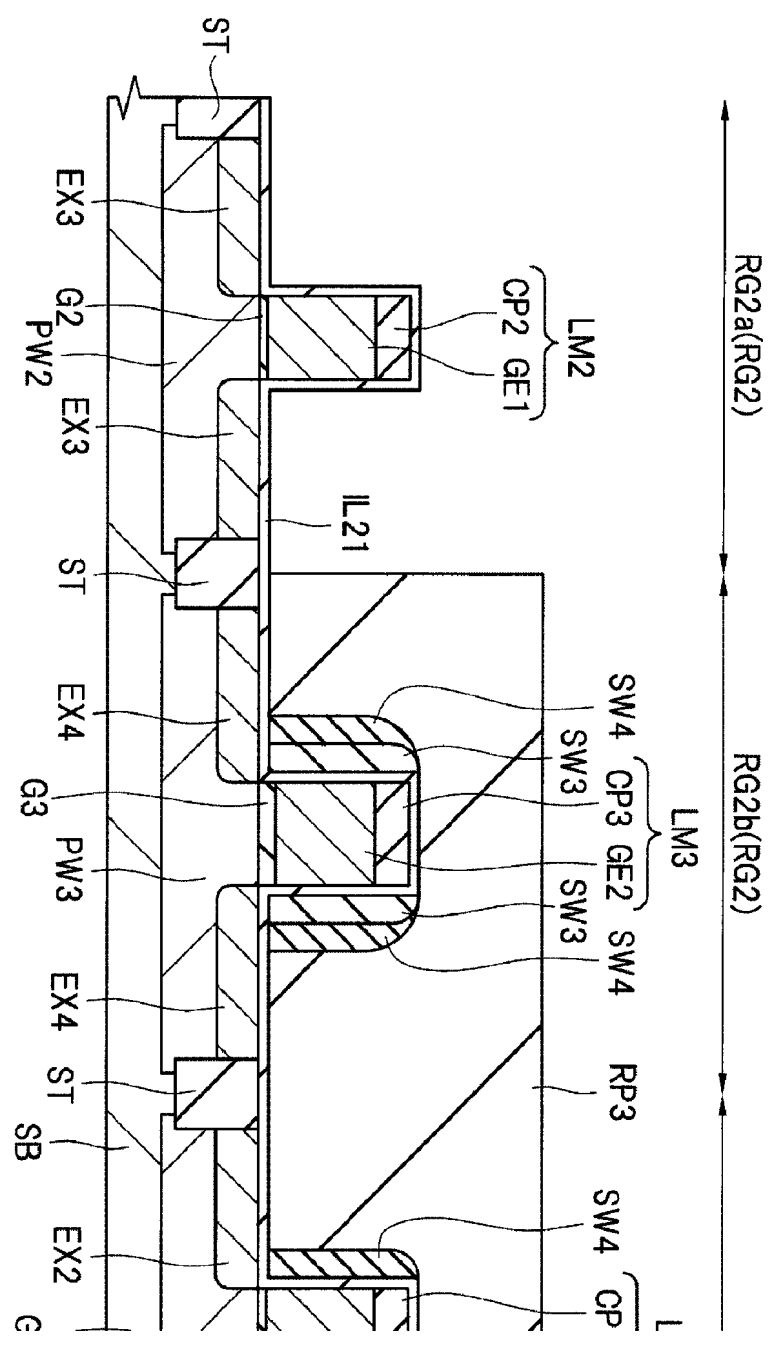


圖 63

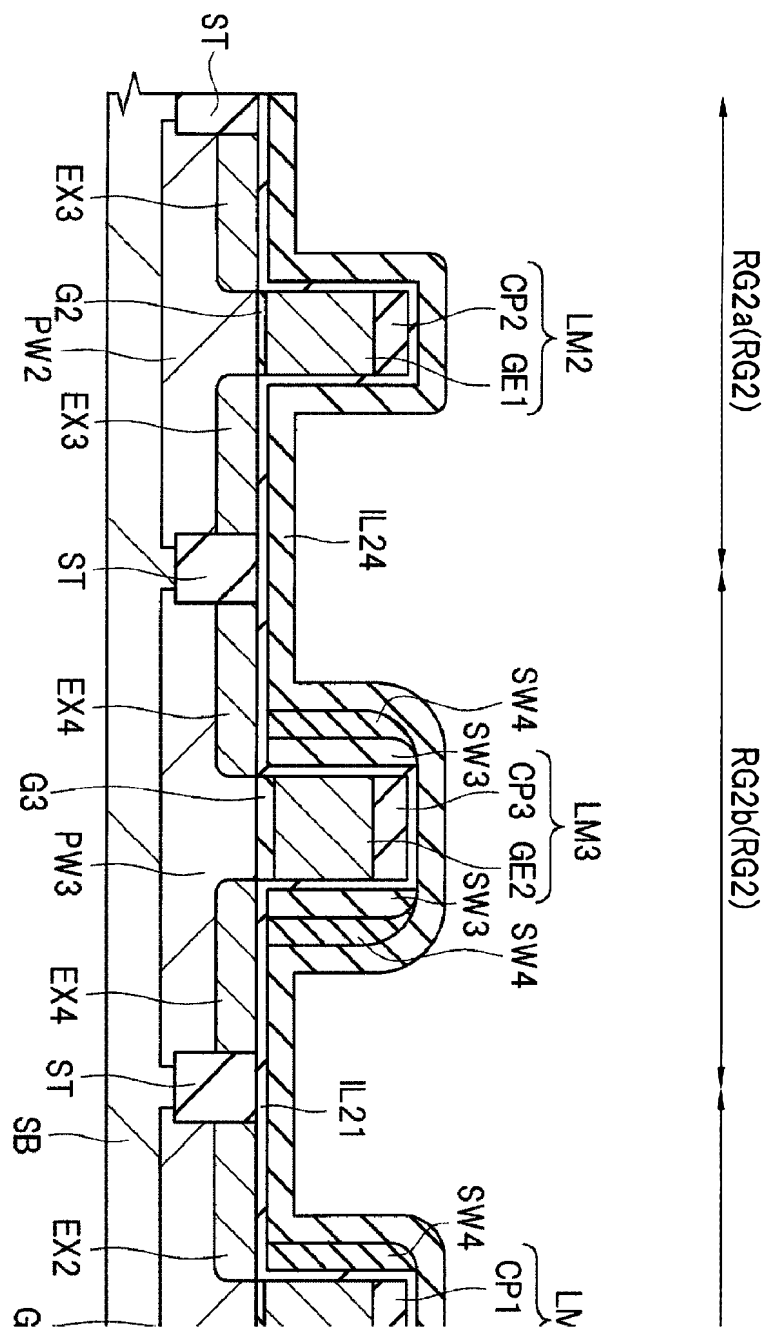


圖 64

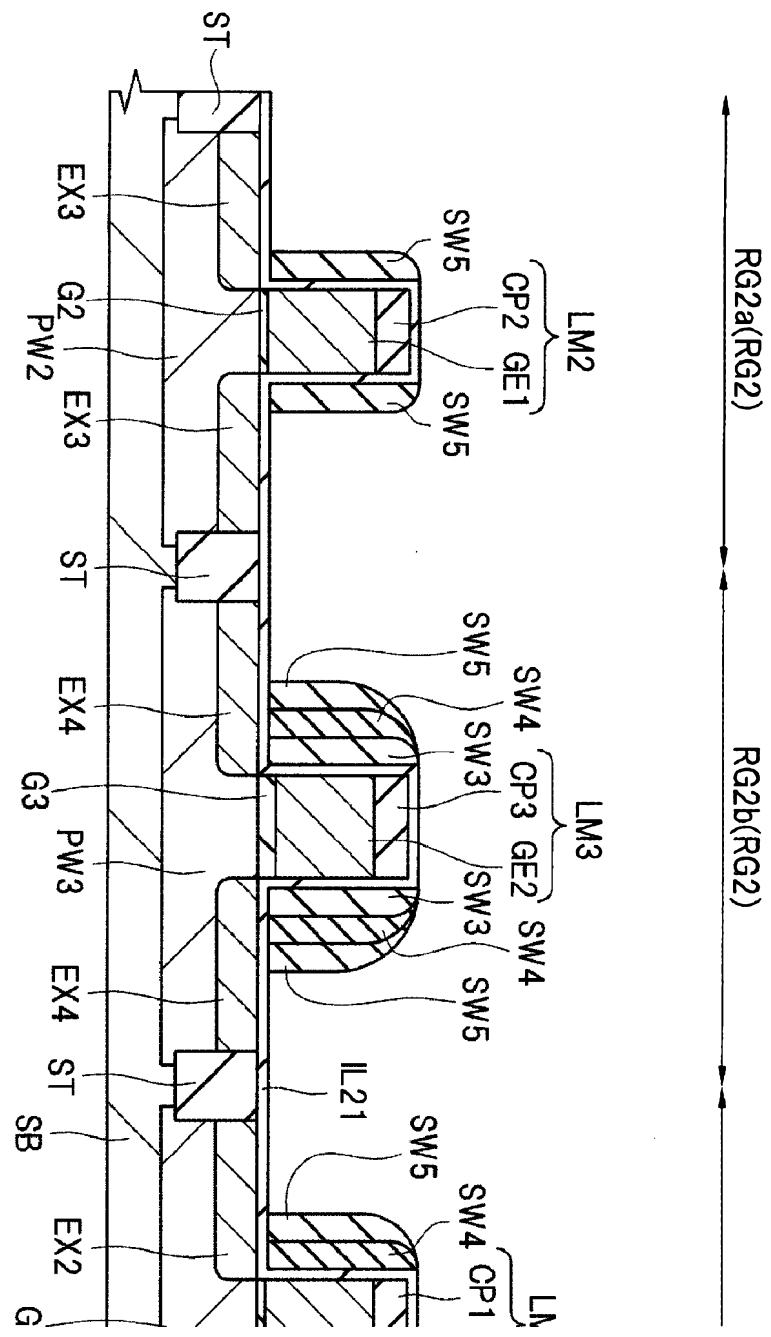


圖 65

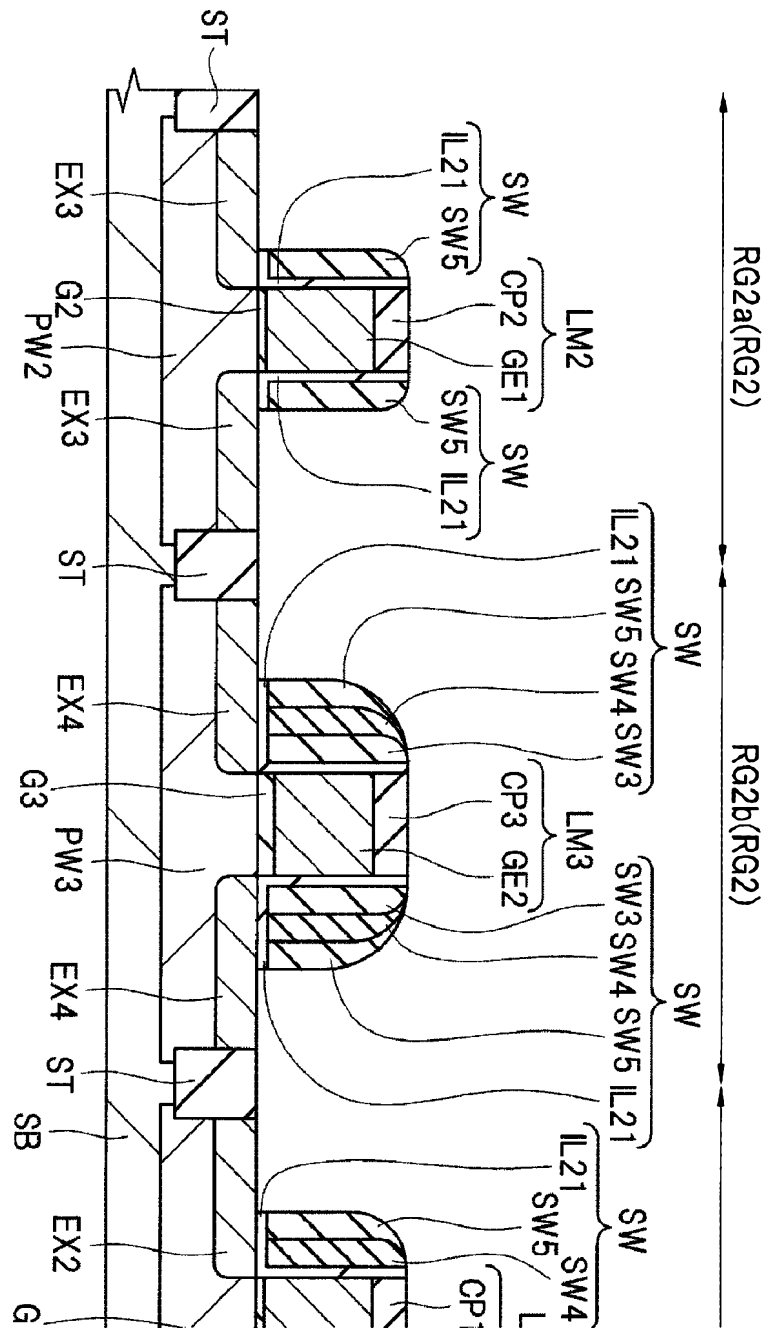


圖 66

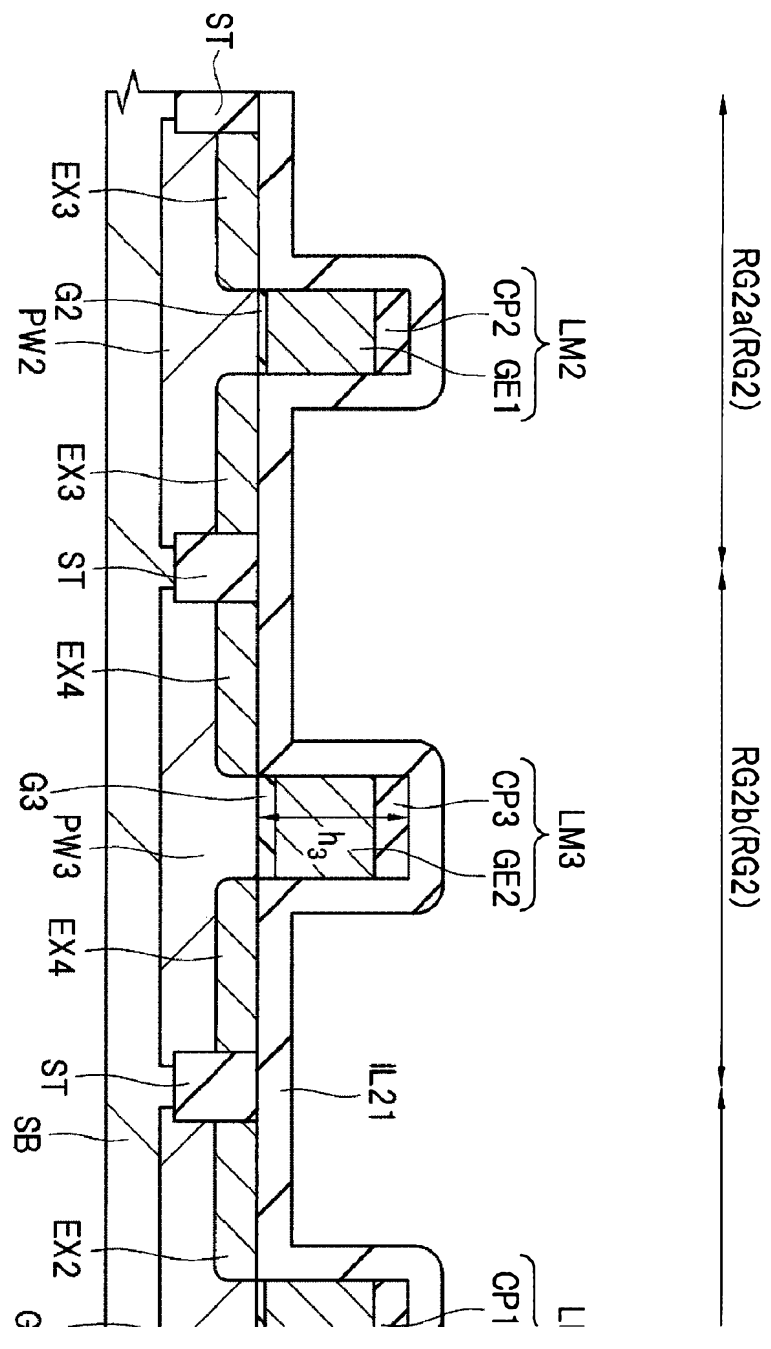


圖 68

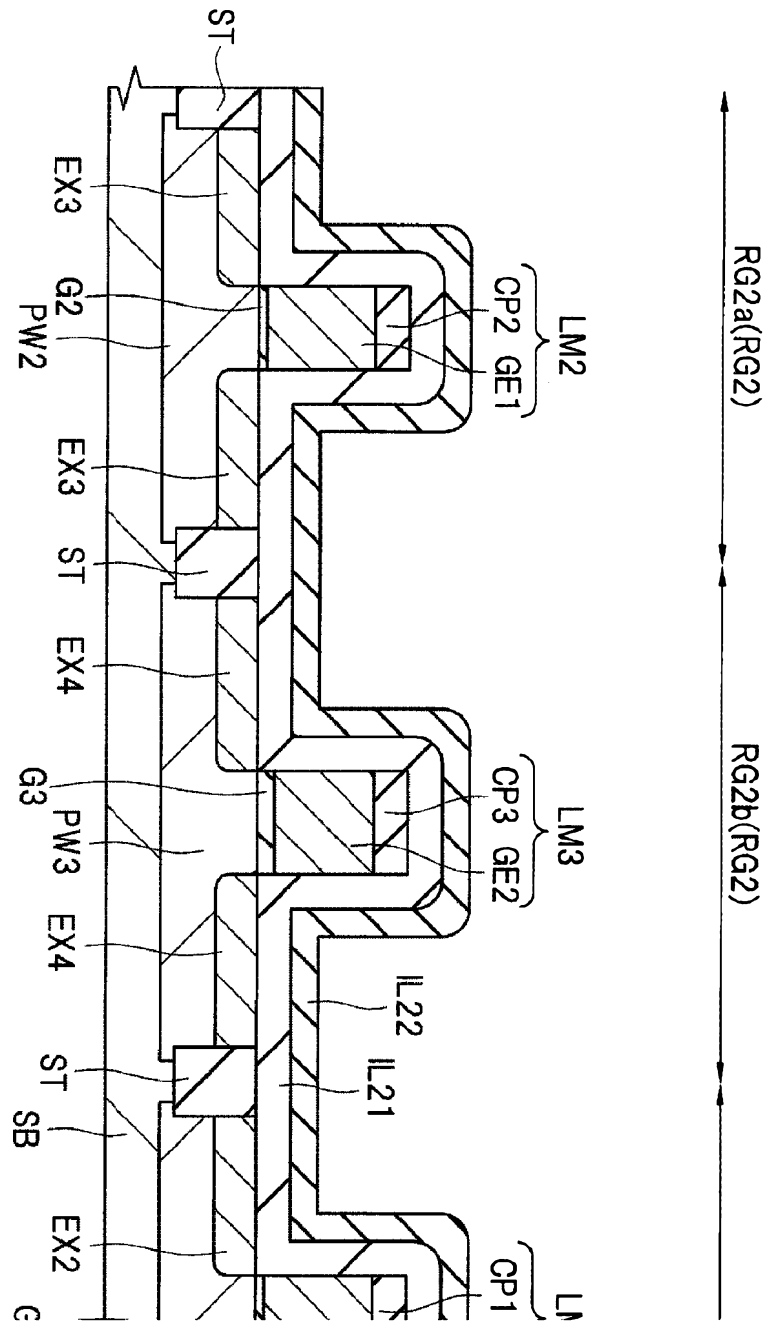


圖 69

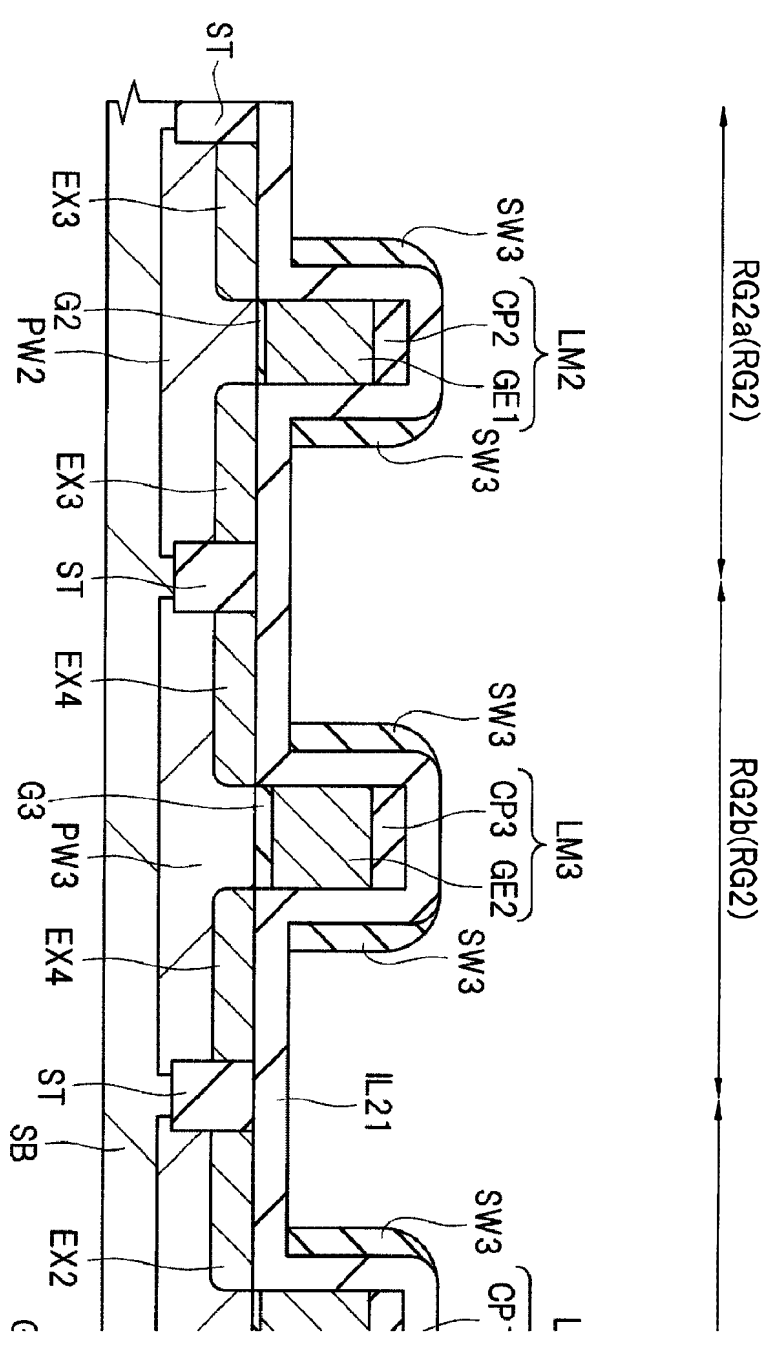


圖 70

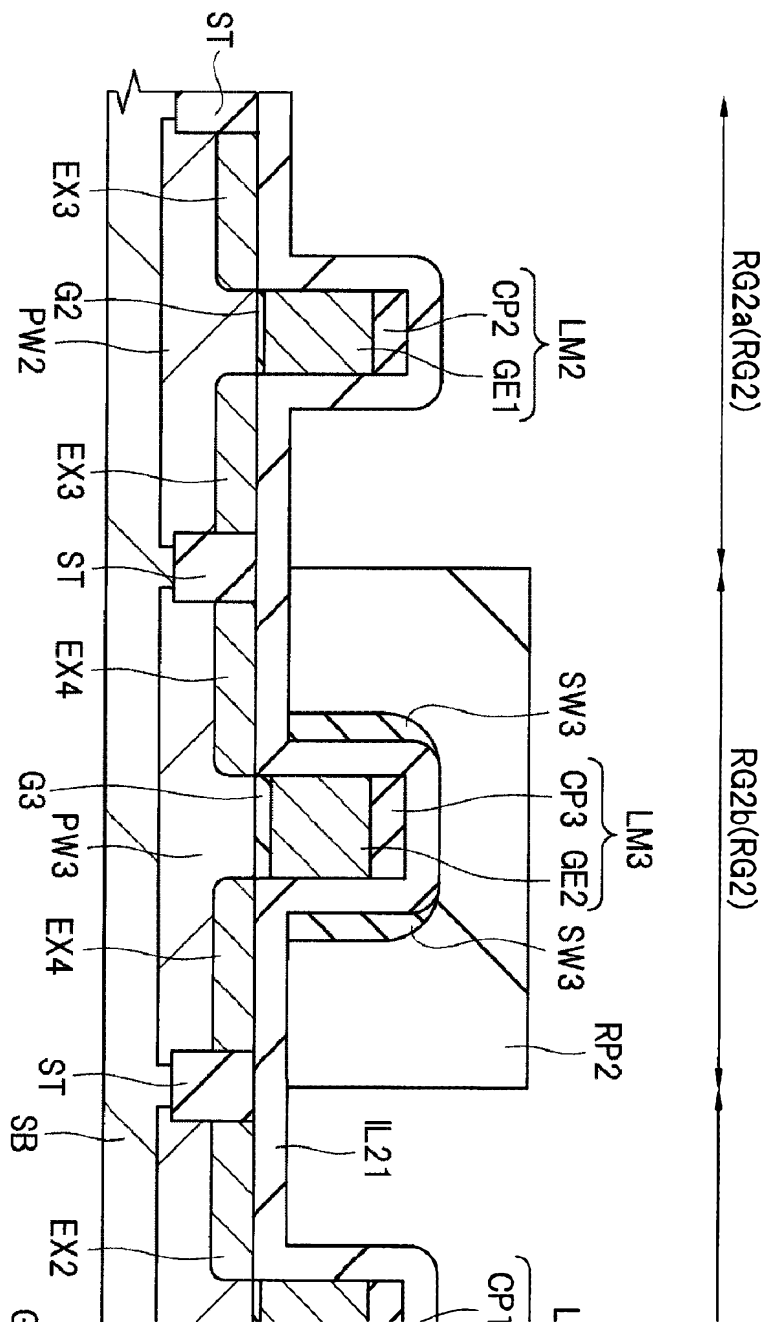


圖 71

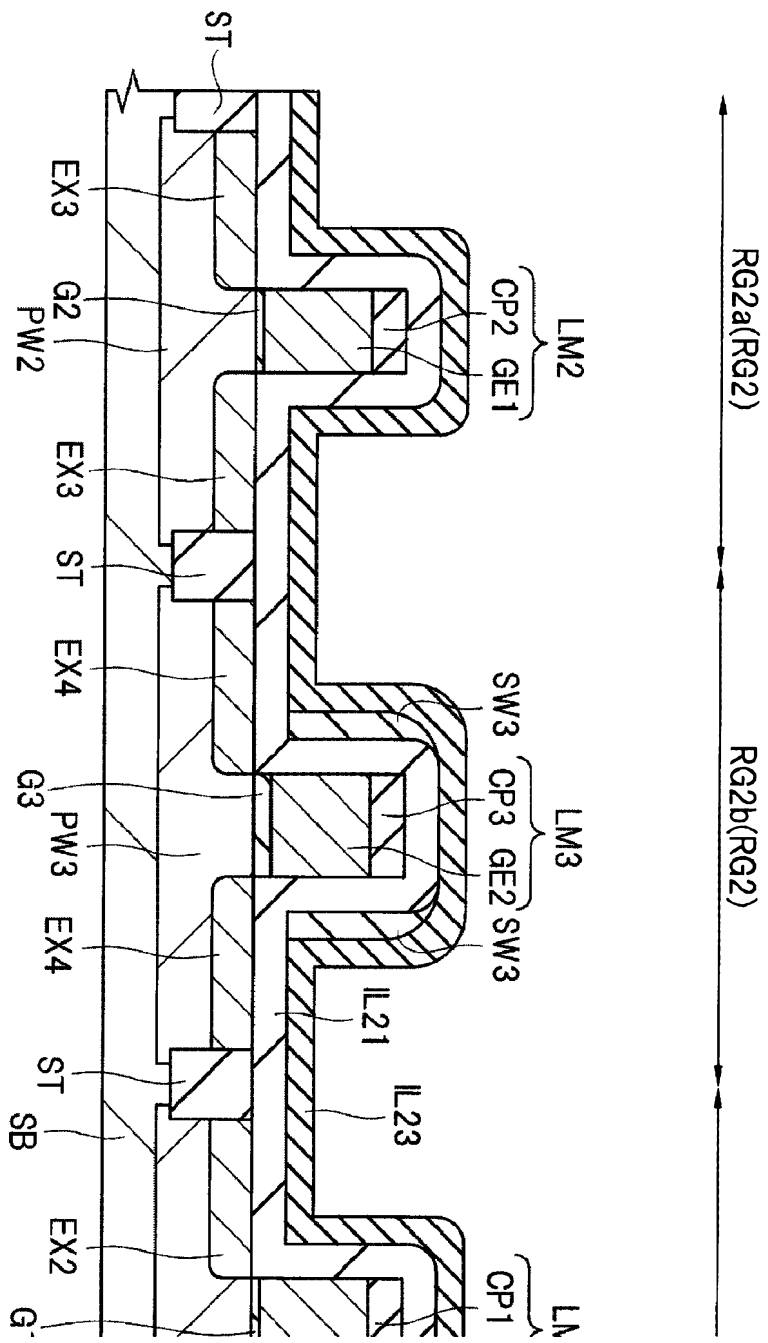


圖 72

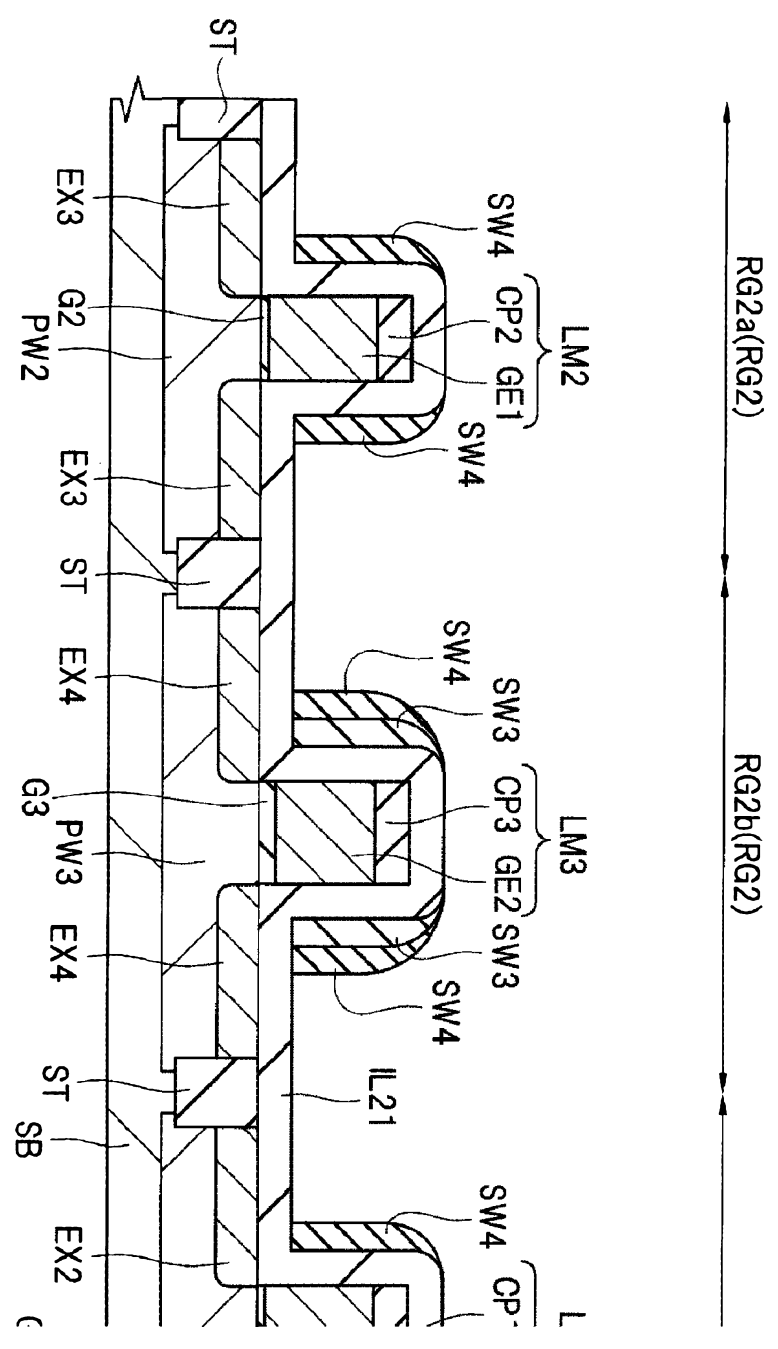


圖 73

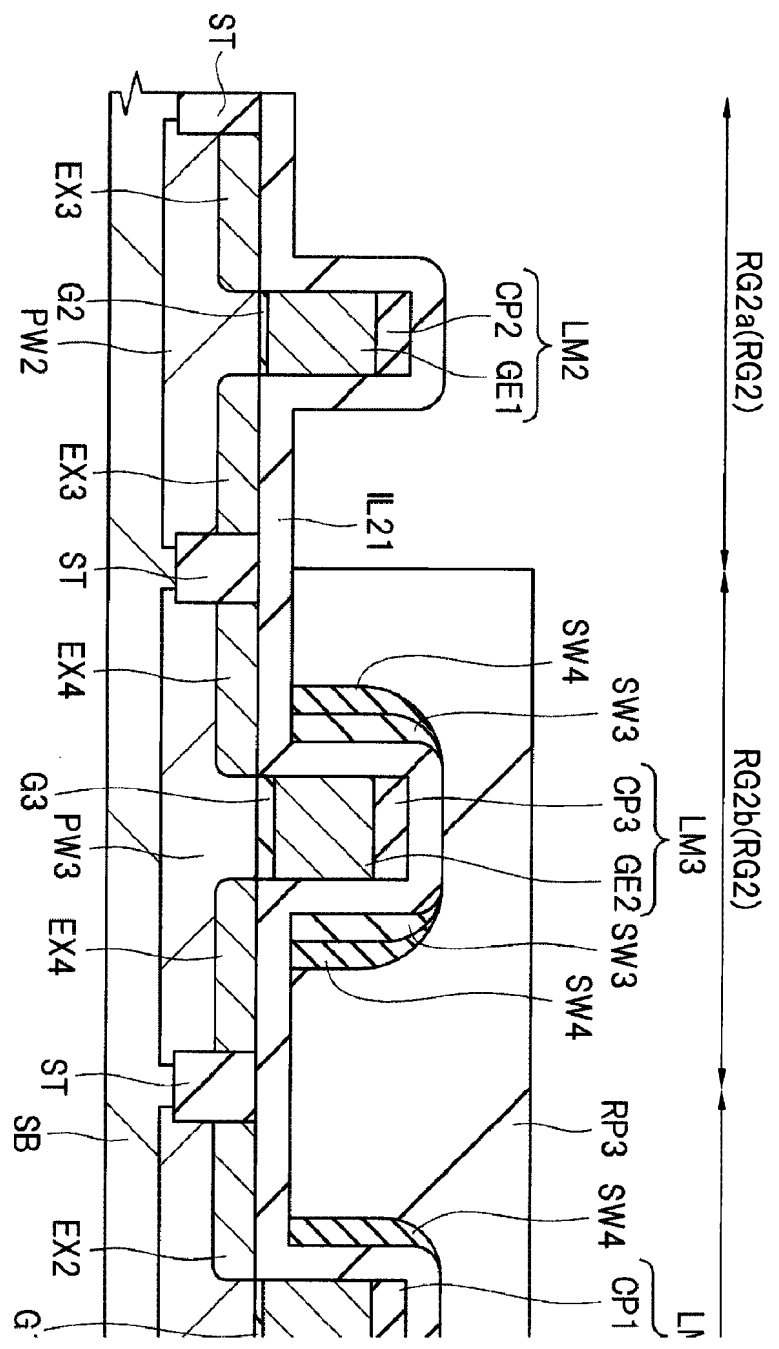


圖 74

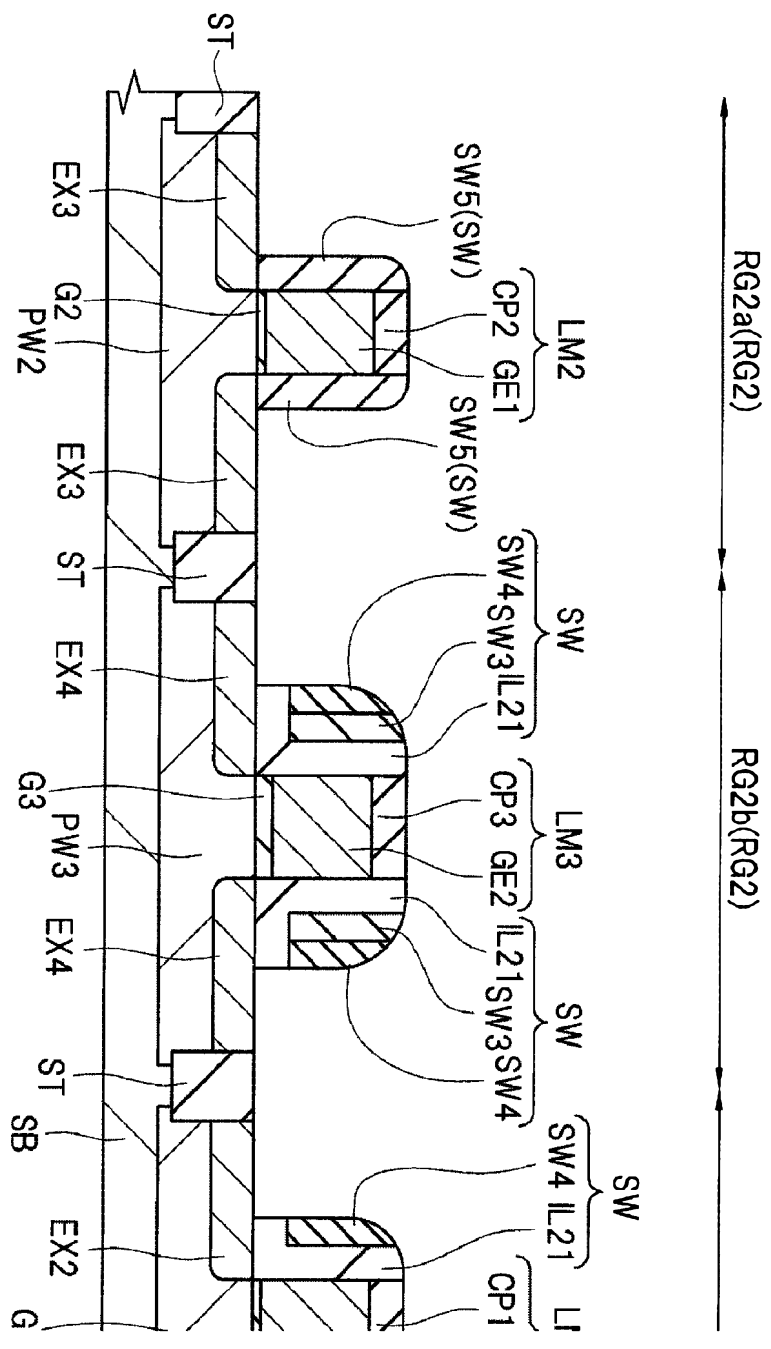


圖 76

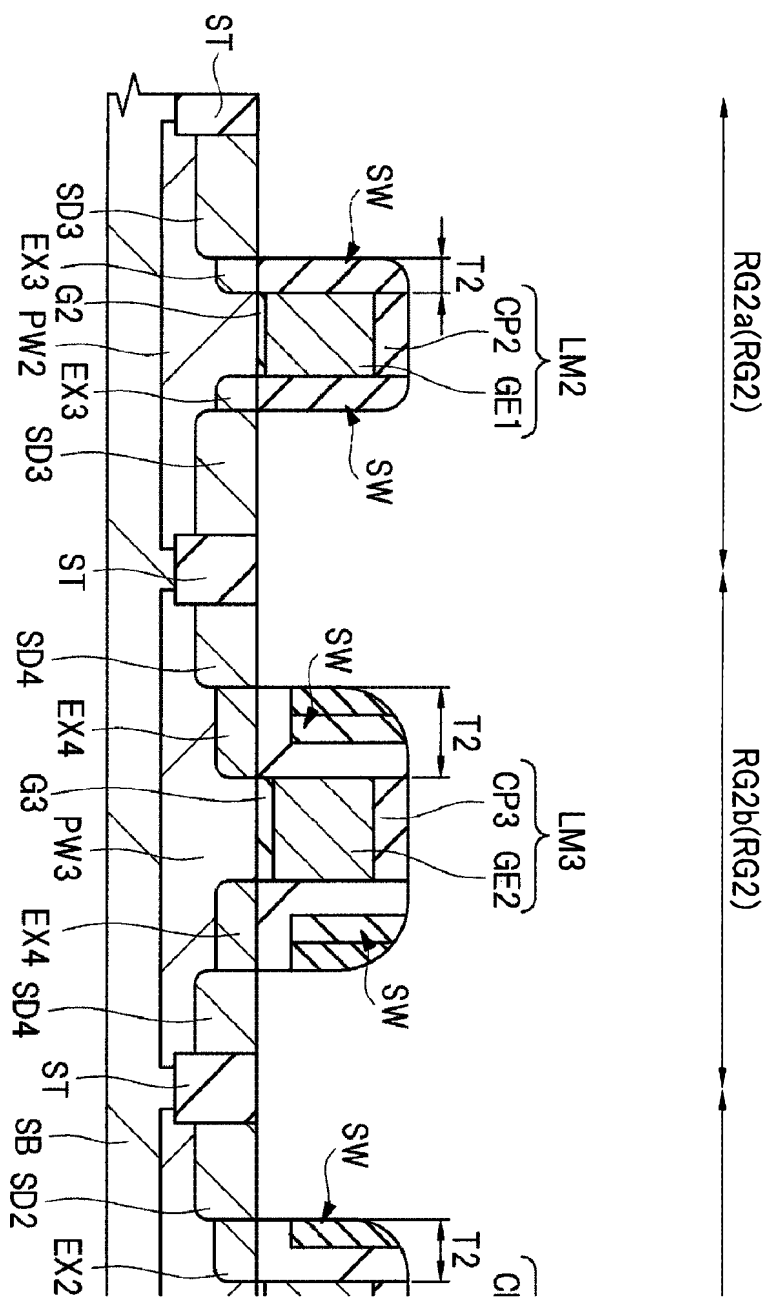


圖 77

the height of the dummy control gate electrode CG1. Then, a third insulating film IL3 is formed so as to cover the dummy control gate electrode CG1 and the memory gate electrode MG. Then, the third insulating film IL3 is polished to expose the dummy control gate electrode CG1. At this time, the memory gate electrode MG is not exposed. Then, the dummy control gate electrode CG1 is removed and replaced with a metal gate electrode.

【指定代表圖】 圖22

【代表圖之符號簡單說明】

CG1 虛擬控制閘極電極

CP1、CP2、CP3 帽蓋絕緣膜

EX1、EX2、EX3、EX4 n⁻型半導體區域

G1、G2、G3 絕緣膜

GE1 虛擬閘極電極

GE2 閘極電極

IL3 絕緣膜

LM1、LM2、LM3 堆疊體

MG 記憶體閘極電極

MZ 絕緣膜

PW1、PW2、PW3 p型井

RG1 記憶體單元區域

RG2 周邊電路區域

RG2a 金屬閘極型MISFET形成區域

RG2b 矽閘極型MISFET形成區域

SB 半導體基板

SD1、SD2、SD3、SD4 n⁺型半導體區域

SL 金屬矽化物層

ST 元件分離區域

SW 側壁間隔件

【發明說明書】**【中文發明名稱】**

半導體裝置之製造方法

【英文發明名稱】

METHOD OF MANUFACTURING SEMICONDUCTOR DEVICE

【技術領域】**【0001】**

本發明係關於一種半導體裝置之製造方法，例如，可適當應用於具有非揮發性記憶體之半導體裝置之製造方法。

【先前技術】**【0002】**

作為可電子寫入、消去的非揮發性半導體記憶裝置，EEPROM（Electrically Erasable and Programmable Read Only Memory，電子可抹除可程式化唯讀記憶體）廣泛地被使用。現在廣泛使用的代表快閃記憶體的該等記憶裝置，係在MISFET的閘極電極下，具有被氧化膜所包圍的導電性的浮遊閘極電極或是陷阱性絕緣膜，將浮遊閘極或是陷阱性絕緣膜的電荷累積狀態當作記憶資訊，並將其當作電晶體的閾值讀出者。該陷阱性絕緣膜，為可累積電荷的絕緣膜，例如，氮化矽膜等。藉由對該等電荷累積區域的電荷注入、放出，使MISFET的閾值變動，進而使其運作成為記憶元件。關於該快閃記憶體，存在一種使用MONOS（Metal-Oxide-Nitride-Oxide-Semiconductor，金屬-氧化物-氮化物-氧化物-半導

體)膜的分離閘極型單元。在該等記憶體中，藉由使用氮化矽膜作為電荷累積區域，比起導電性的浮遊閘極膜而言，可更分散地累積電荷，故資料保持可靠度較優異，另外，由於資料保持可靠度較優異，故可使氮化矽膜上下的氧化膜薄膜化，進而能夠使寫入、消去動作低電壓化，具有如是優點。

【0003】

日本特開2007-281092號公報(專利文獻1)以及日本特開2011-49282號公報(專利文獻2)記載了關於非揮發性半導體記憶裝置的技術內容。另外，日本特開2006-049781號公報(專利文獻3)、日本特開平11-126900號公報(專利文獻4)以及日本特表2009-500823號公報(專利文獻5)記載了在閘極電極的側壁上形成側壁間隔件的技術內容。

[先前技術文獻]

[專利文獻]

【0004】

[專利文獻1] 日本特開2007-281092號公報

[專利文獻2] 日本特開2011-49282號公報

[專利文獻3] 日本特開2006-049781號公報

[專利文獻4] 日本特開平11-126900號公報

[專利文獻5] 日本特表2009-500823號公報

【發明內容】

[發明所欲解決的問題]

【0005】

在具有非揮發性記憶體的半導體裝置中，亦期望盡可能使性能提高。或者，期望使半導體裝置的製造產能提高。或者期望二者均實現。

【0006】

其他的問題與新穎性特徵，根據本說明書的記述以及所附圖式應可明瞭。

[解決問題的手段]

【0007】

根據一實施態樣，在半導體基板上隔著第1絕緣膜形成第1虛擬閘極電極，以與該第1虛擬閘極電極相鄰的方式，在該半導體基板上，隔著內部具有電荷累積部的第2絕緣膜形成記憶體單元用的第1閘極電極。此時，該第1閘極電極的高度，比該第1虛擬閘極電極的高度更低。然後，以覆蓋該第1虛擬閘極電極以及該第1閘極電極的方式形成第1層間絕緣膜，之後研磨該第1層間絕緣膜，使該第1虛擬閘極電極露出。此時，該第1閘極電極並未露出。然後，將該第1虛擬閘極電極除去，置換成金屬閘極電極。

[發明的功效]

【0008】

根據一實施態樣，便可使半導體裝置的性能提高。或者，可使半導體裝置的製造產能提高。或者可使二者均實現。

【圖式簡單說明】**【0009】**

[圖1] 係表示作為一實施態樣的半導體裝置的製造步驟的一部分的程序流程圖。

[圖2] 係表示作為一實施態樣的半導體裝置的製造步驟的一部分的程序流程图。

[圖3] 係表示作為一實施態樣的半導體裝置的製造步驟的一部分的程序流程图。

[圖4] 係一實施態樣的半導體裝置的製造步驟中的主要部位剖面圖。

[圖5] 係圖4接下來的半導體裝置的製造步驟中的主要部位剖面圖。

[圖6] 係圖5接下來的半導體裝置的製造步驟中的主要部位剖面圖。

[圖7] 係圖6接下來的半導體裝置的製造步驟中的主要部位剖面圖。

[圖8] 係圖7接下來的半導體裝置的製造步驟中的主要部位剖面圖。

[圖9] 係圖8的部分放大剖面圖。

[圖10] 係圖8接下來的半導體裝置的製造步驟中的主要部位剖面圖。

[圖11] 係圖10接下來的半導體裝置的製造步驟中的主要部位剖面圖。

[圖12] 係圖11接下來的半導體裝置的製造步驟中的主要部位剖面圖。

[圖13] 係圖12接下來的半導體裝置的製造步驟中的主要部位剖面圖。

[圖14] 係圖13的部分放大剖面圖。

[圖15] 係圖13接下來的半導體裝置的製造步驟中的主要部位剖面圖。

[圖16] 係圖15接下來的半導體裝置的製造步驟中的主要部位剖面圖。

[圖17] 係圖16接下來的半導體裝置的製造步驟中的主要部位剖面圖。

[圖18] 係圖17接下來的半導體裝置的製造步驟中的主要部位剖面圖。

[圖19] 係圖18接下來的半導體裝置的製造步驟中的主要部位剖面圖。

[圖20] 係圖19接下來的半導體裝置的製造步驟中的主要部位剖面圖。

[圖21] 係圖20接下來的半導體裝置的製造步驟中的主要部位剖面圖。

[圖22] 係圖21接下來的半導體裝置的製造步驟中的主要部位剖面圖。

[圖23] 係圖22接下來的半導體裝置的製造步驟中的主要部位剖面圖。

[圖24] 係圖23接下來的半導體裝置的製造步驟中的主要部位剖面圖。

[圖25] 係圖24接下來的半導體裝置的製造步驟中的主要部位剖面圖。

[圖26] 係圖25接下來的半導體裝置的製造步驟中的主要部位剖面圖。

[圖27] 係圖26接下來的半導體裝置的製造步驟中的主要部位剖面圖。

[圖28] 係圖27接下來的半導體裝置的製造步驟中的主要部位剖面圖。

[圖29] 係圖28接下來的半導體裝置的製造步驟中的主要部位剖面圖。

[圖30] 係圖29接下來的半導體裝置的製造步驟中的主要部位剖面圖。

[圖31] 係圖30接下來的半導體裝置的製造步驟中的主要部位剖面圖。

[圖32] 係圖31接下來的半導體裝置的製造步驟中的主要部位剖面圖。

[圖33] 係一實施態樣的半導體裝置的主要部位剖面圖。

[圖34] 係記憶體單元的等價電路圖。

[圖35] 係表示在「寫入」、「消去」以及「讀取」時對選擇記憶體單元的各部位的電壓施加條件的一例的表格。

[圖36] 係另一實施態樣的半導體裝置的製造步驟中的主要部位剖面圖。

[圖37] 係圖36接下來的半導體裝置的製造步驟中的主要部位剖面圖。

[圖38] 係圖37接下來的半導體裝置的製造步驟中的主要部位剖面圖。

[圖39] 係圖38接下來的半導體裝置的製造步驟中的主要部位剖面圖。

[圖40] 係圖39接下來的半導體裝置的製造步驟中的主要部位剖面圖。

[圖41] 係圖40接下來的半導體裝置的製造步驟中的主要部位剖面圖。

[圖42] 係另一實施態樣的半導體裝置的製造步驟中的主要部位剖面圖。

[圖43] 係圖42接下來的半導體裝置的製造步驟中的主要部位剖面圖。

[圖44] 係另一實施態樣的半導體裝置的製造步驟中的主要部位剖面圖。

[圖45] 係圖44接下來的半導體裝置的製造步驟中的主要部位剖面圖。

[圖46] 係另一實施態樣的半導體裝置的製造步驟中的主要部位剖面圖。

[圖47] 係圖46接下來的半導體裝置的製造步驟中的主要部位剖面圖。

[圖48] 係另一實施態樣的半導體裝置的製造步驟中的主要部位剖面圖。

[圖49] 係圖48接下來的半導體裝置的製造步驟中的主要部位剖面圖。

[圖50] 係圖49接下來的半導體裝置的製造步驟中的主要部位剖面圖。

[圖51] 係用來說明另一實施態樣的問題的說明圖。

[圖52] 係用來說明另一實施態樣的問題的說明圖。

[圖53] 係用來說明另一實施態樣的問題的說明圖。

[圖54] 係用來說明另一實施態樣的問題的說明圖。

[圖55] 係用來說明另一實施態樣的問題的說明圖。

[圖56] 係用來說明另一實施態樣的問題的說明圖。

[圖57] 係另一實施態樣的半導體裝置的製造步驟中的主要部位剖面圖。

[圖58] 係圖57接下來的半導體裝置的製造步驟中的主要部位剖面圖。

[圖59] 係圖58接下來的半導體裝置的製造步驟中的主要部位剖面圖。

[圖60] 係圖59接下來的半導體裝置的製造步驟中的主要部位剖面圖。

[圖61] 係圖60接下來的半導體裝置的製造步驟中的主要部位剖面圖。

[圖62] 係圖61接下來的半導體裝置的製造步驟中的主要部位剖面圖。

[圖63] 係圖62接下來的半導體裝置的製造步驟中的主要部位剖面圖。

[圖64] 係圖63接下來的半導體裝置的製造步驟中的主要部位剖面圖。

[圖65] 係圖64接下來的半導體裝置的製造步驟中的主要部位剖面圖。

[圖66] 係圖65接下來的半導體裝置的製造步驟中的主要部位剖面圖。

[圖67] 係圖66接下來的半導體裝置的製造步驟中的主要部位剖面圖。

[圖68] 係另一實施態樣的半導體裝置的製造步驟中的主要部位剖面圖。

[圖69] 係圖68接下來的半導體裝置的製造步驟中的主要部位剖面圖。

[圖70] 係圖69接下來的半導體裝置的製造步驟中的主要部位剖面圖。

[圖71] 係圖70接下來的半導體裝置的製造步驟中的主要部位剖面圖。

[圖72] 係圖71接下來的半導體裝置的製造步驟中的主要部位剖面圖。

[圖73] 係圖72接下來的半導體裝置的製造步驟中的主要部位剖面圖。

[圖74] 係圖73接下來的半導體裝置的製造步驟中的主要部位剖面圖。

[圖75] 係圖74接下來的半導體裝置的製造步驟中的主要部位剖面圖。

[圖76] 係圖75接下來的半導體裝置的製造步驟中的主要部位剖面圖。

[圖77] 係圖76接下來的半導體裝置的製造步驟中的主要部位剖面圖。

【實施方式】

【0010】

在以下的實施態樣中，於便宜作法上有其必要時，會分割成複數個段落或實施態樣進行說明，惟除了特別明示的情況之外，該等內容並非互無相關，而係具有其中一方為另一方的部分或全部的變化實施例、詳細說明、補充說明等的關係。另外，在以下的實施態樣中，當提及要件的數目等（包含個數、數值、數量、範圍等）時，除了特別明示的情況以及在原理上明顯限定於特定數值的情況等之外，並非僅限於該特定的數值，亦可在該特定的數值以上或以下。再

者，在以下的實施態樣中，其構成要件（亦包含要件步驟等），除了特別明示的情況以及認為在原理上明顯為必須的情況等之外，並非必定為必要構件，自不待言。同樣地，在以下的實施態樣中，當提及構成要件等的形狀、位置關係等時，除了特別明示的情況以及認為在原理上明顯並非如此的情況等之外，亦包含實質上與該形狀等近似或類似的態樣等。此點，針對上述數值以及範圍也是同樣。

【0011】

以下，根據圖式詳細說明實施態樣。另外，在用來說明實施態樣的全部圖式中，具有相同功能的構件會附上相同的符號，其重複說明省略。另外，在以下的實施態樣中，除了特別有其必要的情況以外，同一或相同部分的說明原則上不重複。

【0012】

另外，在實施態樣所使用的圖式中，即使是剖面圖，為了使圖式更容易檢視，有時也會省略影線。另外，即使是俯視圖，為了使圖式更容易檢視，有時也會附上影線。

【0013】

（實施態樣1）<關於半導體裝置的製造步驟>本實施態樣以及以下的實施態樣的半導體裝置，為具備非揮發性記憶體（非揮發性記憶元件、快閃記憶體、非揮發性半導體記憶裝置）的半導體裝置。在本實施態樣以及以下的實施態樣中，非揮發性記憶體，係根據以n通道型MISFET（MISFET，Metal Insulator Semiconductor Field Effect Transistor，金屬絕緣半導體場效電晶體）為基本構件的記憶體單元進行說明。另外，在本實施態樣以及以下的實施態樣中，極性（寫

入、消去、讀取時的施加電壓的極性或載體的極性)，係用來說明在以n通道型MISFET為基本構件的記憶體單元的情況下的動作者，在以p通道型MISFET為基本構件的情況下，藉由將施加電位或載體的導電型等的全部的極性反轉，原則上便可獲得相同的動作。

【0014】

參照圖式說明本實施態樣的半導體裝置之製造方法。

【0015】

圖1～圖3，係表示本實施態樣的半導體裝置的製造步驟的部分程序流程圖。圖4～圖32，係本實施態樣的半導體裝置的製造步驟中的主要部位剖面圖。其中，在圖4～圖8、圖10～圖13以及圖15～圖32的剖面圖中，顯示出記憶體單元區域RG1以及周邊電路區域RG2的主要部位剖面圖，在記憶體單元區域RG1顯示出非揮發性記憶體的記憶體單元的形成態樣，在周邊電路區域RG2顯示出MISFET的形成態樣。另外，圖9以及圖14，將記憶體單元區域RG1的一部分放大表示，圖9與圖8對應相同的步驟階段，圖14與圖13對應相同的步驟階段。因此，圖9為將圖8的一部分放大的部分放大剖面圖，圖14為將圖13的一部分放大的部分放大剖面圖。

【0016】

在此，記憶體單元區域RG1，為在半導體基板SB（的主面）上形成非揮發性記憶體的記憶體單元的預定區域。另外，周邊電路區域RG2，為在半導體基板SB（的主面）上形成周邊電路的預定區域。記憶體單元區域RG1與周邊電路區域RG2存在於同一半導體基板SB上。亦即，記憶體單元區域RG1與周邊電路區域RG2，對應同一半導體基板SB的主面的彼此相異的平面區域。另外，記憶體

單元區域RG1與周邊電路區域RG2亦可不相鄰，惟為了容易理解，在圖4～圖8、圖10～圖13、圖15～圖32的剖面圖中，在記憶體單元區域RG1的旁邊圖示出周邊電路區域RG2。

【0017】

在此，周邊電路，係指非揮發性記憶體以外的電路，例如，CPU等的處理器、控制電路、感測放大器、行解碼器、列解碼器、輸入輸出電路等。形成於周邊電路區域RG2的MISFET，為周邊電路用的MISFET。

【0018】

另外，在本實施態樣中，係針對在記憶體單元區域RG1形成n通道型的MISFET（控制電晶體以及記憶體電晶體）的情況進行說明，惟亦可使導電型相反，在記憶體單元區域RG1形成p通道型的MISFET（控制電晶體以及記憶體電晶體）。同樣地，在本實施態樣中，係針對在周邊電路區域RG2形成n通道型的MISFET的情況進行說明，惟亦可使導電型相反，在周邊電路區域RG2形成p通道型的MISFET。另外，亦可在周邊電路區域RG2，形成n通道型的MISFET與p通道型的MISFET二者，亦即形成CMISFET（Complementary MISFET，互補式金屬絕緣半導體場效電晶體）。

【0019】

另外，本實施態樣，在周邊電路區域RG2，形成金屬閘極型MISFET，以及矽閘極型MISFET。在此，金屬閘極型MISFET，係指具備金屬閘極電極（由金屬所構成的閘極電極）作為閘極電極的MISFET，矽閘極型MISFET，係指具備矽閘極電極（由矽所構成的閘極電極）作為閘極電極的MISFET。因此，周邊電路區域RG2，具有形成金屬閘極型MISFET的預定區域，亦即金屬閘極型MISFET

形成區域RG2a，以及形成矽閘極型MISFET的預定區域，亦即矽閘極型MISFET形成區域RG2b。

【0020】

藉由主要使用金屬閘極型MISFET形成周邊電路，便可使半導體裝置的性能提高，另外對於被要求像輸入輸出電路所使用的MISFET等那樣的高動作電壓、高可靠度的MISFET而言，藉由使用矽閘極型MISFET，亦可使半導體裝置的可靠度提高。因此，周邊電路區域RG2，藉由具有金屬閘極型MISFET形成區域RG2a以及矽閘極型MISFET形成區域RG2b，便可使半導體裝置的整體性能以及可靠度提高。

【0021】

因此，例如，形成於矽閘極型MISFET形成區域RG2b的MISFET的動作電壓，比形成於金屬閘極型MISFET形成區域RG2a的MISFET的動作電壓更高，形成於矽閘極型MISFET形成區域RG2b的MISFET的耐壓，比形成於金屬閘極型MISFET形成區域RG2a的MISFET的耐壓更高。

【0022】

製造半導體裝置，如圖4所示的，首先，準備具有例如1~10Ωcm左右的比電阻且由p型單結晶矽等材質所構成的半導體基板（半導體晶圓）SB（圖1的步驟S1）。然後，於半導體基板SB的主面，形成限定出（區劃出）活性區域的元件分離區域（元件間分離絕緣區域）ST（圖1的步驟S2）。

【0023】

元件分離區域ST，可由氧化矽等的絕緣體所構成，並可利用例如STI（Shallow Trench Isolation，淺溝槽隔離）法或LOCOS（Local Oxidization of

Silicon，矽局部氧化）等方法形成。例如，在半導體基板SB的主面上形成了元件分離用的溝槽之後，在該元件分離用的溝槽內，埋入例如由氧化矽所構成的絕緣膜，藉此便可形成元件分離區域ST。更具體而言，係在半導體基板SB的主面上形成了元件分離用的溝槽之後，在半導體基板SB上，以填埋該元件分離用的溝槽的方式，形成元件分離區域形成用的絕緣膜（例如氧化矽膜）。然後，藉由將元件分離用的溝槽的外部的絕緣膜（元件分離區域形成用的絕緣膜）除去，便可形成由埋入元件分離用的溝槽的絕緣膜所構成的元件分離區域ST。

【0024】

接著，如圖5所示的，在半導體基板SB的記憶體單元區域RG1形成p型井PW1，在周邊電路區域RG2的金屬閘極型MISFET形成區域RG2a形成p型井PW2，在周邊電路區域RG2的矽閘極型MISFET形成區域RG2b形成p型井PW3（圖1的步驟S3）。

【0025】

p型井PW1、PW2、PW3，例如可藉由將硼（B）等的p型雜質以離子注入方式注入半導體基板SB而形成。p型井PW1、PW2、PW3，從半導體基板SB的主面形成到既定的深度。p型井PW1、p型井PW2以及p型井PW3，由於為相同的導電型，故可用相同的離子注入步驟形成，或者亦可用不同的離子注入步驟形成。

【0026】

接著，為了調整之後在記憶體單元區域RG1所形成的控制電晶體的閾值電壓，因應需要，對記憶體單元區域RG1的p型井PW1的表面部（表層部）進行通道摻雜離子注入步驟。另外，為了調整之後在金屬閘極型MISFET形成區域RG2a所形成的MISFET的閾值電壓，因應需要，對金屬閘極型MISFET形成區域RG2a

的p型井PW2的表面部（表層部）進行通道摻雜離子注入步驟。另外，為了調整之後在矽閘極型MISFET形成區域RG2b所形成的MISFET的閾值電壓，因應需要，對矽閘極型MISFET形成區域RG2b的p型井PW3的表面部（表層部）進行通道摻雜離子注入步驟。

【0027】

接著，在利用稀釋氟酸洗淨等方法使半導體基板SB（p型井PW1、PW2、PW3）的表面潔淨化之後，在半導體基板SB的主面（p型井PW1、PW2、PW3的表面）上，形成閘極絕緣膜用的絕緣膜G1、G2、G3（圖1的步驟S4）。絕緣膜G1，形成在記憶體單元區域RG1的半導體基板SB的表面（亦即p型井PW1的頂面）上。絕緣膜G2，形成在金屬閘極型MISFET形成區域RG2a的半導體基板SB的表面（亦即p型井PW2的頂面）上。絕緣膜G3，形成在矽閘極型MISFET形成區域RG2b的半導體基板SB的表面（亦即p型井PW3的頂面）上。絕緣膜G1、G2、G3，例如可使用氧化矽膜，惟亦可使用氮氧化矽膜。絕緣膜G1、絕緣膜G2以及絕緣膜G3，可用相同的步驟形成，亦可用不同的步驟形成。

【0028】

絕緣膜G3的厚度，亦可比絕緣膜G1、G2的各厚度更厚，藉此，就形成於矽閘極型MISFET形成區域RG2b的MISFET而言，可使其閘極絕緣膜的厚度較厚，並使其耐壓提高。

【0029】

針對使絕緣膜G3的厚度比絕緣膜G1、G2的各厚度更厚的情況下的絕緣膜G1、G2、G3的形成步驟的一例進行說明。首先，在藉由使用例如氟酸（HF）水溶液的濕蝕刻等使半導體基板SB的表面潔淨化（洗淨）之後，在半導體基板

SB的表面（亦包含p型井PW1、PW2、PW3的表面）上，形成由氧化矽膜等所構成的絕緣膜（稱為絕緣膜G3用的絕緣膜）。該絕緣膜G3用的絕緣膜，例如，可利用熱氧化處理形成，惟亦可在熱氧化膜形成之後於熱氧化膜上更進一步堆積CVD膜（用CVD法所形成的氧化矽膜），形成絕緣膜G3用的絕緣膜。然後，將用微影法所形成的光阻層（圖中未顯示）當作蝕刻遮罩使用，對絕緣膜G3用的絕緣膜進行蝕刻，藉此將記憶體單元區域RG1以及金屬閘極型MISFET形成區域RG2a的絕緣膜G3用的絕緣膜除去，留下矽閘極型MISFET形成區域RG2b的絕緣膜G3用的絕緣膜。然後，藉由進行半導體基板SB的熱氧化處理，在半導體基板SB的主面上形成氧化矽膜。藉此，在記憶體單元區域RG1以及金屬閘極型MISFET形成區域RG2a的半導體基板SB上（亦即p型井PW1、PW2上）形成由氧化矽膜（熱氧化膜）所構成的絕緣膜G1、G2，同時使矽閘極型MISFET形成區域RG2b的絕緣膜G3用的絕緣膜變厚，成為絕緣膜G3，進而獲得圖5的構造。藉此，形成以下狀態：形成於矽閘極型MISFET形成區域RG2b的絕緣膜G3的厚度，比形成於記憶體單元區域RG1的絕緣膜G1的厚度更厚，且比形成於金屬閘極型MISFET形成區域RG2a的絕緣膜G2的厚度更厚。

【0030】

像這樣，進行步驟S4的絕緣膜G1、G2、G3形成步驟。藉此，便可獲得在記憶體單元區域RG1的半導體基板SB的表面上形成絕緣膜G1，在金屬閘極型MISFET形成區域RG2a的半導體基板SB的表面上形成絕緣膜G2，在矽閘極型MISFET形成區域RG2b的半導體基板SB的表面上形成絕緣膜G3的狀態。

【0031】

另外，圖5，在便宜作法上，係描繪成絕緣膜G1、G2、G3也形成在元件分離區域ST上，惟當利用熱氧化法形成絕緣膜G1、G2、G3時，實際上，在元件分離區域ST上並未形成絕緣膜G1、G2、G3。

【0032】

接著，如圖6所示的，在半導體基板SB的主面（主面全面）上，亦即在記憶體單元區域RG1的絕緣膜G1上、在金屬閘極型MISFET形成區域RG2a的絕緣膜G2上，以及在矽閘極型MISFET形成區域RG2b的絕緣膜G3上，形成（堆積）矽膜PS1（圖1的步驟S5）。

【0033】

矽膜PS1，可由多結晶矽膜（聚矽膜）所構成，並可用CVD（Chemical Vapor Deposition，化學氣相沉積）法等形式形成。矽膜PS1的膜厚（堆積膜厚），例如可為50~250nm左右。亦可在成膜時將矽膜PS1形成為非晶矽膜，並在之後的熱處理，使由非晶矽膜所構成的矽膜PS1轉變成為多結晶矽膜所構成的矽膜PS1。另外，矽膜PS1，可藉由在成膜時導入雜質，或是在成膜後以離子注入方式注入雜質等，而成為低電阻的半導體膜（摻雜聚矽膜）。

【0034】

另外，用矽膜PS1形成於記憶體單元區域RG1的後述的虛擬控制閘極電極CG1，以及用矽膜PS1形成於金屬閘極型MISFET形成區域RG2a的後述的虛擬閘極電極GE1，在後述的步驟S21被除去。因此，就記憶體單元區域RG1與金屬閘極型MISFET形成區域RG2a的矽膜PS1而言，並無考慮到降低電阻而導入雜質之必要，惟若考慮到後述的步驟S21的蝕刻，則仍宜導入雜質為佳。亦即，n型的矽膜容易以蝕刻除去，故若使記憶體單元區域RG1與金屬閘極型MISFET形成區

域RG2a的矽膜PS1為n型的矽膜（導入了n型雜質的矽膜），便更容易在後述的步驟S21將虛擬控制閘極電極CG1以及虛擬閘極電極GE1除去。例如可適當使用磷（P）作為導入矽膜PS1的n型雜質。

【0035】

另一方面，用矽膜PS1形成於矽閘極型MISFET形成區域RG2b的後述的閘極電極GE2，係作為周邊電路的MISFET的閘極電極使用。因此，就矽閘極型MISFET形成區域RG2b的矽膜PS1而言，宜考慮到降低電阻而導入雜質。亦即，為了降低後述的閘極電極GE2的電阻，矽閘極型MISFET形成區域RG2b的矽膜PS1，宜為導入了雜質的矽膜（摻雜聚矽膜），在此為n型的矽膜（導入了n型雜質的矽膜）。因此，矽膜PS1，在記憶體單元區域RG1與周邊電路區域RG2，可均為n型的矽膜（導入了n型雜質的矽膜）。

【0036】

接著，在半導體基板SB的主面（主面全面）上，亦即在矽膜PS1上，形成（堆積）絕緣膜IL1（圖1的步驟S6）。

【0037】

絕緣膜IL1，係用來形成後述的帽蓋絕緣膜CP1、CP2、CP3的絕緣膜。絕緣膜IL1，例如可由氮化矽膜等所構成，並可用CVD法等形成。絕緣膜IL1的堆積膜厚，例如可為20~50nm左右。藉由進行步驟S5、S6，形成設置了矽膜PS1與在矽膜PS1上的絕緣膜IL1的堆疊膜LF的狀態。在此，堆疊膜LF係由矽膜PS1以及在矽膜PS1上的絕緣膜IL1所構成。

【0038】

接著，利用微影技術以及蝕刻技術使堆疊膜LF（亦即絕緣膜IL1以及矽膜PS1）形成圖案，進而使具有虛擬控制閘極電極CG1以及在虛擬控制閘極電極CG1上的帽蓋絕緣膜CP1的堆疊體（堆疊構造體）LM1形成於記憶體單元區域RG1（圖1的步驟S7）。

【0039】

步驟S7，例如可依照以下方式進行。亦即，首先，在絕緣膜IL1上用微影法形成光阻圖案（圖中未顯示）。該光阻圖案，形成於記憶體單元區域RG1的虛擬控制閘極電極CG1形成預定區域以及周邊電路區域RG2全部。然後，將該光阻圖案當作蝕刻遮罩使用，蝕刻（宜為乾蝕刻）記憶體單元區域RG1的矽膜PS1與絕緣膜IL1的堆疊膜LF，使其形成圖案，之後，將該光阻圖案除去。藉此，如圖7所示的，形成由形成圖案之矽膜PS1所構成的虛擬控制閘極電極CG1與由形成圖案之絕緣膜IL1所構成的帽蓋絕緣膜CP1的堆疊體LM1。

【0040】

另外，作為另一態樣，亦可依照以下方式形成堆疊體LM1。首先，在絕緣膜IL1上用微影法形成光阻圖案（圖中未顯示），之後將該光阻圖案當作蝕刻遮罩使用，蝕刻（宜為乾蝕刻）絕緣膜IL1，使其形成圖案，藉此在記憶體單元區域RG1，形成由形成圖案之絕緣膜IL1所構成的帽蓋絕緣膜CP1。然後，將該光阻圖案除去，之後將包含帽蓋絕緣膜CP1在內的絕緣膜IL1當作蝕刻遮罩（硬遮罩）使用，蝕刻（宜為乾蝕刻）矽膜PS1，使其形成圖案。藉此，形成由形成圖案之矽膜PS1所構成的虛擬控制閘極電極CG1與由形成圖案之絕緣膜IL1所構成的帽蓋絕緣膜CP1的堆疊體LM1。

【0041】

堆疊體LM1，係由虛擬控制閘極電極CG1以及在虛擬控制閘極電極CG1上的帽蓋絕緣膜CP1所構成，在記憶體單元區域RG1的半導體基板SB（p型井PW1）上隔著絕緣膜G1形成。因此，虛擬控制閘極電極CG1，在記憶體單元區域RG1的半導體基板SB（p型井PW1）上隔著絕緣膜G1形成。虛擬控制閘極電極CG1與帽蓋絕緣膜CP1，具有在俯視下幾乎相同的平面形狀，在俯視下重疊。

【0042】

另外，虛擬控制閘極電極CG1，為虛擬的閘極電極（模擬的閘極電極），會在之後被除去。另外，虛擬控制閘極電極CG1，由於會在之後被除去並置換成後述的控制閘極電極CG2，故亦可視為取代閘極電極（Replacement Gate Electrode）或置換用閘極電極。

【0043】

另外，形成堆疊體LM1所使用的上述光阻圖案，在記憶體單元區域RG1中，選擇性地形成於虛擬控制閘極電極CG1形成預定區域。因此，若進行步驟S7，則在記憶體單元區域RG1中，成為堆疊體LM1的部分以外的矽膜PS1以及絕緣膜IL1會被除去。另一方面，形成堆疊體LM1所使用的上述光阻圖案，在周邊電路區域RG2中，形成於周邊電路區域RG2全部。因此，即使進行步驟S7，在周邊電路區域RG2中，矽膜PS1與在矽膜PS1上的絕緣膜IL1的堆疊膜LF，不會被除去，因此不會形成圖案，會就這樣殘留下來。殘留於周邊電路區域RG2的堆疊膜LF，附上符號LF1，稱為堆疊膜LF1。

【0044】

堆疊膜LF1的側面（端部），宜位於元件分離區域ST上。藉此，周邊電路區域RG2的活性區域（元件分離區域ST所限定出的活性區域），被堆疊膜LF1所覆

蓋。藉此，便可防止周邊電路區域RG2的半導體基板SB的基板區域（Si基板區域）受到不必要的蝕刻。

【0045】

在記憶體單元區域RG1中，雖形成由形成圖案之矽膜PS1所構成的虛擬控制閘極電極CG1，惟在記憶體單元區域RG1中，由矽膜PS1所構成的虛擬控制閘極電極CG1，形成隔著絕緣膜G1設置在半導體基板SB（p型井PW1）上的狀態。在記憶體單元區域RG1中，堆疊體LM1所覆蓋之部分以外的絕緣膜G1，可利用在步驟S7的形成圖案步驟所進行的乾蝕刻或是在該乾蝕刻之後所進行的濕蝕刻除去。

【0046】

像這樣，利用步驟S4、S5、S6、S7，在半導體基板SB上，隔著絕緣膜G1，形成具有虛擬控制閘極電極CG1以及在虛擬控制閘極電極CG1上的帽蓋絕緣膜CP1的堆疊體LM1。

【0047】

接著，為了調整之後在記憶體單元區域RG1所形成的記憶體電晶體的閾值電壓，因應需要，對記憶體單元區域RG1的p型井PW1的表面部（表層部）進行通道摻雜離子注入步驟。

【0048】

接著，進行洗淨處理，在對半導體基板SB的主面進行過潔淨化處理之後，如圖8以及圖9所示的，在半導體基板SB的主面全面上，亦即，在半導體基板SB的主面（表面）上以及堆疊體LM1的表面（頂面以及側面）上，形成記憶體電晶體的閘極絕緣膜用的絕緣膜MZ（圖1的步驟S8）。

【0049】

由於在周邊電路區域RG2殘留著堆疊膜LF1，故在該堆疊膜LF1的表面（頂面以及側面）上也會形成絕緣膜MZ。因此，在步驟S8中，絕緣膜MZ，在半導體基板SB上，以覆蓋記憶體單元區域RG1的堆疊體LM1以及周邊電路區域RG2的堆疊膜LF1的方式形成。

【0050】

絕緣膜MZ，為記憶體電晶體的閘極絕緣膜用的絕緣膜，且為內部具有電荷累積部的絕緣膜。該絕緣膜MZ，係由氧化矽膜（氧化膜）MZ1、形成在氧化矽膜MZ1上的氮化矽膜（氮化膜）MZ2與形成在氮化矽膜MZ2上的氧化矽膜（氧化膜）MZ3的堆疊膜所構成。氧化矽膜MZ1、氮化矽膜MZ2與氧化矽膜MZ3的堆疊膜，亦可視為ONO（oxide-nitride-oxide，氧-氮-氧）膜。

【0051】

另外，為了使圖式容易觀察，在圖8中，係將由氧化矽膜MZ1、氮化矽膜MZ2以及氧化矽膜MZ3所構成的絕緣膜MZ，僅圖示為絕緣膜MZ，惟實際上，如圖9所示的，絕緣膜MZ係由氧化矽膜MZ1、氮化矽膜MZ2以及氧化矽膜MZ3所構成。

【0052】

在絕緣膜MZ之中，氧化矽膜MZ1、MZ3，例如可由氧化處理（熱氧化處理）或CVD法或是其組合所形成。此時的氧化處理，亦可使用ISSG（In Situ Steam Generation，臨場蒸氣產生技術）氧化。在絕緣膜MZ之中，氮化矽膜MZ2，例如可利用CVD法形成。

【0053】

另外，在本實施態樣中，形成氮化矽膜MZ2作為具有陷阱準位的絕緣膜（電荷累積層）。從可靠度的觀點等來看宜使用氮化矽膜，惟並非僅限於氮化矽膜，亦可將例如氧化鋁膜（*alumina*）、氧化鉛膜或氧化鉍膜等，具有比氮化矽膜更高之介電常數的高介電常數膜當作電荷累積層或電荷累積部使用。另外，亦可用矽奈米點形成電荷累積層或電荷累積部。

【0054】

形成絕緣膜MZ，例如，首先利用熱氧化法（宜為ISSG氧化）形成氧化矽膜MZ1，然後用CVD法在氧化矽膜MZ1上堆積氮化矽膜MZ2，接著用CVD法或熱氧化法或是這兩種方法在氮化矽膜MZ2上形成氧化矽膜MZ3。藉此，便可形成由氧化矽膜MZ1、氮化矽膜MZ2與氧化矽膜MZ3的堆疊膜所構成的絕緣膜MZ。

【0055】

氧化矽膜MZ1的厚度，例如可為2~10nm左右，氮化矽膜MZ2的厚度，例如可為5~15nm左右，氧化矽膜MZ3的厚度，例如可為2~10nm左右。最後的氧化膜，亦即絕緣膜MZ之中的最上層的氧化矽膜MZ3，例如亦可係藉由將氮化膜（絕緣膜MZ之中的中間層的氮化矽膜MZ2）的上層部分氧化所形成，藉此形成高耐壓膜。

【0056】

絕緣膜MZ，具有作為之後所形成的記憶體閘極電極MG的閘極絕緣膜的功能，並具有電荷保持（電荷累積）功能。因此，絕緣膜MZ，具有至少3層的堆疊構造，比起具有作為電荷阻擋層之功能的外側膜層（在此為氧化矽膜MZ1、MZ3）的位能障壁高度而言，具有作為電荷累積部之功能的內側膜層（在此為氮化矽膜MZ2）的位能障壁高度較低，以便能夠作為記憶體電晶體的具有電荷

保持功能的閘極絕緣膜。關於此點，可像本實施態樣這樣，藉由使絕緣膜MZ為具有氧化矽膜MZ1、在氧化矽膜MZ1上的氮化矽膜MZ2以及在氮化矽膜MZ2上的氧化矽膜MZ3的堆疊膜來達成。

【0057】

接著，如圖10所示的，在半導體基板SB的主面（主面全面）上，亦即在絕緣膜MZ上，以在記憶體單元區域RG1中覆蓋堆疊體LM1並在周邊電路區域RG2中覆蓋堆疊膜LF1的方式，形成（堆積）矽膜PS2（圖1的步驟S9）。

【0058】

矽膜PS2，係用來形成後述的記憶體閘極電極MG的膜層。矽膜PS2，係由多結晶矽膜所構成，可用CVD法等形成。矽膜PS2的堆積膜厚，例如可為40~60nm左右。亦可在成膜時將矽膜PS2形成為非晶矽膜，並在之後的熱處理，使由非晶矽膜所構成的矽膜PS2轉變成為多結晶矽膜所構成的矽膜PS2。另外，矽膜PS2，亦可導入n型或p型的雜質（亦即成為摻雜聚矽膜），惟更宜為並未導入雜質的未摻雜（無摻雜）的矽膜（聚矽膜）。

【0059】

接著，利用異向性蝕刻技術，回蝕（蝕刻、乾蝕刻、異向性蝕刻）矽膜PS2（圖1的步驟S10）。

【0060】

在步驟S10的回蝕步驟中，藉由對矽膜PS2進行異向性蝕刻（回蝕），在堆疊體LM1的兩側的側壁上，進而，在虛擬控制閘極電極CG1的兩側的側壁上，隔著絕緣膜MZ使矽膜PS2殘留成側壁間隔件狀，並將其他區域的矽膜PS2除去。藉此，如圖11所示的，在記憶體單元區域RG1中，利用在堆疊體LM1的兩側的側壁

(進而在虛擬控制閘極電極CG1的兩側的側壁)之中的一側的側壁上隔著絕緣膜MZ殘留成側壁間隔件狀的矽膜PS2，形成記憶體閘極電極MG。另外，在記憶體單元區域RG1中，利用在堆疊體LM1的兩側的側壁(進而在虛擬控制閘極電極CG1的兩側的側壁)之中的另一側的側壁上隔著絕緣膜MZ殘留成側壁間隔件狀的矽膜PS2，形成矽間隔件SP。記憶體閘極電極MG，以在絕緣膜MZ上隔著絕緣膜MZ與堆疊體LM1相鄰的方式形成。由於堆疊體LM1係由虛擬控制閘極電極CG1以及在虛擬控制閘極電極CG1上的帽蓋絕緣膜CPI所構成，故記憶體閘極電極MG即以在絕緣膜MZ上隔著絕緣膜MZ與虛擬控制閘極電極CG1相鄰的方式形成。

【0061】

記憶體閘極電極MG，為記憶體單元用的閘極電極，更具體而言，為記憶體單元的記憶體電晶體用的閘極電極。

【0062】

矽間隔件SP，亦可視為係由矽所構成的側壁間隔件。記憶體閘極電極MG與矽間隔件SP，形成在堆疊體LM1(虛擬控制閘極電極CG1)的彼此為相反側的側壁上，具有夾著堆疊體LM1(虛擬控制閘極電極CG1)幾乎對稱的構造。另外，在周邊電路區域RG2所殘留之堆疊膜LF1的側壁上，也會隔著絕緣膜MZ形成矽間隔件SP。

【0063】

藉由進行步驟S10的回蝕步驟，並未被記憶體閘極電極MG與矽間隔件SP覆蓋的區域的絕緣膜MZ露出。步驟S10所形成之記憶體閘極電極MG與半導體基板SB(p型井PW1)之間以及記憶體閘極電極MG與虛擬控制閘極電極CG1之間隔

設著絕緣膜MZ。記憶體單元區域RG1的記憶體閘極電極MG之下的絕緣膜MZ成為記憶體電晶體的閘極絕緣膜。藉由調整上述步驟S9所堆積之矽膜PS2的堆積膜厚，便可調整記憶體閘極長度（記憶體閘極電極MG的閘極長度）。

【0064】

在本實施態樣中，藉由在步驟S10回蝕矽膜PS2，以形成記憶體閘極電極MG以及矽間隔件SP，形成在堆疊體LM1（虛擬控制閘極電極CG1）的兩側壁上的記憶體閘極電極MG以及矽間隔件SP的各自的高度，比虛擬控制閘極電極CG1的高度更低。亦即，進行步驟S10的矽膜PS2的回蝕步驟，使記憶體閘極電極MG以及矽間隔件SP的高度，在步驟S10的矽膜PS2的回蝕步驟結束的階段，比虛擬控制閘極電極CG1的高度更低。亦即，當在步驟S10回蝕矽膜PS2時，控制蝕刻時間，比矽膜PS2的堆積膜厚更過度地對矽膜PS2進行異向性蝕刻，藉此使矽間隔件SP以及記憶體閘極電極MG的頂面比虛擬控制閘極電極CG1的頂面更低。另外，由於矽間隔件SP在之後會被除去，故進行步驟S10的矽膜PS2的回蝕步驟，使記憶體閘極電極MG的高度比虛擬控制閘極電極CG1的高度更低，非常重要。

【0065】

亦即，在步驟S10中，進行矽膜PS2的回蝕（蝕刻）直到記憶體閘極電極MG的高度 h_2 比虛擬控制閘極電極CG1的高度 h_1 更低為止（亦即直到 $h_1 > h_2$ 為止）。因此，在步驟S10回蝕矽膜PS2之後，由殘留的矽膜PS2所構成的記憶體閘極電極MG的高度 h_2 比虛擬控制閘極電極CG1的高度 h_1 更低（亦即 $h_1 > h_2$ ）。

【0066】

在此，所謂記憶體閘極電極MG的高度（ h_2 ）比虛擬控制閘極電極CG1的高度（ h_1 ）更低，係指記憶體閘極電極MG的最頂部（最上部）的高度位置比虛擬

控制閘極電極CG1的頂面的高度位置更低的意思。另外，所謂矽間隔件SP的高度比虛擬控制閘極電極CG1的高度更低，係指矽間隔件SP的最頂部（最上部）的高度位置比虛擬控制閘極電極CG1的頂面的高度位置更低的意思。

【0067】

另外，當提及高度時，係指在與半導體基板SB的主面大略垂直的方向上的高度而言。因此，虛擬控制閘極電極CG1的高度（ h_1 ），係對應從半導體基板SB的主面（p型井PW1表面）到虛擬控制閘極電極CG1的頂面的距離（高度）。另外，記憶體閘極電極MG的高度（ h_2 ），係對應從半導體基板SB的主面（p型井PW1表面）到記憶體閘極電極MG的最上部（頂部）的距離（高度）。另外，矽間隔件SP的高度與記憶體閘極電極MG的高度實質上相同。

【0068】

令記憶體閘極電極MG的高度（ h_2 ）比虛擬控制閘極電極CG1的高度（ h_1 ）更低，係為了在後述的步驟S20，使虛擬控制閘極電極CG1露出並使記憶體閘極電極MG並未露出的關係。虛擬控制閘極電極CG1的高度 h_1 與記憶體閘極電極MG的高度 h_2 的差 Δh （在此 $\Delta h = h_1 - h_2$ ），宜在30nm以上（亦即 $\Delta h \geq 30\text{nm}$ ）。藉此，便可在後述的步驟S20更容易且確實地實現虛擬控制閘極電極CG1露出但記憶體閘極電極MG並未露出的態樣。

【0069】

像這樣，本實施態樣，在步驟S10中，回蝕矽膜PS2，直到在堆疊體LM1的側壁上隔著絕緣膜MZ所殘留的矽膜PS2的高度，比虛擬控制閘極電極CG1的高度 h_1 更低為止，藉此形成具有比虛擬控制閘極電極CG1的高度 h_1 更低的高度 h_2 的記憶體閘極電極MG。

【0070】

接著，用微影技術，將覆蓋記憶體閘極電極MG且露出矽間隔件SP的光阻圖案（圖中未顯示）形成在半導體基板SB上，之後以該光阻圖案為蝕刻遮罩進行乾蝕刻，將矽間隔件SP除去（圖2的步驟S11）。之後，將該光阻圖案除去。藉由步驟S11的蝕刻步驟，如圖12所示的，矽間隔件SP被除去，記憶體閘極電極MG因為被光阻圖案覆蓋，故並未受到蝕刻而殘留下來。

【0071】

接著，如圖13以及圖14所示的，將絕緣膜MZ之中並未被記憶體閘極電極MG所覆蓋而露出的部分蝕刻（例如濕蝕刻）除去（圖2的步驟S12）。此時，在記憶體單元區域RG1中，位於記憶體閘極電極MG之下以及記憶體閘極電極MG與堆疊體LM1（虛擬控制閘極電極CG1）之間的絕緣膜MZ，並未被除去而殘留下來，其他區域的絕緣膜MZ被除去。由圖13以及圖14亦可知，在記憶體單元區域RG1中，絕緣膜MZ在記憶體閘極電極MG與半導體基板SB（p型井PW1）之間的區域以及記憶體閘極電極MG與虛擬控制閘極電極CG1之間的區域這兩區域連續延伸。

【0072】

像這樣，利用步驟S8～S12，以與虛擬控制閘極電極CG1相鄰的方式，在半導體基板SB（p型井PW1）上，隔著內部具有電荷累積部的絕緣膜MZ形成記憶體單元用的記憶體閘極電極MG。更具體而言，以與虛擬控制閘極電極CG1隔著絕緣膜MZ相鄰的方式，在半導體基板SB（p型井PW1）上，隔著內部具有電荷累積部的絕緣膜MZ形成記憶體單元用的記憶體閘極電極MG。

【0073】

接著，用微影技術以及蝕刻技術使周邊電路區域RG2的堆疊膜LF1形成圖案。藉此，如圖15所示的，在周邊電路區域RG2形成具有虛擬閘極電極GE1以及在虛擬閘極電極GE1上的帽蓋絕緣膜CP2的堆疊體（堆疊構造體）LM2，和具有閘極電極GE2以及在閘極電極GE2上的帽蓋絕緣膜CP3的堆疊體（堆疊構造體）LM3（圖2的步驟S13）。另外，堆疊體LM2，形成在周邊電路區域RG2的金屬閘極型MISFET形成區域RG2a，堆疊體LM3，形成在周邊電路區域RG2的矽閘極型MISFET形成區域RG2b。

【0074】

步驟S13的形成圖案步驟，例如可依照以下的方式進行。亦即，首先，在半導體基板SB的主面上，用微影法形成光阻圖案（圖中未顯示）。該光阻圖案，形成於記憶體單元區域RG1全部、周邊電路區域RG2的金屬閘極型MISFET形成區域RG2a的虛擬閘極電極GE1形成預定區域以及周邊電路區域RG2的矽閘極型MISFET形成區域RG2b的閘極電極GE2形成預定區域。因此，記憶體閘極電極MG以及堆疊體LM1，被該光阻圖案所覆蓋。然後，將該光阻圖案當作蝕刻遮罩使用，蝕刻（宜為乾蝕刻）周邊電路區域RG2的矽膜PS1與絕緣膜IL1的堆疊膜LF1，使其形成圖案，之後，將該光阻圖案除去。藉此，如圖15所示的，由形成圖案之矽膜PS1所構成的虛擬閘極電極GE1與由形成圖案之絕緣膜IL1所構成的帽蓋絕緣膜CP2的堆疊體LM2，形成於周邊電路區域RG2的金屬閘極型MISFET形成區域RG2a。另外，由形成圖案之矽膜PS1所構成的閘極電極GE2與由形成圖案之絕緣膜IL1所構成的帽蓋絕緣膜CP3的堆疊體LM3，形成於周邊電路區域RG2的矽閘極型MISFET形成區域RG2b。

【0075】

堆疊體LM2，係由虛擬閘極電極GE1以及在虛擬閘極電極GE1上的帽蓋絕緣膜CP2所構成，在金屬閘極型MISFET形成區域RG2a的半導體基板SB（p型井PW2）上隔著絕緣膜G2形成。虛擬閘極電極GE1與帽蓋絕緣膜CP2，具有在俯視下幾乎相同的平面形狀，在俯視下重疊。另外，堆疊體LM3，係由閘極電極GE2以及在閘極電極GE2上的帽蓋絕緣膜CP3所構成，在矽閘極型MISFET形成區域RG2b的半導體基板SB（p型井PW3）上隔著絕緣膜G3形成。閘極電極GE2與帽蓋絕緣膜CP3，具有在俯視下幾乎相同的平面形狀，在俯視下重疊。

【0076】

另外，虛擬閘極電極GE1，為虛擬的閘極電極（模擬的閘極電極），會在之後被除去。另外，虛擬閘極電極GE1，由於會在之後被除去並置換成後述的閘極電極GE3，故亦可視為取代閘極電極或置換用閘極電極。另一方面，閘極電極GE2，具有作為MISFET的閘極電極的功能，在閘極電極GE2之下的絕緣膜G3，具有作為MISFET的閘極絕緣膜的功能。亦即，閘極電極GE2，為周邊電路的MISFET用（亦即記憶體單元以外的MISFET用）的閘極電極。

【0077】

在步驟S13的形成圖案步驟所使用的上述光阻圖案，在周邊電路區域RG2中，選擇性地形成於虛擬閘極電極GE1形成預定區域以及閘極電極GE2形成預定區域。因此，若進行步驟S13，則在周邊電路區域RG2中，成為堆疊體LM2、LM3的部分以外的矽膜PS1以及絕緣膜IL1會被除去。另一方面，在步驟S13的形成圖案步驟所使用的上述光阻圖案，在記憶體單元區域RG1中，形成於記憶體單元區域RG1全部。因此，即使進行步驟S13的形成圖案步驟，在記憶體單元區域RG1中，堆疊體LM1以及記憶體閘極電極MG也不會被除去，會就這樣殘留下來。

【0078】

在周邊電路區域RG2的金屬閘極型MISFET形成區域RG2a中，被堆疊體LM2所覆蓋的部分以外的絕緣膜G2，可利用在步驟S13的形成圖案步驟所進行的乾蝕刻或是在該乾蝕刻之後所進行的濕蝕刻除去。同樣地，在周邊電路區域RG2的矽閘極型MISFET形成區域RG2b，被堆疊體LM3所覆蓋的部分以外的絕緣膜G3，可利用在步驟S13的形成圖案步驟所進行的乾蝕刻或是在該乾蝕刻之後所進行的濕蝕刻除去。

【0079】

像這樣，在金屬閘極型MISFET形成區域RG2a中，在半導體基板SB（p型井PW2）上，隔著絕緣膜G2，形成具有虛擬閘極電極GE1以及在虛擬閘極電極GE1上的帽蓋絕緣膜CP2的堆疊體LM2。亦即，在金屬閘極型MISFET形成區域RG2a中，形成在半導體基板SB上隔著絕緣膜G2設置虛擬閘極電極GE1，並在虛擬閘極電極GE1上設置帽蓋絕緣膜CP2的狀態。另外，在矽閘極型MISFET形成區域RG2b中，形成在半導體基板SB（p型井PW3）上隔著絕緣膜G3設置具有閘極電極GE2以及在閘極電極GE2上的帽蓋絕緣膜CP3的堆疊體LM3，亦即在閘極電極GE2上設置帽蓋絕緣膜CP3的狀態。

【0080】

接著，如圖16所示的，用離子注入法等方法形成n⁻型半導體區域（雜質擴散層）EX1、EX2、EX3、EX4（圖2的步驟S14）。

【0081】

在步驟S14中，可將堆疊體LM1、記憶體閘極電極MG、堆疊體LM2以及堆疊體LM3當作遮罩（離子注入阻擋遮罩）使用，並以離子注入法將例如砷（As）

或磷（P）等的n型雜質導入半導體基板SB（p型井PW1、PW2、PW3），藉此形成n⁻型半導體區域EX1、EX2、EX3、EX4。此時，n⁻型半導體區域EX1，在記憶體單元區域RG1中，利用記憶體閘極電極MG作為遮罩（離子注入阻擋遮罩）的功能，以自動對準於記憶體閘極電極MG的側壁（隔著絕緣膜MZ與虛擬控制閘極電極CG1鄰接之側的相反側的側壁）的方式形成。另外，n⁻型半導體區域EX2，在記憶體單元區域RG1中，利用堆疊體LM1作為遮罩（離子注入阻擋遮罩）的功能，以自動對準於虛擬控制閘極電極CG1的側壁（隔著絕緣膜MZ與記憶體閘極電極MG鄰接之側的相反側的側壁）的方式形成。另外，n⁻型半導體區域EX3，在周邊電路區域RG2的金屬閘極型MISFET形成區域RG2a中，利用堆疊體LM2作為遮罩（離子注入阻擋遮罩）的功能，以自動對準於虛擬閘極電極GE1的兩側壁的方式形成。另外，n⁻型半導體區域EX4，在周邊電路區域RG2的矽閘極型MISFET形成區域RG2b中，利用堆疊體LM3作為遮罩（離子注入阻擋遮罩）的功能，以自動對準於閘極電極GE2的兩側壁的方式形成。

【0082】

n⁻型半導體區域EX1以及n⁻型半導體區域EX2，可具有作為形成於記憶體單元區域RG1的記憶體單元的源極、汲極區域（源極或是汲極區域）的一部分的功能。另外，n⁻型半導體區域EX3可具有作為形成於金屬閘極型MISFET形成區域RG2a的MISFET的源極、汲極區域（源極或是汲極區域）的一部分的功能。另外，n⁻型半導體區域EX4可具有作為形成於矽閘極型MISFET形成區域RG2b的MISFET的源極、汲極區域（源極或是汲極區域）的一部分的功能。n⁻型半導體區域EX1、n⁻型半導體區域EX2、n⁻型半導體區域EX3以及n⁻型半導體區域EX4，可用相同的離子注入步驟形成，亦可用不同的離子注入步驟形成。

【0083】

另外，亦可在步驟S13形成堆疊體LM2、LM3之後，且在步驟S14形成n⁻型半導體區域EX1、EX2、EX3、EX4之前，在半導體基板SB上，以覆蓋堆疊體LM2、LM3、記憶體閘極電極MG以及堆疊體LM1的方式，形成由氮化矽膜等所構成的絕緣膜（圖中未顯示），之後再進行步驟S14的離子注入步驟。此時，該絕緣膜，可具有作為補償間隔件的功能，並可具有與堆疊體LM1、記憶體閘極電極MG、堆疊體LM2以及堆疊體LM3一起作為離子注入時的遮罩（離子注入阻擋遮罩）的功能。

【0084】

接著，在堆疊體LM1以及記憶體閘極電極MG的側壁（隔著絕緣膜MZ彼此相鄰之側的相反側的側壁）上、在堆疊體LM2的側壁上，以及在堆疊體LM3的側壁上，形成由絕緣膜所構成的側壁間隔件（側壁、側壁絕緣膜）SW作為側壁絕緣膜（圖2的步驟S15）。側壁間隔件SW可視為側壁絕緣膜。

【0085】

步驟S15的側壁間隔件SW形成步驟，例如可依照以下的方式進行。亦即，首先，如圖17所示的，在半導體基板SB的主面全面上形成（堆積）絕緣膜IL2。絕緣膜IL2，例如，係由氧化矽膜、氮化矽膜或是該等膜層的堆疊膜等所構成，可用CVD法等形式。絕緣膜IL2，在半導體基板SB上，以覆蓋記憶體閘極電極MG、堆疊體LM1、堆疊體LM2以及堆疊體LM3的方式形成。然後，利用異向性蝕刻技術回蝕（蝕刻、乾蝕刻、異向性蝕刻）該絕緣膜IL2。藉此，如圖18所示的，在堆疊體LM1以及記憶體閘極電極MG的側壁（隔著絕緣膜MZ彼此相鄰之側的相反側的側壁）上、在堆疊體LM2的側壁上，以及在堆疊體LM3的側壁上，

選擇性地殘留該絕緣膜IL2，進而形成側壁間隔件SW。側壁間隔件SW形成在堆疊體LM2的兩側壁上、堆疊體LM3的兩側壁上、堆疊體LM1的側壁之中的隔著絕緣膜MZ與記憶體閘極電極MG鄰接之側的相反側的側壁上，以及記憶體閘極電極MG的側壁之中的隔著絕緣膜MZ與堆疊體LM1鄰接之側的相反側的側壁上。

【0086】

在本實施態樣中，係使記憶體閘極電極MG的高度，比虛擬控制閘極電極CG1的高度更低。因此，雖可能會有在記憶體閘極電極MG上也形成側壁間隔件SW的情況，以及在記憶體閘極電極MG上並未形成側壁間隔件SW的情況發生，惟在圖18中係顯示出在記憶體閘極電極MG上並未形成側壁間隔件SW的情況。因此，在圖18的情況下，記憶體閘極電極MG的側壁雖被側壁間隔件SW所覆蓋，惟記憶體閘極電極MG的頂面並未被側壁間隔件SW所覆蓋。另外，在記憶體閘極電極MG上也形成側壁間隔件SW的情況，係對應後述的實施態樣3。

【0087】

接著，如圖19所示的，用離子注入法等形成 n^+ 型半導體區域（雜質擴散層）SD1、SD2、SD3、SD4（圖2的步驟S16）。

【0088】

在步驟S16中，可將堆疊體LM1、記憶體閘極電極MG、堆疊體LM2、堆疊體LM3以及側壁間隔件SW當作遮罩（離子注入阻擋遮罩）使用，並用離子注入法將 n 型雜質（例如砷或磷等）導入半導體基板SB（ p 型井PW1、PW2、PW3），藉此形成 n^+ 型半導體區域SD1、SD2、SD3、SD4。此時， n^+ 型半導體區域SD1，在記憶體單元區域RG1中，利用記憶體閘極電極MG以及在記憶體閘極電極MG

的側壁上的側壁間隔件SW作為遮罩（離子注入阻擋遮罩）的功能，以自動對準於記憶體閘極電極MG的側壁上的側壁間隔件SW的方式形成。另外， n^+ 型半導體區域SD2，在記憶體單元區域RG1中，利用堆疊體LM1以及其側壁上的側壁間隔件SW作為遮罩（離子注入阻擋遮罩）的功能，以自動對準於堆疊體LM1的側壁上的側壁間隔件SW的方式形成。另外， n^+ 型半導體區域SD3，在周邊電路區域RG2的金屬閘極型MISFET形成區域RG2a中，利用堆疊體LM2以及其側壁上的側壁間隔件SW作為遮罩（離子注入阻擋遮罩）的功能，以自動對準於堆疊體LM2的兩側壁上的側壁間隔件SW的方式形成。另外， n^+ 型半導體區域SD4，在周邊電路區域RG2的矽閘極型MISFET形成區域RG2b中，利用堆疊體LM3以及其側壁上的側壁間隔件SW作為遮罩（離子注入阻擋遮罩）的功能，以自動對準於堆疊體LM3的兩側壁上的側壁間隔件SW的方式形成。藉此，形成LDD（Lightly doped Drain，輕摻雜汲極）構造。 n^+ 型半導體區域SD1、 n^+ 型半導體區域SD2、 n^+ 型半導體區域SD3以及 n^+ 型半導體區域SD4，可用相同的離子注入步驟形成，亦可用不同的離子注入步驟形成。另外，亦可 n^+ 型半導體區域SD1與 n^+ 型半導體區域SD2用相同的離子注入步驟形成， n^+ 型半導體區域SD3與 n^+ 型半導體區域SD4用另一離子注入步驟形成。

【0089】

像這樣，利用 n^- 型半導體區域EX1以及雜質濃度比其更高的 n^+ 型半導體區域SD1，形成具有作為記憶體電晶體的源極區域的功能的 n 型半導體區域，利用 n^- 型半導體區域EX2以及雜質濃度比其更高的 n^+ 型半導體區域SD2，形成具有作為控制電晶體的汲極區域的功能的 n 型半導體區域。另外，利用 n^- 型半導體區域EX3以及雜質濃度比其更高的 n^+ 型半導體區域SD3，形成具有作為金屬閘極型

MISFET形成區域RG2a的MISFET的源極、汲極區域（源極或是汲極用的半導體區域）的功能的n型半導體區域。另外，利用n⁻型半導體區域EX4以及雜質濃度比其更高的n⁺型半導體區域SD4，形成具有作為矽閘極型MISFET形成區域RG2b的MISFET的源極、汲極區域（源極或是汲極用的半導體區域）的功能的n型半導體區域。n⁺型半導體區域SD1，比n⁻型半導體區域EX1雜質濃度更高且接合深度更深，n⁺型半導體區域SD2，比n⁻型半導體區域EX2雜質濃度更高且接合深度更深。另外，n⁺型半導體區域SD3，比n⁻型半導體區域EX3雜質濃度更高且接合深度更深，n⁺型半導體區域SD4，比n⁻型半導體區域EX4雜質濃度更高且接合深度更深。

【0090】

接著，進行用來使導入源極以及汲極用的半導體區域（n⁻型半導體區域EX1、EX2、EX3、EX4以及n⁺型半導體區域SD1、SD2、SD3、SD4）等的雜質活性化熱處理，亦即活性化退火處理（圖2的步驟S17）。

【0091】

像這樣，在記憶體單元區域RG1，形成非揮發性記憶體的記憶體單元的記憶體閘極電極MG以及源極、汲極區域，惟虛擬控制閘極電極CG1，為虛擬的控制閘極電極，故最終所使用的控制閘極電極（後述的控制閘極電極CG2），尚未形成。另外，在金屬閘極型MISFET形成區域RG2a，形成MISFET的源極、汲極區域，惟最終所使用的閘極電極（後述的閘極電極GE3），尚未形成。另一方面，在矽閘極型MISFET形成區域RG2b，形成了MISFET的閘極電極GE2以及源極、汲極區域。

【0092】

接著，形成金屬矽化物層SL（圖2的步驟S18）。

【0093】

金屬矽化物層SL，可藉由進行所謂的自動對準矽化物（Salicide，Self Aligned Silicide）製程而形成。具體而言，可依照以下的方式形成金屬矽化物層SL。

【0094】

亦即，首先，如圖20所示的，在包含 n^+ 型半導體區域SD1、SD2、SD3、SD4的頂面（表面）上在內的半導體基板SB的主面全面上，以覆蓋堆疊體LM1、記憶體閘極電極MG、堆疊體LM2、堆疊體LM3以及側壁間隔件SW的方式，形成（堆積）金屬矽化物層SL形成用的金屬膜MM。該金屬矽化物層SL形成用的金屬膜MM，可使用單體的金屬膜（純金屬膜）或是合金膜，例如，可由鈷（Co）膜、鎳（Ni）膜或是鎳白金合金膜所構成，並用濺鍍法等形式。然後，藉由對半導體基板SB施加熱處理（金屬矽化物層SL形成用的熱處理），使 n^+ 型半導體區域SD1、SD2、SD3、SD4的各上層部分（表層部分）與金屬矽化物層SL形成用的金屬膜MM發生反應。藉此，如圖21所示的，在 n^+ 型半導體區域SD1、SD2、SD3、SD4的各上部（頂面、表面、上層部），分別形成金屬矽化物層SL。之後，將未反應的金屬膜（金屬矽化物層SL形成用的金屬膜）利用濕蝕刻等方式除去，在圖21中顯示出該階段的剖面圖。另外，亦可在將未反應的金屬膜（金屬矽化物層SL形成用的金屬膜）除去之後，更進一步進行熱處理。

【0095】

金屬矽化物層SL，例如可為鈷矽化物層（當金屬矽化物層SL形成用的金屬膜MM為鈷膜時）、鎳矽化物層（當金屬矽化物層SL形成用的金屬膜MM為鎳膜

時)或鎳白金矽化物層(當金屬矽化物層SL形成用的金屬膜MM為鎳白金合金膜時)。

【0096】

像這樣，藉由進行所謂的自動對準矽化物製程，以在 n^+ 型半導體區域SD1、SD2、SD3、SD4的上部形成金屬矽化物層SL，藉此，便可降低源極、汲極的電阻。藉由使用自動對準矽化物製程，便可分別在 n^+ 型半導體區域SD1、SD2、SD3、SD4上，以自動對準的方式形成金屬矽化物層SL。

【0097】

另外，當如上述圖18所示的在記憶體閘極電極MG上並未形成側壁間隔件SW時，在步驟S18中，可如圖21所示的，在記憶體閘極電極MG的上部也形成金屬矽化物層SL。這是因為，當在記憶體閘極電極MG上並未形成側壁間隔件SW時，並未被側壁間隔件SW所覆蓋的部分的記憶體閘極電極MG的頂面，在與金屬矽化物層SL形成用的金屬膜MM接觸的狀態下，進行金屬矽化物層SL形成用的熱處理，故在記憶體閘極電極MG的上部也會形成金屬矽化物層SL的關係。藉此，不僅 n^+ 型半導體區域SD1、SD2、SD3、SD4的上部，在記憶體閘極電極MG的上部亦可以自動對準的方式形成金屬矽化物層SL。藉由在記憶體閘極電極MG的上部形成金屬矽化物層SL，可降低記憶體閘極電極MG的電阻。另一方面，由於虛擬閘極電極GE1與閘極電極GE2，被帽蓋絕緣膜CP2、CP3以及側壁間隔件SW所覆蓋，故在虛擬閘極電極GE1與閘極電極GE2的表面，不會形成金屬矽化物層SL。另外，在虛擬控制閘極電極CG1的表面，並未形成金屬矽化物層SL為較佳態樣，藉此，便可在之後更輕易且確實地將虛擬控制閘極電極CG1除去。

【0098】

接著，如圖22所示的，在半導體基板SB的主面全面上，以覆蓋堆疊體LM1、記憶體閘極電極MG、堆疊體LM2、堆疊體LM3以及側壁間隔件SW的方式，形成（堆積）絕緣膜（層間絕緣膜）IL3作為層間絕緣膜（圖2的步驟S19）。

【0099】

絕緣膜IL3，可由氧化矽膜的單體膜，或是氮化矽膜與在該氮化矽膜上形成得比該氮化矽膜更厚的氧化矽膜的堆疊膜等所構成，並可用例如CVD法等形成。

【0100】

在步驟S19中，由於以覆蓋堆疊體LM1、記憶體閘極電極MG、堆疊體LM2、堆疊體LM3以及側壁間隔件SW的方式，形成絕緣膜IL3，故絕緣膜IL3，係以覆蓋虛擬控制閘極電極CG1、記憶體閘極電極MG、虛擬閘極電極GE1、閘極電極GE2、帽蓋絕緣膜CP1、CP2、CP3以及側壁間隔件SW的方式形成。

【0101】

接著，用CMP（Chemical Mechanical Polishing，化學機械研磨）法等研磨絕緣膜IL3的頂面（圖2的步驟S20）。利用步驟S20的研磨步驟，如圖23所示的，使虛擬控制閘極電極CG1、虛擬閘極電極GE1以及閘極電極GE2的各頂面露出。亦即，在步驟S20的研磨步驟中，研磨絕緣膜IL3，直到虛擬控制閘極電極CG1、虛擬閘極電極GE1以及閘極電極GE2的各頂面露出為止。然而，在步驟S20的研磨步驟中，記憶體閘極電極MG並未露出，在記憶體閘極電極MG露出之前停止研磨。

【0102】

另外，在步驟S19形成絕緣膜IL3的階段，在絕緣膜IL3的頂面，如圖22所示的，有時會形成反映出堆疊體LM1、記憶體閘極電極MG、堆疊體LM2、堆疊體

LM3以及側壁間隔件SW等構件之形狀的凹凸或是高低差，惟在步驟S20的研磨步驟之後，如圖23所示的，絕緣膜IL3的頂面會平坦化。

【0103】

在虛擬控制閘極電極CG1上形成帽蓋絕緣膜CP1，在虛擬閘極電極GE1上形成帽蓋絕緣膜CP2，在閘極電極GE2上形成帽蓋絕緣膜CP3，在此狀態下，在步驟S19形成絕緣膜IL3，之後進行步驟S20的研磨步驟。因此，在步驟S20的研磨步驟中，首先，進行絕緣膜IL3的研磨，直到帽蓋絕緣膜CP1、CP2、CP3的頂面露出為止，之後，更進一步進行研磨，如圖23所示的，使虛擬控制閘極電極CG1、虛擬閘極電極GE1以及閘極電極GE2的頂面露出。帽蓋絕緣膜CP1、CP2、CP3的頂面露出之後的研磨，除了絕緣膜IL3之外，在虛擬控制閘極電極CG1上的帽蓋絕緣膜CP1、在虛擬閘極電極GE1上的帽蓋絕緣膜CP2、在閘極電極GE2上的帽蓋絕緣膜CP3以及側壁間隔件SW的上部也受到研磨。

【0104】

在本實施態樣中，在上述步驟S10回蝕矽膜PS2時，使記憶體閘極電極MG的高度（ h_2 ）比虛擬控制閘極電極CG1的高度（ h_1 ）更低。另外，虛擬控制閘極電極CG1、虛擬閘極電極GE1以及閘極電極GE2，均由形成圖案之矽膜PS1所形成，虛擬控制閘極電極CG1的高度、虛擬閘極電極GE1的高度以及閘極電極GE2的高度，幾乎相同。因此，在進行步驟S20的研磨步驟之前的階段，記憶體閘極電極MG的高度，比虛擬控制閘極電極CG1、虛擬閘極電極GE1以及閘極電極GE2的各高度更低。

【0105】

因此，在步驟S20中，若在虛擬控制閘極電極CG1、虛擬閘極電極GE1以及閘極電極GE2的各頂面露出之後仍繼續進行研磨處理，則記憶體閘極電極MG的頂面終究也會露出。然而，本實施態樣，在步驟S20中，在虛擬控制閘極電極CG1、虛擬閘極電極GE1以及閘極電極GE2的各頂面露出之後，便在記憶體閘極電極MG露出之前的階段，使研磨處理停止（結束）。因此，記憶體閘極電極MG，會維持被側壁間隔件SW以及絕緣膜IL3覆蓋之狀態，在步驟S20結束之後也不會露出。藉此，便可獲得虛擬控制閘極電極CG1、虛擬閘極電極GE1以及閘極電極GE2的各頂面露出，但記憶體閘極電極MG並未露出的狀態。

【0106】

另外，若在虛擬控制閘極電極CG1、虛擬閘極電極GE1以及閘極電極GE2的表面並未形成金屬矽化物層SL，則在步驟S20的研磨步驟使虛擬控制閘極電極CG1、虛擬閘極電極GE1以及閘極電極GE2露出時，便不需要研磨金屬矽化物層SL。藉此，進行步驟S20的研磨步驟變得更容易。

【0107】

另外，作為其他態樣，亦可將CMP等的研磨處理與乾蝕刻或是濕蝕刻組合，藉此進行步驟S20的研磨步驟。

【0108】

另外，本實施態樣，係在虛擬控制閘極電極CG1上形成帽蓋絕緣膜CP1，在虛擬閘極電極GE1上形成帽蓋絕緣膜CP2，在閘極電極GE2上形成帽蓋絕緣膜CP3。作為其他態樣，亦可省略帽蓋絕緣膜CP1、CP2、CP3的形成，此時，只要省略上述步驟S6的絕緣膜IL1形成步驟即可。當省略帽蓋絕緣膜CP1、CP2、CP3

的形成時，在步驟S20中，若研磨絕緣膜IL3，虛擬控制閘極電極CG1、虛擬閘極電極GE1以及閘極電極GE2便露出，另一方面，記憶體閘極電極MG並未露出。

【0109】

然而，當像本實施態樣這樣形成帽蓋絕緣膜CP1、CP2、CP3時，帽蓋絕緣膜CP1、CP2、CP3具有可防止於該帽蓋絕緣膜CP1、CP2、CP3的底層（CG1、GE1、GE2）形成金屬矽化物層SL的功能。因此，當形成帽蓋絕緣膜CP1、CP2、CP3時，可避免在步驟S20研磨金屬矽化物層SL，進行步驟S20的研磨處理變得更容易，另外，在後述的步驟S21，除去虛擬控制閘極電極CG1以及虛擬閘極電極GE1也變得更容易。

【0110】

接著，蝕刻除去虛擬控制閘極電極CG1以及虛擬閘極電極GE1（圖3的步驟S21）。

【0111】

步驟S21，例如可依照以下的方式進行。亦即，首先，如圖24所示的，在絕緣膜IL3上形成覆蓋閘極電極GE2但並未覆蓋虛擬控制閘極電極CG1以及虛擬閘極電極GE1而使其露出的絕緣膜（遮罩層）IL4。例如，可在半導體基板SB上，亦即在絕緣膜IL3上，以覆蓋虛擬控制閘極電極CG1、虛擬閘極電極GE1以及閘極電極GE2的方式形成絕緣膜（絕緣膜IL4形成用的絕緣膜），之後用微影技術以及蝕刻技術使該絕緣膜形成圖案，藉此形成絕緣膜IL4。雖步驟S20的研磨步驟，使虛擬控制閘極電極CG1、虛擬閘極電極GE1以及閘極電極GE2露出，惟若形成絕緣膜IL4，則虛擬控制閘極電極CG1的頂面以及虛擬閘極電極GE1的頂面會形成並未被絕緣膜IL4覆蓋而露出的狀態，閘極電極GE2則會形成被絕緣膜IL4

覆蓋而並未露出的狀態。因此，絕緣膜IL4，可視為覆蓋閘極電極GE2並使虛擬控制閘極電極CG1以及虛擬閘極電極GE1露出的遮罩層。另外，在絕緣膜IL4的形成前後，記憶體閘極電極MG，維持並未露出的狀態。然後，將虛擬控制閘極電極CG1以及虛擬閘極電極GE1蝕刻除去，在圖24中顯示出該階段。步驟S21的蝕刻，可使用乾蝕刻或濕蝕刻或是兩者的組合。

【0112】

另外，當提及步驟S21的蝕刻或是蝕刻步驟時，並非是指形成絕緣膜IL4（形成圖案）時的蝕刻，而是指在形成作為遮罩層的絕緣膜IL4之後為了選擇性地除去虛擬控制閘極電極CG1以及虛擬閘極電極GE1所進行的蝕刻。

【0113】

在步驟S21將虛擬控制閘極電極CG1以及虛擬閘極電極GE1除去，藉此形成溝槽（凹部、窪部）TR1、TR2。溝槽TR1，為虛擬控制閘極電極CG1被除去的區域，與直到將虛擬控制閘極電極CG1除去為止虛擬控制閘極電極CG1存在的區域對應。另外，溝槽TR2，為虛擬閘極電極GE1被除去的區域，與直到虛擬閘極電極GE1除去為止虛擬閘極電極GE1存在的區域對應。溝槽TR1的底面，由絕緣膜G1的頂面所形成。溝槽TR1的一側的側壁（側面），由側壁間隔件SW的側面（在虛擬控制閘極電極CG1除去之前與虛擬控制閘極電極CG1接觸的側面）所形成。溝槽TR1的另一側的側壁（側面），由絕緣膜MZ的底面（在虛擬控制閘極電極CG1除去之前與虛擬控制閘極電極CG1接觸的面）以及絕緣膜IL3的側面所形成。在此，絕緣膜MZ的底面，係指對應構成絕緣膜MZ的氧化矽膜MZ1（絕緣膜MZ的最下層）的與氮化矽膜MZ2接觸之側的相反側的面。溝槽TR2的底面，

係由絕緣膜G2的頂面所形成，溝TR2的側壁（側面），係由側壁間隔件SW的側面（在虛擬閘極電極GE1除去之前與虛擬閘極電極GE1接觸的側面）所形成。

【0114】

步驟S21的蝕刻步驟（虛擬控制閘極電極CG1以及虛擬閘極電極GE1的蝕刻步驟），宜以比起虛擬控制閘極電極CG1以及虛擬閘極電極GE1而言絕緣膜IL3、絕緣膜IL4、絕緣膜G1、絕緣膜G2、氧化矽膜MZ1（絕緣膜MZ的最下層）以及側壁間隔件SW更不易受到蝕刻的條件，進行蝕刻。亦即，宜以比起虛擬控制閘極電極CG1以及虛擬閘極電極GE1的蝕刻速度而言絕緣膜IL3、絕緣膜IL4、絕緣膜G1、絕緣膜G2、氧化矽膜MZ1（絕緣膜MZ的最下層）以及側壁間隔件SW的蝕刻速度更慢的條件，進行虛擬控制閘極電極CG1以及虛擬閘極電極GE1的蝕刻。藉此，便可在步驟S21的蝕刻步驟（虛擬控制閘極電極CG1以及虛擬閘極電極GE1的蝕刻步驟）中，選擇性地蝕刻虛擬控制閘極電極CG1以及虛擬閘極電極GE1。

【0115】

若虛擬控制閘極電極CG1以及虛擬閘極電極GE1由矽（聚矽）所形成，則在步驟S21的蝕刻步驟中，便更容易確保虛擬控制閘極電極CG1以及虛擬閘極電極GE1的高蝕刻選擇比。藉此，在步驟S21的蝕刻步驟中，選擇性地除去虛擬控制閘極電極CG1以及虛擬閘極電極GE1，便可更容易且確實地進行。

【0116】

在步驟S21的蝕刻步驟（虛擬控制閘極電極CG1以及虛擬閘極電極GE1的蝕刻步驟），閘極電極GE2與記憶體閘極電極MG並未露出，故不會受到蝕刻。因

此，在步驟S21，虛擬控制閘極電極CG1以及虛擬閘極電極GE1會被蝕刻除去，惟閘極電極GE2以及記憶體閘極電極MG不會受到蝕刻，會就這樣殘留下來。

【0117】

另外，絕緣膜IL4，更宜由不同於絕緣膜IL3的絕緣材料所形成，藉此，便更容易形成具有吾人所期望之平面形狀的絕緣膜IL4。例如，當絕緣膜IL3由氧化矽膜所形成時，絕緣膜IL4可由氮化矽膜所形成。

【0118】

接著，如圖25所示的，在半導體基板SB上，亦即在包含溝槽TR1、TR2的內面(底面以及側壁)在內的絕緣膜IL3、IL4上，形成絕緣膜HK(圖3的步驟S22)。然後，如圖26所示的，在半導體基板SB上，亦即在絕緣膜HK上，以填埋溝槽TR1、TR2內部的方式，形成金屬膜(導電膜)ME作為閘極電極用的導電膜(圖3的步驟S23)。

【0119】

在溝槽TR1中，步驟S22在溝槽TR1的底面以及側壁(側面)上形成絕緣膜HK，惟溝槽TR1並未被絕緣膜HK完全填埋，藉由在步驟S23形成金屬膜ME，溝槽TR1便形成完全被絕緣膜HK與金屬膜ME填埋的狀態。同樣地，在溝槽TR2中，步驟S22在溝槽TR2的底面以及側壁(側面)上形成絕緣膜HK，惟溝槽TR2並未被絕緣膜HK完全填埋，藉由在步驟S23形成金屬膜ME，溝槽TR2便形成完全被絕緣膜HK與金屬膜ME填埋的狀態。

【0120】

絕緣膜HK，為閘極絕緣膜用的絕緣膜，金屬膜ME，為閘極電極用的導電膜。具體而言，絕緣膜HK，兼作形成於金屬閘極型MISFET形成區域RG2a的

MISFET的閘極絕緣膜用的絕緣膜，以及形成於記憶體單元區域RG1的控制電晶體的閘極絕緣膜用的絕緣膜。另外，金屬膜ME，兼作形成於金屬閘極型MISFET形成區域RG2a的MISFET的閘極電極用的導電膜，以及形成於記憶體單元區域RG1的控制電晶體的閘極電極用的導電膜。

【0121】

絕緣膜HK，為介電常數（比介電常數）比氮化矽更高的絕緣材料膜，亦即所謂的High-k膜（高介電常數膜）。另外，在本案中，當提及High-k膜、高介電常數膜、高介電常數絕緣膜或是高介電常數閘極絕緣膜時，意指介電常數（相對介電常數）比氮化矽更高的膜層。

【0122】

絕緣膜HK，可使用氧化鉛膜、氧化銻膜、氧化鋁膜、氧化鉭膜或是氧化釩膜等的金屬氧化物膜，另外，該等金屬氧化物膜，亦可更含有氮（N）以及矽（Si）的其中之一或是二者。絕緣膜HK，例如，可利用ALD（Atomic layer Deposition，原子層堆積）法或是CVD法形成。當閘極絕緣膜使用高介電常數膜（在此為絕緣膜HK）時，比起使用氧化矽膜的情況而言，更可使閘極絕緣膜的物理膜厚增加，故可獲得能夠降低漏電流此等優點。

【0123】

金屬膜ME，例如，可使用氮化鈦（TiN）膜、氮化鉭（TaN）膜、氮化鎢（WN）膜、碳化鈦（TiC）膜、碳化鉭（TaC）膜、碳化鎢（WC）膜、碳氮化鉭（TaCN）膜、鈦（Ti）膜、鉭（Ta）膜、鈦鋁（TiAl）膜或是鋁（Al）膜等的金屬膜。另外，在此所謂的金屬膜，係指顯現出金屬傳導特性的導電膜，不僅單體的金屬膜（純金屬膜）或合金膜，亦包含顯現出金屬傳導特性的金屬化合物膜（氮化

金屬膜或碳化金屬膜等)。因此，金屬膜ME，為顯現出金屬傳導特性的導電膜，不限於單體的金屬膜（純金屬膜）或合金膜，亦可為顯現出金屬傳導特性的金屬化合物膜（氮化金屬膜或碳化金屬膜等）。另外，亦可使金屬膜ME為堆疊膜（堆疊了複數膜層的堆疊膜），惟此時，該堆疊膜的最下層為金屬膜（顯現出金屬傳導特性的導電膜）。另外，亦可使該堆疊膜為複數層金屬膜（顯現出金屬傳導特性的導電膜）的堆疊膜。金屬膜ME，可用例如濺鍍法等形成。

【0124】

在圖26中，顯示出金屬膜ME為氮化鈦（TiN）膜ME1與在氮化鈦膜ME1上的鋁（Al）膜ME2的堆疊膜的態樣，作為金屬膜ME的較佳實施例。此時，在步驟S23中，首先在絕緣膜HK上形成氮化鈦膜ME1，之後在氮化鈦膜ME1上，以填埋溝槽TR1、TR2內部的方式，形成鋁膜ME2。此時，宜使鋁膜ME2比氮化鈦膜ME1更厚。鋁膜ME2，由於為低電阻，故可達到使之後所形成的閘極電極GE3以及控制閘極電極CG2低電阻化之目的。另外，可用之後所形成的閘極電極GE3以及控制閘極電極CG2中的與閘極絕緣膜接觸的部分（在此為氮化鈦膜ME1）的材料的功函數，控制具備該閘極電極（GE3、CG2）的各MISFET的閾值電壓。

【0125】

接著，如圖27所示的，利用CMP法等將溝槽TR1、TR2的外部的不要的金屬膜ME以及絕緣膜HK除去，藉此在溝槽TR1、TR2內埋入絕緣膜HK以及金屬膜ME（圖3的步驟S24）。

【0126】

亦即，在步驟S24，將溝槽TR1、TR2的外部的金屬膜ME以及絕緣膜HK除去，在溝槽TR1、TR2內殘留絕緣膜HK以及金屬膜ME。藉此，形成在溝槽TR1、

TR2內殘留並埋入絕緣膜HK以及金屬膜ME的狀態。亦即，形成在溝槽TR1、TR2內隔著絕緣膜HK埋入金屬膜ME的狀態。另外，在步驟S24，宜利用CMP法等的研磨處理研磨金屬膜ME以及絕緣膜HK，以將溝槽TR1、TR2的外部的金屬膜ME以及絕緣膜HK除去。

【0127】

埋入溝槽TR1的金屬膜ME，成為控制電晶體的閘極電極，亦即控制閘極電極CG2，埋入溝槽TR1的絕緣膜HK，具有作為該控制電晶體的閘極絕緣膜的功能。亦即，藉由在溝槽TR1內隔著絕緣膜HK埋入金屬膜ME，以形成控制閘極電極CG2。另外，埋入溝槽TR2的金屬膜ME，成為MISFET的閘極電極GE3，埋入溝槽TR2的絕緣膜HK，具有作為該MISFET的閘極絕緣膜的功能。亦即，藉由在溝槽TR2內隔著絕緣膜HK埋入金屬膜ME，以形成閘極電極GE3。

【0128】

像這樣，在步驟S21的虛擬控制閘極電極CG1被除去的區域，亦即在溝槽TR1內，利用步驟S23、S24，形成控制閘極電極CG2。更具體而言，在步驟S21的虛擬控制閘極電極CG1被除去的區域，亦即在溝槽TR1內，利用步驟S22、S23、S24，隔著高介電常數絕緣膜，亦即絕緣膜HK，形成控制閘極電極CG2。控制閘極電極CG2，為記憶體單元用的閘極電極，更具體而言，為記憶體單元的控制電晶體用的閘極電極。控制閘極電極CG2，為金屬閘極電極。另外，在步驟S21的虛擬閘極電極GE1被除去的區域，亦即在溝槽TR2內，利用步驟S23、S24，形成閘極電極GE3。更具體而言，在步驟S21的虛擬閘極電極GE1被除去的區域，亦即在溝槽TR2內，利用步驟S22、S23、S24，隔著高介電常數絕緣膜，亦即絕緣膜HK，

形成閘極電極GE3。閘極電極GE3，為周邊電路的MISFET用（亦即記憶體單元以外的MISFET用）的閘極電極。閘極電極GE3，為金屬閘極電極。

【0129】

在本實施態樣中，除去虛擬控制閘極電極CG1並置換成控制閘極電極CG2，將該控制閘極電極CG2當作記憶體單元區域RG1的控制電晶體的閘極電極使用。因此，上述虛擬控制閘極電極CG1，為虛擬的閘極電極（模擬的閘極電極），可視為取代閘極電極或是置換用閘極電極，控制閘極電極CG2，可視為構成控制電晶體的閘極電極。

【0130】

另外，在本實施態樣中，除去虛擬閘極電極GE1並置換成閘極電極GE3，將該閘極電極GE3當作金屬閘極型MISFET形成區域RG2a的MISFET的閘極電極使用。因此，上述虛擬閘極電極GE1，為虛擬的閘極電極（模擬的閘極電極），可視為取代閘極電極或是置換用閘極電極，閘極電極GE3，可視為構成MISFET的閘極電極。

【0131】

另外，在本實施態樣中，由於用金屬膜ME形成控制閘極電極CG2以及閘極電極GE3，故可使控制閘極電極CG2以及閘極電極GE3分別成為金屬閘極電極。藉由使控制閘極電極CG2以及閘極電極GE3分別成為金屬閘極電極，便可獲得能夠防止控制閘極電極CG2以及閘極電極GE3的空乏化現象，並使寄生電容消失此等優點。另外，亦可獲得能夠使電晶體元件小型化（使閘極絕緣膜薄膜化）此等優點。

【0132】

在記憶體單元區域RG1中，絕緣膜HK形成在溝槽TR1的底面以及側壁上，控制閘極電極CG2的底面以及側壁（側面）與絕緣膜HK鄰接。在控制閘極電極CG2與半導體基板SB（p型井PW1）之間，隔設著絕緣膜G1以及絕緣膜HK，在控制閘極電極CG2與側壁間隔件SW之間，隔設著絕緣膜HK，在控制閘極電極CG2與記憶體閘極電極MG之間，隔設著絕緣膜HK以及絕緣膜MZ。控制閘極電極CG2的正下方的絕緣膜G1、HK具有作為控制電晶體的閘極絕緣膜的功能，惟絕緣膜HK為高介電常數膜，故具有作為高介電常數閘極絕緣膜的功能。

【0133】

在金屬閘極型MISFET形成區域RG2a中，絕緣膜HK形成在溝槽TR2的底面以及側壁上，閘極電極GE3的底面以及側壁（側面）與絕緣膜HK鄰接。在閘極電極GE3與半導體基板SB（p型井PW2）之間，隔設著絕緣膜G2以及絕緣膜HK，在閘極電極GE3與側壁間隔件SW之間，隔設著絕緣膜HK。閘極電極GE3的正下方的絕緣膜G2、HK具有作為MISFET的閘極絕緣膜的功能，惟絕緣膜HK為高介電常數膜，故具有作為高介電常數閘極絕緣膜的功能。

【0134】

另外，當形成了絕緣膜IL4時，在步驟S24絕緣膜IL4亦可用CMP法等研磨除去。因此，進行步驟S24，閘極電極GE2的頂面便露出。

【0135】

因此，進行步驟S24，在記憶體單元區域RG1，形成在溝槽TR1內埋入控制閘極電極CG2，且該控制閘極電極CG2的頂面露出的狀態，在金屬閘極型MISFET形成區域RG2a，形成在溝槽TR2內埋入閘極電極GE3，且該閘極電極GE3的頂面

露出的狀態。另外，在矽閘極型MISFET形成區域RG2b，形成閘極電極GE2的頂面露出的狀態。另外，記憶體閘極電極MG並未露出。

【0136】

另外，本實施態樣，係針對在步驟S21蝕刻虛擬控制閘極電極CG1以及虛擬閘極電極GE1之後，不除去溝槽TR1的底部的絕緣膜G1以及溝槽TR2的底部的絕緣膜G2，而在步驟S22形成絕緣膜HK的情況進行說明。此時，在記憶體單元區域RG1，在絕緣膜HK與半導體基板SB（p型井PW1）之間（界面），隔設著絕緣膜G1作為界面層，另外，在金屬閘極型MISFET形成區域RG2a，在絕緣膜HK與半導體基板SB（p型井PW2）之間（界面），隔設著絕緣膜G2作為界面層。作為界面層的絕緣膜G1、G2，宜為氧化矽膜或是氮氧化矽膜。

【0137】

作為另一態樣，在步驟S21蝕刻虛擬控制閘極電極CG1以及虛擬閘極電極GE1之後，且在步驟S22形成絕緣膜HK之前，亦可將溝槽TR1的底部的絕緣膜G1以及溝槽TR2的底部的絕緣膜G2除去。此時，若在除去溝槽TR1、TR2的底部的絕緣膜G1、G2之後，在溝槽TR1、TR2的底部所露出之半導體基板SB（p型井PW1、PW2）的表面上形成由氧化矽膜或是氮氧化矽膜所構成的界面層，然後，在步驟S22形成絕緣膜HK的話，為較佳的態樣。若是如此，便會在絕緣膜HK與半導體基板SB（p型井PW1、PW2）之間（界面），隔設著由氧化矽膜或是氮氧化矽膜所構成的界面層。

【0138】

當不將作為高介電常數膜的絕緣膜HK直接形成在半導體基板SB的表面（矽面）上，而在絕緣膜HK與半導體基板SB（p型井PW1、PW2）的界面設置由薄

氧化矽膜或是氮氧化矽膜所構成的界面層時，可獲得以下的優點。亦即，在形成於記憶體單元區域RG1的控制電晶體以及形成於金屬閘極型MISFET形成區域RG2a的MISFET中，可使閘極絕緣膜與半導體基板（的矽面）的界面形成SiO₂/Si（或是SiON/Si）構造，並減少陷阱準位等的缺陷數目，進而使驅動能力或可靠度提高。

【0139】

另外，在本實施態樣中，高介電常數閘極絕緣膜（在此為絕緣膜HK），係在步驟S21將虛擬控制閘極電極CG1以及虛擬閘極電極GE1蝕刻除去之後形成。

【0140】

作為另一態樣，亦可在形成虛擬控制閘極電極CG1以及虛擬閘極電極GE1的階段，已經形成控制電晶體用的高介電常數閘極絕緣膜以及形成於金屬閘極型MISFET形成區域RG2a的金屬閘極型MISFET用的高介電常數閘極絕緣膜。此時，便可在步驟S21將虛擬控制閘極電極CG1以及虛擬閘極電極GE1蝕刻除去之後，不進行步驟S22的絕緣膜HK形成步驟，而進行步驟S23的金屬膜ME形成步驟。例如，在記憶體單元區域RG1的絕緣膜G1上以及金屬閘極型MISFET形成區域RG2a的絕緣膜G2上，形成相當於絕緣膜HK的高介電常數膜（高介電常數絕緣膜），然後形成上述矽膜PS1。具體而言，只要在上述步驟S4形成絕緣膜G1、G2、G3之後，在半導體基板SB的主面全面上形成相當於絕緣膜HK的高介電常數膜，然後選擇性地除去矽閘極型MISFET形成區域RG2b的高介電常數膜，留下記憶體單元區域RG1以及金屬閘極型MISFET形成區域RG2a的高介電常數膜，並在該狀態下形成矽膜PS1即可。藉此，當形成虛擬控制閘極電極CG1以及虛擬閘極電極GE1時，便形成在虛擬控制閘極電極CG1以及虛擬閘極電極GE1之

下存在高介電常數閘極絕緣膜的狀態。此時，由於已經形成高介電常數閘極絕緣膜，故在步驟S21將虛擬控制閘極電極CG1以及虛擬閘極電極GE1蝕刻除去之後，不用進行步驟S22的絕緣膜HK形成步驟，只要進行步驟S23的金屬膜ME形成步驟即可。

【0141】

另外，當在金屬閘極型MISFET形成區域RG2a形成n通道型MISFET以及p通道型MISFET二者時，n通道型MISFET用的金屬閘極電極（相當於閘極電極GE3）與p通道型MISFET用的金屬閘極電極（相當於閘極電極GE3），也可能會有使用不同金屬材料的情況。此時，只要依照例如以下方式處理即可。亦即，在金屬閘極型MISFET形成區域RG2a，用金屬膜ME形成n通道型MISFET用的金屬閘極電極（相當於閘極電極GE3）以及p通道型MISFET用的金屬閘極電極（相當於閘極電極GE3）。然後，利用蝕刻除去金屬閘極型MISFET形成區域RG2a的p通道型MISFET用的金屬閘極電極，並在該p通道型MISFET用的金屬閘極電極被除去的區域（溝槽）埋入其他金屬膜，藉此再次形成p通道型MISFET用的金屬閘極電極。埋入前述其他金屬膜的方法，與參照圖26以及圖27所說明的方法（在溝槽TR1、TR2埋入金屬膜ME的方法）相同。另外，記憶體單元區域RG1的控制閘極電極CG2與記憶體閘極電極MG、矽閘極型MISFET形成區域RG2b的閘極電極GE2，以及金屬閘極型MISFET形成區域RG2a的n通道型MISFET用的金屬閘極電極，只要被絕緣膜所覆蓋而不會受到蝕刻或CMP的研磨即可。另外，在金屬閘極型MISFET形成區域RG2a，用相同的金屬膜形成n通道型MISFET用的金屬閘極電極與p通道型MISFET用的金屬閘極電極，然後將n通道型MISFET用的金

屬閘極電極除去，在該除去區域埋入其他的金屬膜，藉此亦可再次形成n通道型MISFET用的金屬閘極電極。

【0142】

接著，如圖28所示的，在絕緣膜IL3上形成覆蓋記憶體單元區域RG1全體以及金屬閘極型MISFET形成區域RG2a全體，並在矽閘極型MISFET形成區域RG2b中使閘極電極GE2露出的絕緣膜（遮罩層）IL5。絕緣膜IL5，例如，可藉由在半導體基板SB上，亦即在絕緣膜IL3上，以覆蓋記憶體單元區域RG1全體以及周邊電路區域RG2全體的方式形成絕緣膜（絕緣膜IL5形成用的絕緣膜），然後用微影技術以及蝕刻技術使該絕緣膜形成圖案而形成。若形成絕緣膜IL5，則閘極電極GE2的頂面便形成並未被絕緣膜IL5覆蓋而露出的狀態，閘極電極GE3以及控制閘極電極CG2便形成被絕緣膜IL5覆蓋而並未露出的狀態。另外，在絕緣膜IL5的形成的前後，記憶體閘極電極MG維持並未露出的狀態。

【0143】

絕緣膜IL5，宜由與絕緣膜IL3不同的絕緣材料所形成，藉此，便比較容易形成具有吾人所期望之平面形狀的絕緣膜IL5。例如，當絕緣膜IL3由氧化矽膜所形成時，絕緣膜IL5可由氮化矽膜所形成。

【0144】

接著，在閘極電極GE2的上部，形成金屬矽化物層SL2（圖3的步驟S25）。

【0145】

金屬矽化物層SL2可藉由進行所謂的自動對準矽化物製程而形成。具體而言，可依照以下方式形成金屬矽化物層SL2。

【0146】

亦即，首先，在包含閘極電極GE2的頂面（表面）在內的絕緣膜IL3、IL5上，形成（堆積）金屬矽化物層SL2形成用的金屬膜。該金屬矽化物層SL2形成用的金屬膜，可使用單體的金屬膜（純金屬膜）或是合金膜，例如，可由鈷（Co）膜、鎳（Ni）膜或是鎳白金合金膜所構成，並用濺鍍法等形成。然後，藉由對半導體基板SB實施熱處理（金屬矽化物層SL2形成用的熱處理），使閘極電極GE2的上層部分（表層部分）與金屬矽化物層SL2形成用的金屬膜發生反應。藉此，如圖28所示的，在閘極電極GE2的上部（頂面、表面、上層部），形成金屬矽化物層SL2。之後，利用濕蝕刻等將未反應的金屬膜（金屬矽化物層SL2形成用的金屬膜）除去。圖28顯示出該階段的剖面圖。另外，在將未反應的金屬膜（金屬矽化物層SL2形成用的金屬膜）除去之後，亦可更進一步進行熱處理。

【0147】

金屬矽化物層SL2，例如可為鈷矽化物層（當金屬矽化物層SL2形成用的金屬膜為鈷膜時）、鎳矽化物層（當金屬矽化物層SL2形成用的金屬膜為鎳膜時）或是鎳白金矽化物層（當金屬矽化物層SL2形成用的金屬膜為鎳白金合金膜時）。

【0148】

像這樣，藉由進行所謂的自動對準矽化物製程，在閘極電極GE2的上部形成金屬矽化物層SL2，藉此，便可降低閘極電極GE2的電阻。藉由使用自動對準矽化物製程，便可在閘極電極GE2上以自動對準的方式形成金屬矽化物層SL2。藉由在閘極電極GE2的上部形成金屬矽化物層SL2，便可降低閘極電極GE2的電阻。

【0149】

另外，在以絕緣膜IL5覆蓋記憶體單元區域RG1全體以及金屬閘極型MISFET形成區域RG2a全體的狀態下，以自動對準矽化物製程形成金屬矽化物層SL2。

藉此，便可確實地防止記憶體單元區域RG1的記憶體閘極電極MG以及控制閘極電極CG2或金屬閘極型MISFET形成區域RG2a的閘極電極GE3，受到自動對準矽化物製程的影響。

【0150】

另外，本實施態樣，係針對在閘極電極GE2的上部形成金屬矽化物層SL2的情況進行說明。作為另一態樣，亦可為在閘極電極GE2的上部並未形成金屬矽化物層SL2的情況。在閘極電極GE2的上部並未形成金屬矽化物層SL2的態樣，只要省略絕緣膜IL5形成步驟以及在步驟S25以自動對準矽化物製程形成金屬矽化物層SL2的步驟即可。

【0151】

接著，如圖29所示的，在半導體基板SB的主面全面上，形成（堆積）絕緣膜（層間絕緣膜）IL6作為層間絕緣膜（圖3的步驟S26）。

【0152】

另外，圖29，係顯示出利用蝕刻等將絕緣膜IL5除去，然後形成絕緣膜IL6的態樣。此時，絕緣膜IL6，在絕緣膜IL3上，以覆蓋閘極電極GE2、GE3、控制閘極電極CG2以及側壁間隔件SW的方式形成。另外，作為另一態樣，亦可不將絕緣膜IL5除去並形成絕緣膜IL6，此時，絕緣膜IL6，在絕緣膜IL3以及絕緣膜IL5上，以覆蓋閘極電極GE2以及側壁間隔件SW的方式形成。

【0153】

絕緣膜IL6，例如，可使用以氧化矽為主體的氧化矽系的絕緣膜。在絕緣膜IL6形成後，亦可利用CMP法研磨絕緣膜IL6的頂面，使絕緣膜IL6的頂面的平坦性提高。

【0154】

接著，將用微影法在絕緣膜IL6上所形成的光阻圖案（圖中未顯示）當作蝕刻遮罩，對絕緣膜IL6、IL3進行乾蝕刻，藉此如圖30所示的，在絕緣膜IL6、IL3形成接觸孔（開口部、貫通孔）CT（圖3的步驟S27）。

【0155】

接著，如圖31所示的，在接觸孔CT內，形成由鎢（W）等所構成的導電性的栓塞PG作為連接用的導電體部（圖3的步驟S28）。

【0156】

欲形成栓塞PG，例如，先在包含接觸孔CT的內部（底面以及側壁上）在內的絕緣膜IL6上，形成障壁導體膜（例如鈦膜、氮化鈦膜或是該等膜層的堆疊膜）。然後，在該障壁導體膜上以填埋接觸孔CT內部的方式形成由鎢膜等所構成的主導體膜，之後利用CMP法或是回蝕法等將接觸孔CT外部的多餘的主導體膜以及障壁導體膜除去，藉此便可形成栓塞PG。另外，為了簡化圖式，在圖31中係將構成栓塞PG的障壁導體膜以及主導體膜（鎢膜）顯示成一體。

【0157】

接觸孔CT以及埋入該接觸孔CT的栓塞PG，形成在 n^+ 型半導體區域SD1、SD2、SD3、SD4、控制閘極電極CG2、記憶體閘極電極MG、閘極電極GE2、GE3的上部等。在接觸孔CT的底部，半導體基板SB的主面的一部分，例如 n^+ 型半導體區域SD1、SD2、SD3、SD4（的表面的金屬矽化物層SL）的一部分、控制閘極電極CG2的一部分、記憶體閘極電極MG（的表面的金屬矽化物層SL）的一部分、閘極電極GE2（的表面的金屬矽化物層SL2）的一部分或是閘極電極GE3的一部等露出。另外，在圖31的剖面圖中，係顯示出 n^+ 型半導體區域SD1、

SD2、SD3、SD4（的表面的金屬矽化物層SL）的一部分從接觸孔CT的底部露出，與埋入該接觸孔CT的栓塞PG電連接的剖面。

【0158】

接著，在埋入了栓塞PG的絕緣膜IL6上形成第1層的配線，亦即配線（配線層）M1（圖3的步驟S29）。針對用鑲嵌技術（在此為單鑲嵌技術）形成該配線M1的情況進行說明。

【0159】

首先，如圖32所示的，在埋入了栓塞PG的絕緣膜IL6上，形成絕緣膜IL7。絕緣膜IL7，亦可用複數層絕緣膜的堆疊膜形成。然後，利用以光阻圖案（圖中未顯示）為蝕刻遮罩的乾蝕刻在絕緣膜IL7的既定區域形成配線溝（配線用溝槽），之後，在包含配線溝的底面以及側壁在內的絕緣膜IL7上形成障壁導體膜（例如氮化鈦膜、鈦膜或是氮化鈦膜等）。然後，利用CVD法或是濺鍍法等障壁導體膜上形成銅的種晶層，再用電解電鍍法等種晶層上形成銅電鍍膜，利用銅電鍍膜埋入配線溝的內部。然後，利用CMP法除去配線溝以外的區域的主導體膜（銅電鍍膜以及種晶層）以及障壁導體膜，形成埋入配線溝的以銅為主導電材料的第1層配線M1。在圖32中，為了簡化圖式，配線M1與障壁導體膜、種晶層以及銅電鍍膜顯示成一體。

【0160】

配線M1隔著栓塞PG，與 n^+ 型半導體區域SD1、 n^+ 型半導體區域SD2、 n^+ 型半導體區域SD3、 n^+ 型半導體區域SD4、控制閘極電極CG2、記憶體閘極電極MG、閘極電極GE2或是閘極電極GE3等電連接。之後，利用雙鑲嵌法等形成第2層以後的配線，惟在此圖式以及其說明省略。另外，配線M1以及比其更上層的

配線，不限於鑲嵌配線，亦可由配線用的導電體膜形成圖案所形成，例如亦可為鎢配線或是鋁配線等。

【0161】

如以上所述的，製造出本實施態樣的半導體裝置。

【0162】

〈關於半導體裝置的構造〉接著，針對本實施態樣的半導體裝置的非揮發性記憶體的記憶體單元的構造，參照圖33以及圖34進行說明。

【0163】

圖33，係本實施態樣的半導體裝置的主要部位剖面圖，顯示出非揮發性記憶體的記憶體單元區域的主要部位剖面圖。圖34，係記憶體單元的等價電路圖。另外，在圖33中，為了簡化圖式，省略了上述圖32的構造之中的接觸孔CT、栓塞PG、絕緣膜IL7以及配線M1的圖式。

【0164】

如圖33所示的，於半導體基板SB，形成了由記憶體電晶體以及控制電晶體所構成的非揮發性記憶體的記憶體單元MC。實際上，於半導體基板SB，複數個記憶體單元MC形成陣列狀，各記憶體單元區域，利用元件分離區域（相當於上述元件分離區域ST，惟在圖33中未顯示）與其他區域電性分離。

【0165】

如圖33以及圖34所示的，本實施態樣的半導體裝置的非揮發性記憶體的記憶體單元MC，為分離閘極型的記憶體單元，其將具有控制閘極電極CG2的控制電晶體與具有記憶體閘極電極MG的記憶體電晶體這2個MISFET連接。

【0166】

在此，具備包含電荷累積部（電荷累積層）在內的閘極絕緣膜以及記憶體閘極電極MG的MISFET稱為記憶體電晶體，另外，具備閘極絕緣膜以及控制閘極電極CG2的MISFET稱為控制電晶體。因此，記憶體閘極電極MG，為記憶體電晶體的閘極電極，控制閘極電極CG2，為控制電晶體的閘極電極，控制閘極電極CG2以及記憶體閘極電極MG，為構成非揮發性記憶體的記憶體單元的閘極電極。

【0167】

另外，控制電晶體，為記憶體單元選擇用電晶體，故亦可視為選擇電晶體。因此，控制閘極電極CG2，亦可視為選擇閘極電極。記憶體電晶體，為記憶用電晶體。

【0168】

以下，具體說明記憶體單元MC的構造。

【0169】

如圖33所示的，非揮發性記憶體的記憶體單元MC，具有：形成於半導體基板SB的p型井PW1中的源極以及汲極用的n型半導體區域MS、MD；形成在半導體基板SB（p型井PW1）的上部的控制閘極電極CG2；以及形成在半導體基板SB（p型井PW1）的上部並與控制閘極電極CG2相鄰的記憶體閘極電極MG。然後，非揮發性記憶體的記憶體單元MC，更具有：形成在控制閘極電極CG2與半導體基板SB（p型井PW1）之間的絕緣膜（閘極絕緣膜）G1、HK；以及形成在記憶體閘極電極MG與半導體基板SB（p型井PW1）之間的絕緣膜MZ。

【0170】

控制閘極電極CG2以及記憶體閘極電極MG，在其對向側面之間隔著絕緣膜MZ以及絕緣膜HK的狀態下，沿著半導體基板SB的主面延伸並排配置。控制閘極電極CG2以及記憶體閘極電極MG的延伸方向，為與圖33的紙面垂直的方向。控制閘極電極CG2以及記憶體閘極電極MG，在半導體區域MD以及半導體區域MS之間的半導體基板SB（p型井PW1）之上隔著絕緣膜G1、HK或是絕緣膜MZ形成，記憶體閘極電極MG位於半導體區域MS側，控制閘極電極CG2位於半導體區域MD側。其中，控制閘極電極CG2隔著絕緣膜G1、HK，記憶體閘極電極MG隔著絕緣膜MZ，形成在半導體基板SB上。

【0171】

控制閘極電極CG2與記憶體閘極電極MG，在其之間隔設著絕緣膜MZ以及絕緣膜HK而彼此相鄰。絕緣膜MZ，延伸遍及記憶體閘極電極MG與半導體基板SB（p型井PW1）之間的區域以及記憶體閘極電極MG與控制閘極電極CG2之間的區域這兩個區域，而與記憶體閘極電極MG的底面以及側壁（側面）接觸。絕緣膜HK，延伸遍及控制閘極電極CG2與側壁間隔件SW之間的區域、控制閘極電極CG2與半導體基板SB（p型井PW1）之間的區域以及控制閘極電極CG2與記憶體閘極電極MG之間的區域，而與控制閘極電極CG2的底面以及兩側壁（側面）接觸。

【0172】

在記憶體閘極電極MG與控制閘極電極CG2之間隔設著絕緣膜MZ以及絕緣膜HK，絕緣膜MZ與絕緣膜HK互相接觸，絕緣膜MZ位於記憶體閘極電極MG側，絕緣膜HK位於控制閘極電極CG2側。亦即，絕緣膜MZ與控制閘極電極CG2之間隔設著絕緣膜HK。另外，在控制閘極電極CG2與半導體基板SB（p型井PW1）

之間隔設著絕緣膜G1以及絕緣膜HK，絕緣膜G1位於半導體基板SB（p型井PW1）側，絕緣膜HK位於控制閘極電極CG2側。亦即，形成絕緣膜G1、絕緣膜HK以及控制閘極電極CG2依照該順序堆疊在半導體基板SB（p型井PW1）上的狀態，絕緣膜HK，以覆蓋控制閘極電極CG2的底面以及兩側壁的方式延伸。

【0173】

形成在控制閘極電極CG2與半導體基板SB（p型井PW1）之間的絕緣膜G1以及絕緣膜HK，亦即控制閘極電極CG2之下的絕緣膜G1以及絕緣膜HK，具有作為控制電晶體的閘極絕緣膜的功能。另外，記憶體閘極電極MG與半導體基板SB（p型井PW1）之間的絕緣膜MZ，亦即記憶體閘極電極MG之下的絕緣膜MZ，具有作為記憶體電晶體的閘極絕緣膜（內部具有電荷累積部的閘極絕緣膜）的功能。另外，記憶體閘極電極MG與半導體基板SB（p型井PW1）之間的絕緣膜MZ，具有作為記憶體電晶體的閘極絕緣膜的功能，而記憶體閘極電極MG與控制閘極電極CG2之間的絕緣膜MZ，具有作為用來使記憶體閘極電極MG與控制閘極電極CG2之間絕緣（電性分離）的絕緣膜的功能。另外，控制閘極電極CG2與半導體基板SB（p型井PW1）之間的絕緣膜HK，具有作為控制電晶體的閘極絕緣膜的功能，控制閘極電極CG2與記憶體閘極電極MG之間的絕緣膜HK，具有作為用來使控制閘極電極CG2與記憶體閘極電極MG之間絕緣（電性分離）的絕緣膜的功能。

【0174】

在絕緣膜MZ之中，氮化矽膜MZ2為用來累積電荷的絕緣膜，具有作為電荷累積層（電荷累積部）的功能。亦即，氮化矽膜MZ2為形成在絕緣膜MZ之中的

陷阱性絕緣膜。因此，絕緣膜MZ可視為其內部具有電荷累積部（在此為氮化矽膜MZ2）的絕緣膜。

【0175】

位於氮化矽膜MZ2的上下的氧化矽膜MZ3以及氧化矽膜MZ1，可具有作為電荷阻擋層或是電荷拘束層的功能。在記憶體閘極電極MG與半導體基板SB之間的絕緣膜MZ中，藉由以氧化矽膜MZ3以及氧化矽膜MZ1夾住氮化矽膜MZ2的構造，便可使電荷累積在氮化矽膜MZ2。

【0176】

半導體區域MS以及半導體區域MD，為源極或是汲極用的半導體區域。亦即，半導體區域MS，為具有作為源極區域或是汲極區域的其中一方的功能的半導體區域，半導體區域MD，為具有作為源極區域或是汲極區域的另一方的功能的半導體區域。在此，半導體區域MS為具有作為源極區域的功能的半導體區域，半導體區域MD為具有作為汲極區域的功能的半導體區域。半導體區域MS、MD，係由導入了n型雜質的半導體區域所構成，各自具備LDD構造。亦即，源極用的半導體區域MS包含n⁻型半導體區域EX1（延伸區域）以及具有比n⁻型半導體區域EX1更高之雜質濃度的n⁺型半導體區域SD1（源極區域）。另外，汲極用的半導體區域MD包含n⁻型半導體區域EX2（延伸區域）以及具有比n⁻型半導體區域EX2更高之雜質濃度的n⁺型半導體區域SD2（汲極區域）。

【0177】

半導體區域MS，為源極或是汲極用的半導體區域，形成於與記憶體閘極電極MG在閘極長度方向（記憶體閘極電極MG的閘極長度方向）上鄰接之位置的半導體基板SB上。另外，半導體區域MD，為源極或是汲極用的半導體區域，形

成於與控制閘極電極CG2在閘極長度方向（控制閘極電極CG2的閘極長度方向）上鄰接之位置的半導體基板SB上。

【0178】

在記憶體閘極電極MG與控制閘極電極CG2彼此並未鄰接之側的側壁上，形成了由絕緣體（絕緣膜）所構成的側壁間隔件SW。其中，在控制閘極電極CG2與側壁間隔件SW之間，隔設著絕緣膜HK。

【0179】

源極部的 n^- 型半導體區域EX1以對記憶體閘極電極MG自動對準的方式形成， n^+ 型半導體區域SD1以對記憶體閘極電極MG的側壁上的側壁間隔件SW自動對準的方式形成。因此，在所製造的半導體裝置中，低濃度的 n^- 型半導體區域EX1，形成在記憶體閘極電極MG的側壁上的側壁間隔件SW的下方，高濃度的 n^+ 型半導體區域SD1，形成在低濃度的 n^- 型半導體區域EX1的外側。因此，低濃度的 n^- 型半導體區域EX1，以與記憶體電晶體的通道區域鄰接的方式形成，高濃度的 n^+ 型半導體區域SD1，以與低濃度的 n^- 型半導體區域EX1鄰接，並與記憶體電晶體的通道區域隔著 n^- 型半導體區域EX1的距離的方式形成。

【0180】

汲極部的 n^- 型半導體區域EX2，以對上述虛擬控制閘極電極CG1自動對準的方式形成，因此，亦以對控制閘極電極CG2自動對準的方式形成。另外，汲極部的 n^+ 型半導體區域SD2，以對控制閘極電極CG2的側壁上的側壁間隔件SW自動對準的方式形成。因此，在所製造的半導體裝置中，低濃度的 n^- 型半導體區域EX2，形成在控制閘極電極CG2的側壁上的側壁間隔件SW的下方，高濃度的 n^+ 型半導體區域SD2，形成在低濃度的 n^- 型半導體區域EX2的外側。因此，低濃度

的 n^- 型半導體區域EX2，以與控制電晶體的通道區域鄰接的方式形成，高濃度的 n^+ 型半導體區域SD2，以與低濃度的 n^- 型半導體區域EX2鄰接，並與控制電晶體的通道區域隔著 n^- 型半導體區域EX2的距離的方式形成。

【0181】

在記憶體閘極電極MG之下的絕緣膜MZ之下形成記憶體電晶體的通道區域。另外，在控制閘極電極CG2之下的絕緣膜G1之下形成控制電晶體的通道區域。

【0182】

在 n^+ 型半導體區域SD1、SD2的上部以及記憶體閘極電極MG的上部，利用自動對準矽化物技術等，形成了金屬矽化物層SL。

【0183】

在本實施態樣中，記憶體閘極電極MG係由矽膜（PS1）所形成。因此，記憶體閘極電極MG，為矽閘極電極（由矽所構成的閘極電極），記憶體電晶體，為矽閘極型MISFET。另一方面，控制閘極電極CG2，係由金屬膜ME所形成。因此，控制閘極電極CG2，為金屬閘極電極，控制電晶體，為金屬閘極型MISFET。因此，在本實施態樣中，非揮發性記憶體的記憶體單元MC，係由具有矽閘極電極（在此為記憶體閘極電極MG）的記憶體電晶體以及具有金屬閘極電極（在此為控制閘極電極CG2）的控制電晶體所形成。

【0184】

<關於非揮發性記憶體的動作>接著，針對非揮發性記憶體的動作實施例，參照圖35進行說明。

【0185】

圖35，係表示在本實施態樣的「寫入」、「消去」以及「讀取」時對選擇記憶體單元的各部位的電壓施加條件的一實施例的表格。在圖35的表格中，記載了在「寫入」、「消去」以及「讀取」時的各個時點中，對如圖33以及圖34所示之記憶體單元的記憶體閘極電極MG所施加的電壓Vmg、對源極區域（半導體區域MS）所施加的電壓Vs、對控制閘極電極CG2所施加的電壓Vcg、對汲極區域（半導體區域MD）所施加的電壓Vd，以及對p型井PW1所施加的基本電壓Vb。另外，圖35的表格所示者為電壓施加條件的較佳的一例，惟並非僅限於此，可因應需要作出各種變更。另外，在本實施態樣中，將對記憶體電晶體的絕緣膜MZ中的電荷累積部（亦即氮化矽膜MZ2）的電子的注入定義為「寫入」，將電洞（hole：正電洞）的注入定義為「消去」。

【0186】

另外，在圖35的表格中，A的欄位對應寫入方法為SSI方式且消去方法為BTBT方式的情況，B的欄位對應寫入方法為SSI方式且消去方法為FN方式的情況，C的欄位對應寫入方法為FN方式且消去方法為BTBT方式的情況，D的欄位對應寫入方法為FN方式且消去方法為FN方式的情況。

【0187】

SSI方式，可視為藉由對氮化矽膜MZ2注入熱電子以實行記憶體單元的寫入的動作方法，BTBT方式，可視為藉由對氮化矽膜MZ2注入熱電洞以實行記憶體單元的消去的動作方法，FN方式，可視為利用電子或是電洞的穿隧實行寫入或是消去的動作法。關於FN方式，若以別種表現方式而言，FN方式的寫入，可視為利用FN穿隧效應對氮化矽膜MZ2注入電子以實行記憶體單元的寫入的動作方

式，FN方式的消去，可視為利用FN穿隧效應對氮化矽膜MZ2注入電洞以實行記憶體單元的消去的動作方式。以下，具體進行說明。

【0188】

寫入方式，具有以稱為所謂的SSI (Source Side Injection, 源極側注入) 方式的源極側注入所致之熱電子注入實行寫入的寫入方式 (熱電子注入寫入方式)，以及利用稱為所謂的FN方式的FN (Fowler Nordheim, 富爾諾罕) 穿隧實行寫入的寫入方式 (穿隧寫入方式)。

【0189】

SSI方式的寫入，係對實行寫入的選擇記憶體單元的各部位施加例如圖35的表格的A欄或是B欄的「寫入動作電壓」所示的電壓 ($V_{mg} = 10V$ 、 $V_s = 5V$ 、 $V_{cg} = 1V$ 、 $V_d = 0.5V$ 、 $V_b = 0V$)，以將電子注入到選擇記憶體單元的絕緣膜MZ中的氮化矽膜MZ2中，藉此實行寫入。此時，熱電子，在2個閘極電極 (記憶體閘極電極MG以及控制閘極電極CG2) 之間的下方的通道區域 (源極、汲極之間) 產生，熱電子注入記憶體閘極電極MG之下的絕緣膜MZ中的電荷累積部，亦即氮化矽膜MZ2。所注入的熱電子 (電子)，被絕緣膜MZ中的氮化矽膜MZ2中的陷阱準位所捕獲，其結果，記憶體電晶體的閾值電壓上升。亦即，記憶體電晶體成為寫入狀態。

【0190】

FN方式的寫入，係對實行寫入的選擇記憶體單元的各部位施加例如圖35的表格的C欄或是D欄的「寫入動作電壓」所示的電壓 ($V_{mg} = -12V$ 、 $V_s = 0V$ 、 $V_{cg} = 0V$ 、 $V_d = 0V$ 、 $V_b = 0V$)，在選擇記憶體單元中，使電子從記憶體閘極電極MG穿隧並注入到絕緣膜MZ中的氮化矽膜MZ2，藉此實行寫入。此時，電子

利用FN穿隧（FN穿隧效應）從記憶體閘極電極MG穿過氧化矽膜MZ3並注入到絕緣膜MZ中，被絕緣膜MZ中的氮化矽膜MZ2中的陷阱準位所捕獲，其結果，記憶體電晶體的閾值電壓上升。亦即，記憶體電晶體成為寫入狀態。

【0191】

另外，在FN方式的寫入中，亦可使電子從半導體基板SB穿隧並注入到絕緣膜MZ中的氮化矽膜MZ2，藉此實行寫入，此時，寫入動作電壓，例如可為使圖35的表格的C欄或是D欄的「寫入動作電壓」的正負反轉的電壓。

【0192】

消去方法，具有利用稱為所謂的BTBT方式的BTBT（Band-To-Band Tunneling，能帶間穿隧現象）所致之熱電洞注入實行消去的消去方式（熱電洞注入消去方式），以及利用稱為所謂的FN方式的FN（Fowler Nordheim，富爾諾罕）穿隧實行消去的消去方式（穿隧消去方式）。

【0193】

BTBT方式的消去，係將BTBT所產生的電洞（正電洞）注入到電荷累積部（絕緣膜MZ中的氮化矽膜MZ2）以實行消去。對實行消去的選擇記憶體單元的各部位施加例如圖35的表的A欄或是C欄的「消去動作電壓」所示的電壓（ $V_{mg} = -6V$ 、 $V_s = 6V$ 、 $V_{cg} = 0V$ 、 $V_d = open$ 、 $V_b = 0V$ ）。藉此，利用BTBT現象產生電洞並以電場加速，將電洞注入到選擇記憶體單元的絕緣膜MZ中的氮化矽膜MZ2中，藉此使記憶體電晶體的閾值電壓降低。亦即，記憶體電晶體成為消去狀態。

【0194】

FN方式的消去，係對實行消去的選擇記憶體單元的各部位施加例如圖35的表格的B欄或是D欄的「消去動作電壓」所示的電壓（ $V_{mg} = 12V$ 、 $V_s = 0V$ 、 $V_{cg} = 0V$ 、 $V_d = 0V$ 、 $V_b = 0V$ ），在選擇記憶體單元中，使電洞從記憶體閘極電極MG穿隧並注入到絕緣膜MZ中的氮化矽膜MZ2，藉此實行消去。此時，電洞從記憶體閘極電極MG利用FN穿隧（FN穿隧效應）穿過氧化矽膜MZ3並注入到絕緣膜MZ中，被絕緣膜MZ中的氮化矽膜MZ2中的陷阱準位所捕獲，其結果，記憶體電晶體的閾值電壓降低。亦即，記憶體電晶體成為消去狀態。

【0195】

另外，在FN方式的消去中，亦可使電洞從半導體基板SB穿隧並注入到絕緣膜MZ中的氮化矽膜MZ2以實行消去，此時，消去動作電壓，例如可為使圖35的表格的B欄或是D欄的「消去動作電壓」的正負反轉的電壓。

【0196】

另外，在以FN方式實行寫入或消去（亦即動作方式B、C、D）而使電荷從記憶體閘極電極MG穿隧並注入氮化矽膜MZ2的情況下，宜使氧化矽膜MZ3的膜厚比氧化矽膜MZ1的膜厚更薄。另一方面，在以FN方式實行寫入或是消去（亦即動作方式B、C、D）而使電荷從半導體基板SB穿隧並注入氮化矽膜MZ2的情況下，宜使氧化矽膜MZ1的膜厚比氧化矽膜MZ3的膜厚更薄。另外，在寫入為SSI方式且消去為BTBT方式的情況下（亦即在動作方式A的情況下），宜使氧化矽膜MZ3的膜厚在氧化矽膜MZ1的膜厚以上。

【0197】

在讀取時，對實行讀取的選擇記憶體單元的各部位施加例如圖35的表格的A欄、B欄、C欄或是D欄的「讀取動作電壓」所示的電壓。藉由使讀取時對記憶

體閘極電極MG所施加的電壓 V_{mg} ，為在寫入狀態的記憶體電晶體的閾值電壓與消去狀態的閾值電壓之間的值，便可判斷出寫入狀態以及消去狀態。

【0198】

<關於主要的特徵以及功效>本實施態樣的半導體裝置，為具備非揮發性記憶體的記憶體單元MC的半導體裝置，記憶體單元MC，具有記憶體閘極電極MG以及控制閘極電極CG2。

【0199】

為了使具備非揮發性記憶體的半導體裝置的性能提高或小型化，採用金屬閘極電極作為非揮發性記憶體的記憶體單元的控制閘極電極係有效的。另一方面，針對非揮發性記憶體的記憶體單元的記憶體閘極電極，不採用金屬閘極電極，而係適用矽閘極電極，就可靠度提高而言是有利的。另外，在非揮發性記憶體的消去動作採用使電洞從記憶體閘極電極（對應記憶體閘極電極MG）注入到記憶體閘極絕緣膜（對應絕緣膜MZ）中的消去方式（FN方式）的情況下，不採用金屬閘極電極而係採用矽閘極電極作為記憶體閘極電極，便更容易確實地實行消去動作。

【0200】

於是，本實施態樣，在構成非揮發性記憶體的記憶體單元MC的記憶體閘極電極MG以及控制閘極電極CG2中，針對記憶體閘極電極MG採用金屬閘極電極，針對控制閘極電極CG2採用矽閘極電極，藉此便可達到提高具備非揮發性記憶體的半導體裝置的綜合性能或可靠度之目的。另外，可達到使半導體裝置小型化之目的。另外，在採用使電洞從記憶體閘極電極MG注入到記憶體閘極絕緣膜（對應絕緣膜MZ）中的消去方式（FN方式）作為非揮發性記憶體的消去動作

的情況下，控制閘極電極CG2採用矽閘極電極，亦可獲得更容易確實地實行消去動作此等優點。

【0201】

像這樣，在構成非揮發性記憶體的記憶體單元的記憶體閘極電極以及控制閘極電極中，針對在僅控制閘極電極採用金屬閘極電極的情況下的製造方法進行檢討。其結果，本實施態樣，適用先形成虛擬控制閘極電極CG1以及記憶體閘極電極MG，之後將虛擬控制閘極電極CG1置換成金屬閘極電極（亦即控制閘極電極CG2）的技術。在採用將虛擬控制閘極電極CG1置換成金屬閘極電極（亦即控制閘極電極CG2）的技術的情況下，可獲得各種優點。例如，由於變成不需要金屬閘極電極用的金屬膜的形成圖案步驟，故具有更容易對金屬閘極電極進行加工此等優點。另外，由於係在源極、汲極區域形成之後形成金屬閘極電極，故具有金屬閘極電極不會受到源極、汲極區域形成之後的活性化退火（熱處理）的影響此等優點。藉此，可使具備非揮發性記憶體的半導體裝置的性能提高。另外，可使具備非揮發性記憶體的半導體裝置的製造產能提高。

【0202】

因此，本實施態樣，適用以下的製造步驟，亦即，在半導體基板SB上隔著絕緣膜G1（第1絕緣膜）形成虛擬控制閘極電極CG1（第1虛擬閘極電極）（對應步驟S7）。然後，以與虛擬控制閘極電極CG1相鄰的方式，在半導體基板SB上，隔著內部具有電荷累積部的絕緣膜MZ（第2絕緣膜）形成記憶體單元MC用的記憶體閘極電極MG（第1閘極電極）（對應步驟S10）。然後，以覆蓋虛擬控制閘極電極CG1以及記憶體閘極電極MG的方式，形成絕緣膜IL3（第1層間絕緣膜）（對應步驟S19）。然後，研磨絕緣膜IL3，使虛擬控制閘極電極CG1露出（對

應步驟S20)。然後，將虛擬控制閘極電極CG1除去（對應步驟S21）。然後，在虛擬控制閘極電極CG1被除去的區域，亦即在溝槽TR1（第1溝）內，形成記憶體單元MC用的控制閘極電極CG2（第2閘極電極）（對應步驟S23、S24）。控制閘極電極CG2為金屬閘極電極。

【0203】

本實施態樣的主要特徵的其中之一，為在步驟S10所形成的記憶體閘極電極MG的高度（ h_2 ），比虛擬控制閘極電極CG1的高度（ h_1 ）更低此點，以及在步驟S20，虛擬控制閘極電極CG1露出但記憶體閘極電極MG並未露出此點。另外，本實施態樣的主要特徵之中的另一個，為在將虛擬控制閘極電極CG1除去之後，在虛擬控制閘極電極CG1被除去的區域，亦即在溝槽TR1內，形成控制閘極電極CG2此點。

【0204】

在本實施態樣中，步驟S10所形成的記憶體閘極電極MG的高度（ h_2 ），比虛擬控制閘極電極CG1的高度（ h_1 ）更低。此點，可藉由在步驟S10進行矽膜PS2的回蝕直到記憶體閘極電極MG的高度（ h_2 ）比虛擬控制閘極電極CG1的高度（ h_1 ）更低為止（亦即直到 $h_1 > h_2$ 為止）來實現。在本實施態樣中，使記憶體閘極電極MG的高度（ h_2 ），比虛擬控制閘極電極CG1的高度（ h_1 ）更低，係為了在步驟S20使虛擬控制閘極電極CG1露出但記憶體閘極電極MG並未露出。

【0205】

與本實施態樣不同，當記憶體閘極電極MG的高度（ h_2 ）與虛擬控制閘極電極CG1的高度（ h_1 ）相同或是比虛擬控制閘極電極CG1的高度（ h_1 ）更高時，若在步驟S20的研磨步驟中，使虛擬控制閘極電極CG1露出的話，則記憶體閘極電

極MG也必然會露出。若在步驟S20的研磨步驟，不僅虛擬控制閘極電極CG1，連記憶體閘極電極MG也露出的話，則會有在步驟S21將虛擬控制閘極電極CG1除去時，記憶體閘極電極MG也被除去之虞。此時，為了使記憶體閘極電極MG不被除去，吾人亦考慮先用相當於上述絕緣膜IL4的遮罩層覆蓋記憶體閘極電極MG之後，再將虛擬控制閘極電極CG1蝕刻除去。然而，記憶體閘極電極MG與虛擬控制閘極電極CG1相鄰（更具體而言係隔著絕緣膜MZ相鄰），欲形成覆蓋記憶體閘極電極MG但並未覆蓋虛擬控制閘極電極CG1的遮罩層並不容易。若覆蓋記憶體閘極電極MG的遮罩層也覆蓋到虛擬控制閘極電極CG1的話，虛擬控制閘極電極CG1的除去或控制閘極電極CG2的形成會變得不順利。這會使半導體裝置的製造產能降低。而且，會使半導體裝置的製造步驟的管理變困難。

【0206】

相對於此，在本實施態樣中，係使步驟S10所形成的記憶體閘極電極MG的高度（ h_2 ）比虛擬控制閘極電極CG1的高度（ h_1 ）更低。藉此，便可在步驟S20使虛擬控制閘極電極CG1露出但記憶體閘極電極MG並未露出。此可藉由，在步驟S20的研磨步驟，在虛擬控制閘極電極CG1露出但記憶體閘極電極MG露出之前結束研磨處理而實現。本實施態樣，係使步驟S10所形成的記憶體閘極電極MG的高度（ h_2 ），比虛擬控制閘極電極CG1的高度（ h_1 ）更低，藉此便可在步驟S20更容易且確實地實現虛擬控制閘極電極CG1露出但記憶體閘極電極MG並未露出的態樣。

【0207】

然後，本實施態樣，藉由在步驟S20使虛擬控制閘極電極CG1露出但記憶體閘極電極MG並未露出，便可更容易且確實地防止在步驟S21將虛擬控制閘極電

極CG1除去時連記憶體閘極電極MG也被除去。亦即，由於在步驟S20使虛擬控制閘極電極CG1露出但記憶體閘極電極MG並未露出，故在步驟S21將虛擬控制閘極電極CG1除去時，即使不用相當於上述絕緣膜IL4的遮罩層覆蓋記憶體閘極電極MG，也能夠保護記憶體閘極電極MG。藉此，便可一邊保護記憶體閘極電極MG，一邊將虛擬控制閘極電極CG1除去，並可在虛擬控制閘極電極CG1被除去的區域，亦即在溝槽TR1內，形成控制閘極電極CG2。藉此，便可更容易且確實地製造出具備設有記憶體閘極電極MG以及由金屬閘極電極所構成的控制閘極電極CG2的非揮發性記憶體的記憶體單元MC的半導體裝置。因此，可使半導體裝置的製造產能提高。而且，半導體裝置的製造步驟的管理變得更容易。另外，可使半導體裝置的性能提高。

【0208】

像這樣，本實施態樣，由於係在將虛擬控制閘極電極CG1除去之後，才在虛擬控制閘極電極CG1被除去的區域，亦即在溝槽TR1內，形成控制閘極電極CG2，故有必要在步驟S20使虛擬控制閘極電極CG1露出但記憶體閘極電極MG並未露出。為了實現此點，便使步驟S10所形成之記憶體閘極電極MG的高度(h_2)比虛擬控制閘極電極CG1的高度(h_1)更低。因此，在本實施態樣中，滿足使記憶體閘極電極MG的高度(h_2)比虛擬控制閘極電極CG1的高度(h_1)更低，以及在將虛擬控制閘極電極CG1除去之後，在虛擬控制閘極電極CG1被除去的區域，亦即在溝槽TR1內，形成控制閘極電極CG2此二點，是很重要的。藉此，便可在形成虛擬控制閘極電極CG1以及記憶體閘極電極MG之後，更容易且確實地將虛擬控制閘極電極CG1置換成金屬閘極電極，亦即控制閘極電極CG2。

【0209】

另外，本實施態樣，在周邊電路區域RG2的金屬閘極型MISFET形成區域RG2a形成金屬閘極型MISFET。然後，金屬閘極型MISFET形成區域RG2a的金屬閘極電極(在此為閘極電極GE3)，以及記憶體單元區域RG1的金屬閘極電極(在此為控制閘極電極CG2)，均在閘極後形成製程(gate last process)形成。藉此，便可確實地製造出具備控制閘極電極(CG2)使用金屬閘極電極的非揮發性記憶體以及構成周邊電路的金屬閘極型MISFET的半導體裝置，另外，可減少製造步驟數。另外，藉由使用金屬閘極型MISFET作為構成周邊電路的MISFET，便可使半導體裝置的性能提高。

【0210】

另外，在本實施態樣中，係針對在周邊電路區域RG2形成金屬閘極型MISFET以及矽閘極型MISFET二者的情況進行說明。作為另一態樣，在周邊電路區域RG2形成金屬閘極型MISFET但並未形成矽閘極型MISFET的情況亦為可能。此時，構成周邊電路的MISFET，全部由金屬閘極型MISFET所形成，周邊電路區域RG2，具有形成金屬閘極型MISFET的金屬閘極型MISFET形成區域RG2a，但不具有形成矽閘極型MISFET的矽閘極型MISFET形成區域RG2b。

【0211】

(實施態樣2)圖36~圖41，為本實施態樣2的半導體裝置的製造步驟中的主要部位剖面圖，顯示出與上述圖4~圖8、圖10~圖13以及圖15~圖32幾乎相同的剖面區域。

【0212】

本實施態樣2的製造步驟，形成 n^+ 型半導體區域SD1的方法與上述實施態樣1不同，除此以外，本實施態樣2的製造步驟，與上述實施態樣1的製造步驟幾乎

相同。因此，本實施態樣2，主要針對與上述實施態樣1的製造步驟的相異點進行說明。

【0213】

在本實施態樣2中，亦與上述實施態樣1同樣進行到上述步驟S7，以獲得上述圖7的構造。

【0214】

然後，本實施態樣2，如圖36所示的，在半導體基板SB上，以覆蓋堆疊體LM1以及堆疊膜LF1的方式，形成（堆積）絕緣膜IL11。絕緣膜IL11，宜由與絕緣膜IL1（以及帽蓋絕緣膜CP1）不同的絕緣材料所構成。例如，絕緣膜IL1由氮化矽膜所構成，絕緣膜IL11由氧化矽膜所構成。絕緣膜IL11可用CVD法等形成。

【0215】

然後，利用異向性蝕刻技術，回蝕（蝕刻、乾蝕刻、異向性蝕刻）絕緣膜IL11。藉此，如圖37所示的，在堆疊體LM1的側壁上以及堆疊膜LF1的側壁上，選擇性地殘留該絕緣膜IL11，形成側壁間隔件（側壁、側壁絕緣膜）SW2。側壁間隔件SW2形成在堆疊體LM1的兩側壁上。在此，對之後記憶體閘極電極MG形成側的堆疊體LM1的側壁上所形成的側壁間隔件SW2附上符號SW2a，稱為側壁間隔件SW2a。側壁間隔件SW2a所形成之平面區域，與之後記憶體閘極電極MG所形成之平面區域幾乎一致。

【0216】

然後，如圖38所示的，在半導體基板SB上，用微影技術形成光阻層（光阻圖案、抗蝕劑層、抗蝕劑圖案、遮罩層）RP1。光阻層RP1，以覆蓋周邊電路區域RG2全部，且覆蓋記憶體單元區域RG1之中的 n^- 型半導體區域EX2以及 n^+ 型半

導體區域SD2（源極、汲極之中的一方，在此係對應汲極用的半導體區域）形成預定區域的方式形成。記憶體單元區域RG1之中的n⁺型半導體區域SD1（源極、汲極之中的另一方，在此係對應源極用的半導體區域）形成預定區域，並未被光阻層RP1所覆蓋，從光阻層RP1露出。因此，光阻層RP1的端部（側面）位在堆疊體LM1上，側壁間隔件SW2a並未被光阻層RP1所覆蓋而露出，惟側壁間隔件SW2a的一部分被光阻層RP1所覆蓋的情況亦為可能。

【0217】

然後，如圖38所示的，將光阻層RP1、堆疊體LM1以及側壁間隔件SW2a當作遮罩（離子注入阻擋遮罩）使用，以離子注入法將n型雜質（例如砷（As）或是磷（P）等）導入半導體基板SB（p型井PW1），藉此形成n⁺型半導體區域（雜質擴散層）SD1。在圖38中，用來形成n⁺型半導體區域SD1的離子注入動作以箭號示意地表示。

【0218】

n⁺型半導體區域SD1，在記憶體單元區域RG1中，藉由堆疊體LM1的側壁上的側壁間隔件SW2a作為遮罩（離子注入阻擋遮罩）的功能，以自動對準於堆疊體LM1的側壁上的側壁間隔件SW2a的方式形成。亦即，在進行用來形成n⁺型半導體區域SD1的離子注入步驟時，由於對側壁間隔件SW2a的正下方的基板區域的雜質離子的注入被阻擋，故n⁺型半導體區域SD1，以與堆疊體LM1（虛擬控制閘極電極CG1）隔著側壁間隔件SW2a的厚度T1的方式形成。在此，側壁間隔件SW2a的厚度T1，與沿著之後所形成的記憶體閘極電極MG的閘極長度方向的側壁間隔件SW2a的尺寸（厚度）對應，顯示於圖37。

【0219】

在進行用來形成 n^+ 型半導體區域SD1的離子注入步驟時，由於光阻層RP1亦具有作為遮罩（離子注入阻擋遮罩）的功能，故在記憶體單元區域RG1的半導體基板SB之中的後來 n^- 型半導體區域EX2以及 n^+ 型半導體區域SD2的形成預定區域並未注入雜質離子，另外，在周邊電路區域RG2的半導體基板SB也並未注入雜質離子。

【0220】

在用來形成 n^+ 型半導體區域SD1的離子注入步驟之後，將光阻層RP1除去。然後，利用蝕刻等將側壁間隔件SW2除去。圖39係顯示出側壁間隔件SW2被除去的階段。除去側壁間隔件SW2的蝕刻步驟，宜以比起側壁間隔件SW2而言絕緣膜IL1、矽膜PS1、帽蓋絕緣膜CP1、虛擬控制閘極電極CG1以及半導體基板SB更不易受到蝕刻的條件，進行蝕刻。亦即，宜以比起側壁間隔件SW2的受到蝕刻的蝕刻速度而言絕緣膜IL1、矽膜PS1、帽蓋絕緣膜CP1、虛擬控制閘極電極CG1以及半導體基板SB的蝕刻速度更小的條件，進行側壁間隔件SW2的蝕刻。藉此，便可選擇性地蝕刻側壁間隔件SW2。用來除去側壁間隔件SW2的蝕刻，可適當使用濕蝕刻。

【0221】

以後的步驟，本實施態樣2與上述實施態樣1基本上相同，即進行上述步驟S8以及步驟S8以後的步驟。

【0222】

但是，本實施態樣2，在步驟S7之後且步驟S8之前形成 n^+ 型半導體區域SD1。因此，在本實施態樣2中，在步驟S14，只要形成上述 n^- 型半導體區域EX2、EX3、EX4即可，在步驟S14不形成 n^- 型半導體區域EX1。亦即，在本實施態樣2中，在

步驟S14，不進行用來形成 n^- 型半導體區域EX1的離子注入步驟。另外，在本實施態樣2中，在步驟S16，只要形成上述 n^+ 型半導體區域SD2、SD3、SD4即可，在步驟S16不形成 n^+ 型半導體區域SD1。亦即，在本實施態樣2中，在步驟S16不進行用來形成 n^+ 型半導體區域SD1的離子注入步驟。

【0223】

另外，圖40顯示出在本實施態樣2中進行到步驟S12的階段。側壁間隔件SW2a的厚度T1，與記憶體閘極電極MG的閘極長度以及絕緣膜MZ的厚度（對應隔設在記憶體閘極電極MG與虛擬控制閘極電極CG1之間的部分的絕緣膜MZ的厚度）的合計值幾乎一致。因此， n^+ 型半導體區域SD1，係形成為與記憶體閘極電極MG的側壁（隔著絕緣膜MZ與虛擬控制閘極電極CG1鄰接之側的相反側的側壁）約略對齊。

【0224】

另外，圖41顯示出在本實施態樣2中進行到步驟S16的階段。如圖41所示的，汲極用的半導體區域（對應上述半導體區域MD），係由低雜質濃度的 n^- 型半導體區域EX2以及高雜質濃度的 n^+ 型半導體區域SD2所形成，具有LDD構造。另一方面，如圖41所示的，源極用的半導體區域（對應上述半導體區域MS），係由高雜質濃度的 n^+ 型半導體區域SD1所形成，不具有LDD構造。

【0225】

本實施態樣2，除了上述實施態樣1所得到的功效之外，更可獲得以下的功效。

【0226】

亦即，上述實施態樣1，在步驟S10所形成之記憶體閘極電極MG的高度（ h_2 ）比虛擬控制閘極電極CG1的高度（ h_1 ）更低。當記憶體閘極電極MG的高度較低時，在步驟S16中進行用來形成 n^+ 型半導體區域SD1的離子注入步驟時，會有雜質離子穿越記憶體閘極電極MG而也注入到記憶體閘極電極MG的正下方的基板區域的現象發生的疑慮。該現象，可能會導致特性劣化，故若欲防止該現象，則必須嚴格控制步驟S10的回蝕步驟、嚴格控制記憶體閘極電極MG的高度，以及嚴格控制步驟S16中的用來形成 n^+ 型半導體區域SD1的離子注入步驟，然而這會導致實行半導體裝置的製造步驟的管理變得更困難。

【0227】

相對於此，本實施態樣2，並非以記憶體閘極電極MG，而是以側壁間隔件SW2a發揮作為遮罩（離子注入阻擋遮罩）的功能，利用離子注入方式形成 n^+ 型半導體區域SD1。與上述實施態樣1同樣，在本實施態樣2中，記憶體閘極電極MG的高度（ h_2 ）亦有必要比虛擬控制閘極電極CG1的高度（ h_1 ）更低，惟側壁間隔件SW2a的高度並無該等限制條件。因此，可充分確保側壁間隔件SW2a的高度，故在進行用來形成 n^+ 型半導體區域SD1的離子注入步驟時，可確實地防止雜質離子穿越側壁間隔件SW2a而也注入到側壁間隔件SW2a的正下方的基板區域的現象發生。因此，可使半導體裝置的性能更進一步提高。另外，由於無須嚴格控制側壁間隔件SW2的回蝕步驟、嚴格控制側壁間隔件SW2的高度，以及嚴格控制用來形成 n^- 型半導體區域EX1的離子注入步驟，故實行半導體裝置的製造步驟的管理變得更容易。

【0228】

因此，在本實施態樣2中，側壁間隔件SW2的高度，宜比在步驟S10所形成之記憶體閘極電極MG的高度（ h_2 ）更高。尤其，側壁間隔件SW2a的高度（ h_5 ），宜比在步驟S10所形成之記憶體閘極電極MG的高度（ h_2 ）更高（ $h_5 > h_2$ ）。藉此，便能夠以比之後形成的記憶體閘極電極MG高度更高的側壁間隔件SW2a發揮作為遮罩（離子注入阻擋遮罩）的功能，利用離子注入方式形成 n^+ 型半導體區域SD1。藉此，便可防止雜質離子注入到側壁間隔件SW2a的正下方的基板區域的現象，並確實地享受不是以記憶體閘極電極MG而是以側壁間隔件SW2a發揮作為遮罩（離子注入阻擋遮罩）的功能形成 n^+ 型半導體區域SD1的優點。

【0229】

另外，如上所述的，當提及高度時，係指與半導體基板SB的主面大略垂直之方向的高度。因此，側壁間隔件SW2a的高度（ h_5 ）對應從半導體基板SB的主面（p型井PW1表面）到側壁間隔件SW2a的最上部（頂部）的距離（高度）。

【0230】

另外，若使側壁間隔件SW2的高度，特別是側壁間隔件SW2a的高度（ h_5 ），與堆疊體LM1的高度幾乎相同則更好，藉此，在進行用來形成 n^+ 型半導體區域SD1的離子注入步驟時，便可更確實地防止雜質離子注入到側壁間隔件SW2a的正下方的基板區域。

【0231】

（實施態樣3）若在步驟S15形成側壁間隔件SW，則在記憶體單元區域RG1中，會在堆疊體LM1的側壁（隔著絕緣膜MZ與記憶體閘極電極MG鄰接之側的相反側的側壁）上以及記憶體閘極電極MG的側壁（隔著絕緣膜MZ與堆疊體LM1鄰接之側的相反側的側壁）上，形成側壁間隔件SW。然而，當記憶體閘極電極

MG的高度比虛擬控制閘極電極CG1的高度更低時，可能會有在記憶體閘極電極MG上也形成了側壁間隔件SW的情況，以及在記憶體閘極電極MG上並未形成側壁間隔件SW的情況。

【0232】

上述實施態樣1，如上述圖18所示的，係針對在記憶體閘極電極MG上並未形成側壁間隔件SW的情況進行說明。因此，在圖18的情況下，若在步驟S15形成側壁間隔件SW，則記憶體閘極電極MG的側壁會被側壁間隔件SW所覆蓋，惟記憶體閘極電極MG的頂面不會被側壁間隔件SW所覆蓋而露出。此時（在圖18的情況下），若在步驟S18形成金屬矽化物層SL，則如圖21所示的，會在側壁間隔件SW並未覆蓋之部分的記憶體閘極電極MG的表面（亦即記憶體閘極電極MG的上部）形成金屬矽化物層SL。當在記憶體閘極電極MG的表面（上部）形成了金屬矽化物層SL時，由於可利用該金屬矽化物層SL降低記憶體閘極電極MG的電阻，故即使利用無摻雜的矽膜（聚矽膜）形成記憶體閘極電極MG，也不會發生關於記憶體閘極電極MG的電阻的問題。

【0233】

另一方面，當在步驟S15形成側壁間隔件SW時，也可能會有如圖42所示的，形成了記憶體閘極電極MG全部被側壁間隔件SW所覆蓋，而記憶體閘極電極MG並無露出部位之狀態的情況。亦即，在圖42的情況下，記憶體閘極電極MG，形成除了與絕緣膜MZ接觸的部分以外其他部分均被側壁間隔件SW所覆蓋的狀態。此時（在圖42的情況下），即使在步驟S18形成金屬矽化物層SL，如圖43所示的，在記憶體閘極電極MG的表面上也不會形成金屬矽化物層SL。在此，圖

42以及圖43，為本實施態樣3的半導體裝置的製造步驟中的主要部位剖面圖，圖42與上述圖18對應相同的步驟階段，圖43與上述圖21對應相同的步驟階段。

【0234】

另外，當在步驟S15形成側壁間隔件SW時，如圖44所示的，亦可能會有記憶體閘極電極MG全部被側壁間隔件SW所覆蓋，記憶體閘極電極MG形成並無露出部位的狀態，同時覆蓋記憶體閘極電極MG的側壁間隔件SW形成2段的情況。其中，在圖44的情況下，覆蓋記憶體閘極電極MG的側壁間隔件SW並未分離成2個部分，故圖44的情況，亦與上述圖42的情況相同，記憶體閘極電極MG，形成除了與絕緣膜MZ接觸的部分以外，其他部分均被側壁間隔件SW所覆蓋的狀態。此時（圖44的情況），即使在步驟S18形成金屬矽化物層SL，如圖45所示的，在記憶體閘極電極MG的表面上也不會形成金屬矽化物層SL。在此，圖44以及圖45，為本實施態樣3的半導體裝置的製造步驟中的主要部位剖面圖，圖44與上述圖18對應相同的步驟階段，圖45與上述圖21對應相同的步驟階段。

【0235】

當在記憶體閘極電極MG的表面上並未形成金屬矽化物層SL時（圖43的情況以及圖45的情況），由於無法利用金屬矽化物層SL降低記憶體閘極電極MG的電阻，故記憶體閘極電極MG，更宜由導入了雜質（n型或是p型雜質）的矽膜（摻雜聚矽膜）所形成。藉此，便可降低記憶體閘極電極MG的電阻。另外，當在記憶體閘極電極MG的表面上並未形成金屬矽化物層SL時（圖43的情況以及圖45的情況），在所製造的半導體裝置中，也會構成在記憶體閘極電極MG的表面上並未形成金屬矽化物層（SL）的構造。

【0236】

另外，在圖42的情況或圖44的情況下，由於不僅在記憶體閘極電極MG的側壁上，在記憶體閘極電極MG的頂面上也形成了側壁間隔件SW，故亦可在步驟S20的研磨處理中，使覆蓋記憶體閘極電極MG的頂面的側壁間隔件SW發揮作為保護膜（研磨保護膜、研磨阻擋膜）的功能。因此，在步驟S20的研磨處理中，即使發生過度研磨的情況，亦可防止記憶體閘極電極MG露出。藉此，便可使半導體裝置的製造產能提高。另外，實行半導體裝置的製造步驟的管理變得更容易。

【0237】

另外，當在步驟S15形成側壁間隔件SW時，如圖46所示的，亦可能會有形成了覆蓋記憶體閘極電極MG的側壁間隔件SW，同時覆蓋記憶體閘極電極MG的側壁間隔件SW分離成2個部分的狀態。亦即，圖46的情況，係對應在記憶體閘極電極MG的側壁上以及頂面上分別形成了側壁間隔件SW，但形成在記憶體閘極電極MG的側壁上的側壁間隔件SW與形成在記憶體閘極電極MG的頂面上的側壁間隔件SW互相分離的情況。另一方面，上述圖44的情況，係對應形成在記憶體閘極電極MG的側壁上的側壁間隔件SW與形成在記憶體閘極電極MG的頂面上的側壁間隔件SW並未分離而連接成一體的情況，記憶體閘極電極MG並未露出。在此，圖46以及圖47為本實施態樣3的半導體裝置的製造步驟中的主要部位剖面圖，圖46與上述圖18對應相同的步驟階段，圖47與上述圖21對應相同的步驟階段。

【0238】

在圖46的情況下，由於形成在記憶體閘極電極MG的側壁上的側壁間隔件SW與形成在記憶體閘極電極MG的頂面上的側壁間隔件SW互相分離，故記憶體

閘極電極MG的表面的一部分並未被側壁間隔件SW所覆蓋而露出。此時（圖46的情況），若在步驟S18形成金屬矽化物層SL，則如圖47所示的，會在並未被側壁間隔件SW所覆蓋的部分的記憶體閘極電極MG的表面上形成金屬矽化物層SL。當如圖47所示的在記憶體閘極電極MG的表面上形成了金屬矽化物層SL時，由於可利用該金屬矽化物層SL降低記憶體閘極電極MG的電阻，故即使記憶體閘極電極MG由無摻雜的矽膜（聚矽膜）所形成，也不會發生關於記憶體閘極電極MG的電阻的問題。

【0239】

另外，圖46的情況亦同，由於不僅在記憶體閘極電極MG的側壁上，在記憶體閘極電極MG的頂面上也形成了側壁間隔件SW，故亦可在步驟S20的研磨處理中，使記憶體閘極電極MG的頂面上的側壁間隔件SW發揮作為保護膜（研磨保護膜、研磨阻擋膜）的功能。因此，在步驟S20的研磨處理中，即使發生過度研磨的情況，亦可防止記憶體閘極電極MG露出。藉此，便可使半導體裝置的製造產能提高。另外，半導體裝置的製造步驟的管理變得更容易實行。

【0240】

例如，在使記憶體閘極電極MG的閘極長度縮小（例如30~40nm左右），並使絕緣膜IL2的堆積膜厚比記憶體閘極電極MG的閘極長度更大的情況下，側壁間隔件SW的厚度會變得比記憶體閘極電極MG的閘極長度更大，故容易變成如圖42所示的從記憶體閘極電極MG的頂面到側壁全部被側壁間隔件SW所覆蓋的狀態。另外，若側壁間隔件SW的厚度較小，則如圖44所示的，覆蓋記憶體閘極電極MG的側壁間隔件SW容易變成2段。另外，若記憶體閘極電極MG的閘極長

度較大，則如圖46所示的，形成在記憶體閘極電極MG的側壁上的側壁間隔件SW與形成在記憶體閘極電極MG的頂面上的側壁間隔件SW容易分離。

【0241】

圖48係顯示出在步驟S15形成側壁間隔件SW而獲得上述圖42的構造之後，進行了步驟S16（ n^+ 型半導體區域SD1、SD2、SD3、SD4形成步驟）以及步驟S17（活性化退火）的階段。在獲得圖48的構造之後，以自動對準矽化物製程形成了金屬矽化物層SL的情況係對應上述的圖43。

【0242】

圖49係顯示出在獲得圖48的構造之後，利用濕蝕刻削去（除去）側壁間隔件SW的表層部，使側壁間隔件SW變薄的狀態。在圖48的階段，記憶體閘極電極MG被側壁間隔件SW所覆蓋，故不具有露出部位，惟利用濕蝕刻削去（除去）側壁間隔件SW的表層部，在圖49的階段，記憶體閘極電極MG的一部分（頂面）便露出。另外，該濕蝕刻，並非將側壁間隔件SW的全部除去，而是將側壁間隔件SW的一部分（厚度的一部分）除去，使記憶體閘極電極MG的一部分（頂面）露出。因此，在圖49的階段的側壁間隔件SW的厚度比在圖48的階段的側壁間隔件SW的厚度更薄，惟在圖49的階段，在堆疊體LM1、LM2、LM3的側壁上，側壁間隔件SW仍殘存著。另外，在圖49的階段，記憶體閘極電極MG的一部分（頂面）並未被側壁間隔件SW所覆蓋而露出，惟記憶體閘極電極MG的其他部分（側壁）仍維持在被側壁間隔件SW所覆蓋的狀態。在此，圖48～圖50為本實施態樣3的半導體裝置的製造步驟中的主要部位剖面圖，圖48與上述圖19對應相同的步驟階段，圖50與上述圖21對應相同的步驟階段。

【0243】

在圖48的階段，記憶體閘極電極MG，被側壁間隔件SW所覆蓋，而不具有露出部位，故在該狀態下，即使進行自動對準矽化物製程，如上述圖43所示的，在記憶體閘極電極MG的表面上也不會形成金屬矽化物層SL。然而，如圖49所示的，若對側壁間隔件SW的表層部進行濕蝕刻，使記憶體閘極電極MG的一部分（頂面）露出，並在步驟S18形成金屬矽化物層SL，則如圖50所示的，會在並未被側壁間隔件SW所覆蓋的部分的記憶體閘極電極MG的表面（亦即記憶體閘極電極MG的上部）上形成金屬矽化物層SL。在此，圖50與上述圖43對應相同的步驟階段。如圖50所示的，在記憶體閘極電極MG的表面（上部）上形成了金屬矽化物層SL的情況下，便可利用該金屬矽化物層SL降低記憶體閘極電極MG的電阻。因此，即使記憶體閘極電極MG由無摻雜的矽膜（聚矽膜）所形成，也不會發生關於記憶體閘極電極MG的電阻的問題。

【0244】

（實施態樣4）本實施態樣4，係關於側壁間隔件（對應上述側壁間隔件SW者）的相關技術。

【0245】

圖51～圖56係用來說明本實施態樣4的技術問題的說明圖。圖51～圖56顯示出形成MISFET的中途的剖面圖，圖51、圖53以及圖55對應形成了側壁間隔件形成用的絕緣膜IL101的階段，圖52、圖54以及圖56顯示出回蝕該絕緣膜IL101而形成側壁間隔件SW101的階段。其中，圖51接下來的步驟階段為圖52，圖53接下來的步驟階段為圖54，圖55接下來的步驟階段為圖56。

【0246】

亦即，形成MISFET，如圖51所示的，在半導體基板SB上形成p型井PW101，在p型井PW101上隔著閘極絕緣膜G101形成閘極電極GE101，以閘極電極GE101作為遮罩實行離子注入步驟，藉此形成 n^- 型半導體區域EX101。然後，如圖51所示的，在半導體基板SB的主面上，以覆蓋閘極電極GE101的方式，形成側壁間隔件形成用的絕緣膜IL101。 n^- 型半導體區域EX101，為源極、汲極的LDD用的低濃度半導體區域，相當於上述 n^- 型半導體區域EX4。在絕緣膜IL101形成之後，如圖52所示的，利用異向性蝕刻技術回蝕絕緣膜IL101，藉此在閘極電極GE101的側壁上形成側壁間隔件SW101。

【0247】

在圖53以及圖54的情況下，亦進行與圖51以及圖52的情況相同的步驟。亦即，如圖53所示的，在形成側壁間隔件形成用的絕緣膜IL101之後，如圖54所示的，利用異向性蝕刻技術回蝕該絕緣膜IL101，藉此在閘極電極GE101的側壁上形成側壁間隔件SW101。在圖55以及圖56的情況下，亦進行與圖51以及圖52的情況相同的步驟。亦即，如圖55所示的，在形成側壁間隔件形成用的絕緣膜IL101之後，如圖56所示的，利用異向性蝕刻技術回蝕該絕緣膜IL101，藉此在閘極電極GE101的側壁上形成側壁間隔件SW101。在如圖52、圖54以及圖56所示的形成側壁間隔件SW101之後，在此雖並未圖示，惟藉由將閘極電極GE101以及側壁間隔件SW101當作離子注入阻擋遮罩使用並實行離子注入步驟，以形成源極、汲極用的高濃度半導體區域（相當於上述 n^+ 型半導體區域SD4）。

【0248】

其中，圖53以及圖54的情況，比起圖51以及圖52的情況而言，絕緣膜IL101的堆積膜厚T102更厚，藉此，側壁間隔件SW101的厚度T101變厚。另外，由於

圖55以及圖56的情況，與圖53以及圖54的情況，其絕緣膜IL101的堆積膜厚T102均相同，故側壁間隔件SW101的厚度T101幾乎相同，惟圖55以及圖56的情況，比起圖53以及圖54的情況而言，閘極電極GE101的高度更高，藉此，側壁間隔件SW101的高度變高。在此，側壁間隔件SW101的厚度T101，與沿著閘極電極GE101的閘極長度方向的側壁間隔件SW101的尺寸（厚度）對應。

【0249】

根據MISFET的規格（要求特性），有必要使側壁間隔件SW101的厚度T101較厚。例如，若使側壁間隔件SW101的厚度T101較厚，便可使源極、汲極用的高濃度半導體區域（相當於上述 n^+ 型半導體區域SD4）的位置離閘極電極GE101的側壁較遠，故可使MISFET的耐壓提高。因此，在欲形成高耐壓的MISFET的情況下，便有必要使側壁間隔件SW101的厚度T101較厚。

【0250】

然而，如圖54所示的，在側壁間隔件SW101的厚度T101較厚的情況下，會有以下問題產生的疑慮。

【0251】

亦即，在如圖52所示的側壁間隔件SW101的厚度T101較薄的情況下，即使在側壁間隔件SW101之中的離開閘極電極GE101的位置，側壁間隔件SW101的高度也不會降低太多。因此，在如圖52所示的側壁間隔件SW101的厚度T101較薄的情況下，側壁間隔件SW101的幾乎全部均可發揮作為離子注入阻擋遮罩的功能。然而，如圖54所示的，在側壁間隔件SW101的厚度T101較厚的情況下，當閘極電極GE101的高度較低時，在側壁間隔件SW101中，隨著越遠離閘極電極GE101，側壁間隔件SW的高度越低。因此，在如圖54所示的側壁間隔件SW101

的厚度T101較厚的情況下，在側壁間隔件SW101之中高度較低的部分，無法發揮作為離子注入阻擋遮罩的功能，雜質離子可能會通過。

【0252】

因此，在使形成於閘極電極GE101的側壁上的側壁間隔件SW的厚度T101較厚的情況下，如圖55以及圖56所示的，提高閘極電極GE101的高度有其效用。若提高閘極電極GE101的高度，即使形成在該閘極電極GE101的側壁上的側壁間隔件SW101的厚度T101較厚，在側壁間隔件SW101之中的離開閘極電極GE101的位置也能夠確保側壁間隔件SW101的高度。因此，如圖56所示的，若提高閘極電極GE101的高度，即使在側壁間隔件SW101的厚度T101較厚的情況下，側壁間隔件SW101的幾乎全部仍均可發揮作為離子注入阻擋遮罩的功能，如是便更容易防止雜質離子通過側壁間隔件SW101的現象發生。

【0253】

然而，如圖56所示的提高閘極電極GE101的高度，隨著層間絕緣膜的厚度增加，形成於該層間絕緣膜的接觸孔的深寬比也會變大。接觸孔的深寬比變大，會導致接觸孔難以形成，而且，也會導致該接觸孔難以被栓塞填埋，故半導體裝置的製造步驟會變得難以進行。另外，也會導致半導體裝置的製造產能降低。另外，在隨著提高閘極電極GE101的高度而增加層間絕緣膜的厚度的情況下，為了抑制接觸孔的深寬比，吾人亦考慮擴大接觸孔的直徑，然而這會導致半導體裝置的平面尺寸的擴大，而不利於半導體裝置的小型化（小面積化）。

【0254】

因此，在側壁間隔件SW101的厚度T101較厚的情況下，為了形成可確實地發揮作為離子注入阻擋遮罩之功能的形狀的側壁間隔件SW101，宜提高閘極電

極GE101的高度。然而，為了確實地形成接觸孔或埋入該接觸孔的栓塞，則不宜提高閘極電極GE101的高度。因此，形成可確實地發揮作為離子注入阻擋遮罩之功能的形狀的側壁間隔件SW101，以及確實地形成接觸孔或埋入該接觸孔的栓塞，欲同時成立並不容易。

【0255】

相對於此，上述實施態樣1，即使在形成於閘極電極GE2的側壁上的側壁間隔件SW的寬度T2較寬的情況下，藉由提高上述堆疊體LM3的高度 h_3 （高度 h_3 顯示於上述圖16以及圖18），便可使側壁間隔件SW形成能夠確實地發揮作為離子注入阻擋遮罩之功能的形狀。例如，使上述堆疊體LM3的高度 h_3 ，比側壁間隔件SW的寬度T2更大（ $h_3 > T2$ ），藉此，便可使側壁間隔件SW形成能夠確實地發揮作為離子注入阻擋遮罩之功能的形狀。藉此，便可在使側壁間隔件SW確實地發揮作為離子注入阻擋遮罩之功能的情況下實行離子注入步驟，故可更確實地形成上述 n^+ 型半導體區域SD4，進而能夠更確實地提高半導體裝置的性能。

【0256】

在此，側壁間隔件SW的厚度T2，與沿著該側壁間隔件SW形成於側壁的閘極電極的閘極長度方向的側壁間隔件SW的尺寸（厚度）對應，顯示於上述圖18。另外，堆疊體LM3的高度 h_3 ，對應從半導體基板SB（p型井PW3）與絕緣膜G3之間的界面到構成堆疊體LM3的帽蓋絕緣膜CP3的頂面的高度（距離），顯示於上述圖16以及圖18。因此，堆疊體LM3的高度 h_3 ，與絕緣膜G3的厚度、閘極電極GE2的厚度以及帽蓋絕緣膜CP3的厚度的合計值幾乎一致。堆疊體LM3的高度 h_3 ，可藉由在上述步驟S5所形成之矽膜PS1的厚度（堆積膜厚），或在上述步驟

S6所形成之絕緣膜IL1的厚度（堆積膜厚）進行調整。另外，側壁間隔件SW的寬度T2，可藉由絕緣膜IL2的堆積膜厚進行調整。

【0257】

另外，藉由增加帽蓋絕緣膜CP3的厚度可提高堆疊體LM3的高度 h_3 ，惟在上述步驟S20的研磨步驟，帽蓋絕緣膜CP1、CP2、CP3會被除去。因此，即使為了提高堆疊體LM3的高度 h_3 而增加帽蓋絕緣膜CP1、CP2、CP3的厚度，也不會導致層間絕緣膜的厚度變厚，故可抑制絕緣膜IL3、IL6的合計厚度。藉由抑制絕緣膜IL3、IL6的合計厚度，便可抑制形成於絕緣膜IL3、IL6的接觸孔CT的深寬比，故形成接觸孔CT變得更容易，另外，用栓塞PG填埋該接觸孔CT也變得更容易。因此，半導體裝置的製造步驟變得更容易實行，另外，可使半導體裝置的製造產能提高。另外，藉由抑制絕緣膜IL3、IL6的合計厚度，即使不擴大接觸孔CT的直徑也能夠抑制接觸孔CT的深寬比，故有利於半導體裝置的小型化（小面積化）。

【0258】

亦即，在上述實施態樣1中，提高上述堆疊體LM3的高度 h_3 ，以及抑制絕緣膜IL3、IL6的合計厚度，可同時成立。因此，形成可確實地發揮作為離子注入阻擋遮罩之功能的形狀的側壁間隔件SW，以及確實地形成接觸孔CT或埋入該接觸孔CT的栓塞PG，亦可確實地同時成立。

【0259】

接著，參照圖57～圖67，針對分別製作出厚度不同之側壁間隔件SW的方法進行說明。圖57～圖67為本實施態樣4的半導體裝置的製造步驟中的主要部位剖

面圖，其顯示出與上述圖4～圖8、圖10～圖13以及圖15～圖32幾乎相同的剖面區域。

【0260】

參照圖57～圖67而在以下所說明之本實施態樣4的製造步驟，其形成側壁間隔件SW的方法與上述實施態樣1不同，除此以外，與上述實施態樣1的製造步驟幾乎相同。因此，在此，主要針對其與上述實施態樣1的製造步驟的相異點進行說明。

【0261】

在本實施態樣4中，亦與上述實施態樣1同樣進行到上述步驟S14，獲得上述圖16的構造。

【0262】

然後，本實施態樣4，如圖57所示的，在半導體基板SB的主面全面上形成（堆積）絕緣膜IL21。絕緣膜IL21，例如，由氮化矽膜等所構成，可用CVD法等形式形成。絕緣膜IL21，係為了在以後的回蝕步驟保護半導體基板SB而形成。絕緣膜IL21，在半導體基板SB上，以覆蓋記憶體閘極電極MG、堆疊體LM1、堆疊體LM2以及堆疊體LM3的方式形成。

【0263】

然後，如圖58所示的，在半導體基板SB的主面上，亦即在絕緣膜IL21上，形成絕緣膜IL22。絕緣膜IL22，係用來形成後述的側壁間隔件SW3的絕緣膜。絕緣膜IL22，係由與絕緣膜IL21不同的絕緣材料所構成，例如，由氧化矽膜等所構成，可用CVD法等形式形成。

【0264】

然後，利用異向性蝕刻技術回蝕（蝕刻、乾蝕刻、異向性蝕刻）絕緣膜IL22。藉此，如圖59所示的，在堆疊體LM1以及記憶體閘極電極MG的側壁（隔著絕緣膜MZ彼此相鄰之側的相反側的側壁）上、在堆疊體LM2的側壁上以及在堆疊體LM3的側壁上，選擇性地殘留該絕緣膜IL22，形成側壁間隔件（側壁、側壁絕緣膜）SW3。另外，側壁間隔件SW3形成在絕緣膜IL21上。因此，側壁間隔件SW3，在堆疊體LM2的兩側壁上、在堆疊體LM3的兩側壁上、在堆疊體LM1的側壁之中的隔著絕緣膜MZ與記憶體閘極電極MG鄰接之側的相反側的側壁上以及在記憶體閘極電極MG的側壁之中的隔著絕緣膜MZ與堆疊體LM1鄰接之側的相反側的側壁上，隔著絕緣膜IL21形成。

【0265】

在回蝕絕緣膜IL22以形成側壁間隔件SW3時，宜以比起絕緣膜IL22而言絕緣膜IL21更不易受到蝕刻的蝕刻條件進行回蝕。亦即，宜以比起絕緣膜IL22的蝕刻速度而言絕緣膜IL21的蝕刻速度較小（較慢）的條件（蝕刻條件）進行回蝕。藉此，便可使絕緣膜IL21發揮作為蝕刻阻擋層的功能。為了防止半導體基板SB的基板區域（Si區域）受到蝕刻，絕緣膜IL21宜殘留成層狀。

【0266】

另外，在回蝕絕緣膜IL22以形成側壁間隔件SW3時，由於宜採用可蝕刻絕緣膜IL22且盡可能不會蝕刻到絕緣膜IL21的蝕刻條件，故絕緣膜IL22宜選擇相對於絕緣膜IL21而言蝕刻選擇比較高的材料。在此觀點之下，絕緣膜IL21宜為氮化矽膜，絕緣膜IL22宜為氧化矽膜。

【0267】

然後，將記憶體單元區域RG1以及金屬閘極型MISFET形成區域RG2a的側壁間隔件SW3除去，留下矽閘極型MISFET形成區域RG2b的側壁間隔件SW3。此可依照以下的方式進行。亦即，如圖60所示的，首先，利用微影技術在半導體基板SB上形成覆蓋矽閘極型MISFET形成區域RG2b並露出記憶體單元區域RG1以及金屬閘極型MISFET形成區域RG2a的光阻層（光阻圖案、抗蝕劑層、抗蝕劑圖案、遮罩層）RP2。然後，利用蝕刻將形成於記憶體單元區域RG1以及金屬閘極型MISFET形成區域RG2a的側壁間隔件SW3除去。此時，由於記憶體單元區域RG1以及金屬閘極型MISFET形成區域RG2a的側壁間隔件SW3並未被光阻層RP2所覆蓋而露出，故被蝕刻除去，惟矽閘極型MISFET形成區域RG2b的側壁間隔件SW3由於被光阻層RP2所覆蓋，故並未被除去而殘留下來。圖60係顯示出該階段。之後，將光阻層RP2除去。

【0268】

用來除去記憶體單元區域RG1以及金屬閘極型MISFET形成區域RG2a的側壁間隔件SW3的蝕刻，宜以比起側壁間隔件SW3而言絕緣膜IL21更不易受到蝕刻的蝕刻條件進行。亦即，宜以比起側壁間隔件SW3的蝕刻速度而言絕緣膜IL21的蝕刻速度較小（較慢）的條件（蝕刻條件）進行蝕刻。藉此，便可使絕緣膜IL21發揮作為蝕刻阻擋層的功能。為了防止半導體基板SB的基板區域（Si區域）受到蝕刻，絕緣膜IL21宜殘留成層狀。

【0269】

然後，如圖61所示的，在半導體基板SB的主面上，亦即在絕緣膜IL21上，以覆蓋側壁間隔件SW3的方式，形成絕緣膜IL23。絕緣膜IL23係用來形成後述的

側壁間隔件SW4的絕緣膜。絕緣膜IL23，係由與絕緣膜IL21不同的絕緣材料所構成，例如，由氧化矽膜等所構成，可用CVD法等形式。

【0270】

然後，利用異向性蝕刻技術回蝕（蝕刻、乾蝕刻、異向性蝕刻）絕緣膜IL23。藉此，如圖62所示的，在堆疊體LM1以及記憶體閘極電極MG的側壁（隔著絕緣膜MZ彼此相鄰之側的相反側的側壁）上、在堆疊體LM2的側壁上以及在堆疊體LM3的側壁上，選擇性地殘留該絕緣膜IL23，形成側壁間隔件（側壁、側壁絕緣膜）SW4。另外，側壁間隔件SW4形成在絕緣膜IL21上。因此，在堆疊體LM2的兩側壁上，隔著絕緣膜IL21，形成側壁間隔件SW4，另外，在堆疊體LM3的兩側壁上，隔著絕緣膜IL21以及側壁間隔件SW3，形成側壁間隔件SW4。另外，在堆疊體LM1的側壁之中的隔著絕緣膜MZ與記憶體閘極電極MG鄰接之側的相反側的側壁上，隔著絕緣膜IL21形成側壁間隔件SW4，另外，在記憶體閘極電極MG的側壁之中的隔著絕緣膜MZ與堆疊體LM1鄰接之側的相反側的側壁上，隔著絕緣膜IL21形成側壁間隔件SW4。

【0271】

在回蝕絕緣膜IL23以形成側壁間隔件SW4時，宜以比起絕緣膜IL23而言絕緣膜IL21更不易受到蝕刻的蝕刻條件進行回蝕。亦即，宜以比起絕緣膜IL23的蝕刻速度而言絕緣膜IL21的蝕刻速度較小（較慢）的條件（蝕刻條件）進行回蝕。藉此，便可使絕緣膜IL21發揮作為蝕刻阻擋層的功能。為了防止半導體基板SB的基板區域（Si區域）受到蝕刻，絕緣膜IL21宜殘留成層狀。

【0272】

然後，將金屬閘極型MISFET形成區域RG2a的側壁間隔件SW4除去，留下記憶體單元區域RG1以及矽閘極型MISFET形成區域RG2b的側壁間隔件SW4。此可依照以下的方式進行。亦即，如圖63所示的，首先，利用微影技術在半導體基板SB上形成覆蓋記憶體單元區域RG1以及矽閘極型MISFET形成區域RG2b並露出金屬閘極型MISFET形成區域RG2a的光阻層（光阻圖案、抗蝕劑層、抗蝕劑圖案、遮罩層）RP3。然後，利用蝕刻除去形成於金屬閘極型MISFET形成區域RG2a的側壁間隔件SW4。此時，由於金屬閘極型MISFET形成區域RG2a的側壁間隔件SW4並未被光阻層RP3所覆蓋而露出，故被蝕刻除去，惟記憶體單元區域RG1以及矽閘極型MISFET形成區域RG2b的側壁間隔件SW4由於被光阻層RP3所覆蓋，故並未被除去而殘留下來。圖63係顯示出該階段。之後，將光阻層RP3除去。

【0273】

用來除去金屬閘極型MISFET形成區域RG2a的側壁間隔件SW4的蝕刻，宜以比起側壁間隔件SW4而言絕緣膜IL21更不易受到蝕刻的蝕刻條件進行。亦即，宜以比起側壁間隔件SW4的蝕刻速度而言絕緣膜IL21的蝕刻速度較小（較慢）的條件（蝕刻條件）進行蝕刻。藉此，便可使絕緣膜IL21發揮作為蝕刻阻擋層的功能。為了防止半導體基板SB的基板區域（Si區域）受到蝕刻，絕緣膜IL21宜殘留成層狀。

【0274】

然後，如圖64所示的，在半導體基板SB的主面上，亦即在絕緣膜IL21上，以覆蓋側壁間隔件SW3、SW4的方式，形成絕緣膜IL24。絕緣膜IL24係用來形成後述的側壁間隔件SW5的絕緣膜。絕緣膜IL24，係由與絕緣膜IL21不同的絕緣材料所構成，例如，由氧化矽膜等所構成，可用CVD法等形成。

【0275】

然後，利用異向性蝕刻技術回蝕（蝕刻、乾蝕刻、異向性蝕刻）絕緣膜IL24。藉此，如圖65所示的，在堆疊體LM1以及記憶體閘極電極MG的側壁（隔著絕緣膜MZ彼此相鄰之側的相反側的側壁）上、在堆疊體LM2的側壁上以及在堆疊體LM3的側壁上，選擇性地殘留該絕緣膜IL24，形成側壁間隔件（側壁、側壁絕緣膜）SW5。另外，側壁間隔件SW5形成在絕緣膜IL21上。因此，在堆疊體LM2的兩側壁上，隔著絕緣膜IL21，形成側壁間隔件SW5，另外，在堆疊體LM3的兩側壁上，隔著絕緣膜IL21以及側壁間隔件SW3、SW4，形成側壁間隔件SW5。另外，在堆疊體LM1的側壁之中的隔著絕緣膜MZ與記憶體閘極電極MG鄰接之側的相反側的側壁上，隔著絕緣膜IL21以及側壁間隔件SW4形成側壁間隔件SW5。另外，在記憶體閘極電極MG的側壁之中的隔著絕緣膜MZ與堆疊體LM1鄰接之側的相反側的側壁上，隔著絕緣膜IL21以及側壁間隔件SW4形成側壁間隔件SW5。

【0276】

在回蝕絕緣膜IL24以形成側壁間隔件SW5時，宜以比起絕緣膜IL24而言絕緣膜IL21更不易受到蝕刻的蝕刻條件進行回蝕。亦即，宜以比起絕緣膜IL24的蝕刻速度而言絕緣膜IL21的蝕刻速度較小（較慢）的條件（蝕刻條件）進行回蝕。藉此，便可使絕緣膜IL21發揮作為蝕刻阻擋層的功能。為了防止半導體基板SB的基板區域（Si區域）受到蝕刻，絕緣膜IL21宜殘留成層狀。

【0277】

然後，如圖66所示的，利用蝕刻（例如濕蝕刻）將絕緣膜IL21之中並未被側壁間隔件SW3、SW4、SW5所覆蓋而露出的部分除去。

【0278】

像這樣，在堆疊體LM2的兩側壁上、在堆疊體LM3的兩側壁上、在堆疊體LM1的側壁之中的隔著絕緣膜MZ與記憶體閘極電極MG鄰接之側的相反側的側壁上以及在記憶體閘極電極MG的側壁之中的隔著絕緣膜MZ與堆疊體LM1鄰接之側的相反側的側壁上，分別形成側壁間隔件SW。

【0279】

其中，形成於金屬閘極型MISFET形成區域RG2a的側壁間隔件SW，亦即，形成在堆疊體LM2的兩側壁上的側壁間隔件SW，係由絕緣膜IL21以及側壁間隔件SW5所形成。另外，形成於矽閘極型MISFET形成區域RG2b的側壁間隔件SW，亦即，形成在堆疊體LM3的兩側壁上的側壁間隔件SW，係由絕緣膜IL21、側壁間隔件SW3、側壁間隔件SW4以及側壁間隔件SW5所形成。另外，形成於記憶體單元區域RG1的側壁間隔件SW，亦即，形成在堆疊體LM1以及記憶體閘極電極MG的側壁（隔著絕緣膜MZ彼此相鄰之側的相反側的側壁）上的側壁間隔件SW，係由絕緣膜IL21、側壁間隔件SW4以及側壁間隔件SW5所形成。

【0280】

因此，在本實施態樣4中，形成於記憶體單元區域RG1的側壁間隔件SW、形成於金屬閘極型MISFET形成區域RG2a的側壁間隔件SW，以及形成於矽閘極型MISFET形成區域RG2b的側壁間隔件SW，厚度不同。具體而言，比起形成於金屬閘極型MISFET形成區域RG2a的側壁間隔件SW的厚度T2而言，形成於記憶體單元區域RG1的側壁間隔件SW的厚度T2更厚。另外，比起形成於金屬閘極型MISFET形成區域RG2a的側壁間隔件SW的厚度T2或是形成於記憶體單元區域

RG1的側壁間隔件SW的厚度T2而言，形成於矽閘極型MISFET形成區域RG2b的側壁間隔件SW的厚度T2更厚。

【0281】

亦即，當形成於金屬閘極型MISFET形成區域RG2a的側壁間隔件SW的厚度T2為厚度T2a、形成於記憶體單元區域RG1的側壁間隔件SW的厚度T2為厚度T2b、形成於矽閘極型MISFET形成區域RG2b的側壁間隔件SW的厚度T2為厚度T2c時， $T2a < T2b < T2c$ 成立。另外，側壁間隔件SW的厚度T2顯示於圖67。另外，形成於金屬閘極型MISFET形成區域RG2a的側壁間隔件SW，與形成在堆疊體LM2的側壁上的側壁間隔件SW對應。形成於記憶體單元區域RG1的側壁間隔件SW，與形成在堆疊體LM1以及記憶體閘極電極MG的側壁上的側壁間隔件SW對應。形成於矽閘極型MISFET形成區域RG2b的側壁間隔件SW，與形成在堆疊體LM3的側壁上的側壁間隔件SW對應。

【0282】

以後的步驟，本實施態樣4，亦與上述實施態樣1相同。亦即，在本實施態樣4中，亦與上述實施態樣1同樣，進行上述步驟S16，如圖67所示的，形成 n^+ 型半導體區域SD1、SD2、SD3、SD4。之後，在本實施態樣4中，亦與上述實施態樣1同樣，進行上述步驟S17（活性化退火）以及其以後的步驟，惟在此其圖式以及說明省略。

【0283】

根據參照圖57～圖67所說明的步驟，便可分別製作出厚度T2不同的側壁間隔件SW。藉此，便可因應各電晶體的特性要求設定側壁間隔件SW的厚度T2，故可使半導體裝置的總體性能提高。

【0284】

例如，若增加側壁間隔件SW的厚度T2，便可加大LDD構造的低濃度區域的尺寸（沿著閘極長度方向的尺寸），故可使耐壓提高。因此，在矽閘極型MISFET形成區域RG2b中，藉由增加側壁間隔件SW的厚度T2，便可加大n⁻型半導體區域EX4的尺寸（沿著閘極電極GE2的閘極長度方向的尺寸），故可使MISFET的耐壓提高。另一方面，形成於金屬閘極型MISFET形成區域RG2a的MISFET，亦可比形成於矽閘極型MISFET形成區域RG2b的MISFET耐壓更低。因此，形成於金屬閘極型MISFET形成區域RG2a的側壁間隔件SW的厚度T2，比形成於矽閘極型MISFET形成區域RG2b的側壁間隔件SW的厚度T2更薄。

【0285】

然而，如參照上述圖54所說明的，在側壁間隔件SW101的厚度T101較厚的情況下，形成確實地發揮作為離子注入阻擋遮罩之功能的形狀的側壁間隔件SW101，以及確實地形成接觸孔或埋入該接觸孔的栓塞，欲同時成立並不容易。

【0286】

相對於此，本實施態樣4，如圖57～圖67所示的，雖在矽閘極型MISFET形成區域RG2b形成寬度T2較寬的側壁間隔件SW，惟藉由提高上述堆疊體LM3的高度h₃（高度h₃顯示於上述圖57），便可使側壁間隔件SW形成能夠確實地發揮作為離子注入阻擋遮罩之功能的形狀。例如，使上述堆疊體LM3的高度h₃，比形成在堆疊體LM3的側壁上的側壁間隔件SW的寬度T2更大（h₃ > T2），藉此，便可使形成在堆疊體LM3的側壁上的側壁間隔件SW形成能夠確實地發揮作為離子注入阻擋遮罩之功能的形狀。藉此，由於可使形成在堆疊體LM3的側壁上的側壁間隔件SW確實地發揮作為離子注入阻擋遮罩之功能並進行離子注入步

驟，故可更確實地形成 n^+ 型半導體區域SD4，並可更確實地提高半導體裝置的性能。

【0287】

另外，雖藉由增加帽蓋絕緣膜CP3的厚度以提高堆疊體LM3的高度 h_3 ，惟如上述圖23所示的，在上述步驟S20的研磨步驟，帽蓋絕緣膜CP1、CP2、CP3會被除去。因此，即使為了提高堆疊體LM3的高度 h_3 而增加帽蓋絕緣膜CP1、CP2、CP3的厚度，也不會導致層間絕緣膜的厚度變厚，故可抑制上述圖29所示之絕緣膜IL3、IL6的合計厚度。亦即，提高堆疊體LM3的高度 h_3 ，以及抑制絕緣膜IL3、IL6的合計厚度，可同時成立。可抑制絕緣膜IL3、IL6的合計厚度，便可抑制形成於絕緣膜IL3、IL6的接觸孔CT的深寬比，故形成接觸孔CT變得更容易，另外，用栓塞PG填埋該接觸孔CT也變得更容易。因此，半導體裝置的製造步驟變得更容易實行，另外，可使半導體裝置的製造產能提高。另外，若能夠抑制絕緣膜IL3、IL6的合計厚度，即使不擴大接觸孔CT的直徑也能夠抑制接觸孔CT的深寬比，故有利於半導體裝置的小型化（小面積化）。

【0288】

如是，形成確實地發揮作為離子注入阻擋遮罩之功能的形狀的側壁間隔件SW，以及確實地形成接觸孔CT或埋入該接觸孔CT的栓塞PG，便可確實地同時成立。

【0289】

另外，在利用圖57～圖67的步驟形成側壁間隔件SW時，堆疊體LM3的高度 h_3 ，比形成在堆疊體LM3的側壁上的側壁間隔件SW的寬度 T_2 更大（ $h_3 > T_2$ ）。然後，由於在上述步驟S20的研磨步驟，帽蓋絕緣膜CP3會被除去，故在上述步

驟S27形成接觸孔CT時，閘極電極GE2的高度 h_4 ，可比形成在閘極電極GE2的側壁上的側壁間隔件SW的寬度 T_2 更小（ $h_4 < T_2$ ）。因此，在形成側壁間隔件SW時，堆疊體LM3的高度 h_3 ，可比形成在堆疊體LM3的側壁上的側壁間隔件SW的寬度 T_2 更大（ $h_3 > T_2$ ），且在所製造的半導體裝置中，閘極電極GE2的高度 h_4 ，可比形成在閘極電極GE2的側壁上的側壁間隔件SW的寬度 T_2 更小（ $h_4 < T_2$ ）。此點，在利用後述的圖68～圖77的步驟形成側壁間隔件SW的情況下也是同樣。

【0290】

在此，閘極電極GE2的高度 h_4 ，係對應從半導體基板SB（p型井PW3）與絕緣膜G3之間的界面到閘極電極GE2的頂面的高度（距離），其顯示於上述圖29。當在閘極電極GE2上形成了金屬矽化物層SL2時，閘極電極GE2的高度 h_4 ，係對應從半導體基板SB（p型井PW3）與絕緣膜G3之間的界面到閘極電極GE2上的金屬矽化物層SL2的頂面的高度（距離）。因此，當在閘極電極GE2上並未形成金屬矽化物層SL2時，閘極電極GE2的高度 h_4 ，與絕緣膜G3的厚度以及閘極電極GE2的厚度的合計值幾乎一致，當在閘極電極GE2上形成了金屬矽化物層SL2時，閘極電極GE2的高度 h_4 ，與絕緣膜G3的厚度、閘極電極GE2的厚度以及金屬矽化物層SL2的厚度的合計值幾乎一致。

【0291】

接著，參照圖68～圖77，針對分別製作出厚度不同的側壁間隔件SW的另一方法進行說明。圖68～圖77，為本實施態樣4的半導體裝置的製造步驟中的主要部位剖面圖，其顯示出與上述圖57～圖67幾乎相同的剖面區域。

【0292】

與上述實施態樣1同樣，進行到上述步驟S14，獲得上述圖16的構造，之後如圖68所示的，在半導體基板SB的主面全面上，形成（堆積）絕緣膜IL21。與上述圖57的情況相同，在圖68的情況下，絕緣膜IL21，亦在半導體基板SB上，以覆蓋記憶體閘極電極MG、堆疊體LM1、堆疊體LM2以及堆疊體LM3的方式形成。絕緣膜IL21的材料或成膜法，圖68的情況亦與圖57的情況相同，惟比起圖57的情況而言，在圖68的情況下，絕緣膜IL21的厚度較厚。另外，在圖68～圖77的步驟的情況下，絕緣膜IL21，具有作為在以後的回蝕步驟保護半導體基板SB的絕緣膜的功能，同時亦具有作為用來形成後述的側壁間隔件SW5的絕緣膜的功能。

【0293】

然後，與上述圖58的情況相同，如圖69所示的，在半導體基板SB的主面上，亦即在絕緣膜IL21上，形成絕緣膜IL22。絕緣膜IL22，在圖69的情況下，亦與上述圖58的情況基本上相同，故在此省略其重複說明。

【0294】

然後，與上述圖59的情況相同，如圖70所示的，利用異向性蝕刻技術回蝕絕緣膜IL22，藉此形成側壁間隔件SW3。該圖70的步驟，與參照上述圖59所說明的步驟基本上相同，故在此省略其重複說明。

【0295】

然後，與上述圖60的情況相同，如圖71所示的，形成覆蓋矽閘極型MISFET形成區域RG2b並露出記憶體單元區域RG1以及金屬閘極型MISFET形成區域RG2a的光阻層RP2，之後利用蝕刻除去記憶體單元區域RG1以及金屬閘極型

MISFET形成區域RG2a的側壁間隔件SW3。該圖71的步驟，與參照上述圖60所說明的步驟基本上相同，故在此省略其重複說明。之後，將光阻層RP2除去。

【0296】

然後，與上述圖61的情況相同，如圖72所示的，在半導體基板SB的主面上，亦即在絕緣膜IL21上，以覆蓋側壁間隔件SW3的方式，形成絕緣膜IL23。絕緣膜IL23，在圖72的情況下，與上述圖61的情況基本上相同，故在此省略其重複說明。

【0297】

然後，與上述圖62的情況相同，如圖73所示的，利用異向性蝕刻技術回蝕絕緣膜IL23，藉此形成側壁間隔件SW4。該圖73的步驟，與參照上述圖62所說明的步驟基本上相同，故在此省略其重複說明。

【0298】

然後，與上述圖63的情況相同，如圖74所示的，形成覆蓋記憶體單元區域RG1以及矽閘極型MISFET形成區域RG2b並露出金屬閘極型MISFET形成區域RG2a的光阻層RP3，之後利用蝕刻除去金屬閘極型MISFET形成區域RG2a的側壁間隔件SW4。該圖74的步驟，與參照上述圖63所說明的步驟基本上相同，故在此省略其重複說明。之後，如圖75所示的，將光阻層RP3除去。

【0299】

然後，如圖76所示的，利用異向性蝕刻技術回蝕（蝕刻、乾蝕刻、異向性蝕刻）絕緣膜IL21。亦即，在將光阻層RP3除去之後，上述圖57～圖67的步驟的情況，係形成上述絕緣膜IL24，之後回蝕該絕緣膜IL24，惟圖68～圖77的步驟的情況，係不形成上述絕緣膜IL24，而回蝕絕緣膜IL21。藉此，如圖76所示的，在

金屬閘極型MISFET形成區域RG2a中，在堆疊體LM2的兩側壁上，選擇性地殘留絕緣膜IL21，形成側壁間隔件SW5。另外，在矽閘極型MISFET形成區域RG2b中，係在側壁間隔件SW3、SW4與堆疊體LM3之間，以及側壁間隔件SW3、SW4與半導體基板SB之間殘留絕緣膜IL21，除此以外的絕緣膜IL21被除去。另外，在記憶體單元區域RG1中，係在側壁間隔件SW4與堆疊體LM1之間、在側壁間隔件SW4與記憶體閘極電極MG之間，以及在側壁間隔件SW4與半導體基板SB之間殘留絕緣膜IL21，除此以外的絕緣膜IL21被除去。另外，在記憶體單元區域RG1中，亦存在在與堆疊體LM1的側壁（隔著絕緣膜MZ與記憶體閘極電極MG鄰接之側的側壁）的上部鄰接的位置殘留絕緣膜IL21，而形成側壁間隔件SW5的情況。

【0300】

另外，在回蝕絕緣膜IL21時，宜以比起絕緣膜IL21而言帽蓋絕緣膜CP1、CP2、CP3以及半導體基板SB更不易受到蝕刻的蝕刻條件，進行回蝕。

【0301】

像這樣，在堆疊體LM2的兩側壁上、在堆疊體LM3的兩側壁上、在堆疊體LM1的側壁之中的隔著絕緣膜MZ與記憶體閘極電極MG鄰接之側的相反側的側壁上，以及在記憶體閘極電極MG的側壁之中的隔著絕緣膜MZ與堆疊體LM1鄰接之側的相反側的側壁上，分別形成側壁間隔件SW。

【0302】

其中，形成於金屬閘極型MISFET形成區域RG2a的側壁間隔件SW，亦即，形成在堆疊體LM2的兩側壁上的側壁間隔件SW，係由絕緣膜IL21所形成的側壁間隔件SW5所構成。另外，形成於矽閘極型MISFET形成區域RG2b的側壁間隔

件SW，亦即，形成在堆疊體LM3的兩側壁上的側壁間隔件SW，係由絕緣膜IL21、側壁間隔件SW3以及側壁間隔件SW4所形成。另外，形成於記憶體單元區域RG1的側壁間隔件SW，亦即，形成在堆疊體LM1以及記憶體閘極電極MG的側壁（隔著絕緣膜MZ彼此相鄰之側的相反側的側壁）上的側壁間隔件SW，係由絕緣膜IL21以及側壁間隔件SW4所形成。

【0303】

因此，與上述圖57～圖67的步驟的情況相同，在圖68～圖77的步驟的情況下，形成於記憶體單元區域RG1的側壁間隔件SW、形成於金屬閘極型MISFET形成區域RG2a的側壁間隔件SW，以及形成於矽閘極型MISFET形成區域RG2b的側壁間隔件SW，厚度亦不相同。具體而言，比起形成於金屬閘極型MISFET形成區域RG2a的側壁間隔件SW的厚度T2而言，形成於記憶體單元區域RG1的側壁間隔件SW的厚度T2較厚。另外，比起形成於記憶體單元區域RG1的側壁間隔件SW的厚度T2而言，形成於矽閘極型MISFET形成區域RG2b的側壁間隔件SW的厚度T2更厚。另外，側壁間隔件SW的厚度T2顯示於圖77。

【0304】

以後的步驟，與上述實施態樣1同樣。亦即，與上述實施態樣1同樣，進行上述步驟S16，如圖77所示的，形成 n^+ 型半導體區域SD1、SD2、SD3、SD4。之後，與上述實施態樣1同樣，進行上述步驟S17（活性化退火）以及其以後的步驟，惟在此省略其圖式以及說明。

【0305】

與上述圖57～圖67的步驟的情況同樣，在圖68～圖77的步驟的情況下，亦可分別製作出厚度 $T2$ 不同的側壁間隔件 SW 。藉此，便可因應各電晶體的特性要求設定側壁間隔件 SW 的厚度 $T2$ ，故可使半導體裝置的總體性能提高。

【0306】

另外，與上述圖57～圖67的步驟的情況同樣，在圖68～圖77的步驟的情況下，亦在矽閘極型MISFET形成區域 $RG2b$ 形成寬度 $T2$ 較寬的側壁間隔件 SW 。因此，藉由提高堆疊體 $LM3$ 的高度 h_3 （例如設置成比形成在堆疊體 $LM3$ 的側壁上的側壁間隔件 SW 的寬度 $T2$ 更大），便可使形成在堆疊體 $LM3$ 的側壁上的側壁間隔件 SW ，形成能夠確實地發揮作為離子注入阻擋遮罩之功能的形狀。然後，由於在上述步驟 $S20$ 的研磨步驟，帽蓋絕緣膜 $CP3$ 會被除去，故即使為了提高堆疊體 $LM3$ 的高度 h_3 而增加帽蓋絕緣膜 $CP3$ 的厚度，也不會導致層間絕緣膜的厚度增加，可抑制上述圖29所示之絕緣膜 $IL3$ 、 $IL6$ 的合計厚度。亦即，提高堆疊體 $LM3$ 的高度 h_3 ，以及抑制絕緣膜 $IL3$ 、 $IL6$ 的合計厚度，可同時成立。能夠抑制絕緣膜 $IL3$ 、 $IL6$ 的合計厚度，便能夠抑制形成於絕緣膜 $IL3$ 、 $IL6$ 的接觸孔 CT 的深寬比，故形成接觸孔 CT 變得更容易，另外，用栓塞 PG 填埋該接觸孔 CT 也變得更容易。因此，半導體裝置的製造步驟變得更容易實行，另外，可使半導體裝置的製造產能提高。另外，能夠抑制絕緣膜 $IL3$ 、 $IL6$ 的合計厚度，即使不擴大接觸孔 CT 的直徑，也能夠抑制接觸孔 CT 的深寬比，故有利於半導體裝置的小型化（小面積化）。

【0307】

以上，係根據實施態樣具體說明本發明人之發明，惟本發明並非僅限於該等實施態樣，在不超出其發明精神的範圍內可作出各種變化，自不待言。

【符號說明】

【0308】

CG1 虛擬控制閘極電極

CG2 控制閘極電極

CP1、CP2、CP3 帽蓋絕緣膜

CT 接觸孔

EX1、EX2、EX3、EX4、EX101 n⁻型半導體區域

G1、G2、G3、G101 絕緣膜

GE1 虛擬閘極電極

GE2、GE3、GE101 閘極電極

Δh 高度差

h_1 、 h_2 、 h_3 、 h_4 、 h_5 高度

HK 絕緣膜

IL1、IL2、IL3、IL4、IL5、IL6、IL7 絕緣膜

IL11、IL21、IL22、IL23、IL24、IL101 絕緣膜

LF、LF1 堆疊膜

LM1、LM2、LM3 堆疊體

M1 配線

MC 記憶體單元

MD、MS 半導體區域

ME 金屬膜

ME1 氮化鈦膜

ME2 鋁膜

MG 記憶體閘極電極

MM 金屬膜

MZ 絕緣膜

MZ1、MZ3 氧化矽膜

MZ2 氮化矽膜

PG 栓塞

PS1、PS2 矽膜

PW1、PW2、PW3、PW101 p型井

RG1 記憶體單元區域

RG2 周邊電路區域

RG2a 金屬閘極型MISFET形成區域

RG2b 矽閘極型MISFET形成區域

RP1、RP2、RP3 光阻層

SB 半導體基板

SD1、SD2、SD3、SD4 n⁺型半導體區域

SL、SL2 金屬矽化物層

SP 矽間隔件

ST 元件分離區域

SW、SW2、SW2a 側壁間隔件

SW3、SW4、SW5、SW101 側壁間隔件

S1~S29 步驟

TR1、TR2 溝

T1、T2a、T2b、T2c、T101 厚度

T2 厚度 (寬度)

T102 堆積膜厚

Vd、Vcg、Vmg、Vs 電壓

【發明申請專利範圍】

【第1項】

一種半導體裝置之製造方法，該半導體裝置具備非揮發性記憶體的記憶體單元，該半導體裝置之製造方法包含：

- (a) 準備半導體基板的步驟；
- (b) 在該半導體基板上，隔著第1絕緣膜，形成第1虛擬閘極電極的步驟；
- (c) 以與該第1虛擬閘極電極相鄰的方式，在該半導體基板上，隔著內部具有電荷累積部的第2絕緣膜形成該記憶體單元用的第1閘極電極的步驟；
- (d) 以覆蓋該第1虛擬閘極電極以及該第1閘極電極的方式，形成第1層間絕緣膜的步驟；
- (e) 研磨該第1層間絕緣膜，使該第1虛擬閘極電極露出的步驟；
- (f) 在該(e)步驟之後，將該第1虛擬閘極電極除去的步驟；以及
- (g) 在該(f)步驟中該第1虛擬閘極電極被除去的區域內，亦即在第1溝槽內，形成該記憶體單元用的第2閘極電極的步驟；

該第2閘極電極為金屬閘極電極；

該(c)步驟所形成的該第1閘極電極的高度，比該第1虛擬閘極電極的高度更低；

在該(e)步驟，該第1閘極電極並未露出。

【第2項】

如申請專利範圍第1項之半導體裝置之製造方法，其中，該第1閘極電極係由矽所構成。

【第3項】

如申請專利範圍第2項之半導體裝置之製造方法，其中，該第1虛擬閘極電極係由矽所構成。

【第4項】

如申請專利範圍第3項之半導體裝置之製造方法，其中，該（c）步驟所形成的該第1閘極電極，隔著該第2絕緣膜與該第1虛擬閘極電極相鄰。

【第5項】

如申請專利範圍第1項之半導體裝置之製造方法，其中，該（g）步驟，在該第1溝槽內，隔著高介電常數絕緣膜埋入第1導電膜，藉此形成該第2閘極電極。

【第6項】

如申請專利範圍第1項之半導體裝置之製造方法，其中，

該（b）步驟，在該半導體基板上，隔著該第1絕緣膜形成第1堆疊體，該第1堆疊體具有該第1虛擬閘極電極以及在該第1虛擬閘極電極上的第1帽蓋絕緣膜；

該（d）步驟，以覆蓋該第1堆疊體以及該第1閘極電極的方式，形成該第1層間絕緣膜；

該（e）步驟，研磨該第1層間絕緣膜以及該第1帽蓋絕緣膜，使該第1虛擬閘極電極露出。

【第7項】

如申請專利範圍第1項之半導體裝置之製造方法，其中，該（c）步驟包含：

（c1）在該半導體基板上，以覆蓋該第1虛擬閘極電極的方式，形成該第2絕緣膜的步驟；

（c2）在該第2絕緣膜上，形成該第1閘極電極用的第1矽膜的步驟；以及

（c3）回蝕該第1矽膜，藉此形成該第1閘極電極的步驟。

【第8項】

如申請專利範圍第1項之半導體裝置之製造方法，其中，在該（c）步驟之後，且在該（d）步驟之前，更包含：

（c4）在該第1虛擬閘極電極以及該第1閘極電極的側壁上形成第1側壁絕緣膜的步驟。

【第9項】

如申請專利範圍第8項之半導體裝置之製造方法，其中，在該（c4）步驟之後，且在該（d）步驟之前，更包含：

（c5）利用離子注入法，於該半導體基板形成該記憶體單元的源極或是汲極用的第1半導體區域的步驟。

【第10項】

如申請專利範圍第9項之半導體裝置之製造方法，其中，在該（c）步驟之後，且在該（c4）步驟之前，更包含：

（c6）利用離子注入法，於該半導體基板形成該記憶體單元的源極或是汲極用的第2半導體區域的步驟；

該第1半導體區域比該第2半導體區域雜質濃度更高。

【第11項】

如申請專利範圍第1項之半導體裝置之製造方法，其中，在該（b）步驟之後，且在該（c）步驟之前，更包含：

（b1）在該第1虛擬閘極電極的之後形成該第1閘極電極之側的側壁上，形成第2側壁絕緣膜的步驟；

(b2) 在該 (b1) 步驟之後，將該第2側壁絕緣膜當作離子注入阻擋遮罩使用，利用離子注入法，於該半導體基板形成該記憶體單元的源極或是汲極用的第3半導體區域的步驟；以及

(b3) 在該 (b2) 步驟之後，將該第2側壁絕緣膜除去的步驟。

【第12項】

如申請專利範圍第11項之半導體裝置之製造方法，其中，該 (b1) 步驟所形成的該第2側壁絕緣膜的高度，比該 (c) 步驟所形成的該第1閘極電極的高度更高。

【第13項】

如申請專利範圍第1項之半導體裝置之製造方法，其中，在該 (c) 步驟之後，且在該 (d) 步驟之前，更包含：

(c7) 在該半導體基板上，隔著第3絕緣膜形成第2虛擬閘極電極的步驟；

該 (d) 步驟，以覆蓋該第1虛擬閘極電極、該第2虛擬閘極電極以及該第1閘極電極的方式，形成該第1層間絕緣膜；

該 (e) 步驟，研磨該第1層間絕緣膜，使該第1虛擬閘極電極以及該第2虛擬閘極電極露出；

該 (f) 步驟，將該第1虛擬閘極電極以及該第2虛擬閘極電極除去；

該 (g) 步驟，在該第1溝槽內形成該第2閘極電極，並在該 (f) 步驟中該第2虛擬閘極電極被除去的區域內，亦即在第2溝槽內，形成該記憶體單元以外的MISFET用的第3閘極電極。

【第14項】

如申請專利範圍第13項之半導體裝置之製造方法，其中，該第2閘極電極以及該第3閘極電極均為金屬閘極電極。

【第15項】

如申請專利範圍第14項之半導體裝置之製造方法，其中，該第1虛擬閘極電極以及該第2虛擬閘極電極，係由相同之矽膜所形成。

【第16項】

如申請專利範圍第15項之半導體裝置之製造方法，其中，

該（c7）步驟，在該半導體基板上，隔著該第3絕緣膜形成該第2虛擬閘極電極，隔著第4絕緣膜形成該記憶體單元以外的MISFET用的第4閘極電極，

該第1虛擬閘極電極、該第2虛擬閘極電極以及該第4閘極電極，係由相同之矽膜所形成；

該（d）步驟，以覆蓋該第1虛擬閘極電極、該第1閘極電極、該第2虛擬閘極電極以及該第4閘極電極的方式，形成該第1層間絕緣膜；

該（e）步驟，研磨該第1層間絕緣膜，使該第1虛擬閘極電極、該第2虛擬閘極電極以及該第4閘極電極露出；

該（f）步驟，並未除去該第4閘極電極。

【第17項】

如申請專利範圍第16項之半導體裝置之製造方法，其中，在該（c）步驟之後，且在該（d）步驟之前，更包含：

（c8）在該第1虛擬閘極電極、該第1閘極電極、該第2虛擬閘極電極以及該第4閘極電極的側壁上，分別形成第1側壁絕緣膜的步驟；

形成在該第4閘極電極的側壁上的該第1側壁絕緣膜的厚度，比分別形成在該第1虛擬閘極電極、該第1閘極電極以及該第2虛擬閘極電極的側壁上的該第1側壁絕緣膜的厚度更厚。

【第18項】

如申請專利範圍第17項之半導體裝置之製造方法，其中，

該（b）步驟，在該半導體基板上，隔著該第1絕緣膜形成第1堆疊體，該第1堆疊體具有該第1虛擬閘極電極以及在該第1虛擬閘極電極上的第1帽蓋絕緣膜；

該（c7）步驟，在該半導體基板上，隔著該第3絕緣膜形成第2堆疊體，該第2堆疊體具有該第2虛擬閘極電極以及在該第2虛擬閘極電極上的第2帽蓋絕緣膜；並隔著該第4絕緣膜形成第3堆疊體，該第3堆疊體具有該第4閘極電極以及在該第4閘極電極上的第3帽蓋絕緣膜；

該（d）步驟，以覆蓋該第1閘極電極、該第1堆疊體、該第2堆疊體以及該第3堆疊體的方式，形成該第1層間絕緣膜；

該（e）步驟，研磨該第1層間絕緣膜、該第1帽蓋絕緣膜、該第2帽蓋絕緣膜以及該第3帽蓋絕緣膜，使該第1虛擬閘極電極、該第2虛擬閘極電極以及該第4閘極電極露出；

比起該（c8）步驟在該第4閘極電極的側壁上所形成的該第1側壁絕緣膜的厚度而言，該（c7）步驟所形成的該第3堆疊體的高度的尺寸更大。