

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5407618号  
(P5407618)

(45) 発行日 平成26年2月5日(2014.2.5)

(24) 登録日 平成25年11月15日(2013.11.15)

(51) Int. Cl.		F I			
<b>HO2M</b>	<b>1/08</b>	<b>(2006.01)</b>	HO2M	1/08	A
<b>HO3K</b>	<b>17/687</b>	<b>(2006.01)</b>	HO2M	1/08	301A
			HO3K	17/687	D

請求項の数 6 (全 13 頁)

(21) 出願番号	特願2009-166470 (P2009-166470)	(73) 特許権者	000005234
(22) 出願日	平成21年7月15日(2009.7.15)		富士電機株式会社
(65) 公開番号	特開2011-24323 (P2011-24323A)		神奈川県川崎市川崎区田辺新田1番1号
(43) 公開日	平成23年2月3日(2011.2.3)	(74) 代理人	100074099
審査請求日	平成24年6月14日(2012.6.14)		弁理士 大菅 義之
		(72) 発明者	山田 隆二
			東京都日野市富士町1番地 富士電機アド バンストテクノロジー株式会社内
		審査官	佐々木 訓

最終頁に続く

(54) 【発明の名称】 ゲート駆動回路及び電力変換回路

(57) 【特許請求の範囲】

【請求項1】

スイッチング素子のゲートを駆動するゲート駆動回路であって、  
パルス電圧源と、  
前記パルス電圧源を一次側に、前記スイッチング素子を二次側に接続するトランスと、  
前記トランスの二次側に前記スイッチング素子と直列に設けられるコンデンサと、  
前記トランスの二次側に並列に設けられ、前記スイッチング素子に印加される電圧が前記トランスの二次側の電圧よりも低い値になるよう電圧を制限する電圧クランプ手段と、  
前記トランスの二次側の電圧が、0Vまたは前記スイッチング素子がオンとなる電圧と逆極性となったとき、前記ゲートと前記コンデンサとの直列回路を短絡する短絡手段と、  
を備えることを特徴とするゲート駆動回路。

10

【請求項2】

スイッチング素子のゲートを駆動するゲート駆動回路であって、  
パルス電圧源と、  
前記パルス電圧源を一次側に、前記スイッチング素子を二次側に接続するトランスと、  
前記トランスの二次側に前記スイッチング素子と直列に設けられるコンデンサと、  
前記スイッチング素子と前記コンデンサとの直列回路に印加される電圧を入力とし、前記コンデンサの両端に一定の電圧を印加する定電圧手段と、  
前記トランスの二次側の電圧が、0Vまたは前記スイッチング素子がオンとなる電圧と逆極性となったとき、前記ゲートと前記コンデンサとの直列回路を短絡する短絡手段と、

20

を備えることを特徴とするゲート駆動回路。

【請求項 3】

前記定電圧手段は定電圧素子とバイポーラトランジスタより構成されることを特徴とする請求項 2 に記載のゲート駆動回路。

【請求項 4】

前記定電圧手段は定電圧素子と F E T より構成されることを特徴とする請求項 2 に記載のゲート駆動回路。

【請求項 5】

直流電圧源に複数のスイッチング素子を直列に接続した電力変換回路であって、前記パルス電圧源とは別の電源から逆バイアス電圧を供給され、前記直流電源の一端に接続されるスイッチング素子を制御する第 1 の制御回路と、

前記直流電源の他端に接続されるスイッチング素子を制御する第 2 の制御回路と、を備え、

前記第 2 の制御回路は、請求項 1 乃至 4 の何れか 1 項に記載のゲート駆動回路であることを特徴とする電力変換回路。

【請求項 6】

前記電力変換回路の起動時には前記他端に接続されるスイッチング素子からオンとすることを特徴とする請求項 5 に記載の電力変換回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、スイッチング電源等においてゲート信号を絶縁して伝送するための伝送回路の構成に関し、さらに詳しくはスイッチング素子のゲートの駆動の仕方に関する。

【背景技術】

【0002】

スイッチング電源等において、スイッチング素子とスイッチング素子のオン/オフを制御する制御回路は異なる電位に置かれることがあり、その際スイッチング素子のオン/オフを制御するゲート信号を絶縁して伝送することが必要となる。

【0003】

図 6 は、従来の絶縁伝送回路、すなわちゲート駆動回路の一例を示す。ここで信号発生回路 1 は駆動信号を発生するパルス電圧源であり、信号発生回路 1 には、直列接続されたコンデンサ 5 を介してトランス 2 の一次側に接続されており、トランスの二次側には抵抗器 3 が直列に接続されている。そして抵抗器 3 の逆方は駆動対象の駆動対象の半導体スイッチ 4 の入力に接続されている。ここでは半導体スイッチ 4 には I G B T を用いている。

【0004】

図 7 に図 6 のゲート駆動回路の動作を示すタイムチャートを示す。

この図 6 の回路において、図 7 ( a ) では、最も簡単な例として、信号発生回路 1 の出力電圧  $V_1$  は、デューティ比が略 50 % の振幅、時間幅ともに正負対称な波形の出力信号とする。トランス 2 はこの信号発生回路 1 の出力を絶縁して二次側に伝達する。そしてトランス 2 の二次電圧  $V_2$  は、信号発生回路 1 の出力電圧  $V_1$  と相似な波形出力となる。

【0005】

ここで一般に I G B T や M O S F E T 等の絶縁ゲート素子のゲートは、入出力間に寄生キャパシタンスを持つ。この寄生キャパシタは、図 6 では 4 a として示している。一方トランス 2 には漏れインダクタンスがあるため、この漏れインダクタンスと寄生キャパシタ 4 a により L C 共振を起こすと動作上不都合な場合がある。

【0006】

抵抗器 3 はこの共振を防止するための制動抵抗である。I G B T 4 のゲート電圧  $V_3$  は、抵抗器 3 と寄生キャパシタ 4 a により構成される R C フィルタにより、信号発生回路 1 の出力電圧  $V_1$  より若干遅延した波形となる。このゲート電圧  $V_3$  が、I G B T 4 の閾値電圧  $V_{th}$  を超えると I G B T 4 はオンとなり、また閾値  $V_{th}$  を下回るとオフとなる。

10

20

30

40

50

以下、ゲート電圧 $V_3$ のピーク電圧を順バイアス電圧と称する。

【0007】

またゲート電圧 $V_3$ は、動作原理上は負極性となる必要はないが、トランス2の磁気飽和を避けるためには、正負電圧時間積が均等である必要がある。そのため、図6では、トランス2の1次側に、直列にコンデンサ5を設けている。このコンデンサ5は、確実にゲート電圧 $V_3$ の正負電圧時間積が均等化した信号となるための、直流カットコンデンサである。

【0008】

また実際の装置においては、IGBT4のオフ期間中に他のスイッチング素子の動作により電位変動を生じた際に、別の寄生キャパシタンスを介して寄生キャパシタ4aが充電され、IGBT4の入力電圧が上昇することがある。これによってIGBT4の入力電圧が $V_{th}$ を超えると、IGBT4が本来オフのタイミングでオン(誤オン)することになり、IGBT4の過電流破壊等の重大な不具合を生じる。

10

【0009】

これを防止する意味からもIGBT4のオフ中はゲート電圧を負に保ち(以下、オフ時の負電圧ピークを逆バイアス電圧と称する)、上述の入力電圧の上昇が生じても誤オンを生じにくくすることが望ましい。このように、トランス2の電圧で直接スイッチング素子を制御する方法は、たとえば特許文献1に示されている。

【0010】

特許文献1では、異なる電位に接続された2つのスイッチング素子のオン/オフをトランスの出力電圧で直接制御する構成のゲート駆動回路が開示されている。

20

また絶縁伝送回路が用いられる装置やその運転条件によっては、必ずしもスイッチング素子のオン時間とオフ時間が均等でない場合がある。

【0011】

図7(b)のように信号発生回路1の出力電圧 $V_1$ がオフ時間よりオン時間が短い場合、コンデンサ5による正負時間積の均等化の結果、電圧は正の振幅が大きく、負の振幅が小さくなる。この結果IGBT4は、オンの時には順バイアス電圧が過大となり、素子破壊の危険が生じる。一方、IGBT4がオフの時には逆バイアス電圧不足による誤オンの危険が生じる。

【0012】

30

オン時間、オフ時間が不均等な装置に対応するゲート駆動回路の例を図8に示す。また図9に図8の動作を示すタイムチャートを示す。

図8の回路は、トランス2の一次側に直流電源9、スイッチ素子10、ツェナーダイオード11及びダイオード12を備え、トランス2の入力電圧 $V_1$ を生成する。

【0013】

またトランス2の二次側には、ダイオード6、PNPトランジスタ7、抵抗器3、8、コンデンサ13、及びツェナーダイオード14を備え、これらによってIGBT4のゲート電圧を生成する。

【0014】

スイッチ素子10がオンになると、トランス2の一次側に正の電圧が印加される。これによりトランス2の二次側では、ダイオード6が導通してトランス2 ダイオード6 抵抗器3 寄生キャパシタ4a コンデンサ13 トランス2の経路で電流が流れ、IGBT4のゲート電圧が上昇する。

40

【0015】

PNPトランジスタ7のベースは、エミッタよりダイオード6の順電圧分だけ電圧が高く、よってベース電流が流れない。したがってPNPトランジスタ7のエミッタ-コレクタ間はオフ状態となり、寄生キャパシタ4aと同時にコンデンサ13も充電される。

【0016】

コンデンサ13の電圧がツェナーダイオード14のツェナー電圧を超えると、電流がツェナーダイオード14に転流し、電圧 $V_2$ はそれ以上上昇しなくなる。 $V_3$ のピーク電圧

50

は、電圧V2のピーク電圧 - ツェナーダイオード14のツェナー電圧となり、トランス2の二次電圧よりも低くなる。このためトランス2の変圧比または直流電源9の電圧を、IGBT4のゲート電圧V3として十分な電圧が与えられるようあらかじめ高めに設定しておく。

【0017】

またスイッチ素子10がオフとなると、トランス2に流れていた励磁電流がトランス2ツェナーダイオード11ダイオード12トランス2の経路で流れ、ツェナーダイオード11のツェナー電圧が、負電圧としてトランス2の一次側に印加される。

【0018】

トランス2の励磁電流はこの電圧により次第に減少し、0Aになるとトランス2の一次電圧は0Vとなる。トランス2の電圧が負になったタイミングで二次側も負電圧となる一方、寄生キャパシタ4aは正に充電されているためPNPトランジスタ7のベース電流が抵抗器8を介して流れ、PNPトランジスタ7のエミッタ - コレクタ間が導通する。このとき寄生キャパシタ4aから見ると、コンデンサ13は負の電圧源となるため、コンデンサ13が逆バイアス電源の役割を果たす。

【0019】

この図8の回路については、同様の原理に基づくものが特許文献2に開示されている。

【先行技術文献】

【特許文献】

【0020】

【特許文献1】特開2008-193854号公報

【特許文献2】特開2001-293564号公報

【発明の概要】

【発明が解決しようとする課題】

【0021】

しかしながらこの図8に示した回路では、寄生キャパシタ4aに流れる電流と同じ電流が流れてコンデンサ13を充電するため、コンデンサ13の充電電荷量は最大でも寄生キャパシタ4aと同等である。このため、寄生キャパシタ4aの放電と同時にコンデンサ13も蓄積した電荷を全て放電してしまい、以降のオフ期間では逆電圧が加わらない。

【0022】

たとえば電圧低下を抑制しようとしてコンデンサ13の静電容量を大きくすると、寄生キャパシタ4aとコンデンサ13の分圧比が変り、コンデンサ13の充電電圧が低くなる。よってコンデンサ13の放電時には、結局コンデンサ13の充電電圧は0Vまで低下する。したがってこのコンデンサ13による逆バイアスは、ターンオフ動作を素早く行う作用はあるが、IGBT4のオフ時の誤オン防止には寄与しない。

【0023】

IGBT4がオフ時に逆バイアス電圧を保つには、コンデンサ13の静電容量を大きくした上で、図10に示すように充電抵抗15を設け、オン期間中のコンデンサ13の充電量を大きくする方法が考えられる。

【0024】

しかしながら図10の構成では、コンデンサ13が充電を完了しても充電抵抗15を介してコンデンサ13に電流が流し続けられる。そのため充電抵抗15の抵抗値が小さいと充電電流による回路の負担が大きくなり、回路損失が増大すると共に部品に電力容量の高い大きなものを使用しなければならなくなり、回路が大型化してしまう。

【0025】

また充電抵抗15の抵抗値が大きいと、コンデンサ13の充電時間が大きくなり、起動直後は逆バイアス電圧不足の状態での運転をすることを余儀なくされる。さらにこの間、順バイアス電圧が定常時より大きくなるという問題も生じる。なお特許文献2には、従来例としてトランスに充電巻線を設けたものが示されているが、これは特許文献2にもあるように、トランスや回路構成が複雑になる。

10

20

30

40

50

## 【 0 0 2 6 】

上記問題を鑑み、本発明は、トランスへの入力電圧のデューティ比が略50%でなくとも不具合が生じず、また小規模で小型な構成で実現できるゲート駆動回路及び電力変換回路を提供することを課題とする。

## 【課題を解決するための手段】

## 【 0 0 2 7 】

本発明のゲート駆動回路は、スイッチング素子のゲートを駆動するゲート駆動回路であって、パルス電圧源と、前記パルス電圧源を一次側に、前記スイッチング素子を二次側に接続するトランスと、前記トランスの二次側に前記スイッチング素子と直列に設けられるコンデンサと、前記トランスの二次側に並列に設けられ、前記スイッチング素子に印加される電圧が前記トランスの二次側の電圧よりも低い値になるよう電圧を制限する電圧クランプ手段と、前記トランスの二次側の電圧が、0Vまたは前記スイッチング素子がオンとなる電圧と逆極性となったとき、前記ゲートと前記コンデンサを短絡する短絡手段と、を備えることを特徴とする。

10

## 【 0 0 2 8 】

本発明の別形態のゲート駆動回路は、スイッチング素子のゲートを駆動するゲート駆動回路であって、パルス電圧源と、前記パルス電圧源を一次側に、前記スイッチング素子を二次側に接続するトランスと、前記トランスの二次側に前記スイッチング素子と直列に設けられるコンデンサと、前記スイッチング素子と前記コンデンサとの直列回路に印加される電圧を入力とし、前記コンデンサの両端に一定の電圧を印加する定電圧手段と、前記トランスの二次側の電圧が、0Vまたは前記スイッチング素子がオンとなる電圧と逆極性となったとき、前記ゲートと前記コンデンサを短絡する短絡手段と、を備えることを特徴とする。

20

## 【 0 0 2 9 】

また本発明は、上記ゲート駆動回路を用いた電力変換回路もその範囲に含む。

## 【発明の効果】

## 【 0 0 3 0 】

本発明によるゲート駆動回路は、トランスへの入力電圧のデューティ比が略50%でなくとも順バイアス電圧、逆バイアス電圧を安定化することができ、起動直後からの逆バイアス電圧の確保、逆バイアス用コンデンサ充電電力の最小化、トランスの簡単化をすべて同時に実現できる。

30

## 【図面の簡単な説明】

## 【 0 0 3 1 】

【図1】第1の実施形態のゲート駆動回路の構成例示図である。

【図2】図1のゲート駆動回路の動作を説明するためのタイムチャートを示す図である。

【図3】本実施形態のゲート駆動回路の適用例を示す図である。

【図4】第2の実施形態のゲート駆動回路の構成例示図である。

【図5】第3の実施形態のゲート駆動回路の構成例示図である。

【図6】従来ゲート駆動回路の例を示す図である。

40

【図7】図6のゲート駆動回路の動作を示すタイムチャートを示す図である。

【図8】オン時間、オフ時間が不均等な装置に対応する従来ゲート駆動回路の構成例を示す図である。

【図9】図8のゲート駆動回路の動作を示すタイムチャートを示す図である。

【図10】充電抵抗を設け、オン期間中のコンデンサの充電量を大きくした従来ゲート駆動回路の構成例を示す図である。

## 【発明を実施するための形態】

## 【 0 0 3 2 】

図1は本実施形態の絶縁伝送回路、すなわちゲート駆動回路の第1の実施形態の構成例示図である。また図2は図1の回路の動作を説明するためのタイムチャートである。

50

なお図 1 において、図 4 の回路と実質的に同じ構成要素については、図 4 で用いているのと同じ符号が付せられている。

【 0 0 3 3 】

図 1 のゲート駆動回路は、一次側の構成は、図 6 に示した構成と基本的に同じであり、1 次側の信号線の間には直流電源 9 が設けられ、直流電源 9 の - 側とトランスの間にスイッチ素子 1 0 が設けられている。そしてトランス 2 と直流電源 9 の + 側との間と、トランス 2 とスイッチ素子 1 0 の間に、ツェナーダイオード 1 1 とダイオード 1 2 を直列に接続して設ける。このツェナーダイオード 1 1 とダイオード 1 2 は、ツェナーダイオード 1 1 のカソードをトランス 2 と直流電源 9 の + 側との間に、またダイオード 1 2 のカソードをトランス 2 とスイッチ素子 1 0 の間に接続し、ツェナーダイオード 1 1 とダイオード 1 2 アノードを互いに接続する。

10

【 0 0 3 4 】

この構成により、スイッチ素子 1 0 のオン/オフの切替え制御により、様々なデューティ比の信号をトランス 2 の一次側に入力することができるパルス電圧源となっている。

トランス 2 の二次側の構成は、スイッチング制御の対象である半導体スイッチである IGBT 4 のゲートと接続される信号線にはダイオード 6 のアノードをトランス 2 側に接続し、またこのダイオード 6 のカソードと IGBT 4 のゲートの間に抵抗器 3 を設ける。またダイオード 6 のアノードとトランス 2 の間と PNP トランジスタ 7 のベースとの間に抵抗器 8 を設ける。そしてトランジスタ 7 のエミッタをダイオード 6 と抵抗器 3 との間に接続し、コレクタをトランス 2 の IGBT 4 と接続される信号線と接続する。またトランス 2 の二次側の信号線の内の IGBT 4 のエミッタと接続される信号線には、直列に、PNP トランジスタ 7 のエミッタと IGBT 4 のエミッタとの間にコンデンサ 1 3 を設ける。このコンデンサ 1 3 の静電容量は、IGBT 4 の入出力間の寄生キャパシタ 4 a より数倍程度大きくしてある。またトランスの二次側 2 つの信号線の、抵抗器 3 と IGBT 4 のゲートの間と、コンデンサ 1 3 と IGBT 4 のエミッタの間に、直列に接続したダイオード 1 6 とツェナーダイオード 1 7 を設ける。このダイオード 1 6 とツェナーダイオード 1 7 は、ツェナーダイオード 1 7 のカソードを抵抗器 3 と IGBT 4 のゲートの間に、またダイオード 1 6 のカソードをコンデンサ 1 3 と IGBT 4 のエミッタの間に接続し、またツェナーダイオード 1 7 とダイオード 1 6 のアノードを互いに接続する。

20

【 0 0 3 5 】

図 1 の構成において、スイッチ素子 1 0 をオンにすると、まずトランス 2 ダイオード 6 抵抗器 3 寄生キャパシタ 4 a コンデンサ 1 3 トランス 2 の経路で電流が流れ寄生キャパシタ 4 a に電荷が充電される。

30

【 0 0 3 6 】

そして IGBT 4 のゲート電圧  $V_3$  がツェナーダイオード 1 7 のツェナー電圧  $V_z$  に達すると電圧  $V_3$  はこのツェナー電圧  $V_z$  以上上昇しなくなる。なおここでは、説明簡略化のためダイオード 1 6 の順電圧降下は無視する。ゲート電圧  $V_3$  がツェナー電圧  $V_z$  に達すると、以降はトランス 2 ダイオード 6 抵抗器 3 ツェナーダイオード 1 7 ダイオード 1 6 コンデンサ 1 3 トランス 2 の経路で電流が流れ、コンデンサ 1 3 の充電が行われる。

40

【 0 0 3 7 】

そしてコンデンサ 1 3 の電圧  $V_r$  がトランス 2 の二次電圧 -  $V_z$  に達すると、コンデンサ 1 3 の充電が止まるため、スイッチ素子 1 0 が次にオンとなるまでコンデンサ 1 3 による充電損失は発生しなくなる。

【 0 0 3 8 】

スイッチ素子 1 0 がオフとなると、トランス 2 の電圧が負になったタイミングで二次側も負電圧となる一方、寄生キャパシタ 4 a は正に充電されているため PNP トランジスタ 7 のベース電流が抵抗器 8 を介して流れ、PNP トランジスタ 7 のエミッタ - コレクタ間が導通する。

【 0 0 3 9 】

50

P N P トランジスタ 7 がオンとなると、寄生キャパシタ 4 a にはコンデンサ 1 3 の電圧が逆バイアス電圧として印加される。

I G B T 4 のゲート電圧  $V_3$  の負極性電圧がコンデンサ 1 3 の電圧  $V_r$  と等しくなると放電が止まるため、コンデンサ 1 3 の電圧  $V_r$  が 0 V になるまでコンデンサ 1 3 は放電されない。ダイオード 1 6 はこのときツェナーダイオード 1 7 が順方向に導通して不要な放電が行われるのを防止する。次にスイッチ素子 1 0 がオンとなってコンデンサ 1 3 が充電されるときは、コンデンサ 1 3 は初期電荷を持った状態から充電が始まる。したがって、2 回目以降のコンデンサ 1 3 の充電量は小さくなり、寄生キャパシタ 4 a の放電電荷相当となる。

#### 【 0 0 4 0 】

10

この図 1 の回路では、コンデンサ 1 3 の充電はもっぱらゲート電圧  $V_3$  の確立後に行われるため、この充電動作は I G B T 4 のターンオン特性にはほとんど影響を与えない。また順バイアス電圧はツェナーダイオード 1 7 のツェナー電圧  $V_z$  のみで決まり、他の条件の影響を受けない。さらに逆バイアス電圧は、トランス二次電圧  $-V_z$  で決まり、最初のオン時間が極端に短い場合を除き、最初のオン期間中に確立するので、最初のオフでは既に所定の値になっている。

#### 【 0 0 4 1 】

尚上記例では、スイッチング制御を行うスイッチング素子 4 を I G B T としたが、本実施形態のゲート駆動回路が制御対象とするスイッチング素子 4 は I G B T に限定されるものではなく、M O S F E T 等他の絶縁ゲート素子であっても良い。

20

#### 【 0 0 4 2 】

次に図 1 に示した本実施形態のゲート駆動回路の適用例について説明する。

図 3 は本実施形態のゲート駆動回路の適用例を示す図である。

図 3 は電力変換回路に適用した場合の例で、直流電源 1 0 1、制御対象となる 4 つのスイッチング素子 1 0 2、1 0 3、1 0 4、及び 1 0 5 及びこのスイッチング素子 1 0 2、1 0 3、1 0 4、及び 1 0 5 のオン/オフを制御するゲート駆動回路 1 0 6、1 0 7、1 0 8、及び 1 0 9 を有する。この 4 つのゲート駆動回路 1 0 6、1 0 7、1 0 8、及び 1 0 9 のうち、ゲート駆動回路 1 0 6 及び 1 0 7 は図 1 に示した本実施形態のゲート駆動回路であり、またゲート駆動回路 1 0 8 及び 1 0 9 は別電源により逆バイアス電圧を与えたものである。

30

#### 【 0 0 4 3 】

スイッチング素子を用いる装置では、装置によっては主回路とスイッチング制御を行う制御回路を絶縁しない場合があり、その場合は主回路の直流電源の負側電位（図中の N 電位）と制御回路のグランド電位を共通にするのが一般的である。この場合スイッチング素子 1 0 4 及び 1 0 5（いわゆる下アーム）の駆動の基準電位は、制御回路と共通であり、あえてトランスで絶縁する必要はない。また逆バイアス電圧も制御電源に負電圧出力があればそれから容易に供給することができる。

#### 【 0 0 4 4 】

一方スイッチング素子 1 0 2、1 0 3（いわゆる上アーム）の駆動の基準電位  $U$ 、 $V$  は制御回路 1 0 6、1 0 7 とは異電位であり、しかもスイッチング素子 1 0 2 ~ 1 0 5 のスイッチングにより変動するため、ゲート駆動回路 1 0 6 及び 1 0 7 には、図 1 に示した本実施形態のゲート駆動回路が必要となる。

40

#### 【 0 0 4 5 】

なお、図 3 ではスイッチング素子 1 0 2 ~ 1 0 5 には負側端子に対して正のゲート電圧を印加することで導通する、いわゆる n チャネル型のものを用いたが、正側端子に対し負のゲート電圧を印加することで導通する、いわゆる p チャネル型のものを用いることもできる。スイッチング素子 1 0 2 ~ 1 0 5 に p チャネル型の素子を用いた場合、図 3 の P 側を制御電源の基準電位とし、N 側に接続される素子に、本実施形態のゲート駆動回路を適用することができる。

#### 【 0 0 4 6 】

50

なお図1のゲート駆動回路では、上述のようにスイッチ素子10が最初にオンとなったときに逆バイアス電圧が確立するが、全てのスイッチング素子102～105のゲート駆動回路106～109に図1のゲート駆動回路を用いると、最初にオンとなるスイッチング素子と直列に接続されたスイッチング素子(いわゆる対向アーム)ではまだ逆バイアス電圧が確立しない状態で、スイッチングによる電位変動を受けることになる。

【0047】

したがって図3に示す構成において、ゲート駆動回路106及び107に図1のゲート駆動回路を用い、ゲート駆動回路108及び109に上記のように制御電圧によって逆バイアス電圧を与えたものを用いる場合、まず制御回路の起動と同時にゲート駆動回路108及び109の逆バイアス電圧を確立させる。次にスイッチ素子10をオンにするのを上アームのゲート駆動回路106及び107から行う。これにより最初の下アームのゲート駆動回路108、109のスイッチ素子10をオンにする際は、上アームは既に一度オンした後なので逆バイアス電圧が確立している。この動作によって、逆バイアス電圧のない状態での対向アームのオンが上アーム、下アームとも起きないようにする。

【0048】

なお上記説明では、図3の制御部に図1に示した第1の実施形態のゲート駆動回路を用いた場合を例として説明しているが、後述する第2、第3の実施形態のゲート駆動回路を制御部として用いた場合も、上記説明は同様に適合する。

【0049】

次に本発明のゲート駆動回路の第2の実施形態について説明する。

図4は、第2の実施形態のゲート駆動回路の構成例を示す図である。

図4においてトランス2の一次側の構成は、図1の第1の実施形態の構成と同じであり、トランス2に様々なデューティ比の信号を入力することが出来る。

【0050】

図4の回路において、トランス2の二次側においては、図1の構成に加え、トランスの二次側2つの信号線の間には、ツェナーダイオード17及びダイオード16の代わりに、ツェナーダイオード20、抵抗器21、NPNトランジスタ22及びダイオード24が設けられる。このうちツェナーダイオード20と抵抗器21は直列に接続され、ツェナーダイオード20のアノードをNPNトランジスタ7のコレクタとコンデンサ13の間に接続し、カソードを抵抗器21に接続する。そして抵抗器21の另一端はNPNトランジスタ7のエミッタと抵抗器3の間に接続する。またダイオード23は、カソードが抵抗器3と抵抗器21の間に接続され、アノードがNPNトランジスタ22のコレクタに接続される。そしてNPNトランジスタ22は、ベースがツェナーダイオード20と抵抗器21の間に接続され、エミッタがコンデンサ13とIGBT4のエミッタの間に接続される構成となっている。

【0051】

図4の回路では、トランス2の一次側に正の電圧が印加されると、二次側では抵抗器21 ツェナーダイオード20の経路で電流が流れ、図中のA点とG1点の間はほぼ一定電圧となる。

【0052】

ここでG2点の電位がA点よりNPNトランジスタ22のベース・エミッタ間電圧降下( $V_{be}$ )分だけさらに低ければ、NPNトランジスタ22にベース電流が流れ、ダイオード23 NPNトランジスタ22 コンデンサ13の経路でNPNトランジスタ22のコレクタ電流が流れるため、コンデンサ13が充電される。そしてG2点の電位が上昇すると、NPNトランジスタ22のベース電流が流れなくなるため、コンデンサ13の充電が止まる。このためコンデンサ13の電圧 $V_r$ (=G2点-G1点間電圧)=ツェナーダイオード20のツェナー電圧(=A点-G1点間電圧)- $V_{be}$ で安定し、コンデンサ13の電圧 $V_r$ はほぼ一定電圧に充電される。

【0053】

図4の回路において、コンデンサ13の充電終了後に流れ続ける電流は、ツェナーダイ

10

20

30

40

50

オード 20 に定電圧を持たせるための電流であり、大きさは NPN トランジスタ 22 のベース電流相当である。したがってこの電流は、図 10 のコンデンサ 13 に流れる電流よりも大幅に (NPN トランジスタ 22 の電流増幅率に依存し、図 10 の場合の 1 / 100 程度) に小さくなり、損失の増加を抑制できる。

【 0054 】

なおダイオード 23 はトランス 2 の二次側の電圧がゼロまたは負となったときに NPN トランジスタ 22 に印加される電圧に対して設けたもので、NPN トランジスタ 22 に逆耐圧を上回る負電圧が印加されるのを防止する。

【 0055 】

図 1 に示した第 1 の実施形態のゲート駆動回路では、条件によってはトランス 2 の二次電圧にオーバーシュートを生じる場合がある。これは主にトランス 2 の漏れインダクタンスと寄生キャパシタ 4a の LC 共振によるものであるが、本来の電圧  $V_2$  にオーバーシュート電圧  $V$  が加わるとコンデンサ 13 の電圧  $V_r$  は  $V_2 + V - V_z$  まで充電される。この場合、オーバーシュートが終わったとき IGBT 4 の順バイアス電圧は  $V_2 - V_r = V_z - V$  となり、本来意図した電圧よりも低くなるため、順バイアス電圧が不足する。それに対して、図 4 の第 2 の実施形態のゲート駆動回路では、コンデンサ 13 の電圧  $V_r$  がトランス 2 の二次電圧に依存しないため、トランス 2 の二次電圧がオーバーシュートしても、コンデンサ 13 の電圧  $V_r$  が不足することはない。

【 0056 】

次に本発明のゲート駆動回路の第 3 の実施形態について説明する。

図 5 は、第 3 の実施形態のゲート駆動回路の構成例を示す図である。

この図 5 の構成を図 4 の第 2 の実施形態の構成と比較すると、図 5 の第 3 の実施形態の構成は、図 4 の構成の NPN トランジスタ 22 を電界効果トランジスタ (FET) 24 に置き換えたものである。

【 0057 】

この図 5 の第 3 の実施形態のゲート駆動回路では、コンデンサ 13 の電圧  $V_r$  はツェナーダイオード 20 のツェナー電圧 - FET 24 のゲートスレッシュールド電圧 ( $V_{th}$ ) となる。

【 0058 】

一般にバイポーラトランジスタのベース・エミッタ間電圧降下  $V_{be}$  が 0.6 ~ 0.8 V 程度であるのに対し、FET のゲートスレッシュールド電圧  $V_{th}$  は 1.2 ~ 3 V 程度と大きい。よってあらかじめツェナーダイオード 20 のツェナー電圧を高く設定しておくことでコンデンサ 13 の電圧  $V_r$  を適当な値とする。

【 0059 】

FET は電圧駆動素子であり、定常的にはゲートに電流を流す必要がないので、FET 24 を用いた図 5 の第 3 の実施形態の構成は、抵抗器 21 ツェナーダイオード 20 に流れる電流を図 4 の第 2 の実施形態の構成より小さくすることができ、損失をさらに抑制することができる。

【 0060 】

なお FET の  $V_{th}$  は部品のバラツキや温度により変るため、コンデンサ 13 の電圧  $V_r$  は必ずしも一定とはならないが、本回路の目的からは順バイアス電圧および逆バイアス電圧が一定範囲内であれば動作上は支障がないので、FET 24 に適当な特性のものを選定することで図 5 の第 3 の実施形態のゲート駆動回路を実現することができる。

【 符号の説明 】

【 0061 】

- 1 信号発生回路
- 2 トランス
- 3、8、15 抵抗器
- 4 半導体スイッチ
- 4a 寄生キャパシタ

10

20

30

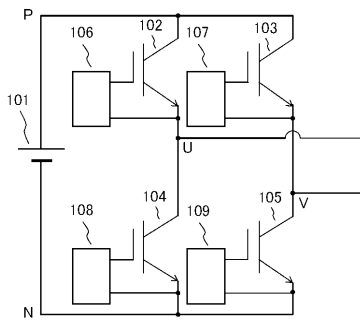
40

50



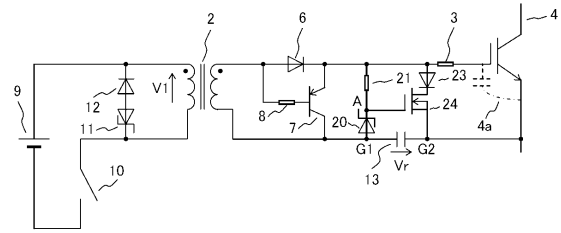
【 図 3 】

本実施形態のゲート駆動回路の適用例を示す図



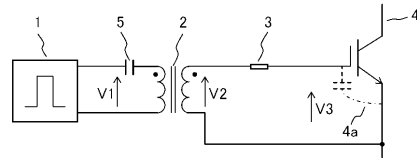
【 図 5 】

第3の実施形態のゲート駆動回路の構成例を示す図



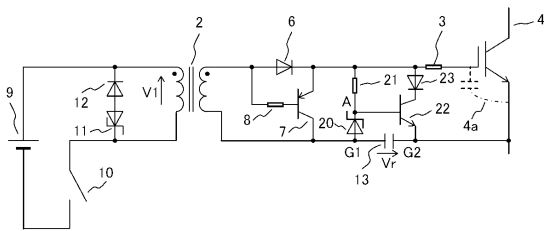
【 図 6 】

従来のゲート駆動回路の例を示す図



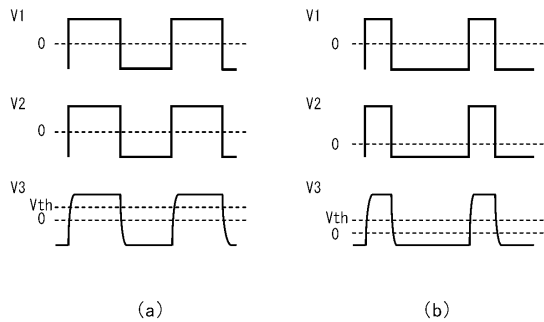
【 図 4 】

第2の実施形態のゲート駆動回路の構成例を示す図



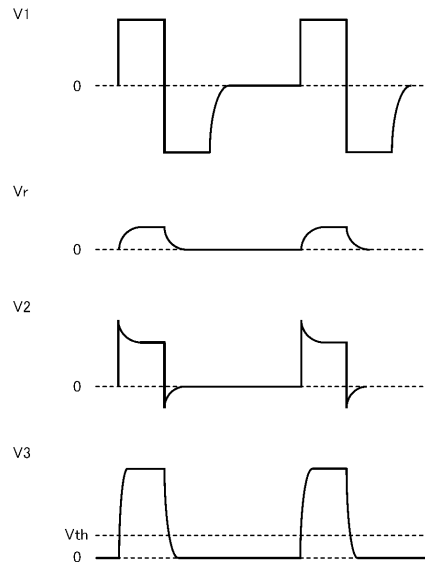
【 図 7 】

図6のゲート駆動回路の動作を示すタイムチャートを示す図



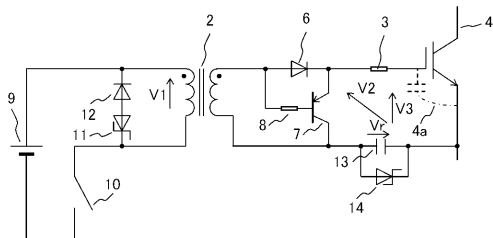
【 図 9 】

図8のゲート駆動回路の動作を示すタイムチャートを示す図



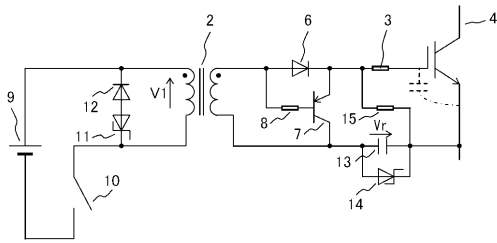
【 図 8 】

オン時間、オフ時間が不均等な装置に対応する従来のゲート駆動回路の構成例を示す図



【図10】

充電抵抗を設け、オン期間中のコンデンサの充電量を大きくした従来のゲート駆動回路の構成例を示す図



---

フロントページの続き

- (56)参考文献 特開平 1 1 - 1 4 5 8 1 0 ( J P , A )  
特開 2 0 0 0 - 2 1 6 6 7 1 ( J P , A )  
特開平 0 8 - 0 5 6 1 4 5 ( J P , A )  
特開 2 0 0 8 - 1 9 3 8 5 4 ( J P , A )  
特開 2 0 0 1 - 2 9 3 5 6 4 ( J P , A )

(58)調査した分野(Int.Cl. , DB名)

H 0 2 M      1 / 0 8  
H 0 3 K      1 7 / 6 8 7