(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第4657252号
(P4657252)
(45)発行日　平成23年3月23日(2011.3.23)　(24)登録日　平成23年1月7日(2011.1.7)

(51)Int.Cl.　F I
G11B 7/005 (2006.01)　G11B 7/005 Z
G11B 20/10 (2006.01)　G11B 20/10 321A

請求項の数 3　(全 9 頁)

(21)出願番号　特願2007-147845(P2007-147845)
(22)出願日　平成19年6月4日(2007.6.4)
(65)公開番号　特開2008-300012(P2008-300012A)
(43)公開日　平成20年12月11日(2008.12.11)
審査請求日　平成22年1月27日(2010.1.27)

(73)特許権者　000001889
三洋電機株式会社
大阪府守口市京阪本通２丁目５番５号
(73)特許権者　506227884
三洋半導体株式会社
群馬県邑楽郡大泉町坂田一丁目１番１号
(74)代理人　100107906
弁理士　須藤　克彦
(72)発明者　吉村　剛
群馬県邑楽郡大泉町坂田一丁目１番１号
三洋半導体株式会社内
(72)発明者　河合　多一郎
群馬県邑楽郡大泉町坂田一丁目１番１号
三洋半導体株式会社内

最終頁に続く

(54)【発明の名称】チャージポンプ回路及びスライスレベルコントロール回路

(57)【特許請求の範囲】
【請求項１】
入力信号に応じて、キャパシタの充電及び放電を行うチャージポンプ回路において、
　第１の電流源と、第２の電流源と、第１のトランジスタと、前記第１のトランジスタとカレントミラー回路を構成する第２のトランジスタと、
入力信号が第１のレベルの時に、前記第１の電流源を前記第１のトランジスタに接続して、前記カレントミラー回路から前記キャパシタに充電電流を出力し、
入力信号が第２のレベルの時に、前記第２の電流源を前記第１のトランジスタに接続し、前記カレントミラー回路の出力を遮断するとともに、前記第１の電流源により前記キャパシタからの放電電流を流すように制御を行うスイッチング回路を備えることを特徴とするチャージポンプ回路。
【請求項２】
前記第１及び第２の電流源の流す電流の電流値が互いに等しいことを特徴とする請求項１に記載のチャージポンプ回路。
【請求項３】
アナログＲＦ信号の直流成分を除去する第１のキャパシタと、
　前記第１のキャパシタを通して入力されたアナログＲＦ信号が第１の入力端子に印加され、第２の入力端子に基準電圧が印加され、前記アナログＲＦ信号と前記基準電圧とを比較して、その比較結果に応じてデジタルＲＦ信号を出力するコンパレータと、
　前記第１の入力端子に接続された第２のキャパシタと、

前記コンパレータから出力されたデジタルＲＦ信号に応じて、前記第２のキャパシタの充電及び放電を行うチャージポンプ回路と、を備え、
前記チャージポンプ回路は、第１の電流源と、第２の電流源と、第１のトランジスタと、前記第１のトランジスタとカレントミラー回路を構成する第２のトランジスタと、
前記コンパレータから出力されたデジタルＲＦ信号が第１のレベルの時に、前記第１の電流源を前記第１のトランジスタに接続して、前記カレントミラー回路から前記第２のキャパシタに充電電流を出力し、
前記コンパレータから出力されたデジタルＲＦ信号が第２のレベルの時に、前記第２の電流源を前記第１のトランジスタに接続し、前記カレントミラー回路の出力を遮断するとともに、前記第１の電流源により前記第２のキャパシタからの放電電流を流すように制御を行うスイッチング回路を備えることを特徴とするスライスレベルコントロール回路。

【発明の詳細な説明】

【技術分野】

【０００１】

本発明は、光ディスク再生装置に好適に用いられるチャージポンプ回路及びスライスレベルコントロール回路に関するものである。

【背景技術】

【０００２】

ＣＤやＤＶＤ等の光ディスクに記録されたデータを再生するには、光ピックアップによって読み取られたアナログ信号を、スライスレベルコントロール回路（以下、ＳＬＣ回路という。）で２値のデジタルＲＦ信号に変換する信号処理が必要となる。

【０００３】

図５は、一般的なＳＬＣ回路を示す回路図である。光ピックアップによって読み取られたアナログＲＦ信号は、ＲＦアンプ（不図示）によって増幅されて入力端子Ｉｎに入力される。入力されたアナログＲＦ信号は、キャパシタ１００によってその直流成分が除去され、コンパレータ１０１の一方の入力端子（反転入力端子）に供給される。コンパレータ１０１の他方の端子（非反転入力端子）には、基準電圧として、Ｖｄｄ／２（Ｖｄｄは電源電位）が供給されている。コンパレータ１０１はアナログＲＦ信号と基準電圧とを比較して２値のデジタルＲＦ信号を出力端子Ｏｕｔから出力する。即ち、アナログＲＦ信号が基準電圧より小さいときコンパレータ１０１の出力はハイレベル「１」となり、アナログＲＦ信号が基準電圧より大きいときコンパレータ１０１の出力はロウレベル「０」となる。光ディスク再生装置において、デジタルＲＦ信号は、ＰＬＬ(Phase Locked Loop)の基準クロックとして用いられる。

【０００４】

また、キャパシタ１００とコンパレータ１０１の反転入力端子との間には、抵抗１０２を介してキャパシタ１０３の一方の端子（正側端子）が接続されている。キャパシタ１０３の他方の端子（負側端子）は接地されている。

【０００５】

また、コンパレータ１０１の出力レベルに応じてスイッチングし、キャパシタ１０３に充電電流１０５と放電電流１０６を流すチャージポンプ回路１０４が設けられている。具体的には、コンパレータ１０１の出力レベルがハイレベルのとき、チャージポンプ回路１０４はキャパシタ１０３に充電電流１０５を流してキャパシタ１０３を充電させる。コンパレータ１０１の出力レベルがロウレベルのとき、チャージポンプ回路１０４はキャパシタ１０３から放電電流１０６を流してキャパシタ１０３を放電させる。

【０００６】

そして、このようなキャパシタ１０３の充放電によって、アナログＲＦ信号の中心電圧のレベルが調整され、アナログＲＦ信号の中心電圧が、そのスライスレベルになる。コンパレータ１０１のオフセットが無い理想的な場合、スライスレベルは基準電圧に一致することになる。

【０００７】

本発明に関連した技術は、例えば以下の特許文献に記載されている。
【特許文献１】特開平９－２３７４５９号公報
【発明の開示】
【発明が解決しようとする課題】
【０００８】
ところで、ＳＬＣ回路から得られるデジタルＲＦ信号のハイレベルとロウレベルのデューティ(Duty)比は、ジッタ低減のために５０％にしたいという要求がある。そのためには、チャージポンプ回路の出力電流である、充電電流１０５と放電電流１０６の電流値（絶対値）を等しくすることが必要である。
【０００９】
しかしながら、高周波のアナログＲＦ信号（数ＭＨｚ以上）を入力して上記ＳＬＣ回路を動作させると、従来のチャージポンプ回路では、出力電流の立ち上がり時間が長くなり、図６に示すＡ，Ｂ部分のような「なまり」が生じていた。（図６の電流Ｉのプラス電流が充電電流１０５、マイナス電流が放電電流１０６に対応している。）
【００１０】
そのため、充電電流１０５と放電電流１０６の電流値を等しく設定することが困難となり、デジタルＲＦ信号のデューティ(Duty)比を５０％に保てなくなり、ＳＬＣ回路の出力信号波形にジッタが発生するという問題があった。
【課題を解決するための手段】
【００１１】
本発明は上記課題に鑑みてなされたものであり、その主な特徴は以下のとおりである。すなわち、本発明のチャージポンプ回路は、入力信号に応じて、キャパシタの充電及び放電を行うチャージポンプ回路において、第１の電流源と、第２の電流源と、第１のトランジスタと、前記第１のトランジスタとカレントミラー回路を構成する第２のトランジスタと、入力信号が第１のレベルの時に、前記第１の電流源を前記第１のトランジスタに接続して、前記カレントミラー回路から前記キャパシタに充電電流を出力し、入力信号が第２のレベルの時に、前記第２の電流源を前記第１のトランジスタに接続し、前記カレントミラー回路の出力を遮断するとともに、前記第１の電流源により前記キャパシタからの放電電流を流すように制御を行うスイッチング回路を備えることを特徴とする。
【００１２】
また、本発明のスライスレベルコントロール回路は、アナログＲＦ信号の直流成分を除去する第１のキャパシタと、前記第１のキャパシタを通して入力されたアナログＲＦ信号が第１の入力端子に印加され、第２の入力端子に基準電圧が印加され、前記アナログＲＦ信号と前記基準電圧とを比較して、その比較結果に応じてデジタルＲＦ信号を出力するコンパレータと、前記第１の入力端子に接続された第２のキャパシタと、前記コンパレータから出力されたデジタルＲＦ信号に応じて、前記第２のキャパシタの充電及び放電を行うチャージポンプ回路と、を備え、前記チャージポンプ回路は、第１の電流源と、第２の電流源と、第１のトランジスタと、前記第１のトランジスタとカレントミラー回路を構成する第２のトランジスタと、前記コンパレータから出力されたデジタルＲＦ信号が第１のレベルの時に、前記第１の電流源を前記第１のトランジスタに接続して、前記カレントミラー回路から前記第２のキャパシタに充電電流を出力し、前記コンパレータから出力されたデジタルＲＦ信号が第２のレベルの時に、前記第２の電流源を前記第１のトランジスタに接続し、前記カレントミラー回路の出力を遮断するとともに、前記第１の電流源により前記第２のキャパシタからの放電電流を流すように制御を行うスイッチング回路を備えることを特徴とする。
【発明の効果】
【００１３】
本発明のチャージポンプ回路によれば、入力信号が高周波の場合でも出力電流の立ち上がり時間を短縮することができる。
【００１４】

また、本発明のスライスレベルコントロール回路によれば、アナログＲＦ信号をデジタルＲＦ信号に変換することができるとともに、チャージポンプ回路の出力電流の立ち上がり時間が短縮されているので、デジタルＲＦ信号のデューティ(Duty)比を５０％に保つことが可能になり、出力信号波形のジッタを低減することができる。

【発明を実施するための最良の形態】

【００１５】

本発明の実施形態について説明する前に、参考例について図面を参照しながら説明する。図１は、参考例に係るチャージポンプ回路１１０を示す回路図である。

【００１６】

このチャージポンプ回路１１０は、Ｐチャネル型ＭＯＳトランジスタ（以下、ＰＭＯＳａ，ＰＭＯＳｂとする。）と、スイッチング素子ＳＷａ，ＳＷｂと、定電流Ｉを流す定電流源１１１とを備えている。

【００１７】

ＰＭＯＳａとＰＭＯＳｂはゲートが相互に接続されており、ＰＭＯＳａのゲートはそのドレインと接続されている。ＰＭＯＳａとＰＭＯＳｂのソースには電源電位（Ｖｄｄ）が印加されるようになっており、ＰＭＯＳａ及びＰＭＯＳｂによりカレントミラー回路が構成されている。

【００１８】

ＰＭＯＳｂのドレインには、スイッチング素子ＳＷａを介して定電流源１１１が接続されており、ＰＭＯＳｂとスイッチング素子ＳＷaとの接続点（ノードＸ）は、出力端子Ｏｕｔと接続されている。また、ＰＭＯＳａのドレインにはスイッチング素子ＳＷｂを介して定電流源１１１が接続されている。

【００１９】

次に、このチャージポンプ回路１１０を、図５で示したＳＬＣ回路のチャージポンプ回路１０４に用いた場合の動作について説明する。コンパレータ１０１から出力されたデジタルＲＦ信号がハイレベルのとき、スイッチング素子ＳＷａはオフし、スイッチング素子ＳＷｂはオンする。そうすると、ＰＭＯＳａがオンして定電流源１１１の定電流Ｉに等しい電流値の電流Ｉａがスイッチング素子ＳＷｂ及びＰＭＯＳａに流れる。そして、カレントミラー回路の特性から、この電流Ｉａと等しい電流値の充電電流Ｉｂ（図５で示す充電電流１０５）が出力端子Ｏｕｔを介してキャパシタ１０３の正側端子に供給される。

【００２０】

一方、コンパレータ１０１から出力されたデジタルＲＦ信号がハイレベルからロウレベルになると、スイッチング素子ＳＷａはオンし、スイッチング素子ＳＷｂはオフする。そうすると、ＰＭＯＳａ及びＰＭＯＳｂはオフし、定電流源１１１の定電流Ｉに等しい電流値の放電電流Ｉｃ（図５で示す放電電流１０６）が、キャパシタ１０３から出力端子Ｏｕｔを介して定電流源１１１側に流れる。

【００２１】

高速なアナログＲＦ信号を入力して、ＳＬＣ回路を動作させると、チャージポンプ回路１１０の出力電流の立ち上がり時間が長くなり、図６に示すＡ，Ｂ部分のような「なまり」が生じる。本発明者の検討によれば、Ａ部分の「なまり」の原因は、ＰＭＯＳａのスイッチングの遅れにある。つまり、放電電流Ｉｃが流れている状態ではＰＭＯＳａはオフ状態であり、その後スイッチング素子ＳＷａをオフし、ＳＷｂをオンさせても、ＰＭＯＳａがオフ状態からオン状態になるまでに相当な期間を要する。

【００２２】

また、Ｂ部分の「なまり」の原因は、充電電流Ｉｂを出力している状態ではカレントミラー回路のＰＭＯＳａ，ＰＭＯＳｂはオン状態であり、その後スイッチング素子ＳＷａをオンさせ、ＳＷｂをオフさせたとしても、ＰＭＯＳｂがオフするまでに相当な時間を要することである。つまり、ＳＷｂをオフさせた直後は、ＰＭＯＳａのドレイン電圧は下がったまま（オン状態）であり、ＰＭＯＳｂのゲート電圧（＝ＰＭＯＳａのドレイン電圧）もオン状態の電圧が残っている。その後、ＰＭＯＳａのドレイン電圧は電源電位Ｖｄｄから

ＰＭＯＳａに電流が流れることで上昇していき、これに伴ってＰＭＯＳｂのゲート電圧も上昇していき、最終的にＰＭＯＳｂはオフする。

【００２３】

次に、本発明の実施形態について図面を参照しながら説明する。図２Ａ及び図２Ｂは、本発明の実施形態に係るチャージポンプ回路１を示す回路図である。このチャージポンプ回路１は、第１及び第２のＰチャネル型ＭＯＳトランジスタ（以下、それぞれＰＭＯＳ１，ＰＭＯＳ２とする。）と、第１乃至第４のスイッチング素子ＳＷ１，ＳＷ２，ＳＷ３，ＳＷ４と、第１及び第２の定電流源２，３とを有している。

【００２４】

ＰＭＯＳ１とＰＭＯＳ２とはゲートが相互に接続されており、ＰＭＯＳ１のゲートはそのドレインと接続されている。ＰＭＯＳ１とＰＭＯＳ２のソースには電源電位（Ｖｄｄ）が印加されるようになっており、ＰＭＯＳ１及びＰＭＯＳ２によりカレントミラー回路が構成されている。

【００２５】

ＰＭＯＳ２のドレインには、第１及び第２のスイッチング素子ＳＷ１，ＳＷ２、第１の定電流源２が順に接続されている。また、第１のスイッチング素子ＳＷ１と第２のスイッチング素子ＳＷ２との接続点（ノードＹ１）は出力端子Ｏｕｔと接続されている。

【００２６】

ＰＭＯＳ１のドレインは、第３のスイッチング素子ＳＷ３を介して第１の定電流源２と接続されており、また、第４のスイッチング素子ＳＷ４を介して第２の定電流源３と接続されている。なお、ＰＭＯＳ１のドレインと、第３のスイッチング素子ＳＷ３及び第４のスイッチング素子ＳＷ４との接続点をノードＹ２とする。

【００２７】

また、チャージポンプ回路１は、図３に示すように、コンパレータ１０１から出力されたデジタルＲＦ信号に応じて制御されている。つまり、第１乃至第４のスイッチング素子ＳＷ１～ＳＷ４をＮチャネル型ＭＯＳトランジスタで構成した場合には、コンパレータ１０１の出力信号を第１及び第３のスイッチング素子ＳＷ１，ＳＷ３のゲートに印加し、第２及び第４のスイッチング素子ＳＷ２，ＳＷ４のゲートにはインバータ４，５を介してデジタルＲＦ信号を印加する。これにより、コンパレータ１０１から出力されたデジタルＲＦ信号がハイレベルのときは、第１及び第３のスイッチング素子ＳＷ１，ＳＷ３はオンし、第２及び第４のスイッチング素子ＳＷ２，ＳＷ４はオフする。また、コンパレータ１０１から出力されたデジタルＲＦ信号がロウレベルのときは、第１及び第３のスイッチング素子ＳＷ１，ＳＷ３はオフし、第２及び第４のスイッチング素子ＳＷ２，ＳＷ４はオンするようになっている。

【００２８】

チャージポンプ回路１は、要するに、参考例のチャージポンプ回路１１０に第４のスイッチング素子ＳＷ４と第２の定電流源３を設けることで、チャージポンプ回路１１０の本来の動作に影響しないダミーの電流パスを形成し、ＰＭＯＳ１に常に電流を流し続けるようにした。さらに、第１のスイッチング素子ＳＷ１を加えることにより、参考例のようなＰＭＯＳａ及びＰＭＯＳｂのスイッチングの遅れによる出力電流波形の「なまり」を無くすことができる。

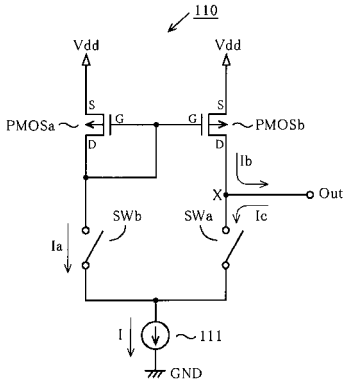
【００２９】

次に、このチャージポンプ回路１を、図５で示したＳＬＣ回路に用いた場合の動作について説明する。コンパレータ１０１から出力されたデジタルＲＦ信号がハイレベルのとき、図２Ａに示すように、第１及び第３のスイッチング素子ＳＷ１はオンし、第２及び第４のスイッチング素子ＳＷ２，ＳＷ４はオフする。以下、この期間を第１の期間とする。そうすると、ＰＭＯＳ１はオンして第１の定電流源２の定電流に等しい電流値の電流Ｉ１がＰＭＯＳ１及び第３のスイッチング素子ＳＷ３に流れる。そして、カレントミラー回路の特性からこの電流Ｉ１と等しい電流値の充電電流Ｉ２（図５で示す充電電流１０５に相当）が出力端子Ｏｕｔを介してキャパシタ１０３の正側端子に供給される。

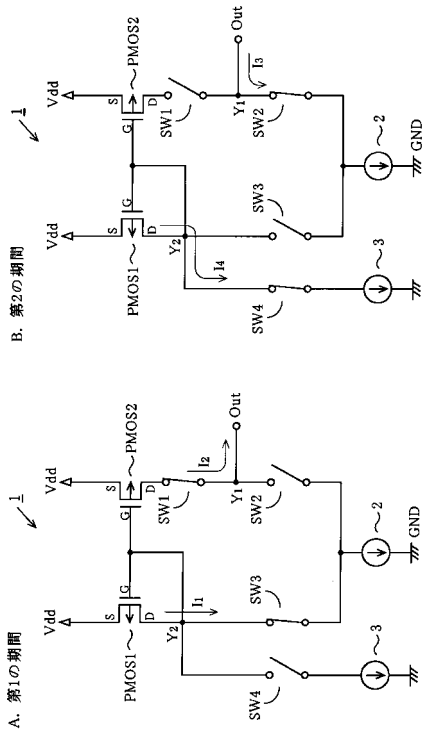
【００３０】
一方、コンパレータ１０１から出力されたデジタルＲＦ信号がハイレベルからロウレベルになると、図２Ｂに示すように、第１及び第３のスイッチング素子ＳＷ１，ＳＷ３はオフし、第２及び第４のスイッチング素子ＳＷ２，ＳＷ４はオンする。以下、この期間を第２の期間とする。第２のスイッチング素子ＳＷ２がオンするため、第１の定電流源２の定電流に等しい放電電流Ｉ３（図５で示す放電電流１０６に相当）が、キャパシタ１０３から出力端子Ｏｕｔを介して第１の定電流源２側に流れる。また、ＰＭＯＳ１のドレインは、第４のスイッチング素子ＳＷ４を介して第２の定電流源３と接続されているため、第２の期間の際もＰＭＯＳ１はオンしたままであり、第４のスイッチング素子ＳＷ４を介して、第２の定電流源３の定電流に等しい電流値の電流Ｉ４が流れている。また、第１のスイッチング素子ＳＷ１がオフしていることで、カレントミラー回路の出力は瞬時に遮断され、ＰＭＯＳ２から出力端子Ｏｕｔに電流が流れることはない。
【００３１】
これにより、高速なアナログＲＦ信号を入力して動作させた場合でも、放電電流Ｉ３の立ち上がり時間は短縮され、波形の「なまり」を無くすことができる（図４参照）。
【００３２】
また、コンパレータ１０１から出力されたデジタルＲＦ信号がロウレベルからハイレベルになると、（図２Ｂの状態から図２Ａの状態に変化すると）、ＰＭＯＳ１には電流が流れ続けているので、参考例のチャージポンプ回路１１０のようにＰＭＯＳｂがオンするまでの期間を要せず、充電電流Ｉ２の立ち上がりが遅れることを防止することができる。これにより、高速なアナログＲＦ信号を入力して動作させた場合でも、充電電流Ｉ２の立ち上がり時間も短縮され、波形の「なまり」を無くすことができる（図４参照）。尚、電流Ｉ４の電流値は、電流Ｉ１の電流値と等しいことが好ましいので、第１の第２の定電流源２、第２の定電流源３の定電流の電流値は互いに等しいことが好ましい。
【００３３】
本実施形態の構成によれば、チャージポンプ回路１の出力電流（充電電流Ｉ２及び放電電流Ｉ３）の波形の「なまり」を効果的に防止し、求めるデューティ(Duty)比（例えば５０％）のチャージポンプ出力を得ることができる。従って、チャージポンプ回路１をＳＬＣ回路に用いることで、デジタルＲＦ信号のデューティ(Duty)比を５０％に保つことが可能になり、その信号波形のジッタを低減することができる。
【００３４】
なお、本発明は上記実施形態に限定されることはなく、その要旨を逸脱しない範囲で変更が可能である。例えば、上記実施形態において、チャージポンプ回路１はＳＬＣ回路の一部として用いられていたが、本発明のチャージポンプ回路は、ある制御信号に応じてキャパシタを充放電する回路に広く利用することが可能である。
【図面の簡単な説明】
【００３５】
【図１】参考例に係るチャージポンプ回路を示す回路図である。
【図２】本発明の実施形態に係るチャージポンプ回路を示す回路図である。
【図３】本発明の実施形態に係るチャージポンプ回路を示す回路図である。
【図４】本発明の実施形態に係るチャージポンプ回路の出力電流を示す波形図である。
【図５】スライスレベルコントロール回路を示す回路図である。
【図６】本発明が解決しようとする課題を示す波形図である。
【符号の説明】
【００３６】
１　チャージポンプ回路　　２　第１の定電流源　　３　第２の定電流源
４　インバータ　　５　インバータ　　１００　キャパシタ
１０１　コンパレータ　　１０２　抵抗　　１０３　キャパシタ
１０４　チャージポンプ回路　　１０５　充電電流　　１０６　放電電流
１１０　チャージポンプ回路　　１１１　定電流源　　Ｉｎ　入力端子

Ｏｕｔ　出力端子　　ＰＭＯＳａ，ＰＭＯＳｂ　Ｐチャネル型ＭＯＳトランジスタ
ＰＭＯＳ１　第１のＰチャネル型ＭＯＳトランジスタ
ＰＭＯＳ２　第２のＰチャネル型ＭＯＳトランジスタ
ＳＷａ，ＳＷｂ　スイッチング素子
ＳＷ１～ＳＷ４　第１のスイッチング素子～第４のスイッチング素子

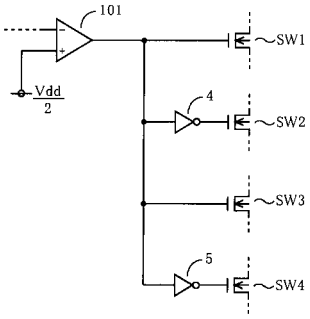
【図１】



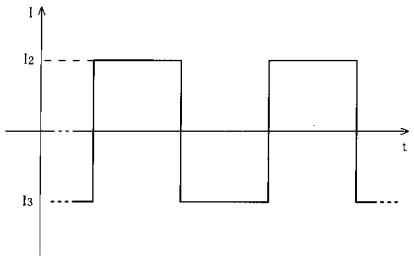
【図２】



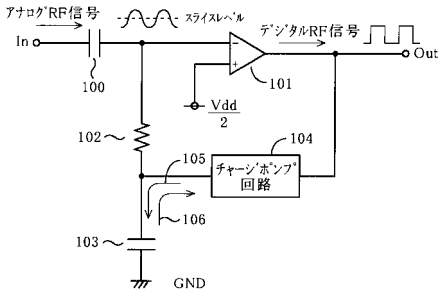
【図３】


101
Vdd
2
4
5
SW1
SW2
SW3
SW4

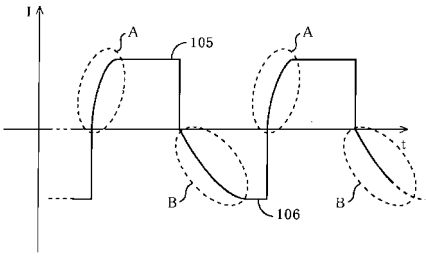
【図４】


I
I2
I3
t

【図５】


アナログRF信号
スライスレベル
デジタルRF信号
In
Out
100
101
Vdd
2
102
103
104
105
チャージポンプ
回路
106
GND

【図６】


I
A
105
A
t
B
106
B

フロントページの続き

審査官　ゆずりは　広行

(56)参考文献　特開２００３－０７７１３５（ＪＰ，Ａ）
特開２００１－３１９４２４（ＪＰ，Ａ）
特開２００１－１４４６１０（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
Ｇ１１Ｂ　　７／００　－　７／０１３
Ｇ１１Ｂ　２０／１０