

(19) 日本国特許庁(JP)

## (12) 特 許 公 報(B2)

(11) 特許番号

特許第4726292号  
(P4726292)

(45) 発行日 平成23年7月20日(2011.7.20)

(24) 登録日 平成23年4月22日(2011.4.22)

(51) Int.Cl.

F 1

|                     |                  |                   |              |
|---------------------|------------------|-------------------|--------------|
| <b>H01L 21/8246</b> | <b>(2006.01)</b> | <b>H01L 27/10</b> | <b>4 4 7</b> |
| <b>H01L 27/105</b>  | <b>(2006.01)</b> | <b>G11C 11/14</b> | <b>Z</b>     |
| <b>G11C 11/14</b>   | <b>(2006.01)</b> | <b>G11C 11/14</b> | <b>A</b>     |
| <b>G11C 11/15</b>   | <b>(2006.01)</b> | <b>G11C 11/15</b> |              |
| <b>H01L 43/08</b>   | <b>(2006.01)</b> | <b>H01L 43/08</b> | <b>Z</b>     |

請求項の数 18 (全 89 頁) 最終頁に続く

(21) 出願番号

特願2000-346896 (P2000-346896)

(22) 出願日

平成12年11月14日 (2000.11.14)

(65) 公開番号

特開2002-151661 (P2002-151661A)

(43) 公開日

平成14年5月24日 (2002.5.24)

審査請求日

平成19年10月29日 (2007.10.29)

(73) 特許権者 302062931

ルネサスエレクトロニクス株式会社

神奈川県川崎市中原区下沼部 1753 番地

(74) 代理人 100064746

弁理士 深見 久郎

(74) 代理人 100085132

弁理士 森田 俊雄

(74) 代理人 100083703

弁理士 仲村 義平

(74) 代理人 100096781

弁理士 堀井 豊

(74) 代理人 100109162

弁理士 酒井 将行

(74) 代理人 100111246

弁理士 荒川 伸夫

最終頁に続く

(54) 【発明の名称】薄膜磁性体記憶装置

## (57) 【特許請求の範囲】

## 【請求項 1】

薄膜磁性体記憶装置であって、  
行列状に配置された複数の磁性体メモリセルを有するメモリアレイを備え、  
前記複数の磁性体メモリセルの各々は、  
第1および第2のデータ書き込み電流によって書き込まれる記憶データのレベルに応じて抵抗値が変化する記憶部と、  
データ読み出時に前記記憶部にデータ読み出電流を通過させるためのメモリセル選択ゲートとを含み、

前記磁性体メモリセルの行に対応して設けられ、前記データ読み出時に前記行選択結果に応じて対応する前記メモリセル選択ゲートを作動させるための複数の読み出ワード線と、

前記磁性体メモリセルの列に対応して設けられ、データ書き込時および前記データ読み出時に前記第1のデータ書き込み電流および前記データ読み出電流をそれぞれ流すための複数のデータ線と、

前記行に対応して設けられ、前記データ書き込時に前記第2のデータ書き込み電流を流すために行選択結果に応じて選択的に活性化される複数の書き込ワード線と、

データ読み出に用いる基準電圧と前記書き込ワード線とを結合するための複数のワード線電流制御回路とをさらに備え、

隣接する前記磁性体メモリセルは、前記複数の書き込ワード線、前記複数の読み出ワード線および前記複数のデータ線のうちの少なくとも1つのうちの対応する1本を共有する、薄

10

20

膜磁性体記憶装置。

【請求項 2】

前記隣接する磁性体メモリセルは、対応する前記書込ワード線および前記データ線のうちの前記記憶部からより遠い一方を共有し、

前記書込ワード線および前記データ線のうちの前記一方は、対応する前記書込ワード線および前記データ線のうちの他方よりも大きい断面積を有する、請求項1記載の薄膜磁性体記憶装置。

【請求項 3】

前記書込ワード線および前記データ線のうちの前記一方は、前記書込ワード線および前記データ線のうちの他方よりも、エレクトロマイグレーション耐性の大きい材質で形成される、請求項1記載の薄膜磁性体記憶装置。 10

【請求項 4】

列方向に隣接する前記磁性体メモリセルは、前記複数の書込ワード線のうちの対応する1本を共有し、

前記複数のデータ線のうちの2本ずつは、前記データ読出時においてデータ線対を構成し、

同一の前記読出ワード線によって選択される複数個の前記磁性体メモリセルは、前記データ線対を構成する2本のデータ線の一方ずつとそれぞれ接続され、

前記データ読出電流は、列選択結果に対応する前記データ線対を構成する2本のデータ線の各々に対して供給される、請求項1記載の薄膜磁性体記憶装置。 20

【請求項 5】

列方向に隣接する前記磁性体メモリセルは、前記複数の読出ワード線のうちの対応する1本を共有し、

前記複数のデータ線のうちの2本ずつは、前記データ書込時においてデータ線対を構成し、

同一の前記書込ワード線によって選択される複数個の前記磁性体メモリセルは、前記データ線対を構成する2本のデータ線の一方ずつとそれぞれ接続され、

前記第1のデータ書込電流は、列選択結果に対応する前記データ線対を構成する2本のデータ線のそれぞれに対して、互いに逆方向の電流として供給される、請求項1記載の薄膜磁性体記憶装置。 30

【請求項 6】

前記複数のデータ線のうちの2本ずつは、前記データ読出時およびデータ書込時においてデータ線対を構成し、

同一の前記読出ワード線および同一の前記書込ワード線によってそれぞれ選択される複数個の前記磁性体メモリセルは、前記データ線対を構成する2本のデータ線の一方ずつとそれぞれ接続され、

前記データ読出電流は、列選択結果に対応する前記データ線対を構成する2本のデータ線の各々に対して供給され、

前記第1のデータ書込電流は、前記2本のデータ線のそれぞれに対して、互いに逆方向の電流として供給される、請求項1記載の薄膜磁性体記憶装置。 40

【請求項 7】

前記薄膜磁性体記憶装置は、さらに、

前記データ書込時において、前記データ線対を構成する2本のデータ線同士を電気的に結合するためのスイッチ回路と、

前記データ書込時において、列選択結果に対応する前記データ線対を構成する2本のデータ線のそれぞれに対して、第1および第2の電圧の一方ずつを供給するデータ書込回路とを備える、請求項5または6に記載の薄膜磁性体記憶装置。

【請求項 8】

薄膜磁性体記憶装置であって、

行列状に配置された複数の磁性体メモリセルを有するメモリアレイを備え、

50

前記複数の磁性体メモリセルの各々は、

第1および第2のデータ書込電流によって書き込まれる記憶データのレベルに応じて抵抗値が変化する記憶部と、

データ読出時において前記記憶部にデータ読出電流を通過させるためのメモリセル選択ゲートとを含み、

前記磁性体メモリセルの行に対応して設けられ、前記データ読出時において、行選択結果に応じて対応する前記メモリセル選択ゲートを作動させるための複数の読出ワード線と、

前記磁性体メモリセルの列に対応して設けられる複数の信号配線とをさらに備え、

行方向に隣接する前記磁性体メモリセルは、前記複数の信号配線のうちの対応する1本を共有し、10

データ書込時および前記データ読出時において、前記第1のデータ書込電流および前記データ読出電流を前記信号配線にそれぞれ供給するための読出書込制御回路と、

前記行に対応して設けられ、前記データ書込時において前記第2のデータ書込電流を流すために行選択結果に応じて選択的に活性化される複数の書込ワード線と、

前記複数の信号配線に対応してそれぞれ設けられ、前記データ読出時に用いる基準電圧と前記複数の信号配線のうちの対応する1本とを電気的に結合するための複数の制御スイッチとをさらに備え、

前記複数の制御スイッチは、各前記磁性体メモリセルに対応する2本の前記信号配線のうちの列選択結果に応じて選択される1本を前記基準電圧と結合する、薄膜磁性体記憶装置。20

#### 【請求項9】

列方向に隣接する前記磁性体メモリセルは、前記複数の読出ワード線および前記複数の書込ワード線の少なくとも1つのうちの対応する1本を共有する、請求項8記載の薄膜磁性体記憶装置。

#### 【請求項10】

前記隣接する磁性体メモリセルは、対応する前記書込ワード線および前記信号配線のうちの前記記憶部からより遠い一方を共有し、

前記書込ワード線および前記信号配線のうちの前記一方は、前記書込ワード線および前記信号配線のうちの他方よりも大きい断面積を有する、請求項8または9に記載の薄膜磁性体記憶装置。30

#### 【請求項11】

前記書込ワード線および前記信号配線のうちの前記一方は、前記書込ワード線および前記信号配線のうちの他方よりも、エレクトロマイグレーション耐性の大きい材質で形成される、請求項8記載の薄膜磁性体記憶装置。

#### 【請求項12】

薄膜磁性体記憶装置であって、

行列状に配置された複数の磁性体メモリセルを有するメモリアレイを備え、

前記複数の磁性体メモリセルの各々は、

第1および第2のデータ書込電流によって印可されるデータ書込磁界が所定磁界よりも大きい場合に書き込まれる記憶データのレベルに応じて抵抗値が変化する記憶部と、40

データ読出時において前記記憶部にデータ読出電流を通過させるためのメモリセル選択ゲートとを含み、

前記磁性体メモリセルの行に対応して設けられ、データ書込時において前記第1のデータ書込電流を流すために行選択結果に応じて選択的に活性化される複数の書込ワード線と、

前記行に対応して設けられ、前記データ読出時において行選択結果に応じて対応する前記メモリセル選択ゲートを作動させるための複数の読出ワード線と、

前記磁性体メモリセルの列に対応して設けられ、前記データ書込時において前記第2のデータ書込電流を流すための複数の書込データ線と、50

前記列に対応して設けられ、前記データ読出時において前記データ読出電流を流すための複数の読出データ線とをさらに備え、

隣接する前記磁性体メモリセルは、前記複数の書込ワード線、前記複数の読出ワード線、前記複数の読出データ線および前記複数の書込データ線の少なくとも1つのうちの対応する1本を共有する、薄膜磁性体記憶装置。

#### 【請求項13】

前記隣接する磁性体メモリセルは、対応する前記書込ワード線および前記書込データ線のうちの前記記憶部からより遠い一方を共有し、

前記書込ワード線および前記書込データ線のうちの前記一方は、前記書込ワード線および前記書込データ線のうちの他方よりも大きい断面積を有する、請求項1\_2記載の薄膜磁性体記憶装置。 10

#### 【請求項14】

前記書込ワード線および前記書込データ線のうちの前記一方は、前記書込ワード線および前記書込データ線のうちの他方よりも、エレクトロマイグレーション耐性の大きい材質で形成される、請求項1\_2記載の薄膜磁性体記憶装置。

#### 【請求項15】

列方向に隣接する前記磁性体メモリセルは、前記複数の書込ワード線のうちの対応する1本を共有し、

前記複数の読出データ線のうちの2本ずつは、前記データ読出時において読出データ線対を構成し、 20

同一の前記読出ワード線によって選択される複数個の前記磁性体メモリセルは、前記読出データ線対を構成する2本の読出データ線の一方ずつとそれぞれ接続され、

前記データ読出電流は、列選択結果に対応する前記読出データ線対を構成する2本の読出データ線の各々に対して供給される、請求項1\_2記載の薄膜磁性体記憶装置。 20

#### 【請求項16】

列方向に隣接する前記磁性体メモリセルは、前記複数の読出ワード線のうちの対応する1本を共有し、

前記複数の書込データ線のうちの2本ずつは、前記データ書込時において書込データ線対を構成し、

同一の前記書込ワード線によって選択される複数個の前記磁性体メモリセルは、前記書込データ線対を構成する2本の書込データ線の一方ずつとそれぞれ接続され、 30

前記第2のデータ書込電流は、列選択結果に対応する前記書込データ線対を構成する2本の書込データ線のそれぞれに対して、互いに逆方向の電流として供給される、請求項1\_2記載の薄膜磁性体記憶装置。 30

#### 【請求項17】

前記複数の書込データ線および読出データ線のうちの2本ずつは、書込データ線対および読出データ線対をそれぞれ構成し、

同一の前記読出ワード線によって選択される複数個の前記磁性体メモリセルは、前記読出データ線対を構成する2本の読出データ線の一方ずつとそれぞれ接続され、

同一の前記書込ワード線によってそれぞれ選択される複数個の前記磁性体メモリセルは、前記書込データ線対を構成する2本の書込データ線の一方ずつとそれぞれ接続され、 40

前記データ読出電流は、列選択結果に対応する前記読出データ線対を構成する2本の読出データ線の各々に対して供給され、

第2のデータ書込電流は、列選択結果に対応する前記書込データ線対を構成する2本の書込データ線のそれぞれに対して、互いに逆方向の電流として供給される、請求項1\_2記載の薄膜磁性体記憶装置。 40

#### 【請求項18】

前記薄膜磁性体記憶装置は、さらに、

前記データ書込時において、前記書込データ線対を構成する2本の書込データ線同士を電気的に結合するためのスイッチ回路と、 50

前記データ書込時において、列選択結果に対応する前記書込データ線対を構成する2本の書込データ線のそれぞれに対して、第1および第2の電圧の一方ずつを供給するデータ書回路とを備える、請求項1\_6または1\_7に記載の薄膜磁性体記憶装置。

**【発明の詳細な説明】**

**【0001】**

**【発明の属する技術分野】**

この発明は、薄膜磁性体記憶装置に関し、より特定的には、磁気トンネル接合（M T J : Magnetic Tunneling Junction）を有するメモリセルを備えたランダムアクセスメモリに関する。

**【0002】**

10

**【従来の技術】**

低消費電力で不揮発的なデータの記憶が可能な記憶装置として、M R A M (Magnetic Random Access Memory) デバイスが注目されている。M R A M デバイスは、半導体集積回路に形成された複数の薄膜磁性体を用いて不揮発的なデータ記憶を行ない、薄膜磁性体の各々に対してランダムアクセスが可能な記憶装置である。

**【0003】**

特に、近年では磁気トンネル接合（M T J : Magnetic Tunnel Junction）を利用した薄膜磁性体をメモリセルとして用いることによって、M R A M 装置の性能が飛躍的に進歩することが発表されている。磁気トンネル接合を有するメモリセルを備えたM R A M デバイスについては、“A 10ns Read and Write Non-Volatile Memory Array Using a Magnetic Tunnel Junction and FET Switch in each Cell”, ISSCC Digest of Technical Papers, TA7.2, Feb. 2000. および “Nonvolatile RAM based on Magnetic Tunnel Junction Elements”, ISSCC Digest of Technical Papers, TA7.3, Feb. 2000. 等の技術文献に開示されている。

20

**【0004】**

図88は、磁気トンネル接合部を有するメモリセル（以下、単に「M T J メモリセル」とも称する）の構成を示す概略図である。

**【0005】**

30

図88を参照して、M T J メモリセルは、記憶データのデータレベルに応じて抵抗値が変化する磁気トンネル接合部M T J と、アクセストランジスタA T Rとを備える。アクセストランジスタA T Rは、電界効果トランジスタで形成され、磁気トンネル接合部M T J と接地電圧V s sとの間に結合される。

**【0006】**

M T J メモリセルに対しては、データ書込を指示するためのライトワード線W W Lと、データ読出を指示するためのリードワード線R W Lと、データ読出時およびデータ書込時ににおいて記憶データのレベルに対応した電気信号を伝達するためのデータ線であるビット線B Lとが配置される。

**【0007】**

図89は、M T J メモリセルからのデータ読出動作を説明する概念図である。

図89を参照して、磁気トンネル接合部M T J は、一定方向の固定磁界を有する磁性体層（以下、単に「固定磁気層」とも称する）F Lと、自由磁界を有する磁性体層（以下、単に「自由磁気層」とも称する）V Lとを有する。固定磁気層F Lおよび自由磁気層V Lとの間には、絶縁体膜で形成されるトンネルバリアT Bが配置される。自由磁気層V Lにおいては、記憶データのレベルに応じて、固定磁気層F Lと同一方向の磁界および固定磁気層F Lと異なる方向の磁界のいずれか一方が不揮発的に書き込まれる。

40

**【0008】**

データ読出時においては、アクセストランジスタA T Rがリードワード線R W Lの活性化に応じてターンオンされる。これにより、ビット線B L～磁気トンネル接合部M T J～アクセストランジスタA T R～接地電圧V s sの電流経路に、図示しない制御回路から一定電流として供給されるセンス電流I sが流れる。

50

**【0009】**

磁気トンネル接合部MTJの抵抗値は、固定磁気層FLと自由磁気層VLとの間の磁界方向の相対関係に応じて変化する。具体的には、固定磁気層FLの磁界方向と自由磁気層VLに書込まれた磁界方向とが同一である場合には、両者の磁界方向が異なる場合に比べて磁気トンネル接合部MTJの抵抗値は小さくなる。

**【0010】**

したがって、データ読出時においては、センス電流Isによって磁気トンネル接合部MTJで生じる電圧変化は、自由磁気層VLに記憶された磁界方向に応じて異なる。これにより、ピット線BLを一旦所定電圧にプリチャージした状態とした後にセンス電流Isの供給を開始すれば、ピット線BLの電圧レベル変化の監視によってMTJメモリセルの記憶データのレベルを読み出すことができる。10

**【0011】**

図90は、MTJメモリセルに対するデータ書き込み動作を説明する概念図である。

**【0012】**

図90を参照して、データ書き込み時においては、リードワード線RWLは非活性化され、アクセストランジスタATRはターンオフされる。この状態で、自由磁気層VLに磁界を書き込むためのデータ書き込み電流がライトワード線WWLおよびピット線BLにそれぞれ流れれる。自由磁気層VLの磁界方向は、ライトワード線WWLおよびピット線BLをそれぞれ流れれるデータ書き込み電流の向きの組合せによって決定される。20

**【0013】**

図91は、データ書き込み時におけるデータ書き込み電流の方向と磁界方向との関係を説明する概念図である。

**【0014】**

図91を参照して、横軸で示される磁界Hxは、ライトワード線WWLを流れれるデータ書き込み電流によって生じる磁界H(WWL)の方向を示す。一方、縦軸に示される磁界Hyは、ピット線BLを流れれるデータ書き込み電流によって生じる磁界H(BL)の方向を示す。

**【0015】**

自由磁気層VLに記憶される磁界方向は、磁界H(WWL)とH(BL)との和が図中に示されるアステロイド特性線の外側の領域に達する場合においてのみ、新たに書き込まれる。すなわち、アステロイド特性線の内側の領域に相当する磁界が印加された場合においては、自由磁気層VLに記憶される磁界方向は更新されない。30

**【0016】**

したがって、磁気トンネル接合部MTJの記憶データを書き込み動作によって更新するためには、ライトワード線WWLとピット線BLとの両方に電流を流す必要がある。磁気トンネル接合部MTJに一旦記憶された磁界方向すなわち記憶データは、新たなデータ書き込みが実行されるまでの間不揮発的に保持される。

**【0017】**

データ読出時においても、ピット線BLにはセンス電流Isが流れれる。しかし、センス電流Isは一般的に、上述したデータ書き込み電流よりは1~2桁程度小さくなるように設定されるので、センス電流Isの影響によりデータ読出時においてMTJメモリセルの記憶データが誤って書き換えられる可能性は小さい。40

**【0018】**

上述した技術文献においては、このようなMTJメモリセルを半導体基板上に集積して、ランダムアクセスメモリであるMRAMデバイスを構成する技術が開示されている。

**【0019】****【発明が解決しようとする課題】**

図92は、行列状に集積配置されたMTJメモリセルを示す概念図である。

**【0020】**

図92を参照して、半導体基板上に、MTJメモリセルを行列状に配置することによって、高集積化されたMRAMデバイスを実現することができる。図92においては、MT50

Jメモリセルをn行×m列(n, m:自然数)に配置する場合が示される。

#### 【0021】

既に説明したように、各MTJメモリセルに対して、ビット線BL、ライトワード線WWLおよびリードワード線RWLを配置する必要がある。したがって、行列状に配されたn×m個のMTJメモリセルに対して、n本のライトワード線WWL<sub>1</sub>～WWL<sub>n</sub>およびリードワード線RWL<sub>1</sub>～RWL<sub>n</sub>と、m本のビット線BL<sub>1</sub>～BL<sub>m</sub>とを配置する必要がある。すなわち、読出動作と書き動作とのそれぞれに対応して独立したワード線を設ける構成が必要となる。

#### 【0022】

図93は、半導体基板上に配置されたMTJメモリセルの構造図である。

10

図93を参照して、半導体主基板SUB上のp型領域PARにアクセストランジスタATRが形成される。アクセストランジスタATRは、n型領域であるソース/ドレイン領域110, 120とゲート130とを有する。ソース/ドレイン領域110は、第1の金属配線層M1に形成された金属配線を介して接地電圧Vssと結合される。ライトワード線WWLには、第2の金属配線層M2に形成された金属配線が用いられる。また、ビット線BLは第3の金属配線層M3に設けられる。

#### 【0023】

磁気トンネル接合部MTJは、ライトワード線WWLが設けられる第2の金属配線層M2とビット線BLが設けられる第3の金属配線層M3との間に配置される。アクセストランジスタATRのソース/ドレイン領域120は、コンタクトホールに形成された金属膜150と、第1および第2の金属配線層M1およびM2と、バリアメタル140とを介して、磁気トンネル接合部MTJと電気的に結合される。バリアメタル140は、磁気トンネル接合部MTJと金属配線との間を電気的に結合するために設けられる緩衝材である。

20

#### 【0024】

既に説明したように、MTJメモリセルにおいては、リードワード線RWLはライトワード線WWLとは独立の配線として設けられる。また、ライトワード線WWLおよびビット線BLは、データ書込時において所定値以上の大きさの磁界を発生させるためのデータ書込電流を流す必要がある。したがって、ビット線BLおよびライトワード線WWLは金属配線を用いて形成される。

#### 【0025】

30

一方、リードワード線RWLは、アクセストランジスタATRのゲート電圧を制御するために設けられるものであり、電流を積極的に流す必要はない。したがって、集積度を高める観点から、リードワード線RWLは、独立した金属配線層を新たに設けることなく、ゲート130と同一の配線層において、ポリシリコン層やポリサイド構造などを用いて形成されていた。

#### 【0026】

このように、データ読出およびデータ書込に必要な配線が多いことから、MTJメモリセルを半導体基板上に集積し配置する場合において、これらの配線の配置スペースとの関係でセルサイズが大型化してしまう問題点があった。

#### 【0027】

40

また、MTJメモリセルの集積化を図るには、配線のピッチを小さくしたり配線層数を多くする必要があり、プロセス工程の複雑化に起因する製造コストの上昇を招いていた。

#### 【0028】

さらに、配線数および配線層数が多いことから、ワード線とビット線との交点の各々にMTJメモリセルを配置する、いわゆるクロスポイント配置を採用せざるを得ないため、データ読出およびデータ書込の動作マージンを十分に確保することが困難であった。

#### 【0029】

また、データ書込時において、ビット線BLに比較的大きなデータ書込電流を流す必要があり、かつ書込データのレベルに応じて、このデータ書込電流の方向を制御する必要がある。このため、データ書込電流を制御するための回路が複雑化するという問題点もあった

50

。

**【 0 0 3 0 】**

この発明は、このような問題点を解決するためになされたものであって、この発明の目的は、MTJメモリセルを有するMRAMデバイスにおいて、メモリアレイ全体に配置される配線数を削減して、MRAMデバイスの高集積化を図ることである。

**【 0 0 3 1 】**

この発明の他の目的は、いわゆる折返し型ビット線構成を適用することによって、MRAMデバイスのデータ読出および書込動作の安定性を向上することである。

**【 0 0 3 2 】**

この発明のさらに他の目的は、データ書込電流を供給するための制御回路の構成を簡素化して、MRAMデバイスのチップ面積を削減することである。 10

**【 0 0 3 4 】**

**【課題を解決するための手段】**

この発明のある局面による薄膜磁性体記憶装置は、行列状に配置された複数の磁性体メモリセルを有するメモリアレイを備え、複数の磁性体メモリセルの各々は、第1および第2のデータ書込電流によって書き込まれる記憶データのレベルに応じて抵抗値が変化する記憶部と、データ読出時において記憶部にデータ読出電流を通過させるためのメモリセル選択ゲートとを含み、磁性体メモリセルの行に対応して設けられ、データ読出時において行選択結果に応じて対応するメモリセル選択ゲートを作動させるための複数の読出ワード線と、磁性体メモリセルの列に対応して設けられ、データ書込時およびデータ読出時において第1のデータ書込電流およびデータ読出電流をそれぞれ流すための複数のデータ線と、行に対応して設けられ、データ書込時において第2のデータ書込電流を流すために行選択結果に応じて選択的に活性化される複数の書込ワード線と、データ読出に用いる基準電圧と書込ワード線とを結合するための複数のワード線電流制御回路とをさらに備え、隣接する磁性体メモリセルは、複数の書込ワード線、複数の読出ワード線および複数のデータ線のうちの少なくとも1つのうちの対応する1本を共有する。 20

**【 0 0 3 5 】**

好ましくは、隣接する磁性体メモリセルは、対応する書込ワード線およびデータ線のうちの記憶部からより遠い一方を共有し、書込ワード線およびデータ線のうちの一方は、書込ワード線およびデータ線のうちの他方よりも大きい断面積を有する。 30

**【 0 0 3 6 】**

また好ましくは、書込ワード線およびデータ線のうちの一方は、書込ワード線およびデータ線のうちの他方よりも、エレクトロマイグレーション耐性の大きい材質で形成される。 。

**【 0 0 3 7 】**

あるいは好ましくは、列方向に隣接する磁性体メモリセルは、複数の書込ワード線のうちの対応する1本を共有し、複数のデータ線のうちの2本ずつは、データ読出時においてデータ線対を構成し、同一の読出ワード線によって選択される複数個の磁性体メモリセルは、データ線対を構成する2本のデータ線の一方ずつとそれぞれ接続され、データ読出電流は、列選択結果に対応するデータ線対を構成する2本のデータ線の各々に対して供給される。 40

**【 0 0 3 8 】**

また好ましくは、列方向に隣接する磁性体メモリセルは、複数の読出ワード線のうちの対応する1本を共有し、複数のデータ線のうちの2本ずつは、データ書込時においてデータ線対を構成し、同一の書込ワード線によって選択される複数個の磁性体メモリセルは、データ線対を構成する2本のデータ線の一方ずつとそれぞれ接続され、第1のデータ書込電流は、列選択結果に対応するデータ線対を構成する2本のデータ線のそれぞれに対して、互いに逆方向の電流として供給される。

**【 0 0 3 9 】**

あるいは好ましくは、複数のデータ線のうちの2本ずつは、データ読出時およびデータ

50

書込時においてデータ線対を構成し、同一の読出ワード線および同一の書込ワード線によつてそれぞれ選択される複数個の磁性体メモリセルは、データ線対を構成する2本のデータ線の一方ずつとそれぞれ接続され、データ読出電流は、列選択結果に対応するデータ線対を構成する2本のデータ線の各々に対して供給され、第1のデータ書込電流は、2本のデータ線のそれぞれに対して、互いに逆方向の電流として供給される。

#### 【0040】

さらに好ましくは、データ書込時において、データ線対を構成する2本のデータ線同士を電気的に結合するためのスイッチ回路と、データ書込時において、列選択結果に対応するデータ線対を構成する2本のデータ線のそれぞれに対して、第1および第2の電圧の一方ずつを供給するデータ書き込み回路とをさらに備える。

10

#### 【0041】

この発明のさらに他の局面による薄膜磁性体記憶装置は、行列状に配置された複数の磁性体メモリセルを有するメモリアレイを備え、複数の磁性体メモリセルの各々は、第1および第2のデータ書込電流によって書き込まれる記憶データのレベルに応じて抵抗値が変化する記憶部と、データ読出時において記憶部にデータ読出電流を通過させるためのメモリセル選択ゲートとを含み、磁性体メモリセルの行に対応して設けられ、データ読出時において、行選択結果に応じて対応するメモリセル選択ゲートを作動させるための複数の読出ワード線と、磁性体メモリセルの列に対応して設けられる複数の信号配線とをさらに備え、行方向に隣接する磁性体メモリセルは、複数の信号配線のうちの対応する1本を共有し、データ書込時およびデータ読出時において、第1のデータ書込電流およびデータ読出電流を信号配線にそれぞれ供給するための読出書込制御回路と、行に対応して設けられ、データ書込時において第2のデータ書込電流を流すために行選択結果に応じて選択的に活性化される複数の書込ワード線と、複数の信号配線に対応してそれぞれ設けられ、データ読出時に用いる基準電圧と複数の信号配線のうちの対応する1本とを電気的に結合するための複数の制御スイッチとをさらに備え、複数の制御スイッチは、各磁性体メモリセルに対応する2本の信号配線のうちの列選択結果に応じて選択される1本を基準電圧と結合する。

20

#### 【0042】

好ましくは、列方向に隣接する磁性体メモリセルは、複数の読出ワード線および複数の書込ワード線の少なくとも1つのうちの対応する1本を共有する。

30

#### 【0043】

また好ましくは、隣接する磁性体メモリセルは、対応する書込ワード線および信号配線のうちの記憶部からより遠い一方を共有し、書込ワード線および信号配線のうちの一方は、書込ワード線および信号配線のうちの他方よりも大きい断面積を有する。

#### 【0044】

あるいは好ましくは、書込ワード線および信号配線のうちの一方は、対応する書込ワード線および信号配線のうちの他方よりも、エレクトロマイグレーション耐性の大きい材質で形成される。

#### 【0045】

この発明のさらにもう1つの局面による薄膜磁性体記憶装置は、行列状に配置された複数の磁性体メモリセルを有するメモリアレイを備え、複数の磁性体メモリセルの各々は、第1および第2のデータ書込電流によって印可されるデータ書込磁界が所定磁界よりも大きい場合に書き込まれる記憶データのレベルに応じて抵抗値が変化する記憶部と、データ読出時において記憶部にデータ読出電流を通過させるためのメモリセル選択ゲートとを含み、磁性体メモリセルの行に対応して設けられ、データ書込時において第1のデータ書込電流を流すために行選択結果に応じて選択的に活性化される複数の書込ワード線と、行に対応して設けられ、データ読出時において行選択結果に応じて対応するメモリセル選択ゲートを作動させるための複数の読出ワード線と、磁性体メモリセルの列に対応して設けられ、データ書込時において第2のデータ書込電流を流すための複数の書込データ線と、列に対応して設けられ、データ読出時においてデータ読出電流を流すための複数の読出データ線とをさらに備え、複数の信号配線とをさらに備え、各磁性体メモリセルに対応する2本の信号配線のうちの列選択結果に応じて選択される1本を基準電圧と結合する。

40

50

タ線とをさらに備え、隣接する磁性体メモリセルは、複数の書きワード線、複数の読み出ワード線、複数の読み出データ線および複数の書きデータ線の少なくとも1つのうちの対応する1本を共有する。

#### 【0046】

好ましくは、隣接する磁性体メモリセルは、対応する書きワード線および書きデータ線のうちの記憶部からより遠い一方を共有し、書きワード線および書きデータ線のうちの一方は、書きワード線および書きデータ線のうちの他方よりも大きい断面積を有する。

#### 【0047】

また好ましくは、書きワード線および書きデータ線のうちの一方は、書きワード線および書きデータ線のうちの他方よりも、エレクトロマイグレーション耐性の大きい材質で形成される。

10

#### 【0048】

あるいは好ましくは、列方向に隣接する磁性体メモリセルは、複数の書きワード線のうちの対応する1本を共有し、複数の読み出データ線のうちの2本ずつは、データ読み出時ににおいて読み出データ線対を構成し、同一の書きワード線によって選択される複数個の磁性体メモリセルは、読み出データ線対を構成する2本の読み出データ線の一方ずつとそれぞれ接続され、データ読み出電流は、列選択結果に対応する読み出データ線対を構成する2本の読み出データ線の各々に対して供給される。

#### 【0049】

また好ましくは、列方向に隣接する磁性体メモリセルは、複数の読み出ワード線のうちの対応する1本を共有し、複数の書きデータ線のうちの2本ずつは、データ書き時ににおいて書きデータ線対を構成し、同一の書きワード線によって選択される複数個の磁性体メモリセルは、書きデータ線対を構成する2本の書きデータ線の一方ずつとそれぞれ接続され、第2のデータ書き電流は、列選択結果に対応する書きデータ線対を構成する2本の書きデータ線のそれぞれに対して、互いに逆方向の電流として供給される。

20

#### 【0050】

あるいは好ましくは、複数の書きデータ線および読み出データ線のうちの2本ずつは、書きデータ線対および読み出データ線対をそれぞれ構成し、同一の書きワード線によって選択される複数個の磁性体メモリセルは、読み出データ線対を構成する2本の読み出データ線の一方ずつとそれぞれ接続され、同一の書きワード線によってそれぞれ選択される複数個の磁性体メモリセルは、書きデータ線対を構成する2本の書きデータ線の一方ずつとそれぞれ接続され、データ読み出電流は、列選択結果に対応する書きデータ線対を構成する2本の書きデータ線の各々に対して供給され、第2のデータ書き電流は、列選択結果に対応する書きデータ線対を構成する2本の書きデータ線のそれぞれに対して、互いに逆方向の電流として供給される。

30

#### 【0051】

さらに好ましくは、薄膜磁性体記憶装置は、データ書き時ににおいて、書きデータ線対を構成する2本の書きデータ線同士を電気的に結合するためのスイッチ回路と、データ書き時ににおいて、列選択結果に対応する書きデータ線対を構成する2本の書きデータ線のそれぞれに対して、第1および第2の電圧の一方ずつを供給するデータ書き回路とをさらに備える。

40

#### 【0052】

##### 【発明の実施の形態】

以下において、本発明の実施の形態について図面を参照して詳細に説明する。

#### 【0053】

##### 【実施の形態1】

図1は、本発明の実施の形態1に従うM R A Mデバイス1の全体構成を示す概略プロック図である。

#### 【0054】

図1を参照して、M R A Mデバイス1は、外部からの制御信号C M Dおよびアドレス信号

50

A D D に応答してランダムアクセスを行ない、書きデータ D I N の入力および読出データ D O U T の出力を実行する。

#### 【 0 0 5 5 】

M R A M デバイス 1 は、制御信号 C M D に応答して M R A M デバイス 1 の全体動作を制御するコントロール回路 5 と、行列状に配置された複数の M T J メモリセル（以下、単に「メモリセル」とも称する）を有するメモリアレイ 1 0 とを備える。メモリアレイ 1 0 の構成は後に詳細に説明するが、M T J メモリセルの行（以下、単に「メモリセル行」とも称する）に対応して複数のライトワード線 W W L およびリードワード線 R W L が配置され、M T J メモリセルの列（以下、単に「メモリセル列」とも称する）に対応して複数のビット線 B L および基準電圧配線 S L が配置される。

10

#### 【 0 0 5 6 】

M R A M デバイス 1 は、さらに、アドレス信号 A D D によって示されるロウアドレス R A のデコード結果に応じて、メモリアレイ 1 0 における行選択を実行する行デコーダ 2 0 と、アドレス信号 A D D によって示されるコラムアドレス C A のデコード結果に応じて、メモリアレイ 1 0 における列選択を実行する列デコーダ 2 5 と、行デコーダ 2 0 の行選択結果に基づいてリードワード線 R W L およびライトワード線 W W L を選択的に活性化するためのワード線ドライバ 3 0 と、データ書込時においてライトワード線 W W L にデータ書込電流を流すためのワード線電流制御回路 4 0 と、データ読出およびデータ書込時のそれにおいてデータ書込電流およびセンス電流を流すための読出 / 書込制御回路 5 0 , 6 0 とを備える。

20

#### 【 0 0 5 7 】

読出 / 書込制御回路 5 0 および 6 0 は、メモリアレイ 1 0 の両端部におけるビット線 B L の電圧レベルを制御して、データ書込およびデータ読出をそれぞれ実行するためのデータ書込電流およびセンス電流をビット線 B L に流す。

#### 【 0 0 5 8 】

##### [ メモリセルの構成および動作 ]

図 2 は、実施の形態 1 に従う M T J メモリセルと信号配線との間の接続関係を示す回路図である。

#### 【 0 0 5 9 】

図 2 を参照して、メモリセルに対して、リードワード線 R W L 、ライトワード線 W W L 、ビット線 B L および基準電圧配線 S L が設けられる。

30

#### 【 0 0 6 0 】

メモリセルは、直列に結合された磁気トンネル接合部 M T J およびアクセストランジスタ A T R を含む。既に説明したように、アクセストランジスタ A T R には、半導体基板上に形成された電界効果トランジスタである M O S トランジスタが代表的に適用される。

#### 【 0 0 6 1 】

アクセストランジスタ A T R のゲートはリードワード線 R W L と結合される。アクセストランジスタ A T R は、リードワード線 R W L が選択状態（ H レベル、電源電圧 V c c ）に活性化されるとターンオンして、磁気トンネル接合部 M T J と基準電圧配線 S L とを電気的に結合する。基準電圧配線 S L は、接地電圧 V s s を供給する。磁気トンネル接合部 M T J は、ビット線 B L とアクセストランジスタ A T R との間に電気的に結合される。

40

#### 【 0 0 6 2 】

したがって、アクセストランジスタ A T R のターンオンに応答して、ビット線 B L ~ 磁気トンネル接合部 M T J ~ アクセストランジスタ A T R ~ 基準電圧配線 S L の電流経路が形成される。この電流経路にセンス電流 I s を流すことにより、磁気トンネル接合部 M T J の記憶データのレベルに応じた電圧変化がビット線 B L に生じる。

#### 【 0 0 6 3 】

一方、リードワード線 R W L が非選択状態（ L レベル、接地電圧 V s s ）に非活性化される場合には、アクセストランジスタ A T R はターンオフして、磁気トンネル接合部 M T J と基準電圧配線 S L との間を電気的に遮断する。

50

**【 0 0 6 4 】**

ライトワード線WWLは、リードワード線RWLと平行に、磁気トンネル接合部MTJと近接して設けられる。データ書込時においては、ライトワード線WWLおよびビット線BLにデータ書込電流が流され、これらのデータ書込電流によってそれぞれ生じる磁界の和によってメモリセルの記憶データのレベルが書換えられる。

**【 0 0 6 5 】**

図3は、実施の形態1に従うメモリセルに対するデータ書込およびデータ読出を説明するタイミングチャートである。

**【 0 0 6 6 】**

まず、データ書込時の動作について説明する。

10

ワード線ドライバ30は、行デコーダ20の行選択結果に応じて、選択行に対応するライトワード線WWLの電圧を選択状態(Hレベル)に駆動する。非選択行においては、ライトワード線WWLの電圧レベルは非選択状態(Lレベル)のままである。

**【 0 0 6 7 】**

リードワード線RWLは、データ書込時においては、活性化されず非選択状態(Lレベル)に維持される。ワード線電流制御回路40によって、各ライトワード線WWLは、接地電圧Vssと結合されているので、選択行のライトワード線WWLにはデータ書込電流Ipが流される。一方、非選択行のライトワード線WWLには電流は流れない。

**【 0 0 6 8 】**

読み出し/書き込み制御回路50および60は、メモリアレイ10の両端におけるビット線BLの電圧を制御することによって、書き込みデータのデータレベルに応じた方向のデータ書込電流を生じさせる。たとえば“1”の記憶データを書き込む場合には、読み出し/書き込み制御回路60側のビット線電圧を高電圧状態(電源電圧Vcc)に設定し、反対側の読み出し/書き込み制御回路50側のビット線電圧を低電圧状態(接地電圧Vss)に設定する。これにより、読み出し/書き込み制御回路60から50へ向かう方向にデータ書込電流+Iwがビット線BLを流れれる。一方、“0”の記憶データを書き込む場合には、読み出し/書き込み制御回路50側および60側のビット線電圧を高電圧状態(電源電圧Vcc)および低電圧状態(接地電圧Vss)にそれぞれ設定し、読み出し/書き込み制御回路50から60へ向かう方向にデータ書込電流-Iwがビット線BLを流れれる。

20

**【 0 0 6 9 】**

30

この際に、データ書込電流±Iwを各ビット線に流す必要はなく、読み出し/書き込み制御回路50および60は、列デコーダ25の列選択結果に応じて、選択列に対応する一部のビット線に対してデータ書込電流±Iwを選択的に流すように、上述したビット線BLの電圧を制御すればよい。

**【 0 0 7 0 】**

このようにデータ書込電流Ipおよび±Iwの方向を設定することによって、データ書込時において、書き込まれる記憶データのレベル“1”，“0”に応じて、逆方向のデータ書込電流+Iwおよび-Iwのいずれか一方を選択し、ライトワード線WWLのデータ書込電流Ipをデータレベルに関係なく一定方向に固定することによって、ライトワード線WWLに流れるデータ書込電流Ipの方向を常に一定にすることができる。この結果、以下に説明するようにワード線電流制御回路40の構成を簡略化することができる。

40

**【 0 0 7 1 】**

次にデータ読出動作について説明する。

データ読出時において、ワード線ドライバ30は、行デコーダ20の行選択結果に応じて、選択行に対応するリードワード線RWLを選択状態(Hレベル)に駆動する。非選択行に対応するリードワード線RWLの電圧レベルは、非選択状態(Lレベル)に維持される。データ読出時においては、ライトワード線WWLは活性化されることなく非選択状態(Lレベル)に維持されたままである。

**【 0 0 7 2 】**

データ読出動作前において、ビット線BLはたとえば高電圧状態(電源電圧Vcc)にブ

50

リチャージされる。この状態からデータ読出が開始されて、選択行においてリードワード線 R WL が H レベルに活性化されると、対応するアクセストランジスタ ATR がターンオンする。

#### 【0073】

これに応じて、メモリセルにおいては、アクセストランジスタ ATR を介して、接地電圧 Vss を供給する基準電圧配線 SL とビット線 BL との間にセンス電流 Is の電流経路が形成される。センス電流 Is により、メモリセルの記憶データのデータレベルに応じて異なる電圧降下がビット線 BL に生じる。図 3においては、一例として記憶されるデータレベルが“1”である場合に、固定磁気層 FL と自由磁気層 VL における磁界方向が同一であるとすると、記憶データが“1”である場合にビット線 BL の電圧降下 V1 は小さく、記憶データが“0”である場合のビット線 BL の電圧降下 V2 は、V1 よりも大きくなる。これらの電圧降下 V1 および V2 の差を検知することによって、メモリセルに記憶されたデータのレベルを読出することができる。10

#### 【0074】

基準電圧配線 SL の電圧レベルは、データ読出時においては、センス電流を流すために接地電圧 Vss に設定される必要がある。一方、データ書込時においては、アクセストランジスタ ATR がターンオフされるため、基準電圧配線 SL が磁気トンネル接合部 MTJ に特に影響を及ぼすことはない。よって、基準電圧配線 SL の電圧レベルは、データ読出時と同様に接地電圧 Vss に設定できる。したがって、基準電圧配線 SL は、接地電圧 Vss を供給するノードと結合する様子とすればよい。20

#### 【0075】

図 4 は、実施の形態 1 に従うメモリセルの配置を説明する構造図である。

図 4 を参照して、アクセストランジスタ ATR は、半導体主基板 SUB 上の p 型領域 PAR に形成される。基準電圧配線 SL は、第 1 の金属配線層 M1 に配置されて、アクセストランジスタ ATR の一方のソース / ドレイン領域 110 と電気的に結合される。また、基準電圧配線 SL は、半導体基板上のいずれかのノードにおいて、接地電圧 Vss を供給するノードと結合される。

#### 【0076】

他方のソース / ドレイン領域 120 は、第 1 の金属配線層 M1 および第 2 の金属配線層 M2 に設けられた金属配線、コンタクトホールに形成された金属膜 150 およびバリアメタル 140 を経由して、磁気トンネル接合部 MTJ と結合される。ライトワード線 WWL は、磁気トンネル接合部と近接して第 2 の金属配線層 M2 に設けられる。リードワード線 RWL は、アクセストランジスタ ATR のゲート 130 と同一層に配置される。30

#### 【0077】

ビット線 BL は、磁気トンネル接合部 MTJ と電気的に結合するように、第 3 の金属配線層 M3 に配置される。

#### 【0078】

##### [メモリアレイにおける信号線の共有]

図 5 は、実施の形態 1 に従うメモリアレイ 10 の構成を示すブロック図である。

#### 【0079】

図 5 を参照して、メモリアレイ 10 は、行列状に配置された複数のメモリセル MC を有する。実施の形態 1 に従う構成においては、各メモリセル行に対応してリードワード線 R WL およびライトワード線 WWL が設けられ、各メモリセル列に対応してビット線 BL および基準電圧配線 SL が配置される。リードワード線 R WL およびライトワード線 WWL は、行方向に沿って配置される。ビット線 BL および基準電圧配線 SL は、列方向に沿って配置される。40

#### 【0080】

行方向に隣接するメモリセルは、同一の基準電圧配線 SL を共有する。たとえば、第 1 番目および第 2 番目のメモリセル列に属するメモリセル群は、1 本の基準電圧配線 SL 1 を共有する。他のメモリセル列に対しても、基準電圧配線 SL は、同様に配置される。基準50

電圧配線 S L は、基本的には一定電圧（本実施の形態においては、接地電圧 V ss）を供給するので、特別な電圧制御等を行なうことなく、このように共有することができる。

**【 0 0 8 1 】**

ワード線電流制御回路 4 0 は、各ライトワード線 WW L を接地電圧 V ss と結合する。これにより、ライトワード線 WW L を選択状態（H レベル、電源電圧 V cc）に活性化した場合に、各ライトワード線にデータ書き込み電流 I p を流すことができる。

**【 0 0 8 2 】**

なお、以下においては、ライトワード線、リードワード線、ビット線および基準電圧配線を総括的に表現する場合には、符号 WW L、RW L、BL および SL をそれぞれ用いて表記することとし、特定のライトワード線、リードワード線およびビット線を示す場合には、これらの符号に添字を付して RW L 1, WW L 1 のように表記するものとする。  
10

**【 0 0 8 3 】**

基準電圧配線 SL を行方向に隣接するメモリセル間で共有することにより、メモリアレイ 10 全体に配置される配線数を削減することができる。この結果、メモリアレイ 10 を高集積化して、MRAM デバイスのチップ面積を削減することができる。

**【 0 0 8 4 】**

**[ 実施の形態 1 の変形例 1 ]**

図 6 は、実施の形態 1 の変形例 1 に従うメモリアレイ 10 の構成を示すブロック図である。  
。

**【 0 0 8 5 】**

図 6 を参照して、実施の形態 1 の変形例 1 に従うメモリアレイ 10 においては、行方向に隣接するメモリセルは、同一のビット線 BL を共有する。たとえば、第 1 番目および第 2 番目のメモリセル列に属するメモリセル群は、1 本のビット線 BL を共有する。他のメモリセル列に対しても、ビット線 BL は、同様に配置される。  
20

**【 0 0 8 6 】**

ただし、同一のビット線 BL に対応して、複数のメモリセル MC がデータ読出もしくはデータ書き込みの対象となるとデータ衝突が発生して、MRAM デバイスは誤動作を生じてしまう。したがって、実施の形態 1 の変形例 1 に従うメモリアレイ 10 においては、メモリセル MC は、メモリセル行およびメモリセル列のそれぞれについて、1 行および 1 列おきに配置される。以下においては、メモリアレイ 10 におけるこのようなメモリセルの配置を「交互配置」とも称する。一方、基準電圧配線 SL は、各メモリセル列ごとに配置される。  
30

**【 0 0 8 7 】**

その他の部分の構成と、データ読出およびデータ書き込み時における各メモリセルの動作とは、実施の形態 1 と同様であるので、詳細な説明は繰り返さない。

**【 0 0 8 8 】**

このような構成とすることにより、メモリアレイ 10 におけるビット線 BL の配線ピッチを緩和できる。この結果、メモリセル MC を効率的に配置してメモリアレイ 10 を高集積化し、MRAM デバイスのチップ面積を削減することができる。  
40

**【 0 0 8 9 】**

**[ 実施の形態 1 の変形例 2 ]**

図 7 は、実施の形態 1 の変形例 2 に従うメモリアレイ 10 の構成を示すブロック図である。  
。

**【 0 0 9 0 】**

図 7 を参照して、実施の形態 1 の変形例 2 に従うメモリアレイ 10 においては、列方向に隣接するメモリセルは、同一のライトワード線 WW L を共有する。たとえば、第 1 番目および第 2 番目のメモリセル行に属するメモリセル群は、1 本のライトワード線 WW L 1 を共有する。他のメモリセル行に対しても、ライトワード線 WW L は、同様に配置される。  
50

**【 0 0 9 1 】**

ここで、データ書き込みを正常に実行するためには、同一のライトワード線 WW L および同一

のビット線 B L の交点に配置されるメモリセル M C が複数個存在しないことが必要である。したがって、実施の形態 1 の変形例 1 の場合と同様に、メモリセル M C は交互配置される。

#### 【 0 0 9 2 】

図 7においては、基準電圧配線 S L が各メモリセル列ごとに配置される構成を示しているが、図 5 の構成と同様に、隣接する 2 個のメモリセル列で形成されるメモリセル列の組ごとに基準電圧配線 S L を共有する構成としてもよい。

#### 【 0 0 9 3 】

その他の部分の構成と、データ読出およびデータ書込時における各メモリセルの動作とは、実施の形態 1 と同様であるので、詳細な説明は繰り返さない。

10

#### 【 0 0 9 4 】

このような構成とすることにより、メモリアレイ 1 0 におけるライトワード線 W W L の配線ピッチを緩和できる。この結果、メモリセル M C を効率的に配置してメモリアレイ 1 0 を高集積化し、M R A M デバイスのチップ面積を削減することができる。

#### 【 0 0 9 5 】

また、ライトワード線 W W L の配線ピッチの緩和によって、ライトワード線 W W L の配線幅をより広く確保することができる。これにより、以下に述べる効果がさらに生じる。

#### 【 0 0 9 6 】

図 8 は、ライトワード線 W W L の配置を説明する構造図である。

20

図 8 ( a ) には、図 5 および図 6 の構成に対応するメモリセル M C の構造が示される。図 8 ( a ) の構造においては、ライトワード線 W W L は、隣接するメモリセル列間で共有されないため、各ライトワード線 W W L の配線幅を確保することが困難である。

#### 【 0 0 9 7 】

既に説明したように、データ書込時においては、ビット線 B L およびライトワード線 W W L の両方にデータ書込電流を流すことが必要である。ライトワード線 W W L は、磁気トンネル接合部 M T J との間に配線層間絶縁膜を介して配置されるので、高さ方向におけるライトワード線 W W L と磁気トンネル接合部 M T J との間の距離は、ビット線 B L と磁気トンネル接合部 M T J との間の距離よりも大きくなる。したがって、データ書込時において、磁気トンネル接合部 M T J に同じ強さの磁界を生じさせるためには、磁気トンネル接合部 M T J との間の距離が大きいライトワード線 W W L に対して、より大きな電流を流す必要が生じる。

30

#### 【 0 0 9 8 】

一方、ライトワード線 W W L 等が形成される金属配線においては、電流密度が過大になると、エレクトロマイグレーションと呼ばれる現象によって、断線や配線間短絡が発生するおそれがある。したがって、ライトワード線 W W L の電流密度を小さくすることが望ましい。

#### 【 0 0 9 9 】

図 8 ( b ) には、図 7 の構成に対応するメモリセル M C の構造が示される。図 8 ( b ) の構造においては、ライトワード線 W W L は、隣接するメモリセル列間で共有されるため、メモリセル行 2 行分の配置スペースを用いてライトワード線 W W L を配置することができる。したがって、各ライトワード線 W W L の配線幅を広くして、少なくともビット線 B L よりも広い配線幅、すなわち大きな断面積を確保できる。この結果、ライトワード線 W W L における電流密度を抑制して、M R A M デバイスの信頼性を向上させることができる。

40

#### 【 0 1 0 0 】

また、磁気トンネル接合部 M T J との間の距離が大きい金属配線 ( 図 8 ( a ), ( b ) においてはライトワード線 W W L ) を、エレクトロマイグレーション耐性の高い材料によって形成することも信頼性の向上に効果がある。たとえば、他の金属配線がアルミニウム ( A l 合金 ) で形成される場合に、エレクトロマイグレーション耐性を考慮する必要のある金属配線を銅 ( C u ) によって形成すればよい。

50

**【0101】****[実施の形態1の変形例3]**

図9は、実施の形態1の変形例3に従うメモリアレイ10の構成を示すブロック図である。

**【0102】**

図9を参照して、実施の形態1の変形例3に従うメモリアレイ10においては、列方向に隣接するメモリセルは、同一のリードワード線RWLを共有する。たとえば、第1番目および第2番目のメモリセル行に属するメモリセル群は、1本のリードワード線RWL1を共有する。他のメモリセル行に対しても、リードワード線RWLは、同様に配置される。

**【0103】**

ここで、データ読出を正常に実行するためには、同一のリードワード線RWLによって選択される複数メモリセルMCが、同一のビット線BLに同時に結合されないことが必要である。したがって、実施の形態1の変形例1の場合と同様に、メモリセルMCは交互配置される。

**【0104】**

基準電圧配線SLについては、各メモリセル列ごとに配置される構成を示しているが、図5の構成と同様に、隣接する2個のメモリセル列で形成されるメモリセル列の組ごとに基準電圧配線SLを共有する構成としてもよい。

**【0105】**

その他の部分の構成と、データ読出およびデータ書き込時における各メモリセルの動作とは、実施の形態1と同様であるので、詳細な説明は繰り返さない。

**【0106】**

このような構成とすることにより、メモリアレイ10におけるリードワード線RWLの配線ピッチを緩和できる。この結果、メモリセルMCを効率的に配置してメモリアレイ10を高集積化し、MRAMデバイスのチップ面積を削減することができる。

**【0107】****[実施の形態1の変形例4]**

図10は、実施の形態1の変形例4に従うメモリアレイ10の構成を示すブロック図である。

**【0108】**

図10を参照して、実施の形態1の変形例4に従うメモリアレイ10においては、実施の形態1の変形例2と同様に、列方向に隣接するメモリセルは、同一のライトワード線WWLを共有する。たとえば、第1番目および第2番目のメモリセル行に属するメモリセル群は、1本のライトワード線WWL1を共有する。他のメモリセル行に対しても、ライトワード線WWLは、同様に配置される。

**【0109】**

さらに、リードワード線RWLが、列方向に隣接するメモリセル間で共有される。たとえば、第2番目および第3番目のメモリセル行に属するメモリセル群は、リードワード線RWL2を共有する。以降のメモリセル行に対しても、リードワード線RWLは、同様に配置される。

**【0110】**

既に説明したように、データ読出およびデータ書き込を正常に行なうためには、1本のリードワード線RWLによって選択される複数のメモリセルMCが、同一のビット線BLと同時に結合されないこと、および1本のライトワード線WWLによって同時に選択される複数のメモリセルMCが、同一のビット線BLからデータ書き込磁界を同時に与えられないことが必要である。したがって、実施の形態1の変形例4においても、メモリセルMCは交互配置される。

**【0111】**

基準電圧配線SLについては、各メモリセル列ごとに配置される構成を示しているが、図5の構成と同様に、隣接する2個のメモリセル列で形成されるメモリセル列の組ごとに基

10

20

30

40

50

準電圧配線 S L を共有する構成としてもよい。

**【 0 1 1 2 】**

その他の部分の構成と、データ読出およびデータ書込時における各メモリセルの動作とは、実施の形態 1 と同様であるので、詳細な説明は繰り返さない。

**【 0 1 1 3 】**

このような構成とすることにより、メモリアレイ 1 0 におけるライトワード線 W W L およびリードワード線 R W L の配線ピッチを緩和できる。この結果、メモリセル M C をより効率的に配置して、実施の形態 1 の変形例 2 および 3 の場合よりも、メモリアレイ 1 0 をさらに高集積化して、M R A M デバイスのチップ面積を削減することができる。

**【 0 1 1 4 】**

また、実施の形態 1 の変形例 2 の場合と同様に、ライトワード線 W W L のエレクトロマイグレーション耐性を向上させて、M R A M デバイスの信頼性を向上させることができる。

**【 0 1 1 5 】**

**[ 実施の形態 1 の変形例 5 ]**

図 1 1 は、実施の形態 1 の変形例 5 に従うメモリアレイ 1 0 および周辺回路の構成を示すブロック図である。

**【 0 1 1 6 】**

図 1 1 を参照して、実施の形態 1 の変形例 5 に従うメモリアレイ 1 0 においては、基準電圧配線 S L およびビット線 B L は、共通配線 S B L に統合される。共通配線 S B L は、メモリセル列に対応してそれぞれ配置される。図 1 1 においては、第 1 番目から第 5 番目のメモリセル列にそれぞれ対応する共通配線 S B L 1 ~ S B L 5 が代表的に示される。

**【 0 1 1 7 】**

読み出し / 書込み制御回路 5 0 は、データ書込み電流およびセンス電流を供給するための電流供給回路 5 1 と、メモリセル列に対応してそれぞれ配置されるコラム選択ゲートとを含む。図 1 1 においては、共通配線 S B L 1 ~ S B L 5 にそれぞれ対応するコラム選択ゲート C S G 1 ~ C S G 5 が代表的に示される。以下においては、これらの複数のコラム選択ゲートを総称して、単にコラム選択ゲート C S G とも称する。

**【 0 1 1 8 】**

列デコーダ 2 5 は、列選択結果に応じて、メモリセル列に対応してそれぞれ設けられる複数のコラム選択線のうちの 1 本を選択状態に活性化する。図 1 1 においては、共通配線 S B L 1 ~ S B L 5 にそれぞれ対応するコラム選択線 C S L 1 ~ C S L 5 が代表的に示される。以下においては、これらの複数のコラム選択線を総称して、単にコラム選択線 C S L とも称する。

**【 0 1 1 9 】**

各コラム選択ゲート C S G は、対応するコラム選択線 C S L の電圧レベルに応じてオンする。

**【 0 1 2 0 】**

読み出し / 書込み制御回路 6 0 は、データ書込み電流を供給するための電流供給回路 6 1 と、メモリセル列に対応してそれぞれ配置されるライトコラム選択ゲートとを含む。さらに、メモリセル列にそれぞれ対応して複数の共通配線制御トランジスタが設けられる。図 1 1 においては、共通配線 S B L 1 ~ S B L 5 にそれぞれ対応するライトコラム選択ゲート W C G 1 ~ W C G 5 および共通配線制御トランジスタ C C T 1 ~ C C T 5 が代表的に示される。以下においては、これらの複数のライトコラム選択ゲートおよび共通配線制御トランジスタを総称する場合には、符号 W C G および C C T をそれぞれ用いることとする。

**【 0 1 2 1 】**

列デコーダ 2 5 は、さらに、コラムアドレス C A のデコード結果に応じて、メモリセル列に対応してそれぞれ設けられる複数のライトコラム選択線のうちの 1 本を選択状態に活性化する。ライトコラム選択線は、データ書込み時のみにおいて活性化の対象とされる。図 1 1 においては、共通配線 S B L 1 ~ S B L 5 にそれぞれ対応するライトコラム選択線 W C S L 1 ~ W C S L 5 が代表的に示される。以下においては、これらの複数のライトコラム

10

20

30

40

50

選択線を総称して、単にライトコラム選択線W C S Lとも称する。

【0122】

各ライトコラム選択ゲートW C Gは、対応するライトコラム選択線W C S Lの電圧レベルに応じてオンする。

【0123】

共通配線制御トランジスタC C Tは、共通配線S B Lに対して、基準電圧配線S Lおよびビット線B Lの機能を併有させるために設けられる。

【0124】

共通配線S B Lはビット線B Lとしても機能するので、同一の共通配線S B Lに対応して、複数のメモリセルM Cがデータ読出もしくはデータ書込の対象となることがないようにメモリセルM Cを配置する必要がある。したがって、実施の形態1の変形例5に従うメモリアレイ10においても、メモリセルM Cは交互配置される。10

【0125】

図12は、共通配線制御トランジスタC C Tのオン／オフに対応した共通配線S B Lの動作を示すタイミングチャートである。

【0126】

図12を参照して、ライトワード線W W Lおよびリードワード線R W Lのデータ書込時およびデータ読出時における動作は、図3で説明したのと同様である。

【0127】

共通配線制御トランジスタC C Tがオンする場合には、対応する共通配線S B Lは、接地電圧V s sと結合されて基準電圧配線S Lとして機能する。20

【0128】

一方、対応する共通配線制御トランジスタC C Tがオフされる場合においては、共通配線S B Lは、コラム選択ゲートC S Gおよびライトコラム選択ゲートW C Gを介して、電流供給回路51および61の間に結合される。

【0129】

データ書込時においては、列選択結果に応じて、コラム選択ゲートC S Gおよびライトコラム選択ゲートW C Gがオンして、共通配線S B Lには図3の場合と同様のデータ書込電流が流される。

【0130】

データ読出時においては、列選択結果に応じてコラム選択ゲートC S Gがオンして、共通配線S B Lにはセンス電流が流される。共通配線S B Lを用いる構成においては、データ読出前におけるプリチャージ電圧を接地電圧V s sとすることによって、共通配線S B Lによるビット線B Lおよび基準電圧配線S Lの共用を円滑に行なうことができる。したがって、データ読出の対象となるメモリセルに保持された記憶データのレベルは、接地電圧V s sからの電圧上昇量に応じて検知される。30

【0131】

さらに、データ読出時において、各共通配線S B Lを基準電圧配線S Lおよびビット線B Lのいずれとして動作させるかについては、行デコード結果に対応させて定める必要がある。すなわち、選択行のメモリセルM Cにおいて、アクセストランジスタA T Rと結合される側の共通配線S B Lを基準電圧配線S Lとして機能させ、磁気トンネル接合部M T Jと結合される側の共通配線S B Lをビット線B Lとして機能させる必要がある。40

【0132】

奇数番目のメモリセル列に対応して設けられる共通配線制御トランジスタC C T1、C C T3,...のゲートには、制御信号R A 1が入力される。制御信号R A 1は、データ読出時において、奇数番目のメモリセル行が選択された場合にHレベルに活性化される。

【0133】

偶数番目のメモリセル列に対応して設けられる共通配線制御トランジスタC C T2、C C T4,...のゲートには、制御信号/R A 1が入力される。制御信号/R A 1は、データ読出時において、偶数番目のメモリセル行が選択された場合にHレベルに活性化される。50

**【 0 1 3 4 】**

データ書込時においては、制御信号 R A 1 および / R A 1 の両方は、L レベルに非活性化される。これにより、各共通配線制御トランジスタ C C T はオフされるので、コラム選択結果に応じて、共通配線 S B L にデータ書込電流  $\pm I_w$  を流すことができる。

**【 0 1 3 5 】**

このような構成とすることにより、基準電圧配線 S L およびビット線 B L の機能を統合した共通配線 S B L を用いて、実施の形態 1 と同様のデータ読み出およびデータ書き込みを行なうことができる。

**【 0 1 3 6 】**

この結果、列方向の信号線ピッチを緩和して、メモリセル M C を効率的に配することによりメモリアレイ 1 0 を高集積化することができる。 10

**【 0 1 3 7 】**

図 1 1においては、さらに、実施の形態 1 の変形例 2 と同様に、列方向に隣接するメモリセルは、同一のライトワード線 W W L を共有する。

**【 0 1 3 8 】**

したがって、メモリアレイ 1 0 におけるライトワード線 W W L の配線ピッチを緩和できる。この結果、メモリアレイ 1 0 をさらに高集積化して、M R A M デバイスのチップ面積を削減することができる。また、ライトワード線 W W L のエレクトロマイグレーション耐性を向上させて、M R A M デバイスの信頼性を向上させることができる。 20

**【 0 1 3 9 】**

なお、この変形例で示した、共通配線 S B L による基準電圧配線 S L およびビット線 B L の統合は、この他に、実施の形態 1 の変形例 3 および 4 でそれぞれ説明した、隣接メモリセル行間におけるリードワード線 R W L の共有および、隣接メモリセル行間におけるリードワード線 R W L とライトワード線 W W L との双方の共有のいずれかと組合せて適用することも可能である。 20

**【 0 1 4 0 】****[ 実施の形態 2 ]**

実施の形態 2 においては、折返し型ビット線構成の適用について説明する。

**【 0 1 4 1 】**

図 1 3 は、実施の形態 2 に従うメモリアレイ 1 0 および周辺回路の構成を示すブロック図である。 30

**【 0 1 4 2 】**

図 1 3 を参照して、メモリアレイ 1 0 は、行列状に配置された複数のメモリセル M C を有する。リードワード線 R W L 、ライトワード線 W W L は、メモリセル行にそれぞれ対応して行方向に沿って配置され、ビット線 B L は、メモリセル列にそれぞれ対応して、列方向に沿って配置される。また、基準電圧配線 S L は、隣接する 2 個のメモリセル列で形成されるメモリセル列の組ごとに配置され、同一の組に属するメモリセル列間で共有される。ワード線電流制御回路 4 0 は、各ライトワード線 W W L を接地電圧 V s s と結合する。これにより、ライトワード線 W W L を選択状態 ( H レベル、電源電圧 V c c ) に活性化した場合に、各ライトワード線にデータ書き込み電流 I p を流すことができる。 40

**【 0 1 4 3 】**

メモリセル M C は、メモリセル行およびメモリセル列の 1 行および 1 列ごとに交互配置されるので、各ビット線 B L に対しては、メモリセル M C は 1 行おきに接続される。したがって、隣接する 2 個のメモリセル列によって形成されるメモリセル列の組ごとに、対応する 2 本のビット線を用いてビット線対を構成できる。たとえば、第 1 番目および第 2 番目のメモリセル列にそれぞれ対応するビット線 B L 1 および B L 2 によって、ビット線対 B L P 1 を構成することができる。この場合は、ビット線 B L 2 は、ビット線 B L 1 と相補のデータを伝達するので、ビット線 / B L 1 とも表記する。以降のメモリセル列に対しても同様に、メモリセル列の組ごとにビット線対を構成するように、各ビット線は配置される。 50

**【 0 1 4 4 】**

以下においては、各ビット線対を構成するビット線のうち、奇数番目のメモリセル列に対応する一方および、偶数番目のメモリセル列に対応する他方のそれそれをビット線 B L および / B L とも総称する。これにより、いわゆる折返し型ビット線構成に基づいて、データ読出およびデータ書きを実行することができる。

**【 0 1 4 5 】**

読み出し制御回路 6 0 は、ビット線イコライズ信号 B L E Q に応じてオン／オフされるイコライズトランジスタと、ビット線プリチャージ信号 B L P R に応じてオン／オフされるプリチャージトランジスタとを有する。

**【 0 1 4 6 】**

イコライズトランジスタは、ビット線対ごとに、メモリセル列の組ごとに設けられる。図 13においては、ビット線 B L 1 および B L 2 ( / B L 1 ) に対応するイコライズトランジスタ 6 2 - 1 および、ビット線 B L 3 および B L 4 ( / B L 3 ) に対応するイコライズトランジスタ 6 2 - 2 が代表的に示される。たとえば、イコライズトランジスタ 6 2 - 1 は、ビット線イコライズ信号 B L E Q の活性化 ( H レベル ) に応答して、ビット線 B L 1 と B L 2 ( / B L 1 ) とを電気的に結合する。以下においては、これらの複数のイコライズトランジスタを総称して、単にイコライズトランジスタ 6 2 とも称する。

10

**【 0 1 4 7 】**

その他のビット線対の各々に対応して設けられるイコライズトランジスタ 6 2 も同様に、ビット線イコライズ信号 B L E Q の活性化に応答して、対応するビット線対を構成するビット線 B L および / B L の間を電気的に結合する。

20

**【 0 1 4 8 】**

ビット線イコライズ信号 B L E Q は、コントロール回路 5 によって生成される。ビット線イコライズ信号 B L E Q は、M R A M デバイス 1 のスタンバイ期間、M R A M デバイス 1 のアクティブ期間のうちメモリアレイ 1 0 が非選択状態である場合およびアクティブ期間内でデータ書き動作時において、各ビット線対を構成するビット線間を短絡するために、H レベルに活性化される。

**【 0 1 4 9 】**

一方、M R A M デバイスのアクティブ期間におけるデータ読み出し動作時においては、ビット線イコライズ信号 B L E Q は L レベルに非活性化される。これに応答して、各ビット線対を構成するビット線 B L および / B L の間は遮断される。

30

**【 0 1 5 0 】**

プリチャージトランジスタは、ビット線ごとに設けられる。図 13においては、ビット線 B L 1 ~ B L 4 にそれぞれ対応するプリチャージトランジスタ 6 4 - 1 ~ 6 4 - 4 が代表的に示される。以下においては、これらの複数のプリチャージトランジスタを総称して、単にプリチャージトランジスタ 6 4 とも称する。その他のビット線の各々に対応しても、プリチャージトランジスタ 6 4 が同様に配置される。

**【 0 1 5 1 】**

ビット線プリチャージ信号 B L P R は、コントロール回路 5 によって生成される。ビット線プリチャージ信号 B L P R は、M R A M デバイス 1 のアクティブ期間において、データ読み出し動作の開始に先立って H レベルに活性化される。これに応答して各プリチャージトランジスタ 6 4 がオンすることにより、各ビット線は所定のプリチャージ電圧にプリチャージされる。図 13においては、プリチャージ電圧が電源電圧 V c c である場合の構成が例示される。

40

**【 0 1 5 2 】**

コラム選択線は、ビット線対ごとに、すなわちメモリセル列の組ごとに設けられる。図 13においては、第 1 番目および第 2 番目のメモリセル列に対応するコラム選択線 C S L 1 および、第 3 番目および第 4 番目のメモリセル列に対応するコラム選択線 C S L 2 が代表的に示される。以下においては、これらの複数のコラム選択線を総称して、単にコラム選択線 C S L とも称する。

50

**【 0 1 5 3 】**

列デコーダ 25 は、列選択結果に応じて、複数のコラム選択線 C S L のうちの 1 本を選択状態 (H レベル) に活性化する。

**【 0 1 5 4 】**

データ I / O 線対 D I / O P は、データ線 I O および / I O を含み、データ書込時におけるデータ書込電流  $\pm I_{W}$  およびデータ読出時におけるセンス電流  $I_{S}$  を伝達する。すなわち、データ I / O 線対 D I / O P は、データ読出時とデータ書込時において共有される。

**【 0 1 5 5 】**

次に、読出 / 書込制御回路 50 に含まれるコラム選択ゲート、データ書込回路 50 w、データ読出回路 50 r および電流切換回路 53 a の構成について説明する。

10

**【 0 1 5 6 】**

コラム選択ゲートは、メモリセル列に対応してそれぞれ配置される。図 13 においては、第 1 番目～第 4 番目のメモリセル列に対応するコラム選択ゲート C S G 1 ～ C S G 4 が代表的に示される。

**【 0 1 5 7 】**

同一のビット線対に対応する 2 個のコラム選択ゲート C S G は、共通のコラム選択線 C S L に応じてオンする。たとえば、ビット線対 B L P 1 に対応するコラム選択ゲート C S G 1 および C S G 2 は、共通のコラム選択線 C S L 1 の電圧レベルに応じてオン / オフする。

20

**【 0 1 5 8 】**

コラムアドレス C A のデコード結果、すなわち列選択結果に応じて、いずれか 1 つのビット線対が選択される。列選択結果に応じて活性化されたコラム選択線 C S L に応答して、対応するコラム選択ゲート C S G がオンする。この結果、選択されたビット線対を構成するビット線 B L および / B L は、データ I / O 線対 D I / O P を構成するデータ線 I O および / I O のそれぞれと電気的に結合される。

**【 0 1 5 9 】**

図 14 は、データ書込回路 50 w およびデータ読出回路 50 r の構成を示す回路図である。

**【 0 1 6 0 】**

図 14 を参照して、データ書込回路 50 w は、データ書込時において活性化される制御信号 W E に応答して動作する。データ書込回路 50 w は、ノード N w 0 に一定電流を供給するための P 型 MOS トランジスタ 151 と、トランジスタ 151 の通過電流を制御するためのカレントミラー回路を構成する P 型 MOS トランジスタ 152 および電流源回路 153 とを含む。

30

**【 0 1 6 1 】**

データ書込回路 50 w は、さらに、ノード N w 0 から動作電流の供給を受けて動作するインバータ 154、155 および 156 を有する。インバータ 154 は、書込データ D I N の電圧レベルを反転してノード N w 1 に伝達する。インバータ 155 は、書込データ D I N の電圧レベルを反転してインバータ 156 の入力ノードに伝達する。インバータ 156 は、インバータ 154 の出力を反転してノード N w 2 に伝達する。したがって、データ書込回路 50 w は、書込データ D I N の電圧レベルに応じて、ノード N w 1 および N w 2 の電圧レベルを電源電圧 V c c および接地電圧 V s s の一方ずつに設定する。

40

**【 0 1 6 2 】**

データ読出回路 50 r は、データ読出時において活性化される制御信号 R E に応答して動作して、読出データ D O U T を出力する。

**【 0 1 6 3 】**

データ読出回路 50 r は、電源電圧 V c c を受けてノード N s 1 および N s 2 に一定電流をそれぞれ供給するための電流源回路 161 および 162 と、ノード N s 1 とノード N r 1 との間に電気的に結合される N 型 MOS トランジスタ 163 と、ノード N s 2 とノード N r 2 との間に電気的に結合される N 型 MOS トランジスタ 164 と、ノード N s 1 およ

50

び N s 2 の間の電圧差を増幅して読出データ D O U T を出力する増幅器 1 6 5 とを有する。

#### 【 0 1 6 4 】

トランジスタ 1 6 3 および 1 6 4 のゲートには参照電圧 V r e f が与えられる。電流源回路 1 6 1 および 1 6 2 の供給電流量および参照電圧 V r e f は、センス電流 I s の電流量に応じて設定される。抵抗 1 6 6 および 1 6 7 は、ノード N s 1 および N s 2 を接地電圧 V s s にプルダウンするために設けられる。このような構成とすることにより、データ読出回路 5 0 r は、ノード N r 1 および N r 2 の各々からセンス電流 I s を供給することができる。

#### 【 0 1 6 5 】

データ読出回路 5 0 r は、さらに、コラム選択ゲートおよびビット線対を介して接続されるメモリセルの記憶データのレベルに応じて、ノード N r 1 および N r 2 にそれぞれ生じる電圧変化の差を増幅して、読出データ D O U T を出力する。

#### 【 0 1 6 6 】

電流切換回路 5 3 a は、データ書回路 5 0 w のノード N w 1 とデータ読出回路 5 0 r のノード N r 1 の一方とデータ線 I O とを選択的に結合するためのスイッチ S W 1 a と、データ書回路 5 0 w のノード N w 2 とデータ読出回路 5 0 r のノード N r 2 の一方をデータ線 / I O と選択的に結合するスイッチ S W 1 b とを有する。

#### 【 0 1 6 7 】

スイッチ S W 1 a および S W 1 b は、データ読出時およびデータ書込時のそれぞれにおいて信号レベルの異なる制御信号 R W S に応じて動作する。

#### 【 0 1 6 8 】

データ読出時においては、スイッチ S W 1 a および S W 1 b は、データ読出回路 5 0 r の出力ノード N r 1 および N r 2 をデータ線 I O および / I O とそれぞれ結合する。一方、データ書込時においては、スイッチ S W 1 a および S W 1 b はデータ書回路 5 0 w のノード N w 1 および N w 2 をデータ線 I O および / I O とそれぞれ結合する。

#### 【 0 1 6 9 】

再び図 1 3 を参照して、データ読出およびデータ書込時の動作について説明する。以下においては、一例として第 3 番目のメモリセル列が選択された場合について説明する。

#### 【 0 1 7 0 】

まず、データ書込時における動作について説明する。列選択結果に応答して、コラム選択線 C S L 2 が選択状態 (H レベル) に活性化されて、コラム選択ゲート C S G 3 および C S G 4 がオンする。これにより、データ線 I O および / I O は、ビット線対 B L P 2 を構成するビット線 B L 3 および B L 4 ( / B L 3 ) とそれぞれ電気的に結合される。また、データ書込時においては、各イコライズトランジスタ 6 2 はオンするので、ビット線 B L 3 および B L 4 ( / B L 3 ) の間は短絡される。

#### 【 0 1 7 1 】

データ書回路 5 0 w は、電流切換回路 5 3 a を介して接続されるデータ線 I O および / I O の電圧レベルを、電源電圧 V c c および接地電圧 V s s のいずれか一方ずつに設定する。たとえば、書込データ D I N のデータレベルが L レベルである場合には、図 1 4 に示すインバータ 1 5 4 および 1 5 6 の出力は、それぞれ電源電圧 V c c (高電圧状態) および接地電圧 V s s (低電圧状態) にそれぞれ設定されるので、データ線 I O に L レベルデータを書込むためのデータ書込電流 - I w が流される。

#### 【 0 1 7 2 】

データ書込電流 - I w は、コラム選択ゲート C S G 3 を介してビット線 B L 3 に供給される。ビット線 B L 3 に伝達されるデータ書込電流 - I w は、イコライズトランジスタ 6 2 - 2 によって折返されてもう一方のビット線 B L 4 ( / B L 3 ) においては、反対方向のデータ書込電流 + I w として伝達される。ビット線 B L 4 ( / B L 3 ) に流れるデータ書込電流 + I w は、コラム選択ゲート C S G 4 を介してデータ線 / I O に伝達される。したがって、読み出し / 書込制御回路 6 0 に電流シンクのための手段を設ける必要がなく、その

10

20

30

40

50

構成を簡略化できる。

**【0173】**

データ書込時においては、ライトワード線WWLのいずれか1個が選択状態(Hレベル)に活性化されて、データ書込電流Ipが流される。したがって、ビット線BL3に対応するメモリセル列において、対応するライトワード線WWLにデータ書込電流Ipが流されたメモリセルに対してLレベルデータのデータ書込が実行される。

**【0174】**

一方、書込データDINのデータレベルがHレベルである場合には、ノードNw1およびNw2の電圧レベルの設定が上記の場合とは反対となり、ビット線BL3および/BL3(BL4)には、上記と逆方向のデータ書込電流が流れ、上記とは逆のデータレベルが書込まれる。このようにして、書込データDINのデータレベルに応じた方向を有するデータ書込電流±Iwが、イコライズトランジスタ62によって折返されて、ビット線BLおよび/BLに供給される。  
10

**【0175】**

以上においては、奇数番目のメモリセル列が選択された場合のデータ書込について説明した。この場合においては、ビット線BLと結合されるメモリセルMCに対して、書込データDINのデータレベルがそのまま書込まれる。

**【0176】**

ビット線/BLにはビット線BLと反対方向のデータ書込電流が流されるため、偶数番目のメモリセル列が選択された場合には、書込データDINのデータレベルと反対のデータレベルが、ビット線/BLと結合されるメモリセルMCに書込まれる。しかし、以下の説明で明らかになるように、この場合にも、書込データDINのデータレベルを正しく読出すことができる。  
20

**【0177】**

次にデータ読出について説明する。

メモリセルMCは、1行ごとにビット線BLおよび/BLのいずれか一方ずつと結合される。たとえば、第1番目のメモリセル行に属するメモリセルは、ビット線BL1,BL3,...、すなわちBLと結合され、第2行目のメモリセルは、ビット線BL2,BL4,...、すなわち/BLと結合される。以下同様に、メモリセルの各々は、奇数行において各ビット線対の一方ずつのBLと接続され、偶数行において各ビット線対の他方ずつの/BLと接続される。  
30

**【0178】**

この結果、リードワード線RWLが行選択結果に応じて選択的に活性化されると、各ビット線対において、ビット線BLおよび/BLのいずれか一方が、メモリセルMCと結合される。

**【0179】**

メモリアレイ10は、さらに、メモリセル列に対応してそれぞれ設けられる複数のダミーメモリセルDMCを有する。ダミーメモリセルDMCは、ダミーリードワード線DRWL1およびDRWL2のいずれか一方と結合されて、2行×複数列に配置される。ダミーリードワード線DRWL1と結合されるダミーメモリセルは、ビット線BL1,BL3,...(すなわち各ビット線対における一方のビット線BL)とそれぞれ結合される。一方、ダミーリードワード線DRWL2と結合される残りのダミーメモリセルは、ビット線BL2,BL4,...(すなわち各ビット線対における他方のビット線/BL)とそれぞれ結合される。  
40

**【0180】**

ダミーリードワード線DRWL1およびDRWL2は、各ビット線対の一方BLおよび他方/BLのうち、選択されたメモリセル行に対応して、メモリセルMCと非接続となつた一方をダミーメモリセルDMCとそれぞれ結合するように選択的に活性化される。たとえば、行選択結果に応じて、奇数番目のメモリセル行が選択された場合には、各ビット線対においてビット線BLとダミーメモリセルDMCとを接続するために、ダミーリード  
50

ワード線 D R W L 2 が選択状態に活性化される。反対に、偶数番目のメモリセル行が選択された場合には、ダミーリードワード線 D R W L 1 が選択状態に活性化される。

#### 【 0 1 8 1 】

この結果、各ビット線対を構成するビット線 B L および / B L は、選択されたメモリセル行に対応するメモリセルおよびダミーメモリセル D M C との一方ずつとそれぞれ結合される。

#### 【 0 1 8 2 】

データ読出時においても、一例として第 3 番目のメモリセル列が選択された場合について説明する。

#### 【 0 1 8 3 】

データ読出動作に先立って、ビット線プリチャージ信号 B L P R が一定期間 H レベルに活性化され、各ビット線は電源電圧 V c c にプリチャージされる。

10

#### 【 0 1 8 4 】

プリチャージ後、列選択結果に応答してコラム選択線 C S L 2 が選択状態 ( H レベル ) に活性化される。これに応答して、コラム選択ゲート C S G 3 および 4 がオンする。この結果、データ I / O 線対 D I / O P を構成するデータ線 I O および / I O は、データ書込時と同様にビット線 B L 3 および B L 4 ( / B L 3 ) とそれぞれ結合される。

#### 【 0 1 8 5 】

データ読出回路 5 0 r は、電流切換回路 5 3 a を介して、データ線 I O および / I O に、同一方向のセンス電流 I s を供給する。データ読出時においては、イコライズトランジスタ 6 2 - 2 はターンオフされているので、データ読出回路 5 0 r から供給されるセンス電流 I s は、ビット線 B L 3 および B L 4 ( / B L 3 ) 上を、同一方向に流れる。

20

#### 【 0 1 8 6 】

行選択結果に応じてリードワード線 R W L が選択状態 ( H レベル ) に活性化されて、対応するメモリセルがビット線 B L 3 および B L 4 ( / B L 3 ) の一方と結合される。また、ダミーリードワード線 D R W L 1 および D R W L 2 の一方が活性化されて、メモリセルと非接続である、ビット線 B L 3 および B L 4 ( / B L 3 ) の他方は、ダミーメモリセル D M C と結合される。

#### 【 0 1 8 7 】

既に説明したように、メモリセル M C の抵抗値は、記憶データのレベルによって変化する。ここで、H レベルデータを記憶した場合におけるメモリセル M C の抵抗値を R h とし、L レベルデータを記憶した場合におけるメモリセル M C の抵抗値を R l とすると、ダミーメモリセル D M C の抵抗値 R m は、R l と R h の中間値に設定される。

30

#### 【 0 1 8 8 】

したがって、センス電流 I s によって、ダミーメモリセルに結合されたビット線の一方に生じる電圧変化と、メモリセル M C と結合されたビット線の他方に生じる電圧変化とをデータ読出回路 5 0 r で比較することにより、データ読出の対象となった記憶データのレベルを検知することができる。

#### 【 0 1 8 9 】

ビット線 B L 3 および B L 4 ( / B L 3 ) の間に生じた電圧差は、データ I / O 線対 D I / O P を介して、データ読出回路 5 0 r 中のノード N s 1 および N s 2 に伝達される。増幅器 1 6 5 によって、ノード N s 1 および N s 2 の電圧差は増幅されて、読出データ D O U T が出力される。

40

#### 【 0 1 9 0 】

したがって、ビット線 B L 3 ( B L ) と結合されるメモリセルに L レベルデータが記憶されている場合、およびビット線 B L 4 ( / B L ) と結合されるメモリセル M C に H レベルデータが記憶されている場合において、読出データ D O U T に L レベルが出力される。反対に、ビット線 B L 3 ( B L ) と結合されるメモリセルに H レベルデータが記憶されている場合、およびビット線 B L 4 ( / B L ) と結合されるメモリセル M C に L レベルデータが記憶されている場合において、読出データ D O U T に H レベルが出力される。

50

**【0191】**

このように、折返し型ピット線構成に基づいてデータ読出およびデータ書込を実行できる。この結果、データ読出およびデータ書込の動作マージンを確保することができる。

**【0192】**

また、データ書込電流をイコライズトランジスタ62によって折返して、ピット線対を構成するピット線B\_Lおよび/B\_Lに流すので、極性の異なる電圧（負電圧）を用いることなくデータ書込を行なえる。さらに、データ書込電流の方向は、データ線I\_Oおよび/N\_I\_Oの電圧を電源電圧V\_ccおよび接地電圧V\_ssのいずれか一方ずつに設定するのみで切換えられる。したがって、データ書込回路50wの回路構成を簡易にすることができる。読み出/書込制御回路60も同様に、電流をシンクする手段を具備することなく、イコライズトランジスタ62-1~62-mのみで簡易に形成することができる。10

**【0193】**

さらに、折返されて供給される相補のデータ書込電流のそれぞれに起因して生じる磁界ノイズは互いに打ち消し合う方向に発生するので、データ書込ノイズの低減を図ることができる。

**【0194】****[実施の形態2の変形例1]**

実施の形態2の変形例1においては、実施の形態2に示した折返し型ピット線構成に加えて、隣接するメモリセル間におけるライトワード線WW\_Lの共有が図られる。20

**【0195】**

図15は、実施の形態2の変形例1に従うメモリアレイ10および周辺回路の構成を示すブロック図である。

**【0196】**

図15を参照して、実施の形態2の変形例1に従うメモリアレイ10においては、列方向に隣接するメモリセルは、同一のライトワード線WW\_Lを共有する。

**【0197】**

リードワード線RW\_Lが活性化されるデータ読出時においては、各ピット線に対して1本おきにメモリセル列が接続されるので、隣接する2個のメモリセル列で形成されるメモリセル列の組ごとにピット線対を形成して、折返し型ピット線構成に基づく、実施の形態2の場合と同様のデータ読出を実行できる。30

**【0198】**

一方、異なる行に属するメモリセル間で共有されるライトワード線WW\_Lが活性化されるデータ書込時においては、折返し型ピット線構成に基づくデータ書込を行なうことはできない。したがって、データ読出時とデータ書込時におけるコラム選択を独立に行なう必要がある。

**【0199】**

実施の形態2の変形例1においては、コラム選択ゲートは、リードコラム選択ゲートRC\_Gとライトコラム選択ゲートWC\_Gとに分割して配置される。同様に、コラム選択線は、リードコラム選択線RCS\_Lとライトコラム選択線WCS\_Lとに分割して配置される。40

**【0200】**

リードコラム選択線RCS\_Lおよびリードコラム選択ゲートRC\_Gは、図13におけるコラム選択線CS\_Lおよびコラム選択ゲートCS\_Gと同様に配置され、各ピット線対に対応するメモリセル列の組ごとに制御される。したがって、実施の形態2に従う構成と同様に、データ読出の動作マージンを確保することができる。

**【0201】**

一方、ライトコラム選択線WCS\_Lおよびライトコラム選択ゲートWC\_Gは、メモリセル列にそれぞれ対応して配置され、各メモリセル列に対応して独立に制御される。

**【0202】**

奇数番目のメモリセル列に対応して設けられるライトコラム選択ゲートWC\_G1, WC\_G3, ...は、列選択結果に応じて、対応するピット線B\_L1, B\_L3, ...とデータ線I\_Oと50

を電気的に結合するために配置される。一方、偶数番目のメモリセル列に対応して設けられるライトコラム選択ゲート W C G 2 , W C G 4 , ... は、列選択結果に応じて、対応するビット線 B L 2 , B L 4 , ... とデータ線 / I O とを電気的に結合するために配置される。

#### 【 0 2 0 3 】

読み出 / 書込制御回路 6 0 は、メモリセル列に対応してそれぞれ配置される書込電流制御トランジスタを含む。書込電流制御トランジスタは、対応するライトコラム選択線の活性化に応答してオンする。図 1 1においては、第 1 番目から第 4 番目のメモリセル列、すなわちビット線 B L 1 ~ B L 4 に対応してそれぞれ設けられる書込電流制御トランジスタ 6 3 - 1 ~ 6 3 - 4 が代表的に示される。以下においては、これらの複数の書込電流制御トランジスタを総称する場合には、符号 6 3 を用いることとする。一方、プリチャージトランジスタ 6 4 の配置は、図 1 3 の場合と同様である。10

#### 【 0 2 0 4 】

奇数番目のメモリセル列に対応して設けられる書込電流制御トランジスタ 6 3 - 1 , 6 3 - 3 , ... は、列選択結果に応じて、対応するビット線 B L 1 , B L 3 , ... とデータ線 / I O とを電気的に結合するために配置される。一方、偶数番目のメモリセル列に対応して設けられる書込電流制御トランジスタ 6 3 - 2 , 6 3 - 4 , ... は、列選択結果に応じて、対応するビット線 B L 2 , B L 4 , ... とデータ線 I O とを電気的に結合するために配置される。

#### 【 0 2 0 5 】

したがって、選択されたメモリセル列において、データ線 I O ( / I O ) ~ ライトコラム選択ゲート W C S G ~ ビット線 B L ~ 書込電流制御トランジスタ 6 3 ~ データ線 / I O ( I O ) の経路に、データ書込電流 ± I w を流すことができる。なお、データ書込電流 ± I w の方向は、実施の形態 2 と同様にデータ線 I O , / I O の電圧を設定することによって制御できる。したがって、実施の形態 2 と同様に、データ書込に関連する周辺回路、すなわちデータ書込回路 5 0 w および読み出 / 書込制御回路 6 0 の構成を簡易にすることができる。20

#### 【 0 2 0 6 】

また、折返し型ビット線構成に基づくデータ書込を実行することはできないものの、メモリアレイ 1 0 におけるライトワード線 W W L の配線ピッチを緩和することができる。この結果、実施の形態 1 の変形例 2 の場合と同様に、メモリアレイ 1 0 の高集積化による M R A M デバイスのチップ面積削減および、ライトワード線 W W L のエレクトロマイグレーション耐性向上による M R A M デバイスの信頼性向上を図ることができる。30

#### 【 0 2 0 7 】

##### [ 実施の形態 2 の変形例 2 ]

実施の形態 2 の変形例 2 においては、実施の形態 2 に示した折返し型ビット線構成に加えて、隣接するメモリセル間におけるリードワード線 R W L の共有が図られる。

#### 【 0 2 0 8 】

図 1 6 は、実施の形態 2 の変形例 2 に従うメモリアレイ 1 0 および周辺回路の構成を示すブロック図である。

#### 【 0 2 0 9 】

図 1 6 を参照して、実施の形態 2 の変形例 2 に従うメモリアレイ 1 0 においては、列方向に隣接するメモリセルは、同一のリードワード線 R W L を共有する。40

#### 【 0 2 1 0 】

読み出 / 書込制御回路 6 0 は、実施の形態 2 と同様に配置されるイコライズトランジスタ 6 2 およびプリチャージトランジスタ 6 4 を有する。

#### 【 0 2 1 1 】

ライトワード線 W W L が活性化されるデータ書込時においては、各ビット線に対して 1 本おきにメモリセル列が接続されるので、隣接する 2 個のメモリセル列で形成されるメモリセル列の組ごとにビット線対を形成できる。この結果、折返し型ビット線構成に基づく、実施の形態 2 の場合と同様のデータ書込を実行できる。したがって、実施の形態 2 と同様50

にデータ書込の動作マージンを確保できる。また、データ書込に関連する周辺回路、すなわちデータ書込回路 50w および読出 / 書込制御回路 60 の構成を簡易にするとともに、データ書込時のノイズを低減することができる。

#### 【0212】

一方、複数のメモリセル行間で共有されるリードワード線 RWL が活性化されるデータ読出時においては、折返し型ビット線構成に基づくデータ読出を行なうことはできない。しかし、データ読出時においては、選択されたメモリセル列に対応するデータ線 I/O および /I/O のいずれか一方にセンス電流を流すことが必要であるが、データ線 I/O および /I/O の他方については、フローティング状態としても、データ読出動作に悪影響を与えることはない。したがって、コラム選択線およびコラム選択ゲートの配置は、図 13 の場合と同様とすることができます。10

#### 【0213】

すなわち、データ読出時においては、データ線 I/O および /I/O のそれぞれは独立したデータ線 I/O1 および I/O2 として動作し、列選択結果に応じて、いずれか一方にセンス電流が供給される。

#### 【0214】

一方、データ書込時においては、データ線 I/O および /I/O は、図 13 の場合と同様にデータ I/O 線対 D/I/O/P を形成して、相補のデータ書込電流の供給線として働く。

#### 【0215】

なお、図 15 に示される実施の形態 2 の変形例 1 の場合と同様に、コラム選択ゲートおよびコラム選択線をリード / ライトで独立に配置する構成としてもよい。この場合には、図 15 の構成において、リードコラム選択ゲート RCG とライトコラム選択ゲート WCG の配置、およびリードコラム選択線 RCSL とライトコラム選択線 WCSL との配置をそれぞれ入れ替ればよい。20

#### 【0216】

実施の形態 2 の変形例 2 に従う構成においては、電流切換回路 53a およびデータ読出回路 50r に代えて、電流切換回路 53b およびデータ読出回路 51r がそれぞれ配置される。

#### 【0217】

図 17 は、データ読出回路 51r の構成を示す回路図である。30

図 17 を参照して、データ読出回路 51r は、図 14 に示したデータ読出回路 50r と比較して、ノード N\_r1 に対してのみセンス電流 Is を供給する点で異なる。これに対応して、図 14 に示されたトランジスタ 164 は省略され、参照電圧 Vref は、トランジスタ 163 のゲートのみに入力される。

#### 【0218】

データ読出回路 51r は、センス電流 Is によって生じる電圧降下を、基準となる電圧降下 Vr と比較して読出データ DOUT のデータレベルを検知する。Vr は、H レベルデータを読出した場合におけるデータ線の電圧降下を Vh とし、L レベルデータを読出した場合におけるデータ線の電圧降下を Vl とすると、Vh と Vl との中間値となるように設定される。40

#### 【0219】

したがって、データ読出回路 51r においては、ノード Ns2 の電圧レベルが (Vcc - Vr) となるように抵抗 167 の抵抗値は設定される。

#### 【0220】

再び図 16 を参照して、電流切換回路 53b は、制御信号 RRS に応じて、データ読出回路 50r の出力ノード N\_r1 と、データ線 I/O1 (I/O) および I/O2 (/I/O) との間の接続を制御する。データ読出時において、列選択結果に応じて、データ読出回路 50r の出力ノード N\_r1 とデータ線 I/O1 (I/O) および I/O2 (/I/O) の一方とを接続する。

#### 【0221】

10

20

30

40

50

具体的には、奇数番目のメモリセル列が選択される場合には、データ線 I O 1 ( I O ) にセンス電流 I s を供給するために、電流切換回路 5 3 b は、ノード N r 1 とデータ線 I O 1 ( I O ) とを接続する。データ線 I O 2 ( / I O ) は、プリチャージ電圧のままフローティング状態とされる。

#### 【 0 2 2 2 】

反対に、偶数番目のメモリセル列が選択される場合には、電流切換回路 5 3 b は、データ線 I O 2 ( / I O ) にセンス電流 I s を供給するために、ノード N r 1 とデータ線 I O 2 ( / I O ) とを接続する。一方、データ線 I O 1 ( I O ) は、プリチャージ電圧のままフローティング状態とされる。

#### 【 0 2 2 3 】

一方、データ書き回路 5 0 w によってデータ書き電流がデータ線 I O , / I O に流されるデータ書き時においては、電流切換回路 5 3 b は、出力ノード N r 1 をデータ線 I O および / I O のいずれとも接続しない。

#### 【 0 2 2 4 】

このような構成とすることにより、データ読出時において、折返し型ビット線構成による動作マージン確保を図ることはできないものの、メモリアレイ 1 0 におけるリードワード線 R W L の配線ピッチを緩和してデータ読出を正常に実行できる。さらに、折返し型ビット線構成に基づくデータ書きを実行するとともに、実施の形態 1 の変形例 3 の場合と同様に、メモリアレイ 1 0 の高集積化による M R A M デバイスのチップ面積削減を図ることができる。

#### 【 0 2 2 5 】

##### [ 実施の形態 3 ]

実施の形態 3 以降においては、他の構成を有するメモリセルの配置における、信号線の共有について説明する。

#### 【 0 2 2 6 】

図 1 8 は、実施の形態 3 に従うメモリセルと信号配線との間の接続関係を示す回路図である。

#### 【 0 2 2 7 】

図 1 8 を参照して、実施の形態 3 に従うメモリセルは、直列に結合された磁気トンネル接合部 M T J およびアクセストランジスタ A T R を含む。アクセストランジスタ A T R は、磁気トンネル接合部 M T J とビット線 B L との間に電気的に結合される。アクセストランジスタ A T R のゲートはリードワード線 R W L と結合される。

#### 【 0 2 2 8 】

磁気トンネル接合部 M T J は、接地電圧 V s s を供給する基準電圧配線 S L とアクセストランジスタ A T R との間に電気的に結合される。したがって、ビット線 B L は、直接磁気トンネル接合部 M T J と結合されず、アクセストランジスタ A T R を介して接続される。

#### 【 0 2 2 9 】

実施の形態 3 に従うメモリセルは、実施の形態 1 に従うメモリセルと比較して、基準電圧配線 S L とビット線 B L とを入替えて配置したものに相当する。したがって、配置される信号線の種類は実施の形態 1 の場合と同様であり、データ読出およびデータ書き時における各信号線の電圧および電流波形は、実施の形態 1 と同様であるので詳細な説明は繰り返さない。

#### 【 0 2 3 0 】

図 1 9 は、実施の形態 3 に従うメモリセルの配置を説明する構造図である。

図 1 9 を参照して、アクセストランジスタ A T R は、半導体主基板 S U B 上の p 型領域 P A R に形成される。ビット線 B L は、第 1 の金属配線層 M 1 に形成されて、アクセストランジスタ A T R の一方のソース / ドレイン領域 1 1 0 と電気的に結合される。

#### 【 0 2 3 1 】

他方のソース / ドレイン領域 1 2 0 は、第 1 の金属配線層 M 1 および第 2 の金属配線層 M 2 に設けられた金属配線、コンタクトホールに形成された金属膜 1 5 0 およびバリアメタ

10

20

30

40

50

ル 1 4 0 を経由して、磁気トンネル接合部 M T J と結合される。ライトワード線 W W L は、磁気トンネル接合部と近接して第 2 の金属配線層 M 2 に設けられる。リードワード線 R W L は、アクセストランジスタ A T R のゲート 1 3 0 と同一層に配置される。

#### 【 0 2 3 2 】

基準電圧配線 S L は、独立した金属配線層である第 3 の金属配線層 M 3 に配置される。基準電圧配線 S L は、半導体基板上のいずれかのノードにおいて、接地電圧 V s s を供給するノードと結合される。

#### 【 0 2 3 3 】

このように、実施の形態 3 に従うメモリセルにおいては、磁気トンネル接合部 M T J とビット線 B L とは直接的に結合されず、アクセストランジスタ A T R を介して結合される。  
これにより、各ビット線 B L は、対応するメモリセル列に属する多数の磁気トンネル接合部 M T J と直接結合されず、データ読出の対象となる、すなわち対応するリードワード線 R W L が選択状態 (H レベル) に活性化されたメモリセル行に属するメモリセルとのみ電気的に結合される。したがって、ビット線 B L の容量を抑制することができ、特にデータ読出時の動作を高速化できる。

#### 【 0 2 3 4 】

図 2 0 は、実施の形態 3 に従うメモリアレイ 1 0 の構成を示すブロック図である。

#### 【 0 2 3 5 】

図 2 0 を参照して、メモリアレイ 1 0 においては、図 1 8 に示される構成を有するメモリセル M C が行列状に配置される。さらに、図 5 に示される実施の形態 1 に従う構成と同様に、行方向に隣接するメモリセルは、同一の基準電圧配線 S L を共有する。

#### 【 0 2 3 6 】

リードワード線 R W L 、ライトワード線 W W L 、ビット線 B L の配置および、ワード線電流制御回路 4 0 の構成については、図 5 と同様であるので説明は繰り返さない。

#### 【 0 2 3 7 】

このように、実施の形態 3 に従うメモリセルの配置においても、基準電圧配線 S L を複数のメモリセル列間で共有することができる。これにより、メモリアレイ 1 0 全体に配置される配線数を削減することができる。この結果、メモリアレイ 1 0 を高集積化して、M R A M デバイスのチップ面積を削減することができる。

#### 【 0 2 3 8 】

##### [ 実施の形態 3 の変形例 1 ]

図 2 1 は、実施の形態 3 の変形例 1 に従うメモリアレイ 1 0 の構成を示すブロック図である。

#### 【 0 2 3 9 】

図 2 1 を参照して、実施の形態 3 の変形例 1 に従うメモリアレイ 1 0 においては、行方向に隣接するメモリセルは、図 6 の場合と同様に同一のビット線 B L を共有する。一方、基準電圧配線 S L は、各メモリセル列ごとに配置される。

#### 【 0 2 4 0 】

その他の部分の構成と、データ読出およびデータ書込時における各メモリセルの動作とは、実施の形態 3 と同様であるので、詳細な説明は繰り返さない。

#### 【 0 2 4 1 】

このような構成とすることにより、データ読出の高速化を図ることが可能な実施の形態 3 に従うメモリセルを配置する場合においても、メモリアレイ 1 0 におけるビット線 B L の配線ピッチを緩和できる。この結果、メモリセル M C を効率的に配置してメモリアレイ 1 0 を高集積化し、M R A M デバイスのチップ面積を削減することができる。

#### 【 0 2 4 2 】

また、実施の形態 3 に従うメモリセルの構成においては、ビット線 B L と磁気トンネル接合部 M T J との間の距離が、ライトワード線 W W L と磁気トンネル接合部 M T J との間の距離に比較して大きくなるので、ビット線 B L により大きなデータ書込電流を流す必要が生じる。したがって、ビット線 B L のエレクトロマイグレーション耐性を考慮することが

10

20

30

40

50

、M R A M デバイスの信頼性向上に有効である。

**【 0 2 4 3 】**

すなわち、実施の形態 3 に従うメモリセルの配置においては、ビット線 B L の配線幅（断面積）を、磁気トンネル接合部との距離が小さいライトワード線 W W L よりも大きく確保することによって、ビット線 B L のエレクトロマイグレーション耐性を高めて、M R A M デバイスの信頼性を向上させることができる。また、材質面においても、ビット線 B L をエレクトロマイグレーション耐性の高い材料で形成することが望ましい。

**【 0 2 4 4 】**

**[ 実施の形態 3 の変形例 2 ]**

図 2 2 は、実施の形態 3 の変形例 2 に従うメモリアレイ 1 0 の構成を示すブロック図である。10

**【 0 2 4 5 】**

図 2 2 を参照して、実施の形態 3 の変形例 2 に従うメモリアレイ 1 0 においては、列方向に隣接するメモリセルは、図 7 の場合と同様に同一のライトワード線 W W L を共有する。メモリセル M C は、図 7 の場合と同様の理由によって交互配置される。また、図 2 2 においては、基準電圧配線 S L が各メモリセル列ごとに配置される構成を示しているが、図 2 0 の構成と同様に、行方向に隣接するメモリセル間で基準電圧配線 S L を共有する構成としてもよい。

**【 0 2 4 6 】**

その他の部分の構成と、データ読出およびデータ書込時における各メモリセルの動作とは、実施の形態 3 と同様であるので、詳細な説明は繰り返さない。20

**【 0 2 4 7 】**

このような構成とすることにより、実施の形態 3 に従うメモリセルの配置においても、メモリアレイ 1 0 におけるライトワード線 W W L の配線ピッチを緩和できる。この結果、メモリセル M C を効率的に配置してメモリアレイ 1 0 を高集積化し、M R A M デバイスのチップ面積を削減することができる。

**【 0 2 4 8 】**

**[ 実施の形態 3 の変形例 3 ]**

図 2 3 は、実施の形態 3 の変形例 3 に従うメモリアレイ 1 0 の構成を示すブロック図である。30

**【 0 2 4 9 】**

図 2 3 を参照して、実施の形態 3 の変形例 3 に従うメモリアレイ 1 0 においては、列方向に隣接するメモリセルは、図 9 の場合と同様に同一のリードワード線 R W L を共有する。また、メモリセル M C は、図 9 の場合と同様の理由によって交互配置される。図 2 3 においては、基準電圧配線 S L が各メモリセル列ごとに配置される構成を示しているが、図 2 0 の構成と同様に、隣接する 2 個のメモリセル列で形成されるメモリセル列の組ごとに基準電圧配線 S L を共有する構成としてもよい。

**【 0 2 5 0 】**

その他の部分の構成と、データ読出およびデータ書込時における各メモリセルの動作とは、実施の形態 3 と同様であるので、詳細な説明は繰り返さない。40

**【 0 2 5 1 】**

このような構成とすることにより、実施の形態 3 に従うメモリセルの配置においても、メモリアレイ 1 0 におけるリードワード線 R W L の配線ピッチを緩和できる。この結果、メモリセル M C を効率的に配置してメモリアレイ 1 0 を高集積化し、M R A M デバイスのチップ面積を削減することができる。

**【 0 2 5 2 】**

**[ 実施の形態 3 の変形例 4 ]**

図 2 4 は、実施の形態 3 の変形例 4 に従うメモリアレイ 1 0 の構成を示すブロック図である。

**【 0 2 5 3 】**

図24を参照して、実施の形態3の変形例4に従うメモリアレイ10においては、実施の形態3の変形例2と同様に、列方向に隣接するメモリセルは、同一のライトワード線WWLを共有する。さらに、リードワード線RWLも、列方向に隣接するメモリセル間で共有される。たとえば、第2行および第3行のメモリセル行に属するメモリセル群は、同一のリードワード線RWL2を共有する。以降のメモリセル行に対しても、リードワード線RWLおよびライトワード線WWLは、同様に配置される。

#### 【0254】

メモリセルMCは、図10の場合と同様の理由によって交互配置される。また、図24においては、基準電圧配線SLが各メモリセル列ごとに配置される構成を示しているが、図20の構成と同様に、列方向に隣接するメモリセルによって、1本の基準電圧配線SLを共有する構成としてもよい。10

#### 【0255】

その他の部分の構成と、データ読出およびデータ書込時における各メモリセルの動作とは、実施の形態3と同様であるので、詳細な説明は繰り返さない。

#### 【0256】

このような構成とすることにより、実施の形態3に従うメモリセルの配置においても、メモリアレイ10におけるライトワード線WWLおよびリードワード線RWLの両方の配線ピッチを緩和できる。この結果、メモリセルMCをより効率的に配置して、実施の形態3の変形例2および3の場合よりも、メモリアレイ10をさらに高集積化して、MRAMデバイスのチップ面積を削減することができる。20

#### 【0257】

##### [実施の形態3の変形例5]

図25は、実施の形態3の変形例5に従うメモリアレイ10および周辺回路の構成を示すブロック図である。

#### 【0258】

図25を参照して、実施の形態3の変形例5に従うメモリアレイ10および周辺回路の構成は、図11に示される実施の形態1の変形例5に従う構成と類似する。

#### 【0259】

実施の形態3に従うメモリセルにおいては、データ読出時において、アクセストランジスタATRと結合された共通配線SBLをビット線BLとして機能させ、磁気トンネル接合部MTJと結合された共通配線SBLを基準電圧配線SLとして機能させることが必要である。これは、実施の形態1の変形例5における共通配線SBLの機能の設定とは逆である。30

#### 【0260】

すなわち、実施の形態1の変形例5の場合と比較して、行選択結果に対応した共通配線制御トランジスタCCTのオン／オフを入れ替える必要がある。したがって、実施の形態3の変形例5においては、奇数番目のメモリセル列に対応して設けられる共通配線制御トランジスタCCT1,CCT3,...のゲートには、制御信号RA1が入力される。偶数番目のメモリセル列に対応して設けられる共通配線制御トランジスタCCT2,CCT4,...のゲートには、制御信号RA1が入力される。制御信号RA1および/RA1の設定は、実施の形態1の変形例5と同様である。40

#### 【0261】

共通配線制御トランジスタCCTの制御以外については、実施の形態1の変形例5と同様であるので、詳細な説明は繰り返さない。

#### 【0262】

このような構成とすることにより、実施の形態3に従うメモリセルの配置においても、基準電圧配線SLおよびビット線BLの機能を統合した共通配線SBLを用いて、実施の形態1と同様のデータ読出およびデータ書込を行なうことができる。

#### 【0263】

この結果、列方向の配線ピッチを緩和してメモリセルMCを効率的に配することにより、50

メモリアレイ 10 を高集積化することができる。さらに、データ書込時に大きなデータ書込電流が流れる共通配線 SBL の配線幅、すなわち断面積を確保して、共通配線 SBL のエレクトロマイグレーション耐性を向上させて、MRAM デバイスの信頼性を向上させることができる。

**【0264】**

また図 25においては、さらに、実施の形態 3 の変形例 2 と同様に、列方向に隣接するメモリセルは、1 本のライトワード線 WWL を共有する。

**【0265】**

したがって、メモリアレイ 10 におけるライトワード線 WWL の配線ピッチを緩和できる。この結果、メモリアレイ 10 をさらに高集積化して、MRAM デバイスのチップ面積を削減することができる。10

**【0266】**

なお、この変形例で示した、共通配線 SBL による基準電圧配線 SL およびビット線 BL の統合は、この他に、実施の形態 3 の変形例 3 および 4 でそれぞれ説明した、隣接メモリセル行間におけるリードワード線 RWL の共有および、隣接メモリセル行間におけるリードワード線 RWL とライトワード線 WWLとの双方の共有のいずれかと組合せて適用することも可能である。

**【0267】**

**[実施の形態 3 の変形例 6]**

図 26 は、実施の形態 3 の変形例 6 に従うメモリアレイ 10 および周辺回路の構成を示すプロック図である。20

**【0268】**

図 26 を参照して、行列状に配置された実施の形態 3 に従うメモリセルに対して、実施の形態 2 と同様に、隣接する 2 個のメモリセル列によって形成されるメモリセル列の組ごとに、対応する 2 本のビット線を用いて折返し型ビット線構成が実現される。

**【0269】**

図 26においては、各メモリセル MC において、アクセストランジスタ AT とビット線とが接続され、磁気トンネル接合部 MTJ と基準電圧配線 SL とが接続される点が、図 1 3 の構成と異なる。

**【0270】**

その他の部分の構成と、データ読出およびデータ書込時における動作とは、図 1 3 の場合と同様であるので、詳細な説明は繰り返さない。30

**【0271】**

したがって、実施の形態 3 に従うメモリセルの配置においても、折返し型ビット線構成を用いて、データ読出およびデータ書込の動作マージンを確保することができる。また、実施の形態 2 と同様に、周辺回路の簡単化およびデータ書込ノイズ低減を図ることができる。

**【0272】**

**[実施の形態 3 の変形例 7]**

実施の形態 3 の変形例 7 においては、実施の形態 3 の変形例 6 に示した折返し型ビット線構成に加えて、隣接するメモリセル行間におけるライトワード線 WWL の共有が図られる。

**【0273】**

図 27 は、実施の形態 3 の変形例 7 に従うメモリアレイ 10 および周辺回路の構成を示すプロック図である。

**【0274】**

図 27においては、各メモリセル MC において、アクセストランジスタ AT とビット線とが接続され、磁気トンネル接合部 MTJ と基準電圧配線 SL とが接続される点が、図 1 5 の構成と異なる。

**【0275】**

10

20

30

40

50

その他の部分の構成と、データ読出およびデータ書込時における動作とは、図15の場合と同様であるので、詳細な説明は繰り返さない。

**【0276】**

したがって、実施の形態3に従うメモリセルの配置においても、折返し型ピット線構成に基づくデータ読出による動作マージン確保と、ライトワード線の共有化に基づくメモリアレイ10の高集積化とを両立して実現することができる。

**【0277】**

**[実施の形態3の変形例8]**

実施の形態3の変形例8においては、実施の形態3の変形例6に示した折返し型ピット線構成に加えて、隣接するメモリセル行間におけるリードワード線RWLの共有が図られる。  
10

**【0278】**

図28は、実施の形態3の変形例8に従うメモリアレイ10および周辺回路の構成を示すブロック図である。

**【0279】**

図28においては、各メモリセルMCにおいて、アクセストランジスタATRとピット線とが接続され、磁気トンネル接合部MTJと基準電圧配線SLとが接続される点が、図16の構成と異なる。

**【0280】**

その他の部分の構成と、データ読出およびデータ書込時における動作とは、図16の場合と同様であるので、詳細な説明は繰り返さない。  
20

**【0281】**

したがって、実施の形態3に従うメモリセルの配置においても、折返し型ピット線構成に基づくデータ書込による、動作マージン確保、周辺回路の簡易化およびデータ書込ノイズの低減と、リードワード線の共有化に基づくメモリアレイ10の高集積化とを両立して実現することができる。

**【0282】**

**[実施の形態4]**

図29は、実施の形態4に従うメモリセルと信号配線との間の接続関係を示す回路図である。  
30

**【0283】**

図29を参照して、実施の形態4に従うメモリセルに対しては、メモリセルに対して、リードワード線RWL、ライトワード線WWL、ピット線BLおよび基準電圧配線SLが設けられる。

**【0284】**

アクセストランジスタATRは、磁気トンネル接合部MTJと接地電圧Vssを供給する基準電圧配線SLとの間に電気的に結合される。アクセストランジスタATRのゲートは、リードワード線RWLと結合される。磁気トンネル接合部MTJは、ピット線BLと結合される。

**【0285】**

リードワード線RWLは、メモリセルの行方向に沿って配置される。ライトワード線WWLは、リードワード線RWLと平行に、磁気トンネル接合部MTJと近接して設けられる。基準電圧配線SLは、ライトワード線WWLおよびリードワード線RWLと平行に配置される。  
40

**【0286】**

実施の形態4に従うメモリセルは、実施の形態1に従うメモリセルと比較すると、基準電圧配線SLが行方向に沿って、すなわちリードワード線RWLおよびライトワード線WWLと平行に配置される点がのみ異なる。したがって、配置される信号線の種類は実施の形態1の場合と同様であり、データ読出およびデータ書込時における各信号線の電圧および電流波形は、実施の形態1と同様であるので詳細な説明は繰り返さない。  
50

**【0287】**

図30は、実施の形態4に従うメモリセルの配置を説明する構造図である。

図30を参照して、アクセストランジスタA T Rは、半導体主基板S U B上のp型領域P A Rに形成される。基準電圧配線S Lは、第1の金属配線層M 1に形成されて、アクセストランジスタA T Rの一方のソース／ドレイン領域110と電気的に結合される。基準電圧配線S Lは、半導体基板上のいずれかのノードにおいて、接地電圧V ssを供給するノードと結合される。

**【0288】**

他方のソース／ドレイン領域120は、第1の金属配線層M 1および第2の金属配線層M 2に設けられた金属配線、コンタクトホールに形成された金属膜150およびバリアメタル140を経由して、磁気トンネル接合部M T Jと結合される。ライトワード線W W Lは、磁気トンネル接合部と近接して第2の金属配線層M 2に設けられる。リードワード線R W Lは、アクセストランジスタA T Rのゲート130と同一層に配置される。10

**【0289】**

ビット線B Lは、独立した金属配線層である第3の金属配線層M 3に配置され、磁気トンネル接合部M T Jと電気的に結合される。

**【0290】**

図31は、実施の形態4に従うメモリアレイ10の構成を示すブロック図である。

**【0291】**

図31を参照して、メモリアレイ10においては、図29に示される構成を有するメモリセルM Cが行列状に配置される。列方向に隣接するメモリセルは、同一の基準電圧配線S Lを共有する。たとえば、第1番目および第2番目のメモリセル行に属するメモリセル群は、1本の基準電圧配線S L 1を共有する。他のメモリセル列に対しても、基準電圧配線S Lは、同様に配置される。基準電圧配線S Lは、基本的には一定電圧（本実施の形態においては、接地電圧V ss）を供給するので、特別な電圧制御等を行なうことなく、このように共有することができる。20

**【0292】**

リードワード線R W L、ライトワード線W W L、ビット線B Lの配置および、ワード線電流制御回路40の構成については、図5と同様であるので説明は繰り返さない。

**【0293】**

このように、基準電圧配線S Lを行方向に沿って配置する実施の形態4に従うメモリセルの配置においても、基準電圧配線S Lを隣接するメモリセル間で共有することができる。これにより、メモリアレイ10全体に配置される配線数を削減してメモリアレイ10を高集積化し、M R A Mデバイスのチップ面積を削減することができる。30

**【0294】****[実施の形態4の変形例1]**

図32は、実施の形態4の変形例1に従うメモリアレイ10の構成を示すブロック図である。

**【0295】**

図32を参照して、実施の形態4の変形例1に従うメモリアレイ10においては、行方向に隣接するメモリセルは、同一のビット線B Lを共有する。たとえば、第1番目および第2番目のメモリセル列に属するメモリセル群は、同一のビット線B L 1を共有する。一方、基準電圧配線S Lは、各メモリセル列ごとに配置される。40

**【0296】**

その他の部分の構成と、データ読出およびデータ書き込時における各メモリセルの動作とは、実施の形態4と同様であるので、詳細な説明は繰り返さない。

**【0297】**

このような構成とすることにより、実施の形態4に従うメモリセルを配置する場合においても、メモリアレイ10におけるビット線B Lの配線ピッチを緩和できる。この結果、メモリセルM Cを効率的に配置してメモリアレイ10を高集積化し、M R A Mデバイスのチ50

チップ面積を削減することができる。

**【0298】**

**[実施の形態4の変形例2]**

図33は、実施の形態4の変形例2に従うメモリアレイ10の構成を示すブロック図である。

**【0299】**

図33を参照して、実施の形態4の変形例2に従うメモリアレイ10においては、基準電圧配線S<sub>L</sub>およびビット線B<sub>L</sub>の双方が共有される。基準電圧配線S<sub>L</sub>は、図31と同様に、列方向に隣接するメモリセルによって共有され、ビット線B<sub>L</sub>は、図32と同様に、行方向に隣接するメモリセルによって共有される。

10

**【0300】**

このような構成とすることにより、行方向および列方向に沿ってそれぞれ配置される配線の両方を削減してメモリアレイ10をさらに高集積化し、MRAMデバイスのチップ面積を削減することができる。

**【0301】**

**[実施の形態4の変形例3]**

図34は、実施の形態4の変形例3に従うメモリアレイ10の構成を示すブロック図である。

**【0302】**

図34を参照して、実施の形態4の変形例3に従うメモリアレイ10においては、基準電圧配線S<sub>L</sub>が共有される図31の構成に加えて、列方向に隣接するメモリセルによって、同一のライトワード線WW<sub>L</sub>がさらに共有される。メモリセルMCは、図7の場合と同様の理由によって交互配置される。

20

**【0303】**

その他の部分の構成と、データ読出およびデータ書込時における各メモリセルの動作とは、実施の形態4と同様であるので、詳細な説明は繰り返さない。

**【0304】**

このような構成とすることにより、実施の形態4に従うメモリセルの配置においても、メモリアレイ10におけるライトワード線WW<sub>L</sub>の配線ピッチを緩和できる。この結果、メモリセルMCを効率的に配置してメモリアレイ10を高集積化し、MRAMデバイスのチップ面積を削減することができる。

30

**【0305】**

また、実施の形態4に従うメモリセルの構成においては、ライトワード線WW<sub>L</sub>と磁気トンネル接合部MTJとの間の距離がより大きくなるので、実施の形態1に従うメモリセルの場合と同様に、ライトワード線WW<sub>L</sub>に大きなデータ書込電流を流す必要が生じる。

**【0306】**

したがって、ライトワード線WW<sub>L</sub>の配線ピッチの緩和によって断面積を確保することによってライトワード線WW<sub>L</sub>の電流密度を軽減すれば、エレクトロマイグレーション耐性を向上させてMRAMデバイスの信頼性向上を図ることができる。また、材質面においても、ライトワード線WW<sub>L</sub>をビット線B<sub>L</sub>よりもエレクトロマイグレーション耐性の高い材料で形成することが望ましい。

40

**【0307】**

**[実施の形態4の変形例4]**

図35は、実施の形態4の変形例4に従うメモリアレイ10の構成を示すブロック図である。

**【0308】**

図35を参照して、実施の形態4の変形例4に従うメモリアレイ10においては、基準電圧配線S<sub>L</sub>およびビット線B<sub>L</sub>が共有される図33の構成に加えて、列方向に隣接するメモリセルによって、同一のリードワード線RW<sub>L</sub>が共有される。たとえば、第1番目および第2番目のメモリセル行に属するメモリセル群によって、同一のリードワード線RW<sub>L</sub>

50

1が共有される。メモリセルMCは、図9の場合と同様の理由によって交互配置される。

**【0309】**

その他の部分の構成と、データ読出およびデータ書込時における各メモリセルの動作とは、実施の形態4と同様であるので、詳細な説明は繰り返さない。

**【0310】**

このような構成とすることにより、実施の形態4に従うメモリセルの配置においても、メモリアレイ10におけるリードワード線RWLの配線ピッチを緩和できる。この結果、メモリセルMCを効率的に配置してメモリアレイ10を高集積化し、MRAMデバイスのチップ面積を削減することができる。

**【0311】**

10

**[実施の形態4の変形例5]**

図36は、実施の形態4の変形例5に従うメモリアレイ10の構成を示すブロック図である。

**【0312】**

図36を参照して、実施の形態4の変形例5に従うメモリアレイ10においては、実施の形態4の変形例3と同様に、列方向に隣接するメモリセルは、同一のライトワード線WWLおよび基準電圧配線SLを共有する。

**【0313】**

実施の形態4の変形例5においては、さらに、リードワード線RWLが、列方向に隣接するメモリセル間で共有される。たとえば、第2行および第3行のメモリセル行に属するメモリセル群は、同一のリードワード線RWL2を共有する。以降のメモリセル行に対しても、ライトワード線WWLおよびリードワード線RWLは、同様に配置される。

20

**【0314】**

メモリセルMCは、図10の場合と同様の理由によって交互配置される。また、基準電圧配線SLは、ライトワード線WWLと同様に、列方向に隣接するメモリセルによって共有される。

**【0315】**

その他の部分の構成と、データ読出およびデータ書込時における各メモリセルの動作とは、実施の形態4と同様であるので、詳細な説明は繰り返さない。

**【0316】**

30

このような構成とすることにより、実施の形態4に従うメモリセルの配置においても、メモリアレイ10におけるライトワード線WWLおよびリードワード線RWLの両方の配線ピッチを緩和できる。この結果、メモリセルMCをより効率的に配置して、実施の形態4の変形例3および4の場合よりも、メモリアレイ10をさらに高集積化して、MRAMデバイスのチップ面積を削減することができる。

**【0317】**

**[実施の形態4の変形例6]**

図37は、実施の形態4の変形例6に従うメモリアレイ10および周辺回路の構成を示すブロック図である。

**【0318】**

40

図37を参照して、行列状に配置された実施の形態4に従うメモリセルに対して、実施の形態2と同様に、隣接する2個のメモリセル列によって形成されるメモリセル列の組ごとに、対応する2本のビット線を用いて折返し型ビット線構成が実現される。

**【0319】**

図37においては、基準電圧配線SLが行方向に配置される点が、図13の構成と異なる。

**【0320】**

その他の部分の構成と、データ読出およびデータ書込時における動作とは、図13の場合と同様であるので、詳細な説明は繰り返さない。

**【0321】**

50

したがって、実施の形態 4 に従うメモリセルの配置においても、折返し型ビット線構成を用いて、データ読出およびデータ書込の動作マージンを確保することができる。また、実施の形態 2 と同様に、データ書込回路 50W および読出／書込制御回路 60 の周辺回路の構成を簡易化するとともに、データ書込ノイズを低減できる。

**【0322】**

**[実施の形態 4 の変形例 7]**

実施の形態 4 の変形例 7 においては、実施の形態 4 の変形例 6 に示した折返し型ビット線構成に加えて、隣接するメモリセル行間におけるライトワード線 WWL の共有が図られる。

**【0323】**

図 38 は、実施の形態 4 の変形例 7 に従うメモリアレイ 10 および周辺回路の構成を示すプロック図である。

**【0324】**

図 38 においては、基準電圧配線 SL が行方向に配置される点が、図 15 の構成と異なる。

**【0325】**

その他の部分の構成と、データ読出およびデータ書込時における動作とは、図 15 の場合と同様であるので、詳細な説明は繰り返さない。

**【0326】**

したがって、実施の形態 4 に従うメモリセルの配置においても、折返し型ビット線構成に基づくデータ読出による動作マージン確保と、ライトワード線の共有化に基づくメモリアレイ 10 の高集積化とを両立して実現することができる。

**【0327】**

**[実施の形態 4 の変形例 8]**

実施の形態 4 の変形例 8 においては、実施の形態 4 の変形例 6 に示した折返し型ビット線構成に加えて、隣接するメモリセル行間におけるリードワード線 RWL の共有が図られる。

**【0328】**

図 39 は、実施の形態 4 の変形例 8 に従うメモリアレイ 10 および周辺回路の構成を示すプロック図である。

**【0329】**

図 39 においては、各メモリセル MC において、基準電圧配線 SL が行方向に配置される点が図 16 の構成と異なる。

**【0330】**

その他の部分の構成と、データ読出およびデータ書込時における動作とは、図 16 の場合と同様であるので、詳細な説明は繰り返さない。

**【0331】**

したがって、実施の形態 4 に従うメモリセルの配置においても、折返し型ビット線構成に基づくデータ書込による、動作マージン確保、周辺回路の簡易化およびデータ書込ノイズの低減と、リードワード線の共有化に基づくメモリアレイ 10 の高集積化とを両立して実現することができる。

**【0332】**

**[実施の形態 5]**

図 40 は、実施の形態 5 に従うメモリセルと信号配線との間の接続関係を示す回路図である。

**【0333】**

図 40 を参照して、実施の形態 5 に従うメモリセルは、直列に結合された磁気トンネル接合部 MTJ およびアクセストランジスタ AT R を含む。アクセストランジスタ AT R は、磁気トンネル接合部 MTJ とビット線 BL との間に電気的に結合される。アクセストランジスタ AT R のゲートはリードワード線 RWL と結合される。基準電圧配線 SL は、実施

10

20

30

40

50

の形態 4 と同様に、行方向に沿って配置される。

**【 0 3 3 4 】**

磁気トンネル接合部 M T J は、接地電圧 V s s を供給する基準電圧配線 S L とアクセストランジスタ A T R との間に電気的に結合される。したがって、ビット線 B L は、直接磁気トンネル接合部 M T J と結合されず、アクセストランジスタ A T R を介して接続される。

**【 0 3 3 5 】**

実施の形態 5 に従うメモリセルは、実施の形態 4 に従うメモリセルと比較して、基準電圧配線 S L およびビット線 B L と、磁気トンネル接合部 M T J およびアクセストランジスタ A T R の接続関係を入替えて配置したものに相当する。したがって、配置される信号線の種類は実施の形態 1 の場合と同様であり、データ読出およびデータ書込時における各信号線の電圧および電流波形は、実施の形態 1 と同様であるので詳細な説明は繰り返さない。  
10

**【 0 3 3 6 】**

図 4 1 は、実施の形態 5 に従うメモリセルの配置を説明する構造図である。

図 4 1 を参照して、アクセストランジスタ A T R は、半導体主基板 S U B 上の p 型領域 P A R に形成される。ビット線 B L は、第 1 の金属配線層 M 1 に形成されて、アクセストランジスタ A T R の一方のソース / ドレイン領域 1 1 0 と電気的に結合される。

**【 0 3 3 7 】**

他方のソース / ドレイン領域 1 2 0 は、第 1 の金属配線層 M 1 および第 2 の金属配線層 M 2 に設けられた金属配線、コンタクトホールに形成された金属膜 1 5 0 およびバリアメタル 1 4 0 を経由して、磁気トンネル接合部 M T J と結合される。ライトワード線 W W L は、磁気トンネル接合部と近接して第 2 の金属配線層 M 2 に設けられる。リードワード線 R W L は、アクセストランジスタ A T R のゲート 1 3 0 と同一層に配置される。  
20

**【 0 3 3 8 】**

基準配線 S L は、独立した金属配線層である第 3 の金属配線層 M 3 に配置される。基準配線 S L は、半導体基板上のいずれかのノードにおいて、接地電圧 V s s を供給するノードと結合される。

**【 0 3 3 9 】**

このように、実施の形態 5 に従うメモリセルにおいては、磁気トンネル接合部 M T J とビット線 B L とは直接的に結合されず、アクセストランジスタ A T R を介して結合される。これにより、各ビット線 B L は、対応するメモリセル列に属する多数の磁気トンネル接合部 M T J と直接結合されず、データ読出の対象となる、すなわち対応するリードワード線 R W L が選択状態 (H レベル) に活性化されたメモリセル行に属するメモリセルとのみ電気的に結合される。したがって、ビット線 B L の容量を抑制することができ、特にデータ読出時の動作を高速化できる。  
30

**【 0 3 4 0 】**

図 4 2 は、実施の形態 5 に従うメモリアレイ 1 0 の構成を示すブロック図である。

**【 0 3 4 1 】**

図 4 2 を参照して、メモリアレイ 1 0 においては、図 4 0 に示される構成を有するメモリセル M C が行列状に配置される。さらに、図 3 1 に示される実施の形態 4 に従う構成と同様に、列方向に隣接するメモリセルは、同一の基準電圧配線 S L を共有する。  
40

**【 0 3 4 2 】**

リードワード線 R W L 、ライトワード線 W W L 、ビット線 B L の配置および、ワード線電流制御回路 4 0 の構成については、図 3 1 と同様であるので説明は繰り返さない。

**【 0 3 4 3 】**

このように、実施の形態 5 に従うメモリセルの配置においても、基準電圧配線 S L を列方向に隣接するメモリセル間で共有することができる。これにより、メモリアレイ 1 0 全体に配置される配線数を削減することができる。この結果、メモリアレイ 1 0 を高集積化して、M R A M デバイスのチップ面積を削減することができる。

**【 0 3 4 4 】**

[ 実施の形態 5 の変形例 1 ]

10

20

30

40

50

図43は、実施の形態5の変形例1に従うメモリアレイ10の構成を示すブロック図である。

#### 【0345】

図43を参照して、実施の形態5の変形例1に従うメモリアレイ10においては、行方向に隣接するメモリセルは、図32の場合と同様に同一のビット線BLを共有する。一方、基準電圧配線SLは、各メモリセル列ごとに配置される。

#### 【0346】

その他の部分の構成と、データ読出およびデータ書込時における各メモリセルの動作とは、実施の形態5と同様であるので、詳細な説明は繰り返さない。

#### 【0347】

このような構成とすることにより、データ読出の高速化を図ることが可能な実施の形態5に従うメモリセルを配置する場合においても、メモリアレイ10におけるビット線BLの配線ピッチを緩和できる。この結果、メモリセルMCを効率的に配置してメモリアレイ10を高集積化し、MRAMデバイスのチップ面積を削減することができる。

#### 【0348】

また、実施の形態5に従うメモリセルの構成においては、実施の形態3の場合と同様に、ビット線BLと磁気トンネル接合部MTJとの間の距離が、ライトワード線WWLと磁気トンネル接合部MTJとの間の距離に比較して大きくなるので、ビット線BLにより大きなデータ書込電流を流す必要が生じる。したがって、ビット線BLのエレクトロマイグレーション耐性を考慮することが、MRAMデバイスの信頼性向上に有効である。

#### 【0349】

すなわち、実施の形態5に従うメモリセルの配置においては、ビット線BLの配線幅(断面積)を、磁気トンネル接合部との距離が小さいライトワード線WWLよりも大きく確保することによって、ビット線BLのエレクトロマイグレーション耐性を高めて、MRAMデバイスの信頼性を向上させることができる。また、材質面においても、ビット線BLをエレクトロマイグレーション耐性の高い材料で形成することが望ましい。

#### 【0350】

##### [実施の形態5の変形例2]

図44は、実施の形態5の変形例2に従うメモリアレイ10の構成を示すブロック図である。

#### 【0351】

図44を参照して、実施の形態5の変形例2に従うメモリアレイ10においては、図33の場合と同様に、基準電圧配線SLおよびビット線BLの双方が共有される。基準電圧配線SLは、図42と同様に、列方向に隣接するメモリセルによって共有され、ビット線BLは、図43と同様に、行方向に隣接するメモリセルによって共有される。

#### 【0352】

その他の部分の構成と、データ読出およびデータ書込時における各メモリセルの動作とは、実施の形態5と同様であるので、詳細な説明は繰り返さない。

#### 【0353】

このような構成とすることにより、行方向および列方向に沿ってそれぞれ配置される配線の両方を削減してメモリアレイ10をさらに高集積化し、MRAMデバイスのチップ面積を削減することができる。

#### 【0354】

##### [実施の形態5の変形例3]

図45は、実施の形態5の変形例3に従うメモリアレイ10の構成を示すブロック図である。

#### 【0355】

図45を参照して、実施の形態5の変形例3に従うメモリアレイ10においては、基準電圧配線SLが共有される図42の構成に加えて、列方向に隣接するメモリセルによって、同一のライトワード線WWLがさらに共有される。メモリセルMCは、図7の場合と同

10

20

30

40

50

様の理由によって交互配置される。

**【0356】**

その他の部分の構成と、データ読出およびデータ書込時における各メモリセルの動作とは、実施の形態5と同様であるので、詳細な説明は繰り返さない。

**【0357】**

このような構成とすることにより、実施の形態5に従うメモリセルの配置においても、メモリアレイ10におけるライトワード線WWLの配線ピッチを緩和できる。この結果、メモリセルMCを効率的に配置してメモリアレイ10を高集積化し、MRAMデバイスのチップ面積を削減することができる。

**【0358】**

10

**[実施の形態5の変形例4]**

図46は、実施の形態5の変形例4に従うメモリアレイ10の構成を示すブロック図である。

**【0359】**

図46を参照して、実施の形態5の変形例4に従うメモリアレイ10においては、列方向に隣接するメモリセルは、同一のリードワード線RWLを共有する。また、メモリセルMCは、図9の場合と同様の理由によって交互配置される。

**【0360】**

その他の部分の構成と、データ読出およびデータ書込時における各メモリセルの動作とは、実施の形態5と同様であるので、詳細な説明は繰り返さない。

20

**【0361】**

このような構成とすることにより、実施の形態5に従うメモリセルの配置においても、メモリアレイ10におけるリードワード線RWLの配線ピッチを緩和できる。この結果、メモリセルMCを効率的に配置してメモリアレイ10を高集積化し、MRAMデバイスのチップ面積を削減することができる。

**【0362】**

**[実施の形態5の変形例5]**

図47は、実施の形態5の変形例5に従うメモリアレイ10の構成を示すブロック図である。

**【0363】**

30

図47を参照して、実施の形態5の変形例5に従うメモリアレイ10においては、実施の形態5の変形例3と同様に、列方向に隣接するメモリセルは、同一のライトワード線WWLを共有する。さらに、リードワード線RWLも、列方向に隣接するメモリセル間で共有される。たとえば、第2行および第3行のメモリセル行に属するメモリセル群は、同一のリードワード線RWL2を共有する。以降のメモリセル行に対しても、リードワード線RWLおよびライトワード線WWLは、同様に配置される。メモリセルMCは、図10の場合と同様の理由によって交互配置される。また、基準電圧配線SLは、ライトワード線WWLと同様に、列方向に隣接するメモリセルによって共有される。

**【0364】**

その他の部分の構成と、データ読出およびデータ書込時における各メモリセルの動作とは、実施の形態5と同様であるので、詳細な説明は繰り返さない。

40

**【0365】**

このような構成とすることにより、実施の形態5に従うメモリセルの配置においても、メモリアレイ10におけるライトワード線WWLおよびリードワード線RWLの両方の配線ピッチを緩和できる。この結果、メモリセルMCをより効率的に配置して、実施の形態5の変形例3および4の場合よりも、メモリアレイ10をさらに高集積化して、MRAMデバイスのチップ面積を削減することができる。

**【0366】**

**[実施の形態5の変形例6]**

図48は、実施の形態5の変形例6に従うメモリアレイ10および周辺回路の構成を示す

50

ブロック図である。

**【0367】**

図48を参照して、行列状に配置された実施の形態5に従うメモリセルに対して、実施の形態2と同様に、隣接する2個のメモリセル列によって形成されるメモリセル列の組ごとに、対応する2本のビット線を用いて折返し型ビット線構成が実現される。

**【0368】**

図48においては、各メモリセルMCにおいてアクセストランジスタATRおよび磁気トンネル接合部MTJがビット線BLおよび基準電圧配線SLとそれぞれ接続される点と、基準電圧配線SLが行方向に配置される点とが、図13の構成と異なる。

**【0369】**

その他の部分の構成と、データ読出およびデータ書込時における動作とは、図13の場合と同様であるので、詳細な説明は繰り返さない。

**【0370】**

したがって、実施の形態5に従うメモリセルの配置においても、折返し型ビット線構成を用いて、データ読出およびデータ書込の動作マージンを確保することができる。また、実施の形態2と同様に、データ書込回路50wおよび読出/書込制御回路60の周辺回路の構成を簡単化するとともに、データ書込ノイズを低減できる。

**【0371】**

[実施の形態5の変形例7]

実施の形態5の変形例7においては、実施の形態5の変形例6に示した折返し型ビット線構成に加えて、隣接するメモリセル行間におけるライトワード線WWLの共有が図られる。

**【0372】**

図49は、実施の形態5の変形例7に従うメモリアレイ10および周辺回路の構成を示すブロック図である。

**【0373】**

図49においては、各メモリセルMCにおいてアクセストランジスタATRおよび磁気トンネル接合部MTJがビット線BLおよび基準電圧配線SLとそれぞれ接続される点と、基準電圧配線SLが行方向に配置される点とが、図15の構成と異なる。

**【0374】**

その他の部分の構成と、データ読出およびデータ書込時における動作とは、図15の場合と同様であるので、詳細な説明は繰り返さない。

**【0375】**

したがって、実施の形態5に従うメモリセルの配置においても、折返し型ビット線構成に基づくデータ読出による動作マージン確保と、ライトワード線の共有化に基づくメモリアレイ10の高集積化とを両立して実現することができる。

**【0376】**

[実施の形態5の変形例8]

実施の形態5の変形例8においては、実施の形態5の変形例6に示した折返し型ビット線構成に加えて、隣接するメモリセル行間におけるリードワード線RWLの共有が図られる。

**【0377】**

図50は、実施の形態5の変形例8に従うメモリアレイ10および周辺回路の構成を示すブロック図である。

**【0378】**

図50においては、各メモリセルMCにおいてアクセストランジスタATRおよび磁気トンネル接合部MTJがビット線BLおよび基準電圧配線SLとそれぞれ接続される点と、基準電圧配線SLが行方向に配置される点とが、図16の構成と異なる。

**【0379】**

その他の部分の構成と、データ読出およびデータ書込時における動作とは、図16の場合

10

20

30

40

50

と同様であるので、詳細な説明は繰り返さない。

**【0380】**

したがって、実施の形態5に従うメモリセルの配置においても、折返し型ピット線構成に基づくデータ書込による、動作マージン確保、周辺回路の簡易化およびデータ書込ノイズの低減と、リードワード線の共有化に基づくメモリアレイ10の高集積化とを両立して実現することができる。

**【0381】**

**[実施の形態6]**

図51は、実施の形態6に従うMTJメモリセルと信号配線との間の接続関係を示す回路図である。

10

**【0382】**

図51を参照して、アクセストランジスタATRは、磁気トンネル接合部MTJとライトワード線WWLとの間に電気的に結合される。磁気トンネル接合部MTJは、アクセストランジスタATRとピット線BLとの間に結合される。アクセストランジスタATRのゲートはリードワード線RWLと結合される。

**【0383】**

ライトワード線WWLは、データ読出時において、接地電圧Vssに設定される。これにより、データ読出時においてリードワード線RWLが選択状態(Hレベル)に活性化されると、アクセストランジスタATRがターンオンして、ピット線BL～磁気トンネル接合部MTJ～アクセストランジスタATR～ライトワード線WWLの経路にセンス電流Isを流すことができる。

20

**【0384】**

一方、データ書込時においては、アクセストランジスタATRをターンオフして、ピット線BLおよびライトワード線WWLにデータ書込電流を流すことによって磁気トンネル接合部MTJに書込まれる記憶データのレベルに対応した磁界を発生させることができる。

**【0385】**

図52は、実施の形態6に従うMTJメモリセルの配置を説明する構造図である。

**【0386】**

図52を参照して、ライトワード線WWLおよびピット線BLは第1の金属配線層M1および第2の金属配線層M2にそれぞれ配置される。リードワード線RWLは、アクセストランジスタATRのゲート130と同一層に配置される。

30

**【0387】**

ライトワード線WWLを、データ読出時において接地電圧Vssに設定することによって、基準配線SLを設けることなく2層の金属配線層M1およびM2によって、MTJメモリセルを配置することができる。この結果、金属配線層の数を削減して製造コストを低減できる。

**【0388】**

次に、実施の形態6に従うMTJメモリセルに対するデータ読出およびデータ書込動作を説明する。

**【0389】**

再び図3を参照して、データ読出時においては、ライトワード線WWLは非選択状態(Lレベル)に維持される。ワード線電流制御回路40によって、各ライトワード線WWLは接地電圧Vssと結合されるので、データ読出時におけるライトワード線WWLの電圧は、基準電圧配線SLの電圧レベルと同一の接地電圧Vssである。一方、データ書込時において、基準電圧配線SLには電流が流れないと、MTJメモリセルに対して磁界を発生させることもない。

40

**【0390】**

したがって、基準電圧配線SLを省略しても、ライトワード線WWL、リードワード線RWLおよびピット線BLの電圧と電流とを図3と同様に設定して、実施の形態6に従うMTJメモリセルに対してデータ読出およびデータ書込動作を実行することが可能である。

50

**【0391】**

図53は、実施の形態6に従うメモリアレイ10の構成を示すブロック図である。

**【0392】**

図53を参照して、実施の形態6に従うメモリアレイ10においては、行方向に隣接するメモリセルは、同一のビット線BLを共有する。たとえば、第1番目および第2番目のメモリセル列に属するメモリセル群は、同一のビット線BL1を共有する。リードワード線RWL、ライトワード線WWLおよびワード線電流制御回路40の構成と、データ読出およびデータ書込時における各メモリセルの動作とは、図5と同様であるので説明は繰り返さない。

**【0393】**

10  
このような構成とすることにより、より少ない配線数によってデータ読出およびデータ書込を行なうことが可能な実施の形態6に従うメモリセルを配置する場合においても、メモリアレイ10におけるビット線BLの配線ピッチを緩和できる。この結果、メモリセルMCを効率的に配置してメモリアレイ10を高集積化し、MRAMデバイスのチップ面積を削減することができる。

**【0394】****[実施の形態6の変形例1]**

図54は、実施の形態6の変形例1に従うメモリアレイ10の構成を示すブロック図である。

**【0395】**

20  
図54を参照して、実施の形態6の変形例1に従うメモリアレイ10においては、列方向に隣接するメモリセルは、同一のライトワード線WWLを共有する。したがって、メモリセルMCは、図7の場合と同様の理由によって交互配置される。

**【0396】**

その他の部分の構成と、データ読出およびデータ書込時における各メモリセルの動作とは、実施の形態6と同様であるので、詳細な説明は繰り返さない。

**【0397】**

このような構成とすることにより、実施の形態6に従うメモリセルの配置においても、メモリアレイ10におけるライトワード線WWLの配線ピッチを緩和できる。この結果、メモリセルMCを効率的に配置してメモリアレイ10を高集積化し、MRAMデバイスのチップ面積を削減することができる。

**【0398】**

また、実施の形態6に従うメモリセルの構成においては、実施の形態1の場合と同様に、ライトワード線WWLと磁気トンネル接合部MTJとの間の距離が、ビット線BLと磁気トンネル接合部MTJとの間の距離よりも大きくなるので、ライトワード線WWLにより大きなデータ書込電流を流す必要が生じる。したがって、ライトワード線WWLのエレクトロマイグレーション耐性を考慮することが、MRAMデバイスの信頼性向上に有効である。

**【0399】**

40  
すなわち、実施の形態6に従うメモリセルの配置においても、ライトワード線WWLの配線幅(断面積)を、磁気トンネル接合部との距離が小さいビット線BLよりも大きく確保することによって、ライトワード線WWLのエレクトロマイグレーション耐性を高めて、MRAMデバイスの信頼性を向上させることができる。また、材質面においても、ライトワード線WWLをエレクトロマイグレーション耐性の高い材料で形成することが望ましい。

**【0400】****[実施の形態6の変形例2]**

図55は、実施の形態6の変形例2に従うメモリアレイ10の構成を示すブロック図である。

**【0401】**

10

20

30

40

50

図55を参照して、実施の形態6の変形例2に従うメモリアレイ10においては、列方向に隣接するメモリセルは、同一のリードワード線RWLを共有する。したがって、メモリセルMCは、図9の場合と同様の理由によって交互配置される。その他の部分の構成と、データ読出およびデータ書込時における各メモリセルの動作とは、実施の形態6と同様であるので、詳細な説明は繰り返さない。

#### 【0402】

このような構成とすることにより、実施の形態6に従うメモリセルの配置においても、メモリアレイ10におけるリードワード線RWLの配線ピッチを緩和できる。この結果、メモリセルMCを効率的に配置してメモリアレイ10を高集積化し、MRAMデバイスのチップ面積を削減することができる。

10

#### 【0403】

##### [実施の形態6の変形例3]

図56は、実施の形態6の変形例3に従うメモリアレイ10の構成を示すブロック図である。

#### 【0404】

図56を参照して、実施の形態6の変形例3に従うメモリアレイ10においては、実施の形態6の変形例1と同様に、列方向に隣接するメモリセルは、同一のライトワード線WWLを共有する。さらに、リードワード線RWLも、列方向に隣接するメモリセル間で共有される。たとえば、第2行および第3行のメモリセル行に属するメモリセル群は、同一のリードワード線RWL2を共有する。以降のメモリセル行に対しても、リードワード線RWLおよびライトワード線WWLは、同様に配置される。

20

#### 【0405】

したがって、メモリセルMCは、図10の場合と同様の理由によって交互配置される。その他の部分の構成と、データ読出およびデータ書込時における各メモリセルの動作とは、実施の形態6と同様であるので、詳細な説明は繰り返さない。

#### 【0406】

このような構成とすることにより、実施の形態6に従うメモリセルの配置においても、メモリアレイ10におけるライトワード線WWLおよびリードワード線RWLの両方の配線ピッチを緩和できる。この結果、メモリセルMCをより効率的に配置して、実施の形態6の変形例1および2の場合よりも、メモリアレイ10をさらに高集積化して、MRAMデバイスのチップ面積を削減することができる。

30

#### 【0407】

##### [実施の形態6の変形例4]

図57は、実施の形態6の変形例4に従うメモリアレイ10および周辺回路の構成を示すブロック図である。

#### 【0408】

図57を参照して、行列状に配置された実施の形態6に従うメモリセルに対して、実施の形態2と同様に、隣接する2個のメモリセル列によって形成されるメモリセル列の組ごとに、対応する2本のビット線を用いて折返し型ビット線構成が実現される。

40

#### 【0409】

図57においては、基準電圧配線SLの配置が省略される点と、リードワード線RWL、ライトワード線WWLおよびビット線BLの信号配線とメモリセルMCとの間の接続関係などが図13の構成と異なる。ビット線BLに対してデータ書込電流およびセンス電流を供給する周辺回路の構成と、データ読出およびデータ書込時における動作とは、図13の場合と同様であるので、詳細な説明は繰り返さない。

#### 【0410】

したがって、実施の形態6に従うメモリセルの配置においても、折返し型ビット線構成を用いて、データ読出およびデータ書込の動作マージンを確保することができる。また、実施の形態2と同様に、データ書込回路50Wおよび読出/書込制御回路60の周辺回路の回路構成を簡単化するとともに、データ書込ノイズを低減できる。

50

**【0411】****[実施の形態6の変形例5]**

実施の形態6の変形例5においては、実施の形態6の変形例4に示した折返し型ビット線構成に加えて、隣接するメモリセル行間ににおけるライトワード線WWLの共有が図られる。

**【0412】**

図58は、実施の形態6の変形例5に従うメモリアレイ10および周辺回路の構成を示すブロック図である。

**【0413】**

図58においては、基準電圧配線SLの配置が省略される点と、リードワード線RWL、ライトワード線WWLおよびビット線BLの信号配線とメモリセルMCとの間の接続関係とが図15の構成と異なる。ビット線BLに対してデータ書込電流およびセンス電流を供給する周辺回路の構成と、データ読出およびデータ書込時における動作とは、図15の場合と同様であるので、詳細な説明は繰り返さない。

10

**【0414】**

したがって、実施の形態6に従うメモリセルの配置においても、折返し型ビット線構成に基づくデータ読出による動作マージン確保と、ライトワード線の共有化に基づくメモリアレイ10の高集積化とを両立して実現することができる。

**【0415】****[実施の形態6の変形例6]**

20

実施の形態6の変形例6においては、実施の形態6の変形例4に示した折返し型ビット線構成に加えて、隣接するメモリセル行間ににおけるリードワード線RWLの共有が図られる。

**【0416】**

図59は、実施の形態6の変形例6に従うメモリアレイ10および周辺回路の構成を示すブロック図である。

**【0417】**

図59においては、基準電圧配線SLの配置が省略される点と、リードワード線RWL、ライトワード線WWLおよびビット線BLの信号配線とメモリセルMCとの間の接続関係とが図16の構成と異なる。ビット線BLに対してデータ書込電流およびセンス電流を供給する周辺回路の構成と、データ読出およびデータ書込時における動作とは、図16の場合と同様であるので、詳細な説明は繰り返さない。

30

**【0418】**

したがって、実施の形態6に従うメモリセルの配置においても、折返し型ビット線構成に基づくデータ書込による、動作マージン確保、周辺回路の簡易化およびデータ書込ノイズの低減と、リードワード線の共有化に基づくメモリアレイ10の高集積化とを両立して実現することができる。

**【0419】****[実施の形態7]**

図60は、実施の形態7に従うメモリセルと信号配線との間の接続関係を示す回路図である。

40

**【0420】**

図60を参照して、ビット線BLは、アクセストランジスタATRを介して磁気トンネル接合部MTJと電気的に結合される。磁気トンネル接合部MTJは、ライトワード線WWLおよびアクセストランジスタATRの間に結合される。リードワード線RWLは、アクセストランジスタATRのゲートと結合される。リードワード線RWLとライトワード線WWLは平行に配置され、ビット線BLは、これらのワード線と交差する方向に配置される。

**【0421】**

実施の形態7に従うメモリセルは、実施の形態6に従うメモリセルと比較して、ビット線

50

B L およびライトワード線WW L と磁気トンネル接合部M T J およびアクセストランジスタA T Rとの間の接続関係を入替えて配置したものに相当する。したがって、配置される信号線の種類は実施の形態6の場合と同様であり、データ読出およびデータ書込時における各信号線の電圧および電流波形は、実施の形態6と同様であるので詳細な説明は繰り返さない。

#### 【0422】

図61は、実施の形態7に従うメモリセルの配置を示す構造図である。

図61を参照して、ピット線B L およびライトワード線WW L は、第1の金属配線層M 1 および第2の金属配線層M 2 にそれぞれ配置される。リードワード線R W L は、アクセストランジスタA T Rのゲート130と同一層に配置される。磁気トンネル接合部M T J は、ライトワード線WW L と直接結合される。

10

#### 【0423】

このように実施の形態7に従うメモリセルの構成においても、基準配線S L を省略して、2つの金属配線層M 1 およびM 2 を用いてM T J メモリセルを配置できる。

#### 【0424】

また、ピット線B L は、アクセストランジスタA T Rを介して磁気トンネル接合部M T J と結合される構成となっているので、各ピット線B L は、データ読出の対象となる、すなわち対応するリードワード線R W L が選択状態(Hレベル)に活性化されたメモリセル行に属するM T J メモリセルとのみ電気的に結合される。この結果、実施の形態3と同様に、ピット線B L の容量を抑制することができ、特にデータ読出時の動作を高速化できる。

20

#### 【0425】

図62は、実施の形態7に従うメモリアレイ10の構成を示すブロック図である。

#### 【0426】

図62を参照して、実施の形態7に従うメモリアレイ10においては、行方向に隣接するメモリセルは、同一のピット線B L を共有する。

#### 【0427】

リードワード線R W L 、ライトワード線WW L およびワード線電流制御回路40の構成と、データ読出およびデータ書込時における各メモリセルの動作とは、実施の形態6と同様であるので説明は繰り返さない。

#### 【0428】

30

このような構成とすることにより、信号配線数の削減およびデータ読出の高速化を図ることが可能な実施の形態7に従うメモリセルを配置する場合においても、メモリアレイ10におけるピット線B L の配線ピッチを緩和できる。この結果、メモリセルMCを効率的に配置してメモリアレイ10を高集積化し、M R A Mデバイスのチップ面積を削減することができる。

#### 【0429】

また、実施の形態7に従うメモリセルの構成においては、実施の形態3の場合と同様に、ピット線B L と磁気トンネル接合部M T J との間の距離が、ライトワード線WW L と磁気トンネル接合部M T J との間の距離に比較して大きくなるので、ピット線B L により大きなデータ書込電流を流す必要が生じる。したがって、ピット線B L のエレクトロマイグレーション耐性を考慮することが、M R A Mデバイスの信頼性向上に有効である。

40

#### 【0430】

すなわち、実施の形態7に従うメモリセルの配置においても、ピット線B L の配線幅(断面積)を、磁気トンネル接合部との距離が小さいライトワード線WW L よりも大きく確保することによって、ピット線B Lのエレクトロマイグレーション耐性を高めて、M R A Mデバイスの信頼性を向上させることができる。また、材質面においても、ピット線B L をエレクトロマイグレーション耐性の高い材料で形成することが望ましい。

#### 【0431】

##### [実施の形態7の変形例1]

図63は、実施の形態7の変形例1に従うメモリアレイ10の構成を示すブロック図であ

50

る。

**【0432】**

図63を参照して、実施の形態7の変形例1に従うメモリアレイ10においては、列方向に隣接するメモリセルは、図54の場合と同様に同一のライトワード線WWLを共有する。したがって、メモリセルMCは、図7の場合と同様の理由によって交互配置される。

**【0433】**

その他の部分の構成と、データ読出およびデータ書込時における各メモリセルの動作とは、実施の形態7と同様であるので、詳細な説明は繰り返さない。

**【0434】**

このような構成とすることにより、実施の形態7に従うメモリセルの配置においても、メモリアレイ10におけるライトワード線WWLの配線ピッチを緩和できる。この結果、メモリセルMCを効率的に配置してメモリアレイ10を高集積化し、MRAMデバイスのチップ面積を削減することができる。10

**【0435】**

[実施の形態7の変形例2]

図64は、実施の形態7の変形例2に従うメモリアレイ10の構成を示すブロック図である。

**【0436】**

図64を参照して、実施の形態7の変形例2に従うメモリアレイ10においては、列方向に隣接するメモリセルは、図55の場合と同様に同一のリードワード線RWLを共有する。メモリセルMCは、図9の場合と同様に交互配置される。20

**【0437】**

その他の部分の構成と、データ読出およびデータ書込時における各メモリセルの動作とは、実施の形態7と同様であるので、詳細な説明は繰り返さない。

**【0438】**

このような構成とすることにより、実施の形態7に従うメモリセルの配置においても、メモリアレイ10におけるリードワード線RWLの配線ピッチを緩和できる。この結果、メモリセルMCを効率的に配置してメモリアレイ10を高集積化し、MRAMデバイスのチップ面積を削減することができる。

**【0439】**

[実施の形態7の変形例3]

図65は、実施の形態7の変形例3に従うメモリアレイ10の構成を示すブロック図である。

**【0440】**

図65を参照して、実施の形態7の変形例3に従うメモリアレイ10においては、実施の形態7の変形例1と同様に、列方向に隣接するメモリセルは、同一のライトワード線WWLを共有する。さらに、リードワード線RWLも、列方向に隣接するメモリセル間で共有される。たとえば、第2行および第3行のメモリセル行に属するメモリセル群は、同一のリードワード線RWL2を共有する。以降のメモリセル行に対しても、リードワード線RWLおよびライトワード線WWLは、同様に配置される。メモリセルMCは、図10の場合と同様に交互配置される。40

**【0441】**

その他の部分の構成と、データ読出およびデータ書込時における各メモリセルの動作とは、実施の形態7と同様であるので、詳細な説明は繰り返さない。

**【0442】**

このような構成とすることにより、実施の形態7に従うメモリセルの配置においても、メモリアレイ10におけるライトワード線WWLおよびリードワード線RWLの両方の配線ピッチを緩和できる。この結果、メモリセルMCをより効率的に配置して、実施の形態7の変形例1および2の場合よりも、メモリアレイ10をさらに高集積化して、MRAMデバイスのチップ面積を削減することができる。50

**【0443】****[実施の形態7の変形例4]**

図66は、実施の形態7の変形例4に従うメモリアレイ10および周辺回路の構成を示すブロック図である。

**【0444】**

図66を参照して、行列状に配置された実施の形態7に従うメモリセルに対して、実施の形態2と同様に、隣接する2個のメモリセル列によって形成されるメモリセル列の組ごとに、対応する2本のビット線を用いて折返し型ビット線構成が実現される。

**【0445】**

図66においては、各メモリセルMCにおいて、アクセストランジスタATRとビット線BLとが接続され、磁気トンネル接合部MTJとライトワード線WWLとが接続される点が、図57の構成と異なる。 10

**【0446】**

その他の部分の構成と、データ読出およびデータ書込時における動作とは、図57の場合と同様であるので、詳細な説明は繰り返さない。

**【0447】**

したがって、実施の形態7に従うメモリセルの配置においても、折返し型ビット線構成を用いて、データ読出およびデータ書込の動作マージンを確保することができる。また、実施の形態2と同様に、データ書込回路50Wおよび読出/書込制御回路60の周辺回路の回路構成を簡単化するとともに、データ書込ノイズを低減できる。 20

**【0448】****[実施の形態7の変形例5]**

実施の形態7の変形例5においては、実施の形態7の変形例4に示した折返し型ビット線構成に加えて、隣接するメモリセル行間ににおけるライトワード線WWLの共有が図られる。

**【0449】**

図67は、実施の形態7の変形例5に従うメモリアレイ10および周辺回路の構成を示すブロック図である。

**【0450】**

図67においては、各メモリセルMCにおいて、アクセストランジスタATRとビット線BLとが接続され、磁気トンネル接合部MTJとライトワード線WWLとが接続される点が、図58の構成と異なる。 30

**【0451】**

その他の部分の構成と、データ読出およびデータ書込時における動作とは、図58の場合と同様であるので、詳細な説明は繰り返さない。

**【0452】**

したがって、実施の形態7に従うメモリセルの配置においても、折返し型ビット線構成に基づくデータ読出による動作マージン確保と、ライトワード線の共有化に基づくメモリアレイ10の高集積化とを両立して実現することができる。

**【0453】****[実施の形態7の変形例6]**

実施の形態7の変形例6においては、実施の形態7の変形例4に示した折返し型ビット線構成に加えて、隣接するメモリセル行間ににおけるリードワード線RWLの共有が図られる。

**【0454】**

図68は、実施の形態7の変形例6に従うメモリアレイ10および周辺回路の構成を示すブロック図である。

**【0455】**

図68においては、各メモリセルMCにおいて、アクセストランジスタATRとビット線BLとが接続され、磁気トンネル接合部MTJとライトワード線WWLとが接続される 50

点が、図 5 9 の構成と異なる。

**【 0 4 5 6 】**

その他の部分の構成と、データ読出およびデータ書込時における動作とは、図 5 9 の場合と同様であるので、詳細な説明は繰り返さない。

**【 0 4 5 7 】**

したがって、実施の形態 7 に従うメモリセルの配置においても、折返し型ビット線構成に基づくデータ書込による、動作マージン確保、周辺回路の簡易化およびデータ書込ノイズの低減と、リードワード線の共有化に基づくメモリアレイ 10 の高集積化とを両立して実現することができる。

**【 0 4 5 8 】**

10

**[ 実施の形態 8 ]**

図 6 9 は、実施の形態 8 に従うメモリセルと信号配線との間の接続関係を示す回路図である。

**【 0 4 5 9 】**

図 6 9 を参照して、実施の形態 8 においては、データ読出時にセンス電流  $I_s$  を供給するためのリードビット線 RBL と、データ書込時にデータ書込電流  $\pm I_w$  を供給するためのライトビット線 WBL とは独立に設けられる。

**【 0 4 6 0 】**

アクセストランジスタ ATR は、磁気トンネル接合部 MTJ とリードビット線 RBL との間に電気的に結合される。すなわち、リードビット線 RBL は、アクセストランジスタ ATR を介して磁気トンネル接合部 MTJ と電気的に結合される。

20

**【 0 4 6 1 】**

磁気トンネル接合部 MTJ は、アクセストランジスタ ATR およびライトビット線 WBL と結合される。リードワード線 RWL およびライトワード線 WWL は、リードビット線 RBL およびライトビット線 WBL と交差する方向に設けられる。リードワード線 RWL は、アクセストランジスタ ATR のゲートと結合される。

**【 0 4 6 2 】**

図 7 0 は、実施の形態 8 に従う MTJ メモリセルに対するデータ書込およびデータ読出を説明するタイミングチャートである。

**【 0 4 6 3 】**

30

まずデータ書込時の動作について説明する。

ワード線ドライバ 30 は、行デコーダ 20 の行選択結果に応じて、選択行に対応するライトワード線 WWL の電圧を選択状態 (H レベル) に駆動する。非選択行においては、ライトワード線 WWL の電圧レベルは非選択状態 (L レベル) のままである。ワード線電流制御回路 40 によって各ライトワード線 WWL を接地電圧  $V_{ss}$  と結合することにより、選択行においてライトワード線 WWL にデータ書込電流  $I_p$  を流すことができる。

**【 0 4 6 4 】**

また、ライトビット線 WBL の電圧を、図 3 で説明したデータ書込時におけるビット線 BL の電圧と同様に制御することによって、ライトビット線 WBL に、書き込まれる記憶データのデータレベルに応じたデータ書込電流  $\pm I_w$  を流すことができる。これにより、MTJ メモリセルに対するデータ書込を実行することができる。

40

**【 0 4 6 5 】**

リードワード線 RWL は、データ書込時においては、非選択状態 (L レベル) のままで維持される。リードビット線 RBL は、高電圧状態 ( $V_{cc}$ ) にプリチャージされる。アクセストランジスタ ATR がターンオフ状態を維持するので、データ書込時においては、リードビット線 RBL には電流が流れない。

**【 0 4 6 6 】**

一方、データ読出時においては、ライトワード線 WWL は非選択状態 (L レベル) に維持され、その電圧レベルはワード線電流制御回路 40 によって接地電圧  $V_{ss}$  に固定される。

50

**【 0 4 6 7 】**

ワード線ドライバ30は、行デコーダ20の行選択結果に応じて、選択行に対応するリードワード線RWLを選択状態(Hレベル)に駆動する。非選択行においては、リードワード線RWLの電圧レベルは非選択状態(Lレベル)のままである。読出/書込制御回路50および60は、データ読出を実行するための一定量のセンス電流Isをリードビット線RBLに供給するとともに、ライトビット線WBLの電圧を接地電圧Vssに設定する。

**【 0 4 6 8 】**

リードビット線RBLは、データ読出前において高電圧状態(Vcc)にプリチャージされているので、リードワード線RWLの活性化に応答したアクセストランジスタATRのターンオンによって、リードビット線RBL～アクセストランジスタATR～磁気トンネル接合部MTJ～ライトビット線WBL(接地電圧Vss)に、センス電流Isの電流経路を形成することができる。これにより、記憶データに応じた電圧降下がリードビット線RBLに現われるので、図3に示したのと同様のデータ読出動作を実行することが可能となる。

10

**【 0 4 6 9 】**

図71は、実施の形態8に従うMTJメモリセルの配置を示す構造図である。

図71を参照して、リードビット線RBLは第1の金属配線層M1に形成されて、アクセストランジスタATRのソース/ドレイン領域110と結合される。ライトワード線WWLは第2の金属配線層M2に配置される。ライトビット線WBLは、磁気トンネル接合部MTJと結合されて第3の金属配線層M3に形成される。MTJメモリセルは、第1および第2の金属配線層M1, M2、金属膜150およびバリアメタル140を介してアクセストランジスタATRのソース/ドレイン領域120と結合される。

20

**【 0 4 7 0 】**

リードビット線RBLは、磁気トンネル接合部MTJと直接結合されず、アクセストランジスタATRを介して、データ読出の対象となるMTJメモリセルの磁気トンネル接合部MTJのみと接続することができる。これにより、リードビット線RBLの容量を抑制して、データ読出時の動作を高速化できる。

**【 0 4 7 1 】**

ライトビット線WBLについては、磁気トンネル接合部MTJとの距離を小さくすることができるので、データ書込時における磁気カップリングを大きく設定して、データ書込時にライトビット線WBLを流れるデータ書込電流±Iwの電流値を小さくすることができる。この結果、データ書込電流によって発生する磁気ノイズの減少やライトビット線の電流密度抑制によって、動作の信頼性を向上できる。

30

**【 0 4 7 2 】**

リードビット線RBLとライトビット線WBLとを分割して配置することにより、上記の効果を両立して享受できる。

**【 0 4 7 3 】**

図72は、実施の形態8に従うメモリアレイ10の構成を示すブロック図である。

**【 0 4 7 4 】**

図72を参照して、実施の形態8に従うメモリアレイ10においては、図69に示される構成を有するメモリセルMCが行列状に配置される。リードワード線RWLおよびライトワード線WWLは、行方向に沿って配置され、リードビット線RBLおよびライトビット線WBLは、列方向に沿って配置される。

40

**【 0 4 7 5 】**

ワード線電流制御回路40は、各ライトワード線WWLを接地電圧Vssと結合する。これにより、データ読出時およびデータ書込時における、ライトワード線WWLの電圧および電流を図70に示されるように制御することができる。

**【 0 4 7 6 】**

行方向に隣接するメモリセルは、リードビット線RBLおよびライトビット線WBLのいずれか一方を共有する。

50

**【0477】**

たとえば、第1番目および第2番目のメモリセル列に属するメモリセル群は、1本のリードビット線RBL1を共有し、第2番目および第3番目のメモリセル列に属するメモリセル群は、1本のライトビット線WBL1を共有する。以降のメモリセル列に対しても、リードビット線RBLおよびライトビット線WBLは、同様に交互に配置される。

**【0478】**

同一のリードビット線RBLもしくはライトビット線WBLに対応して、複数のメモリセルMCがデータ読出もしくはデータ書込の対象となるとデータ衝突が発生するので、メモリセルMCは交互配置される。

**【0479】**

10

このような構成とすることにより、メモリアレイ10におけるリードビット線RBLおよびライトビット線WBLの配線ピッチを緩和できる。この結果、メモリセルMCを効率的に配置してメモリアレイ10を高集積化し、MRAMデバイスのチップ面積を削減することができる。

**【0480】**

次に、データ書込電流 $\pm Iw$ およびセンス電流Isを流すための周辺回路の構成について説明する。

**【0481】**

コラム選択線は、メモリセル列ごと、すなわちビット線ごとに、データ読出用とデータ書込用とに独立して設けられる。図72においては、第1番目～第3番目のメモリセル列にそれぞれ対応する、リードコラム選択線RCSL1～RCSL3およびライトコラム選択線WCSL1～WCSL3が代表的に示される。以下においては、これらの複数のリードコラム選択線およびライトコラム選択線を総称する場合には、符号RCSLおよびWCSLをそれぞれ用いることとする。

20

**【0482】**

列デコーダ25は、列選択結果に応じて、データ読出時においては複数のリードコラム選択線RCSLのうちの1本を選択状態(Hレベル)に活性化し、データ書込時においては複数のライトコラム選択線WCSLのうちの1本を選択状態(Hレベル)に活性化する。

**【0483】**

コラム選択ゲートは、コラム選択線と同様に、メモリセル列ごとにデータ読出用とデータ書込用とに独立して設けられる。図72においては、リードコラム選択ゲートRCG1～RCG3およびライトコラム選択ゲートWCG1～WCG3が代表的に示される。以下においては、これらの複数のリードコラム選択ゲートおよびライトコラムゲートを総称する場合には、符号RCGおよびWCGをそれぞれ用いることとする。

30

**【0484】**

ライトコラム選択ゲートWCGは、対応するライトビット線WBLとデータ線IOとの間に電気的に結合される。リードコラム選択ゲートRCGは、対応するリードビット線RBLとデータ線/IOとの間に電気的に結合される。

**【0485】**

データ線IOおよび/IOによって構成されるデータI/O線対DIO/Pは、データ書込時におけるデータ書込電流 $\pm Iw$ を伝達する。一方、データ読出時におけるセンス電流は、一方のデータ線/IOによって伝達される。

40

**【0486】**

データ書込電流 $\pm Iw$ を供給するためのデータ書込回路50wのノードNw1およびNw2は、データ線IOおよび/IOとそれぞれ接続される。データ読出回路51rのノードNr1は、データ線/IOと接続される。データ書込回路50wおよびデータ読出回路51rの構成および動作は、図14および図17でそれぞれ説明したとおりであるので、詳細な説明は繰り返さない。

**【0487】**

各リードコラム選択線RCSLと各リードコラム選択ゲートRCGおよび各ライトコラム

50

選択線 W C S L とライトコラム選択ゲート W C G とは、それぞれ 1 対 1 に対応付けられる。たとえば、ビット線 B L 1 に対応する、リードコラム選択ゲート R C G 1 およびライトコラム選択ゲート W C G 1 は、リードコラム選択線 R C S L 1 およびライトコラム選択線 W C S L 1 の電圧レベルにそれぞれ応じてオン / オフする。

#### 【 0 4 8 8 】

コラムアドレス C A のデコード結果、すなわち列選択結果に応じて、いずれか 1 つのビット線が選択される。列選択結果に応じて活性化されたリードコラム選択線 R C S L もしくはライトコラム選択線 W C S L に応答して、対応するリードコラム選択ゲート R C G もしくはライトコラム選択ゲート W C G がオンする。この結果、選択されたリードビット線 R B L もしくはライトビット線 W B L は、データ I / O 線対 D I / O P を構成するデータ線 I O および / I O の一方と電気的に結合される。10

#### 【 0 4 8 9 】

読出 / 書込制御回路 6 0 は、メモリセル列に対応してそれぞれ配置される、書込電流制御トランジスタ、プリチャージトランジスタおよびライトビット線電圧制御トランジスタを含む。図 7 2 においては、第 1 番目から第 3 番目のメモリセル列、すなわちライトビット線 W B L 1 ~ W B L 3 に対応してそれぞれ設けられる書込電流制御トランジスタ 6 3 - 1 ~ 6 3 - 3 およびライトビット線電圧制御トランジスタ 6 5 - 1 ~ 6 5 - 3 と、リードビット線 R B L 1 ~ R B L 3 に対応してそれぞれ設けられるプリチャージトランジスタ 6 4 - 1 ~ 6 4 - 3 とが代表的に示される。以下においては、これらの複数のライトビット線電圧制御トランジスタを総称する場合には、符号 6 5 を用いることとする。20

#### 【 0 4 9 0 】

ライトビット線電圧制御トランジスタ 6 5 の各々は、データ読出時においてオンして、センス電流 I s の電流経路を確保するために、対応するライトビット線 W B L を接地電圧 V s s と結合する。データ読出時以外には、各ライトビット線電圧制御トランジスタ 6 5 はオフされて、各ライトビット線 W B L は接地電圧 V s s と切離される。書込電流制御トランジスタ 6 3 およびプリチャージトランジスタ 6 4 の配置および動作は、図 1 5 の場合と同様であるので、説明は繰り返さない。

#### 【 0 4 9 1 】

このような構成とすることにより、データ書込時においては、選択されたメモリセル列において、データ線 I O ~ ライトコラム選択ゲート W C G ~ ライトビット線 W B L ~ 書込電流制御トランジスタ 6 3 ~ データ線 / I O の経路にデータ書込電流 ± I w を流すことができる。なお、データ書込電流 ± I w の方向は、実施の形態 2 と同様にデータ線 I O , / I O の電圧を設定することによって制御できる。したがって、実施の形態 2 と同様に、データ書込に関連する周辺回路、すなわちデータ書込回路 5 0 w および読出 / 書込制御回路 6 0 の構成を簡易にすることができる。30

#### 【 0 4 9 2 】

このように、リードビット線 R B L とライトビット線 W B L とを独立に設ける構成においても、行選択結果および列選択結果に応じて、図 7 0 に示したようなデータ読出およびデータ書込を実行することができる。

#### 【 0 4 9 3 】

##### [ 実施の形態 8 の変形例 1 ]

図 7 3 は、実施の形態 8 の変形例 1 に従うメモリアレイ 1 0 の構成を示すブロック図である。

#### 【 0 4 9 4 】

図 7 3 を参照して、メモリアレイ 1 0 においては、実施の形態 8 と同様に、行方向に隣接するメモリセルは、リードビット線 R B L およびライトビット線 W B L のいずれか一方を共有する。さらに、実施の形態 8 の変形例 1 においては、列方向に隣接するメモリセルが、同一のライトワード線 W W L を共有する。たとえば、第 1 番目および第 2 番目のメモリセル行に属するメモリセル群は、同一のライトワード線 W W L 1 を共有する。また、メモリセル M C は交互配置される。4050

**【0495】**

その他の部分の構成と、データ読出およびデータ書込時における各メモリセルの動作とは、実施の形態8と同様であるので、詳細な説明は繰り返さない。

**【0496】**

このような構成とすることにより、リードビット線RBLとライトビット線WBLとを独立に配置する実施の形態8に従うメモリセルの配置においても、メモリアレイ10におけるライトワード線WWLの配線ピッチを緩和できる。この結果、メモリセルMCを効率的に配置してメモリアレイ10を高集積化し、MRAMデバイスのチップ面積を削減することができる。

**【0497】**

また、実施の形態8に従うメモリセルの構成においては、ライトワード線WWLと磁気トンネル接合部MTJとの間の距離がライトビット線WBLと磁気トンネル接合部MTJとの間の距離よりも大きくなるので、実施の形態1に従うメモリセルの場合と同様に、ライトワード線WWLに大きなデータ書込電流を流す必要が生じる。

**【0498】**

したがって、ライトワード線WWLの配線ピッチを緩和して断面積を確保することによって、ライトワード線WWLの電流密度を軽減できる。これにより、大きなデータ書込電流が流れるライトワード線WWLのエレクトロマイグレーション耐性を向上させてMRAMデバイスの信頼性向上を図ることができる。また、材質面においても、ライトワード線WWLをライトビット線WBLよりもエレクトロマイグレーション耐性の高い材料で形成することが望ましい。

**【0499】****[実施の形態8の変形例2]**

図74は、実施の形態8の変形例2に従うメモリアレイ10の構成を示すブロック図である。

**【0500】**

図74を参照して、メモリアレイ10においては、実施の形態8と同様に、行方向に隣接するメモリセルは、リードビット線RBLおよびライトビット線WBLのいずれか一方を共有する。さらに、実施の形態8の変形例2においては、列方向に隣接するメモリセルが、同一のリードワード線RWLを共有する。たとえば、第1番目および第2番目のメモリセル行に属するメモリセル群は、同一のリードワード線RWL1を共有する。また、メモリセルMCは交互配置される。

**【0501】**

その他の部分の構成と、データ読出およびデータ書込時における各メモリセルの動作とは、実施の形態8と同様であるので、詳細な説明は繰り返さない。

**【0502】**

このような構成とすることにより、リードビット線RBLとライトビット線WBLとを独立に配置する実施の形態8に従うメモリセルの配置においても、メモリアレイ10におけるリードワード線RWLの配線ピッチを緩和できる。この結果、メモリセルMCを効率的に配置してメモリアレイ10を高集積化し、MRAMデバイスのチップ面積を削減することができる。

**【0503】****[実施の形態8の変形例3]**

図75は、実施の形態8の変形例3に従うメモリアレイ10の構成を示すブロック図である。

**【0504】**

図75を参照して、実施の形態8の変形例3に従うメモリアレイ10においては、実施の形態8の変形例1と同様に、列方向に隣接するメモリセルは、同一のライトワード線WWLを共有する。さらに、リードワード線RWLも、列方向に隣接するメモリセル間で共有される。たとえば、第2行および第3行のメモリセル行に属するメモリセル群は、同一の

10

20

30

40

50

リードワード線 R WL 2 を共有する。以降のメモリセル行に対しても、リードワード線 R WL およびライトワード線 WWL は、同様に配置される。

#### 【 0 5 0 5 】

しかし、リードワード線 R WL およびライトワード線 WWL の両方を共有する配置においては、列方向に隣接するメモリセル間でリードビット線 R BL およびライトビット線 W BL を共有することができない。したがって、図 7 5 の構成においては、リードビット線 R BL およびライトビット線 W BL は、各メモリセル列ごとに配置される。

#### 【 0 5 0 6 】

その他の部分の構成と、データ読出およびデータ書込時における各メモリセルの動作とは、実施の形態 8 と同様であるので、詳細な説明は繰り返さない。なお表記の都合上、図 7 5においては図示を省略しているが、図 7 2 ~ 図 7 4 の場合と同様に、各リードビット線 R BL に対応してプリチャージトランジスタ 6 4 が配置される。10

#### 【 0 5 0 7 】

このような構成とすることにより、実施の形態 8 に従うメモリセルの配置においても、メモリアレイ 1 0 におけるライトワード線 WWL およびリードワード線 R WL の両方の配線ピッチを緩和できる。この結果、行方向に配置される配線のピッチを集中的に緩和して、メモリセル MC を配置することができる。これにより、メモリアレイ 1 0 を高集積化して、MRAM デバイスのチップ面積を削減することができる。

#### 【 0 5 0 8 】

##### [ 実施の形態 8 の変形例 4 ]

20

図 7 6 は、実施の形態 8 の変形例 4 に従うメモリアレイ 1 0 および周辺回路の構成を示すブロック図である。

#### 【 0 5 0 9 】

図 7 6 を参照して、行列状に配置された実施の形態 8 に従うメモリセルに対して、実施の形態 2 と同様に、隣接する 2 個のメモリセル列によって形成されるメモリセル列の組ごとに、対応する 2 本のリードビット線およびライトビット線を用いて折返し型ビット線構成が実現される。たとえば、第 1 番目および第 2 番目のメモリセル列にそれぞれ対応するライトビット線 W BL 1 および W BL 2 によって、ライトビット線対を構成することができる。この場合は、ライトビット線 W BL 2 は、ライトビット線 W BL 1 と相補のデータを伝達するので、ビット線 / W BL 1 とも表記する。同様に、第 1 番目および第 2 番目のメモリセル列にそれぞれ対応するリードビット線 R BL 1 および R BL 2 ( / R BL 1 ) によって、リードビット線対を構成することができる。30

#### 【 0 5 1 0 】

以降のメモリセル列に対しても同様に、メモリセル列の組ごとにライトビット線対およびリードビット線対を構成するように、各リードビット線 R BL およびライトビット線 W BL は配置される。

#### 【 0 5 1 1 】

以下においては、各ライトビット線対を構成するライトビット線のうち、奇数番目のメモリセル列に対応する一方および、偶数番目のメモリセル列に対応する他方のそれをライトビット線 W BL および / W BL とも総称する。これにより、いわゆる折返し型ビット線構成に基づいてデータ書込を実行することができる。40

#### 【 0 5 1 2 】

同様に、各リードビット線対を構成するリードビット線のうち、奇数番目のメモリセル列に対応する一方および、偶数番目のメモリセル列に対応する他方のそれをリードビット線 R BL および / R BL とも総称する。データ読出には、リードビット線 R BL に対して実施の形態 2 と同様に配置された、ダミーメモリセルを用いて実行される。これにより、いわゆる折返し型ビット線構成に基づいてデータ読出を実行することができる。

#### 【 0 5 1 3 】

リードコラム選択線およびライトコラム選択線は、リードビット線対およびライトビット線対ごとに、すなわちメモリセル列の組ごとに設けられる。したがって、同一の組に対応50

する 2 個のリードコラム選択ゲート R C G およびライトコラム選択ゲート W C G は、共通のリードコラム選択線 R C S L およびライトコラム選択線 W C S L にそれぞれ応答して、オン / オフする。

#### 【 0 5 1 4 】

たとえば、第 1 番目および第 2 番目のメモリセル列に対応するリードコラム選択ゲート R C G 1 および R C G 2 は、共通のリードコラム選択線 R C S L 1 に応じて動作する。同様に、ライトコラム選択ゲート W C G 1 および W C G 2 は、共通のライトコラム選択線 W C S L 1 に応じて動作する。

#### 【 0 5 1 5 】

奇数列のライトビット線 W B L に対応して設けられるライトコラム選択ゲート W C G 1 , 10 W C G 3 , ... は、対応するライトビット線 W B L とデータ線 I O との間に電気的に結合される。一方、偶数列のライトビット線 / W B L に対応して設けられるライトコラム選択ゲート W C G 2 , W C G 4 , ... は、対応するライトビット線 / W B L とデータ線 / I O との間に電気的に結合される。

#### 【 0 5 1 6 】

同様に、奇数列のリードビット線 R B L に対応して設けられるリードコラム選択ゲート R C G 1 , R C G 3 , ... は、対応するリードビット線 R B L とデータ線 I O との間に電気的に結合される。一方、偶数列のリードビット線 / R B L に対応して設けられるリードコラム選択ゲート R C G 2 , R C G 4 , ... は、対応するリードビット線 / R B L とデータ線 / I O との間に電気的に結合される。 20

#### 【 0 5 1 7 】

データ線 I O および / I O によって構成されるデータ I / O 線対 D I / O P は、データ書き込み時においてはデータ書き込み電流  $\pm I_w$  を伝達し、データ読み出時においてはセンス電流を伝達する。

#### 【 0 5 1 8 】

データ書き込み電流  $\pm I_w$  を供給するためのデータ書き込み回路 5 0 w およびデータ読み出回路 5 0 r は、電流切換回路 5 3 a を介して、データ線 I O , / I O と接続される。データ書き込み回路 5 0 w 、データ読み出回路 5 0 r および電流切換回路 5 3 a の構成および動作は、図 1 4 に示したとおりであるので、詳細な説明は繰り返さない。

#### 【 0 5 1 9 】

コラムアドレス C A のデコード結果、すなわち列選択結果に応じて活性化されたリードコラム選択線 R C S L もしくはライトコラム選択線 W C S L に応答して、対応する 2 個のリードコラム選択ゲート R C G もしくはライトコラム選択ゲート W C G がオンする。この結果、選択されたリードビット線対を構成するリードビット線 R B L および / R B L 、もしくは選択されたライトビット線対を構成するライトビット線 W B L および / W B L は、データ I / O 線対 D I / O P を構成するデータ線 I O および / I O のそれぞれと電気的に結合される。 30

#### 【 0 5 2 0 】

読み出 / 書込み制御回路 6 0 は、各ライトビット線対に対応して設けられ、制御信号 W E に応じてオン / オフするイコライズトランジスタ 6 2 と、各ライトビット線 W B L に対応して設けられたデータ読み出時において対応するライトビット線と接地電圧 V s s とを電気的に結合するライトビット線電圧制御トランジスタ 6 5 とを含む。さらに、図 7 6 においては図示を省略しているが、ビット線プリチャージ信号 B L P R に応じてオン / オフされるプリチャージトランジスタ 6 4 が図 7 2 ~ 図 7 4 と同様に、各リードビット線 R B L に対応して配置される。 40

#### 【 0 5 2 1 】

このような構成とすることにより、選択されたリードビット線対は、データ読み出時における実施の形態 2 のビット線対と同様にセンス電流を流して、データ読み出を行なう。同様に、選択されたライトビット線対は、対応するイコライズトランジスタ 6 2 を介して、データ書き込み時における実施の形態 2 のビット線対と同様にデータ書き込み電流を流して、データ書 50

込を行なう。

**【0522】**

したがって、実施の形態8に従うメモリセルの配置においても、折返し型ピット線構成を用いて、データ読出およびデータ書込の動作マージンを確保することができる。また、実施の形態2と同様に、データ書込回路50wおよび読出/書込制御回路60の周辺回路の回路構成を簡単化するとともに、データ書込ノイズを低減できる。

**【0523】**

[実施の形態8の変形例5]

実施の形態8の変形例5においては、実施の形態8の変形例4に示した折返し型ピット線構成に加えて、隣接するメモリセル行間におけるライトワード線WWLの共有が図られる。  
10

**【0524】**

図77は、実施の形態8の変形例5に従うメモリアレイ10および周辺回路の構成を示すブロック図である。

**【0525】**

図77を参照して、実施の形態8の変形例5に従うメモリアレイ10においては、列方向に隣接するメモリセルは、同一のライトワード線WWLを共有する。

**【0526】**

リードワード線RWLが活性化されるデータ読出時においては、各リードビット線RBLに対して1本おきにメモリセル列が接続されるので、隣接する2個のメモリセル列で形成されるメモリセル列の組ごとにリードビット線対を形成して、折返し型ピット線構成に基づく、実施の形態8の変形例4と同様のデータ読出を実行できる。  
20

**【0527】**

一方、複数のメモリセル行間で共有されるライトワード線WWLが活性化されるデータ書込時においては、折返し型ピット線構成に基づくデータ書込を行なうことはできない。したがって、実施の形態8の変形例5においては、データ書込時におけるコラム選択線の活性化は、各メモリセル列ごとに制御される。

**【0528】**

読出/書込制御回路60は、イコライズトランジスタ62に代えて、メモリセル列にそれぞれ対応して配置される書込電流制御トランジスタ63を含む。書込電流制御トランジスタは、対応するライトコラム選択線の活性化に応答してオンする。図77においては、第1番目から第4番目のメモリセル列、すなわちライトビット線WBL1～WBL4に対応してそれぞれ設けられる書込電流制御トランジスタ63-1～63-4が代表的に示される。図示は省略されているが、プリチャージトランジスタ64は、図72～74の場合と同様に、各リードビット線RBLに対応して配置される。  
30

**【0529】**

奇数番目のメモリセル列に対応して設けられる書込電流制御トランジスタ63-1, 63-3, ...は、列選択結果に応じて、対応するライトビット線WBL1, WBL3, ...とデータ線/I/Oとを電気的に結合するために配置される。一方、偶数番目のメモリセル列に対応して設けられる書込電流制御トランジスタ63-2, 63-4, ...は、列選択結果に応じて、対応するライトビット線WBL2, WBL4, ...とデータ線I/Oとを電気的に結合するために配置される。  
40

**【0530】**

したがって、選択されたメモリセル列において、データ線I/O( / I/O)～ライトコラム選択ゲートWCSG～ライトビット線WBL～書込電流制御トランジスタ63～データ線/I/O( I/O)の経路に、データ書込電流±IWを流すことができる。データ書込電流±IWの方向は、実施の形態2と同様にデータ線I/O, / I/Oの電圧を設定することによって制御できる。したがって、実施の形態2と同様に、データ書込に関連する周辺回路、すなわちデータ書込回路50wおよび読出/書込制御回路60の構成を簡易にすることができます。  
50

**【0531】**

また、折返し型ビット線構成に基づくデータ書込を実行することはできないものの、メモリアレイ10におけるライトワード線WWLの配線ピッチを緩和することができる。この結果、実施の形態8の変形例1の場合と同様に、メモリアレイ10の高集積化によるMRAMデバイスのチップ面積削減および、ライトワード線WWLのエレクトロマイグレーション耐性向上によるMRAMデバイスの信頼性向上を図ることができる。

**【0532】****[実施の形態8の変形例6]**

実施の形態8の変形例6においては、実施の形態8の変形例4に示した折返し型ビット線構成に加えて、隣接するメモリセル間におけるリードワード線RWLの共有が図られる。

10

**【0533】**

図78は、実施の形態8の変形例6に従うメモリアレイ10および周辺回路の構成を示すブロック図である。

**【0534】**

図78を参照して、実施の形態8の変形例6に従うメモリアレイ10においては、列方向に隣接するメモリセルは、同一のリードワード線RWLを共有する。

**【0535】**

読み出し/書き込み制御回路60は、実施の形態8の変形例4と同様に配置されるイコライズトランジスタ62およびライトビット線電圧制御トランジスタ65とを含む。読み出し/書き込み制御回路60は、さらに、図示は省略されるが、図72～図74と同様に、各リードビット線RBLに対応して配置されるプリチャージトランジスタ64を有する。

20

**【0536】**

ライトワード線WWLが活性化されるデータ書込時においては、各ライトビット線WBLに対して1本おきにメモリセル列が接続されるので、隣接する2個のメモリセル列で形成されるメモリセル列の組ごとにライトビット線対を形成できる。この結果、折返し型ビット線構成に基づく、実施の形態8の変形例4と同様のデータ書込を実行できる。したがって、実施の形態2と同様にデータ書込の動作マージンを確保できる。また、データ書込に関連する周辺回路、すなわちデータ書込回路50wおよび読み出し/書き込み制御回路60周辺回路の回路構成を簡単化するとともに、データ書込時に発生する磁界ノイズを低減できる。

**【0537】**

一方、複数のメモリセル行間で共有されるリードワード線RWLが活性化されるデータ読み出時においては、折返し型ビット線構成に基づくデータ読み出を行なうこととはできない。

30

**【0538】**

実施の形態8の変形例6に従う構成においては、電流切換回路53aおよびデータ読み出回路50rに代えて、電流切換回路53bおよびデータ読み出回路51rがそれぞれ配置される。電流切換回路53bおよびデータ読み出回路51rの構成および動作については、図16および図17で既に説明しているので、詳細な説明は繰り返さない。

**【0539】**

このような構成とすることにより、折返し型ビット線構成による動作マージン確保を図ることはできないものの、メモリアレイ10におけるリードワード線RWLの配線ピッチを緩和してデータ読み出を正常に実行できる。この結果、実施の形態2の変形例3の場合と同様に、メモリアレイ10を高集積化によるMRAMデバイスのチップ面積削減を図ることができる。

40

**【0540】**

したがって、実施の形態8に従うメモリセルの配置においても、折返し型ビット線構成に基づくデータ書込による、動作マージン確保、周辺回路の簡易化およびデータ書込ノイズの低減と、リードワード線RWLの共有化に基づくメモリアレイ10の高集積化とを両立して実現することができる。

**【0541】****[実施の形態9]**

50

図79は、実施の形態9に従うメモリセルと信号配線との間の接続関係を示す回路図である。

#### 【0542】

図79を参照して、実施の形態9に従うメモリセルにおいては、アクセストランジスタATRは、リードビット線RBLと磁気トンネル接合部MTJとの間に電気的に結合される。磁気トンネル接合部MTJは、アクセストランジスタATRおよびライトワード線WWLの間に結合される。アクセストランジスタATRのゲートはリードワード線RWLと結合される。

#### 【0543】

図70で説明したように、データ読出時におけるライトワード線WWLの電圧レベルは接地電圧Vssに設定されるので、ライトワード線WWLをリードビット線RBLに代えて磁気トンネル接合部MTJと結合することができる。これによりデータ読出時においては、リードワード線RWLの活性化に応答して、アクセストランジスタATRがターンオンして、リードビット線RBL～アクセストランジスタATR～磁気トンネル接合部MTJ～ライトワード線WWLの間にセンス電流Isの電流経路を形成して、磁気トンネル接合部MTJの記憶データに応じた電圧変化をリードビット線RBLに生じさせることができる。

#### 【0544】

一方、データ書込時においては、ライトワード線WWLおよびライトビット線WBLをそれぞれ流れるデータ書込電流によって、互いに直交する磁界を磁気トンネル接合部MTJに発生することができる。

#### 【0545】

したがって、実施の形態9に従うMTJメモリセルに対するデータ書込およびデータ読出動作は、リードワード線RWL、ライトワード線WWL、リードビット線RBLおよびライトビット線WBLの電圧および電流を図70と同様に設定することによって実行できる。

#### 【0546】

図80は、実施の形態9に従うMTJメモリセルの配置を説明する構造図である。

#### 【0547】

図80を参照して、実施の形態9においては、ライトビット線WBLは、他の配線やMTJメモリセルと結合させる必要がないので、磁気トンネル接合部MTJとの磁気カップリングの向上を優先して自由に配置することができる。ライトビット線WBLは、たとえば第2の金属配線層M2を用いて、磁気トンネル接合部MTJの直下に配置される。

#### 【0548】

ライトワード線WWLは、磁気トンネル接合部MTJと電気的に結合されて第3の金属配線層M3に配置される。リードワード線RWL、アクセストランジスタATRおよびリードビット線RBLの配置については図71と同様であるので説明は繰返さない。

#### 【0549】

このような構成とすることにより、リードビット線RBLをアクセストランジスタATRを介して磁気トンネル接合部MTJと結合するので、リードビット線RBLを同一メモリセル列に属する多数の磁気トンネル接合部MTJと直接接続することなく、リードビット線RBLの容量を抑制できる。この結果、データ読出動作を高速化できる。

#### 【0550】

また、磁気トンネル接合部MTJとライトワード線WWLとの間隔を狭くできるので、データ書込時における磁気カップリングを大きくすることができ、ライトワード線WWLのデータ書込電流Ipの電流量を小さく設定することができる。この結果、データ書込電流によって発生する磁気ノイズの減少やライトビット線の電流密度抑制によって、動作の信頼性を向上できる。

#### 【0551】

したがって、実施の形態8に従うメモリセルと同様に、リードビット線RBLとライトビ

10

20

30

40

50

ット線WBLとを分割して配置することにより、データ読出およびデータ書込の両方において、上記の効果を両立して享受できる。

**【0552】**

図81は、実施の形態9に従うメモリアレイ10の構成を示すブロック図である。

**【0553】**

図81を参照して、実施の形態9に従うメモリアレイ10においては、図72の場合と同様に、行方向に隣接するメモリセルは、リードビット線RBLおよびライトビット線WBLのいずれか一方を共有する。

**【0554】**

たとえば、第1番目および第2番目のメモリセル列に属するメモリセル群は、1本のリードビット線RBL1を共有し、第2番目および第3番目のメモリセル列に属するメモリセル群は、1本のライトビット線WBL1を共有する。以降のメモリセル列に対しても、リードビット線RBLおよびライトビット線WBLは、同様に交互に配置される。10

**【0555】**

また、メモリセルの構成上、読出／書込制御回路60中におけるライトビット線電圧制御トランジスタ65の配置は不要となる。

**【0556】**

メモリセルMC、リードワード線RWL、ライトワード線WWL、ワード線電流制御回路40、および列選択結果に応じてデータ書込電流およびセンス電流を供給するための周辺回路の配置および構成は、実施の形態8と同様であるので説明は繰り返さない。20

**【0557】**

このような構成とすることにより、実施の形態9に従うメモリセルを配置する場合においても、メモリアレイ10におけるリードビット線RBLおよびライトビット線WBLの配線ピッチを緩和できる。この結果、メモリセルMCを効率的に配置してメモリアレイ10を高集積化し、MRAMデバイスのチップ面積を削減することができる。

**【0558】**

また、実施の形態9に従うメモリセルの構成においては、ライトビット線WBLと磁気トンネル接合部MTJとの間の距離が、ライトワード線WWLと磁気トンネル接合部MTJとの間の距離に比較して大きくなるので、ライトビット線WBLにより大きなデータ書込電流を流す必要が生じる。したがって、ライトビット線WBLのエレクトロマイグレーション耐性を考慮することが、MRAMデバイスの信頼性向上に有効である。30

**【0559】**

すなわち、実施の形態9に従うメモリセルの配置においても、ライトビット線WBLの配線幅（断面積）を、磁気トンネル接合部との距離が小さいライトワード線WWLよりも大きく確保することによって、ライトビット線WBLのエレクトロマイグレーション耐性を高めて、MRAMデバイスの信頼性を向上させることができる。また、材質面においても、ライトビット線WBLをエレクトロマイグレーション耐性の高い材料で形成することが望ましい。

**【0560】**

**[実施の形態9の変形例1]**

図82は、実施の形態9の変形例1に従うメモリアレイ10の構成を示すブロック図である。

**【0561】**

図82を参照して、実施の形態9の変形例1に従うメモリアレイ10においては、列方向に隣接するメモリセルは、図73の場合と同様に同一のライトワード線WWLを共有する。

**【0562】**

その他の部分の構成と、データ読出およびデータ書込時における各メモリセルの動作とは、実施の形態9と同様であるので、詳細な説明は繰り返さない。

**【0563】**

10

20

30

40

50

このような構成とすることにより、実施の形態9に従うメモリセルの配置においても、メモリアレイ10におけるライトワード線WWLの配線ピッチを緩和できる。この結果、メモリセルMCを効率的に配置してメモリアレイ10を高集積化し、MRAMデバイスのチップ面積を削減することができる。

#### 【0564】

##### [実施の形態9の変形例2]

図83は、実施の形態9の変形例2に従うメモリアレイ10の構成を示すブロック図である。

#### 【0565】

図83を参照して、実施の形態9の変形例2に従うメモリアレイ10においては、列方向に隣接するメモリセルは、図74の場合と同様に同一のリードワード線RWLを共有する。  
10

#### 【0566】

その他の部分の構成と、データ読出およびデータ書込時における各メモリセルの動作とは、実施の形態9と同様であるので、詳細な説明は繰り返さない。

#### 【0567】

このような構成とすることにより、実施の形態9に従うメモリセルの配置においても、メモリアレイ10におけるリードワード線RWLの配線ピッチを緩和できる。この結果、メモリセルMCを効率的に配置してメモリアレイ10を高集積化し、MRAMデバイスのチップ面積を削減することができる。  
20

#### 【0568】

##### [実施の形態9の変形例3]

図84は、実施の形態9の変形例3に従うメモリアレイ10の構成を示すブロック図である。

#### 【0569】

図84を参照して、実施の形態9の変形例3に従うメモリアレイ10においては、実施の形態9の変形例1と同様に、列方向に隣接するメモリセルは、同一のライトワード線WWLを共有する。さらに、リードワード線RWLも、列方向に隣接するメモリセル間で共有される。たとえば、第2行および第3行のメモリセル行に属するメモリセル群は、同一のリードワード線RWL2を共有する。以降のメモリセル行に対しても、リードワード線RWLおよびライトワード線WWLは、同様に配置される。  
30

#### 【0570】

図75の場合と同様に、リードワード線RWLおよびライトワード線WWLの両方を共有する配置においては、行方向に隣接するメモリセル間でリードビット線RBLおよびライトビット線WBLを共有することができない。リードビット線RBLおよびライトビット線WBLは、各メモリセル列ごとに配置される。

#### 【0571】

その他の部分の構成と、データ読出およびデータ書込時における各メモリセルの動作とは、実施の形態9と同様であるので、詳細な説明は繰り返さない。

#### 【0572】

このような構成とすることにより、実施の形態9に従うメモリセルの配置においても、メモリアレイ10におけるライトワード線WWLおよびリードワード線RWLの両方の配線ピッチを緩和できる。この結果、行方向に配置される配線のピッチを集中的に緩和して、メモリセルMCを配置することができる。これにより、メモリアレイ10を高集積化して、MRAMデバイスのチップ面積を削減することができる。  
40

#### 【0573】

##### [実施の形態9の変形例4]

図85は、実施の形態9の変形例4に従うメモリアレイ10および周辺回路の構成を示すブロック図である。

#### 【0574】

10

20

30

30

40

50

図85を参照して、行列状に配置された実施の形態7に従うメモリセルに対して、実施の形態8の変形例4と同様に、隣接する2個のメモリセル列によって形成されるメモリセル列の組ごとに、対応する2本のリードビット線およびライトビット線を用いて折返し型ビット線構成が実現される。

#### 【0575】

図85においては、各メモリセルMCにおいて、ライトワード線WWLが磁気トンネル接合部MTJと接続される点および、ライトビット線WBLが磁気トンネル接合部MTJと接続されない点が、実施の形態8の変形例4に従う図76の構成と異なる。また、メモリセルの構成上、読出／書込制御回路60中におけるライトビット線電圧制御トランジスタ65の配置は不要となる。

10

#### 【0576】

その他の部分の構成と、データ読出およびデータ書込時における動作とは、図76の場合と同様であるので、詳細な説明は繰り返さない。

#### 【0577】

したがって、実施の形態9に従うメモリセルの配置においても、折返し型ビット線構成を用いて、データ読出およびデータ書込の動作マージンを確保することができる。また、実施の形態2と同様に、データ書込回路50wおよび読出／書込制御回路60周辺回路の回路構成を簡単化するとともに、データ書込ノイズを低減できる。

#### 【0578】

##### [実施の形態9の変形例5]

20

実施の形態9の変形例5においては、実施の形態9の変形例4に示した折返し型ビット線構成に加えて、隣接するメモリセル行間ににおけるライトワード線WWLの共有が図られる。

#### 【0579】

図86は、実施の形態9の変形例5に従うメモリアレイ10および周辺回路の構成を示すブロック図である。

#### 【0580】

図86においては、各メモリセルMCにおいて、ライトワード線WWLが磁気トンネル接合部MTJと接続される点および、ライトビット線WBLが磁気トンネル接合部MTJと接続されない点が、実施の形態8の変形例5に従う図77の構成と異なる。また、メモリセルの構成上、読出／書込制御回路60中におけるライトビット線電圧制御トランジスタ65の配置は不要となる。

30

#### 【0581】

その他の部分の構成と、データ読出およびデータ書込時における動作とは、図77の場合と同様であるので、詳細な説明は繰り返さない。

#### 【0582】

したがって、実施の形態9に従うメモリセルの配置においても、折返し型ビット線構成に基づくデータ読出による動作マージン確保と、ライトワード線の共有化に基づくメモリアレイ10の高集積化とを両立して実現することができる。

#### 【0583】

40

##### [実施の形態9の変形例6]

実施の形態9の変形例6においては、実施の形態9の変形例4に示した折返し型ビット線構成に加えて、隣接するメモリセル行間ににおけるリードワード線RWLの共有が図られる。

#### 【0584】

図87は、実施の形態9の変形例6に従うメモリアレイ10および周辺回路の構成を示すブロック図である。

#### 【0585】

図87においては、各メモリセルMCにおいて、ライトワード線WWLが磁気トンネル接合部MTJと接続される点および、ライトビット線WBLが磁気トンネル接合部MTJと

50

接続されない点が、実施の形態 8 の変形例 6 に従う図 7 8 の構成と異なる。また、メモリセルの構成上、読出 / 書込制御回路 6 0 中におけるライトビット線電圧制御トランジスタ 6 5 の配置は不要となる。

#### 【 0 5 8 6 】

その他の部分の構成と、データ読出およびデータ書込時における動作とは、図 7 8 の場合と同様であるので、詳細な説明は繰り返さない。

#### 【 0 5 8 7 】

したがって、実施の形態 9 に従うメモリセルの配置においても、折返し型ピット線構成に基づくデータ書込による、動作マージン確保、周辺回路の簡単化およびデータ書込ノイズ低減と、リードワード線の共有化に基づくメモリアレイ 1 0 の高集積化とを両立して実現することができる。10

#### 【 0 5 8 8 】

今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。。

#### 【 0 5 9 0 】

##### 【発明の効果】

請求項 1 記載の薄膜磁性体記憶装置は、書込ワード線、読出ワード線およびデータ線を用いてデータ読出およびデータ書込を実行する磁性体メモリセルが配置されるメモリアレイに設けられる配線数を削減できる。この結果、メモリアレイを高集積化してチップ面積を削減することができる。20

#### 【 0 5 9 1 】

請求項 2 記載の薄膜磁性体記憶装置は、データ書込電流が流される 2 種類の配線のうち、より大きなデータ書込電流を流す必要がある一方について、共有化によって配線ピッチを緩和して大きな断面積を確保できる。この結果、請求項 1 記載の薄膜磁性体記憶装置が奏する効果に加えて、データ書込電流が流される配線のエレクトロマイグレーション耐性を向上させ、動作の信頼性を向上させることができる。

#### 【 0 5 9 2 】

請求項 3 記載の薄膜磁性体記憶装置は、データ書込電流が流される 2 種類の配線のうち、より大きなデータ書込電流を流す必要がある一方を、エレクトロマイグレーション耐性の高い材質によって形成する。この結果、請求項 1 記載の薄膜磁性体記憶装置が奏する効果に加えて、動作の信頼性を向上させることができる。30

#### 【 0 5 9 3 】

請求項 4 記載の薄膜磁性体記憶装置は、書込ワード線を共有することによって高集積化を図り、チップ面積を削減することができる。さらに、対を成す 2 本のデータ線を用いてデータ読出を実行するので、請求項 1 記載の薄膜磁性体記憶装置が奏する効果に加えて、データ読出時における動作マージンを確保することができる。

#### 【 0 5 9 4 】

請求項 5 記載の薄膜磁性体記憶装置は、読出ワード線を共有することによって高集積化を図り、チップ面積を削減することができる。さらに、対を成す 2 本のデータ線を用いてデータ書込を実行するので、請求項 1 記載の薄膜磁性体記憶装置が奏する効果に加えて、データ書込時における動作マージン確保および磁界ノイズ低減を図ることができる。40

#### 【 0 5 9 5 】

請求項 6 記載の薄膜磁性体記憶装置は、対を成す 2 本のデータ線を用いてデータ読出およびデータ書込を実行するので、請求項 1 記載の薄膜磁性体記憶装置が奏する効果に加えて、データ読出およびデータ書込時における動作マージンを確保するとともに、データ書込ノイズの低減を図ることができる。

#### 【 0 5 9 6 】

請求項 7 記載の薄膜磁性体記憶装置は、請求項 5 または 6 記載の薄膜磁性体記憶装置が50

奏する効果に加えて、データ線にデータ書込電流を供給するための周辺回路の構成を簡略化できる。

**【0597】**

請求項8記載の薄膜磁性体記憶装置は、書込ワード線と、読出ワード線と、データ線および基準電圧配線の機能を併有する共通配線を用いてデータ読み出しおよびデータ書き込みを実行する磁性体メモリセルを、共通配線の配線数を削減してメモリアレイに配置できる。この結果、メモリアレイを高集積化してチップ面積を削減することができる。

**【0598】**

請求項9記載の薄膜磁性体記憶装置は、書込ワード線および読出ワード線の少なくとも一方の配線数をさらに削減できる。この結果、請求項8記載の薄膜磁性体記憶装置が奏する効果に加えて、メモリアレイをさらに高集積化してチップ面積を削減することができる。  
10

**【0599】**

請求項10記載の薄膜磁性体記憶装置は、データ書き込み電流が流される2種類の配線のうち、より大きなデータ書き込み電流を流す必要がある一方について、共有化によって配線ピッチを緩和して大きな断面積を確保できる。この結果、請求項8または9記載の薄膜磁性体記憶装置が奏する効果に加えて、データ書き込み電流が流される配線のエレクトロマイグレーション耐性を向上させ、動作の信頼性を向上させることができる。

**【0600】**

請求項11記載の薄膜磁性体記憶装置は、データ書き込み電流が流される2種類の配線のうち、より大きなデータ書き込み電流を流す必要がある一方を、エレクトロマイグレーション耐性の高い材質によって形成する。この結果、請求項8記載の薄膜磁性体記憶装置が奏する効果に加えて、動作の信頼性を向上させることができる。  
20

**【0601】**

請求項12記載の薄膜磁性体記憶装置は、書込ワード線、読出ワード線、書込データ線および読出データ線を用いてデータ読み出しおよびデータ書き込みを実行する磁性体メモリセルが配置されるメモリアレイに設けられる配線数を削減できる。この結果、メモリアレイを高集積化してチップ面積を削減することができる。

**【0602】**

請求項13記載の薄膜磁性体記憶装置は、データ書き込み電流が流される2種類の配線のうち、より大きなデータ書き込み電流を流す必要がある一方について、共有化によって配線ピッチを緩和して大きな断面積を確保できる。この結果、請求項12記載の薄膜磁性体記憶装置が奏する効果に加えて、データ書き込み電流が流される配線のエレクトロマイグレーション耐性を向上させ、動作の信頼性を向上させることができる。  
30

**【0603】**

請求項14記載の薄膜磁性体記憶装置は、データ書き込み電流が流される2種類の配線のうち、より大きなデータ書き込み電流を流す必要がある一方を、エレクトロマイグレーション耐性の高い材質によって形成する。この結果、請求項12記載の薄膜磁性体記憶装置が奏する効果に加えて、動作の信頼性を向上させることができる。

**【0604】**

請求項15記載の薄膜磁性体記憶装置は、書込ワード線を共有することによって高集積化を図り、チップ面積を削減することができる。さらに、対を成す2本の読出データ線を用いてデータ読み出しを実行するので、請求項12記載の薄膜磁性体記憶装置が奏する効果に加えて、データ読み出し時における動作マージンを確保することができる。  
40

**【0605】**

請求項16記載の薄膜磁性体記憶装置は、読出ワード線を共有することによって高集積化を図り、チップ面積を削減することができる。さらに、対を成す2本の書込データ線を用いてデータ書き込みを実行するので、請求項12記載の薄膜磁性体記憶装置が奏する効果に加えて、データ書き込み時における動作マージン確保および磁界ノイズ低減を図ることができる。  
50

## 【0606】

請求項1\_7記載の薄膜磁性体記憶装置は、対を成す2本の読出データ線および書込データ線をそれぞれ用いてデータ読出およびデータ書込を実行するので、請求項1\_2記載の薄膜磁性体記憶装置が奏する効果に加えて、データ読出およびデータ書込時における動作マージンを確保するとともに、データ書込ノイズを低減することができる。

## 【0607】

請求項1\_8記載の薄膜磁性体記憶装置は、請求項1\_6または1\_7に記載の薄膜磁性体記憶装置が奏する効果に加えて、データ線にデータ書込電流を供給するための周辺回路の構成を簡略化できる。

## 【図面の簡単な説明】

10

【図1】 本発明の実施の形態1に従うM R A Mデバイス1の全体構成を示す概略ブロック図である。

【図2】 実施の形態1に従うM T Jメモリセルと信号配線との間の接続関係を示す回路図である。

【図3】 実施の形態1に従うメモリセルに対するデータ書込およびデータ読出を説明するタイミングチャートである。

【図4】 実施の形態1に従うメモリセルの配置を説明する構造図である。

【図5】 実施の形態1に従うメモリアレイ10の構成を示すブロック図である。

【図6】 実施の形態1の変形例1に従うメモリアレイ10の構成を示すブロック図である。

20

【図7】 実施の形態1の変形例2に従うメモリアレイ10の構成を示すブロック図である。

【図8】 ライトワード線W W Lの配置を説明する構造図である。

【図9】 実施の形態1の変形例3に従うメモリアレイ10の構成を示すブロック図である。

【図10】 実施の形態1の変形例4に従うメモリアレイ10の構成を示すブロック図である。

【図11】 実施の形態1の変形例5に従うメモリアレイ10および周辺回路の構成を示すブロック図である。

【図12】 共通配線制御トランジスタC C Tのオン／オフに対応した共通配線S B Lの動作を示すタイミングチャートである。

30

【図13】 実施の形態2に従うメモリアレイ10および周辺回路の構成を示すブロック図である。

【図14】 データ書込回路50wおよびデータ読出回路50rの構成を示す回路図である。

【図15】 実施の形態2の変形例1に従うメモリアレイ10および周辺回路の構成を示すブロック図である。

【図16】 実施の形態2の変形例2に従うメモリアレイ10および周辺回路の構成を示すブロック図である。

【図17】 データ読出回路51rの構成を示す回路図である。

40

【図18】 実施の形態3に従うメモリセルと信号配線との間の接続関係を示す回路図である。

【図19】 実施の形態3に従うメモリセルの配置を説明する構造図である。

【図20】 実施の形態3に従うメモリアレイ10の構成を示すブロック図である。

【図21】 実施の形態3の変形例1に従うメモリアレイ10の構成を示すブロック図である。

【図22】 実施の形態3の変形例2に従うメモリアレイ10の構成を示すブロック図である。

【図23】 実施の形態3の変形例3に従うメモリアレイ10の構成を示すブロック図である。

50

【図24】 実施の形態3の変形例4に従うメモリアレイ10の構成を示すブロック図である。

【図25】 実施の形態3の変形例5に従うメモリアレイ10および周辺回路の構成を示すブロック図である。

【図26】 実施の形態3の変形例6に従うメモリアレイ10および周辺回路の構成を示すブロック図である。

【図27】 実施の形態3の変形例7に従うメモリアレイ10および周辺回路の構成を示すブロック図である。

【図28】 実施の形態3の変形例8に従うメモリアレイ10および周辺回路の構成を示すブロック図である。 10

【図29】 実施の形態4に従うメモリセルと信号配線との間の接続関係を示す回路図である。

【図30】 実施の形態4に従うメモリセルの配置を説明する構造図である。

【図31】 実施の形態4に従うメモリアレイ10の構成を示すブロック図である。

【図32】 実施の形態4の変形例1に従うメモリアレイ10の構成を示すブロック図である。

【図33】 実施の形態4の変形例2に従うメモリアレイ10の構成を示すブロック図である。

【図34】 実施の形態4の変形例3に従うメモリアレイ10の構成を示すブロック図である。 20

【図35】 実施の形態4の変形例4に従うメモリアレイ10の構成を示すブロック図である。

【図36】 実施の形態4の変形例5に従うメモリアレイ10の構成を示すブロック図である。

【図37】 実施の形態4の変形例6に従うメモリアレイ10および周辺回路の構成を示すブロック図である。

【図38】 実施の形態4の変形例7に従うメモリアレイ10および周辺回路の構成を示すブロック図である。

【図39】 実施の形態4の変形例8に従うメモリアレイ10および周辺回路の構成を示すブロック図である。 30

【図40】 実施の形態5に従うメモリセルと信号配線との間の接続関係を示す回路図である。

【図41】 実施の形態5に従うメモリセルの配置を説明する構造図である。

【図42】 実施の形態5に従うメモリアレイ10の構成を示すブロック図である。

【図43】 実施の形態5の変形例1に従うメモリアレイ10の構成を示すブロック図である。

【図44】 実施の形態5の変形例2に従うメモリアレイ10の構成を示すブロック図である。

【図45】 実施の形態5の変形例3に従うメモリアレイ10の構成を示すブロック図である。 40

【図46】 実施の形態5の変形例4に従うメモリアレイ10の構成を示すブロック図である。

【図47】 実施の形態5の変形例5に従うメモリアレイ10の構成を示すブロック図である。

【図48】 実施の形態5の変形例6に従うメモリアレイ10および周辺回路の構成を示すブロック図である。

【図49】 実施の形態5の変形例7に従うメモリアレイ10および周辺回路の構成を示すブロック図である。

【図50】 実施の形態5の変形例8に従うメモリアレイ10および周辺回路の構成を示すブロック図である。 50

【図51】 実施の形態6に従うMTJメモリセルと信号配線との間の接続関係を示す回路図である。

【図52】 実施の形態6に従うMTJメモリセルの配置を説明する構造図である。

【図53】 実施の形態6に従うメモリアレイ10の構成を示すブロック図である。

【図54】 実施の形態6の変形例1に従うメモリアレイ10の構成を示すブロック図である。

【図55】 実施の形態6の変形例2に従うメモリアレイ10の構成を示すブロック図である。

【図56】 実施の形態6の変形例3に従うメモリアレイ10の構成を示すブロック図である。

10

【図57】 実施の形態6の変形例4に従うメモリアレイ10および周辺回路の構成を示すブロック図である。

【図58】 実施の形態6の変形例5に従うメモリアレイ10および周辺回路の構成を示すブロック図である。

【図59】 実施の形態6の変形例6に従うメモリアレイ10および周辺回路の構成を示すブロック図である。

【図60】 実施の形態7に従うメモリセルと信号配線との間の接続関係を示す回路図である。

【図61】 実施の形態7に従うメモリセルの配置を示す構造図である。

【図62】 実施の形態7に従うメモリアレイ10の構成を示すブロック図である。

20

【図63】 実施の形態7の変形例1に従うメモリアレイ10の構成を示すブロック図である。

【図64】 実施の形態7の変形例2に従うメモリアレイ10の構成を示すブロック図である。

【図65】 実施の形態7の変形例3に従うメモリアレイ10の構成を示すブロック図である。

【図66】 実施の形態7の変形例4に従うメモリアレイ10および周辺回路の構成を示すブロック図である。

【図67】 実施の形態7の変形例5に従うメモリアレイ10および周辺回路の構成を示すブロック図である。

30

【図68】 実施の形態7の変形例6に従うメモリアレイ10および周辺回路の構成を示すブロック図である。

【図69】 実施の形態8に従うメモリセルと信号配線との間の接続関係を示す回路図である。

【図70】 実施の形態8に従うMTJメモリセルに対するデータ書き込みおよびデータ読み出しへ説明するタイミングチャートである。

【図71】 実施の形態8に従うMTJメモリセルの配置を示す構造図である。

【図72】 実施の形態8に従うメモリアレイ10の構成を示すブロック図である。

【図73】 実施の形態8の変形例1に従うメモリアレイ10の構成を示すブロック図である。

40

【図74】 実施の形態8の変形例2に従うメモリアレイ10の構成を示すブロック図である。

【図75】 実施の形態8の変形例3に従うメモリアレイ10の構成を示すブロック図である。

【図76】 実施の形態8の変形例4に従うメモリアレイ10および周辺回路の構成を示すブロック図である。

【図77】 実施の形態8の変形例5に従うメモリアレイ10および周辺回路の構成を示すブロック図である。

【図78】 実施の形態8の変形例6に従うメモリアレイ10および周辺回路の構成を示すブロック図である。

50

【図 7 9】 実施の形態 9 に従うメモリセルと信号配線との間の接続関係を示す回路図である。

【図 8 0】 実施の形態 9 に従うMTJメモリセルの配置を説明する構造図である。

【図 8 1】 実施の形態 9 に従うメモリアレイ 10 の構成を示すブロック図である。

【図 8 2】 実施の形態 9 の変形例 1 に従うメモリアレイ 10 の構成を示すブロック図である。

【図 8 3】 実施の形態 9 の変形例 2 に従うメモリアレイ 10 の構成を示すブロック図である。

【図 8 4】 実施の形態 9 の変形例 3 に従うメモリアレイ 10 の構成を示すブロック図である。

10

【図 8 5】 実施の形態 9 の変形例 4 に従うメモリアレイ 10 および周辺回路の構成を示すブロック図である。

【図 8 6】 実施の形態 9 の変形例 5 に従うメモリアレイ 10 および周辺回路の構成を示すブロック図である。

【図 8 7】 実施の形態 9 の変形例 6 に従うメモリアレイ 10 および周辺回路の構成を示すブロック図である。

【図 8 8】 磁気トンネル接合部を有するメモリセルの構成を示す概略図である。

【図 8 9】 MTJメモリセルからのデータ読出動作を説明する概念図である。

【図 9 0】 MTJメモリセルに対するデータ書き動作を説明する概念図である。

【図 9 1】 データ書き時ににおけるデータ書き電流の方向と磁界方向との関係を説明する概念図である。

20

【図 9 2】 行列状に集積配置されたMTJメモリセルを示す概念図である。

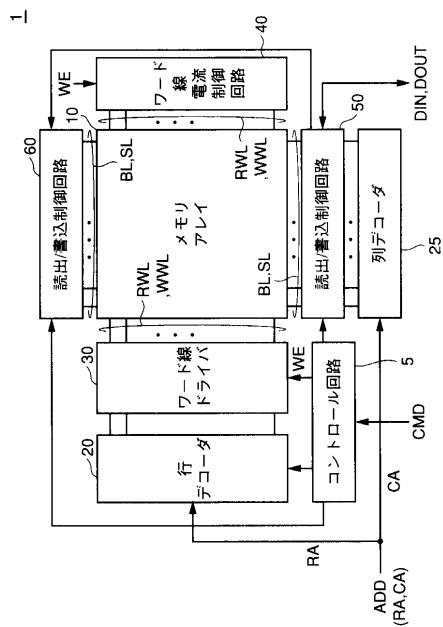
【図 9 3】 半導体基板上に配置されたMTJメモリセルの構造図である。

#### 【符号の説明】

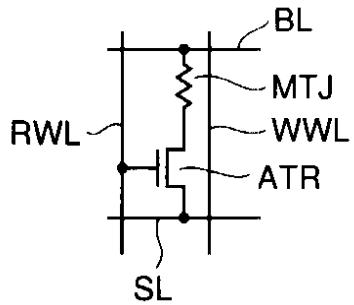
10 メモリアレイ、20 行デコーダ、25 列デコーダ、30 ワード線ドライバ、  
 40 ワード線電流制御回路、50, 60 読出 / 書込制御回路、50w データ書込回路、  
 50r, 51r データ読出回路、53a, 53b 電流切換回路、62 イコライズトランジスタ、  
 63 書込電流制御トランジスタ、64 プリチャージトランジスタ、  
 65 ライトビット線電圧制御回路、ATR アクセストランジスタ、BL, /BL ビット線、  
 CCT 共通配線制御トランジスタ、CSG コラム選択ゲート、FL 固定磁  
 気層、MTJ 磁気トンネル接合部、RBL リードビット線、RCG リードコラム選  
 択ゲート、RWL リードワード線、SL 基準電圧配線、SBL 共通配線、TB ト  
 ンネルバリア、VL 自由磁気層、WCG ライトコラム選択ゲート、WBL, /WBL  
 ライトビット線、WWL ライトワード線。

30

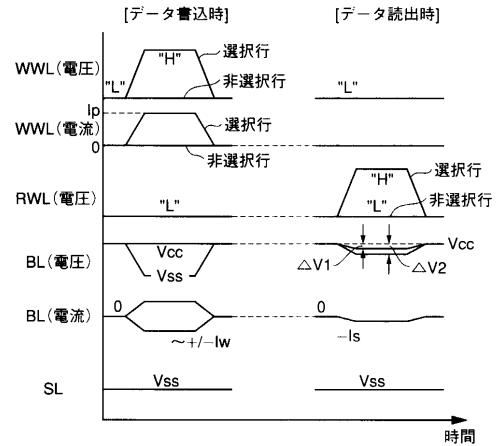
【図1】



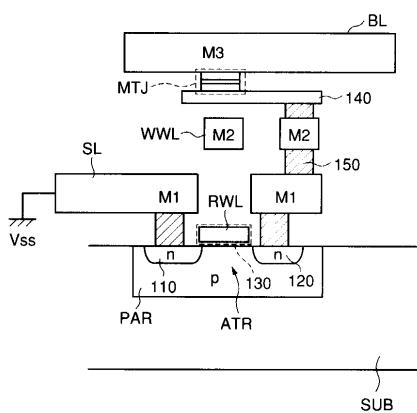
【図2】



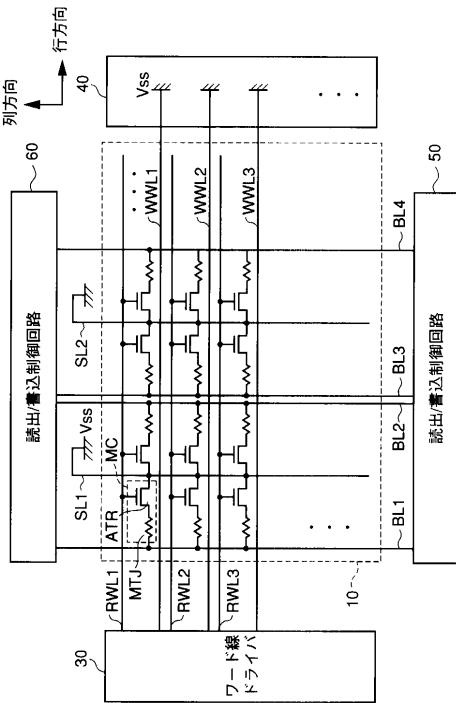
【図3】



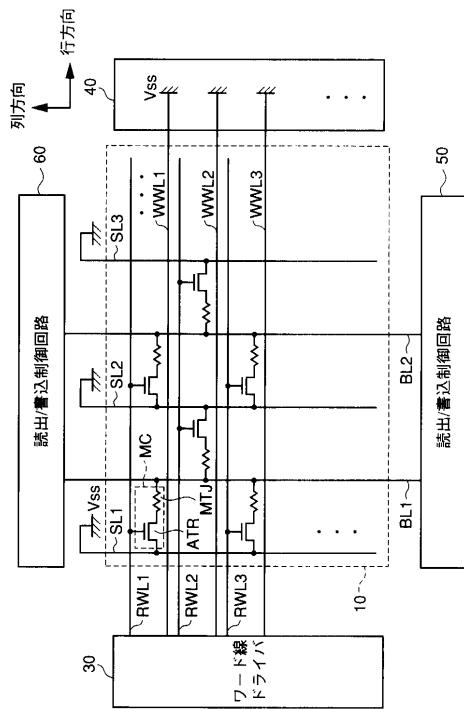
【図4】



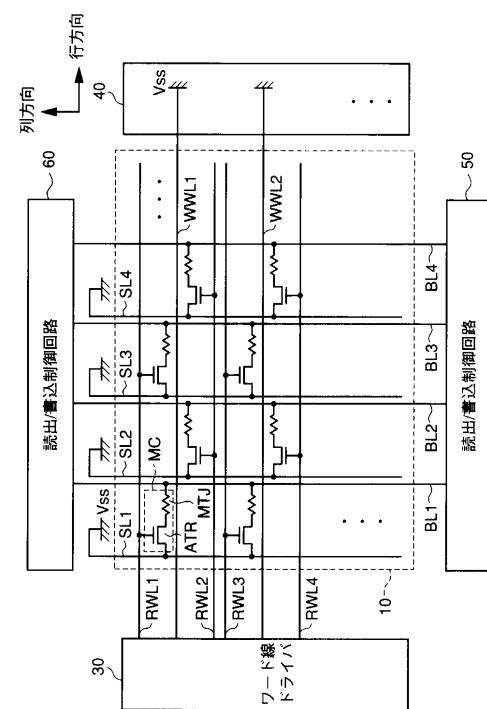
【図5】



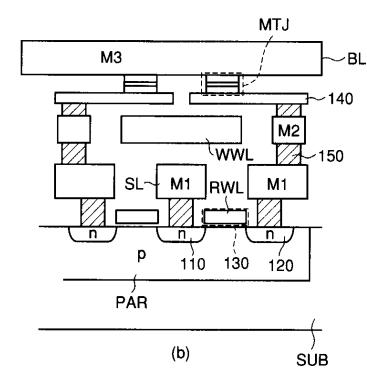
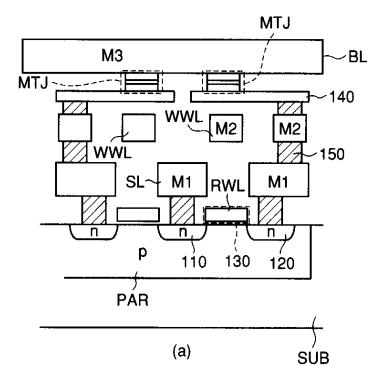
【図6】



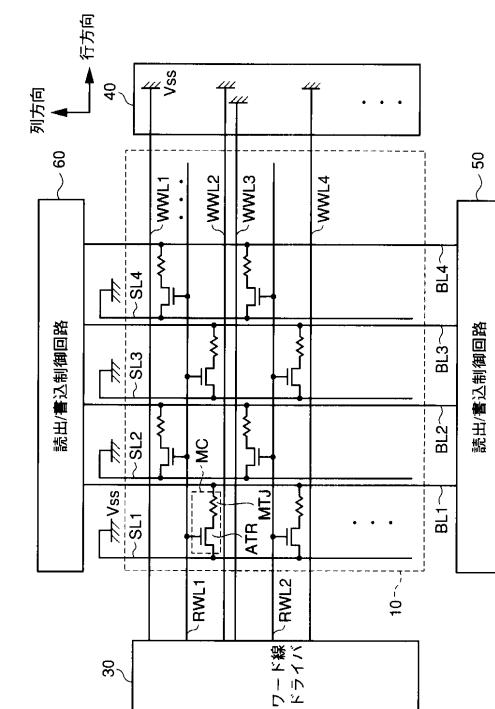
【図7】



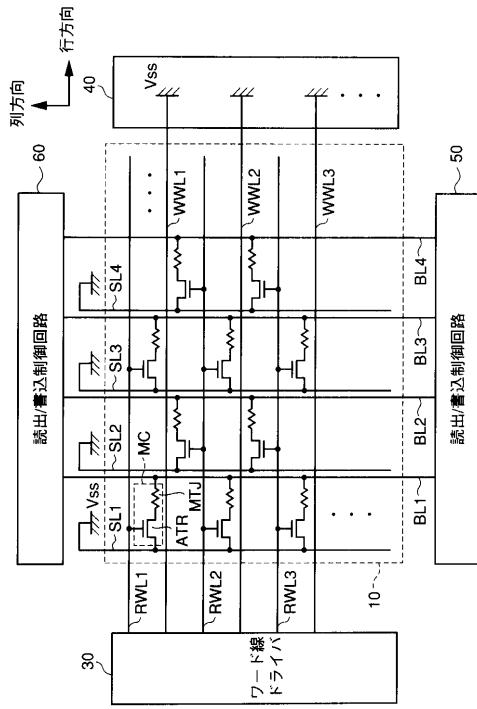
【図8】



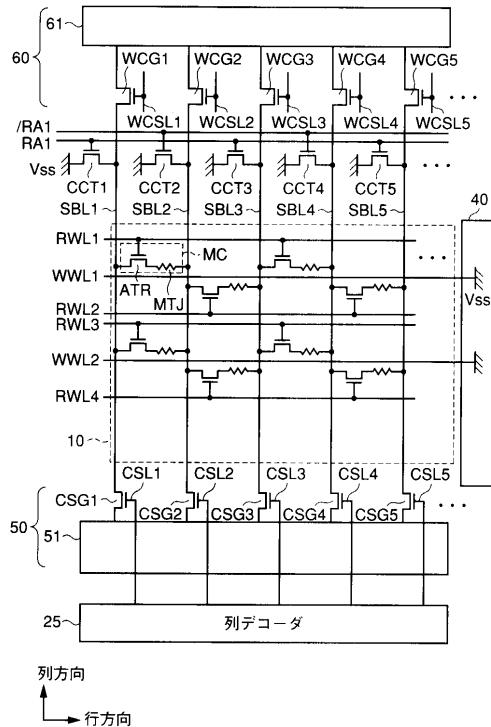
【図9】



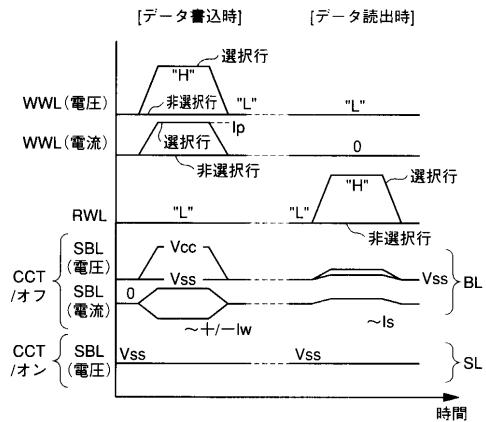
【図10】



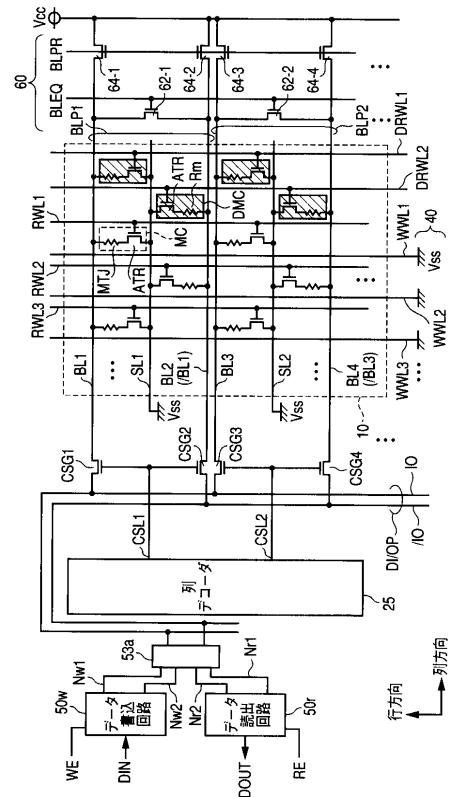
【 図 1 1 】



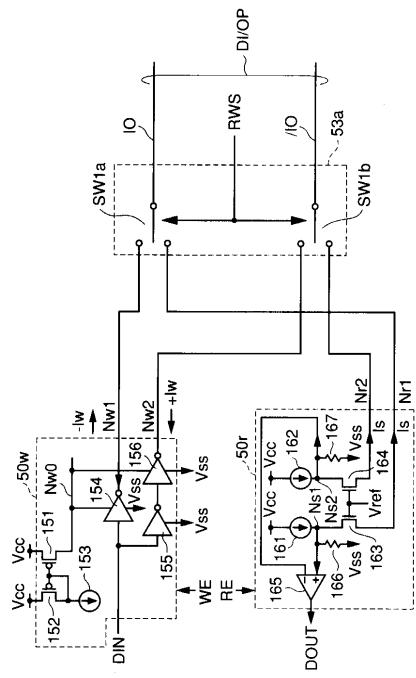
【図12】



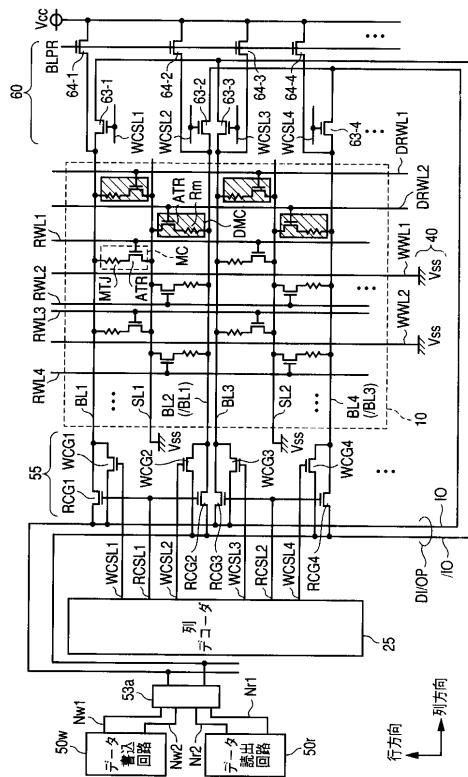
【 図 1 3 】



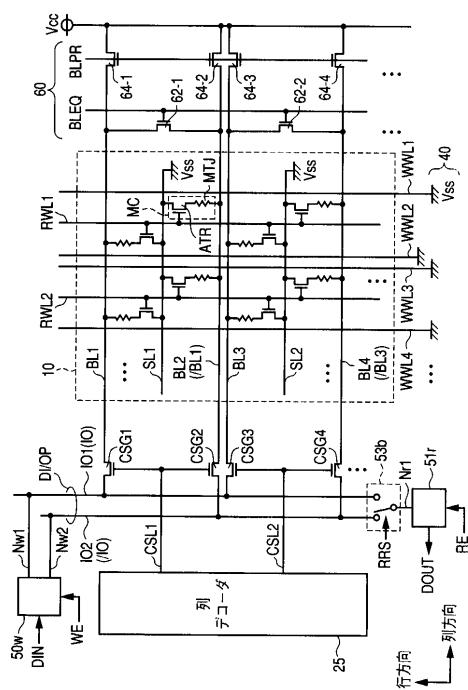
【図14】



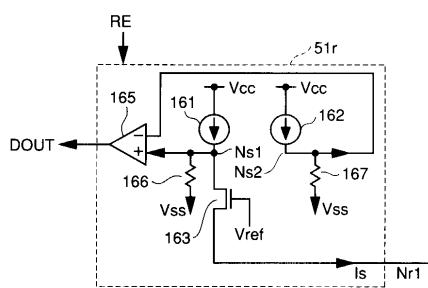
【図15】



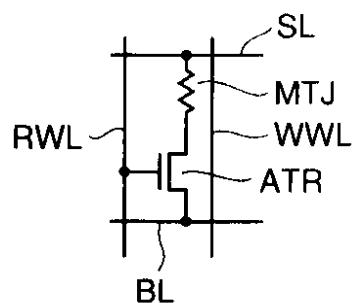
【図16】



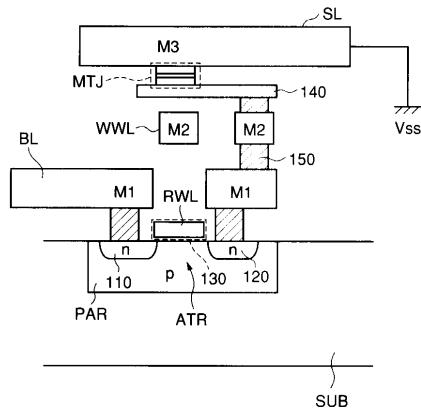
【図17】



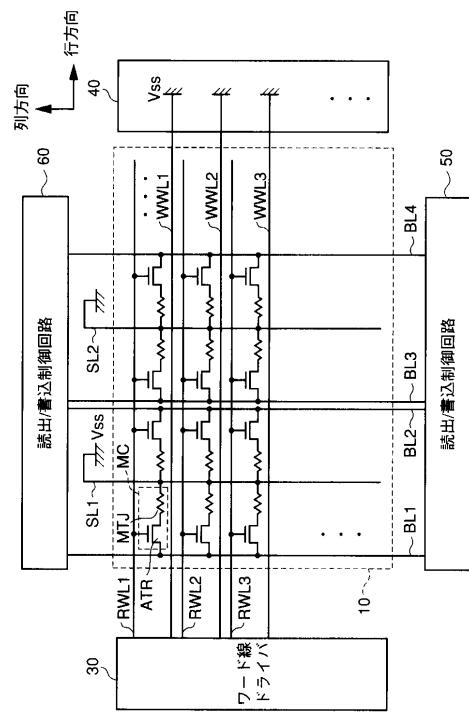
【図18】



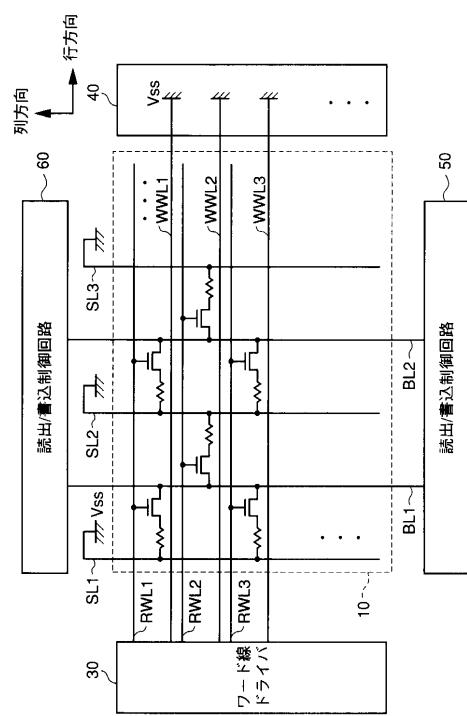
【図19】



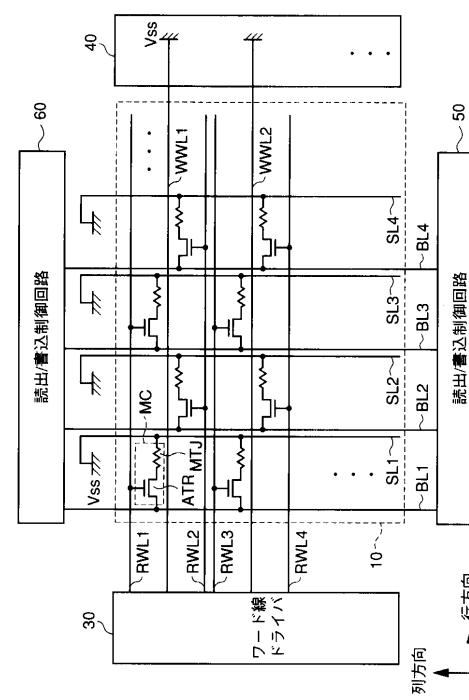
【図20】



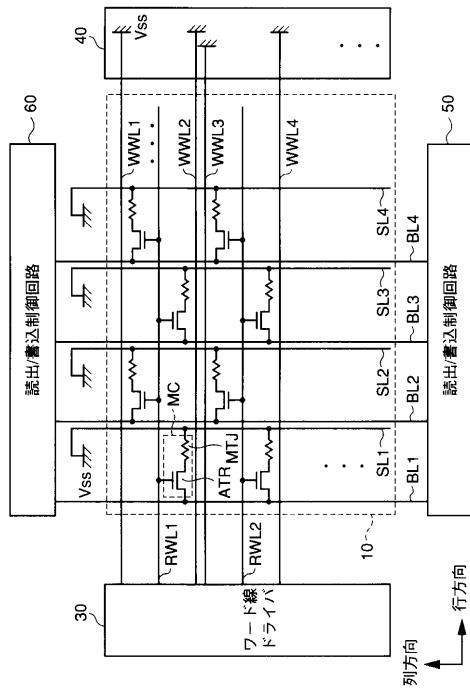
【図21】



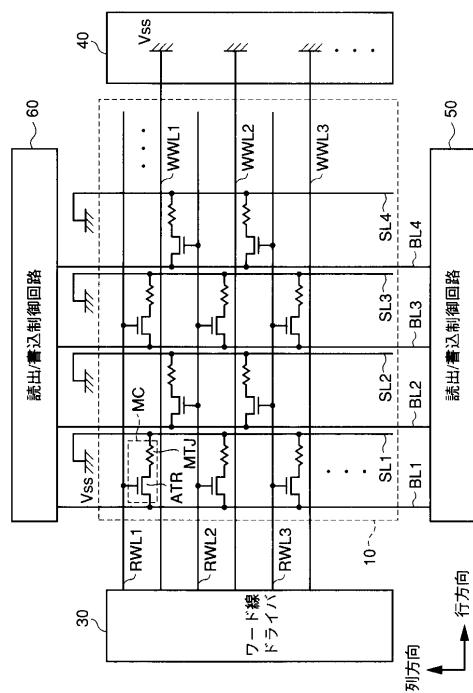
【図22】



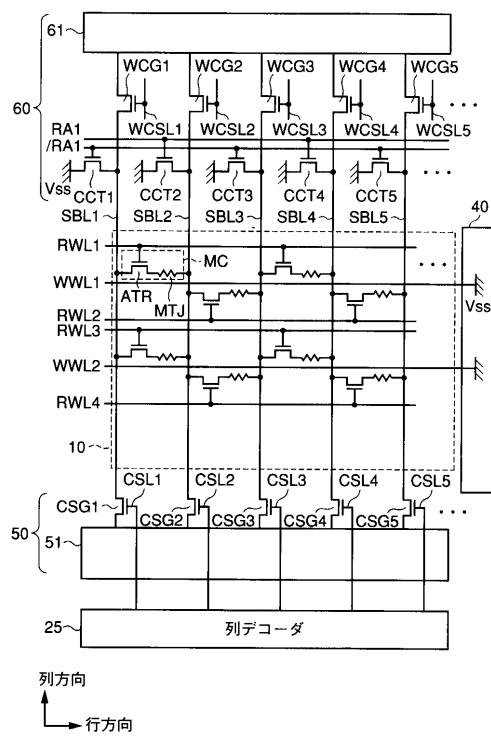
【図23】



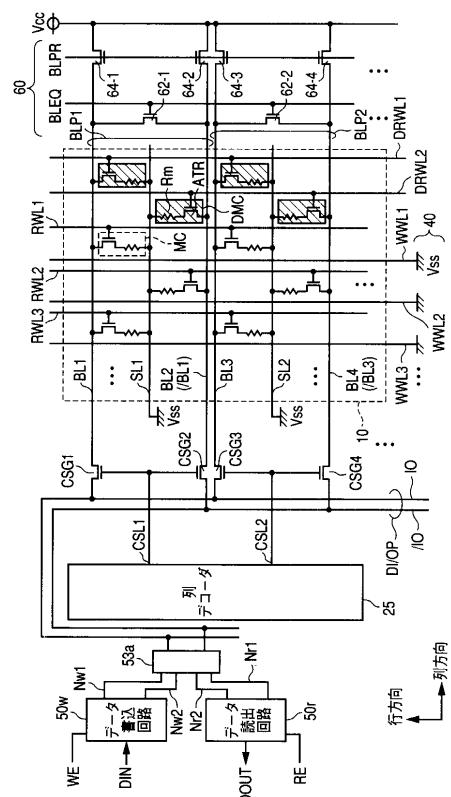
【図24】



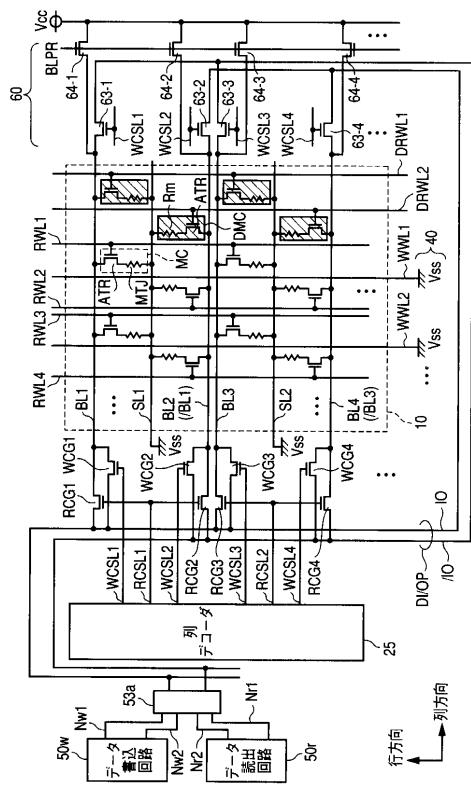
【図25】



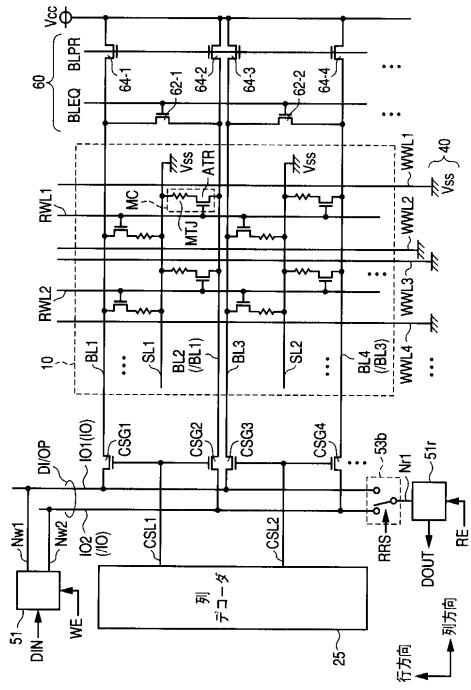
【図26】



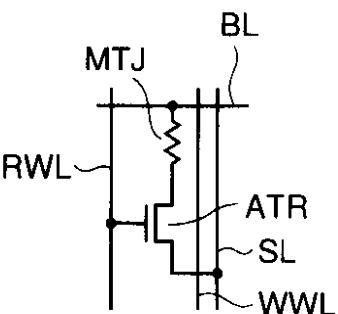
【図27】



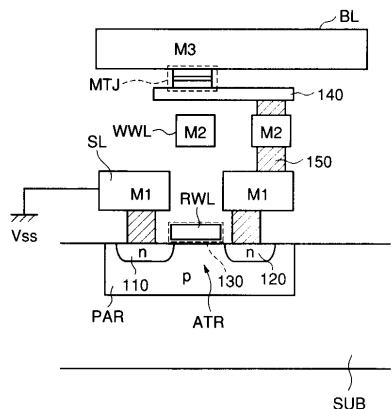
【図28】



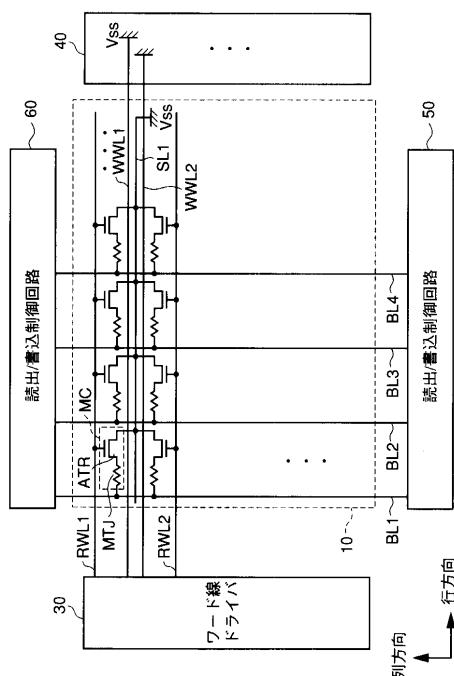
【図29】



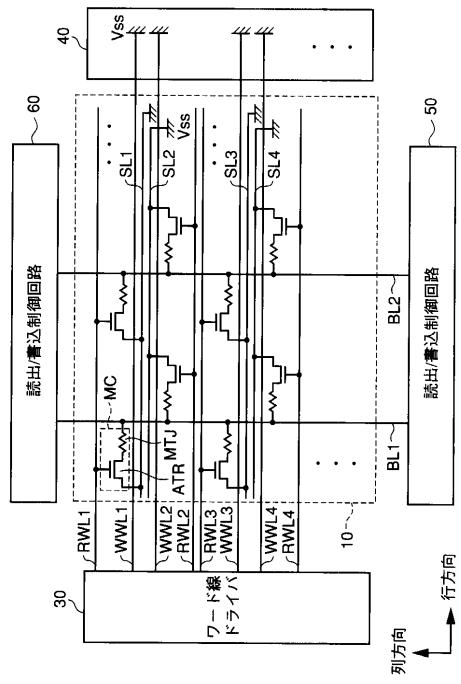
【図30】



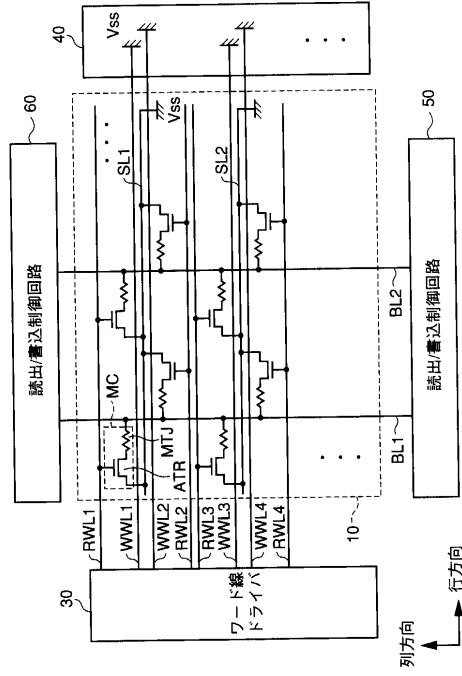
【図31】



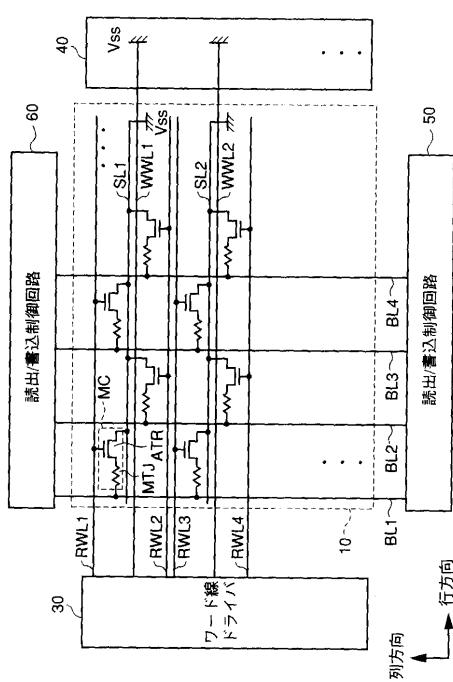
【図32】



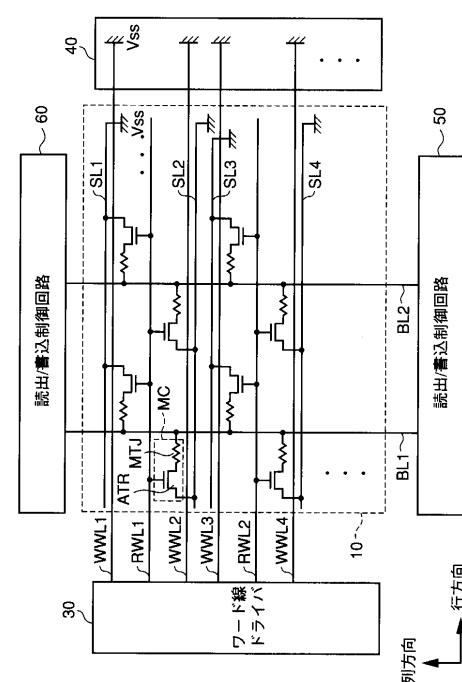
【図33】



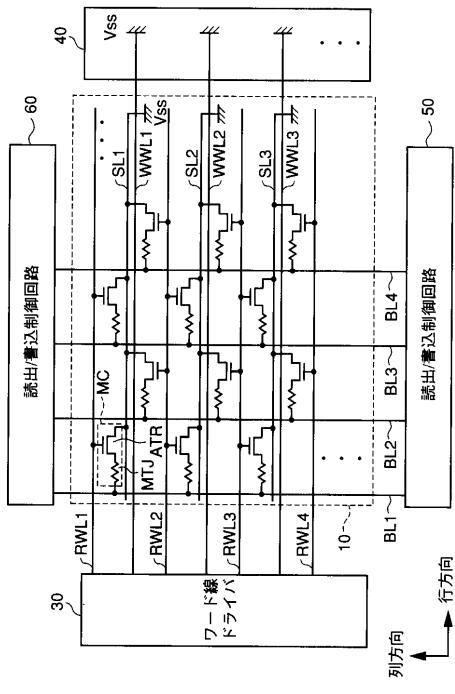
【図34】



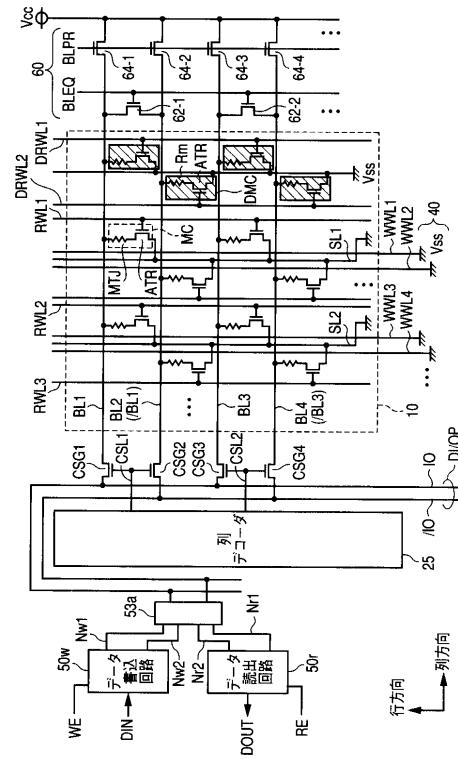
【図35】



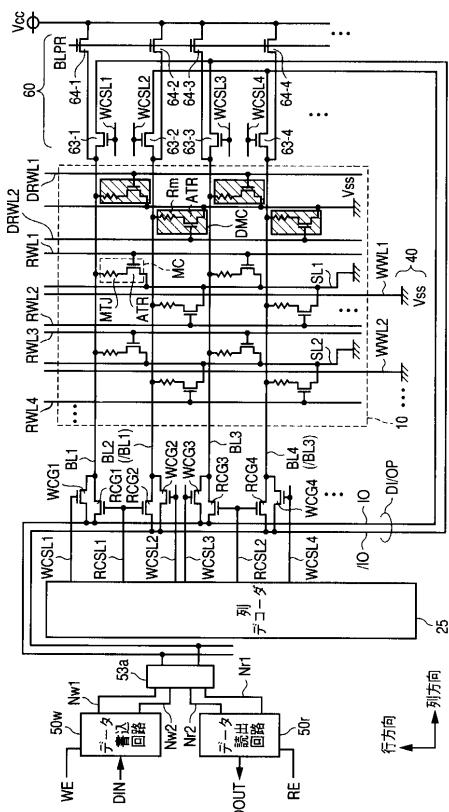
【図36】



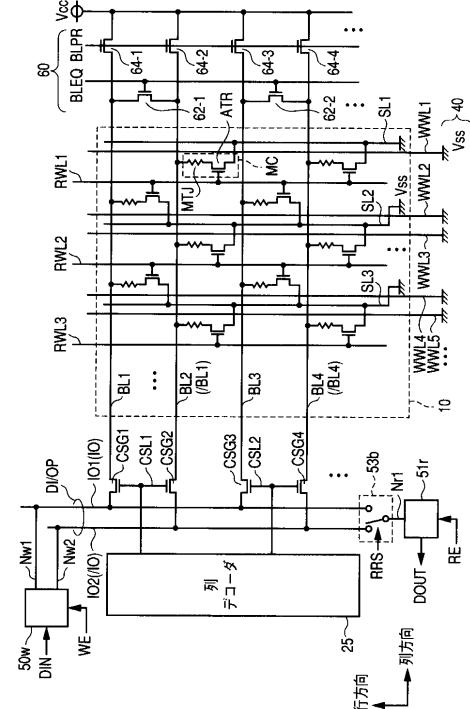
【図37】



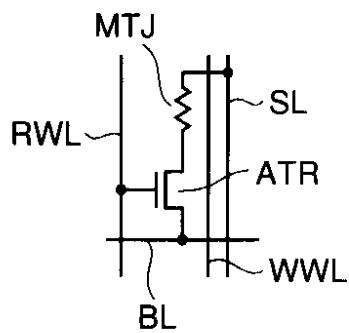
【図38】



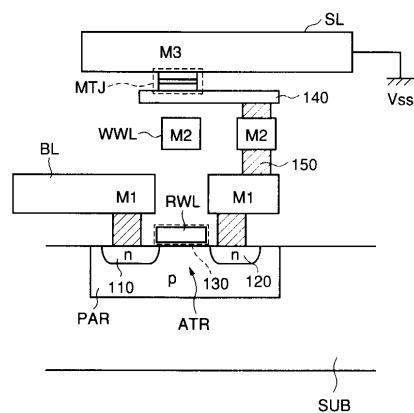
【図39】



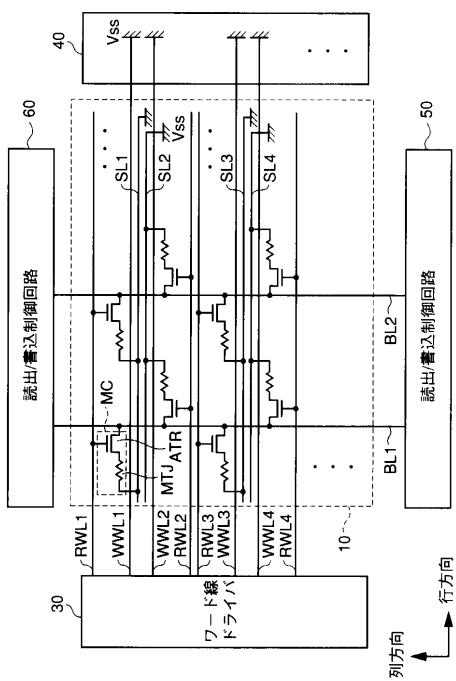
【図40】



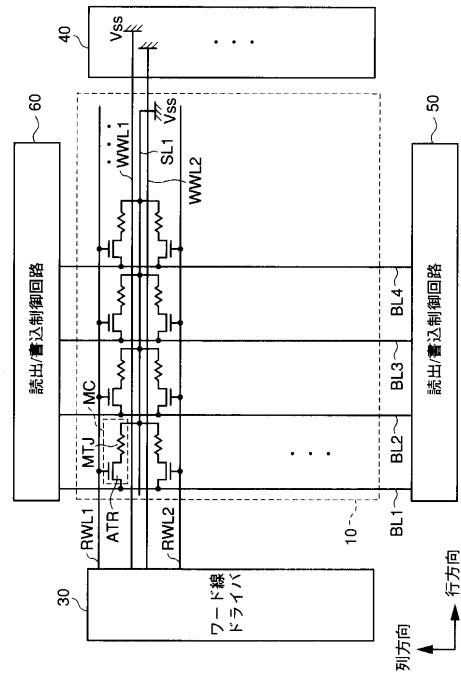
【図41】



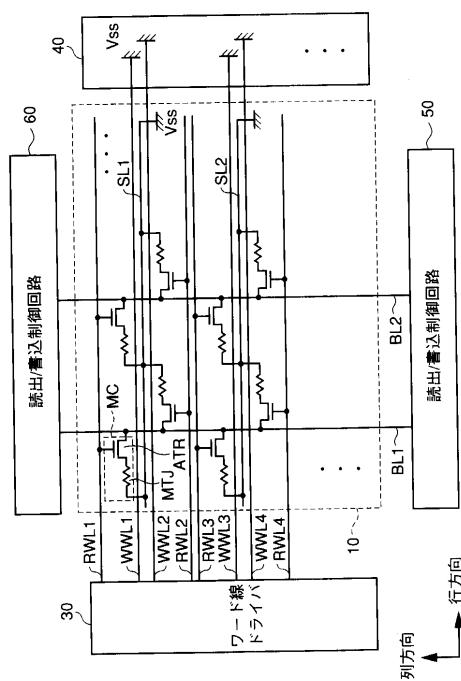
【図43】



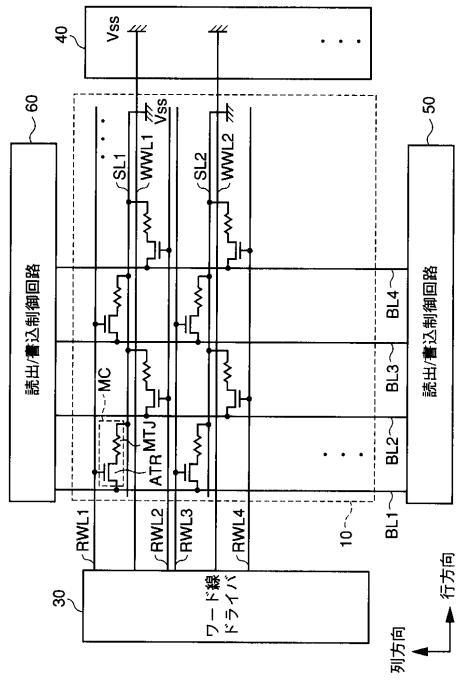
【図42】



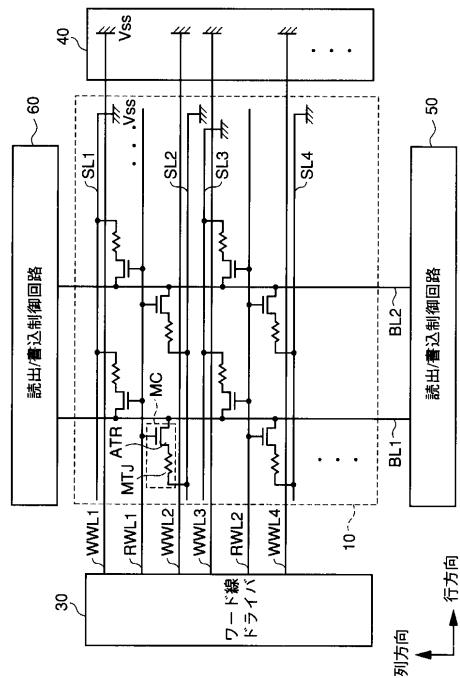
【図44】



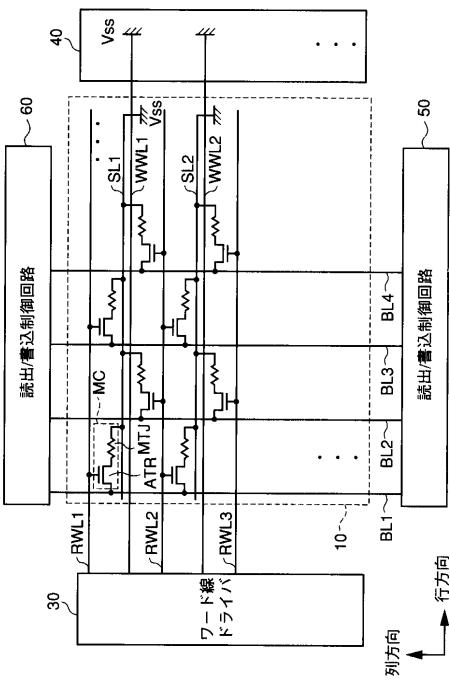
【図45】



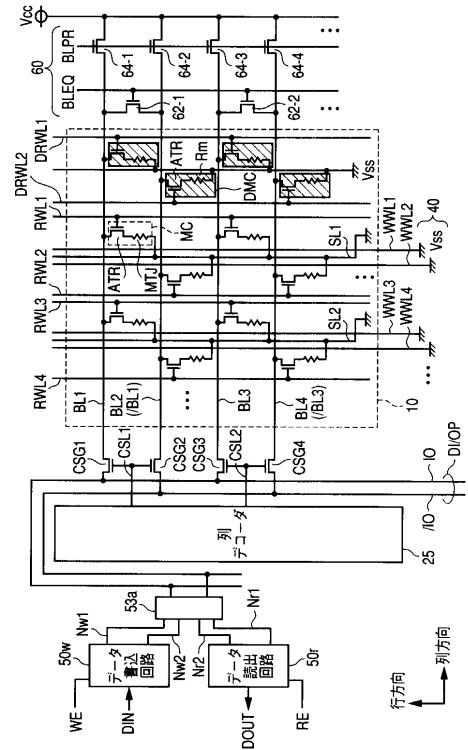
【図46】



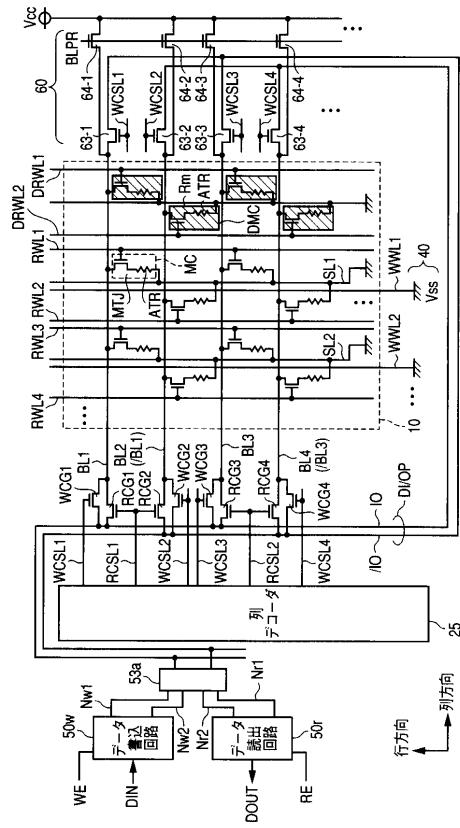
【図47】



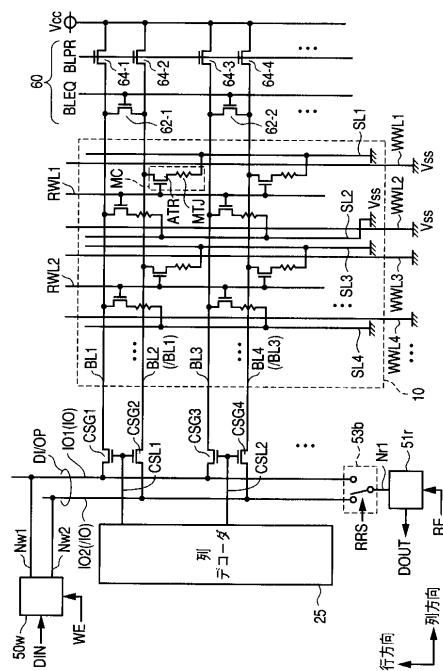
【図48】



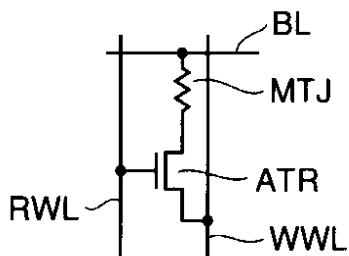
【図 4 9】



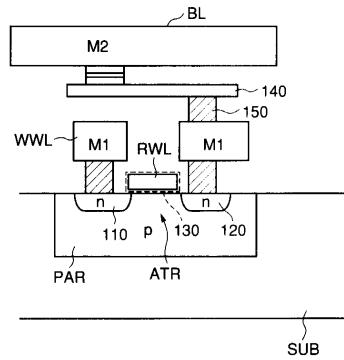
【図 5 0】



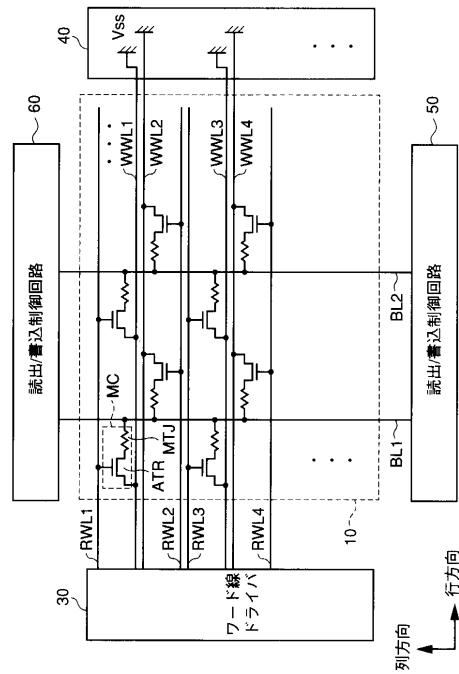
【図 5 1】



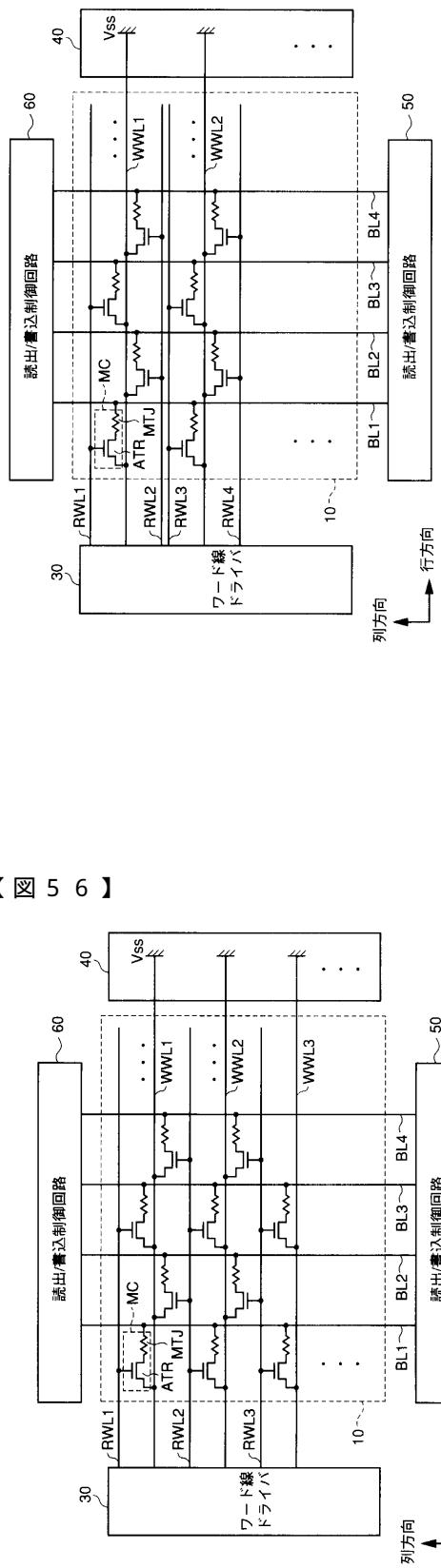
【図 5 2】



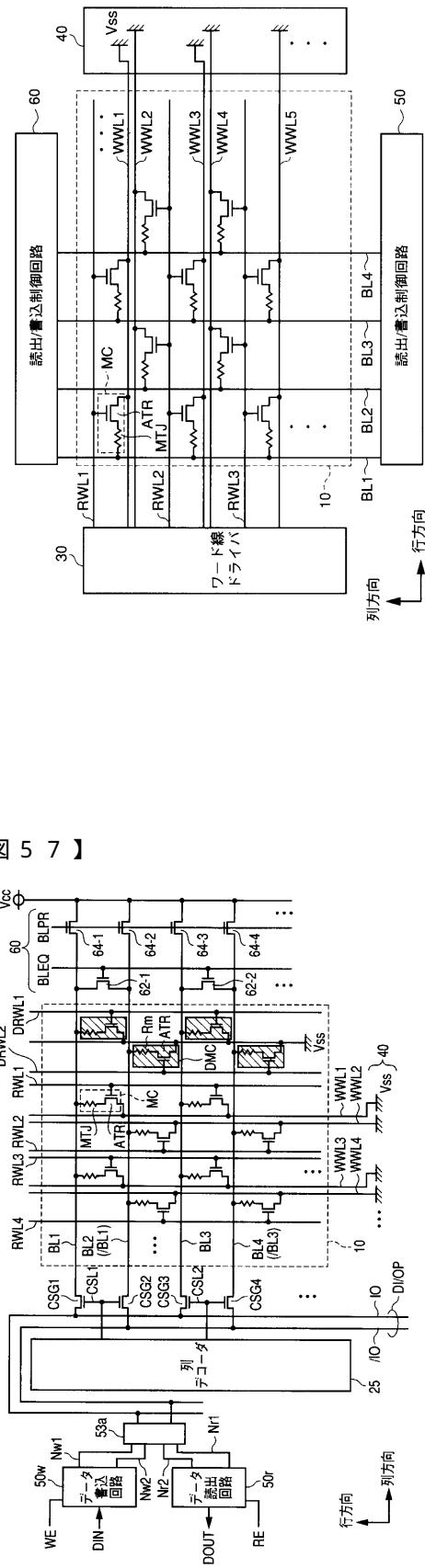
【図 5 3】



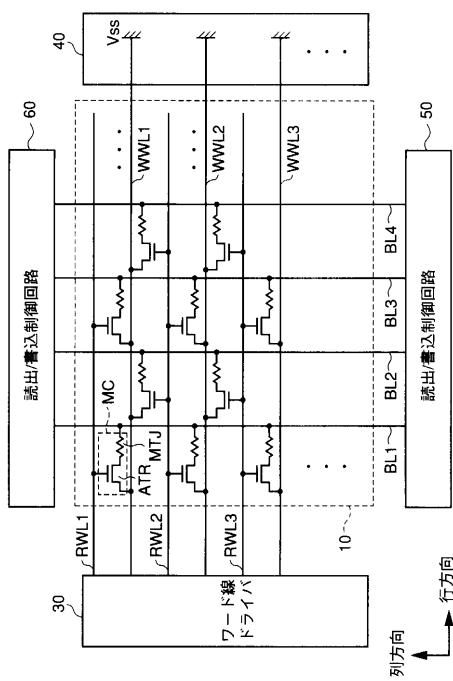
【図 5-4】



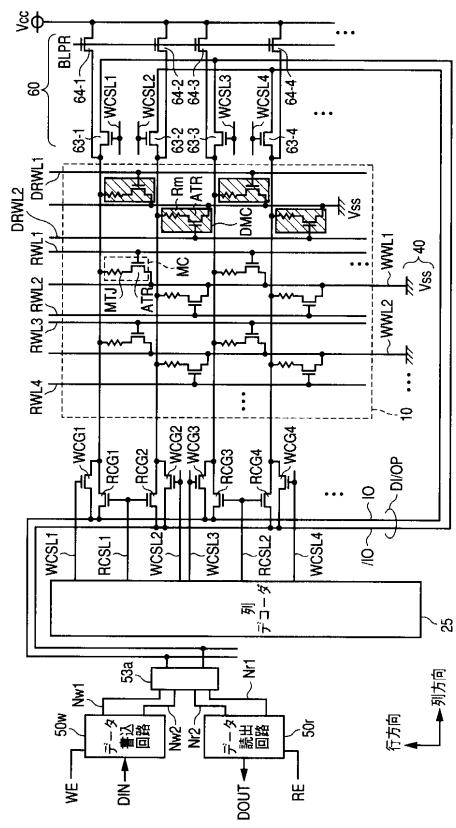
【図55】



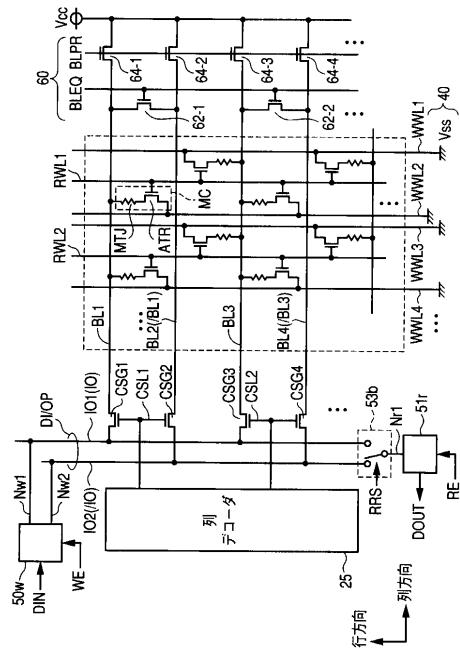
【図56】



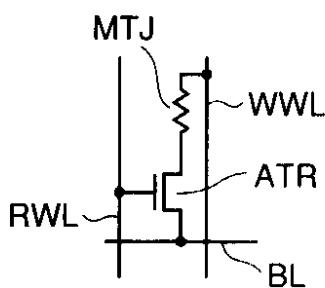
【図 5 8】



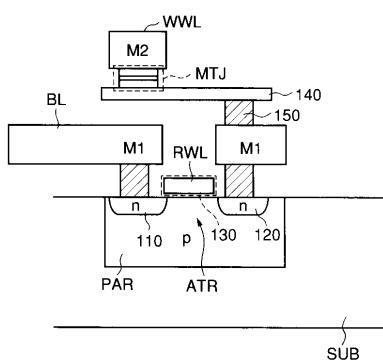
【図 5 9】



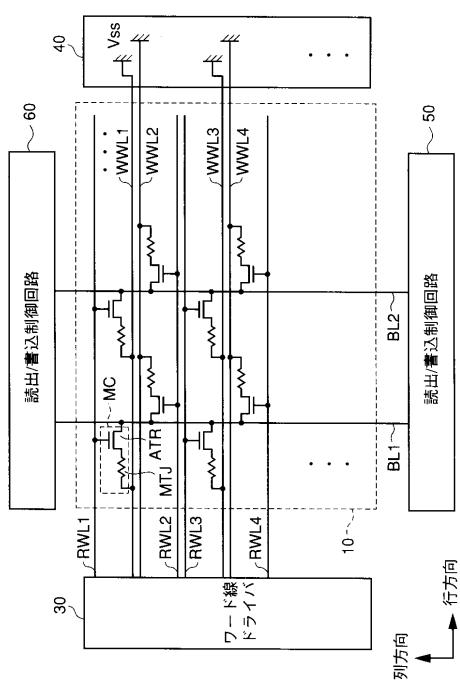
【図 6 0】



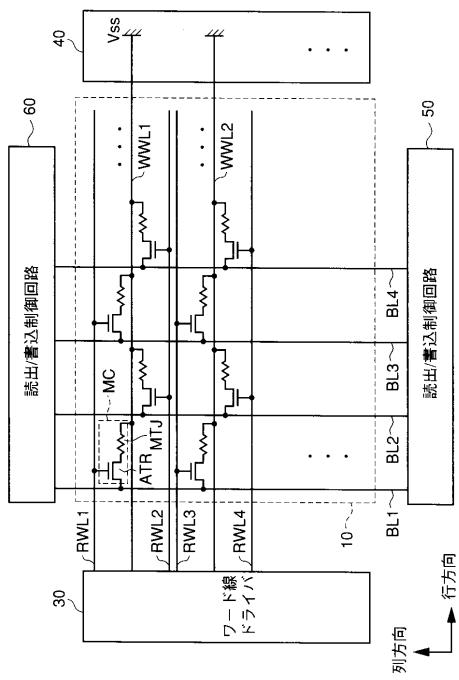
【図 6 1】



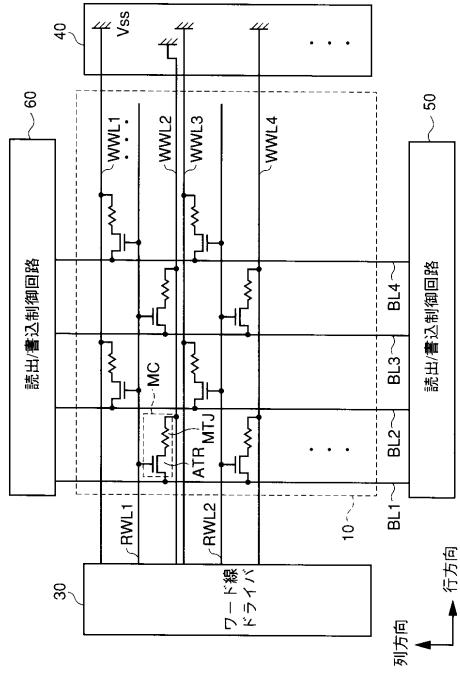
【図 6 2】



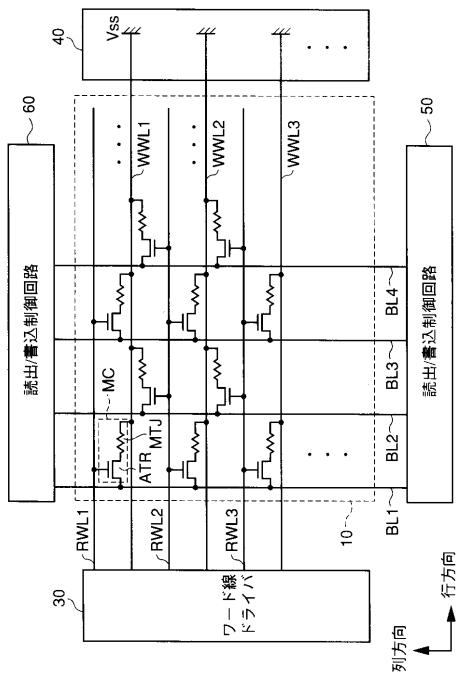
【図 6 3】



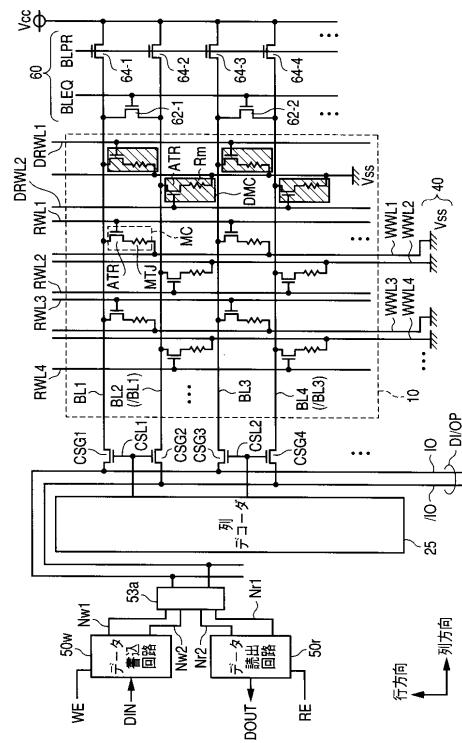
【図 6 4】



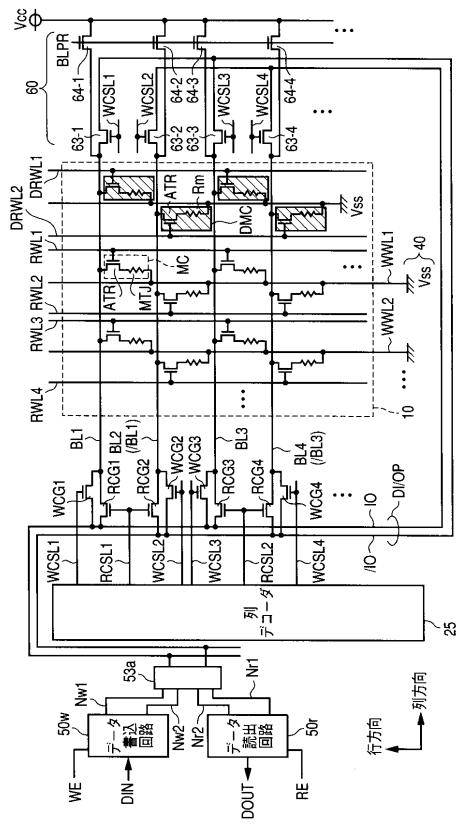
【図 6 5】



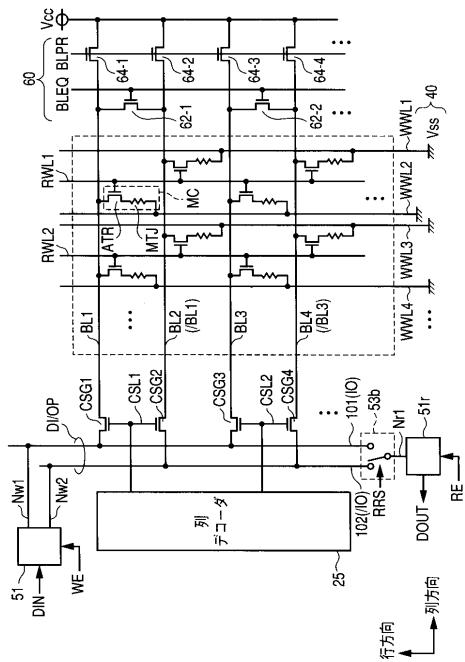
【図 6 6】



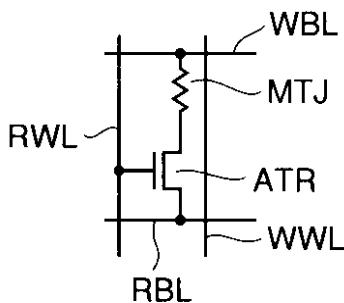
【図 6 7】



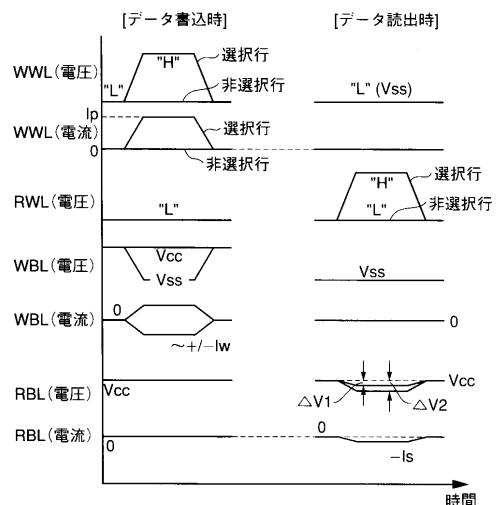
【図 6 8】



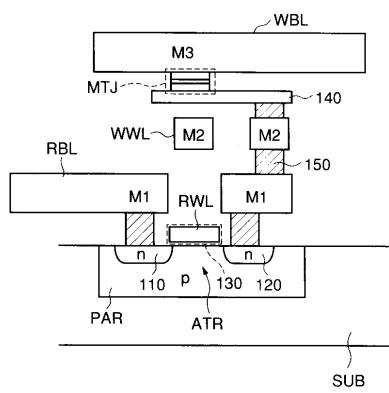
【図 6 9】



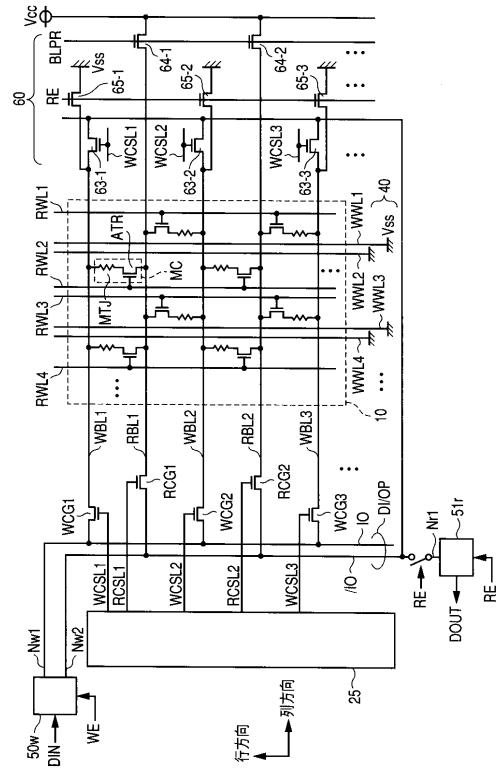
【図 7 0】



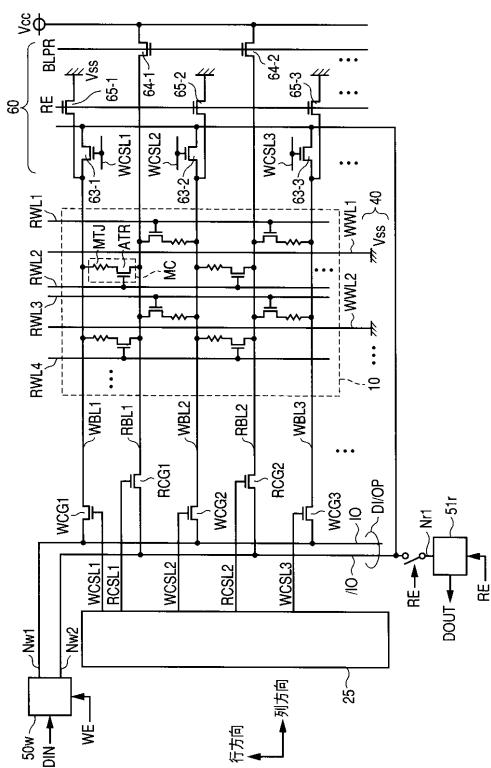
【図7-1】



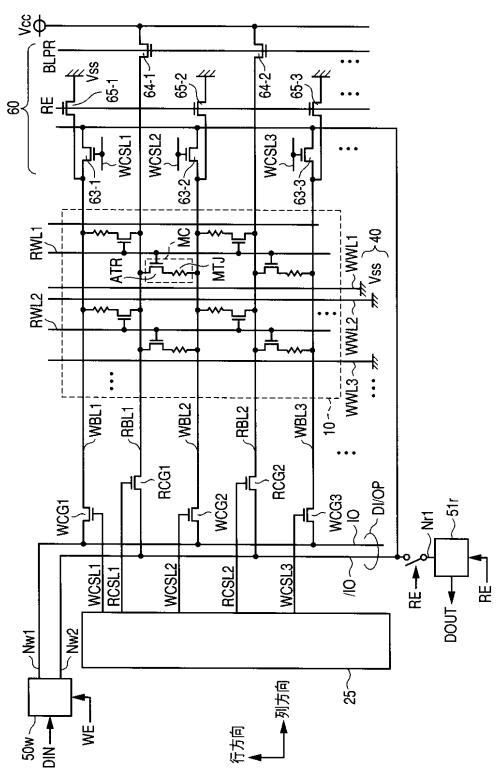
【図7-2】



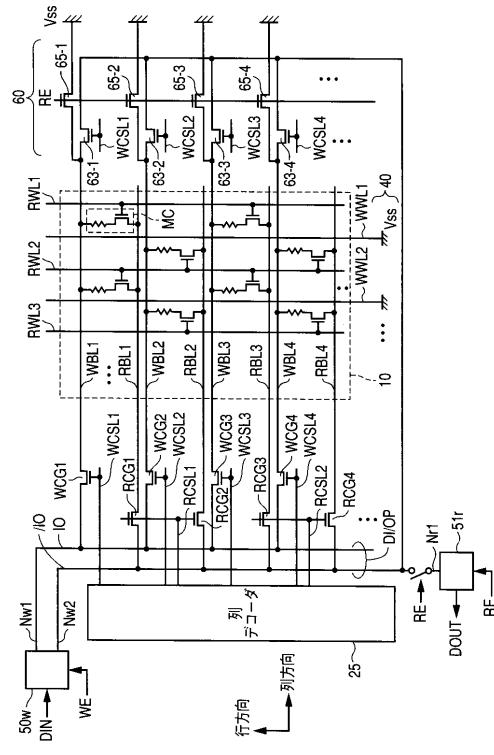
【図7-3】



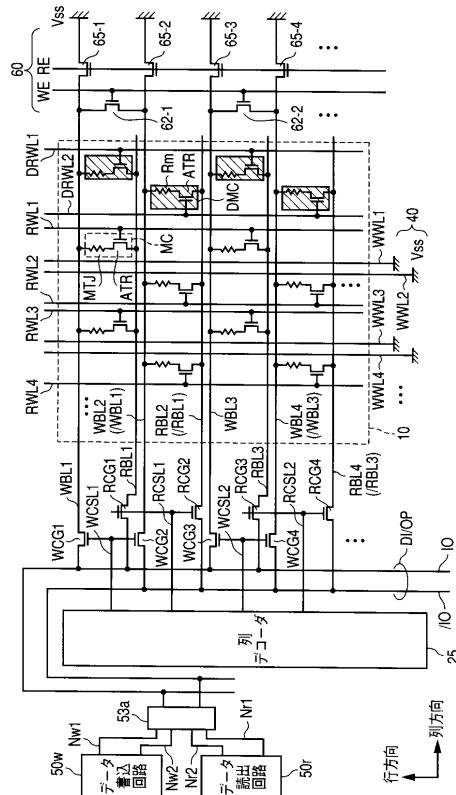
【図7-4】



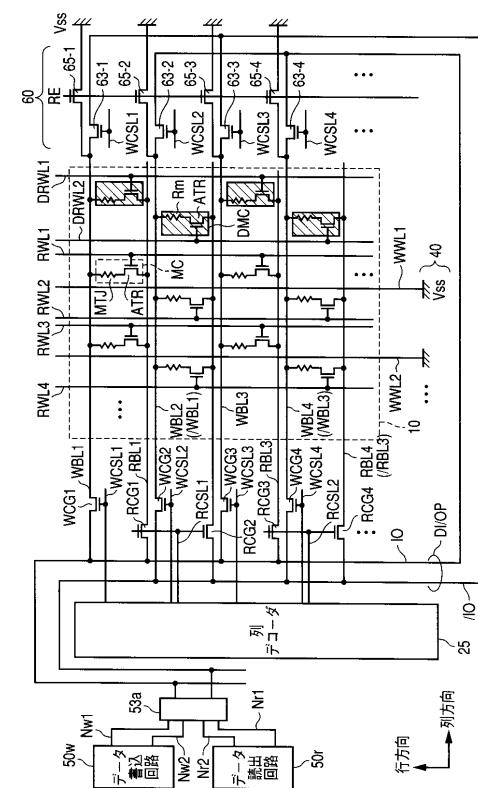
【図 7 5】



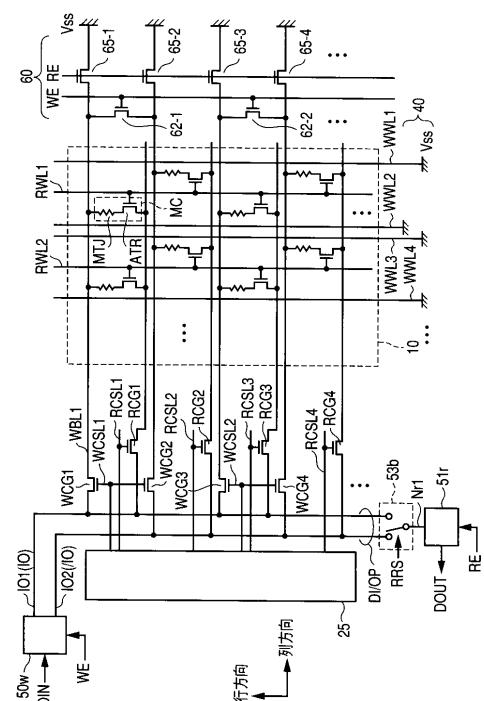
【図 7 6】



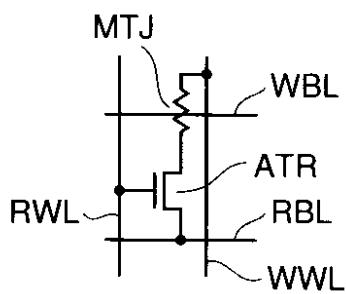
【図 7 7】



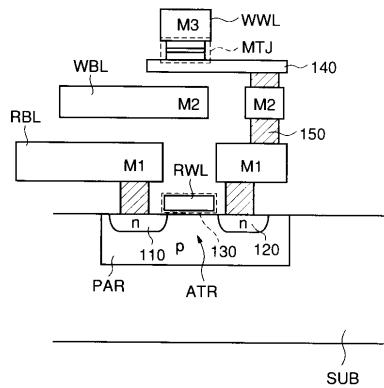
【図 7 8】



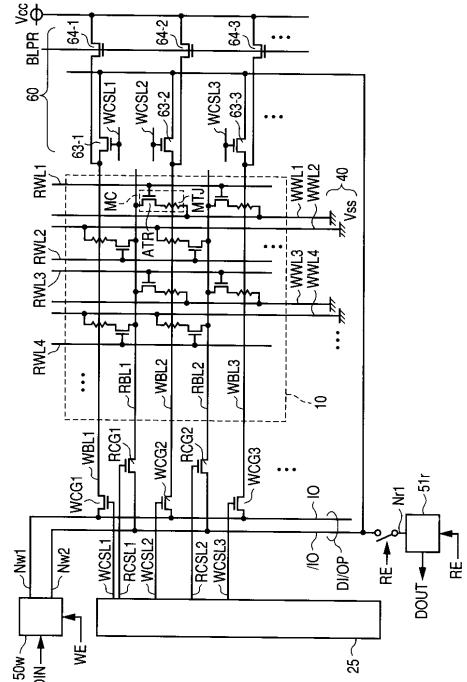
【図 7 9】



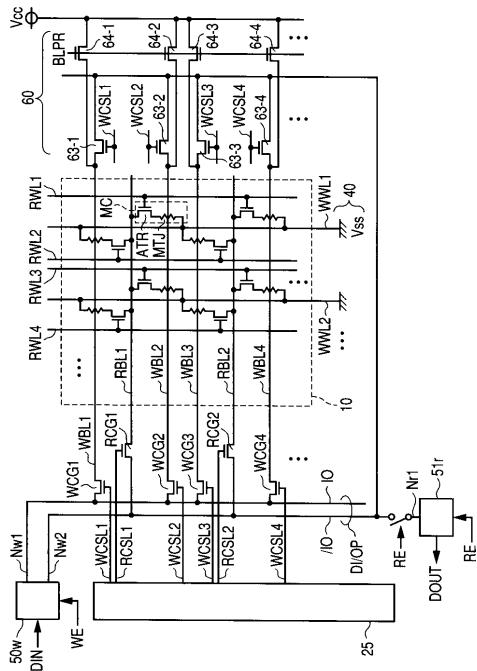
【図 8 0】



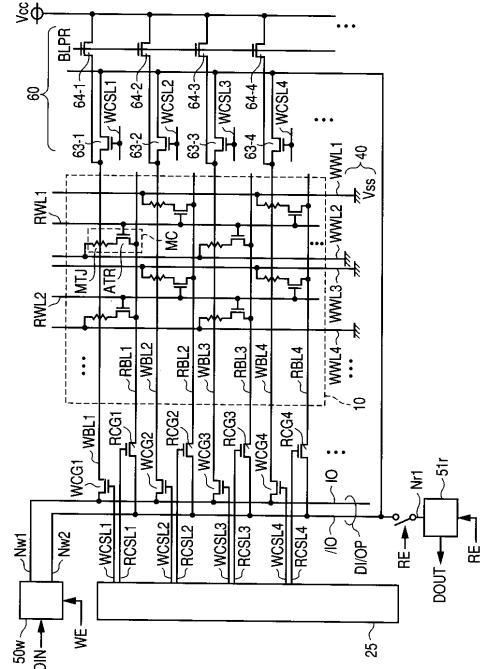
【図 8 1】



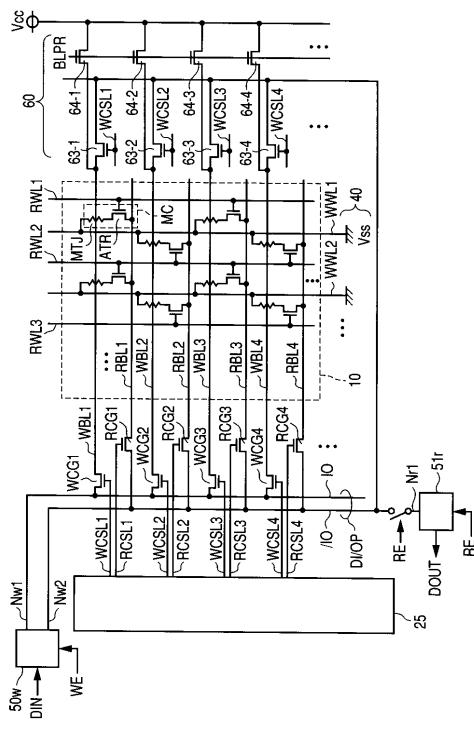
【図 8 2】



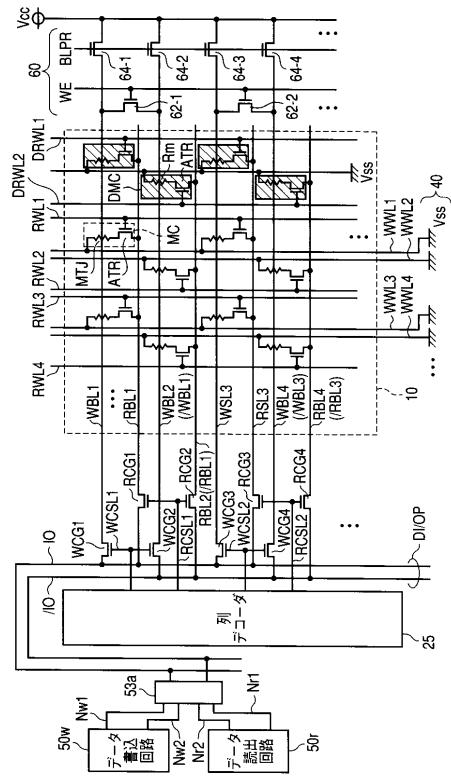
【図 8 3】



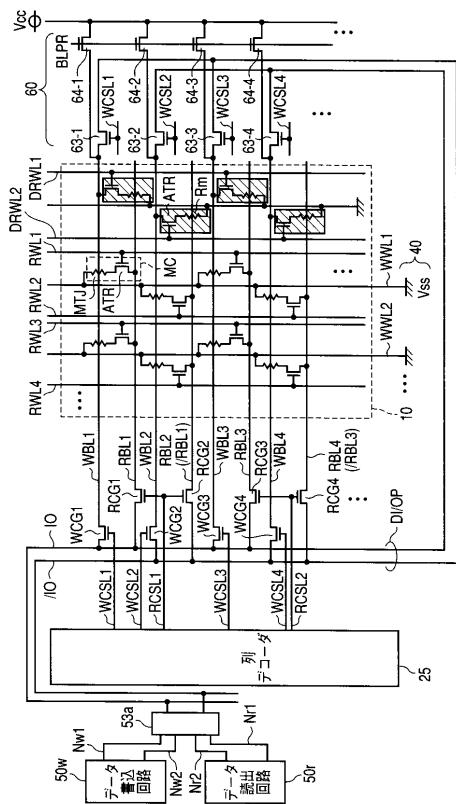
【図 8 4】



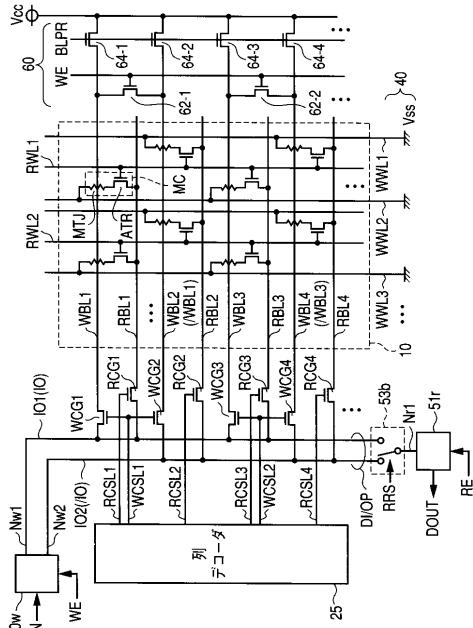
【図 8 5】



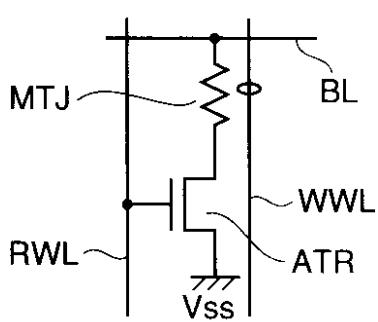
【図 8 6】



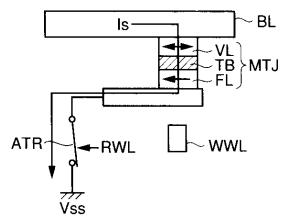
【図 8 7】



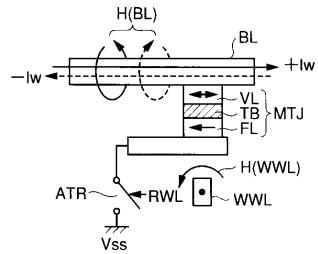
【図 8 8】



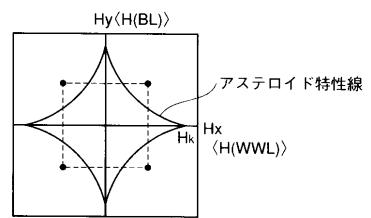
【図 8 9】



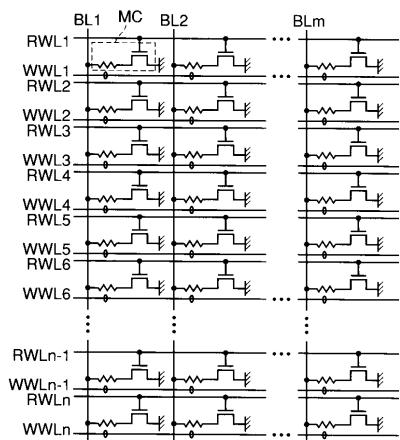
【図 9 0】



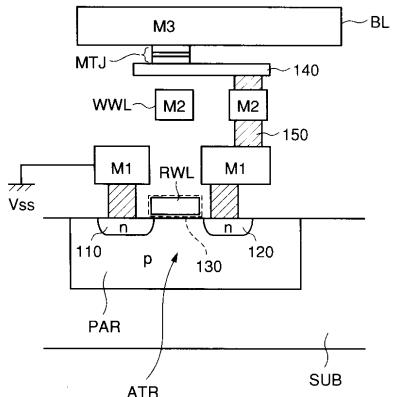
【図 9 1】



【図 9 2】



【図 9 3】



---

フロントページの続き

(51)Int.Cl.

F I

H 0 1 L 43/08

A

(74)代理人 100124523

弁理士 佐々木 真人

(74)代理人 100098316

弁理士 野田 久登

(72)発明者 日高 秀人

東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

審査官 三浦 尊裕

(56)参考文献 国際公開第00/038192 (WO, A1)

特開2002-190579 (JP, A)

特開2002-124079 (JP, A)

特表2002-522864 (JP, A)

特表2002-533863 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/8246

G11C 11/14

G11C 11/15

H01L 27/105

H01L 43/08