

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4631409号
(P4631409)

(45) 発行日 平成23年2月16日(2011.2.16)

(24) 登録日 平成22年11月26日(2010.11.26)

(51) Int.Cl. F I
HO2M 1/08 (2006.01) HO2M 1/08 A
 HO2M 1/08 341A

請求項の数 4 (全 7 頁)

(21) 出願番号	特願2004-339413 (P2004-339413)	(73) 特許権者	000005234
(22) 出願日	平成16年11月24日(2004.11.24)		富士電機ホールディングス株式会社
(65) 公開番号	特開2006-149169 (P2006-149169A)		神奈川県川崎市川崎区田辺新田1番1号
(43) 公開日	平成18年6月8日(2006.6.8)	(74) 代理人	100075166
審査請求日	平成19年10月16日(2007.10.16)		弁理士 山口 巖
		(74) 代理人	100085833
			弁理士 松崎 清
		(72) 発明者	丸山 宏二
			神奈川県横須賀市長坂二丁目2番1号 富士電機アドバンステクノロジー株式会社 内
		(72) 発明者	笹川 清明
			神奈川県横須賀市長坂二丁目2番1号 富士電機アドバンステクノロジー株式会社 内

最終頁に続く

(54) 【発明の名称】 半導体スイッチ回路

(57) 【特許請求の範囲】

【請求項1】

複数個の電圧駆動型半導体素子を直列接続した直列接続回路を複数回路並列に接続した電圧駆動型半導体素子の直並列接続回路と、各電圧駆動型半導体素子をオン・オフするために該当する電圧駆動型半導体素子のゲート端子にゲート信号を供給するゲート駆動回路とからなる半導体スイッチ回路において、

前記直列接続回路内では、各段のゲート駆動回路と電圧駆動型半導体素子のゲート端子を接続するゲート線を互いに磁気結合させ、直列接続回路間では、各直列接続回路のいずれか1つの電圧駆動型半導体素子のゲート線どうしを互いに磁気結合させることを特徴とする半導体スイッチ回路。

【請求項2】

前記ゲート線に代えて、ゲート駆動回路と電圧駆動型半導体素子のエミッタ端子を接続するエミッタ線を互いに磁気結合させることを特徴とする請求項1に記載の半導体スイッチ回路。

【請求項3】

前記ゲート線に加えて、ゲート駆動回路と電圧駆動型半導体素子のエミッタ端子を接続するエミッタ線も互いに磁気結合させることを特徴とする請求項1に記載の半導体スイッチ回路。

【請求項4】

前記各直列接続回路のいずれか1つの電圧駆動型半導体素子を互いに磁気結合させる磁

気回路は、並列接続数と同数の巻線を有することを特徴とする請求項 1 ~ 3 のいずれかに記載の半導体スイッチ回路。

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、複数個の電圧駆動型半導体素子（単に素子ともいう）を直列接続した直列接続回路を複数回路並列に接続した直並列接続回路と、各素子をオン・オフするために該当する電圧駆動型半導体素子のゲート端子にゲート信号を供給するゲート駆動回路とからなる半導体スイッチ回路、特に複数個の素子を同時にオン・オフさせるためのスイッチングタイミングの調整が可能な半導体スイッチ回路に関する。

10

【背景技術】

【0002】

電力変換装置を大容量化するため、素子を直並列接続する場合、各素子のスイッチングタイミングのばらつきによって特定の素子に過電圧、過電流が発生する場合がある。具体的には、直列接続の場合、他の素子よりも先にターンオフ（または遅れてターンオン）した素子にのみ電圧が印加されてしまい、スイッチングタイミング差が大きい場合には過電圧となって素子破壊に至る可能性がある。また、並列接続の場合には、他の素子よりも先にターンオン（または遅れてターンオフ）した素子にのみ電流が集中し、過電流が発生する。このように、素子を直列、並列接続する場合には、電圧分担、電流分担を均一化する手段が必要になる。

20

【0003】

図5は例えば特許文献1に開示されている例を示す。

この回路はIGBT（絶縁ゲートバイポーラトランジスタ）Q1, Q2（上アーム）とQ3, Q4（下アーム）、Q1~Q4のゲート駆動回路GDU1~GDU4、直流電源Edなどから構成される。直列各素子の電圧分担をバランス化させるために、各素子と並列にコンデンサC, ダイオードD, 抵抗Rからなるスナバ回路をそれぞれ付加したものである。

【0004】

図6は、図5に示すQ1, Q2の素子特性にばらつきがあった場合のターンオフ動作波形を示し、図6(a)はスナバ回路がない場合、同(b)はスナバ回路がある場合を示す。

30

すなわち、上述のようにスイッチングタイミングにばらつきがあると、各IGBTの電圧分担にアンバランスが発生し、図示の例ではQ1だけに電圧が印加されてしまうが、スナバ回路を付加することによって、素子のスイッチング時の電圧変化率(dv/dt)を図6(b)のように低減させ、電圧アンバランスを抑制している。このdv/dtはスナバ回路のコンデンサ容量に依存しており、これを増加させるほど電圧アンバランスの低減効果をあげることができる。

【0005】

上記以外の方式として、特許文献2, 3に示されるように各素子のゲート線を互いに磁気結合させるものがある。

40

図7はIGBTを複数個並列接続した1アーム分の回路を示し、各素子のゲート駆動回路GDU1~GDUnと、素子Q1~Qnのゲート端子を接続するゲート線を、磁気回路MC1~MCnによって互いに磁気結合した例である。

【0006】

【特許文献1】特開平04-125071号公報

【特許文献2】特開2002-204578号公報

【特許文献3】特開2004-096829号公報

【発明の開示】

【発明が解決しようとする課題】

【0007】

50

素子を直並列接続して用いる場合、上述のように素子と並列にスナバ回路を接続することで、素子電圧のアンバランスを低減することができるが、許容し得る素子スイッチング時間差を増加させるためには、付加するコンデンサ容量を大きくしなければならず、その結果、回路の大型化、損失増加という問題が発生する。

特許文献 2, 3 のように、素子のゲート線を互いに磁気結合させるものは、スイッチングタイミングのばらつきを抑制できるが、素子の直並列接続数が多いと、素子数に応じて磁気回路（部品点数）が多数必要になるだけでなく、回路が大型化するという問題が生じる。

【 0 0 0 8 】

したがって、この発明の課題は、複数個直並列接続される電圧駆動型半導体素子のスイッチングタイミングのばらつきを、部品点数を増加させず回路を大型化することなく抑制し得るようにすることにある。

【課題を解決するための手段】

【 0 0 0 9 】

このような課題を解決するために、請求項 1 の発明では、複数個の電圧駆動型半導体素子を直列接続した直列接続回路を複数回路並列に接続した電圧駆動型半導体素子の直並列接続回路と、各電圧駆動型半導体素子をオン・オフするために該当する電圧駆動型半導体素子のゲート端子にゲート信号を供給するゲート駆動回路とからなる半導体スイッチ回路において、

前記直列接続回路内では、各段のゲート駆動回路と電圧駆動型半導体素子のゲート端子を接続するゲート線を互いに磁気結合させ、直列接続回路間では、各直列接続回路のいずれか 1 つの電圧駆動型半導体素子のゲート線どうしを互いに磁気結合させることを特徴とする。

【 0 0 1 0 】

上記請求項 1 の発明においては、前記ゲート線に代えて、ゲート駆動回路と電圧駆動型半導体素子のエミッタ端子を接続するエミッタ線を互いに磁気結合させることができ（請求項 2 の発明）、または、前記ゲート線に加えて、ゲート駆動回路と電圧駆動型半導体素子のエミッタ端子を接続するエミッタ線も互いに磁気結合させることができる（請求項 3 の発明）。

また、上記請求項 1 ~ 3 の発明においては、前記各直列接続回路のいずれか 1 つの電圧駆動型半導体素子を互いに磁気結合させる磁気回路は、並列接続数と同数の巻線を有することができる（請求項 4 の発明）。

【発明の効果】

【 0 0 1 1 】

この発明によれば、複数個直列接続される電圧駆動型半導体素子は、各段のゲート駆動回路と素子を接続するゲート線またはエミッタ線の少なくとも一方を互いに磁気結合させ、並列接続される直列接続回路間では各直列接続回路のいずれか 1 つの素子のゲート線またはエミッタ線の少なくとも一方を互いに磁気結合させるようにしたので、素子のスイッチングタイミングのばらつきを、少ない部品点数と簡素化した回路により抑制できる利点をもたらされる。

【発明を実施するための最良の形態】

【 0 0 1 2 】

図 1 はこの発明の第の実施の形態を示す回路構成図、図 2 は磁気結合を説明するための説明図である。

図 1 は I G B T を 3 直列、2 並列接続した 1 アーム分の構成を示し、I G B T (Q 1 1 ~ Q 2 3) とゲート駆動回路 G D U 1 1 ~ G D U 2 3 と磁気回路 M C x , M C 1 1 ~ M C 2 3 とから構成されている。

【 0 0 1 3 】

磁気回路 M C x , M C 1 1 ~ M C 2 3 は、具体的には図 2 に示すように、磁気結合を行なう 2 素子のゲート線を同じ磁性体 M G に巻数比 1 : 1 で巻き付けた構成であり、2 素子

10

20

30

40

50

のゲート電流 I_{g1} , I_{g2} が等しい ($I_{g1} = I_{g2}$) 時にゲート電流によって発生する磁束 Φ_1 , Φ_2 が $|\Phi_1| = |\Phi_2|$ となるようにし、 I_{g1} と I_{g2} が逆極性のときに Φ_1 と Φ_2 が逆極性となるようにしている。

【0014】

これにより、2素子のスイッチングタイミングが同時の場合には、 Φ_1 と Φ_2 は同じレベルで逆極性となるため、互いに打ち消しあって磁気結合はしない。一方、タイミング差が生じた場合、例えば Q_1 が先にターンオフ (または、ターンオン) した時、すなわち、 I_{g1} が I_{g2} よりも先に流れたとき Φ_1 Φ_2 となるため、磁気回路には $|\Phi_1 - \Phi_2|$ の磁束が発生し、磁気結合する。

【0015】

このとき、それぞれのゲート線には等価的にインダクタンス分 L_1 と L_2 が発生し、これらは $|\Phi_1 - \Phi_2|$ に比例する特性がある。すなわち、 I_{g1} と I_{g2} の差が大きいほど、 L_1 と L_2 も大きくなる。また、 L_1 , L_2 が増加するほどゲート線のインピーダンスが増加するため、 I_{g1} と I_{g2} が流れ難くなる。この動作により、 I_{g1} と I_{g2} の差分に応じて自動的にゲート線のインピーダンスが変化し、 I_{g1} と I_{g2} が一致するように動作することになる。

【0016】

図1のIGBT ($Q_{11} \sim Q_{13}$) とゲート駆動回路 $GDU_{11} \sim GDU_{13}$ からなる直列回路1では、IGBT Q_{11} と Q_{12} のゲート線を磁気回路 MC_{11} により、IGBT Q_{12} と Q_{13} のゲート線を磁気回路 MC_{12} によりそれぞれ磁気結合させているため、3直列素子のスイッチングタイミングが一致し、印加される電圧をバランスさせることができる。

【0017】

また、直列回路1と、IGBT ($Q_{21} \sim Q_{23}$) とゲート駆動回路 $GDU_{11} \sim GDU_{23}$ からなる直列回路2との間は、IGBT Q_{11} と Q_{21} のゲート線のみが磁気回路 MC_x によって磁気結合されている。このため、IGBT Q_{11} と Q_{21} のスイッチングタイミングが一致し、さらに直列回路2も直列回路1と同様に各素子が磁気結合されているため、結果的に3直列2並列の6素子全てのスイッチングタイミングが一致し、並列接続回路の電流バランスも均等にすることができる。なお、図1では直列接続の初段IGBTである Q_{11} と Q_{21} を磁気結合したが、並列接続される直列回路間での磁気結合は、直列素子のいずれか1つの素子同士で行なえばよく、効果は同様である。

【0018】

図3にこの発明の第2の実施の形態を示す。

これは、IGBTを3直列、3並列接続した1アーム分の回路例を示す。並列数が3以上の場合、図1の回路を拡張して並列接続間のIGBT Q_{11} と Q_{21} 、および Q_{21} と Q_{31} を互いに磁気結合させることも可能であるが、図3のように並列数 n と同じ n 次巻線の磁気回路 MC_x により磁気結合させることで、1つの磁気回路で複数の並列接続間を磁気結合でき、回路を簡素化することができる。

【0019】

図4にこの発明の第3の実施の形態を示す。

これは、素子のゲート線とエミッタ線に流れる電流値が同じであることに着目し、ゲート線の代わりにエミッタ線を磁気結合させることで、素子のスイッチングタイミングを一致させるものである。回路動作等は図1に示すゲート線の場合と全く同様なので、説明は省略する。このような考え方を拡張させれば、ゲート線とエミッタ線の双方を磁気結合させることも可能で、上記と同様の効果を得ることができる。

【図面の簡単な説明】

【0020】

【図1】この発明の第1の実施の形態を示す構成図

【図2】磁気結合を説明するための説明図

【図3】この発明の第2の実施の形態を示す構成図

10

20

30

40

50

【図4】この発明の第3の実施の形態を示す構成図

【図5】特許文献1に開示されている従来例を示す構成図

【図6】図5の動作を説明するための波形図

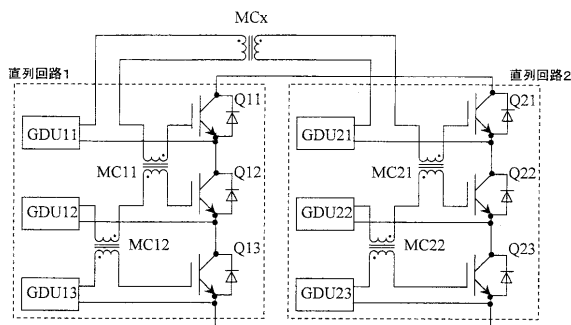
【図7】特許文献2, 3に開示されている従来例を示す構成図

【符号の説明】

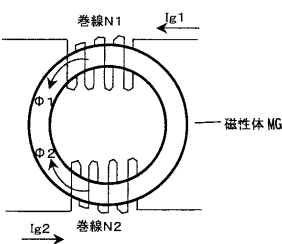
【0021】

Q11 ~ Q33 ... IGBT (絶縁ゲートバイポーラトランジスタ)、GDU11 ~ GDU33 ... ゲート駆動回路、MCx, MC11 ~ MC32 ... 磁気回路、MG ... 磁性体。

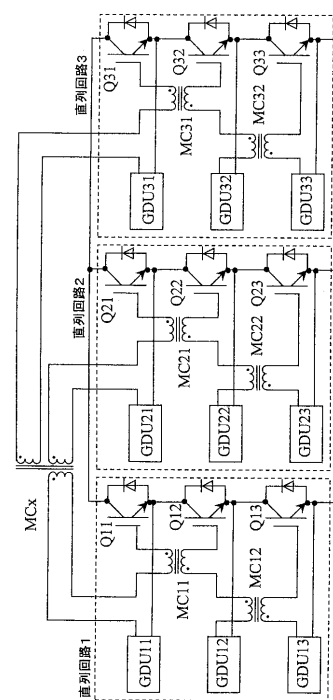
【図1】



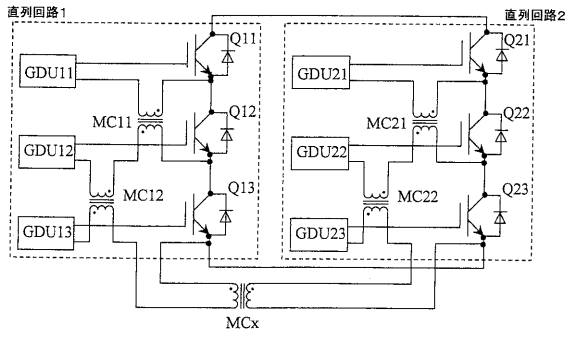
【図2】



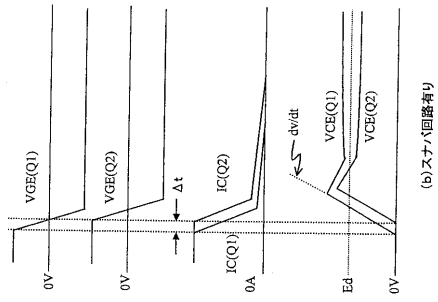
【図3】



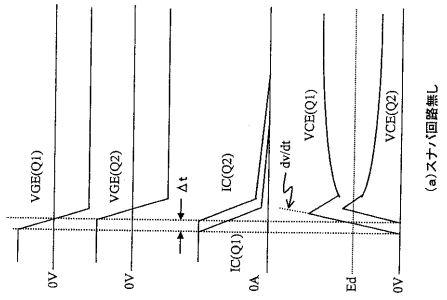
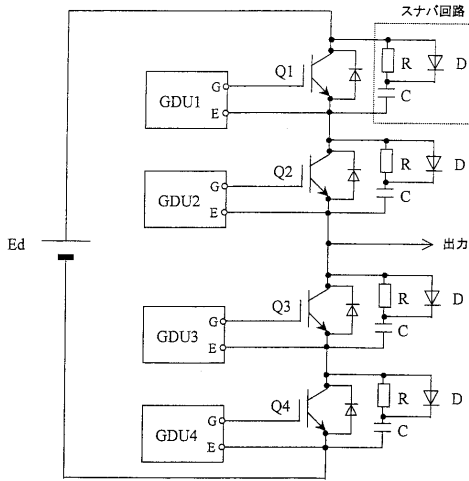
【図4】



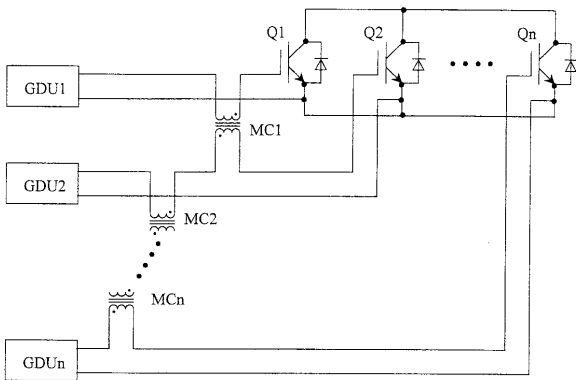
【図6】



【図5】



【図7】



フロントページの続き

審査官 槻木澤 昌司

- (56)参考文献 特開平08 - 266060 (JP, A)
特開2002 - 204578 (JP, A)
特開2004 - 096829 (JP, A)
特開昭62 - 262086 (JP, A)
特開平04 - 125071 (JP, A)
特開2004 - 215416 (JP, A)
特開2003 - 169464 (JP, A)
特開平10 - 164843 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H02M 1/08