(19)国家知识产权局

(12)发明专利

(10)授权公告号 CN 111149162 B
(45)授权公告日 2023.10.31

(21)申请号 201880063389.0
(22)申请日 2018.08.02
(65)同一申请的已公布的文献号
申请公布号 CN 111149162 A
(43)申请公布日 2020.05.12
(30)优先权数据
15/683,430 2017.08.22 US
(85)PCT国际申请进入国家阶段日
2020.03.27
(86)PCT国际申请的申请数据
PCT/US2018/045024 2018.08.02
(87)PCT国际申请的公布数据
WO2019/040256 EN 2019.02.28
(73)专利权人 美光科技公司
地址 美国爱达荷州
(72)发明人 堂野千秋
(74)专利代理机构 北京律盟知识产权代理有限责任公司 11287
专利代理师 王龙
(51)Int.Cl.
G11C 7/10(2006.01)
G11C 7/22(2006.01)
(56)对比文件
US 2008215938 A1,2008.09.04
US 2009316495 A1,2009.12.24
CN 102099861 A,2011.06.15
CN 101553879 A,2009.10.07
审查员 胡学岭

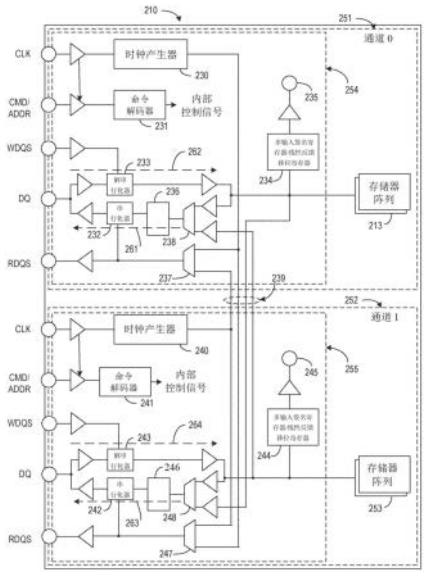
权利要求书3页 说明书10页 附图9页

(54)发明名称

半导体存储器装置

(57)摘要

本发明提供用于使用集成式测试数据路径进行存储器I/O测试的技术。在实例中,一种用于操作存储器设备的输入/输出数据路径的方法可包含:在第一模式期间,在所述存储器设备的第一通道的数据端子处经由第一数据路径从所述第一通道的存储器阵列接收非测试信息;在第一测试模式期间,在所述第一通道的所述数据端子处从第一额外数据路径接收第一测试信息,所述第一额外数据路径耦合所述第一通道与所述存储器设备的第二通道,并且其中所述存储器设备的接口裸片包含所述第一数据路径及所述额外数据路径。



CN 111149162 B

1.一种存储器设备,其包括:

第一通道;

第二通道;

其中所述第一通道包括:

第一内部电路;

第一端子;

第一数据路径,其介于所述第一内部电路与所述第一端子之间,以将第一数据信号从所述第一内部电路运送到所述第一端子;

第二数据路径,其介于所述第一内部电路与所述第一端子之间,以将第二数据信号从所述第一端子运送到所述第一内部电路;

读取数据选通多路复用器;及

读取数据选通输出;

其中所述第二通道包括:

第二内部电路;

第二端子;

第三数据路径,其介于所述第二内部电路与所述第二端子之间,以将第三数据信号从所述第二内部电路运送到所述第二端子;及

第四数据路径,其介于所述第二内部电路与所述第二端子之间,以将第四数据信号从所述第二端子运送到所述第二内部电路;

其中所述存储器设备进一步包括介于所述第一数据路径与所述第二内部电路之间的第一额外路径,所述第一额外路径经配置以在被激活时通过所述第一额外路径及所述第一数据路径将第五数据信号从所述第二内部电路运送到所述第一端子;及

其中所述第一通道包含所述读取数据选通多路复用器,所述读取数据选通多路复用器经配置以在第一模式中将所述第一通道的所述读取数据选通输出耦合到所述第一通道的第一时钟信号、且在测试模式中将所述第一通道的所述读取数据选通输出耦合到所述第二通道的第二时钟信号。

2.根据权利要求1所述的存储器设备,其中所述第二数据路径经配置以在激活所述第一额外路径时将所述第五数据信号从所述第一端子运送到所述第一内部电路。

3.根据权利要求2所述的存储器设备,其中所述存储器设备进一步包括介于所述第三数据路径与所述第一内部电路之间的第二额外路径,所述第二额外路径经配置以在被激活时通过所述第二额外路径及所述第三数据路径将第六数据信号从所述第一内部电路运送到所述第二端子。

4.根据权利要求3所述的存储器设备,其中所述第四数据路径经配置以在激活所述第二额外路径时将所述第六数据信号从所述第二端子运送到所述第二内部电路。

5.根据权利要求1所述的存储器设备,其中所述存储器设备进一步包括接口逻辑裸片及堆叠在所述接口逻辑裸片上方的至少一个存储器裸片。

6.根据权利要求5所述的存储器设备,其中所述接口逻辑裸片包含所述第一数据路径、所述第二数据路径及所述第一额外路径。

7.根据权利要求3所述的存储器设备,其中所述存储器设备进一步包括接口逻辑裸片

及堆叠在所述接口逻辑裸片上方的至少一个存储器裸片;且

其中所述接口逻辑裸片包含所述第一数据路径、所述第二数据路径、所述第三数据路径、所述第四数据路径、所述第一额外路径及所述第二额外路径。

8.根据权利要求5所述的存储器设备,其中所述第一内部电路包含多输入签名寄存器MISR。

9.根据权利要求5所述的存储器设备,其中所述第一内部电路包含线性反馈移位寄存器LFSR。

10.根据权利要求5所述的存储器设备,

其中所述至少一个存储器裸片包括第一及第二存储器阵列;

其中所述第一数据信号包括从所述第一存储器阵列读出的数据,且所述第二数据信号包括待写入于所述第一存储器阵列中的数据;且

其中所述第三数据信号包括从所述第二存储器阵列读出的数据,且所述第四数据信号包括待写入于所述第二存储器阵列中的数据。

11.根据权利要求1所述的存储器设备,其中所述第一额外路径在测试模式中被激活,且所述第五数据信号包括由所述第二内部电路产生的测试数据。

12.根据权利要求1所述的存储器设备,其中所述第一通道包含串行化器,所述串行化器经配置以在所述测试模式中通过所述读取数据选通多路复用器接收所述第二通道的所述第二时钟信号以对所述串行化器进行定速。

13.一种用于操作权利要求1中的所述存储器设备的方法,所述方法包括:

使所述存储器设备进入所述测试模式;

在所述测试模式的第一状态期间,在所述第一通道的第一数据端子处从耦合所述第一通道与所述第二通道的第一额外数据路径接收第一测试信息;且

其中所述存储器设备的接口电路包含所述第一数据路径及所述第一额外数据路径。

14.根据权利要求13所述的用于存储器设备的方法,其包含:

在所述测试模式的所述第一状态期间,在所述第一通道的多输入签名寄存器MISR处使用耦合到所述第一通道的所述第一数据端子的第二数据路径接收第一测试信息;及

在所述测试模式的所述第一状态期间,在所述第二通道的线性反馈移位寄存器LFSR处产生所述第一测试信息。

15.根据权利要求13所述的用于存储器设备的方法,其进一步包括:

在所述测试模式的第二状态期间,在所述第二通道的第二数据端子处从耦合所述第一通道与所述第二通道的第二额外数据路径接收第二测试信息;及

在所述测试模式的所述第二状态期间,在所述第二通道的多输入签名寄存器MISR处接收所述第二测试信息。

16.根据权利要求15所述的用于存储器设备的方法,其进一步包括在所述测试模式的所述第二状态期间在所述第一通道的线性反馈移位寄存器LFSR处接收所述第二测试信息。

17.根据权利要求15所述的用于存储器设备的方法,其进一步包括:

在所述测试模式的所述第一状态期间使用所述第一通道的读取数据多路复用器将所述第一额外数据路径耦合到所述第一数据路径;及

在所述测试模式的所述第一状态期间使用所述第一通道的所述读取数据多路复用器

将所述第一通道的存储器阵列与所述第一数据路径隔离。

18.根据权利要求15所述的用于存储器设备的方法,其进一步包括:

在所述测试模式的所述第二状态期间使用所述第二通道的读取数据多路复用器将所述第二额外数据路径耦合到第三数据路径,所述第三数据路径耦合到所述第二数据端子;及

在所述测试模式的所述第二状态期间使用所述第二通道的所述读取数据多路复用器将所述第二通道的存储器阵列与所述第三数据路径隔离。

19.根据权利要求15所述的用于存储器设备的方法,其进一步包括:

在所述测试模式的所述第一状态期间使用所述第一通道的读取数据选通多路复用器将所述第二通道的时钟信号耦合到所述第一通道的读取数据选通输出端子;及

在所述测试模式的所述第一状态期间使用所述第一通道的所述读取数据选通多路复用器将所述第一通道的时钟信号与所述第一通道的所述读取数据选通输出端子隔离。

20.根据权利要求15所述的用于存储器设备的方法,其进一步包括:

在所述测试模式的所述第二状态期间使用所述第二通道的读取数据选通多路复用器将所述第一通道的时钟信号耦合到所述第二通道的读取数据选通输出端子;及

在所述测试模式的所述第二状态期间使用所述第二通道的所述读取数据选通多路复用器将所述第二通道的时钟信号与所述第二通道的所述读取数据选通输出端子隔离。

半导体存储器装置

[0001] 优先权申请案

[0002] 本申请案主张2017年8月22日提出申请的第15/683,430号美国申请案的优先权权益,所述美国申请案以其全文引用方式并入本文中。

背景技术

[0003] 环回测试已用于评估大规模集成(LSI)电路的输入及输出(I/O)端子操作的操作。然而,对一些形式的存储器执行环回测试是困难的。举例来说,对于应用于组合到系统级封装(SIP)中的装置的非组件形式的存储器、具有大数目个I/O的存储器或高速存储器,此测试是困难的,因为难以在外面测试装备或外部测试板上进行配置。当存储器经配置用于SIP时,因为可存取性且因为外部I/O连接的大数目及密度,若干个存储器I/O无法经受经由外部测试装备进行直接测试。为提供可配置环回测试的测试装备,将需要SIP系统的不合意扩大及显著成本。此扩大将由提供与I/O端子的可靠物理连接性或由容纳额外端子或特殊电路系统以用于产生及收集所测试I/O电路的测试数据造成。

[0004] 对于例如高带宽存储器(HBM)的多个存储器系统,其中裸DRAM经堆叠且与存储器控制器一起安装于衬底(例如硅(Si)中介层)上,当到I/O的测试接口可包含直径为25μm的1280或更多个微凸块(μ凸块)时,可靠地配置及执行(举例来说)8通道经堆叠存储器子系统的探针测试是困难且资源昂贵的。

附图说明

[0005] 在图式(其未必按比例绘制)中,相似编号可在不同视图中描述类似组件。具有不同字母后缀的相似编号可表示类似组件的不同例子。图式大体上以实例方式而非限制方式图解说明本文件中所论述的各种实施例。

[0006] 图1A及1B大体上图解说明常规外部环回测试系统。

[0007] 图2A到2C大体上图解说明用于单半导体多通道存储器装置的两个通道的实例I/O逻辑电路,所述单半导体多通道存储器装置允许在无需芯片外数据路径的情况下对每一通道的I/O逻辑电路执行环回测试。

[0008] 图3大体上图解说明可装运到供应商以便集成到存储器系统中的实例存储器子系统。

[0009] 图4大体上图解说明实例存储器封装。

[0010] 图5A到5C大体上图解说明用于经堆叠多通道存储器子系统的两个通道的实例I/O逻辑电路,所述经堆叠多通道存储器子系统允许在无需电路外数据路径的情况下对每一通道的I/O逻辑电路执行环回测试。

[0011] 图6大体上图解说明用于在进行I/O环回测试时操作经堆叠存储器子系统的实例方法的流程图。

具体实施方式

[0012] 本发明解决用于提供集成电路封装的I/O电路的环回测试的设备及方法的问题，所述设备及方法可避免集成电路的扩大及/或昂贵的配接器以将I/O连接到外部测试装备。图1A大体上图解说明常规外部环回测试系统100。在实例中，测试系统100可包含：第一存储器电路101，其包含第一I/O电路111；第二存储器电路102，其包含第二I/O电路112；及外部测试板103。举例来说，可通过以下操作进行第一环回测试：从第一存储器电路101中的存储器阵列113提供数据；使用第一存储器电路101的I/O电路111将数据传输到外部测试板103；在第二存储器电路102的I/O电路112处从测试板103接收数据；使用第二存储器电路102的存储器阵列114保存数据；及将所产生数据与所保存数据进行比较以评估相应I/O电路111、112的操作。第二环回测试可产生测试数据并将测试数据从第二存储器电路102传递到第一存储器电路101。常规环回测试依赖于存储器电路101、102两者的功能性。

[0013] 图1B图解说明另一种常规外部环回测试系统100'，其可借助安装到母板105的存储器电路101执行环回测试。在此设置中，也安装到母板105的存储器控制器104可使用(举例来说)存储器电路101的I/O电路111的写入路径产生测试数据并将测试数据传输到存储器电路101。测试数据可存储于存储器电路101的特殊寄存器106中。测试数据可使用(举例来说)I/O电路111的读取路径传输回到存储器控制器104。接着可将所产生测试数据与从存储器I/O电路111所接收的测试数据进行比较以评估存储器I/O电路111的操作。在特定实例中，环回测试系统100可使用特殊寄存器106来存储测试数据，使得存储器阵列113的操作不影响I/O电路111的测试。

[0014] 图2A到2C大体上图解说明用于多通道单半导体存储器芯片210的两个通道251、252的实例I/O逻辑电路，多通道单半导体存储器芯片210允许在无需芯片外数据路径(例如，上文关于图1A及1B所论述的数据路径)的情况下对每一通道的I/O逻辑电路254、255执行环回测试。在特定实例中，每一通道251、252的I/O逻辑电路254、255可包含与微凸块、接合垫、引脚、端子或类似者相关联的外部连接，例如时钟端子(CLK)、一或多个命令及地址端子(CMD/ADDR)、写入数据选通输入(WDQS)、读取数据选通输出(RDQS)及一或多个数据端子(DQ)。每一通道251、252的I/O逻辑电路254、255可进一步包含：任选时钟产生器230、240；命令解码器231、241；数据串行化器232、242；数据解串行化器233、243；控制器(未展示)；及若干个缓冲器(Δ)。每一逻辑电路可耦合到存储器阵列213、253。与用于多通道存储器系统的常规I/O逻辑电路不同，实例I/O逻辑电路254、255可各自包含：多功能寄存器系统234、244；一或多个串行输出端子235、245；读取先进先出缓冲器236、246；读取数据选通多路复用器237、247；读取数据多路复用器238、248；及额外通道互连239，以允许对每一通道251、252的逻辑电路254、255进行环回测试。在特定实例中，存储器接口电路212可包含I/O逻辑电路254、255。

[0015] 在特定实例中，每一通道251、252的多功能寄存器系统234、244可耦合到所述通道的对应存储器阵列213、253的数据总线。在一些实例中，多功能寄存器系统234、244可包含线性反馈移位寄存器(LFSR)、多输入签名寄存器(MISR)或其组合。

[0016] 一般来说，通道0可包含：第一数据路径261，其用于经由数据信号将信息(举例来说)从例如多功能寄存器系统234或存储器阵列213的内部电路移动到通道0的数据端子(DQ)；及第二数据路径262，其用于经由数据信号将信息(举例来说)从数据端子(DQ)移动到

内部电路。第二数据路径262可用于(举例来说)将信息移动到通道0的存储器阵列213,因为在特定实例中,存储器阵列213的数据总线可形成内部电路的一部分。此操作可为对通道0存储器阵列213的写入操作的一部分。第一数据路径261可用于(举例来说)从通道0的存储器阵列213读取信息。

[0017] 类似地,通道1可包含:第三数据路径263,其用于经由数据信号(举例来说)将信息从通道1的内部电路移动到通道1的数据端子;及第四数据路径264,其用于将信息从通道1的数据端子移动到通道1的内部电路。第三数据路径263可用于(举例来说)从通道1的存储器阵列253读取信息,因为在特定实例中,存储器阵列253的数据总线可形成通道1的内部电路的一部分。第四数据路径264可用于(举例来说)将信息写入到通道1的存储器阵列253。

[0018] 图2B大体上图解说明:实例I/O逻辑电路254、255,其用于多通道单半导体存储器芯片210的两个通道251、252;及数据路径261到264,其用于在每一通道251、252的数据端子与内部电路之间传递或运送数据,以及在第一通道(在此实例中,通道0(251))的I/O逻辑电路的环回测试期间在两个通道之间传递或运送测试数据。在通道0(251)的环回测试期间,可启用第一额外数据路径265以在第一数据路径261与通道1的内部电路之间移动信息。在特定实例中,在通道0的环回测试期间,通道1的内部电路可产生测试信息,且可使用信号及第一额外数据路径265以还经由第一数据路径261将测试信息从通道1的内部电路移动到通道0的数据端子(DQ)。另外,第二数据路径262可将测试信息从通道0的数据端子(DQ)移动到通道0的内部电路。在通道0的环回测试期间,通道1的内部电路的寄存器244可包含LFSR以产生测试信息,且通道0的寄存器234可包含MISR以接收测试数据。在特定实例中,可使用额外通道互连239中的一或多者并选择通道0(251)的读取数据多路复用器238的适当路径来形成或激活第一额外数据路径265。在特定实例中,可将由LFSR产生的测试信息及在MISR处接收的测试信息供应到外部测试装备以进行比较及分析。在特定实例中,每一I/O逻辑电路254、255的串行测试输出235、245可用于将对应测试信息供应到外部测试装备。在一些实例中,串行测试输出235、245可根据例如JTAG或IEEE标准1500(P1500)等标准提供测试信息。

[0019] 在特定实例中,来自通道1(252)的时钟信号可经多路复用以不仅施加于通道1的读取数据选通输出(RDQS)上,而且还施加于通道0的读取数据选通输出(RDQS)上。可通过选择穿过每一读取数据选通多路复用器237、247的适当路径来形成此时钟路径。此时钟信号可在通道0的环回测试期间对信息的移动进行定速。

[0020] 总之,对于特定实例,用于通道0(251)的I/O逻辑电路254的环回测试的测试数据的流动可在通道1(252)的寄存器244处开始且前进通过以下元件及路径:从通道1到通道0的额外数据路径265;经由串行化器232的数据路径261;通道0的数据端子(DQ);经由通道0的解串行化器233及寄存器234的数据路径262。另外,来自通道1的时钟信号可经由额外通道互连239的额外时钟路径流动,以对通道0的串行化器232进行定速。在通道0的写入数据选通输入(WDQS)处接收的时钟信号可对通道0的解串行化器233进行定速。

[0021] 图2C大体上图解说明:实例I/O逻辑电路254、255,其用于多通道单半导体存储器芯片210的两个通道251、252;及数据路径261到264,其用于在每一通道251、252的数据端子与内部电路之间传递数据,以及在第一通道(在此实例中,通道1(252))的I/O逻辑电路的环回测试期间在两个通道之间传递测试数据。在通道1(252)的环回测试期间,可启用第二额外数据路径266以在通道0的内部电流与通道1的内部电路之间移动信息。在特定实例中,在

通道1的环回测试期间，通道0的内部电路可产生测试信息，且可使用信号及第二额外数据路径266以以还经由第三数据路径263将测试信息从通道0的内部电路移动到通道1的数据端子(DQ)。另外，第四数据路径264可将测试信息从通道1的数据端子(DQ)移动到通道1的内部电路。在通道1的环回测试期间，通道0的内部电路的寄存器234可包含LFSR以产生测试信息，且通道1的寄存器244可包含MISR以接收测试数据。在特定实例中，可使用额外通道互连239中的一或多者并选择通道1(252)的读取数据多路复用器248的适当路径来形成或激活第二额外数据路径266。在特定实例中，可将由LFSR产生的测试信息及在MISR处接收的测试信息供应到外部测试装备以进行比较及分析。在特定实例中，每一I/O逻辑电路254、255的串行测试输出235、245可用于将对应测试信息供应到外部测试装备。在一些实例中，串行测试输出235、245可根据例如JTAG或IEEE标准1500(P1500)的标准提供测试信息。

[0022] 在特定实例中，来自通道0(251)的时钟信号可经多路复用以不仅施加于通道0的读取数据选通输出(RDQS)上，且还施加于通道1的读取数据选通输出(RDQS)上。可通过选择穿过每一读取数据选通多路复用器237、247的适当路径来形成此时钟路径。此时钟信号可在通道1的环回测试期间对信息的移动进行定速。

[0023] 总之，对于特定实例，用于通道1(252)的I/O逻辑电路255的环回测试的测试数据的流动可在通道0(251)的寄存器234处开始且前进通过以下元件及路径：从通道0到通道1的额外数据路径266；经由串行化器242的数据路径263；通道1的数据端子(DQ)；经由通道1的解串行化器243及寄存器244的数据路径264。另外，来自通道0的时钟信号可经由额外通道互连239的额外时钟路径流动，以对通道1的串行化器242进行定速。在通道1的写入数据选通输入(WDQS)处接收的时钟信号可对通道1的解串行化器243进行定速。

[0024] 在特定实例中，且如在图2B及2C的实例中可观察到，可在多通道单半导体存储器芯片210外部没有数据环回路径的情况下实现多通道单半导体存储器芯片210的I/O电路的环回测试。另外，举例来说，在存储器子系统210具有极少物理扩展或没有物理扩展的情况下，可将用以提供额外数据路径265、266的所添加迹线及逻辑电路并入于多通道单半导体存储器芯片210的存储器接口电路212中。

[0025] 在特定实例中，在非测试模式期间，读取数据多路复用器238、248可隔离额外数据路径265、266以免在通道0与通道1之间交换数据。在测试模式期间，通道0的读取数据多路复用器238可将通道1的存储器阵列与第三数据路径263隔离，且通道1的读取数据多路复用器248可将通道0的存储器阵列与第一数据路径261隔离。

[0026] 图3大体上图解说明可装运到供应商以便集成到存储器系统中的实例存储器子系统310。存储器子系统310可包含存储器电路311或存储器裸片的堆叠，及存储器接口电路312。在特定实例中，每一存储器电路/裸片311可包含多存储器阵列313。一或多个存储器阵列313可与存储器子系统310的相应通道(通道A到H)相关联。在特定实例中，存储器子系统可包含高带宽存储器(HBM)(其可具有多种形式，其中可从美光科技公司购得的混合存储器立方体且根据来自混合存储器立方体联盟的一或多个规范)、宽I/O(WIO)存储器或例如双倍数据速率型五同步图形随机存取存储器(GDDR5X)的高速存储器。此等技术可包含或可用于提供多通道存储器电路。在特定实例中，与单通道存储器电路相比，多通道存储器电路可独立于其它通道使用每一通道，且可导致存储器带宽的大幅增加。所图解说明的存储器子系统310包含可独立操作以存取存储器阵列313的八个通道(通道A到H)。在一些实例中，存

储器接口电路312包含促进对堆叠于其上的存储器电路311的控制及/或管理的逻辑功能性。举例来说，在非测试模式中，存储器接口电路312可提供接口电路系统以从存储器控制器接收控制信息且使用独立通道(通道A到H)在存储器阵列313与外部电路之间移动非测试信息。如本文中所描述，存储器接口电路312还可经结构化以达成存储器接口电路313的测试模式操作，如下文所论述。

[0027] 图4大体上图解说明实例存储器封装420。在特定实例中，所述存储器封装可包含封装衬底421、中介层422、存储器控制器423、存储器子系统410及壳体424。封装衬底421可提供基础结构，存储器封装420的其它组件可安装于所述基础结构上。封装衬底421还可提供到外部组件的电连接。中介层422可在封装衬底421与存储器子系统410及存储器控制器423中的每一者之间提供外部信号路由。中介层422还可在存储器控制器423与存储器子系统410之间提供内部信号路由。壳体424可保护存储器封装420的组件。存储器子系统410可包含存储器电路411的堆叠及存储器接口电路412。在特定实例中，可使用穿硅(或衬底)导通体426(TSV)或连接引脚在经堆叠电路之间传递信号。可使用微凸块427以电方式及机械方式将每一电路安装到邻近电路或中介层422。

[0028] 接收存储器子系统410的供应商可将存储器子系统410集成到存储器封装420中，存储器封装420可包含存储器控制器423、中介层422、封装衬底421及壳体424。在特定实例中，存储器子系统410的存储器接口电路可包含若干个微凸块427以用于与中介层420介接。在实例中，可将通道的微凸块427指派用于数据、列命令/地址、行命令/地址、数据总线反转、数据掩码/错误检查、选通、时钟及时钟启用。对于8通道存储器子系统，存储器接口电路412可包含1280或更多个微凸块427。由于微凸块427的大小及密度，出于测试模式目的与存储器子系统410的I/O电路介接可为困难且昂贵的。应理解，对于多通道存储器子系统的不同实施方案，每通道的微凸块的不同数目是可能的，且此等子系统在本发明标的物的范围内。

[0029] 本发明标的物提供用于在不增加存储器子系统410的大小或不依赖于昂贵测试装备以与存储器接口电路412的微凸块427介接的情况下实施存储器子系统410的I/O电路测试的设备及方法。

[0030] 图5A到5C大体上图解说明用于多通道存储器子系统510的两个通道551、552的实例I/O逻辑电路，多通道存储器子系统510允许在不需要例如上文关于图1A及1B所论述的数据路径的电路外数据路径的情况下对每一通道的I/O逻辑电路554、555执行环回测试。在特定实例中，每一通道551、552的I/O逻辑电路554、555可包含：与微凸块527(描绘为圆圈)或探针垫508(描绘为正方形)相关联的外部连接，例如时钟端子(CLK)、一或多个命令及地址端子(CMD/ADDR)、写入数据选通输入(WDQS)、读取数据选通输出(RDQS)及一或多个数据端子(DQ)。在特定实例中，探针垫508可由测试装备590经由测试板上的衬底591用于提供信号到多通道存储器子系统510。每一通道551、552的I/O逻辑电路554、555可进一步包含：任选时钟产生器530、540；命令解码器531、541；数据串行化器532、542；数据解串行化器533、543；控制器(未展示)；及若干个缓冲器(Δ)。每一逻辑电路可耦合到一或多个存储器装置511的存储器阵列513、553。与用于多通道存储器系统的常规I/O逻辑电路不同，实例I/O逻辑电路554、555可各自包含：多功能寄存器系统534、544；一或多个串行输出端子535、545；读取先进先出缓冲器536、546；读取数据选通多路复用器537、547；读取数据多路复用器

538、548;及额外通道互连539,以允许对每一通道551、552的逻辑电路554、555进行环回测试。在特定实例中,存储器接口电路512可包含I/O逻辑电路554、555。在特定实例中,存储器阵列513、553可与存储器接口电路512堆叠。在此等实例中,穿硅导通体(TSV)526可提供导体以用于在存储器阵列513、553与存储器接口电路512的I/O逻辑电路554、555之间传递信号。

[0031] 在特定实例中,每一通道551、552的多功能寄存器系统534、544可耦合到所述通道的对应存储器阵列513、553的数据总线。在一些实例中,多功能寄存器系统534、544可包含线性反馈移位寄存器(LFSR)、多输入签名寄存器(MISR)或其组合。

[0032] 一般来说,通道0可包含:第一数据路径561,其用于经由数据信号将信息(举例来说)从例如多功能寄存器系统534或存储器阵列513等内部电路移动到通道0的数据端子(DQ);及第二数据路径562,其用于经由数据信号将信息(举例来说)从数据端子(DQ)移动到内部电路。第二数据路径562可用于(举例来说)将信息移动到通道0的存储器阵列513,因为在特定实例中,存储器阵列513的数据总线可形成内部电路的一部分。此操作可为对通道0存储器阵列513的写入操作的一部分。第一数据路径561可用于(举例来说)从通道0的存储器阵列513读取信息。

[0033] 类似地,通道1可包含:第三数据路径563,其用于经由数据信号(举例来说)将信息从通道1的内部电路移动到通道1的数据端子;及第四数据路径564,其用于将信息从通道1的数据端子移动到通道1的内部电路。第三数据路径563可用于(举例来说)从通道1的存储器阵列553读取信息,因为在特定实例中,存储器阵列553的数据总线可形成通道1的内部电路的一部分。第四数据路径564可用于(举例来说)将信息写入到通道1的存储器阵列553。

[0034] 图5B大体上图解说明:实例I/O逻辑电路554、555,其用于多通道单半导体存储器芯片510的两个通道551、552;及数据路径561到564,其用于在每一通道551、552的数据端子与内部电路之间传递数据,以及在第一通道(在此实例中,通道1(552))的I/O逻辑电路的环回测试期间传递测试数据。在通道1(552)的环回测试期间,可启用第二额外数据路径566以在通道0的内部电流与通道1的内部电路之间移动信息。在特定实例中,在通道1的环回测试期间,通道0的内部电路可产生测试信息,且可使用信号及第二额外数据路径566以还经由第三数据路径563将测试信息从通道0的内部电路移动到通道1的数据端子(DQ)。另外,第四数据路径564可将测试信息从通道1的数据端子(DQ)移动到通道1的内部电路。在通道1的环回测试期间,通道0的内部电路的寄存器534可包含LFSR以产生测试信息,且通道1的寄存器544可包含MISR以接收测试数据。在特定实例中,可使用额外通道互连539中的一或多者并选择通道1(552)的读取数据多路复用器548的适当路径来形成或激活第二额外数据路径566。在特定实例中,可将由LFSR产生的测试信息及在MISR处接收的测试信息供应到外部测试装备以进行比较及分析。在特定实例中,每一I/O逻辑电路554、555的串行测试输出535、545可用于将对应测试信息供应到外部测试装备。在一些实例中,串行测试输出535、545可根据例如JTAG或IEEE标准1500(P1500)的标准提供测试信息。

[0035] 在特定实例中,来自通道0(551)的时钟信号可经多路复用以不仅施加于通道0的读取数据选通输出(RDQS)上,且还施加于通道1的读取数据选通输出(RDQS)上。可通过选择穿过每一读取数据选通多路复用器537、547的适当路径来形成此时钟路径。此时钟信号可在通道1的环回测试期间对信息的移动进行定速。

[0036] 总之，对于特定实例，用于通道0(551)的I/O逻辑电路554的环回测试的测试数据的流动可在通道1(552)的寄存器544处开始，并前进穿过以下元件及路径：从通道1到通道0的额外数据路径565；经由串行化器532的数据路径561；通道0的数据端子(DQ)；经由通道0的解串行化器533及通道0的寄存器534的数据路径562。另外，来自通道1的时钟信号可经由额外通道互连539的额外时钟路径流动，以对通道0的串行化器532进行定速。在通道0的写入数据选通输入(WDQS)处接收的时钟信号可对通道0的解串行化器533进行定速。

[0037] 图5C大体上图解说明：实例I/O逻辑电路554、555，其用于多通道子系统510的两个通道551、552；及数据路径561-564，其用于在数据端子与每一通道551、552的内部电路之间传递或运送数据，以及在第一通道(在此实例中，通道0(551))的I/O逻辑电路的环回测试期间在两个通道之间传递或运送测试数据。在通道0(551)的环回测试期间，可启用第一额外数据路径565以在第一数据路径561与通道1的内部电路之间移动信息。在特定实例中，在通道0的环回测试期间，通道1的内部电路可产生测试信息，且可使用信号及第一额外数据路径365以还经由第一数据路径561将测试信息从通道1的内部电路移动到通道0的数据端子(DQ)。另外，第二数据路径562可将测试信息从通道0的数据端子(DQ)移动到通道0的内部电路。在通道0的环回测试期间，通道1的内部电路的寄存器544可包含LFSR以产生测试信息，且通道0的寄存器534可包含MISR以接收测试数据。在特定实例中，可使用额外通道互连539中的一或多者并选择通道0(551)的读取数据多路复用器538的适当路径来形成或激活第一额外数据路径565。在特定实例中，可将由LFSR产生的测试信息及在MISR处接收的测试信息供应到外部测试装备以进行比较及分析。在特定实例中，每一I/O逻辑电路554、555的串行测试输出535、545可用于将对应测试信息供应到外部测试装备。在一些实例中，串行测试输出535、545可根据例如JTAG或IEEE标准1500(P1500)的标准提供测试信息。

[0038] 在特定实例中，来自通道1(552)的时钟信号可经多路复用以不仅施加于通道1的读取数据选通输出(RDQS)上，且还施加于通道0的读取数据选通输出(RDQS)上。可通过选择穿过每一读取数据选通多路复用器537、547的适当路径来形成此时钟路径。此时钟信号可在通道0的环回测试期间对信息的移动进行定速。

[0039] 总之，对于特定实例，用于通道1(552)的I/O逻辑电路555的环回测试的测试数据的流动可在通道0(551)的寄存器534处开始，并前进穿过以下元件及路径：从通道0到通道1的额外数据路径566；经由串行化器542的数据路径563；通道1的数据端子(DQ)；经由通道1的解串行化器543及寄存器544的数据路径564。另外，来自通道0的时钟信号可经由额外通道互连539的额外时钟路径流动，以对通道1的串行化器542进行定速。在通道1的写入数据选通输入(WDQS)处接收的时钟信号可对通道1的解串行化器543进行定速。

[0040] 在特定实例中，且如在图5B及图5C的实例中可观察到，可在没有经堆叠存储器子系统510外部的数据环回路径的情况下实现经堆叠存储器子系统510的I/O电路的环回测试。另外，举例来说，在存储器子系统510具有很少物理扩展或没有物理扩展的情况下，可将用以提供额外数据路径565、566的所添加迹线及逻辑电路并入于存储器子系统510的存储器接口电路512中。

[0041] 在特定实例中，在非测试模式期间，读取数据多路复用器538、548可隔离额外数据路径565、566以免在通道0与通道1之间交换数据。在测试模式期间，通道0的读取数据多路复用器538可将通道1的存储器阵列与第三数据路径563隔离，且通道1的读取数据多路复用

器548可将通道0的存储器阵列与第一数据路径561隔离。

[0042] 图6大体上图解说明用于操作多通道存储器电路的实例方法600的流程图。方法600可包含执行I/O环回测试。在601处，存储器设备可在通道数据端子与通道存储器阵列之间移动非测试信息。在特定实例中，可使用存储器设备的八个独立通道的数据路径将非测试数据存储于存储器阵列上并从存储器阵列检索非测试数据。在特定实例中，存储器设备可包含如上文关于图2A到2C所论述的单个半导体存储器设备。在特定实例中，存储器设备可包含如上文关于图3、4及5A到5C所论述的经堆叠存储器设备。此步骤601可为任选的且因此被忽略，或可在步骤605之后执行。

[0043] 在603处，在第一通道的I/O电路的测试模式期间，可在第一通道的数据端子处从额外数据路径接收测试信息，所述额外数据路径将第一通道耦合到另一第二通道。在特定实例中，第一通道的读取数据多路复用器可用于经由第一通道的第一数据路径及经堆叠存储器设备的第一额外数据路径将数据路由到第一通道的数据端子。在特定实例中，经堆叠存储器设备的额外数据路径可耦合到存储器设备的通道中的至少一者的数据总线。在一些实例中，可在经堆叠存储器设备的存储器接口电路上物理地实施额外数据路径。在特定实例中，可在第二通道处使用LFSR产生测试数据。

[0044] 在605处，可在第一通道的寄存器处经由第一通道的第二数据路径从第一通道的数据端子接收测试数据。在特定实例中，所述寄存器可为MISR。在特定实例中，可在第一通道的读取数据选通端子处接收从第二通道接收的读取时钟信号。所述读取时钟信号可用于对所述测试数据的移动(举例来说，测试数据穿过第一通道的数据路径的串行化器的移动)进行定速。在特定实例中，在第一通道的I/O电路的测试模式期间，可在第一通道的写入数据选通端子处接收写入时钟信号。所述写入时钟信号可用于对所述测试数据的移动进行定速。举例来说，所述写入时钟信号可经由第一通道的数据路径的解串行化器对从第一通道的数据端子到MISR的测试数据的移动进行定速。

[0045] 在特定实例中，经堆叠存储器子系统的多个额外数据路径可耦合若干对通道，以允许每一通道的I/O电路测试，而无需外部测试板来提供测试数据的环回测试路径。在经堆叠存储器子系统内提供额外数据路径可消除对昂贵装备的需要，同时增加包含显著数目个微凸块I/O连接的经堆叠存储器子系统的I/O测试可靠性。

[0046] 额外注释

[0047] 以上实施方式包含对形成实施方式的一部分的附图的参考。所述图式以图解说明的方式展示其中可实践本发明的具体实施例。这些实施例在本文中还称为“实例”。此等实例可包含除所展示或所描述的那些元件之外的元件。然而，本发明人还预期其中仅提供所展示或所描述的那些元件的实例。此外，本发明人还预期使用关于特定实例(或其一或多个方面)或关于本文中所展示或所描述的其它实例(或其一或多个方面)所展示或所描述的那些元件的任何组合或排列的实例(或其一或多个方面)。

[0048] 此文件中所提及的所有公开案、专利及专利文件以全文引用方式并入本文中，好像个别地以引用方式并入。在此文件与以引用方式并入的那些文件之间存在使用不一致的情况下，应将所并入的参考文献的使用视为对此文件的使用的补充；对于不可调和的不一致性，以此文件的使用为准。

[0049] 在此文件中，如在专利文件中常见，使用术语“一(a或an)”来包含一个或一个以

上，此独立于“至少一个”或“一或多个”的任何其它例子或使用。在此文件中，除非另有指示，否则使用术语“或”来指代非排他性，或使得“A或B”包含“A但非B”、“B但非A”及“A及B”。在所附权利要求书中，将术语“包含(including)”及“其中(in which)”用作相应术语“包括(comprising)”及“其中(wherein)”的普通英语等效形式。同样，在所附权利要求书中，术语“包含(including)”及“包括(comprising)”是开放式的，也就是说，包含除列于权利要求中的此术语之后的那些元件以外的元件的系统、装置、物品或过程仍被视为归属于所述权利要求的范围内。此外，在所附权利要求书中，术语“第一”、“第二”及“第三”等仅用作标记，且并不打算对其对象施加数字要求。

[0050] 在各种实例中，本文所描述的组件、控制器、处理器、单元、引擎或表格除其它之外还可包含存储于物理装置上的物理电路系统或固体。如本文中所使用，“处理器”意指任何类型的计算电路，例如(但不限于)微处理器、微控制器、图形处理器、数字信号处理器(DSP)或任何其它类型的处理器或处理电路，包含处理器或多核装置的群组。

[0051] 根据本发明并在本文中所描述的各种实施例包含利用存储器单元的垂直结构(例如，存储器单元的NAND串)的存储器。如本文所使用，将相对于在其上形成存储器单元的衬底的表面采用方向性形容词(即，垂直结构将被视为远离衬底表面延伸，所述垂直结构的底端将被视为最接近所述衬底表面的端部，且所述垂直结构的顶端将被视为距离所述衬底表面最远的端部)。

[0052] 如本文所使用，除非另有说明，否则例如水平的(horizontal)、垂直的(vertical)、法向的(normal)、平行的(parallel)、正交的(perpendicular)等方向形容词可指相对定向，并且不打算要求严格遵守特定的几何性质。举例来说，如本文中所使用，垂直结构无需严格正交于衬底的表面，而是可替代地大体上正交于衬底的表面，并且可与所述衬底的表面形成锐角(例如，介于60度与120度之间等)。

[0053] 将理解，当将元件称为“在”另一元件“上”、“连接到”另一元件或“与”另一元件“耦合”时，其可直接在另一元件上、与另一元件连接或耦合，或可存在介入元件。相比来说，当将元件称为“直接在”另一元件“上”、“直接连接到”另一元件或“与”另一元件“直接耦合”时，不存在介入元件或层。如果两个元件在图式中经展示具有连接所述两个元件的线，那么除非另有说明，否则所述两个元件可耦合或直接耦合。

[0054] 本文中所描述的方法实例可为至少部分地机器或计算机实施的。一些实例可包含用指令编码的计算机可读媒体或机器可读媒体，所述指令可操作以配置电子装置以执行如以上实例中所描述的方法。此等方法的实施方案可包含代码，例如微代码、汇编语言代码、较高阶语言代码及类似者。此代码可包含计算机可读指令以用于执行各种方法。所述代码可形成计算机程序产品的部分。此外，所述代码可例如在执行期间或在其它时间有形地存储于一或多个易失性或非易失性有形计算机可读媒体上。这些有形计算机可读媒体的实例可包含但不限于硬盘、可装卸磁盘、可装卸光盘(例如，压缩盘及数字视盘)、磁带盒、存储卡或存储条、随机存取存储器(RAM)、只读存储器(ROM)及类似者。

[0055] 上文说明打算为说明性而非限制性的。举例来说，上文所描述的实例(或其一或多个方面)可以彼此组合方式使用。例如，所属领域的技术人员可在审阅以上说明后即刻使用其它实施例。此外，在以上具体实施方式中，各种特征可分组在一起以简化本发明。此不应解释为意指未主张的所揭示特征对任一权利要求为必要的。而是，发明性标的物可在于少

于特定所揭示实施例的所有特征。因此，以下权利要求在此并入到具体实施方式中，其中每一权利要求自身作为单独实施例，并且预期此等实施例可以各种组合或排列方式彼此组合。本发明的范围应参考所附权利要求书连同授权于此等权利要求的等效物的整个范围一起来确定。

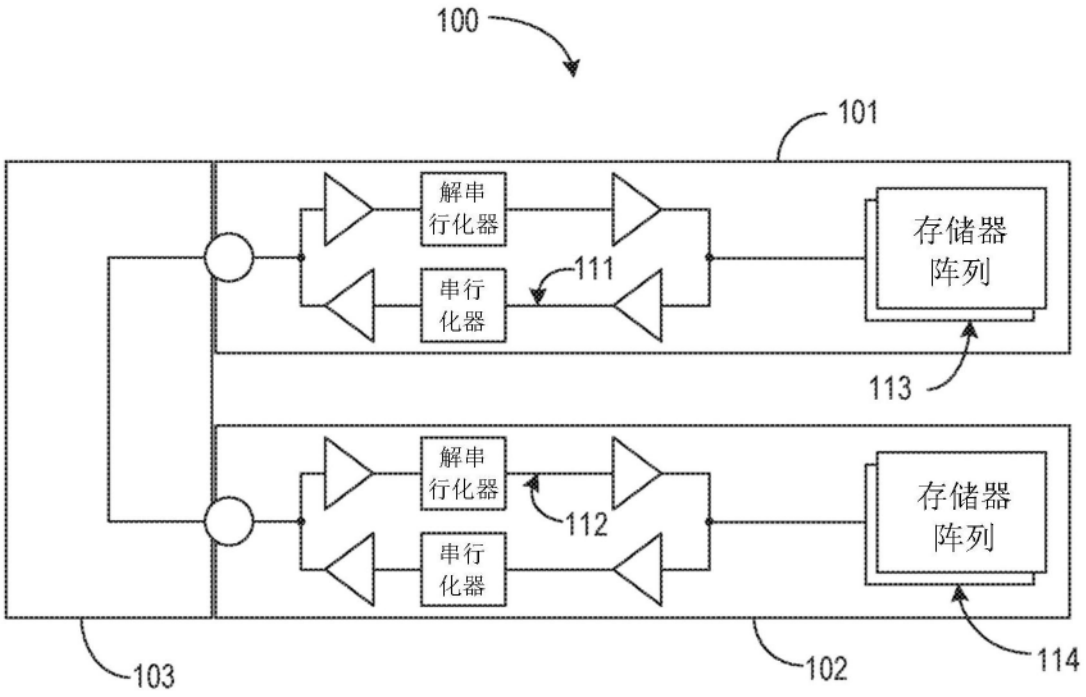


图1A(现有技术)

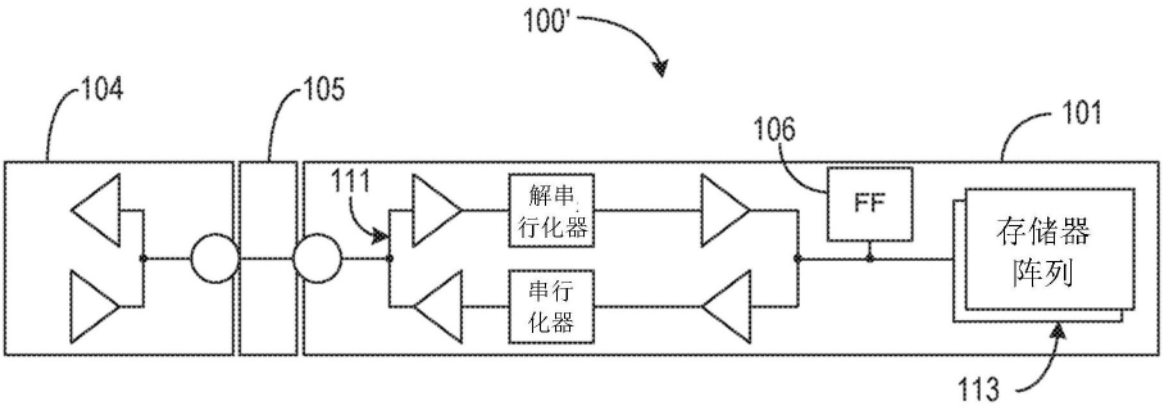


图1B(现有技术)

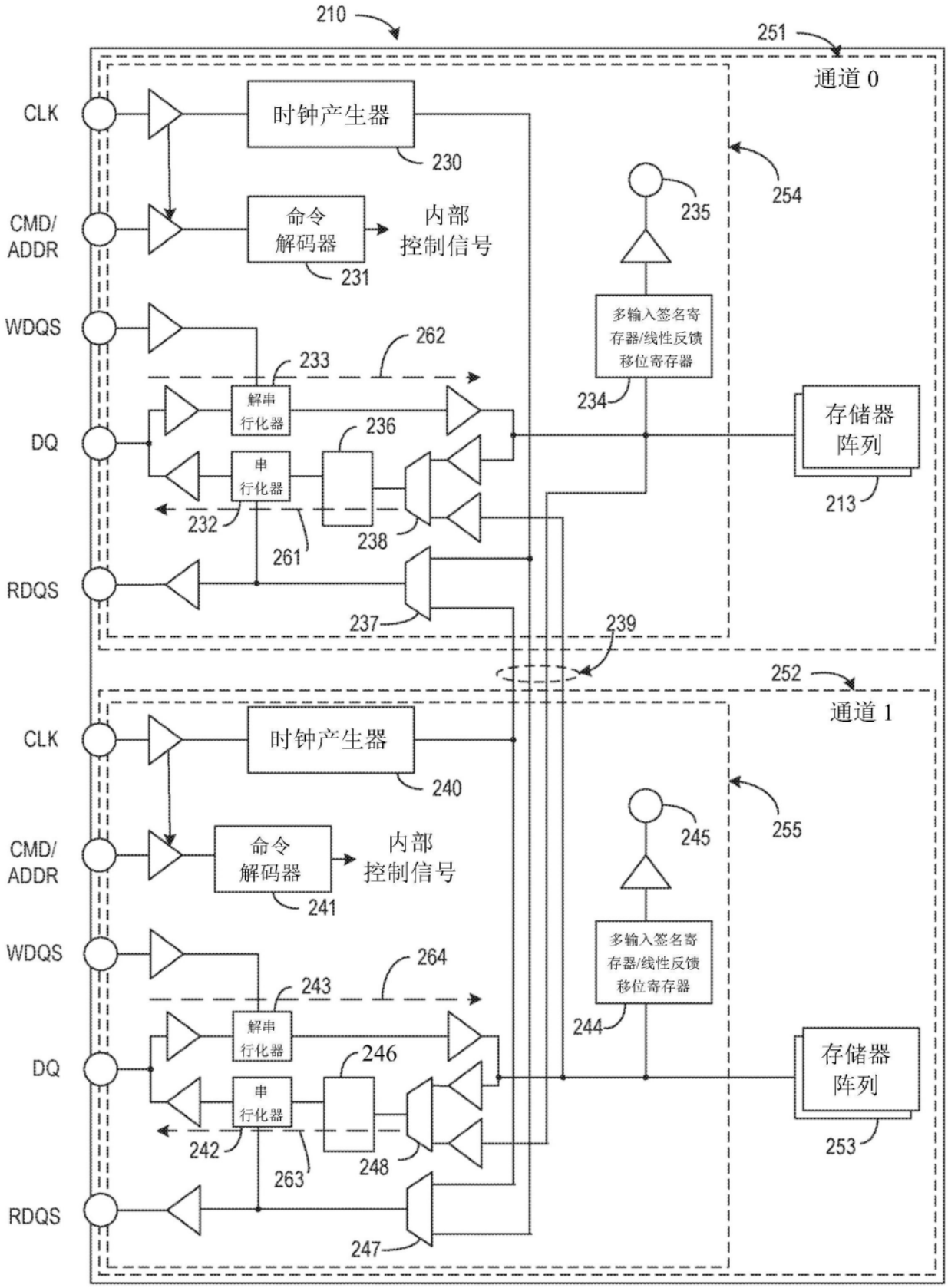

210
251
通道 0
CLK
时钟产生器
230
CMD/
ADDR
命令
解码器
231
内部
控制信号
WDQS
DQ
RDQS
233
262
解串
行化器
串
行化器
232
261
236
238
237
235
254
多输入签名寄
存器/线性反馈
移位寄存器
234
存储器
阵列
213
239
252
通道 1
CLK
时钟产生器
240
CMD/
ADDR
命令
解码器
241
内部
控制信号
WDQS
DQ
RDQS
243
264
解串
行化器
串
行化器
242
263
246
248
247
245
255
多输入签名寄
存器/线性反馈
移位寄存器
244
存储器
阵列
253

图2A

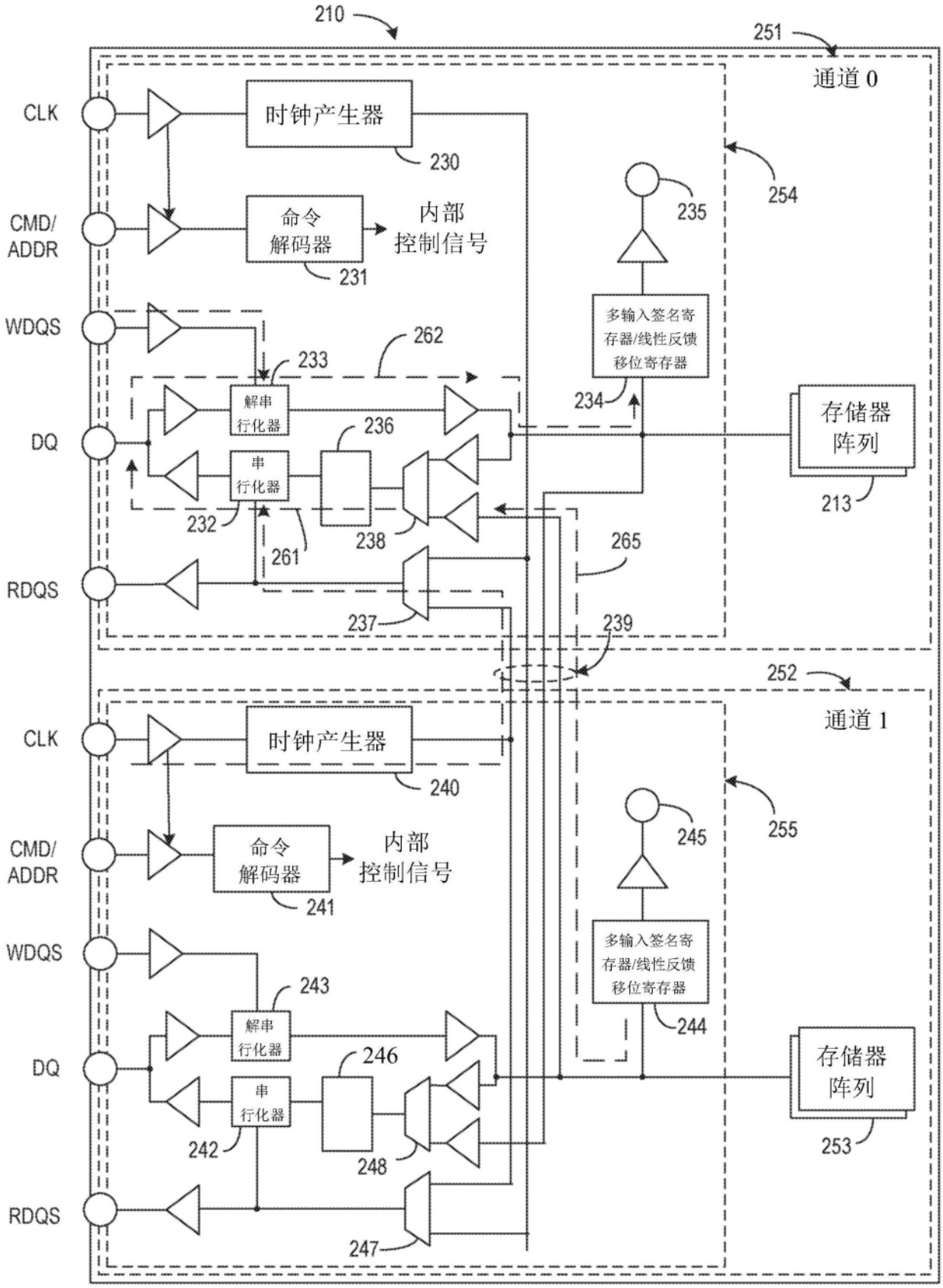

210
251
通道 0
CLK
时钟产生器
230
CMD/
ADDR
命令
解码器
内部
控制信号
231
WDQS
DQ
RDQS
233
262
解串
行化器
串
行化器
232
261
236
238
235
254
多输入签名寄
存器/线性反馈
移位寄存器
234
存储器
阵列
213
265
237
239
252
通道 1
CLK
时钟产生器
240
CMD/
ADDR
命令
解码器
内部
控制信号
241
WDQS
DQ
RDQS
243
解串
行化器
串
行化器
242
246
248
247
245
255
多输入签名寄
存器/线性反馈
移位寄存器
244
存储器
阵列
253

图2B

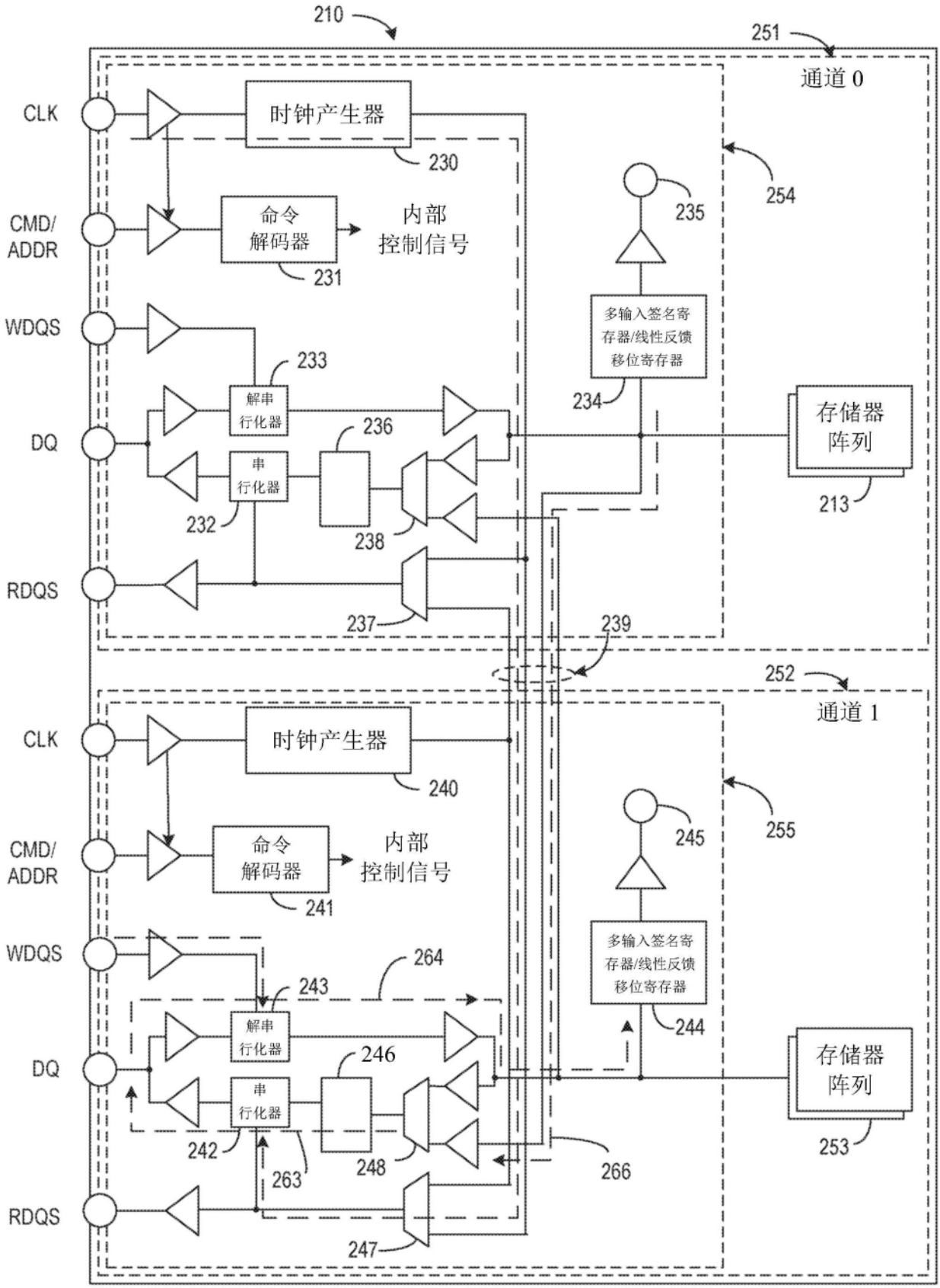

210
251
通道 0
CLK
时钟产生器
230
CMD/
ADDR
命令
解码器
内部
控制信号
231
235
254
WDQS
多输入签名寄
存器/线性反馈
移位寄存器
234
233
解串
行化器
DQ
236
存储器
阵列
213
串
行化器
232
238
RDQS
237
239
252
通道 1
CLK
时钟产生器
240
CMD/
ADDR
命令
解码器
内部
控制信号
241
245
255
WDQS
264
243
多输入签名寄
存器/线性反馈
移位寄存器
244
解串
行化器
DQ
246
存储器
阵列
253
串
行化器
242
263
248
266
RDQS
247

图2C

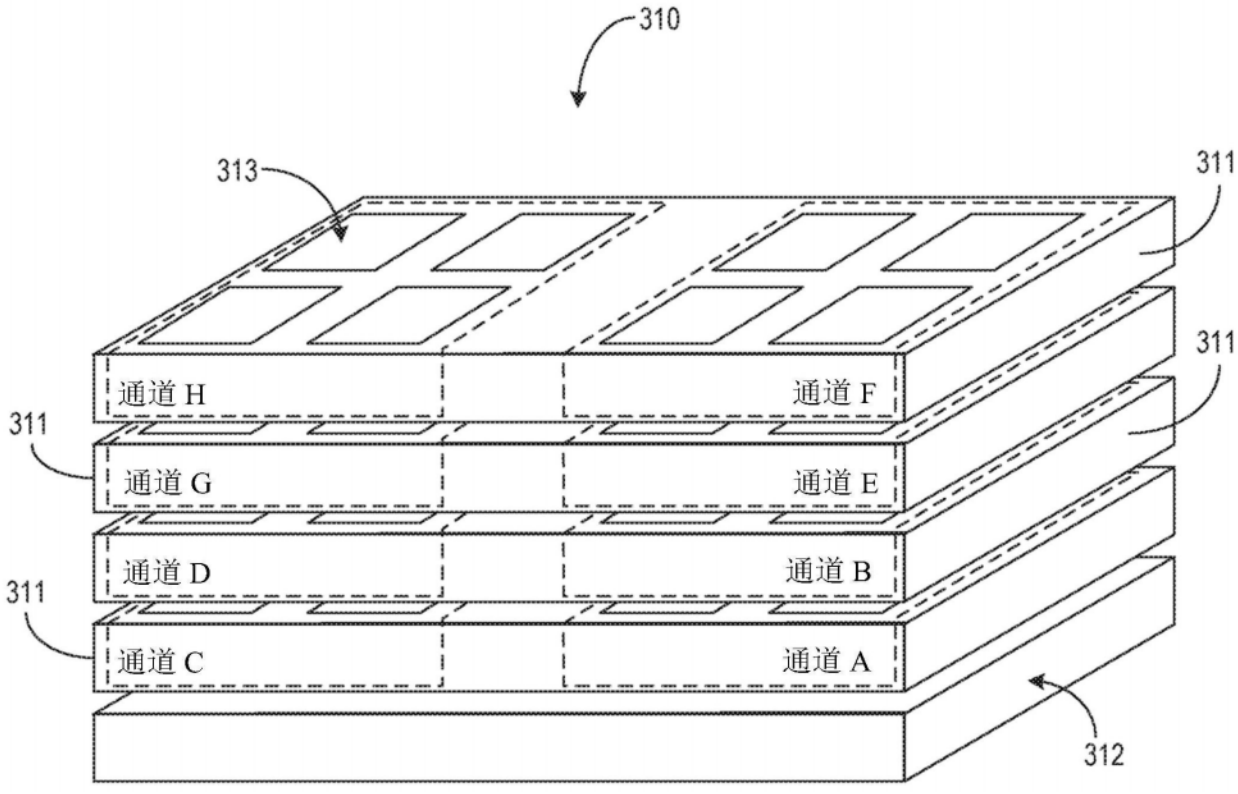

310
313
311
311
311
311
通道 H
通道 F
通道 G
通道 E
通道 D
通道 B
通道 C
通道 A
312

图3

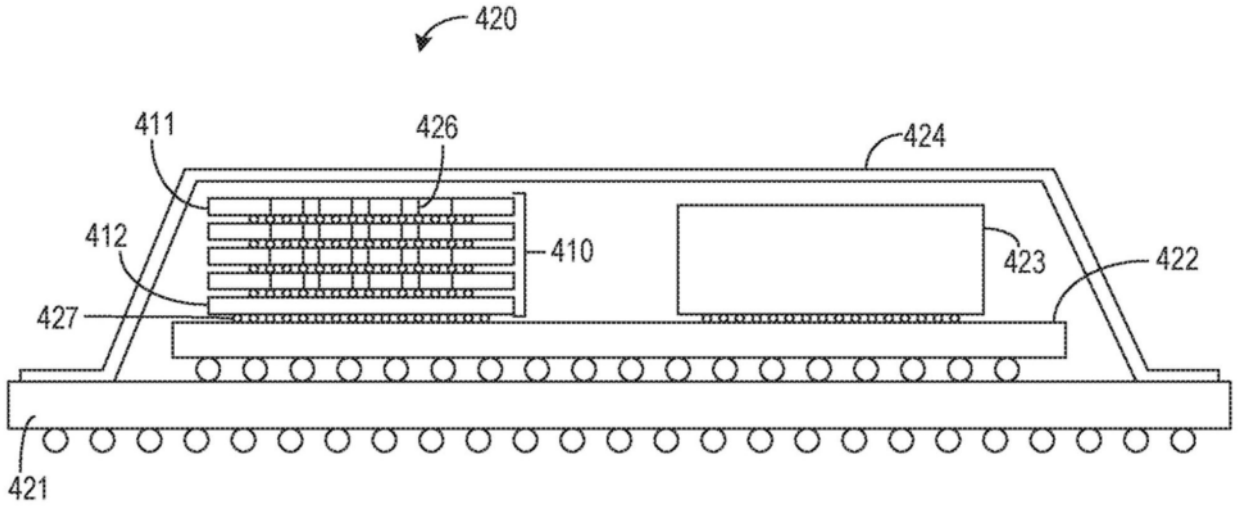

420
411
426
424
412
410
423
422
427
421

图4

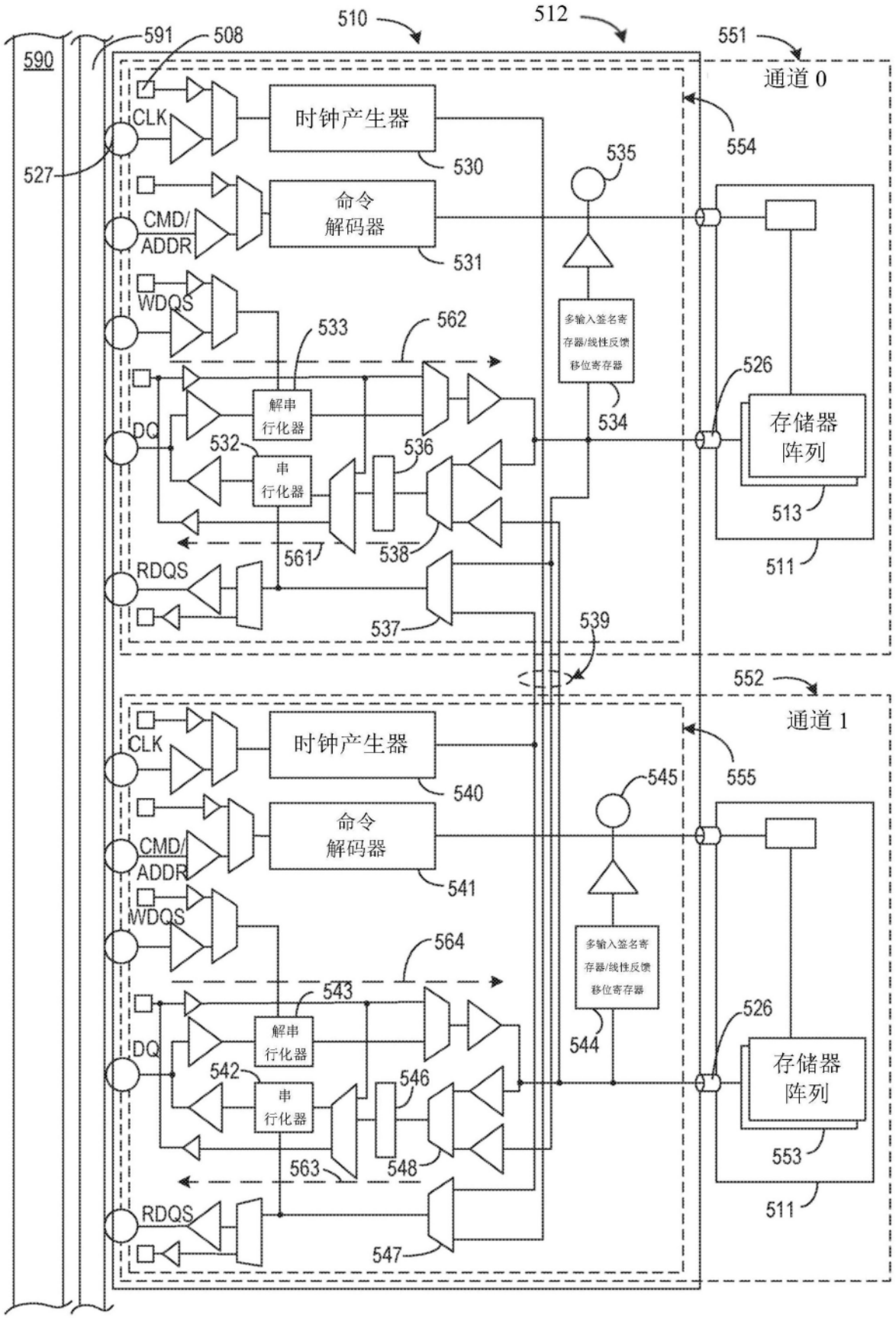

590
591
508
510
512
551
通道 0
554
527
CLK
时钟产生器
530
535
CMD/
ADDR
命令
解码器
531
WDQS
533
562
多输入签名寄存器/线性反馈移位寄存器
526
DQ
解串行化器
534
532
串行化器
536
存储器阵列
513
561
538
511
RDQS
537
539
552
通道 1
555
CLK
时钟产生器
540
545
CMD/
ADDR
命令
解码器
541
WDQS
564
543
多输入签名寄存器/线性反馈移位寄存器
526
DQ
解串行化器
544
542
串行化器
546
存储器阵列
553
563
548
511
RDQS
547

图5A

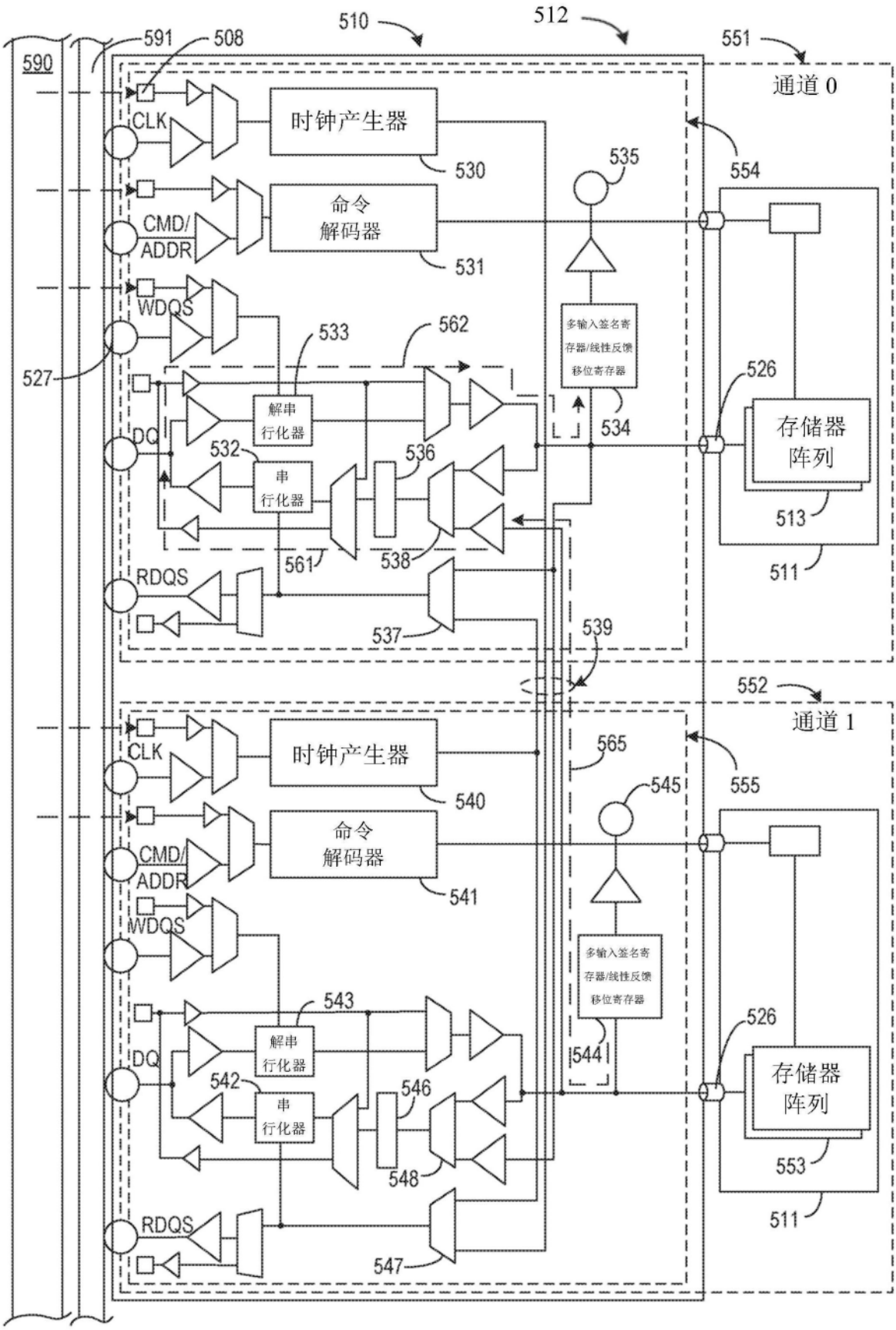

590
591
508
510
512
551
通道 0
CLK
时钟产生器
530
535
554
CMD/
ADDR
命令
解码器
531
WDQS
533
562
527
多输入签名寄
存器/线性反馈
移位寄存器
526
解串
行化器
DQ
532
534
536
串
行化器
存储器
阵列
513
561
538
511
RDQS
537
539
552
通道 1
CLK
时钟产生器
565
555
545
540
CMD/
ADDR
命令
解码器
541
WDQS
多输入签名寄
存器/线性反馈
移位寄存器
543
526
解串
行化器
544
DQ
542
546
串
行化器
存储器
阵列
553
548
511
RDQS
547

图5B

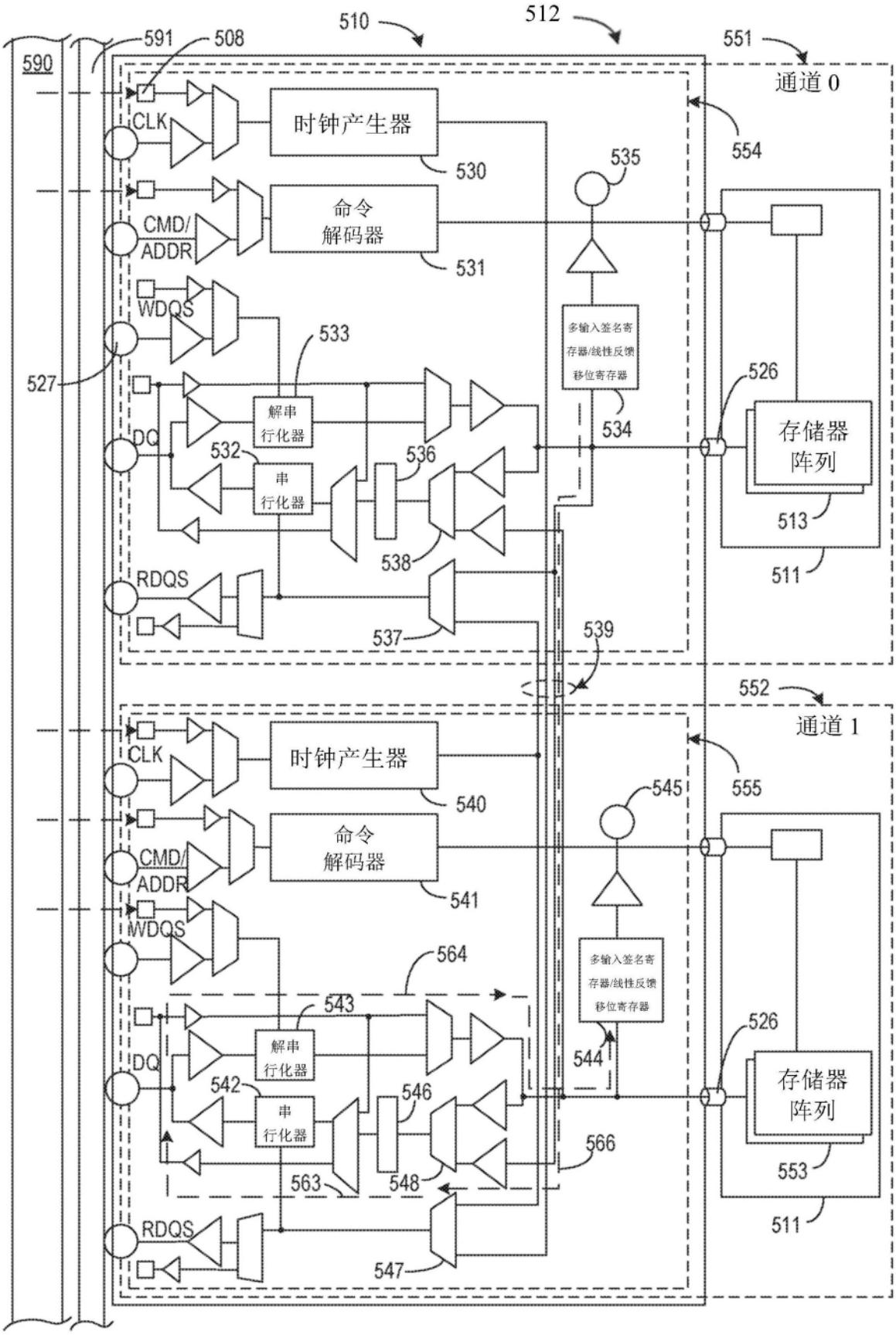

590
591
508
510
512
551
通道 0
554
CLK
时钟产生器
530
535
CMD/
ADDR
命令
解码器
531
WDQS
533
多输入签名寄
存器/线性反馈
移位寄存器
527
526
DQ
解串
行化器
532
536
534
串
行化器
存储器
阵列
513
538
511
RDQS
537
539
552
通道 1
555
CLK
时钟产生器
540
545
CMD/
ADDR
命令
解码器
541
WDQS
564
543
多输入签名寄
存器/线性反馈
移位寄存器
526
DQ
解串
行化器
544
542
546
串
行化器
存储器
阵列
566
553
563
548
511
RDQS
547

图5C

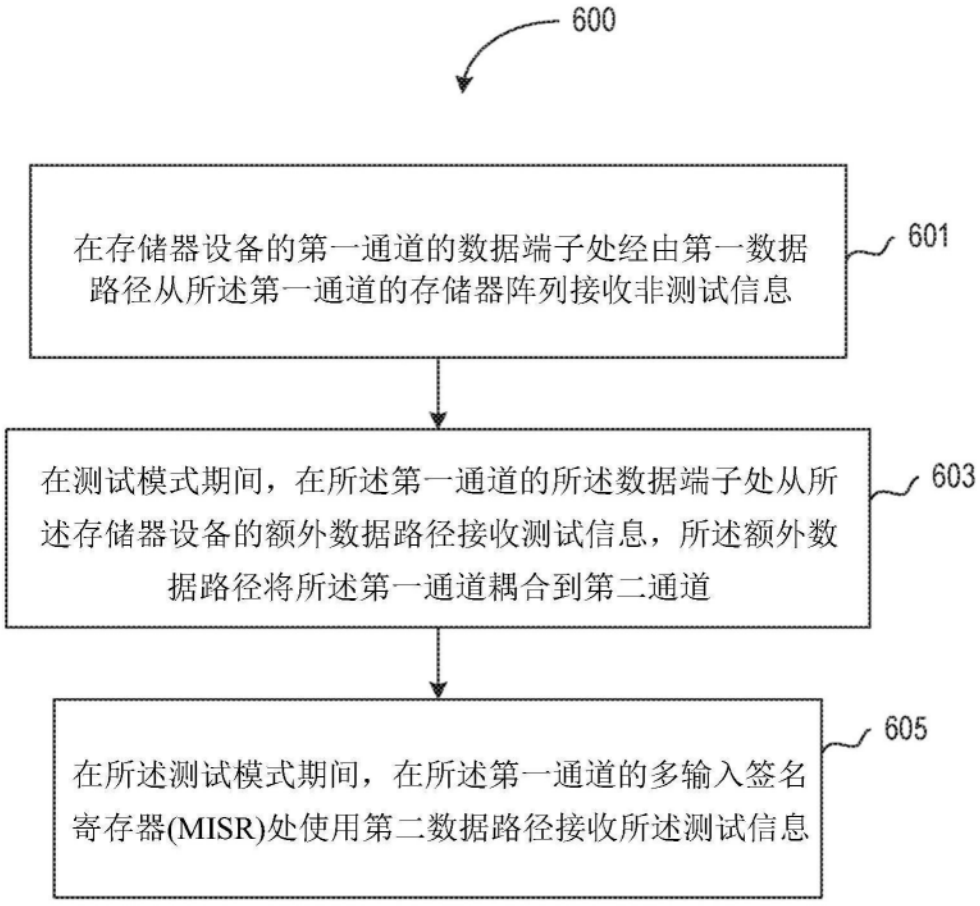

600
在存储器设备的第一通道的数据端子处经由第一数据路径从所述第一通道的存储器阵列接收非测试信息
601
在测试模式期间，在所述第一通道的所述数据端子处从所述存储器设备的额外数据路径接收测试信息，所述额外数据路径将所述第一通道耦合到第二通道
603
在所述测试模式期间，在所述第一通道的多输入签名寄存器(MISR)处使用第二数据路径接收所述测试信息
605

图6