



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I534805 B

(45)公告日：中華民國 105 (2016) 年 05 月 21 日

(21)申請案號：103102500

(22)申請日：中華民國 103 (2014) 年 01 月 23 日

(51)Int. Cl. : G11C13/00 (2006.01)

G11C17/14 (2006.01)

G11C29/04 (2006.01)

(30)優先權：2013/02/15 美國

13/768,411

(71)申請人：英特爾公司(美國) INTEL CORPORATION (US)

美國

(72)發明人：柯里 尼可拉斯 P COWLEY, NICHOLAS P. (GB)；木蘇卡魯潘 蘭納拉雅南

MUTHUKARUPPAN, RAMNARAYANAN (IN)

(74)代理人：憚軼群；陳文郎

(56)參考文獻：

US 5455931

US 7508694B2

US 7759970B2

US 8179160B1

US 8334715B1

US 2006/0061388A1

US 2008/0250290A1

US 2010/0331024A1

審查人員：蕭明椿

申請專利範圍項數：28 項 圖式數：16 共 55 頁

(54)名稱

用以應力編程一積體電路之方法和系統

METHODS AND SYSTEMS TO STRESS-PROGRAM AN INTEGRATED CIRCUIT

(57)摘要

用以應力編程一第一積體電路(IC)區塊以在啟動/重置之後輸出一經預定之值，以便支援零時間補償/修整之方法及系統。為了編程，使用第一區塊編程參數來組配該第一區塊以致使該第一區塊輸出一經預定之值。該第一區塊在使用該等第一區塊編程參數組配時經加應力，以致使該第一區塊在無該等第一區塊編程參數的情況下輸出該經預定之值。該第一區塊可包括設計為一完全平衡電路之一鎖存器，且可經不對稱地加應力以相對於另一路徑變更一個路徑之一特性。可選擇該經預定之值來補償製程邊界變化及/或其他隨機變化。

Methods and systems to stress-program a first integrated circuit (IC) block to output a pre-determined value upon activation/reset, such as to support time-zero compensation/trimming. To program, the first block is configured with first-block program parameters to cause the first block to output a pre-determined value. The first block is stressed while configured with the first-block program parameters, to cause the first block to output the pre-determined value without the first-block program parameters. The first block may include a latch designed as a fully balance circuit and may be asymmetrically stressed to alter a characteristic of one path relative to another. The pre-determined value may be selected to compensate for process corner variations and/or other random variations.

指定代表圖：

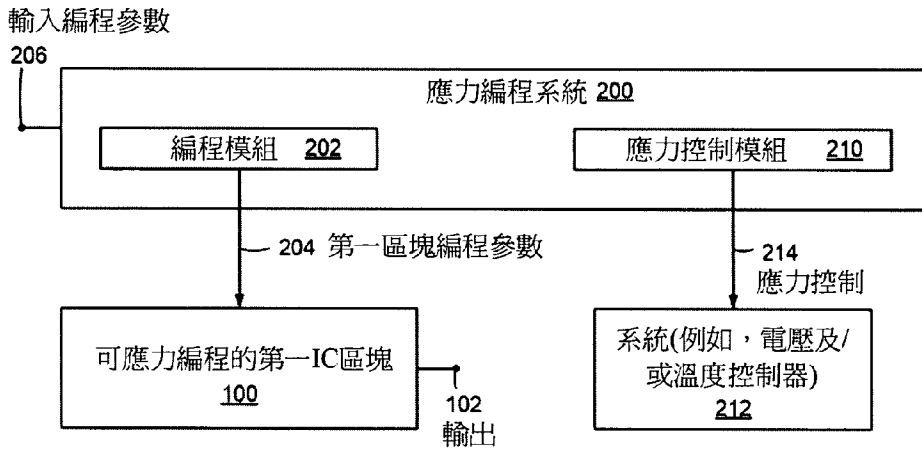


圖 2

符號簡單說明：

100 . . . 第一積體電路(IC)區塊/IC 區塊

102 . . . 輸出

200 . . . 應力編程系統

202 . . . 編程模組

204 . . . 第一區塊編程參數

206 . . . 輸入編程參數

210 . . . 應力控制模組

212 . . . 系統

214 . . . 應力控制

發明摘要

※ 申請案號 103. 1. 23.

※ 申請日：103102500

※IPC 分類：G11C 13/00

(2006.01)

17/14

(2006.01)

29/04

(2006.01)

【發明名稱】(中文/英文)

用以應力編程一積體電路之方法和系統

METHODS AND SYSTEMS TO STRESS-PROGRAM AN
INTEGRATED CIRCUIT

【中文】

用以應力編程一第一積體電路(IC)區塊以在啓動/重置之後輸出一經預定之值，以便支援零時間補償/修整之方法及系統。爲了編程，使用第一區塊編程參數來組配該第一區塊以致使該第一區塊輸出一經預定之值。該第一區塊在使用該等第一區塊編程參數組配時經加應力，以致使該第一區塊在無該等第一區塊編程參數的情況下輸出該經預定之值。該第一區塊可包括設計爲一完全平衡電路之一鎖存器，且可經不對稱地加應力以相對於另一路徑變更一個路徑之一特性。可選擇該經預定之值來補償製程邊界變化及/或其他隨機變化。

【英文】

Methods and systems to stress-program a first integrated circuit (IC) block to output a pre-determined value upon activation/reset, such as to support time-zero compensation/trimming. To program, the first block is configured with first-block program parameters to cause the first block to output a pre-determined value. The first block is stressed while configured with the first-block program parameters, to cause the first block to output the pre-determined value without the first-block program parameters. The first block may include a latch designed as a fully balance circuit and may be asymmetrically stressed to alter a characteristic of one path relative to another. The pre-determined value may be selected to compensate for process corner variations and/or other random variations.

【代表圖】

【本案指定代表圖】：第（2）圖。

【本代表圖之符號簡單說明】：

100...第一積體電路(IC)區塊/IC區塊

102...輸出

200...應力編程系統

202...編程模組

204...第一區塊編程參數

206...輸入編程參數

210...應力控制模組

212...系統

214...應力控制

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

(無)

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

用以應力編程一積體電路之方法和系統

METHODS AND SYSTEMS TO STRESS-PROGRAM

AN INTEGRATED CIRCUIT

【技術領域】

[0001]本發明係有關於用以應力編程一積體電路之方法和系統。

【先前技術】

發明背景

[0002]製程邊界(process corner)可在切割出積體電路(IC)晶粒之晶圓之中、在自相同晶圓切割出之IC晶粒之中且/或在IC晶粒中之一特定IC晶粒內變化。製程邊界變化可不利地影響IC之定時及/或其他特性。

[0003]在包括多個可辨別的IC區塊之IC晶粒中，諸如在單晶片系統(SoC)中，IC區塊可不利地受由其他IC區塊產生之隨機變化影響。

[0004]對於製程邊界變化及/或其他隨機變化之補償可使用晶粒上可編程熔絲陣列來提供，該晶粒上可編程熔絲陣列係基於大量製造(HVM)測試之結果編程的。熔絲陣列可使用於選址的額外插腳成爲必需，且可使特殊選址方案成爲必需以適應安全問題。

[0005]對於製程邊界變化及/或其他隨機變化之補償亦可使用晶粒上修整或校準系統來提供。

[0006] 編程之熔絲資料可能並非可利用的，直至啓動順序之開始之後。類似地，來自晶粒上修整或校準系統之資料可能在電力開啓之後的一些時間係不可利用的。在啓動或電力開啓(亦即，在零時間處)之後需要製程調整補償的情況下，可過度設計IC晶粒或IC區塊以避免製程變化及/或其他隨機變化之不利影響。

【發明內容】

[0007] 依據本發明之一實施例，係特地提出一種設備，其包含：一第一積體電路(IC)區塊，其用以基於在該第一IC區塊之輸入處的互補邏輯狀態來判斷提示在該第一IC區塊之輸出處的互補邏輯狀態；其中該第一IC區塊在互補邏輯狀態被施加於該等輸入時經加應力，以編程該第一IC區塊以在沒有在該等輸入處之該等互補邏輯狀態之判斷提示的情況下在一重置控制的取消啓動之後判斷提示在該等輸出處的該等經預定之互補邏輯狀態。

【圖式簡單說明】

[0008] 出於說明性目的，本文參考以下圖式中之一或多個來描述一或多個特徵。然而，本文相對於以下圖式所述之特徵不限於在圖式中例示出之實例。

[0009] 圖1為在啓動之後可應力編程以輸出預定值的積體電路(IC)區塊之方塊圖。

[0010] 圖2為應力編程系統之方塊圖，該應力編程系統包括用以使用編程參數來編程或組配IC區塊以輸出預定值的編程模組，及用以在施加編程參數時對第一IC區塊之應

力控制模組加應力。

[0011] 圖3為IC系統之方塊圖，該IC系統包括可應力編程的第一IC區塊及用以自第一IC區塊接收應力編程預定值的第二IC區塊。

[0012] 圖4為另一IC系統之方塊圖，該另一IC系統包括在圖3中例示出之特徵，且進一步包括預設組態暫存器值。

[0013] 圖5為用以評估IC系統之評估系統的方塊圖。

[0014] 圖6為另一IC系統之方塊圖，該另一IC系統包括可應力編程的IC區塊，該可應力編程的IC區塊包括緩衝器電路及鎖存器電路，且該可應力編程的IC區塊可經設計為完全平衡電路。

[0015] 圖7為可應力編程的IC區塊之電路圖，該可應力編程的IC區塊包括緩衝器電路、鎖存器電路及重置電路。

[0016] 圖8為另一可應力編程的IC區塊之另一電路圖，該另一可應力編程的IC區塊包括緩衝器電路、鎖存器電路及重置電路。

[0017] 圖9為IC系統及評估系統之方塊圖，其中IC系統包括圖6之可應力編程的IC區塊之多個實例。

[0018] 圖10為圖9之IC系統，及應力編程系統之方塊圖。

[0019] 圖11為選擇性地組配IC系統以評估、操作且/或應力編程IC系統之方法的流程圖。

[0020] 圖12為編程及評估第二IC區塊以選擇用以編程第一IC區塊之編程參數之方法的流程圖。

[0021] 圖13為用以應力編程IC區塊之方法的流程圖。

[0022] 圖14為經組配來評估且應力編程IC系統之電腦系統的方塊圖。

[0023] 圖15為圖14之電腦系統之示例性記憶體/儲存器特徵的方塊圖。

[0024] 圖16為包括處理器及記憶體、通訊系統、使用者介面系統及可應力編程的IC系統之系統的方塊圖。

[0025] 在圖式中，參考數字之最左側數值識別參考數字第一次出現之圖。

【實施方式】

較佳實施例之詳細說明

[0026] 數位電子電路利用多個離散狀態，該等多個離散狀態中每一者皆與類比值(例如，電壓)之對應的離散頻帶、範圍或包絡相關聯。包絡內之任何值表示相關聯之狀態。類比值之相對小的改變(例如，由於製造公差、信號衰減或寄生雜訊)可被信號狀態感測電路忽略，前提為類比值保持在對應的離散包絡內。

[0027] 二進制數位系統具有由對應的電壓頻帶表示之兩個准許狀態。第一電壓頻帶可包括電壓參考(例如，接地)，本文中表示為 V_{ss} 。第二電壓頻帶可包括供應電壓，本文中表示為 V_{cc} 。第一電壓頻帶及第二電壓頻帶可分別與邏輯狀態0及1相關聯。

[0028] 如本文中所使用之「互捕邏輯狀態」一詞代表准許狀態或容許狀態之設定。在二進制數位系統中，互補邏輯狀態包括兩個邏輯狀態，本文中表示為邏輯狀態0及1，

本文中亦稱為相反的邏輯狀態。

[0029]如本文中所使用之「互補輸出」一詞代表用以相對於彼此呈現或判斷提示互補邏輯狀態之輸出。在二進制數位系統中，互補輸出包括用以判斷提示相反的邏輯狀態之第一輸出及第二輸出。

[0030]如本文中所使用之「互補節點」一詞代表用以相對於彼此呈現或判斷提示互補邏輯狀態之節點。在二進制數位系統中，互補節點包括用以判斷提示相反的邏輯狀態之第一節點及第二節點。

[0031]如本文中所使用之「互補路徑」一詞代表用以相對於彼此處理互補邏輯狀態之電路路徑。在二進制數位系統中，互補路徑包括用以處理相反的邏輯狀態之第一路徑及第二路徑。

[0032]圖1為第一積體電路(IC)區塊100之方塊圖，該第一積體電路區塊在啓動之後可應力編程以變更IC區塊100之裝置及/或特性(特性)104，以致使IC區塊100判斷提示輸出102處之預定值。

[0033]啓動可包括操作電壓之施加、賦能控制之判斷提示及/或重置控制之取消判斷提示或取消啓動。與啓動相關聯之時間在本文中被稱為零時間，且預定值可被稱為預定零時間值。

[0034]輸出102可包括一或多個位元以輸出預定值作為預定邏輯狀態或預定字值。

[0035]第一IC區塊100可經設計且/或製造成在啓動之

後判斷提示輸出102處之隨機值。在應力編程之前，第一IC區塊100可被稱為介穩IC區塊，且輸出102可被稱為介穩輸出。

[0036]第一IC區塊100可經設計且/或製造成完全平衡電路。第一IC區塊100可包括例如經設計且/或製造以具有類似或相同特性之第一路徑及第二路徑。然而，第一IC區塊100不限於此等實例。第一IC區塊100可經組配為可編程的組態暫存器以在零時間處提供可應力編程的組態暫存器值，以便在零時間處賦能或支援製程補償調整。然而，第一IC區塊100不限於此等實例。

[0037]可如以下參考圖2所述地應力編程第一IC區塊100。

[0038]圖2為應力編程系統200之方塊圖，該應力編程系統包括用以使用第一區塊編程參數204來編程或組配第一IC區塊100以致使第一IC區塊100在輸出102處輸出預定值的編程模組202。第一區塊編程參數204可包括將要施加於第一IC區塊100之輸入之資料，及/或偏壓或其他組態控制。

[0039]第一區塊編程參數204可為基於輸入編程參數206的，該等輸入編程參數可如以下參考圖5所述來確定且/或選擇。

[0040]應力編程系統200進一步包括用以在第一IC區塊經編程或組配來輸出預定值時施加且/或控制應力條件之應力控制模組210。應力條件可包括電壓應力、溫度應力及/或其他應力條件。應力控制模組210可經組配來使用應力

控制214施加且/或控制應力條件。在圖2之實例中，應力控制214經提供至系統212，該應力控制可包括例如電壓控制器、溫度控制器及/或其他控制器。

[0041]圖3為IC系統300之方塊圖，該IC系統包括可應力編程的第一IC區塊100以在啓動之後將可應力編程的預定值提供至第二IC區塊304。IC系統300可實行於單個IC晶粒或多個IC晶粒上。

[0042]第二IC區塊304可包括例如補償電路，且第一IC區塊100可為可應力編程的以在第一IC區塊100之啓動之後(諸如在重新發送控制之取消啓動或取消判斷提示之後)將預定組態暫存器值提供至第二IC區塊304。

[0043]圖4為IC系統400之方塊圖，該IC系統包括以上參考圖3所述之特徵，且進一步包括預設組態暫存器值404。

[0044]IC系統400可為可組配的，以諸如使用開關406向第二IC區塊304提供來自第一IC區塊100之輸出102之預定值，或預設組態暫存器值404。IC系統400可經組配來藉由預設向第二IC區塊304提供來自輸出102之應力編程預定值。

[0045]預設組態暫存器值404可表示基於設計的組態暫存器值，該基於設計的組態暫存器值可適合於不存在製程邊界變化及/或其他隨機變化之第二IC區塊304。然而，輸出102處之預定值可基於IC系統400之製造後評估，以補償製程邊界變化及/或其他隨機變化。

[0046]IC系統400之製造後評估可包括IC系統400之

HVM測試且/或可結合IC系統400之HVM測試來執行。在IC系統400之評估結果指示預設組態暫存器值404為充分的之情況下，第一IC區塊100可處於未編程狀態中。在第一IC區塊100將要經應力編程之情況下，可作為燒入程序之部分、在燒入程序期間及/或結合燒入程序來執行應力編程。

[0047]圖5為用以評估IC系統之評估系統500的方塊圖。在圖5中，評估系統500經組配來評估IC系統501，該IC系統在此使用以上參考圖3所述之特徵例示出。

[0048]評估系統500包括用以使用第二區塊編程參數502來編程或組配第二IC區塊304或其一部分之編程模組504。第二區塊編程參數502可包括將要在評估期間施加於區塊304之輸入的邏輯狀態或字值。

[0049]評估系統500進一步包括用以量測輸出308之參數之量測模組508，及用以相對於參考準則514來評估對應的參數量測512之評估器模組510。參考準則514可包括值及/或範圍或視窗中之一或多個。

[0050]編程模組504可經組配來在評估期間選擇、變化且/或修訂第二區塊編程參數502，直至參數量測512對應於(亦即，滿足或符合)參考準則514為止。

[0051]當參數量測512符合參考準則514時，對應的第二區塊編程參數502可被選擇為編程參數506。選定的編程參數506可表示將要提供至第二IC區塊304之所需輸入，且相應地表示將要由第一IC區塊100在啟動之後輸出或判斷提示之預定值。選定的編程參數506可對應於圖2中之輸入編

程參數206。

[0052] IC系統502可包括內部匯流排518，且第二IC區塊304可係經由內部匯流排518可編程的。IC系統502可為可組配的，以在選擇或賦能匯流排518時經由內部匯流排518向第二IC區塊304提供第二區塊編程參數502，且在取消選擇或去能匯流排518時向第二IC區塊304提供來自第一IC區塊100之輸出102之預定值。匯流排518之狀態可維持在暫存器或其他儲存器中，該其他儲存器可包括依電性儲存裝置或非依電性儲存裝置。

[0053] IC系統502可經組配來在啓動之後向第二IC區塊304提供來自輸出102之應力編程預定值，且隨後經由內部匯流排518向第二IC區塊提供更新值。更新值可例如由晶粒上補償電路確定。

[0054] 評估系統500可包括HVM測試系統且/或可包括在HVM測試系統內，且/或可經組配來結合HVM測試系統操作。

[0055] 在圖2中，編程模組202可經組配來基於諸如查找表之轉換索引將輸入編程參數206轉換為第一區塊編程參數204。對於第一IC區塊包括兩個編程輸入及兩個對應的輸出位元且其中第一IC區塊100經組配來在對應的輸出處使每一輸入反相之情形，以下表1中提供一實例。

表 1

輸入編程參數 <u>206</u> (例如，將要提供在輸出 <u>102</u> 處之預定值)	第一區塊編程 參數 <u>204</u>	第一區塊輸 出 <u>102</u>
00	11	00
01	10	01
10	01	10
11	00	11

[0056] 圖2中之輸入編程參數206或圖5中之選定的編程參數506可用來應力編程選擇編程參數所針對之相同IC系統，且/或應力編程另一類似IC系統。例如，可基於一批IC系統內之一或多個IC系統之子集之評估來選擇編程參數506，且此後選定的編程參數506可用來應力編程分批中之其他IC系統。

[0057] 可應力編程的IC區塊可包括設計且/或製造為完全平衡電路之鎖存器，諸如以下在一或多個實例中所揭露。然而，本文中揭露之方法及系統不限於鎖存器。

[0058] 圖6為IC系統600之方塊圖，該IC系統包括用以在零時間時於輸出608處提供預定值的可應力編程的第一IC區塊602，及用以接收預定值之第二IC區塊610。IC系統600可表示圖3中之IC系統300之示例性實施例。

[0059] 第一IC區塊602可經設計且/或製造為完全平衡電路，其中第一路徑及第二路徑經設計來相對於彼此具有類似特徵或特性。

[0060] 第一IC區塊602包括緩衝器電路604，該緩衝器電路具有輸入Inp及Inn以及輸出Outp及Outn。緩衝器電路604可經組配來基於輸入Inp及Inn判斷提示輸出Outp及Outn處

之互補邏輯狀態。

[0061]第一IC區塊602進一步包括鎖存器電路606，該鎖存器電路具有用以接收互補輸出Outp及Outn之輸入，及對應的互補輸出608，此處亦例示出為Vp及Vn。

[0062]IC系統600可經組配來將輸出Vp及Vn中之一個或兩個提供至第二IC區塊610。

[0063]作為完全平衡電路，在完美或理想製造條件下，存在第一IC區塊602在啟動之後將判斷提示Vp及Vn處之邏輯狀態{1,0}或{0,1}之相等概率。製造缺陷可將偏壓給予第一IC區塊602，此舉可致使第一IC區塊602比另一狀態更頻繁地判斷提示{1,0}或{0,1}。然而，在啟動之後，輸出608處之判斷提示值可有效地保持無法預期。

[0064]在應力編程之前，第一IC區塊602可被稱為原始記憶體鎖存器或未編程記憶體鎖存器，及/或介穩鎖存器，且輸出Vp及Vn可被稱為介穩輸出。

[0065]第一IC區塊602可為可應力編程的，以相對於另一路徑變更第一路徑及第二路徑之一的特徵及/或特性，以致使第一IC區塊602在啟動之後判斷提示輸出608處之預定值。鎖存器602可經不對稱地加應力，諸如以下參考圖7及/或圖8所揭露。

[0066]圖7為可應力編程的第一IC區塊702之電路圖，該可應力編程的第一IC區塊可表示圖6中之第一IC區塊602之示例性實施例。

[0067]第一IC區塊702包括緩衝器電路704，該緩衝器電

路具有在此亦表示為Inp及Inn之輸入714，以及輸出Outp及Outn。第一IC區塊702進一步包括用以自緩衝器電路704接收Outp及Outn之鎖存器電路706，以及在此亦表示為Vp及Vn之輸出716。

[0068]第一IC區塊702可經設計且/或製造為完全微分電路及/或完全平衡電路，其中第一路徑及第二路徑經設計且/或製造成具有類似或相同的特徵及/或操作特性。在圖7之實例中，第一電路路徑包括裝置N6、N4、P4、反及邏輯708及反相器718。第二電路路徑包括裝置N3、N1、P1、反及邏輯710及反相器720。

[0069]在圖7中，輸出Outp及Outn交叉耦接至互補電路路徑之控制節點，以便控制緩衝器電路704以判斷提示輸出Outp及Outn處之互補邏輯狀態。具體而言，輸出Outp耦接至裝置P4及N5之控制節點或閘極，且輸出Outn耦接至裝置N1及P1之控制節點或閘極。

[0070]類似地，鎖存器電路706之節點4及5交叉耦接至反及邏輯708及710之輸入，以便控制鎖存器電路706以判斷提示輸出Vp及Vn處之互補邏輯狀態。

[0071]第一IC區塊702進一步包括重置電路，此處例示出為包括裝置P2、P3及N4。

[0072]以下相對於重置裝置P2及P3為關閉或非導電性的，且裝置N4為打開或導電性的，以將節點1下拉至參考Vss(例如，接地)之操作模式來描述第一IC區塊702。針對互補邏輯狀態{1,0}分別施加於輸入Inp及Inn(亦即，Inp經上拉

至操作電壓Vcc且輸入Inn經下拉至參考Vss，諸如接地)之情形提供以下描述。

[0073]在緩衝器電路704中，當Inp經上拉至操作電壓Vcc且輸入Inn經下拉至Vss時，節點2經由裝置N6下拉至Vss，輸出Outn經由裝置N5及N6下拉至Vss，且節點3及輸出Outp與Vss絕緣。當輸出Outn經下拉時，輸出Outp經由裝置P1上拉，此舉斷開裝置P4以使輸出Outn與Vcc絕緣。因此，當互補邏輯狀態{1,0}施加於輸入Inp及Inn時，輸出Outp經上拉且輸出Outn經下拉，以分別判斷提示Outp及Outn處之互補邏輯狀態{1,0}。

[0074]在鎖存器電路706中，當輸出Outn經下拉時，反及710判斷提示節點5處之邏輯1。當輸出Outp經上拉且在節點5處判斷提示邏輯1時，反及708判斷提示節點4處之邏輯0。在此實例中，其中{0,1}在節點4及5處經判斷提示，鎖存器電路706經由對應的反相器718及720分別判斷提示輸出Vp及Vn處之互補邏輯狀態{1,0}。

[0075]相反地，當互補邏輯狀態{0,1}施加於輸入Inp及Inn時，緩衝器電路704判斷提示輸出Outp及Outn處之互補邏輯狀態{0,1}，且鎖存器電路706判斷提示輸出Vp及Vn處之互補邏輯狀態{0,1}。

[0076]以下描述重置。

[0077]當在重置節點712處判斷提示有效低重置控制時，將重置電壓施加於緩衝器電路704之第一路徑及第二路徑之互補節點。在圖7之實例中，當重置控制有效時，Vcc

經由裝置P2及P3施加於輸出Outp及Outn施加Vcc，且裝置N4斷開以使緩衝器電路704與參考電壓Vss絕緣。參考電壓Vss可對應於接地。

[0078]在重置控制之判斷提示之前、在重置控制之判斷提示期間及/或在重置控制之判斷提示之後，輸入Inp及Inn可保持在Vcc處。在以下實例中，當取消啓動或取消判斷提示重置控制時，輸入Inp及Inn處於Vcc處。

[0079]在重置控制之取消啓動或取消判斷提示之後(例如，在重置控制之上升邊緣之後)，節點1經由裝置N4朝向Vss下拉。當節點1下拉時，裝置N6之閘極至源極電壓(Vgs)增加。當裝置N6之Vgs超過裝置N6之電壓臨界值(Vt)時，節點2愈來愈經由裝置N6朝向Vss下拉。類似地，當節點1下拉時，裝置N3之Vgs增加。當裝置N3之Vgs超過裝置N3之Vt時，節點3愈來愈經由裝置N3下拉。若輸出Outn比輸出Outp下拉得更快且/或更遠，則在輸出716處判斷提示互補邏輯狀態{1,0}。相反地，若輸出Outp經輸出Outn下拉得更快且/或更遠，則在輸出716處判斷提示互補邏輯狀態{0,1}。

[0080]作為完全平衡電路，在完美或理想製造條件下，節點2及節點3處之電壓應彼此串接地下降以提供將在重置之後於輸出Vp及Vn處判斷提示{1,0}或{0,1}之相等概率。如以上參考圖6所述，製造缺陷可給予偏壓，此舉可致使第一IC區塊702比另一狀態更頻繁地判斷提示{1,0}或{0,1}。然而，在重置之後輸出Vp及Vn處之判斷提示值可有效地保持無法預期。

[0081] 第一IC區塊702可為可應力編程的，以相對於對應的裝置另一路徑之特性變更或移位微分路徑之一中的裝置之特性，以致使鎖存器702在重置控制之取消啓動之後判斷提示輸出Vp及Vn處之預定邏輯狀態{1,0}或{0,1}。變更或移位之程度可取決於應力條件及應力持續時間之組合。

[0082] 在應力編程之後，第一IC區塊702可保持可操作的，以基於在重置控制無效時施加於輸入714之互補邏輯狀態來判斷提示輸出716處之互補邏輯狀態。

[0083] 第一IC區塊702之第一電路路徑及第二電路路徑可經不對稱地加應力以相對於另一路徑變更路徑之一的特性。第一電路路徑及第二電路路徑可經不對稱地加應力以致使一或多個裝置內之累積或電壓偏移足以致使第一IC區塊702在啓動之後提供輸出716處之預定值。

[0084] 例如，互補邏輯狀態(亦即，第一編程參數)可在輸入714處經判斷提示以致使第一IC區塊702判斷提示輸出716處之預定互補邏輯狀態。第一IC區塊702可在第一編程參數在輸入714處經判斷提示時經加應力，以變更路徑之一的特性以使得第一IC區塊將在重置控制之取消啓動之後判斷提示輸出716處之預定邏輯狀態，而無需第一編程參數在輸入714處之判斷提示。

[0085] 第一IC區塊702可經不對稱地加應力以相對於另一路徑之對應的裝置的Vt變更一個路徑中之裝置的Vt。可施加不對稱的應力，例如以使得裝置N6之Vt比裝置N3之Vt低，以致使緩衝器電路704在重置控制之取消啓動之後判斷

提示輸出Outp及Outn處之{1,0}。相反地，可施加不對稱的應力以使得裝置N3之 V_t 比裝置N6之 V_t 低，以致使緩衝器電路704在重置控制之取消啓動之後判斷提示輸出Outp及Outn處之{0,1}。

[0086]不對稱的應力可包括高電壓。例如，當在輸入Inp及Inn處判斷提示互補邏輯狀態時，可將高操作電壓(亦即，比 V_{cc} 高)至少施加於第一路徑及第二路徑，或至少施加於裝置N6及N3。

[0087]圖8為第一IC區塊802之電路圖，該第一IC區塊包括以上參考圖7所述之特徵，且進一步包括賦能電路808、輸入電路810以及額外重置電路裝置P6及P7。

[0088]賦能電路808包括用以將 V_{cc} 施加於緩衝器電路704及鎖存器電路706作為 V_{cc} Latch之裝置P5。

[0089]輸入電路810包括用以基於個別輸入或控制pch1及pch2來控制輸入Inp及Inn之反相輸入驅動器810-1及810-2。

[0090]進一步以上相對於重置裝置P2、P3及N4之描述，當在重置節點712處判斷提示有效低重置控制Itchclk時，重置裝置P6及P7經組配來上拉節點2及3以重置電壓(例如， V_{cc} Latch)。

[0091]為了應力編程第一IC區塊802，在輸入pch1及pch2處判斷提示互補邏輯狀態，或第一區塊編程參數，以致使第一IC區塊802判斷提示輸出716處之預定互補邏輯狀態。

[0092] 第一IC區塊802或其一部分可在第一區塊編程參數在輸入pch1及pch2處經判斷提示時經加應力，以變更第一IC區塊802之特性或將固有偏壓提供至第一IC區塊802，以致使第一IC區塊802在啓動之後判斷提示輸出716處之預定互補邏輯狀態，而無需第一區塊編程參數在輸入pch1及pch2處之判斷提示。

[0093] 應力可包括高操作電壓 $V_{cce}(V_{cce} > V_{cc})$ ，該高操作電壓施加於節點818及/或節點820。或者，或另外，應力可包括判斷提示輸入pch2及pch1處之互補邏輯狀態之一處於 V_{cce} 處或處於比 V_{ss} 低的參考電壓處。

[0094] 可施加應力，例如，以相對於彼此變更反相輸入驅動器810-2及/或810-1之特性，且/或以相對於彼此變更輸入裝置N6及/或N3之特性。特性可包括電壓臨界值及/或其他特性。

[0095] 在第一IC區塊802經應力編程之後，第一區塊編程參數可經移除或停止，且 V_{cce} 可經移除且/或降低至 V_{cc} 。

[0096] 在應力編程之後，第一IC區塊802可保持可操作的，以基於輸入pch2及pch1處之互補邏輯狀態來判斷提示輸出716處之互補邏輯狀態，且可以Itchclk重置以判斷提示或暴露輸出716處之應力編程預定邏輯狀態。

[0097] 在圖7及圖8中，緩衝器電路704及鎖存器電路706係非同步的，因為在接收該緩衝器電路及該鎖存器電路時，其傳播互補狀態，而無需時鐘控制及/或暫存器。

[0098] 在圖7及圖8中，緩衝器電路704及鎖存器電路706

在無選址的情況下且無讀取及或寫入控制的情況下傳播互補邏輯狀態。

[0099] IC系統可包括可組配以判斷提示預定字的可應力編程的電路之多個實例，諸如以下參考圖9及/或圖10所述。

[0100] 圖9為IC系統900及評估系統902之方塊圖。

[0101] IC系統900包括可應力編程的第一IC區塊901，該可應力編程的第一IC區塊包括第一IC區塊602之多個實例，該等多個實例各自用以將輸出字908之對應的位元提供至第二IC區塊610。

[0102] IC系統900可經組配來將來自每一鎖存器602之互補輸出Vp及Vn提供至第二IC區塊610。或者，IC系統900可經組配來將來自每一鎖存器602之輸出Vp及Vn之一提供至第二IC區塊610。

[0103] 評估系統902經組配來使用第二區塊編程參數904編程或組配第二IC區塊610，評估輸出912處之對應的參數量測，且選擇輸出參數量測符合參考準則914之編程參數906。評估系統902可表示圖5中之評估系統500之示例性實施例。

[0104] IC系統900可包括內部匯流排，且第二IC區塊610可為經由內部匯流排可編程的，諸如以上相對於圖5中之內部匯流排518所述。

[0105] 圖10為圖9之IC系統900，及用以基於選定的編程參數906來應力編程IC區塊602之應力編程系統1002的方塊

圖。

[0106] 應力編程系統1002經組配來編程或組配IC區塊602，該等IC區塊各自具有一組對應的第一區塊編程參數1008。應力編程系統1002可經組配來基於選定的編程參數906產生或選擇第一區塊編程參數1008，諸如在本文一或多個實例中所述。

[0107] 應力編程系統1002進一步經組配來使用應力控制1010將應力條件施加於IC系統900或其一部分且/或控制該應力條件，以變更IC區塊602之特性，諸如在本文一或多個實例中所述。應力編程系統1002可表示圖2中之應力編程系統200之示例性實施例。

[0108] 以下參考圖12、圖13及圖14揭露用以應力編程IC系統之示例性方法。以下參考IC系統來描述圖12、圖13及圖14之方法，該IC系統包括可應力編程的第一IC區塊及用以自第一IC區塊接收應力編程預定值的第二IC區塊，諸如在本文一或多個實例中所述。

[0109] IC系統可進一步包括用以在評估期間及/或在操作期間編程第二IC區塊之內部匯流排。IC系統可為可組配的，以將第一IC區塊之輸出提供至第二IC區塊，且/或以經由內部匯流排將預設值提供至第二IC區塊。內部匯流排可藉由預設去能或取消選擇，以藉由預設將第一IC區塊之輸出提供至第二IC區塊。內部匯流排之狀態可維持於非依電性裝置中。

[0110] 然而，以下揭露之方法不限於以上所述之示例性

IC系統。

[0111]圖11為選擇性地組配IC系統以評估、操作且/或應力編程IC系統之方法1100的流程圖。

[0112]在1102處，啟動IC系統。

[0113]在1104處，可檢查且/或設定IC系統之內部匯流排之狀態。

[0114]若在1104處選擇或賦能內部匯流排，則處理進行1106，在1106處，經由內部匯流排使用第二區塊編程參數編程第二IC區塊。可基於第二區塊編程參數來評估第二IC區塊，諸如以下參考圖12所述。

[0115]若在1104處取消選擇或去能內部匯流排，則處理進行1108。在1108處，可向第二IC區塊提供來自第一IC區塊之預定值。此可對應於操作模式。或者，可應力編程第一IC區塊以基於1104處之評估判斷提示預定值。可如以下參考圖13所述應力編程第一IC區塊。

[0116]圖12為編程且評估IC區塊以選擇致使IC區塊提供所需輸出之編程參數之方法1200的流程圖。選定的編程參數可用來應力編程另一IC區塊，諸如以下參考圖13所述。參考以上進一步所述之示例性IC系統之第二IC區塊來描述方法1200。

[0117]在1202處，電力至少施加於第二IC區塊。

[0118]在1204處，選擇或賦能IC系統之內部匯流排。

[0119]在1206處，使用第二區塊編程參數經由內部匯流排組配或編程第二IC區塊，諸如在本文一或多個實例中所

述。

[0120] 在1208處，量測第二IC區塊之輸出參數。

[0121] 在1210處，相對於參考準則評估量測，諸如在本文一或多個實例中所述。

[0122] 在1212處，若量測不符合參考準則，則處理返回至1206以重新編程第二IC區塊。

[0123] 當輸出參數量測在1212處符合參考準則時，在1214處選擇在1206處施加之對應的第二區塊編程參數。選定的編程參數可記錄且/或提供至應力編程系統以編程第一IC區塊，諸如以下參考圖13所述。

[0124] 圖13為用以應力編程IC區塊之方法1300的流程圖。以下參考以上進一步所述之示例性IC系統之第一IC區塊來描述方法1300。

[0125] 在1302處，電力至少施加於第一IC區塊。

[0126] 可藉由控制或藉由預設去能或取消選擇內部匯流排。

[0127] 在1304處，第一IC區塊經組配或編程來輸出預定值。可使用基於在圖12中之1214處選擇之編程參數的第一區塊編程參數來編程第一IC區塊。第一區塊編程參數可經組配或選擇來致使第一IC區塊輸出在圖12中之1214處選擇之編程參數，作為預定值。可自記憶體或儲存器裝置存取或讀取在圖12中之1214處選擇之編程參數。

[0128] 在1304處之組配或編程在本文中可被稱為組配、偏壓及/或設定第一IC區塊之零時間熔絲編程輸入。

[0129] 在1306處，將應力條件施加於第一IC區塊或其一部分，同時編程第一IC區塊，以變更第一IC區塊之特性，諸如在本文一或多個實例中所述。

[0130] 在應力編程之後，IC系統可經操作以在啓動之後判斷提示預定值。

[0131] 如本文中揭露之應力編程可包括基於應力型樣施加應力條件，該應力型樣應力型樣可藉由持續時間、量級及/或基於時間的變化(例如，斜線上升、斜線下降及/或循環)來界定且/或可為相對於以上各者可組配的。基於時間的應力量級變化可為線性的及/或階梯式的。

[0132] 多個應力條件可根據類似及/或不同應力型樣施加於IC區塊。

[0133] 應力型樣可經選擇且/或組配來使IC區塊之特性變更至一程度以致使IC區塊在啓動之後判斷提示預定值且不存在編程參數。

[0134] 應力型樣可基於各種因素中之一或多個來選擇且/或組配，該等各種因素可包括(不限於)應力條件(例如，電壓或溫度)、將要變更之特性、製造因素(例如，材料及/或製程規模)、IC因素(例如，裝置、佈局及/或大小/區域/容積，及/或其他因素)，及/或環境/預定使用因素/考慮。

[0135] 應力型樣可至少部分基於IC設計、模擬及/或實驗(例如，嘗試錯誤法)來選擇且/或組配。

[0136] 如本文揭露之評估系統及/或應力編程系統可實行於諸如電腦系統及其組合之電路及/或機器(包括離散電

路及集體電路、特殊應用集體電路(ASIC)及/或處理器及記憶體之組合)中，且可實行爲特定領域積體電路包或單晶片系統(SOC)之部分，及/或積體電路包之組合。

[0137]圖14爲經組配來評估且應力編程IC系統之電腦系統1400的方塊圖。以下參考IC系統300，且相對於以上相對於圖5所述之評估特徵及以上相對於圖2所述之應力編程特徵來描述電腦系統1400。然而，電腦系統1400不限於圖2、圖3或圖5之實例。電腦系統1400可實行爲HVM測試系統之部分，且/或可經組配來結合HVM測試系統操作。

[0138]電腦系統1400包括在此例示出爲處理器1402之一或多個電腦指令處理器單元及/或處理器核心，以執行電腦程式1406之指令。處理器1402可包括通用指令處理器、控制器、微控制器或其他基於指令的處理器。亦被稱爲電腦程式邏輯或軟體之電腦程式1406可在電腦可讀媒體內經編碼，該電腦可讀媒體可包括非暫時性媒體。

[0139]電腦系統1400進一步包括儲存器1404，該儲存器可包括以下參考圖15所述之一或多個類型之儲存器。

[0140]圖15爲處理器1402及儲存器1404之方塊圖，其中儲存器1404包括主要儲存器1502、輔助儲存器1504及線外儲存器1506。

[0141]主要儲存器1502包括暫存器1508、處理器快取記憶體1510及主記憶體或系統記憶體1506。暫存器1508及快取記憶體1510可爲可由處理器1402直接存取的。主記憶體1506可爲處理器1402經由記憶體匯流排直接且/或間接存

取的。主要儲存器1502可包括依電性記憶體，諸如隨機存取記憶體(RAM)及其變化，包括(不限於)靜態RAM(SRAM)及/或動態RAM(DRAM)。

[0142]輔助儲存器1504可為處理器1402經由輸入/輸出(I/O)通道間接可存取的，且可包括非依電性記憶體，諸如唯讀記憶體(ROM)及其變化，包括(不限於)可規劃ROM(PROM)、可抹除PROM(EPROM)及電可抹除PROM(EEPROM)。非依電性記憶體亦可包括非依電性RAM(NVRAM)，諸如快閃記憶體。輔助儲存器1504可以組配為大容量儲存裝置，諸如硬碟或硬驅動機、快閃記憶體驅動機、快閃記憶體條或快閃記憶體鍵、軟碟片及/或壓縮磁碟。

[0143]線外儲存器1506可包括實體裝置驅動器及相關聯之可移儲存器媒體，諸如光碟。

[0144]在圖14中，儲存器1404包括將要由處理器1402在電腦程式1406之執行期間使用及/或由處理器1402在電腦程式1406之執行期間產生之資料1408。

[0145]在圖14之實例中，電腦程式1406包括評估指令1410，該等評估指令用以致使處理器1402使用第二區塊編程參數502來編程或組配第二IC區塊304、比較第二IC區塊304之對應的輸出之參數量測512且選擇對應的參數量測512符合或滿足參考準則514之第二區塊編程參數506之集合，諸如在本文之一或多個實例中所述。

[0146]電腦程式1406進一步包括應力編程指令1412，該

等應力編程指令用以致使處理器1402基於選定的編程參數506組配或編程第一IC區塊100，且控制系統212以將應力條件施加於第一IC區塊100之至少一部分以變更第一IC區塊100之特徵及/或特性，諸如在本文之一或多個實例中所述。

[0147]應力編程指令1412可包括指令，該等指令用以致使處理器1402基於選定的編程參數506產生第一區塊編程參數204，且使用第一區塊編程參數204來編程第一IC區塊，諸如在本文之一或多個實例中所述。

[0148]電腦系統1400進一步包括用以在電腦系統1400之裝置及/或資源之中通訊之通訊基礎建設1440。

[0149]電腦系統1400進一步包括用以與一或多個其他系統介接之輸入/輸出(I/O)系統1442，該一或多個其他系統諸如IC系統300及系統212。

[0150]可相對於各種系統中之一或多個來實行本文揭露之方法及系統，諸如以下參考圖16所述。然而，本文揭露之方法及系統不限於圖16之實例。

[0151]圖16為系統1600之方塊圖，該系統包括可應力編程的IC系統1602及使用者介面系統1618。

[0152]IC系統1602包括處理器1602、記憶體、快取記憶體及/或其他晶片上儲存器(記憶體)1604，及通訊系統1606。

[0153]IC系統1602進一步包括可應力編程的第一IC區塊1608以在零時間時將預定值1612提供至第二IC區塊1610，諸如在本文一或多個實例中所述。第二IC區塊1610可包括例如用以補償IC系統1602內之製程邊界變化及/或

隨機變化之電路。

[0154]使用者介面系統1618可包括監視器或顯示器1632及/或人機介面裝置(HID)1634。HID 1634可包括(不限於)鍵盤、游標裝置、觸敏裝置、運動及/或圖像感測器、實體裝置及/或虛擬裝置，諸如監視器顯示的虛擬鍵盤。使用者介面系統1618可包括聲頻系統1636，該聲頻系統可包括麥克風及/或揚聲器。

[0155]通訊系統1606可包括有線及/或無線通訊系統。通訊系統1606可經組配來經由外部網路在系統1600與一或多個其他系統之間通訊，該外部網路諸如語音及/或資料網路裝置。通訊系統1606可經組配來與晶片間及/或晶片內通訊網路無線通訊。

[0156]在圖16中，記憶體1604為處理器1602可存取的，且可為可存取的通訊系統1606及/或使用者介面系統1618。系統1600可包括額外記憶體及/或儲存器裝置1620，該額外記憶體及/或儲存器裝置可為使用者介面系統1618及/或IC系統1602可存取的。記憶體1604及/或其他儲存器1620可包括以上相對於圖15所述之一或多個特徵。

[0157]系統1600可經組配為固定或攜帶型/手持式系統，且可經組配為行動電話、機上盒，及/或機架式系統、桌上型系統、膝上型系統、筆記型電腦系統、隨身型易網機系統、文字編譯器系統、平板電腦系統，及/或其他習知及/或未來發展的系統。然而，系統1600不限於此等實例。

[0158]進一步以上描述，設備可包括第一積體電路區

塊，該第一積體電路區塊用以基於第一IC區塊之輸入處之互補邏輯狀態來判斷提示第一IC區塊之輸出處之互補邏輯狀態，其中第一IC區塊在互補邏輯狀態施加於輸入時經加應力，以編程第一IC區塊以在無輸入處之互補邏輯狀態之判斷提示的情況下在重置控制之取消啓動之後判斷提示輸出處之預定互補邏輯狀態。

[0159]當在輸入處判斷提示互補邏輯狀態時，編程第一IC區塊可保持可操作的，以判斷提示輸出處之互補邏輯狀態。

[0160]當取消啓動重置控制且輸入處於相同電壓處時，第一IC區塊可經組配來判斷提示輸出處之預定互補邏輯狀態。

[0161]第一IC區塊可包括：緩衝器電路，其用以基於第一IC區塊之輸入處之互補邏輯狀態來判斷提示緩衝器電路之輸出處之互補邏輯狀態；以及鎖存器電路，其用以鎖存緩衝器電路之輸出處之互補邏輯狀態，且判斷提示第一IC區塊之輸出處之鎖存的互補邏輯狀態，其中緩衝器電路之至少一部分經加應力以編程該緩衝器電路以在重置控制之取消啓動之後判斷提示緩衝器電路之輸出處之預定互補邏輯狀態。

[0162]緩衝器電路及鎖存器電路可係非同步的。

[0163]第一IC區塊可包括：第一互補電路路徑及第二互補電路路徑；以及重置電路，其用以在重置控制有效時將重置電壓施加於第一互補電路路徑及第二互補電路路徑之

互補節點。

[0164] 第一IC區塊可經組配或實行為組態暫存器，以在重置控制之取消啓動之後提供預定互補邏輯狀態中之至少一個作為編程組態暫存器值。

[0165] 第一IC區塊及第二IC區塊可在相同IC晶粒上，且IC晶粒可係可組配的，以向第二IC區塊提供來自第一IC區塊之編程組態暫存器值及預設組態暫存器值中之一可選擇的組態暫存器值。

[0166] 第一IC區塊及第二IC區塊可在相同IC晶粒上，且第二IC區塊可經組配來自第一IC區塊接收預定互補邏輯狀態中之至少一個作為預定補償值，來補償藉由IC晶粒之一或多個IC區塊給予之製程邊界變化及隨機變化中之一或多個。

[0167] IC晶粒可包括內部匯流排以用以在評估期間組配第二IC區塊，且預定值可係基於評估的。

[0168] 在預定補償值提供至第二IC區塊之後，IC晶粒可經組配來經由內部匯流排將更新補償值提供至第二IC區塊。

[0169] 進一步以上描述，方法可包括：判斷提示第一積體電路(IC)區塊之輸入處之互補邏輯狀態，以致使第一IC區塊判斷提示該第一IC區塊之輸出處之預定互補邏輯狀態；以及當在輸入處判斷提示互補邏輯狀態時對第一IC區塊之至少一部分加應力，以編程第一IC區塊以在無輸入處之互補邏輯狀態之判斷提示的情況下在重置控制之取消啓

動之後判斷提示預定互補邏輯狀態。

[0170]方法可進一步包括：當取消啓動重置控制且輸入處於相同電壓處時，組配第一IC區塊以判斷提示輸出處之預定互補邏輯狀態。

[0171]第一IC區塊可包括：緩衝器電路，其用以基於第一IC區塊之輸入處之互補邏輯狀態來判斷提示緩衝器電路之輸出處之互補邏輯狀態；以及鎖存器電路，其用以鎖存緩衝器電路之輸出處之互補邏輯狀態，且判斷提示第一IC區塊之輸出處之鎖存的互補邏輯狀態，且該加應力可包括對緩衝器電路之至少一部分加應力以編程緩衝器電路以在重置控制之取消啓動之後判斷提示緩衝器電路之輸出處之預定互補邏輯狀態。

[0172]方法可包括：將組配第一IC區塊為組態暫存器以在重置控制之取消啓動之後提供預定互補邏輯狀態中之至少一個作為編程組態暫存器值。

[0173]第一IC區塊及第二IC區塊可在相同IC晶粒上，且方法可包括：組配IC晶粒以向第二IC區塊提供來自第一IC區塊之編程組態暫存器值及預設組態暫存器值中之一可選擇的組態暫存器值。

[0174]第一IC區塊及第二IC區塊可在相同IC晶粒上，且方法可包括：組配第一IC區塊以將預定邏輯狀態中之至少一個提供至第二IC區塊作為預定補償值，來補償藉由IC晶粒之一或多個IC區塊給予之製程邊界變化及隨機變化中之一或多個。

[0175] IC晶粒可包括內部匯流排，且方法可包括：經由內部匯流排組配第二IC區塊，評估第二IC區塊之對應的輸出參數，及基於評估來選擇預定值。

[0176] 方法可包括：在預定補償值提供至第二IC區塊之後，組配IC晶粒以經由內部匯流排將更新補償值提供至第二IC區塊。

[0177] 進一步以上描述，系統、機器及/或電腦系統可經組配來實行以上相對於方法所述之一或多個特徵。

[0178] 進一步以上描述，非暫時性電腦可讀媒體可使用電腦程式來編碼，該非暫時性電腦可讀媒體包括指令，該等指令用以致使處理器將互補邏輯狀態提供至第一IC區塊之輸入以致使第一IC區塊判斷提示第一IC區塊之輸出處之預定互補邏輯狀態，且用以致使處理器控制系統以在輸入處判斷提示互補邏輯狀態時對第一IC區塊之至少一部分加應力，以編程第一IC區塊以在無輸入處之互補邏輯狀態之判斷提示的情況下在重置控制之取消啓動之後判斷提示輸出處之預定互補邏輯狀態。

[0179] 第一IC區塊可包括：緩衝器電路，其用以基於第一IC區塊之輸入處之互補邏輯狀態來判斷提示緩衝器電路之輸出處之互補邏輯狀態；以及鎖存器電路，其用以鎖存緩衝器電路之輸出，且判斷提示第一IC區塊之輸出處之鎖存的輸出，且電腦可讀媒體可包括指令，該等指令用以致使處理器控制系統以對緩衝器電路之至少一部分加應力，以致使緩衝器電路在重置控制之取消啓動之後判斷提示緩

衝器電路之輸出處之預定互補邏輯狀態。

[0180] 第一IC區塊及第二IC區塊可在相同IC晶粒上，且電腦可讀媒體可包括指令，該等指令用以致使處理器組配IC晶粒以向第二IC區塊提供來自第一IC區塊之編程組態暫存器值及預設組態暫存器值中之一可選擇的組態暫存器值。

[0181] 第一IC區塊及第二IC區塊可在相同IC晶粒上，且電腦可讀媒體可包括指令，該等指令用以致使處理器組配第一IC區塊以將預定互補邏輯狀態中之至少一個提供至第二IC區塊作為預定補償值，來補償藉由IC晶粒之一或多個IC區塊給予之製程邊界變化及隨機變化中之一或多個。

[0182] IC晶粒可包括內部匯流排，且電腦可讀媒體可包括指令，該等指令用以致使處理器經由內部匯流排組配第二IC區塊，評估第二IC區塊之對應的輸出參數，且基於評估來選擇預定值。

[0183] 進一步以上描述，機器可讀儲存媒體可包括編程碼，該編程碼在執行時用以致使機器實行以上相對於方法及/或電腦可讀媒體所述之一或多個特徵。

[0184] 進一步以上描述，系統可包括IC晶粒，該IC晶粒具有處理器、記憶體及補償電路，該補償電路包括可應力編程的組態暫存器以在重置之後判斷提示預定組態暫存器值，來補償藉由IC晶粒之一或多個IC區塊給予之製程邊界變化及隨機變化中之一或多個。

[0185] 系統可進一步包括使用者介面及通訊系統以在

另一通訊系統與處理器及使用者介面中之一或多個之間通訊。通訊系統可經組配來與無線語音網路及無線基於封包的網路中之至少一個通訊，且系統可經組配為電池供電的攜帶型裝置。

[0186] 本文藉助於例示出功能、特徵及其關係之功能構建區塊來揭露方法及系統。本文為了便於描述已任意地界定了此等功能構建區塊之界線中之至少一些。可界定替代性界線，只要適當地執行指定功能及其關係即可。雖然本文揭露各種實施例，但是應理解，該等各種實施例係作為實例來呈現。申請專利範圍之範疇不應受本文揭露之示例性實施例中之任何實施例限制。

【符號說明】

100...第一積體電路(IC)區塊/IC區塊

102、308、716、912...輸出

104...裝置及/或特性

200...應力編程系統

202、504...編程模組

204、1008...第一區塊編程參數

206...輸入編程參數

210...應力控制模組

212...系統

214、1010...應力控制

300、400、600、900...IC系統

304...第二IC區塊/區塊

- 404...預設組態暫存器值
- 406...開關
- 500...評估系統
- 501...IC系統
- 502、904...第二區塊編程參數
- 506...編程參數/選定的編程參數/第二區塊編程參數
- 508...量測模組
- 510...評估器模組
- 512...參數量測
- 514、914...參考準則
- 518...內部匯流排/匯流排
- 602...第一IC區塊/鎖存器/IC區塊
- 604...緩衝器電路/緩衝器電路
- 606、706...鎖存器電路
- 608...輸出/對應的互補輸出
- 610、1610...第二IC區塊
- 702...第一IC區塊/鎖存器
- 704...緩衝器電路
- 708、710...反及邏輯
- 712...重置節點
- 714...輸入
- 718、720...反相器
- 802...第一IC區塊
- 808...賦能電路

- 810...輸入電路
- 810-1、810-2...反相輸入驅動器
- 818、820...節點
- 901...可應力編程的第一IC區塊
- 902...評估系統
- 906...選定的編程參數
- 908...輸出字
- 1002...應力編程系統
- 1100、1200、1300...方法
- 1102~1108、1202~1214、1302~1306...操作
- 1400...電腦系統
- 1402...處理器
- 1404...儲存器
- 1406...電腦程式
- 1408...資料
- 1410...評估指令
- 1412...應力編程指令
- 1440...通訊基礎建設
- 1442...輸入/輸出(I/O)系統
- 1502...主要儲存器
- 1504...輔助儲存器
- 1506...線外儲存器
- 1508...暫存器
- 1510...處理器快取記憶體/快取記憶體

1600...系統

1602...可應力編程的IC系統/IC系統/處理器

1604...快取記憶體及/或其他晶片上儲存器(記憶體)/記憶體

1606...通訊系統/可存取的通訊系統

1608...可應力編程的第一IC區塊1612...預定值

1618...使用者介面系統

1620...額外記憶體及/或儲存器裝置/其他儲存器

1632...監視器或顯示器

1634...人機介面裝置(HID)

1636...聲頻系統

Inp、Inn、pch1、pch2...輸入

Outp、Outn、Vp、Vn...輸出

P1、P4、P5、N1~N6...裝置

P2、P3...裝置/重置裝置

P6、P7...額外重置電路裝置/重置裝置

Vss...電壓參考/參考/參考電壓

Vcc...供應電壓/操作電壓

Itchclk...有效低重置控制

VccLatch...電壓

申請專利範圍

1. 一種可使積體電路被應力編程之設備，其包含：
 - 一第一積體電路(IC)區塊，其用以基於在該第一IC區塊之輸入處的互補邏輯狀態來判斷提示在該第一IC區塊之輸出處的互補邏輯狀態；

其中該第一IC區塊在互補邏輯狀態被施加於該等輸入時經加應力，以編程該第一IC區塊而在沒有在該等輸入處之該等互補邏輯狀態之判斷提示的情況下在一重置控制的取消啓動之後判斷提示在該等輸出處的經預定之互補邏輯狀態。
2. 如請求項1之設備，其中當在該等輸入處之互補邏輯狀態被判斷提示時，該經編程之第一IC區塊係可操作以判斷提示在該等輸出處之互補邏輯狀態。
3. 如請求項1之設備，其中當該重置控制被取消啓動且該等輸入係於一相同電壓時，該第一IC區塊係經組配來判斷提示在該等輸出處之該等經預定之互補邏輯狀態。
4. 如請求項1之設備，其中該第一IC區塊包括：
 - 緩衝器電路，其用以基於在該第一IC區塊之該等輸入處之互補邏輯狀態來判斷提示在該緩衝器電路之輸出處之互補邏輯狀態；以及
 - 鎖存器電路，其用以鎖存在該緩衝器電路之該等輸出處之該等互補邏輯狀態，且判斷提示在該第一IC區塊之該等輸出處之該等經鎖存的互補邏輯狀態；

- 其中該緩衝器電路之至少一部分經加應力以編程該緩衝器電路而在該重置控制的取消啓動之後判斷提示在該緩衝器電路之該等輸出處的該等經預定之互補邏輯狀態。
5. 如請求項4之設備，其中該緩衝器電路及該鎖存器電路係非同步的(asynchronous)。
 6. 如請求項1之設備，其中該第一IC區塊包括：
 - 第一及第二互補電路路徑；以及
 - 重置電路，其用以當該重置控制爲有效時將一重置電壓施加於該等第一及第二互補電路路徑之互補節點。
 7. 如請求項1之設備，其中該第一IC區塊係經組配爲一組態暫存器以在該重置控制的取消啓動之後提供該等經預定之互補邏輯狀態中之至少一個作爲一經編程之組態暫存器值。
 8. 如請求項7之設備，其中：
 - 該第一IC區塊及一第二IC區塊係在一相同IC晶粒上；且
 - 該IC晶粒係可組配的，以向該第二IC區塊提供來自該第一IC區塊之該經編程之組態暫存器值及一預設組態暫存器值中之一可選擇的組態暫存器值。
 9. 如請求項1之設備，其中：
 - 該第一IC區塊及一第二IC區塊係在一相同IC晶粒上；且
 - 該第二IC區塊係經組配以自該第一IC區塊接收該

- 等經預定之互補邏輯狀態中之至少一個作為一經預定之補償值，來補償藉由該IC晶粒之一或多個IC區塊給予之製程邊界變化及隨機變化中之一或多個。
10. 如請求項9之設備，其中該IC晶粒進一步包括一內部匯流排以在一評估期間組配該第二IC區塊，且其中該經預定之值係基於該評估。
11. 如請求項10之設備，其中在該經預定之補償值被提供至該第二IC區塊之後，該IC晶粒係經組配來經由該內部匯流排將一更新補償值提供至該第二IC區塊。
12. 一種用以應力編程積體電路之方法，其包含下列步驟：
判斷提示在一第一積體電路(IC)區塊之輸入處之互補邏輯狀態，以致使該第一IC區塊判斷提示在該第一IC區塊之輸出處的經預定之互補邏輯狀態；以及
當在該等輸入處之該等互補邏輯狀態被判斷提示時對該第一IC區塊之至少一部分加應力，以編程該第一IC區塊而在沒有在該等輸入處之該等互補邏輯狀態之判斷提示的情況下在一重置控制的取消啟動之後判斷提示該等經預定之互補邏輯狀態。
13. 如請求項12之方法，其進一步包括：
當該重置控制被取消啟動且該等輸入係於一相同電壓時，組配該第一IC區塊以判斷提示在該等輸出處之該等經預定之互補邏輯狀態。
14. 如請求項12之方法，其中：
該第一IC區塊包括緩衝器電路，其用以基於在該第

一 IC 區塊之該等輸入處之互補邏輯狀態來判斷提示在該緩衝器電路之輸出處之互補邏輯狀態；

該第一 IC 區塊進一步包括鎖存器電路，其用以鎖存在該緩衝器電路之該等輸出處之該等互補邏輯狀態，且判斷提示在該第一 IC 區塊之該等輸出處之該等經鎖存的互補邏輯狀態；且

該加應力之步驟包括對該緩衝器電路之至少一部分加應力以編程該緩衝器電路而在該重置控制的取消啓動之後判斷提示在該緩衝器電路之該等輸出處的該等經預定之互補邏輯狀態。

15. 如請求項 12 之方法，其進一步包括：

將該第一 IC 區塊組配爲一組態暫存器以在該重置控制的取消啓動之後提供該等經預定之互補邏輯狀態中之至少一個作爲一經編程之組態暫存器值。

16. 如請求項 15 之方法，其中該第一 IC 區塊及一第二 IC 區塊係在一相同 IC 晶粒上，該方法進一步包括：

組配該 IC 晶粒以向該第二 IC 區塊提供來自該第一 IC 區塊之該經編程之組態暫存器值及一預設組態暫存器值中之一可選擇的組態暫存器值。

17. 如請求項 12 之方法，其中該第一 IC 區塊及一第二 IC 區塊係在一相同 IC 晶粒上，該方法進一步包括：

組配該第一 IC 區塊以將該等經預定之邏輯狀態中之至少一個提供至一第二 IC 區塊作爲一經預定之補償值，來補償藉由該 IC 晶粒之一或多個 IC 區塊給予之製程

- 邊界變化及隨機變化中之一或多個。
18. 如請求項17之方法，其中該IC晶粒包括一內部匯流排，該方法進一步包括：
- 經由該內部匯流排組配該第二IC區塊，評估該第二IC區塊之一對應的輸出參數，及基於該評估來選擇該經預定之值。
19. 如請求項18之方法，其進一步包括：
- 在該經預定之補償值被提供至該第二IC區塊之後，組配該IC晶粒以經由該內部匯流排將一更新補償值提供至該第二IC區塊。
20. 一種非暫時性電腦可讀媒體，其使用一電腦程式編碼，該非暫時性電腦可讀媒體包括用以致使一處理器進行以下操作之指令：
- 將互補邏輯狀態提供至一第一積體電路(IC)區塊之輸入，以致使該第一IC區塊判斷提示在該第一IC區塊之輸出處的經預定之互補邏輯狀態；以及
- 控制一系統以當在該等輸入處之該等互補邏輯狀態被判斷提示時對該第一IC區塊之至少一部分加應力，以編程該第一IC區塊而在沒有該等輸入處之該等互補邏輯狀態之判斷提示的情況下在一重置控制的取消啓動之後判斷提示在該等輸出處之該等經預定之互補邏輯狀態。
21. 如請求項20之非暫時性電腦可讀媒體，其中該第一IC區塊包括：緩衝器電路，其用以基於在該第一IC區塊之該

等輸入處之互補邏輯狀態來判斷提示在該緩衝器電路之輸出處之互補邏輯狀態；以及鎖存器電路，其用以鎖存該緩衝器電路之該等輸出，且判斷提示在該第一IC區塊之該等輸出處之該等經鎖存的輸出，且其中該電腦可讀媒體進一步包括用以致使該處理器進行以下操作之指令：

控制該系統以對該緩衝器電路之至少一部分加應力以致使該緩衝器電路在該重置控制的取消啓動之後判斷提示在該緩衝器電路之該等輸出處的該等經預定之互補邏輯狀態。

22. 如請求項20之非暫時性電腦可讀媒體，其中該第一IC區塊及一第二IC區塊係在一相同IC晶粒上，且其中該電腦可讀媒體進一步包括用以致使該處理器進行以下操作之指令：

組配該IC晶粒以向該第二IC區塊提供來自該第一IC區塊之該經編程之組態暫存器值及一預設組態暫存器值中之一可選擇的組態暫存器值。

23. 如請求項20之非暫時性電腦可讀媒體，其中該第一IC區塊及一第二IC區塊係在一相同IC晶粒上，且其中該電腦可讀媒體進一步包括用以致使該處理器進行以下操作之指令：

組配該第一IC區塊以將該等經預定之互補邏輯狀態中之至少一個提供至該第二IC區塊作為一經預定之補償值，來補償藉由該IC晶粒之一或多個IC區塊給予之

- 製程邊界變化及隨機變化中之一或多個。
24. 如請求項23之非暫時性電腦可讀媒體，其中該IC晶粒進一步包括一內部匯流排，且其中該電腦可讀媒體進一步包括用以致使該處理器進行以下操作之指令：
- 經由該內部匯流排組配該第二IC區塊，評估該第二IC區塊之一對應的輸出參數，及基於該評估來選擇該經預定之值。
25. 一種計算系統，其包含一積體電路(IC)晶粒，該積體電路晶粒包括：
- 一處理器及記憶體；
 - 補償電路，用以基於一多位元控制字組，來補償在該積體電路晶粒製造期間所給予之製程邊界變化及隨機變化中之一或多個；以及
 - 介穩(metastable)積體電路，用以當電力被施加至該介穩積體電路時，輸出一隨機多位元字組，其中該介穩積體電路係可以一或更多個電壓應變和溫度應變來被應力編程，以將該介穩積體電路轉換成經應力編程的積體電路，於電力被施加至該經應力編程的積體電路之時，該經應力編程的積體電路輸出一預定多位元控制字組給該補償電路。
26. 如請求項25之系統，其進一步包括：
- 一使用者介面；以及
 - 一通訊系統，其用以在另一通訊系統與該處理器及該使用者介面中之一或多個之間通訊。

27. 如請求項26之系統，其中該通訊系統係經組配來與一無線語音網路及一無線以封包為基礎的網路中之至少一個通訊。
28. 如請求項27之系統，其組配為一電池供電的攜帶型裝置。

圖式

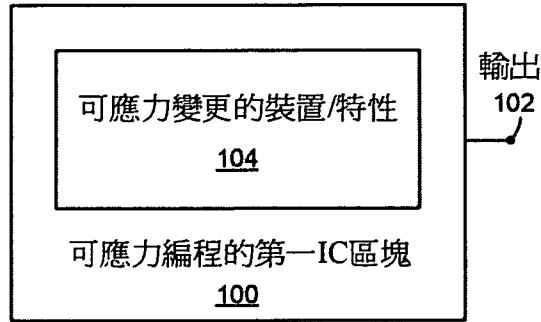


圖 1

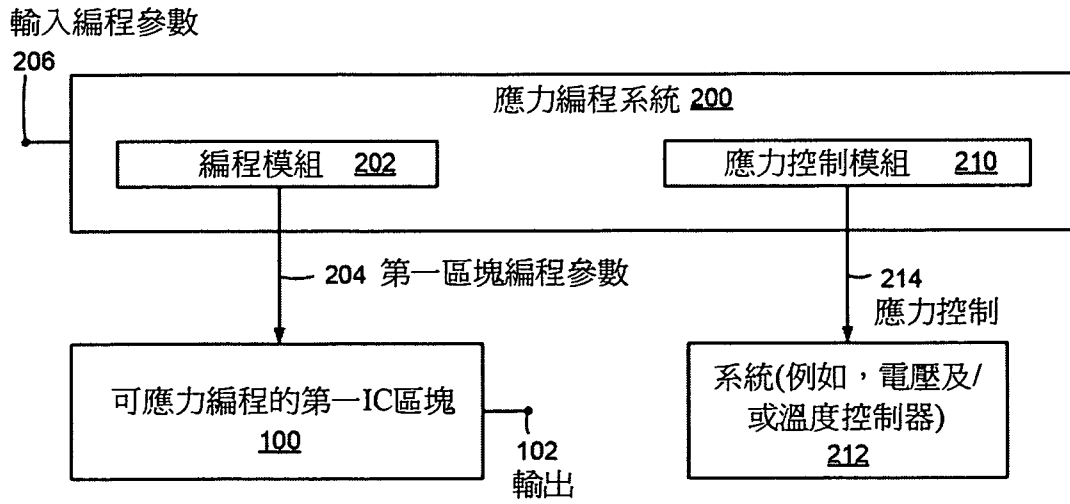


圖 2

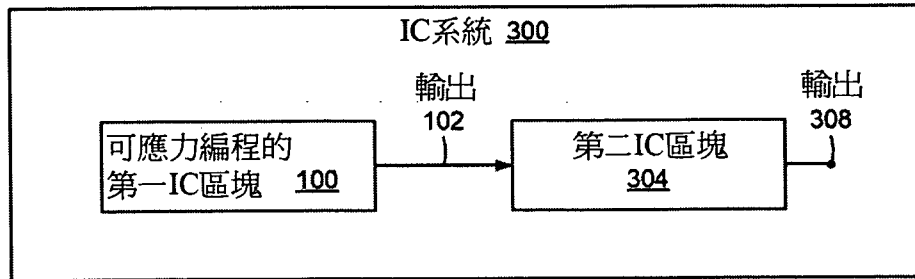


圖 3

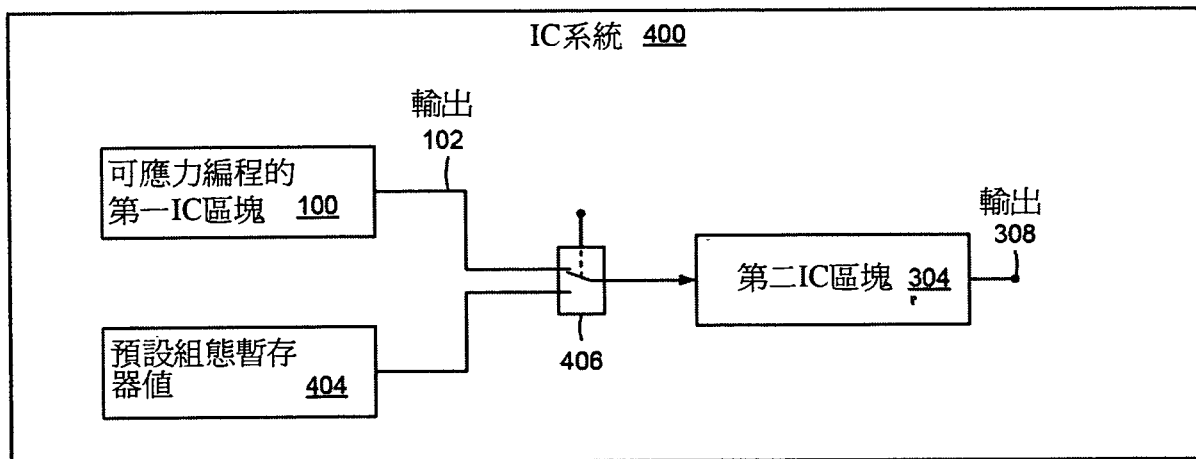


圖 4



圖 5

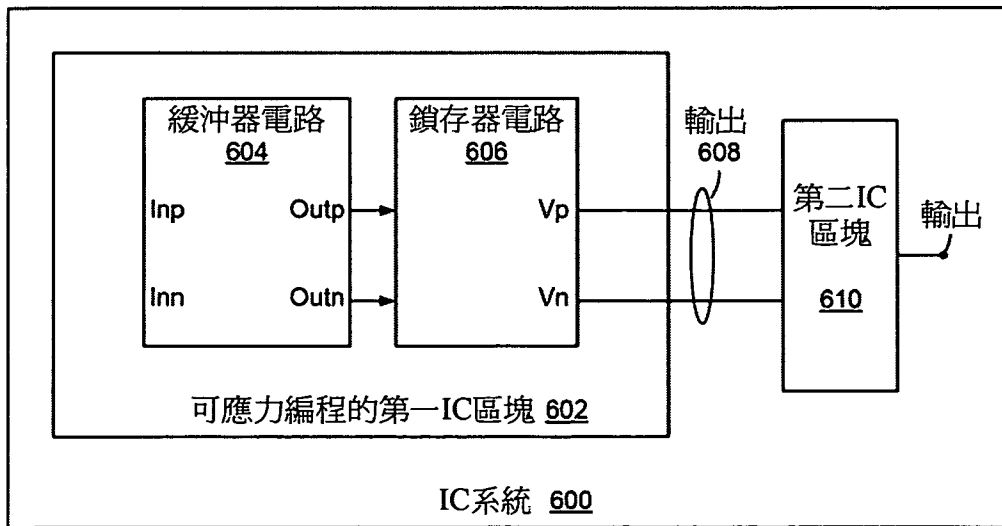


圖 6

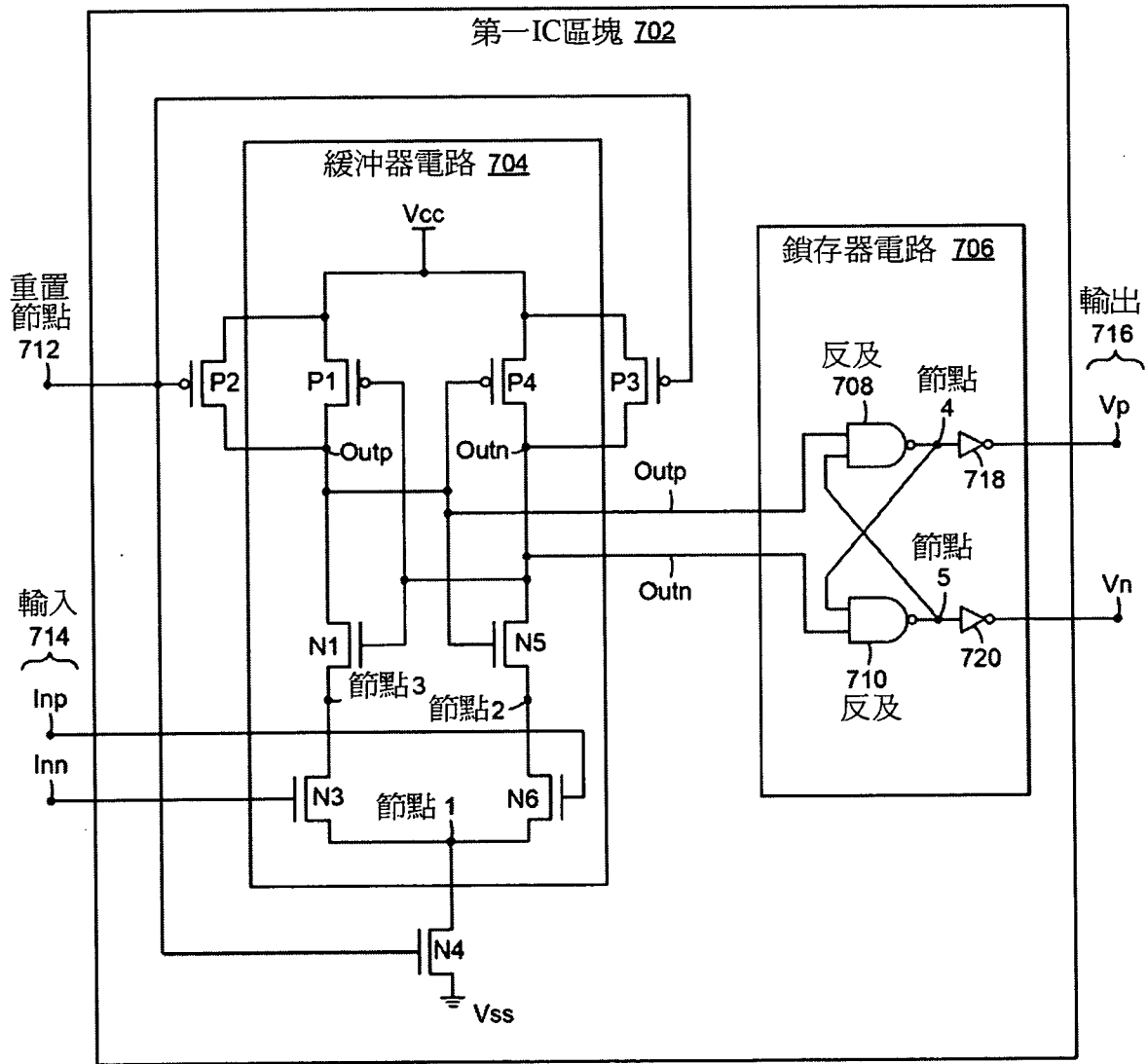


圖 7

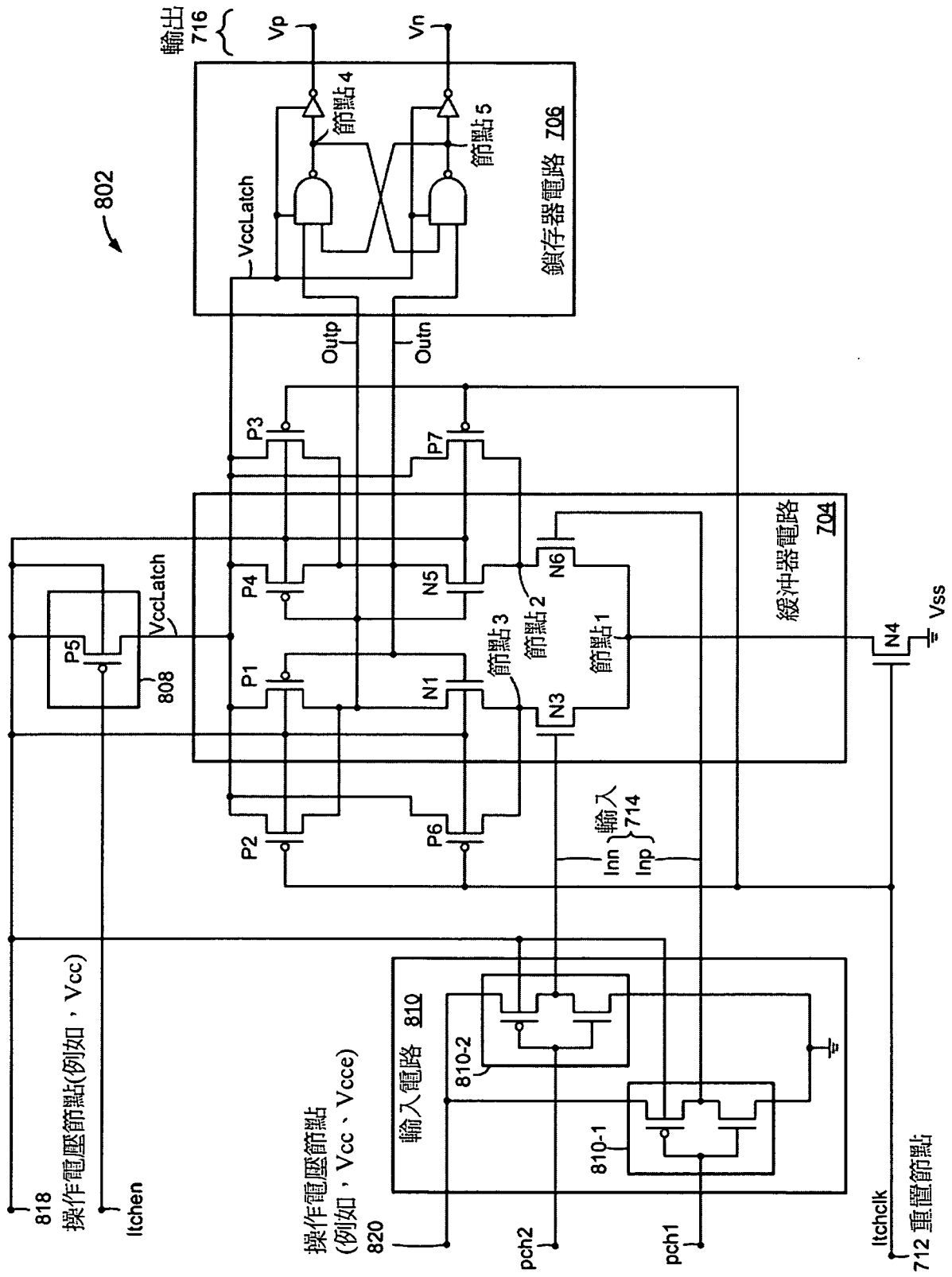


圖 8

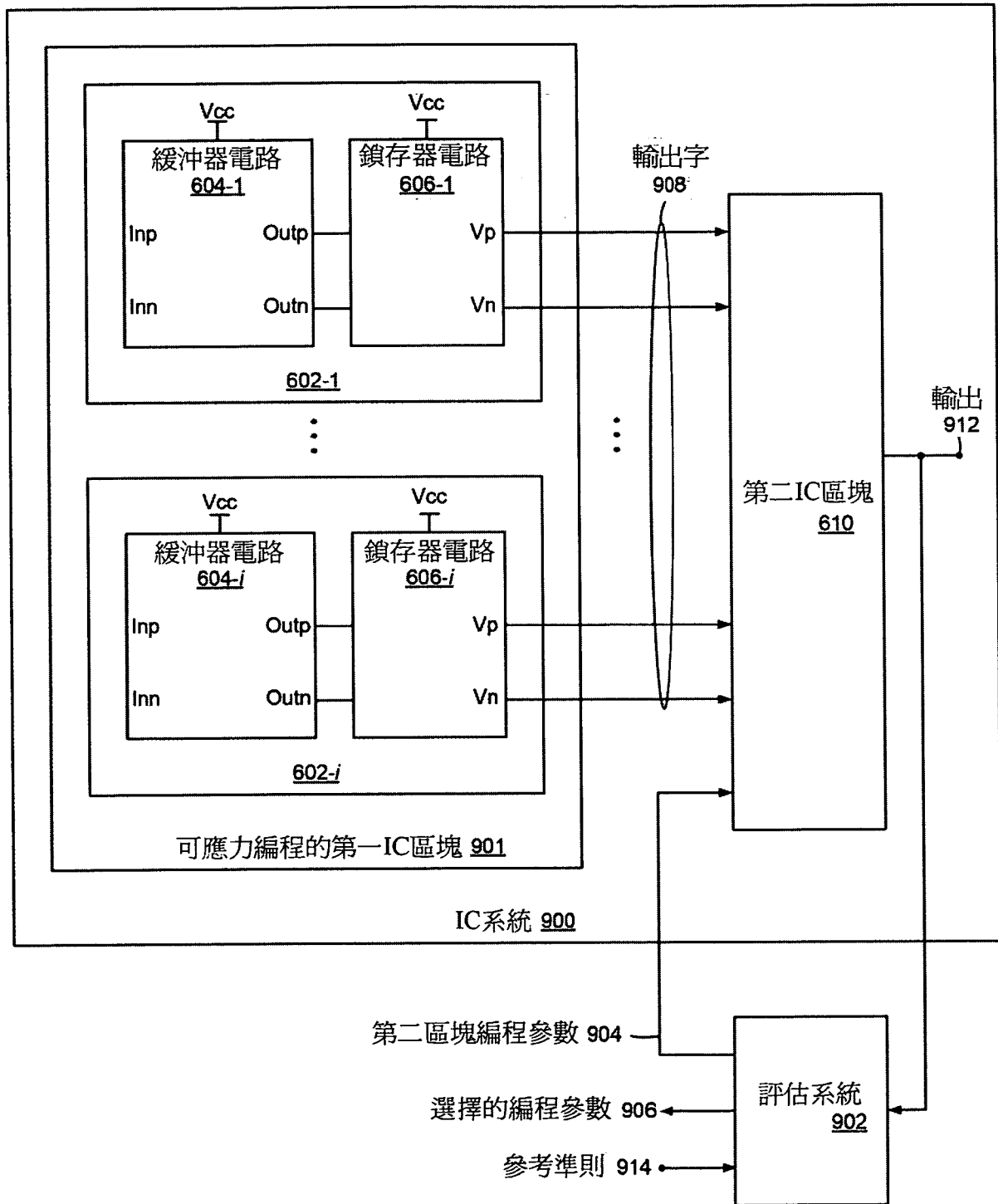


圖 9

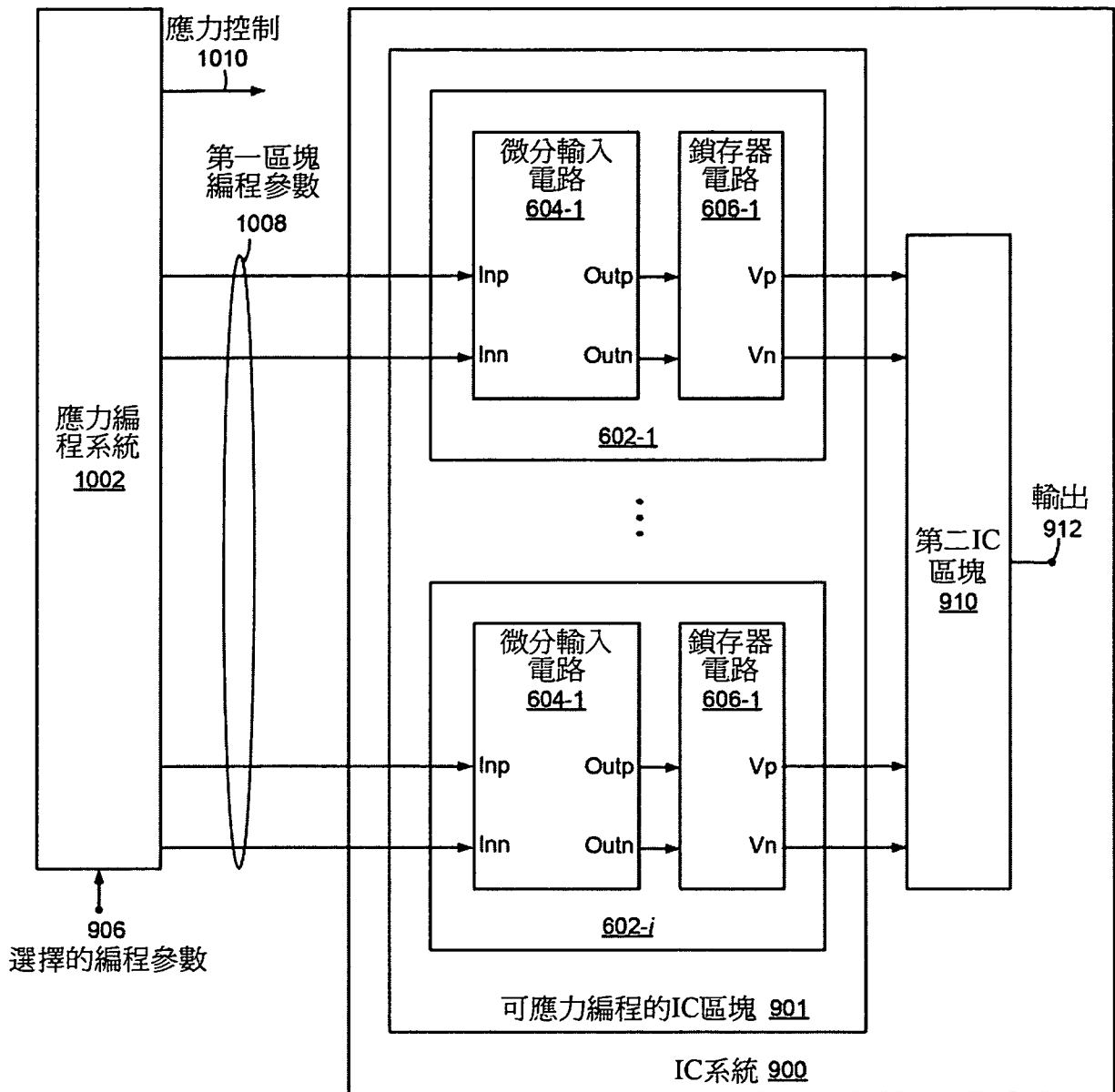


圖10

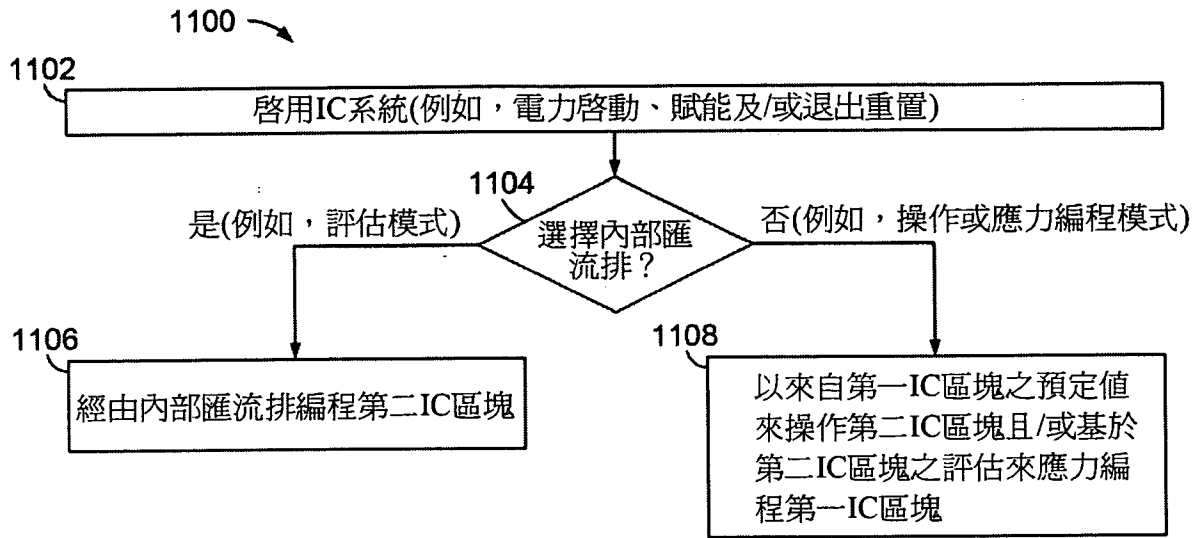


圖11

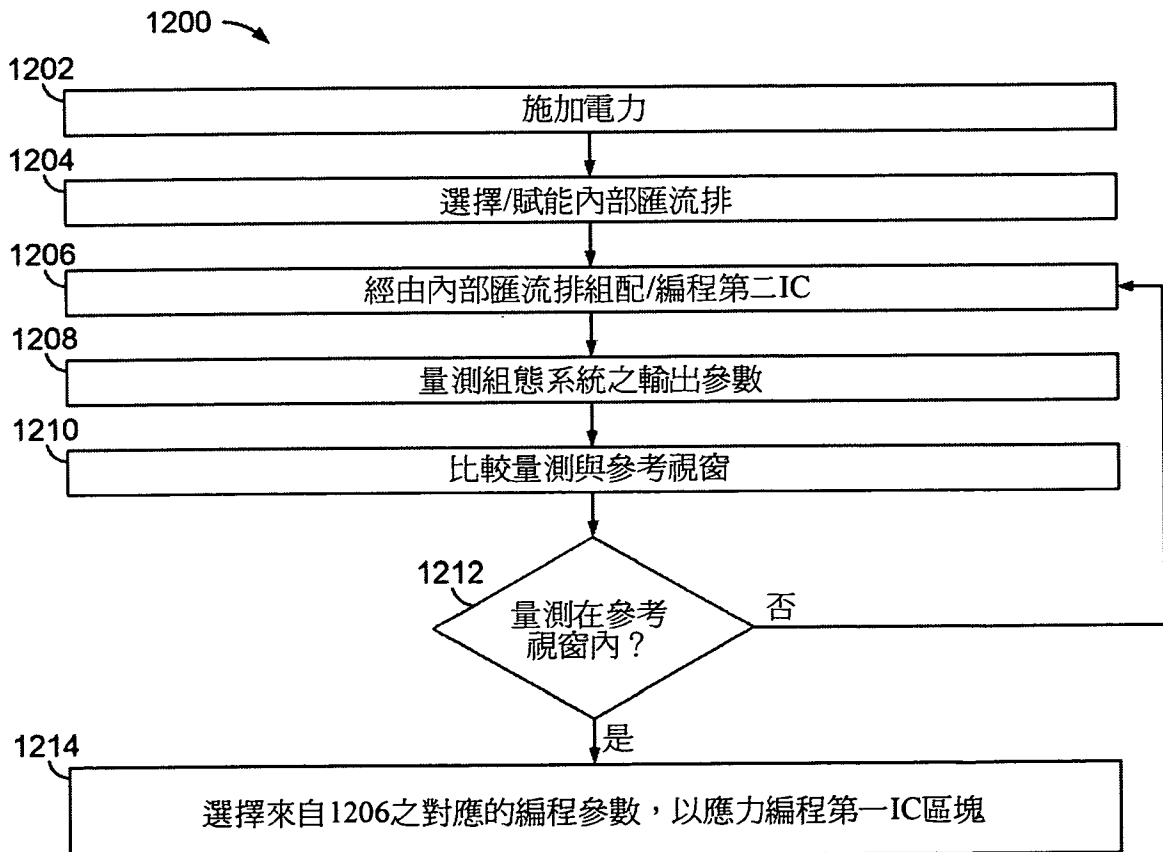


圖12

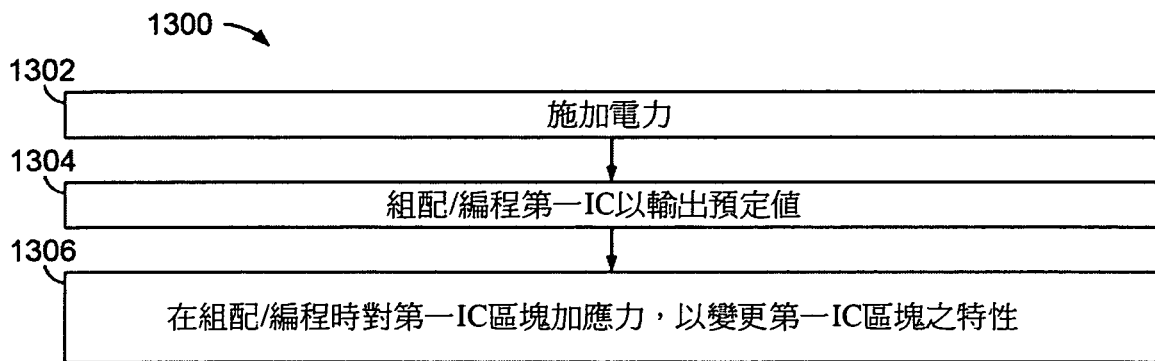


圖13

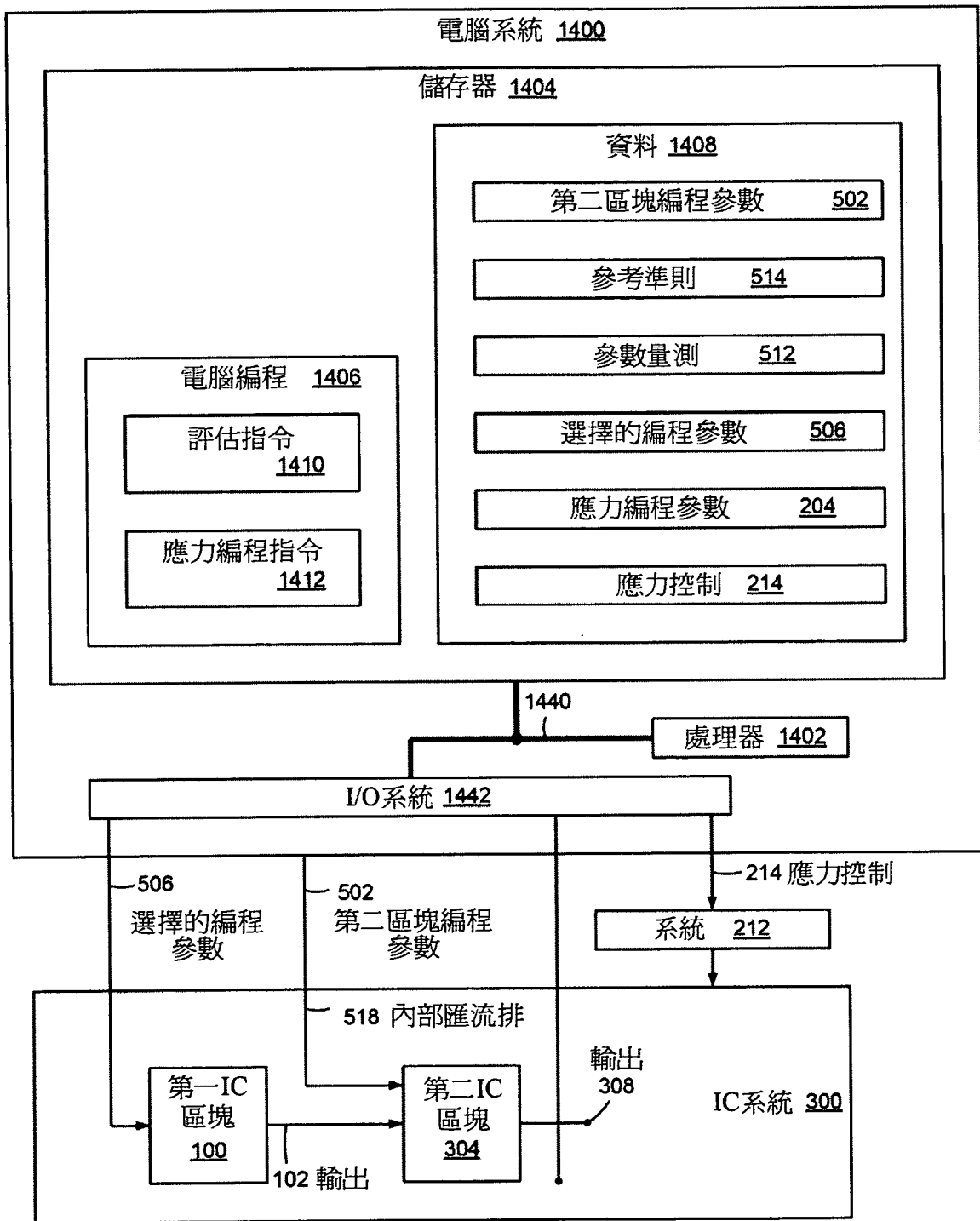


圖14

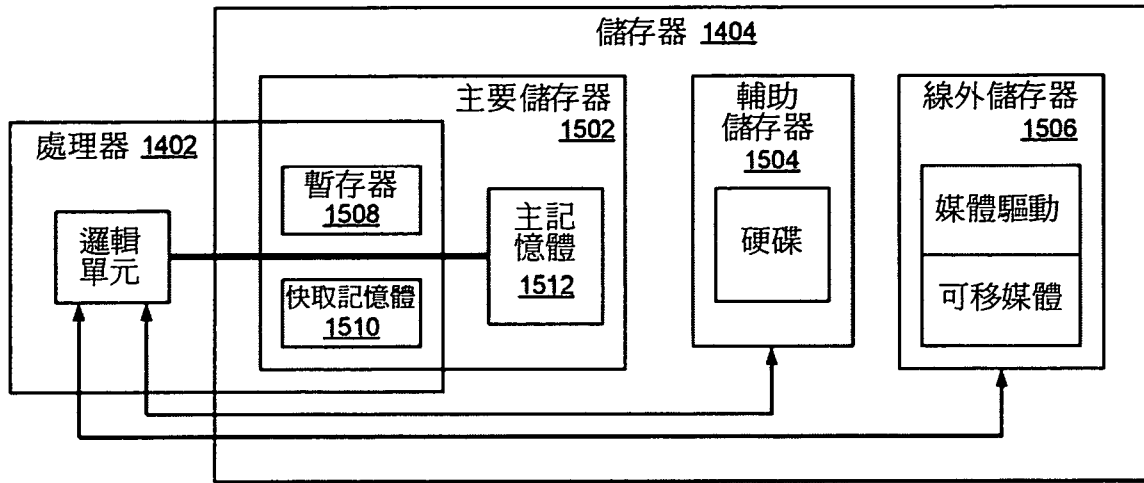


圖15

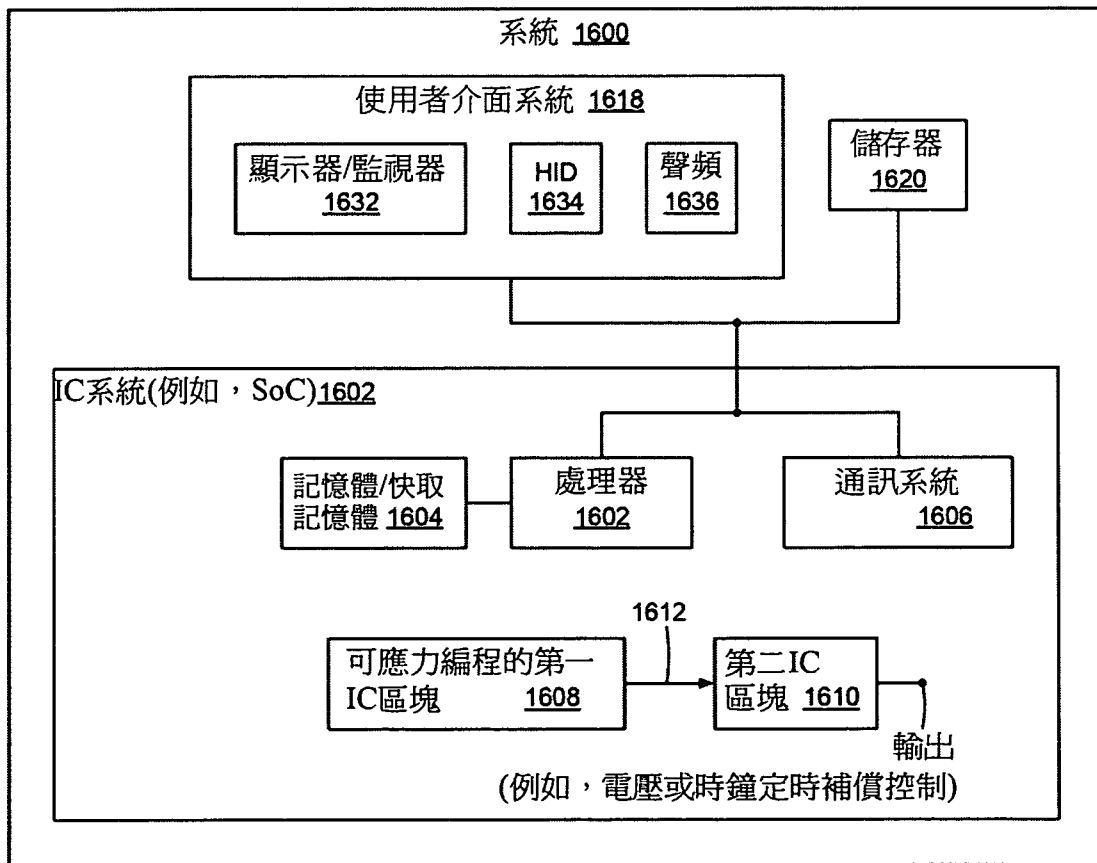


圖16